

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 11 月 30 日 (2006.11.30)

【公開番号】特開 2005-129677 (P2005-129677A)

【公開日】平成 17 年 5 月 19 日 (2005.5.19)

【年通号数】公開・登録公報 2005-019

【出願番号】特願 2003-362961 (P2003-362961)

【国際特許分類】

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 21/90 A

H 0 1 L 21/88 M

【手続補正書】

【提出日】平成 18 年 10 月 16 日 (2006.10.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

銅を含む導電体で形成される配線を形成する工程と、
前記配線上を覆うように第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、
前記第 2 の絶縁膜に前記第 1 の絶縁膜に達する第 1 の孔を形成する工程と、
前記第 1 の絶縁膜の前記第 1 の孔から露出する部分を除去することにより、前記配線に達する第 2 の孔を前記第 1 の絶縁膜に形成するとともに、前記第 2 の孔の壁面を前記第 1 の孔の壁面よりも外周側に削る工程と、
前記第 1 および第 2 の孔によって露出した前記配線表面をスパッタにより部分的に除去し、前記第 2 の孔の前記壁面全面に前記配線表面から除去された除去物を付着させる工程と、

前記第 1 および第 2 の孔内を導電膜で埋める工程とを備える、半導体装置の製造方法。

【請求項 2】

前記スパッタは、アルゴンを用いて行なわれ、0 以上 100 以下の温度で行なわれることを特徴とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記スパッタは、0 以上 50 以下の温度で行なわれることを特徴とする、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 および第 2 の孔内を洗浄する工程をさらに備えることを特徴とする、請求項 1 ~ 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記スパッタは、アルゴンおよび水素を用いて行なわれることを特徴とする、請求項 1 ~ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

銅を含む導電体で形成される配線と、

前記配線上を覆うように形成された第１の絶縁膜と、

前記第１の絶縁膜上を覆うように形成された第２の絶縁膜とを備え、

前記第１の絶縁膜および前記第２の絶縁膜には前記配線に達する接続孔が形成されており、前記第１の絶縁膜における前記接続孔の口径は前記第２の絶縁膜における前記接続孔の口径よりも大きくなっており、さらに

前記第１の絶縁膜における前記接続孔の壁面全面に付着した銅を含む物質を備えた、半導体装置。

【請求項７】

銅を含む導電体で形成される配線を形成する工程と、

前記配線上を覆うように第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に第２の絶縁膜を形成する工程と、

前記第２の絶縁膜に前記第１の絶縁膜に達する第１の孔を形成する工程と、

前記第１の絶縁膜の前記第１の孔によって露出する部分を除去することにより、前記配線に達する第２の孔を前記第１の絶縁膜に形成する工程と、

前記第２の孔が形成されることにより露出した前記配線を洗浄処理することにより、前記第１の孔の壁面よりも外周部に削られた凹部を前記配線に形成する工程と、

前記凹部に対してスパッタによりエッチング処理を行なうことにより、露出した前記配線表面から除去された除去物を前記第２の孔の壁面全面に付着させる工程と、

前記第１および第２の孔内を導電膜で埋める工程とを備える、半導体装置の製造方法。

【請求項８】

前記スパッタは、アルゴンを用いて行なわれ、０以上１００以下の温度で行なわれることを特徴とする、請求項７に記載の半導体装置の製造方法。

【請求項９】

前記スパッタは、０以上５０以下の温度で行なわれることを特徴とする、請求項８に記載の半導体装置の製造方法。

【請求項１０】

前記スパッタは、アルゴンおよび水素を用いて行なわれることを特徴とする、請求項７～９のいずれかに記載の半導体装置の製造方法。

【請求項１１】

前記第１および第２の孔内を導電膜で埋める工程は、

前記第１及び第２の孔の壁面にバリアメタルを成膜する工程と、

前記バリアメタル上に銅を含む導電膜を形成する工程とを有することを特徴とする、請求項７～１０のいずれかに記載の半導体装置の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】変更

【補正の内容】

【０００８】

本発明の一の局面に従う半導体装置の製造方法は以下の工程を備えている。銅を含む導電体で形成される配線が形成される。配線上を覆うように第１の絶縁膜が形成される。第１の絶縁膜上に第２の絶縁膜が形成される。第２の絶縁膜に第１の絶縁膜に達する第１の孔が形成される。第１の孔から露出する部分を除去することにより、配線に達する第２の孔が第１の絶縁膜に形成されるとともに、第２の孔の壁面が第１の孔の壁面よりも外周側に削られる。第１および第２の孔によって露出した配線表面をスパッタにより部分的に除去し、第２の孔の壁面全面に配線表面から除去された除去物が付着される。第１および第２の孔内が導電膜で埋められる。

本発明の他の局面に従う半導体装置の製造方法は以下の工程を備えている。銅を含む導電体で形成される配線が形成される。配線上を覆うように第１の絶縁膜が形成される。第１の絶縁膜上に第２の絶縁膜が形成される。第２の絶縁膜に前記第１の絶縁膜に達する第

1の孔が形成される。第1の絶縁膜の第1の孔によって露出する部分を除去することにより、配線に達する第2の孔が第1の絶縁膜に形成される。第2の孔が形成されることにより露出した配線を洗浄処理することにより、第1の孔の壁面よりも外周部に削られた凹部が配線に形成される。凹部に対してスパッタによりエッチング処理を行なうことにより、露出した配線表面から除去された除去物が第2の孔の壁面全面に付着される。第1および第2の孔内が導電膜で埋められる。