



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월04일
 (11) 등록번호 10-1069359
 (24) 등록일자 2011년09월26일

(51) Int. Cl.

H01L 33/48 (2010.01)

(21) 출원번호 10-2009-0026610
 (22) 출원일자 2009년03월27일
 심사청구일자 2009년03월27일
 (65) 공개번호 10-2009-0103841
 (43) 공개일자 2009년10월01일
 (30) 우선권주장
 JP-P-2008-087631 2008년03월28일 일본(JP)
 JP-P-2009-068300 2009년03월19일 일본(JP)
 (56) 선행기술조사문헌
 JP2006237104 A
 KR1020060121454 A
 KR1020060095470 A
 JP2007311506 A

전체 청구항 수 : 총 15 항

(73) 특허권자

산켄덴키 가부시카가이사

일본국 사이타마켄 니이자시 기타노 3쵸메 6반 3고

(72) 발명자

무로후시 히토시

일본, 사이타마, 니이자-시, 기타노 3-쵸메, 6-3, 산켄덴키 가부시카가이사내

오츠카 코지

일본, 사이타마, 니이자-시, 기타노 3-쵸메, 6-3, 산켄덴키 가부시카가이사내

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

심사관 : 진수영

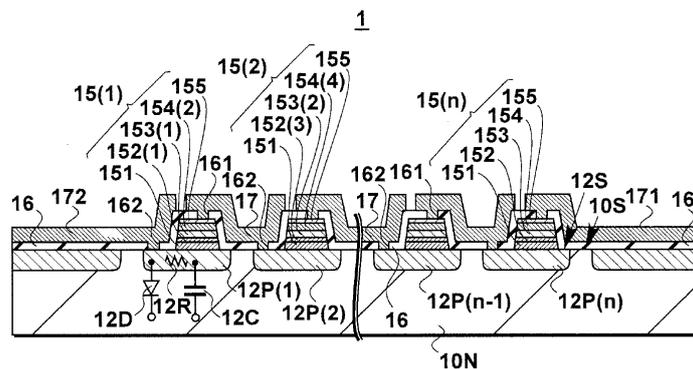
(54) 발광 장치

(57) 요약

분압 회로, 전원 회로 등의 전자 부품을 사용하지 않고, 장치 구성을 간편화할 수가 있어 저렴한 제작비를 실현하고, 배터리나 상용 전원에 간단하게 연결하여 곧바로 사용할 수 있는 발광 장치를 제공한다.

발광 장치(1)에서, 제1 반도체 영역(10N)과 제1 반도체 영역(10N) 내에 배치된 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))과 제2 반도체 영역(12P(1))의 일 주면상에 배치되어 접속된 제1 반도체 발광 소자(15(1))와, 제3 반도체 영역(12P(2))의 일 주면상에 배치되어 접속된 제2 반도체 발광 소자(15(2))와, 제1 반도체 발광 소자(15(1))와 제3 반도체 영역(12P(2))의 사이를 접속하기 위한 접속 도체(17)를 구비한다. 이 발광 장치(1)는 반도체 발광 소자(15)가 직렬로 접속되어 직접 전원(100)에 연결된다.

대표도



(72) 발명자

수기모리 노부히사

일본, 사이타마, 니이자-시, 키타노 3-쵸메, 6-3,
산켄덴키 가부시키키가이사내

와타나베 히데유키

일본, 사이타마, 니이자-시, 키타노 3-쵸메, 6-3,
산켄덴키 가부시키키가이사내

특허청구의 범위

청구항 1

제1 전도형의 제1 반도체 영역;

상기 제1 반도체 영역 내에 배치되고 상기 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역 및 제3 반도체 영역;

상기 제2 반도체 영역의 일 주면상에 상기 제2 반도체 영역에 제1 전극이 전기적으로 접속되고 상기 제1 전극 위에 제1 활성층 및 제2 전극의 각각이 적층된 제1 반도체 발광 소자;

상기 제3 반도체 영역의 일 주면상에 상기 제3 반도체 영역에 제3 전극이 전기적으로 접속되고 상기 제3 전극 위에 제2 활성층 및 제4 전극의 각각이 적층된 제2 반도체 발광 소자;

상기 제1 반도체 발광 소자의 상기 제2 전극과 상기 제3 반도체 영역의 사이를 전기적으로 접속하고 상기 제2 전극에 상기 제3 반도체 영역을 통해서 상기 제3 전극에 전기적으로 접속하기 위한 접속 도체;

상기 제1 전극에 상기 제2 반도체 영역을 통해서 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드; 및

상기 제4 전극에 전기적으로 접속되고 상기 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드;

를 포함하는 것을 특징으로 하는 발광 장치.

청구항 2

제1항에 있어서,

상기 제1 패드에 전기적으로 접속되고 상기 전원의 한 쪽의 단자에 전기적으로 연결하는 제1 전원 플러그 단자; 및

상기 제2 패드에 전기적으로 접속되고 상기 전원의 다른 쪽의 단자에 전기적으로 연결하는 제2 전원 플러그 단자;

를 더 포함하는 것을 특징으로 하는 발광 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 반도체 발광 소자, 상기 제2 반도체 발광 소자의 각각이, 상기 제1 패드 또는 상기 제2 패드를 중심으로 나선 형상으로 순차적으로 반복하여 배열되는 것을 특징으로 하는 발광 장치.

청구항 4

제2항에 있어서,

상기 제1 전원 플러그 단자 및 상기 제2 전원 플러그 단자의 각각은, 100V의 상용 교류 전원, 또는 5V, 6V, 9V, 12V 또는 24V의 직류 전원의 한 쪽의 단자 및 다른 쪽의 단자에 각각 연결할 수 있는 것을 특징으로 하는 발광 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 제1 패드와 상기 제2 반도체 영역의 사이 및 상기 제2 패드와 상기 제2 반도체 발광 소자의 상기 제4 전극의 사이에 정류 소자가 배치되는 것을 특징으로 하는 발광 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 반도체 영역은 n형 반도체 기판 또는 n형 반도체 영역이며, 상기 제2 반도체 영역 및 상기 제3 반도체 영역은 p형 반도체 영역이며, 상기 제1 반도체 발광 소자의 상기 제1 전극 및 상기 제2 반도체 발광 소자의 상기 제3 전극은 n형 불순물이 첨가된 질화물계 화합물 반도체층을 포함하고, 상기 제1 반도체 발광 소자의 상기 제2 전극 및 상기 제2 반도체 발광 소자의 상기 제4 전극은 p형 불순물이 첨가된 질화물계 화합물 반도체층을 포함하는 것을 특징으로 하는 발광 장치.

청구항 7

기판;

n형의 제1 질화물계 반도체 영역, 질화물계 활성층 및 상기 n형에 대해서 반대인 p형의 제2 질화물계 반도체 영역을 갖는 복수의 반도체 발광 소자;

상기 복수의 반도체 발광 소자에서 1개의 제1 반도체 발광 소자의 상기 제1 질화물계 반도체 영역과 다른 1개의 제2 반도체 발광 소자의 상기 제2 질화물계 반도체 영역의 사이를 접속하고, 상기 복수의 반도체 발광 소자를 전기적으로 직렬로 접속하고, 상기 제1 질화물계 반도체 영역에 대해서 쇼트키 특성을 갖는 접속 도체;

상기 복수의 반도체 발광 소자의 일단에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드; 및

상기 복수의 반도체 발광 소자 타단에 전기적으로 접속되고 상기 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드;

를 포함하는 것을 특징으로 하는 발광 장치.

청구항 8

제7항에 있어서,

상기 제1 질화물계 반도체 영역과 상기 접속 도체의 접속 영역에서 암페어 수는 10 mA이하로 설정되는 것을 특징으로 하는 발광 장치.

청구항 9

제7항 또는 제8항에 있어서,

상기 접속 도체는, 적어도 상기 제1 질화물계 반도체 영역의 표면에 배치된 Ti막과 상기 Ti막 상에 배치된 Au막을 포함하는 것을 특징으로 하는 발광 장치.

청구항 10

기판;

제1 전도형의 제1 반도체 영역, 제1 활성층 및 상기 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역을 포함하고 상기 기판의 일 표면 상에서 전기적으로 직렬로 접속된 복수의 반도체 발광 소자;

상기 복수의 반도체 발광 소자의 일단의 제1 반도체 발광 소자의 상기 제1 반도체 영역에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드;

상기 복수의 반도체 발광 소자의 타단의 제2 반도체 발광 소자의 상기 제2 반도체 영역에 전기적으로 접속되고

상기 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드;

상기 기관의 일 표면 상에서 상기 제1 반도체 발광 소자의 상기 제1 반도체 영역과 상기 제1 패드의 사이에 전기적으로 직렬로 접속되고 상기 제1 반도체 영역과 같은 층의 상기 제1 전도형의 제3 반도체 영역; 및

상기 제1 활성층과 같은 층의 제2 활성층 및 상기 제2 반도체 영역과 같은 층의 상기 제2 전도형의 제4 반도체 영역을 포함하는 역내압 소자;

를 포함하는 것을 특징으로 하는 발광 장치.

청구항 11

제10항에 있어서,

상기 제2 반도체 발광 소자의 상기 제2 반도체 영역과 상기 제2 패드의 사이에 전기적으로 접속되고 상기 제1 반도체 영역과 같은 층의 상기 제1 전도형의 제5 반도체 영역, 상기 제1 활성층과 같은 층의 제3 활성층, 및 상기 제2 반도체 영역과 같은 층의 상기 제2 전도형의 제6 반도체 영역을 포함하는 역류 방지소자;

를 더 포함하는 것을 특징으로 하는 발광 장치.

청구항 12

제10항 또는 제11항에 있어서,

상기 제1 패드는 상기 기관의 일 표면에 배치된 1개의 제1 섹 영역 상에 배치되고 상기 역내압 소자는 상기 제1 섹 영역에서 상기 제1 패드와 중복하여 배치되는 것을 특징으로 하는 발광 장치.

청구항 13

제11항에 있어서,

상기 제2 패드는 상기 기관의 일 표면에 배치된 1개의 제2 섹 영역 상에 배치되고 상기 역류 방지소자는 상기 제2 섹 영역에서 상기 제2 패드와 중복하여 배치되는 것을 특징으로 하는 발광 장치.

청구항 14

기관;

제1 전도형의 제1 반도체 영역, 제1 활성층, 및 상기 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역을 구비하고, 상기 기관의 일 표면 상에서 전기적으로 직렬로 접속된 복수의 반도체 발광 소자;

상기 복수의 반도체 발광 소자의 일단의 제1 반도체 발광 소자의 상기 제1 반도체 영역에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드;

상기 복수의 반도체 발광 소자 외단의 제2 반도체 발광 소자의 상기 제2 반도체 영역에 전기적으로 접속되고 상기 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드; 및

상기 기관의 일 표면 상에서 상기 제1 반도체 발광 소자의 상기 제1 반도체 영역과 상기 제2 반도체 발광 소자의 상기 제2 반도체 영역의 사이에 전기적으로 병렬로 접속되고 상기 제1 반도체 영역과 같은 층의 상기 제1 전도형의 제3 반도체 영역, 상기 제1 활성층과 같은 층의 제2 활성층, 및 상기 제2 반도체 영역과 같은 층의 상기 제2 전도형의 제4 반도체 영역을 포함하는 쌍방향 제너 다이오드;

를 포함하는 것을 특징으로 하는 발광 장치.

청구항 15

제14항에 있어서,

상기 제1 패드, 상기 제2 패드 중 어느 하나는 상기 기관인 것을 특징으로 하는 발광 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 발광 장치에 관한 것으로, 특히 교류 전원의 콘센트나 직류 전원의 단자에 직접 연결해 점등할 수가 있는 발광 장치에 관한 것이다.

배경 기술

[0002] 발광 다이오드(LED: light emitting diode)가 알려져 있다. 발광 다이오드는 휴대 전화기, 디지털 비디오 카메라, 휴대 단말 등의 전자기기의 백라이트에 사용되고 있다. 또한, 발광 다이오드는, 디스플레이, 도로 표시기, 교통 신호등 등의 발광원으로서도 사용되고 있다. 최근에는, 자동차용 헤드 램프, 일반 조명 장치 등, 전구나 형광등을 대신하는 조명 장치로서 발광 다이오드가 보급되고 있다.

[0003] 자동차용 헤드 램프의 전원에는 배터리가 사용되고 있다. 배터리는 직류(DC) 전원이며, 이 전원 전압은, 예를 들어, 5V, 6V, 9V, 12V 또는 24V이다. 일반 조명 장치의 전원에는 상용 전원이 일반적으로 사용되고 있다. 상용 전원은 교류(AC) 전원이며, 이 전원 전압은 예를 들어 100V이다.

[0004] 발광 다이오드의 순방향 전압 V_f 는 3.8V - 3.9V이며, 순방향 전압 V_f 는 배터리의 직류 전원이나 상용 전원의 전원 전압에 비해 낮다. 이 때문에, 발광 다이오드의 아노드 전극과 캐소드 전극의 사이에 직류 전원이나 상용 전원을 직접 인가하면 발광 다이오드가 파괴되어 버린다.

[0005] 여기에서, 발광 다이오드 혼자서는 사용되지 않고, 분압 저항이나 복잡한 회로 구성을 갖는 교류/직류 전원 회로와 발광 다이오드를 조합한 발광 장치로서 사용되고 있다.

[0006] 더하여, 이런 종류의 발광 장치에 관해서는, 예를 들어, 아래와 같이 특허 문헌 1에 개시되어 있다.

[0007] [선행기술문헌]

[0008] [특허 문헌]

[0009] [특허 문헌 1] 일본 공개 특허 제2004 - 14899호 공보

발명의 내용

해결 하고자하는 과제

[0010] 그러나, 전술한 발광 장치에서는, 조립되는 분압 저항이나 전원 회로가 전자 부품 수의 증가를 초래하여, 장치 구성이 복잡하게 된다. 또한, 전자 부품 수의 증대에 수반해, 발광 장치의 제작 비용이 증가한다.

[0011] 본 발명은 상기 과제를 해결하기 위하여 이루어진 것이다. 따라서, 본 발명은 분압 회로, 전원 회로 등의 전자 부품을 사용하지 않고, 장치 구성을 간편하게 할 수 있는 발광 장치를 제공하는 것이다. 또한, 본 발명은, 저렴한 제작비를 실현할 수가 있는 발광 장치를 제공하는 것이다. 더욱이, 본 발명은, 배터리나 상용 전원에 간단하게 연결해 곧바로 사용할 수가 있는 발광 장치를 제공하는 것이다.

과제 해결수단

[0012] 상기 과제를 해결하기 위해서, 본 발명의 실시예에 관한 제1 특징은, 발광 장치에 있어서, 제1 전도형의 제1 반도체 영역, 제1 반도체 영역 내에 배치되고 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역 및 제3 반도체 영역, 제2 반도체 영역의 일 주면상에 이 제2 반도체 영역에 제1 전극이 전기적으로 접속되고 이 제1 전극 위에 제1 활성층 및 제2 전극의 각각이 적층된 제1 반도체 발광 소자, 제3 반도체 영역의 일 주면상에 제3 반도체 영역에 제3 전극이 전기적으로 접속되고 제3 전극 위에 제2 활성층 및 제4 전극의 각각이 적층된 제2 반도체 발광 소자, 제1 반도체 발광 소자의 제2 전극과 제3 반도체 영역의 사이를 전기적으로 접속하고 제2 전극에 제3 반도체 영역을 통해서 제3 전극에 전기적으로 접속하기 위한 접속 도체, 제1 전극에 제2 반도체 영역을 통해서 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드, 및 제4 전극에 전기적

으로 접속되고 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드를 포함한다.

- [0013] 또한, 제1 특징에 관한 발광 장치에 있어서, 제1 패드에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하는 제1 전원 플러그 단자, 및 제2 패드에 전기적으로 접속되고 전원의 다른 쪽의 단자에 전기적으로 연결하는 제2 전원 플러그 단자를 더 포함하는 것이 바람직하다.
- [0014] 또한, 제1 특징에 관한 발광 장치에 있어서, 제1 반도체 발광 소자, 제2 반도체 발광 소자의 각각이, 제1 패드 또는 제2 패드를 중심으로 나선 형상으로 순차적으로 반복하여 배열되는 것이 바람직하다.
- [0015] 또한, 제1 특징에 관한 발광 장치에 있어서, 제1 전원 플러그 단자 및 제2 전원 플러그 단자의 각각은, 100V의 상용 교류 전원, 또는 5V, 6V, 9V, 12V 또는 24V의 직류 전원의 한 쪽의 단자 및 다른 쪽의 단자에 각각 연결할 수 있는 것이 바람직하다.
- [0016] 또한, 상기 제1 특징에 관한 발광 장치에 있어서, 제1 패드와 제2 반도체 영역의 사이 및 제2 패드와 제2 반도체 발광 소자의 제4 전극의 사이에 정류 소자가 배치되는 것이 바람직하다.
- [0017] 더욱, 제1 특징에 관한 발광 장치에 있어서, 제1 반도체 영역은 n형 반도체 기판 또는 n형 반도체 영역이며, 제2 반도체 영역 및 제3 반도체 영역은 p형 반도체 영역이며, 제1 반도체 발광 소자의 제1 전극 및 제2 반도체 발광 소자의 제3 전극은 n형 불순물이 첨가된 질화물계 화합물 반도체층을 포함하고, 제1 반도체 발광 소자의 제2 전극 및 제2 반도체 발광 소자의 제4 전극은 p형 불순물이 첨가된 질화물계 화합물 반도체층을 포함하는 것이 바람직하다.
- [0018] 본 발명의 실시예에 관한 제2 특징은, 발광 장치에 있어서,
- [0019] 기판, n형의 제1 질화물계 반도체 영역, 질화물계 활성층 및 n형에 대해서 반대인 p형의 제2 질화물계 반도체 영역을 갖는 복수의 반도체 발광 소자, 복수의 반도체 발광 소자에서 1개의 제1 반도체 발광 소자의 제1 질화물계 반도체 영역과 다른 1개의 제2 반도체 발광 소자의 제2 질화물계 반도체 영역의 사이를 접속하고, 복수의 반도체 발광 소자를 전기적으로 직렬로 접속하고, 제1 질화물계 반도체 영역에 대해서 쇼트키 특성을 갖는 접속 도체, 복수의 반도체 발광 소자의 일단에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드, 및 복수의 반도체 발광 소자 타단에 전기적으로 접속되고 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드를 포함한다.
- [0020] 또한, 제2 특징에 관한 발광 장치에 있어서, 제1 질화물계 반도체 영역과 접속 도체의 접속 영역에서 암페어 수는 10 mA이하로 설정되는 것이 바람직하다.
- [0021] 또한, 제2 특징에 관한 발광 장치에 있어서, 접속 도체는, 적어도 제1 질화물계 반도체 영역의 표면에 배치된 Ti막과 Ti막 상에 배치된 Au막을 포함하는 것이 바람직하다.
- [0022] 본 발명의 실시예에 관한 제3 특징은, 발광 장치에 있어서, 기판, 제1 전도형의 제1 반도체 영역, 제1 활성층 및 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역을 포함하고 기판의 1 표면 상에서 전기적으로 직렬로 접속된 복수의 반도체 발광 소자, 복수의 반도체 발광 소자의 일단의 제1 반도체 발광 소자의 제1 반도체 영역에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드, 복수의 반도체 발광 소자의 타단의 제2 반도체 발광 소자의 제2 반도체 영역에 전기적으로 접속되고 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드, 기판의 일 표면 상에서 제1 반도체 발광 소자의 제1 반도체 영역과 제1 패드의 사이에 전기적으로 직렬로 접속되고 제1 반도체 영역과 같은 층의 제1 전도형의 제3 반도체 영역, 및 제1 활성층과 같은 층의 제2 활성층 및 제2 반도체 영역과 같은 층의 제2 전도형의 제4 반도체 영역을 포함하는 역내압 소자를 포함한다.
- [0023] 또한, 제3 특징에 관한 발광 장치에 있어서, 제2 반도체 발광 소자의 제2 반도체 영역과 제2 패드의 사이에 전기적으로 접속되고 제1 반도체 영역과 같은 층의 제1 전도형의 제5 반도체 영역, 제1 활성층과 같은 층의 제3 활성층, 및 제2 반도체 영역과 같은 층의 제2 전도형의 제6 반도체 영역을 포함하는 역류 방지소자를 더 포함하는 것이 바람직하다.
- [0024] 또한, 제3 특징에 관한 발광 장치에 있어서, 제1 패드는 기판의 일 표면에 배치된 1개의 제1 섹 영역 상에 배치되고 역내압 소자는 제1 섹 영역에서 제1 패드와 중복하여 배치되는 것이 바람직하다.
- [0025] 또한, 제3 특징에 관한 발광 장치에 있어서, 제2 패드는 기판의 일 표면에 배치된 1개의 제2 섹 영역 상에 배치되고 역류 방지소자는 제2 섹 영역에서 제2 패드와 중복하여 배치되는 것이 바람직하다.

[0026] 본 발명의 실시예와 관련되는 제4 특징은, 발광 장치에 있어서, 기관, 제1 전도형의 제1 반도체 영역, 제1 활성층, 및 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역을 구비하고, 기관의 일 표면 상에서 전기적으로 직렬로 접속된 복수의 반도체 발광 소자, 복수의 반도체 발광 소자의 일단의 제1 반도체 발광 소자의 제1 반도체 영역에 전기적으로 접속되고 전원의 한 쪽의 단자에 전기적으로 연결하기 위한 제1 패드, 복수의 반도체 발광 소자 외단의 제2 반도체 발광 소자의 제2 반도체 영역에 전기적으로 접속되고 전원의 다른 쪽의 단자에 전기적으로 연결하기 위한 제2 패드, 및 기관의 일 표면 상에서 제1 반도체 발광 소자의 제1 반도체 영역과 제2 반도체 발광 소자의 제2 반도체 영역의 사이에 전기적으로 병렬에 접속되고 제1 반도체 영역과 같은 층의 제1 전도형의 제3 반도체 영역, 제1 활성층과 같은 층의 제2 활성층, 및 제2 반도체 영역과 같은 층의 제2 전도형의 제4 반도체 영역을 포함하는 쌍방향 제너 다이오드를 포함한다.

[0027] 또한, 제2 특징 내지 제4 특징의 어느 하나에 관한 발광 장치에 있어서, 제1 패드, 제2 패드 중 어느 하나는 기관인 것이 바람직하다.

효과

[0028] 본 발명에 의하면, 분압 회로, 전원 회로 등의 전자 부품을 사용하는 것이 없고, 장치 구성을 간편화할 수 있는 발광 장치를 제공할 수 있다. 또한, 본 발명에 의하면, 저렴한 제작비를 실현할 수 있는 발광 장치를 제공할 수 있다. 더욱, 본 발명에 의하면, 배터리나 상용 전원에 간단하게 연결해 곧바로 사용할 수 있는 발광 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0029] 다음으로, 도면을 참조하여 본 발명의 실시예를 설명한다. 이하의 도면의 기재에 대하여 동일 또는 유사한 부분에는 동일 또는 유사한 부호를 부여한다. 다만, 도면은 개략적인 것이며 현실의 것과는 다르다. 또한, 도면 상호간에 있어서 서로의 치수의 관계나 비율 비율이 다른 부분이 포함되어 있는 경우가 있다.

[0030] 또한, 이하에 나타내는 실시예는 이 발명의 기술적 사상을 구체화하기 위한 장치나 방법을 예시하는 것이며, 이 발명의 기술적 사상은 각 구성부품의 배치 등을 아래와 같은 것에 한정하는 것이 아니다. 이 발명의 기술적 사상은, 특허 청구의 범위에 대하여, 여러 가지의 변경을 더할 수 있다.

[0031] (실시예 1)

[0032] 본 발명의 실시예 1은, 직류 전원용, 교류 전원용의 어느 것에도 사용할 수 있는 발광 장치에 본 발명을 적용한 예를 설명하는 것이다.

[0033] [발광 장치의 회로구성]

[0034] 도 2에 도시한 바와 같이, 실시예 1에 관한 발광 장치(1)는 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15(1)~15(n))와 이 직렬로 접속된 복수개의 반도체 발광 소자(15) 중 일단 측의 반도체 발광 소자(15(n))의 한쪽의 전극(여기에서는, 아노드 전극)에 전기적으로 접속된 제2 패드(본딩 패드)(171)와 타단측의 반도체 발광 소자(15(1))의 다른 쪽의 전극(여기에서는, 캐소드 전극)에 전기적으로 접속된 제1 패드(본딩 패드)(172)를 구비하고 있다. 여기서, 반도체 발광 소자(15)의 합계수 n은 2 이상의 양의 정수이며, 실시예 1에 대하여, 예를 들어, 15이다. 더욱이, 발광 장치(1)는 제2 패드(171)에 전기적으로 접속되어 전원(100)의 한 쪽의 단자(101)에 직접 전기적으로 연결하기 위한 제1 전원 플러그 단자(181)와 제1 패드(172)에 전기적으로 접속되어 전원(100)의 다른 쪽의 단자(102)에 직접 전기적으로 연결하기 위한 제2 전원 플러그 단자(182)를 구비하고 있다.

[0035] 반도체 발광 소자(15)에는 실시예 1에 대해 반도체 발광 다이오드가 사용되고 있다. 이 반도체 발광 다이오드의 상세 디바이스 구조에 대해서는 후술한다. 이 반도체 발광 소자(15)는 반도체 칩으로 만들어지고, 제1 패드(172) 및 제2 패드(171)는 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15)와 외부의 전원(100)의 사이를 전기적으로 연결하기 위한 단자이다.

[0036] 실시예 1에 관한 발광 장치(1)에 대해서는, 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15) 사이에 각각 전기적으로 직렬로 접속된 저항(12R), 전기적으로 병렬에 접속된 다이오드(12D), 및 전기적으로 병렬에 접속된 커패시터(12C)가 부가된다. 이러한 상세 디바이스 구조에 대해서는 후술하지만, 저항(12R)은 반도체 영역에 의한 저항(확산 저항)을 이용하여 구성되어 있고, 다이오드(12D) 및 커패시터(12C)는 다른 전도형의 반도체 영역간의 pn 접합을 이용해 구성되어 있다.

- [0037] 제1 전원 플러그 단자(181)는 제2 패드(171)에 특히 부호가 부여되지 않지만, 예를 들어, 리드선을 통해 전기적으로 접속되고 있다. 유사하게, 제2 전원 플러그 단자(182)는 제1 패드(172)에, 예를 들어, 리드선을 통해 전기적으로 접속되고 있다. 실시예 1에 있어서, 제1 전원 플러그 단자(181) 및 제2 전원 플러그 단자(182)는 콘센트 플러그(18)를 구성한다. 더욱이, 실시예 1에 대하여, 전원(100)에는, 예를 들어, 전력회사로부터 공급되고 일반 가정이나 공장에서 사용되는 상용 전원이 사용된다. 상용 전원은 여기에서는 교류전압 100V를 사용한다. 즉, 단자(1011, 1012)는 상용 전원을 공급하는 콘센트(101)를 구성한다.
- [0038] 더하여, 실시예 1에 대하여 전원(100)에는 상용 전원 즉 교류전압 100V가 사용되고 있지만, 본 발명은 이 전원 전압으로 한정되는 것은 아니다. 예를 들어, 전원(100)에는 상용 전원의 교류전압 200V를 사용할 수 있다. 또한, 전원(100)에는 일본 내에서는 사용되지 않고 외국에서 사용되고 있는 교류전압 110V, 115V, 120V, 210V, 220V, 230V, 240V의 어느 것이라도 사용할 수 있다.
- [0039] 또한, 전원(100)에는 교류 전원에 대신하여 직류 전원을 사용할 수 있다. 직류 전원에는, 예를 들어, 배터리나 전지를 실용적으로 사용할 수 있다. 배터리의 전원 전압은, 예를 들어, 자동차용으로 사용되는 경우에는 12V 또는 24V이다. 또한, 전지의 전원 전압은, 반도체 발광 소자(15), 즉, 반도체 발광 다이오드의 순방향 전압 V_f 에 비해 높은 직류 전원 전압을 공급할 수 있다, 예를 들어, 5V, 6V, 9V 등이다.
- [0040] [발광 장치의 디바이스 구조]
- [0041] 전술한 도 2에 도시된 발광 장치(1)는 도 1에서 도시한 바와 같이, 제1 전도형의 제1 반도체 영역(10N)과, 제1 반도체 영역(10N) 내에 서로 이간하여 섬 형상으로 배치된 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))과, 제2 반도체 영역(12P(1))의 일 주면(12S)상에 이 제2 반도체 영역(12P(1))에 제1 전극(152(1))이 전기적으로 접속되고 이 제1 전극(152(1)) 상에 제1 활성층(153(1))과 제2 전극(154(2))의 각각이 적층된 제1 반도체 발광 소자(15(1))와, 제3 반도체 영역(12P(2))의 일 주면(12S)상에 이 제3 반도체 영역(12P(2))에 제3 전극(152(3))이 전기적으로 접속되고 이 제3 전극(152(3)) 상에 제2 활성층(153(2))과 제4 전극(154(4))의 각각이 적층된 제2 반도체 발광 소자(15(2))와, 제1 반도체 발광 소자(15(1))의 제2 전극(154(2))과 제3 반도체 영역(12P(2))의 사이를 전기적으로 접속하고 제2 전극(154(2))에 제3 반도체 영역(12P(2))를 통해 제3 전극(152(3))에 전기적으로 접속하기 위한 접속 도체(17)와, 제1 전극(152(1))에 제2 반도체 영역(12P(1))를 통해 전기적으로 접속되어 전원(100)의 한 쪽의 단자(1012)에 전기적으로 연결하기 위한 제1 패드(172)와, 제4 전극(154(4))에 전기적으로 접속되어 전원(100)의 다른 쪽의 단자(1011)에 전기적으로 연결하기 위한 제2 패드(171)를 구비한다.
- [0042] 여기서, 실시예 1에 대하여, 제1 전도형은 n형이며, 제2 전도형은 p형이다. 제1 반도체 영역(10N)에는 실시예 1에 대해 n형 실리콘 단결정 기판이 사용된다. 이 실리콘 단결정 기판은, 일 주면(12S)이 존재하는 일 주면(10S) 측(도 1 중 윗쪽 표면)에 제2 반도체 영역(12(1)) 및 제3 반도체 영역(12(2)) 등을 복수 배치하고, 더하여 반도체 발광 소자(15)의 적어도 일부의 박막소자를 에피택셜 성장시키기 위한 기판으로서 사용된다. 실리콘 단결정 기판의 두께는 예를 들어 100 μm ~1000 μm 로 설정되어 있다. 또한, 실리콘 단결정 기판의 두께가 수백 μm , 불순물 밀도는 $1 \times 10^{17} \text{ atoms/cm}^3 - 5 \times 10^{17} \text{ atoms/cm}^3$ 정도의 비교적 낮은 밀도로 하여 충분히 공핍층이 제1 반도체 영역(10N)에 신장 있게 설정되어 있다.
- [0043] 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))은 제1 반도체 영역(10N)의 일 주면(10S)에 이온 주입법 또는 불순물 확산법에 의해 형성된다. 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각은 제1 반도체 영역(10N)와의 사이에 pn 접합 분리된다. 이 pn 접합 분리를 확실하게 실행하기 위하여 제1 반도체 영역(10N)에는 역바이어스되는 전위가 인가되게 된다.
- [0044] 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))은 전기적으로 직렬로 접속된 반도체 발광 소자(15) 사이의 접속 도체의 일부로서 사용되는 것과 동시에, 저항(12R), 다이오드(12D) 및 커패시터(12C)를 구축한다. 저항(12R)은 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각에 의해 구성된다. 저항(12R)의 저항값은 p형 불순물 밀도와 전류 경로길이와 전류 경로의 단면적에 의해 조정된다. 다이오드(12D)는, 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각을 아노드 영역으로서, 제1 반도체 영역(10N)을 캐소드 영역으로서 구성된다. 커패시터(12C)는 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각을 한 쪽의 전극으로서, 제1 반도체 영역(10N)을 다른 쪽의 전극으로서, pn 접합부에 생성되는 공핍층을 유전체로서 구성된다. 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각은, 예를 들어 $5 \times 10^{18} \text{ atoms/cm}^3 - 1 \times 10^{19} \text{ atoms/cm}^3$ 정도

의 불순물 밀도의 봉소(B)에 의해 구성되고 있어 접합깊이는 예를 들어 $4\mu\text{m} - 10\mu\text{m}$ 로 설정되어 있다.

- [0045] 제1 반도체 발광 소자(15(1))는 제2 반도체 영역(12P(1))의 일 주면(12S) 상에 직접 접해 배치된 버퍼층(151)과, 버퍼층(151) 상에 배치된 제1 전극(152(1))과, 제1 전극(152(1)) 상에 배치된 제1 활성층(153(1))과, 제1 활성층(153(1)) 상에 배치된 제2 전극(154(2))과, 제2 전극(154(2)) 상에 배치된 광 투과성 도전막(155)을 구비한다. 유사하게, 제2 반도체 발광 소자(15(2))는 제3 반도체 영역(12P(2))의 일 주면(12S) 상에 직접 접해 배치된 버퍼층(151)과, 버퍼층(151) 상에 배치된 제3 전극(152(3))과, 제3 전극(152(3)) 상에 배치된 제2 활성층(153(2))과, 제2 활성층(153(2)) 상에 배치된 제4 전극(154(4))과, 제4 전극(154(4)) 상에 배치된 광 투과성 도전막(155)을 구비한다.
- [0046] 버퍼층(151)은 실시예 1에 대하여 질화물계 반도체에 의해 구성된 n형 버퍼층이다. 이 버퍼층(151)은, 예를 들어, n형 불순물이 도프된 질화 알루미늄(AIN) 층과 n형 불순물이 도프된 질화갈륨(GaN) 층을 교대에 반복 적층해 구성된다. 반복 적층된 1개의 층의 AIN층의 두께는, 예를 들어, $0.5\text{ nm} - 5.0\text{ nm}$ 로 설정된다. 반복 적층된 1개의 층의 GaN층의 두께는, 예를 들어, $5\text{ nm} \sim 5500\text{ nm}$ 로 설정된다.
- [0047] 더하여, 버퍼층(151)은 AIN층과 GaN층과의 다층 구조로 한정되는 것이 아니고, AIN층 대신에 예를 들어 질화인듐 알루미늄(AlInN), 질화갈륨 알루미늄(AlGaIn) 및 질화갈륨 인듐알루미늄(AlInGaIn)의 어느 것으로부터 선택된 질화물계 반도체층으로 치환될 수 있다. 또한, 버퍼층(151)의 GaN층 대신에 예를 들어 질화갈륨 인듐(InGaIn), AlInN, AlGaIn 및 AlInGaIn의 어느 것으로부터 선택된 질화물계 반도체층으로 치환될 수 있다. 또한, 버퍼층(151)은 한 층의 AIN층, 한 층의 GaN층 등, 질화물계 반도체의 단층 구조에 의해 구성해도 된다. 또한, 제2 반도체 영역(12P(1))의 일 주면(12S)상의 제1 반도체 발광 소자(15(1))의 각층의 에피택셜 성장성이나, 제3 반도체 영역(12P(2))의 일 주면(12S)상의 제2 반도체 발광 소자(15(2))의 각층의 에피택셜 성장성이 양호한 경우에는, 버퍼층(151)을 생략할 수 있다. 더욱이, 버퍼층(151)은 그 위에 배치되는 제1 전극(152(1)) 또는 제3 전극(152(3))을 n형 반도체층에 의해 구성하는 경우에, 이러한 제1 전극(152(1)) 또는 제3 전극(152(3))과 동일 전도형이 되므로, 버퍼층(151)과 제1 전극(152(1))을 합해 1개의 제1 전극으로 간주하고, 버퍼층(151)과 제3 전극(152(3))을 합해 1개의 제3 전극으로 간주할 수 있다.
- [0048] 제1 전극(152(1))은 버퍼층(151)과 제1 활성층(153(1))의 사이에 배치된 n형 클래드 층이다. 유사하게, 제3 전극(152(3))은 버퍼층(151)과 제2 활성층(153(2))의 사이에 배치된 n형 클래드 층이다. 이 n형 클래드 층은 제1 활성층(153(1)) 및 제2 활성층(153(2))의 밴드 간격보다 더 큰 밴드 간격을 가진다. n형 클래드 층에는, 예를 들어, n형 GaN등의 질화물계 반도체층이 사용된다. 더하여, n형 클래드 층은 반드시 GaN층으로 한정되는 것이 아니고, 그 이외의 AlInGaIn, AlGaIn 등의 다른 화합물계 반도체층으로 치환될 수 있다.
- [0049] 제1 활성층(153(1))은 더블 헤테로 접합 LED를 구성하기 위해서, 제1 전극(n형 클래드 층)(152(1))과 제2 전극(p형 클래드 층)(154(2))의 사이에 배치된다. 유사하게, 제2 활성층(153(2))은 더블 헤테로 접합 LED를 구성하기 위해서, 제3 전극(n형 클래드 층)(152(3))과 제4 전극(p형 클래드 층)(154(4))의 사이에 배치된다. 제1 활성층(153(1)), 제2 활성층(153(2))은 모두, 예를 들어, InGaIn 등의 질화물계 반도체층에 의해 구성된다.
- [0050] 더하여, 도 1에서 제1 활성층(153(1)) 및 제2 활성층(153(2))의 각각은 개략적으로 1개의 층에 의해 나타내지고 있지만, 실제로는 다중 양자 우물 구조(MQW)에 의해 구성된다. 또한, 제1 활성층(153(1)), 제2 활성층(153(2))의 각각은, 단일 양자 우물 구조(SQW) 또는 단일의 반도체층에 의해 구성할 수 있다. 더욱이, 제1 전극(152(1))과 제2 전극(154(2))을 직접 접합하여 제1 활성층(153(1))을 생략할 수 있고, 그리고, 제3 전극(152(3))과 제4 전극(154(4))의 사이를 직접 접합하여 제2 활성층(153(2))을 생략할 수 있다.
- [0051] 제2 전극(154(2)) 및 제4 전극(154(4))은 모두 p형 클래드 층이다. 이 p형 클래드 층은, 제1 활성층(153(1)) 및 제2 활성층(153(2))의 밴드 간격보다 더 큰 밴드 간격을 가진다. p형 클래드 층에는 예를 들어 p형 GaN등의 질화물계 반도체층이 사용된다. 더하여, p형 클래드 층은 반드시 GaN층으로 한정되는 것이 아니고 그 이외의 AlInGaIn, AlGaIn등의 다른 화합물계 반도체층으로 치환될 수 있다.
- [0052] 광 투과성 도전막(155)은 제2 전극(154(2)) 및 제4 전극(154(4))의 각각 위에 적층되어 이들에 낮은 저항으로(옴믹적으로) 접속된다. 광 투과성 도전막(155)에는, 예를 들어, 인듐 주석 산화물(ITO)층을 사용할 수 있다. 이 광 투과성 도전막(155)은 반도체 발광 소자(15)에 흐르는 전류 분포의 균일화를 도모하는 기능을 가진다. 덧붙여, 전류 분포의 균일화가 요구되지 않는 경우에는, 광 투과성 도전막(155)을 생략할 수 있다.
- [0053] 제1 반도체 발광 소자(15(1))의 제1 전극(152(1))은 제1 반도체 발광 소자(15(1))의 버퍼층(151) 및 제2 반도체 영역(12P(1))의 각각을 통해 제1 패드(172)에 전기적으로 접속되고 있다. 제1 반도체 발광 소자(15(1))의 측면

위 및 제2 반도체 영역(12P(1))의 일 주면(12S) 위 등에는 층간 절연막(16)이 배치되어 제1 패드(172)는 이 층간 절연막(16) 상에 배치되고 있다. 제1 패드(172)와 제2 반도체 영역(12P(1))의 사이는 층간 절연막(16)에 배치된 접속공(162)을 통해 전기적으로 접속된다. 제1 패드(172)에는, 예를 들어, 금(Au) 막을 사용할 수 있다. 층간 절연막(16)에는, 예를 들어, 실리콘 산화막을 사용할 수 있다.

[0054] 여기에서, p형 실리콘으로 이루어지는 제2 반도체 영역(12P(1))과 제1 반도체 발광 소자(15(1))의 n형의 버퍼층(151)의 사이, 유사하게, p형 실리콘으로 이루어지는 제3 반도체 영역(12P(2))과 제2 반도체 발광 소자(15(2))의 n형의 버퍼층(151)의 사이 등은 모두 전기적으로 접촉하고 있다. 이 쌍방의 접촉은 헤테로 접합이고, 한편 쌍방의 접촉 계면에는 합금화 영역(미도시)이 생성되고 있다고 추측된다. 따라서, 각각의 제1 반도체 발광 소자(15(1)) 및 제2 반도체 발광 소자(15(2))에 순방향 전압이 인가되었을 때, 헤테로 접합에 있어서의 전압 강하는 n형 실리콘과 n형 버퍼층과의 사이의 헤테로 접합에 비해 작다. 헤테로 접합에 있어서의 전압 강하는 약 0.4V이다. n형 실리콘 위에 GaN등의 질화물 반도체로부터 되는 n형 버퍼층을 형성했을 경우에는, Ga등의 III족의 원소는 실리콘에 대해서 p형 불순물로서 작용하고 n형 실리콘의 안에 pn 접합이 생성되므로, 이 pn 접합에 의해 전압 강하가 생긴다. 덧붙여, 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2)) 등을 n형 실리콘에 의해 형성하고, 이 위에 질화물 반도체로 이루어지는 n형 버퍼층(151)을 형성했을 경우에 헤테로 접합에 있어서의 전압 강하는 그다지 크지 않기 때문에, 제1 반도체 영역(10N)을 p형 실리콘으로 이루어지는 반도체 영역으로 하고, 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2)) 등을 n형 실리콘으로 이루어지는 반도체 영역으로 치환할 수 있다.

[0055] 실시예 1에 대하여, 제1 반도체 발광 소자(15(1))와 제2 반도체 발광 소자(15(2))의 접속구조는, 제2 반도체 발광 소자(15(2))와 제3 반도체 발광 소자(15(3))의 접속구조, 제3 반도체 발광 소자(15(3))와 제4 반도체 발광 소자(15(4))의 접속구조...의 각각과 동일하다. 즉, 제1 반도체 발광 소자(15(1)) 및 제2 반도체 발광 소자(15(2))는 반복 배열 패턴의 기본 단위 소자(단위 셀)이며 이 기본 단위 소자는 제1 패드(172)와 제2 패드(171)과의 사이에 반복하여 배열된다. 1개의 반도체 발광 소자(15)의 길이는 실시예 1에 대해 예를 들어 30 μm로 설정된다.

[0056] 제1 반도체 발광 소자(15(1))의 제2 전극(154(2))과 제2 반도체 발광 소자(15(2))의 제3 전극(152(3))이 전기적으로 접속된 제3 반도체 영역(12P(2))의 사이는 접속 도체(17)에 의해 전기적으로 접속된다. 이 접속 도체(17)는 실시예 1에 대하여, 전술한 제1 패드(172) 및 제2 패드(171)의 각각과 동일 도전층에 배치되고 한편 동일 도전성 재료에 의해 구성된다. 접속 도체(17)의 일단은 층간 절연막(16)에 배치된 접속공(161)을 통해 제2 전극(154(2))에 전기적으로 접속된다. 접속 도체(17)의 타단은 층간 절연막(16)에 배치된 접속공(162)을 통해 제3 반도체 영역(12P(3))의 일 주면(12S)에 전기적으로 접속된다. 이하, 유사하게 제2 반도체 발광 소자(15(2))의 제4 전극(154(4))과 제4 반도체 영역(12P(3))의 사이 및 그 이후는 접속 도체(17)에 의해 전기적으로 접속된다.

[0057] [발광 장치의 평면 구조]

[0058] 도 3에 도시한 바와 같이, 실시예 1에 관한 발광 장치(1)는 제1 반도체 영역(기판)(10N)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 제1 패드(172)를 중심으로, 제1 반도체 발광 소자(15(1)), 제2 반도체 발광 소자(15(2)), 제3 반도체 발광 소자(15(3)), 제4 반도체 발광 소자(15(4)),...제n의 반도체 발광 소자(15(n))의 각각을 나선 형상으로 순차적으로 반복해 배열하고 있다. 여기에서는, 제1 반도체 발광 소자(15(1)), 제2 반도체 발광 소자(15(2)),...의 각각은 아크메테스의 나선형 또는 이에 근사하는 나선 형상으로 배열되고 있어 배열 방향에 서로 이웃이 되는 반도체 발광 소자(15)간의 접속 길이는 균일화되어 있다. 물론, 발광 장치(1)는 제n의 반도체 발광 소자(15(n)), 제n-1의 반도체 발광 소자(15(n-1)),...의 각각을 제2 패드(171)를 중심으로 순차적으로 나선 형상으로 배열해도 된다.

[0059] 여기서, 제1 패드(172)를 중심으로 제2 패드(171)를 제1 반도체 영역(10N)의 단부 측에 배치하는 것에 의해, 제1 반도체 영역(10N)의 중심으로부터 단부에의 전계 분포가 편재하지 않기 때문에, 전원이 들어가 있을 때에 제1 반도체 영역(10N)과 제2 반도체 영역(12P)의 pn 접합이 온으로 되는 것을 억제할 수 있다.

[0060] 실시예 1에 관한 발광 장치(1)에 대해서는, 1개의 제1 반도체 영역(10N) 즉 1개의 기판 혹은 1개의 반도체 칩에 작은 셀로 된(소셀화된) 복수개의 반도체 발광 소자(15(1) - 15(n))가 집합체로서 배치된다. 반도체 발광 소자(15)의 소셀화는 반도체 발광 소자(15)의 측면으로부터의 광추출 효율을 높일 수 있다.

[0061] 도 4에 나타내는 모식적으로 나타낸 발광 장치(1)의 확대 단면 구조에서, 반도체 발광 소자(15)의 발광점 P의

제1 반도체 영역(10N)의 일 주면(10S)로부터의 면의 법선상의 거리를 L1, 발광점 P로부터 제1 반도체 영역(10N)의 일 주면(10S)의 입사 위치까지의 거리를 L2로 했을 때, 도 5에 나타내는 입사각도와 계면 반사율의 관계를 얻을 수 있다. 도 5에 나타내는 횡축은 발광점 P로부터 발광된 빛의 제1 반도체 영역(실리콘 기판)(10N)의 일 주면(10P)에의 입사각도(θ 도)이다. 이 입사각도는 일 주면(10P)의 면의 법선과 입사광의 광축이 이루는 각도이다. 종축은 일 주면(10S)와 반도체 발광 소자(15)와의 계면에 있어서의 반사율(%)이다.

[0062] 도 5에 도시한 바와 같이, 발광점 P로부터 발광된 빛의 입사각도가 약 0도 - 60도까지의 범위 내에 있어서는 제1 반도체 영역(10N)측에 빛이 흡수 되어 버리므로 일 주면(10S)의 반사율은 낮고 반사광을 기대할 수가 없다. 입사각도가 약 70도 - 90도까지의 범위 내에 있어서는, 계면에서의 반사율이 증가하여 반사광을 기대할 수 있다. 한편, 발광점 P로부터의 거리 L2는 무한대로 할 수 없기 때문에, 적절한 범위 내에 있어, 반사율의 증가와 반도체 발광 소자(15)의 소셀화에 수반하는 반도체 발광 소자(15)의 배열수의 증가에 의한 광취출 창면적의 증가를 양립시킨다. 실시예 1에 대해서는, 발광점 P의 일 주면(10P)의 거리 L1가, 예를 들어, 2 μ m로 설정되어 발광점 P로부터 입사 위치까지의 거리 L2가, 예를 들어, 11 μ m로 설정된다. 그 결과, 반도체 발광 소자(15)에 대해서는 발광점 P로부터 발광된 빛의 입사 위치에 있어서의 입사각도 θ 가 약 80도로 설정된다. 이 입사 위치에서는, 발광점 P로부터 발광된 빛이 제1 반도체 영역(10N) 측에 약 60%만큼 흡수 되어 버리지만, 약 40%의 높은 반사율을 얻을 수 있다. 따라서, 발광 장치(1)에 대해서는 소셀화에 의한 광취출 창면적을 증가하면서, 계면에 있어서의 광반사율을 높일 수 있어 측면으로부터의 광취출 효율을 향상시킬 수 있다. 덧붙여 실시예 1에 대하여 반도체 발광 소자(15)의 길이는 광취출 효율의 향상을 목적으로 하여 설정된다.

[0063] [발광 장치의 발광 동작]

[0064] 다음으로, 실시예 1에 관한 발광 장치(1)의 발광 동작에 임해서 설명한다. 여기서의 설명은, 합계 15개의 반도체 발광 소자(15(1) - 15(n=15))를 전기적으로 직렬로 접속한 발광 장치(1)의 발광 동작의 설명이다.

[0065] 우선, 도 2에 나타내는 발광 장치(1)에 대하여, 콘센트 플러그(18)가 전원(교류 전원)(100)에 접속된 콘센트(101)에 연결될 수 있다. 콘센트 플러그(18)의 제2 전원 플러그 단자(182)에 양의 전압이 인가되고 제1 전원 플러그 단자(181)에 음의 전압이 인가되면, 전류는 제1 패드(172) 및 제2 반도체 영역(12P(1))의 각각을 통해 제1 반도체 발광 장치(15(1))에 흐르지만, 역방향 전류이므로 제1 반도체 발광 소자(15(1))는 발광하지 않는다(도 1 및 도 2 참조).

[0066] 한편, 콘센트 플러그(18)의 제1 전원 플러그 단자(181)에 양의 전압이 인가되고 제2 전원 플러그 단자(182)에 음의 전압이 인가되면, 전류는 제1 패드(172), 제n의 반도체 발광 소자(15(n)), 제n+1의 반도체 영역(12P(n)), 및 접속 도체(17)의 각각을 통해 흐른다. 더욱, 전류는, 제n-1의 반도체 발광 소자(15(n-1)), 제n의 반도체 영역(12P(n-1)), 접속 도체(17), ..., 제1 반도체 발광 소자(15(1)), 제2 반도체 영역(12P(1)), 및 제2 패드(171)의 각각을 통해 제2 플러그(182)에 흐른다. 즉, 이 전류의 흐름에 의해 반도체 발광 소자(15(1) - 15(n))의 각각은 순방향 전류가 흐르므로 발광한다. 전원(100)에 교류 전원이 사용되고 있으므로, 교류 전원의 주파수에 따라 발광 장치(1)은 단속적으로 발광한다.

[0067] 이 때, 제1 반도체 발광 소자(15(1)) - 제n의 반도체 발광 소자(15(n))는 직렬로 접속되고 있으므로, 각각의 반도체 발광 소자(15)에 인가되는 전압은, 제1 전원 플러그 단자(181)와 제2 전원 플러그 단자(182)의 사이에 전압 V가 인가되고 있으면, 개개의 격차를 고려하지 않는 경우, 최대로 (전압V)/(반도체 발광 소자 총수)가 된다. 제1 전원 플러그 단자(181)와 제2 전원 플러그 단자(182)의 사이에 비교적 높은 전압 V를 인가할 필요가 있는 경우, 반도체 발광 소자(15)의 직렬 접속 총 수는 증가된다.

[0068] 또한, 각각의 반도체 발광 소자(15)에 인가되는 전압은, 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2)), ..., 제n+1의 반도체 영역(12P(n))의 각각의 불순물 밀도를 조정해, 저항(12R)의 저항값, 커패시터(12C)의 용량값, 다이오드(12D)의 임계값을 변동시켜 조정하여도 된다.

[0069] 또한, 실시예 1에 관한 발광 장치(1)는 전원(100)으로서 배터리, 전지 등의 직류 전원에 연결하여 상기와 같이 사용하여도 된다. 이 경우, 제1 전원 플러그 단자(181)와 제2 전원 플러그 단자(182)의 사이에 인가되는 전압 V에 따라, 반도체 발광 소자(15)의 직렬 접속 총 수나 저항(12R) 등의 저항값이 조정된다. 더하여, 전원(100)에 직류 전원이 사용되는 경우, 발광 장치(1)는 순방향 전류를 흘리면 연속적으로 발광한다.

[0070] 이상 설명한 것처럼, 실시예 1에 관한 발광 장치(1)에 대해서는 분압 회로, 전원 회로 등의 전자 부품을 사용하지 않고, 장치 구성을 간편화할 수 있다. 또한, 실시예 1에 관한 발광 장치(1)에 대해서는, 제1 반도체 영역(10N)에 저항(12R) 등을 만들 수 있으므로, 상기 전자 부품을 사용하는 것이 없고, 저렴한 제작비를 실현할 수

있다. 더욱, 실시예 1에 관한 발광 장치(1)에 대해서는, 배터리나 상용 전원에 간단하게 연결해 곧바로 발광시키고 사용할 수 있다.

[0071] (실시예 2)

[0072] 본 발명의 실시예 2는, 특히 교류 전원용으로 매우 적합하고, 연속 발광을 실현할 수 있는 발광 장치에 본 발명을 적용한 예를 설명하는 것이다.

[0073] [발광 장치의 회로 구성]

[0074] 도 6에 도시한 바와 같이, 실시예 2와 관련되는 발광 장치(1)는 전원(100)에 연결되는 콘센트 플러그(18)(또는 제1 패드(172) 및 제2 패드(171))와 전기적으로 직렬 접속된 복수의 반도체 발광 소자(15(1) - 15(n))와의 사이에 정류 소자(20)가 배치된다. 정류 소자(20)는 실시예 2에서 제2 패드(171)에 아노드 전극이 전기적으로 접속되어 제n의 반도체 발광 소자(15(n))의 제2n 전극(154)(2n)에 캐소드 전극이 전기적으로 접속된 순방향 다이오드(BDf1)와, 제1 패드(172)에 아노드 전극이 전기적으로 접속되어 제n의 반도체 발광 소자(15(n))의 제2n의 전극(152)(2n)에 캐소드 전극이 전기적으로 접속된 순방향 다이오드(BDf2)와, 제2 패드(171)에 캐소드 전극이 전기적으로 접속된 역방향 다이오드(BDr1)와, 제1 패드(172)에 캐소드 전극이 전기적으로 접속되어 역방향 다이오드(BDr1)의 아노드 전극에 아노드 전극이 전기적으로 접속된 역방향 다이오드(BDr2)를 구비한다. 즉, 정류 소자(20)는 정류 다이오드 브리지에 의해 구성되고 있다.

[0075] 실시예 2와 관련되는 발광 장치(1)에서 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15) 사이에 각각 전기적으로 직렬로 접속된 저항(12R)과, 전기적으로 병렬에 접속된 순방향 다이오드(12Df)와, 이 순방향 다이오드(12Df)에 전기적으로 직렬로 접속된 역방향 다이오드(12Dr)와, 전기적으로 병렬에 접속된 커패시터(12C1)와, 이 커패시터(C1)에 전기적으로 직렬로 접속된 커패시터(C2)가 추가된다. 이러한 상세 디바이스 구조에 대해서는 후술하지만, 저항(12R)은 반도체 영역에 의한 저항(확산 저항)을 이용해 구성되고, 다이오드(12Df, 12Dr), 커패시터(12C1) 및 커패시터(12C2)는 다른 전도형의 반도체 영역간의 pn 접합을 이용하여 구성된다. 더욱이, 제1n의 전극(152(n))로 반도체 영역(10P)의 이면(타주면(10T))과의 내압을 높이기 위해, 반도체 발광 소자 바로 아래의 단면 구조에는 pnp 구조가 채용된다.

[0076] 실시예 2와 관련되는 발광 장치(1)의 그 외의 기본적 구성, 예를 들어, 콘센트 플러그(18)를 갖추는 점등은 전술한 실시예 1에 관한 발광 장치(1)의 기본적 구성과 동일하다.

[0077] [발광 장치의 디바이스 구조]

[0078] 전술한 도 6에 나타내는 발광 장치(1)는 도 7 내지 도 9에 도시한 바와 같이, 제1 전도형의 제1 반도체 영역(11N(1), 11N(2))과, 제1 반도체 영역(11N(1), 11N(2)) 내에 각각 섬 형상으로 배치되고 제1 전도형에 대해서 반대인 제2 전도형의 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))과, 제2 반도체 영역(12P(1))의 일 주면(12S) 상에 이 제2 반도체 영역(12P(1))에 제1 전극(152(1))이 전기적으로 접속되어 이 제1 전극(152(1)) 상에 제1 활성층(153(1)), 제2 전극(154(2))의 각각이 적층된 제1 반도체 발광 소자(15(1))와, 제3 반도체 영역(12P(2))의 일 주면(12S) 상에 이 제3 반도체 영역(12P(2))에 제3 전극(152(3))이 전기적으로 접속되어 이 제3 전극(152(3)) 상에 제2 활성층(153(2)), 제4 전극(154(4))의 각각이 적층된 제2 반도체 발광 소자(15(2))와, 제1 반도체 발광 소자(15(1))의 제2 전극(154(2))과 제3 반도체 영역(12P(2))의 사이를 전기적으로 접속하고 제2 전극(154(2))에 제3 반도체 영역(12P(2))를 통해서 제3 전극(152(3))에 전기적으로 접속하기 위한 접속 도체(17)와, 제1 전극(152(1))에 제2 반도체 영역(12P(1))을 통해서 전기적으로 접속되어 전원(100)의 한 쪽의 단자(1012)에 전기적으로 연결하기 위한 제1 패드(172)와, 제4 전극(154(4))에 전기적으로 접속되어 전원(100)의 다른 쪽의 단자(1011)에 전기적으로 연결하기 위한 제2 패드(171)를 구비한다.

[0079] 여기에서, 도 7은 도 6 및 도 9에 나타내는 정류 소자(20)의 단면 구조를 나타내고, 도 8은 도 6 및 도 9에 나타내는 전기적으로 직렬로 복수 배열된 반도체 발광 소자(15)의 단면 구조를 나타낸다. 또한, 실시예 2에 대해서는, 전술한 실시예 1과 유사하게, 제1 전도형은 n형이며, 제2 전도형은 p형이다. 제1 반도체 영역(11N)에는 실시예 2에 대하여 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))의 접합깊이에 비하여 깊은 접합깊이를 가지는 n형의 반도체 영역이 사용된다. 이 제1 반도체 영역(11N)은 실시예 2에 대해 제2 전도형의 반도체 영역(10P), 상세에는 p형의 실리콘 단결정 기관의 일 주면(12S)이 존재하는 일 주면(10S) 측(도 7중 및 도 8의 윗쪽 표면)에 서로 이간하여 섬 형상으로 배치된다. 반도체 영역(실리콘 단결정 기관)(10P)은 복수의 제1 반도체 영역(11N(1), 11 N(2), ..., 11 N(n)) 등을 배치해, 반도체 발광 소자(15)의 적어도 일부의 박막 소자를 에피택셜 성장시키기 위한 기관, 반도체 영역(10P)과 제1 반도체 영역(11N)(n)의 pn 접합에 생기는 공핍층을 충분히 늘리

는 것으로 내압을 확보하기 위한 기관으로서 사용된다.

- [0080] p형의 실리콘 단결정 기관은, 제1, 제2 및 제3 반도체 영역에 비해 충분히 두꺼운 수백 μm (예를 들어 700 μm)로 한다. 또한, 반도체 영역(10P)은 제2, 제3 반도체 영역(12P(n))에 비해 충분히 불순물 밀도가 낮게, 예를 들어 $7 \times 10^{14} \text{ atoms/cm}^3$ 이하로 한다.
- [0081] 제1 반도체 영역(11N(1), 11(2))은 실시예 2에서 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2)) 등의 각각 대응해 개별적으로 배치된다. 제1 반도체 영역(11N)은 이온 주입법 또는 불순물 확산법에 의해 형성된다. 제1 반도체 영역(11N)은 예를 들어 $1 \times 10^{17} \text{ atoms/cm}^3 - 5 \times 10^{17} \text{ atoms/cm}^3$ 정도의 불순물 밀도의 비소(As), 인(P) 중 적어도 어느 하나에 의해 구성되고 있다. 이 제1 반도체 영역(11N)의 접합깊이는 예를 들어 4 $\mu\text{m} - 7 \mu\text{m}$ 로 설정된다.
- [0082] 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))은 제1 반도체 영역(11N)의 일 주면(11S)에 이온 주입법 또는 불순물 확산법에 의해 형성된다. 제2 반도체 영역(12P(1))은 제1 반도체 영역(11N(1))에 의해 그 외의 영역으로부터 pn 접합 분리되고 제3 반도체 영역(12P(2))은 제1 반도체 영역(11N(2))에 의해 그 외의 영역으로부터 pn 접합 분리된다. 이 pn 접합 분리를 확실하게 실행하기 위해서, 제1 반도체 영역(10N)에는 역바이어스되는 전위가 공급되는 것이 바람직하고, 실시예 2에 대해서는, 역방향 다이오드(Dr)에 의해 역바이어스 전위가 공급되고 있다. 이 제2 및 제3 반도체 영역(12P(n))의 불순물 밀도는 예를 들어 $5 \times 10^{18} \text{ atoms/cm}^3 - 1 \times 10^{19} \text{ atoms/cm}^3$ 로 설정된다.
- [0083] 제2 반도체 영역(12P(1)) 및 제3 반도체 영역(12P(2))은 전기적으로 직렬로 접속된 반도체 발광 소자(15) 사이의 접속 도체의 일부로서 사용되는 것과 동시에, 저항(12R), 순방향 다이오드(Df), 역방향 다이오드(Dr), 및 커패시터(C1 및 C2)를 구축한다. 저항(12R)은 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각에 의해 구성된다. 저항(12R)의 저항값은 p형 불순물 밀도와 전류 경로 길이와 전류 경로의 단면적에 의해 조정된다.
- [0084] 순방향 다이오드(Df)는 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각을 아노드 영역으로서, 제1 반도체 영역(11N(1)), 제1 반도체 영역(11N(2))의 각각을 캐소드 영역으로서 구성된다. 역방향 다이오드(Dr)는 제1 반도체 영역(11N(1)), 제1 반도체 영역(11N(2))의 각각을 캐소드 영역으로서, 반도체 영역(실리콘 단결정 기관)(10P)을 아노드 영역으로서 구성된다.
- [0085] 커패시터(C1)는 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2))의 각각을 한 쪽의 전극으로서, 제1 반도체 영역(11N(1)), 제1 반도체 영역(11N(2))의 각각을 다른 쪽의 전극으로서, 쌍방의 사이의 pn 접합부에 생성되는 공핍층을 유전체로서 구성된다. 커패시터(C2)는 제1 반도체 영역(11N(1)), 제1 반도체 영역(11N(2))의 각각을 한 쪽의 전극으로서, 반도체 영역(실리콘 단결정 기관)(10P)를 한 쪽의 전극으로서, 쌍방의 사이의 pn 접합부에 생성되는 공핍층을 유전체로서 구성된다.
- [0086] 제1 반도체 발광 소자(15(1))는 실시예 1에 관한 발광 장치(1)의 제1 반도체 발광 소자(15(1))와 유사하게, 버퍼층(151), 제1 전극(152(1)), 제1 활성층(153(1)), 제2 전극(154(2)), 및 광 투과성 도전막(155)을 구비한다. 유사하게, 제2 반도체 발광 소자(15(2))는 제3 반도체 영역(12P(2))의 일 주면(12S) 상에 직접 접해 배치된 버퍼층(151), 제3 전극(152(3)), 제2 활성층(153(2)), 제4 전극(154(4)), 및 광 투과성 도전막(155)을 갖추고 있다. 반도체 발광 소자(15)의 기본적 구성은 전술한 실시예 1에 관한 발광 장치(1)의 반도체 발광 소자(15)의 기본적 구성과 동일하다.
- [0087] 제1 반도체 발광 소자(15(1))의 제1 전극(152(1))은 제1 반도체 발광 소자(15(1))의 버퍼층(151), 제2 반도체 영역(12P(1)), 접속 도체(173), 반도체 영역(실리콘 단결정 기관)(10P), 정류 소자(20)의 각각을 통해 제1 패드(172) 및 제2 패드(171)에 전기적으로 접속된다.
- [0088] 여기에서, p형 실리콘으로 이루어진 제2 반도체 영역(12P(1))과 제1 반도체 발광 소자(15(1))의 n형의 버퍼층(151)의 사이, 유사하게, p형 실리콘으로 이루어진 제3 반도체 영역(12P(2))과 제1 반도체 발광 소자(15(2))의 n형의 버퍼층(151)의 사이 등은 모두 전기적으로 접촉한다. 전술한 실시예 1에 관한 발광 장치(1)와 유사하게, 이 쌍방의 접촉은 헤테로 접합이고, 한편 쌍방의 접촉 계면에는 합금화 영역이 생성된다. 따라서, 각각의 제1 반도체 발광 소자(15(1)), 제2 반도체 발광 소자(15(2))에 순방향 전압이 인가되었을 때, 헤테로 접합에 있어서의 전압 강하는 n형 실리콘과 n형 버퍼층의 사이의 헤테로 접합에 비해 작다. 헤테로 접합에 있어서의 전압 강하는 약 0.4V이다.

- [0089] 전술한 실시예 1에 관한 발광 장치(1)과 유사하게, 제1 반도체 발광 소자(15(1))와 제2 반도체 발광 소자(15(2))의 접속구조는, 제2 반도체 발광 소자(15(2))와 제3 반도체 발광 소자(15(3))의 접속구조, 제3 반도체 발광 소자(15(3))와 제4 반도체 발광 소자(15(4))의 접속구조, ...의 각각과 동일하다. 즉, 제1 반도체 발광 소자(15(1)) 및 제2 반도체 발광 소자(15(2))는 반복 배열 패턴의 기본 단위 소자이고, 이 기본단위 소자는 제1 패드(172)와 제2 패드(171)의 사이에 반복하여 배열된다. 1개의 반도체 발광 소자(15)의 길이는 실시예 2에 대해 소셀화에 수반하는 광추출 효율을 감안해, 예를 들어, 30 μm 로 설정된다.
- [0090] 제1 반도체 발광 소자(15(1))의 제2 전극(154(2))과 제2 반도체 발광 소자(15(2))의 제3 전극(152(3))이 전기적으로 접속된 제3 반도체 영역(12P(2))의 사이는 접속 도체(17)에 의해 전기적으로 접속된다. 이 접속 도체(17)는 실시예 2에서 전술한 제1 패드(172), 제2 패드(171), 접속 도체(173)의 각각과 동일한 도전층에 배치되고 한편 동일 도전성 재료에 의해 구성되고 있다. 접속 도체(17)의 일단은 층간 절연막(16)에 배치된 접속공(161)을 통해 제2 전극(154(2))에 전기적으로 접속된다. 접속 도체(17)의 타단은 층간 절연막(16)에 배치된 접속공(162)을 통해 제3 반도체 영역(12P(3))의 일 주면(12S)에 전기적으로 접속되고 있다. 이하, 유사하게, 제2 반도체 발광 소자(15(2))의 제4 전극(154(4))과 제4 반도체 영역(12P(3))의 사이 및 그 이후는 접속 도체(17)에 의해 전기적으로 접속된다.
- [0091] 도 6, 도 7 및 도 9에 도시한 바와 같이, 정류 소자(20)의 순방향 다이오드(BDf1)는, 반도체 영역(10P)의 일 주면(10S)에 배치된 n형 반도체 영역(11ND)을 캐소드 전극으로서, 이 n형 반도체 영역(11ND)의 일 주면(11S)에 배치된 p형 반도체 영역(12PD1)을 애노드 전극으로서 구성된다. 순방향 다이오드(BDf2)는 반도체 영역(10P)의 일 주면(10S)에 배치된 n형 반도체 영역(11ND)을 캐소드 전극으로서, 이 n형 반도체 영역(11ND)의 일 주면(11S)에 배치된 p형 반도체 영역(12PD2)을 애노드 전극으로서 구성된다. 실시예 2에 대하여, n형 반도체 영역(11ND)은, 예를 들어, 전술한 제1 반도체 영역(11N)과 동일 제조공정에서 동일 제조 조건에 의해 구성된다. 순방향 다이오드(BDf1)의 애노드 영역과 역방향 다이오드(BDr1)의 캐소드 영역의 사이는 제2 패드(171) 및 그로부터 인출된 접속 도체(17)에 의해 접속된다.
- [0092] 정류 소자(20)의 역방향 다이오드(BDr1)는 반도체 영역(10P)을 애노드 영역으로서 이 반도체 영역(10P)의 일 주면(10S)에 배치된 n형 반도체 영역(11ND1)을 캐소드 전극으로서 구성된다. 역방향 다이오드(BDr2)는 반도체 영역(10P)을 애노드 전극으로서 이 반도체 영역(10P)의 일 주면(10S)에 배치된 n형 반도체 영역(11ND2)를 캐소드 전극으로서 구성된다. 이러한 n형 반도체 영역(11ND1, 11ND2)의 각각은 실시예 2에서, 예를 들어, 전술한 제1 반도체 영역(11N)과 동일 제조공정에서 동일 제조 조건에 의해 구성된다. 순방향 다이오드(BDf2)의 애노드 영역과 역방향 다이오드(BDr2)의 캐소드 영역의 사이는 제1 패드(172) 및 그로부터 인출된 접속 도체(17)에 의해 접속되고 있다.
- [0093] [발광 장치의 평면 구조]
- [0094] 도 9에 도시한 바와 같이, 실시예 1에 관한 발광 장치(1)에서, 반도체 영역(실리콘 단결정 기판)(10P)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 반도체 영역(10P)의 평면 형상이 사각 형상을 가진다. 도 9에서 반도체 영역(10P)의 위쪽 변과 오른쪽 변이 교차하는 꼭지점(우측 상부 코너)에, 정류 소자(20)의 순방향 다이오드(BDf1)가 배치되어 이 순방향 다이오드(BDf1) 상에 제2 패드(171)가 배치된다. 순방향 다이오드(BDf2)는 반도체 영역(10P)의 아래쪽 변과 왼쪽 변이 교차하는 꼭지점(좌측 하부 코너)에 배치되어 이 순방향 다이오드(BDf2) 상에 제1 패드(172)가 배치된다. 정류 소자(20)의 역방향 다이오드(BDr1) 및 역방향 다이오드(BDr2)는 모두 반도체 영역(10P)의 아래쪽 변과 오른쪽 변이 교차하는 꼭지점(우측 하부 코너)에 배치된다. 즉, 실시예 2에 대하여, 정류 소자(20)는 반도체 영역(10P)의 우측 상부 코너로부터 우측 하부 코너를 거쳐 좌측 하부 코너를 넘어 배치된다.
- [0095] 반도체 영역(10P)의 중앙 부분에는 직렬 접속된 복수의 반도체 발광 소자(15(1) - 15(n))가 배치된다. 반도체 발광 소자(15(1) - 15(n))는 교대로 좌우로 지그재그 식으로 반복 배열되어 서로 이웃하는 반도체 발광 소자(15) 사이의 결선의 인출을 최소한으로 억제하는 것과 동시에, 결선 길이가 균일화되어 한편 데드 스페이스의 발생을 억제한다.
- [0096] 또한, 전술한 실시예 1에 관한 발광 장치(1)과 유사하게, 실시예 2와 관련되는 발광 장치(1)는 소셀화된 복수개의 반도체 발광 소자(15(1) - 15(n))의 집합체로서 배치되어 반도체 발광 소자(15)의 측면으로부터의 광추출 효율을 높이고 있다.
- [0097] [발광 장치의 발광 동작]

- [0098] 다음으로, 실시예 2와 관련되는 발광 장치(1)의 발광 동작에 대하여 설명한다. 여기에서의 설명은 함께 15개의 반도체 발광 소자(15(1) - 15(n=15))를 전기적으로 직렬로 접속한 발광 장치(1)의 발광 동작의 설명이다.
- [0099] 우선, 도 6에 도시한 바와 같이, 발광 장치(1)의 콘센트 플러그(18)가 전원(교류 전원)(100)에 접속된 콘센트(101)에 연결될 수 있다. 콘센트 플러그(18)의 제2 전원 플러그 단자(182)에 양의 전압이 인가되고 제1 전원 플러그 단자(181)에 음의 전압이 인가되면, 도 6 내지 도 9에 도시한 바와 같이, 전류는 제1 패드(172), 정류 소자(20)의 순방향 다이오드(BDf2), 제n의 반도체 발광 소자(15(n)), 제n+1의 반도체 영역(12P(n)), 및 접속 도체(17)의 각각을 통해 흐른다. 더욱이, 전류는, 제n-1의 반도체 발광 소자(15(n-1)), 제n의 반도체 영역(12P(n-1)), 접속 도체(17), ..., 제1 반도체 발광 소자(15(1)), 제2 반도체 영역(12P(1)), 정류 소자(20)의 역방향 다이오드(BDr1), 및 제2 패드(171)의 각각을 통해 제2 플러그(182)에 흐른다. 이 전류의 흐름에 의해 반도체 발광 소자(15(1) - 15(n))의 각각은 순방향 전류가 흐르므로 발광한다. 제1 패드(172)로부터의 전류는 정류 소자(20)의 역방향 다이오드(BDr2) 측에는 흐르지 않는다.
- [0100] 한편, 콘센트 플러그(18)의 제1 전원 플러그 단자(181)에 양의 전압이 인가되고 제2 전원 플러그 단자(182)에 음의 전압이 인가되면, 전류는 제2 패드(171), 정류 소자(20)의 순방향 다이오드(BDf1), 제n의 반도체 발광 소자(15(n)), 제n+1의 반도체 영역(12P(n)), 및 접속 도체(17)의 각각을 통해 흐른다. 더욱이, 전류는, 제n-1의 반도체 발광 소자(15(n-1)), 제n의 반도체 영역(12P(n-1)), 접속 도체(17), ..., 제1 반도체 발광 소자(15(1)), 제2 반도체 영역(12P(1)), 정류 소자(20)의 역방향 다이오드(BDr2), 및 제1 패드(172)의 각각을 통해 제1 플러그(181)에 흐른다. 이 전류의 흐름에 의해 반도체 발광 소자(15(1) - 15(n))의 각각은 순방향 전류가 흐르므로 발광한다. 제2 패드(171)로부터의 전류는 정류 소자(20)의 역방향 다이오드(BDr1) 측에는 흐르지 않는다.
- [0101] 발광 장치(1)는 정류 소자(20)가 배치되므로, 전원(100)이 교류 전원이어도 연속적으로 발광한다. 제1 반도체 발광 소자(15(1)) - 제n의 반도체 발광 소자(15(n))는 직렬로 접속되므로, 각각의 반도체 발광 소자(15)에 인가되는 전압은 제1 전원 플러그 단자(181)과 제2 전원 플러그 단자(182)의 사이에 전압 V가 인가되고 있으면, 개개의 격차를 고려하지 않는 경우, 최대로 (전압 V)/(반도체 발광 소자 총수)가 된다. 제1 전원 플러그 단자(181)와 제2 전원 플러그 단자(182)의 사이에 비교적 높은 전압 V를 인가할 필요가 있는 경우, 반도체 발광 소자(15)의 직렬 접속 총 수는 증가된다.
- [0102] 또한, 각각의 반도체 발광 소자(15)에 인가되는 전압은 제2 반도체 영역(12P(1)), 제3 반도체 영역(12P(2)), ... 제n+1의 반도체 영역(12P(n))의 각각의 불순물 밀도를 조정하고, 저항(12R)의 저항값, 캐패시터(C1 및 C2)의 용량값, 순방향 다이오드(Df) 및 역방향 다이오드(Dr)의 임계값을 변경하여 조정하여도 된다.
- [0103] 이상 설명한 바와 같이, 실시예 2와 관련되는 발광 장치(1)에 대해서는, 분압 회로, 전원 회로 등의 전자 부품을 사용하지 않고, 장치 구성을 간편화할 수 있다. 또한, 실시예 2와 관련되는 발광 장치(1)에 대해서는, 제1 반도체 영역(10N)에 저항(12R) 등을 만들 수 있으므로, 상기 전자 부품을 사용하는 것이 없고, 저렴한 제작비를 실현할 수 있다. 더욱, 실시예 2와 관련되는 발광 장치(1)에 대해서는, 상용 전원에 간단하게 연결하여 곧바로 사용할 수 있다.
- [0104] (실시예 3)
- [0105] 본 발명의 실시예 3은 전술한 실시예 1 또는 실시예 2와 관련되는 발광 장치(1)의 기본적 구조를 이용하여 간단하고 쉬운 구조를 가지는 저항체를 조립한 예를 설명한 것이다.
- [0106] [발광 장치의 회로 구성]
- [0107] 도 10에 도시한 바와 같이, 실시예 3에 관한 발광 장치(1)는 전술한 실시예 1 또는 실시예 2와 관련되는 발광 장치(1)의 기본적 구조와 유사하게, 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15(1)~15(n))와 이 직렬로 접속된 복수개의 반도체 발광 소자(15) 중 일단 측의 반도체 발광 소자(15(n))의 한 쪽의 전극(여기에서는, 아노드 전극)에 전기적으로 접속된 제2 패드(본딩 패드)(171)와, 타단 측의 반도체 발광 소자(15(1))의 다른 쪽의 전극(여기에서는, 캐소드 전극)에 전기적으로 접속된 제1 패드(본딩 패드)(172)를 구비하여 복수개의 반도체 발광 소자(15(1)~15(n))의 각각의 다른 쪽의 전극 측에 저항체(Rs)를 전기적으로 직렬로 접속한다. 여기에서는 접속 구조를 생략하지만, 전술한 실시예 1 또는 실시예 2와 관련되는 발광 장치(1)와 유사하게, 제1 패드(172), 제2 패드(171)에는 콘센트 플러그(18) 및 콘센트(101)(도 2 및 도 6 참조)를 통해 전원(100)에 전기적으로 접속된다. 전원(100)의 정의는 전술한 바와 같다.
- [0108] [발광 장치의 디바이스 구조]

- [0109] 도 11 및 도 12에 도시한 바와 같이, 실시예 3에 관한 발광 장치(1)는 기판(10)과, 기판(10)상에 배치된 제1 전극(152) 및 제1 전극(152) 상에 배치된 활성층(153) 및 활성층(153) 상에 배치된 제2 전극(154)을 갖는 복수의 반도체 발광 소자(15(1)~15(n))와, 복수의 반도체 발광 소자(15(1)~15(n))에 대해 1개의 반도체 발광 소자(15) (예를 들어 15(2))의 제1 전극(152)과 다른 1개의 반도체 발광 소자(15)(예를 들어 15(1))의 제2 전극(154)의 사이를 접속하고, 복수의 반도체 발광 소자(15(1)~15(n))를 전기적으로 직렬로 접속하며, 제2 전극(154)에 대해서 비교적 오믹(저저항)이고, 제1 전극(152)에 대해서 쇼트키 특성을 갖는 접속 도체(17)를 구비한다.
- [0110] 실시예 3에 대하여, 기판(10)에는 그 일 표면(10S) 상에서의 에피택셜 성장층의 결정성이 뛰어난, 예를 들어, 사파이어기판이 사용된다. 또한, 이에 한정되지 않고 기판(10)에는 절연성 기판을 사용할 수 있다.
- [0111] 반도체 발광 소자(15)의 제1 전극(152)은 버퍼층(151)을 통해 배치되어 실시예 3에 대해 n형의 질화물계 반도체 영역, 상세하게는 n형 GaN층에 의해 구성된다. 활성층(153)은 여기에서는 더블헤테로 접합 LED를 구성하기 위하여 MQW에 의해 구성된다. MQW에 대해서는 실시예 1에 관한 발광 장치(1)에 대해 설명한 활성층(153)의 MQW와 동일하다. 제2 전극(154)은 p형의 질화물계 반도체 영역, 상세하게는 p형의 GaN층에 의해 구성되고 있다.
- [0112] 접속 도체(17)는 반도체 발광 소자(15(1)~15(n))의 각각의 사이에 있어, 일단은 반도체 발광 소자(15)의 제1 전극(152)에 전기적으로 접속하고 타단을 반도체 발광 소자(15)의 제2 전극(154)에 전기적으로 접속한다. 반도체 발광 소자(15)는 층간 절연막(16)에 의해 피복되고 접속 도체(17)의 일단은 층간 절연막(16)에 배치된 접속공(162)을 통해 접속되고 접속 도체(17)의 타단은 층간 절연막(16)에 배치된 접속공(161)을 통해 접속된다. 층간 절연막(16)에는, 예를 들어, 실리콘 산화막을 사용할 수 있다. 또한, 접속 도체(17)의 타단과 제2 전극(154)의 사이는 제2 전극(154) 상에 배치된 광 투과성 도전막(155)을 통해 접속된다. 광 투과성 도전막(155)에는 실시예 1에 관한 발광 장치(1)의 광 투과성 도전막(155)과 유사하게, 예를 들어, ITO층을 사용할 수 있다.
- [0113] 접속 도체(17)는 제1 전극(152), 즉, n형 GaN층에 대해서 쇼트키 특성(비저항 특성)을 가지는 도전성 재료에 의해 구성되고, 이 접속 도체(17)와 제1 전극(152)의 접속(접촉)에 의해 저항체(Rs)가 생성된다. 실시예 3에 대하여, 접속 도체(17)는, 예를 들어, 배리어 메탈층으로서 사용되고 n형 GaN층상에 배치된 티탄(Ti)층(17a)과 이 티탄층(17a)상에 배치된 금(Au)층(17b)의 적층막에 의해 구성된다.
- [0114] 접속 도체(17)의 제조 방법은 아래와 같다. 우선 처음으로, 예를 들어, 증착법 또는 스퍼터링법을 이용해 15nm - 25nm의 막 두께의 Ti층이 형성된다. 이 Ti층에는 대략 1분간의 질화 처리가 수행된다. 계속하여, 증착법 또는 스퍼터링법을 이용해 15nm - 25 nm의 막 두께의 Ti층이 더 형성된다. 이 Ti층 위에 증착법 또는 스퍼터링법을 이용해 600 nm - 800 nm의 막 두께의 Au층이 형성된다. 이 후, 350도, 5분 - 10 분의 조건으로 열처리를 수행하여 접속 도체(17)가 형성된다. 이 접속 도체(17)는 포트 리소그래피 기술을 이용해 에칭 마스크를 형성하고, 이 에칭 마스크를 이용해 에칭을 실시함으로써 소정 패턴으로 형성된다.
- [0115] 반도체 발광 소자(15)의 제1 전극(152)에 쇼트키 특성을 갖는 접속 도체(17)가 접속되어 이 접합 부분에 저항체(Rs)가 구성됨으로써 반도체 발광 소자(15(1)~15(n))의 직렬 수에 대응한 개수의 저항체(Rs)가 시리즈 저항으로서 기능하여 교류 전압 폭의 변화에 넓게 대응할 수 있다. 반도체 발광 소자(15)의 제1 전극(152)에 n형 GaN층이 사용되는 경우, 일반적으로는 n형 GaN에 대해서 양호한 저항 특성을 갖도록 접속 도체(17)에 Ti층과 Al층의 적층막이 사용된다. 이 접합 부분에 있어 거의 저항 성분이 부가되지 않기 때문에, 전류(I) - 전압(V) 특성은 양호하며 발광 장치(1)에 연결될 수 있는 전원(100)이 직류 전원인 경우에는 매우 적합한 I - V 특성이다.
- [0116] 그러나, 발광 장치(1)에 연결될 수 있는 전원(100)이 교류 전원, 예를 들어 가정용 전원 100V인 경우에는 입력 전압에 폭이 있다. 즉, 가정용 전원 100V에 연결될 수 있는 발광 장치(1)에는 실효치로서 140V까지의 전압이 인가된다. 이 140V의 전압이 발광 장치(1)에 인가되면, 발광 장치(1)에는 큰 전류가 흘러 발광 장치(1)의 열과 파괴가 유발될 우려가 있다. 통상, 이러한 큰 전류의 흐름을 저지하려면 발광 장치(1)와는 다른 고저항 소자(외부 부속 저항 소자)를 준비하고, 이 고저항 소자를 발광 장치(1)에 취부할 필요가 있다.
- [0117] 실시예 3에 관한 발광 장치(1)는 전원(100)이 교류 구동 전원(예를 들어, 전술한 가정용 전원 100V에서, 최대 140V까지 전압 변화가 발생하여도 안정 발광 동작을 실현할 수 있도록, 외부 부속 저항 소자를 이용하지 않고 이 외부부속 저항 소자에 대신해 반도체 발광 소자(15)에 저항체(Rs)를 배치한 것이다. 반도체 발광 소자(15)마다 저항체(Rs)가 배치되고 있으므로, 1개의 반도체 발광 소자(15)당 순방향 전압을 쇼트키 전압 분만큼 상승할 수 있어 급격한 전류 상승을 억제할 수 있다.
- [0118] 도 13에 도시한 바와 같이, 이러한 효과를 얻으려면 발광 장치(1)을 저전류 영역에 있어 구동할 필요가 있다. 도 13에 대해 종축은 저항체(Rs)의 저항값(Ω)을 나타내, 횡축은 현재설정치(mA)를 나타낸다. 데이터 A는 실시

예 3에 관한 저항체(Rs)의 특성이어, 전술과 같이 접속 도체(17)에는 쇼트키 특성을 가지는 도전성 재료(Ti층(17a)와 Au층(17b)와의 적층막)가 사용되고 있다. 데이터 B는 비율 교례와 관련되는 저항체의 특성에서 만나며, 접속 도체에는 저항특성을 가지는 도전성 재료, 예를 들어 Ti층과 Al층과의 적층막이 사용되고 있다.

[0119] 도 13에 도시한 바와 같이, 10 mA를 초과하는 고전류 영역에 있어서는, 비교예에 관한 저항체와 유사하게, 실시예 3에 관한 저항체(Rs)의 현재 설정값이 변화(예를 들어 증가)하여도 저항체(Rs)의 저항값에는 거의 변화가 생기지 않는다. 이에 대해서, 10 mA이하의 저전류 영역에서는, 비교예와 관련되는 저항체의 현재 설정값의 감소에 수반하는 저항값의 증가 비율에 비하여, 실시예 3에 관한 저항체(Rs)의 현재 설정값의 감소에 수반하는 저항값의 증가 비율은 커진다. 즉, 저전류 영역에 있어 저항체(Rs)의 저항값을 고저항값으로 설정할 수 있다. 더욱이, 질화물계 반도체로 구성되는 반도체 발광 소자(15)는 10 mA이하의 비교적 낮은 전류인 경우에 발광 효율이 좋다. 따라서, 실시예 3에 관한 발광 장치(1)를 이용하면, 반도체 발광 소자(15)의 발광 효율을 높일 수 있다. 실시예 3에 관한 발광 장치(1)에 대하여는, 쇼트키 접합 면적을 증가시켜 고저항값을 얻기 때문에, 발광 면적(발광 에리어)을 매우 작게 하여, 예를 들어 90V - 140V의 전압 범위에 대해 10 mA이하 구체적으로는 1 mA이하의 전류에 의해 반도체 발광 소자(15)를 구동하는 설정이 된다.

[0120] [발광 장치의 평면 구조]

[0121] 도 14에 도시한 바와 같이, 실시예 3에 관한 발광 장치(1)는 기판(10)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 우측 하부 코너에 제1 패드(172)를 배치하고, 제1 패드(172)에 대각선상으로 대향하는 좌측 상부 코너에 제2 패드(171)를 배치한다.

[0122] 도 11, 도 12 및 도 14에 도시한 바와 같이, 1개의 반도체 발광 소자(15)는 기판(10)의 일 표면(10S) 상에 버퍼층(151), 제1 전극(152), 활성층(153), 제2 전극(153), 및 광 투과성 도전막(155)의 각각의 층을 순차적으로 적층하고 다른 반도체 발광 소자(15)와는 이간하여 독립적으로 형성된 섬 영역에 배치된다. 이 섬 영역은 여기에서는 직사각형의 평면 형상을 가진다. 섬 영역의 일단 측에는 층간 절연막(16)의 접속공(161)으로부터 노출하는 광 투과성 도전막(155)에 접속 도체(17)가 접속된다. 섬 영역의 타단 측은 빛 도전성 막(155), 제2 전극(153), 활성층(152) 및 제1 전극(152)의 일부가 제거되어 이 타단 측에서 층간 절연막(16)의 접속공(162)로부터 노출하는 제1 전극(162)에 접속 도체(17)가 접속된다.

[0123] 직렬로 접속된 일단측의 반도체 발광 소자(15(1))의 제1 전극(152)은 접속 도체(17)를 통해 제1 패드(172)에 접속된다. 실시예 3에 대하여, 접속 도체(17)와 제1 패드(172)는 동일 도전층에 의해 형성되고, 한편 동일 도전성 재료에 의해 형성된다. 도 14에 도시한 바와 같이, 반도체 발광 소자(15(1) - 15(3))의 각각은 기판(10)의 일 표면(10S)상에서 오른쪽 아래로부터 오른쪽 위를 향해 순차적으로 배열되고, 반도체 발광 소자(15(4) - 15(6))의 각각은 좌측에서 반복하여 오른쪽 위로부터 오른쪽 아래를 향해 순차적으로 배열된다. 반도체 발광 소자(15(7) - 15(9))의 각각은 좌측에서 반복하여 오른쪽 아래로부터 오른쪽 위를 향해 순차적으로 배열된다. 유사하게, 반도체 발광 소자(15(10) - 15(n - 3))는 반복하여 순차적으로 배열되어 반도체 발광 소자(15(n - 2) - 15(n))는 왼쪽 아래로부터 왼쪽 위를 향해 순차적으로 배열된다. 반도체 발광 소자(15(n))의 제2 전극(153)은 접속 도체(17)를 통해 제2 패드(171)에 접속된다. 유사하게, 접속 도체(17)와 제2 패드(171)는 동일 도전층에 의해 형성되고, 한편 동일 도전성 재료에 의해 형성된다. 즉, 실시예 3에 관한 발광 장치(1)의 반도체 발광 소자(15(1) - 15(n))는 상하 방향에 되풀이하면서 오른쪽에서 왼쪽을 향해 지그재그로 배열된다.

[0124] 더하여, 제1 패드(172) 및 제2 패드(171) 아래에는, 제1 전극(152)과 동일한 질화물계 반도체가 기판(10)과의 사이에 설치되고 있는 것이 바람직하다. 이와 같이 하면, 제1 패드(172) 및 제2 패드(171) 바로 아래의 층간 절연막(16)에 핀홀이 발생했을 경우에도, 제1 패드(172), 및 제2 패드(171)의 각각으로부터 기판(10)으로의 전류 누설을 방지할 수 있다.

[0125] 이상 설명한 것처럼, 실시예 3에 관한 발광 장치(1)에서는, 실시예 1에 관한 발광 장치(1)와 동일한 작용 효과를 얻을 수 있는 것과 동시에, 복수의 반도체 발광 소자(15(1) - 15(n)) 마다 저항체(Rs)를 직렬에 배치하므로, 전원(100)으로부터 공급되는 교류 구동 전압에 폭이 있어도 안정된 발광 동작을 실현할 수 있다. 또한, 발광 장치(1)에 대해서는 저항체(Rs)를 구비하므로, 과대한 교류 구동전압이 인가되었다고 해도 열피해를 방지할 수 있다.

[0126] 또한, 발광 장치(1)에서 반도체 발광 소자(15)의 제1 전극(152)과 접속 도체(17)의 접속 영역을 이용하여 저항체(Rs)를 생성하므로, 저항체(Rs)에 필요로 하는 면적을 접속 영역에 필요로 하는 면적에 중복시킬 수 있다. 따라서, 저항체(Rs)를 구비하여도 발광 장치(1)의 소형화를 실현할 수 있다.

- [0127] 또한, 발광 장치(1)에서 반도체 발광 소자(15(1) - 15(n))를 지그재그에 배열하므로, 서로 이웃하는 반도체 발광 소자(15) 사이의 결선의 인출을 최소한으로 억제하는 동시에, 결선 길이가 균일화되어 데드 스페이스의 발생을 억제할 수 있다.
- [0128] 더욱, 발광 장치(1)의 제조 방법에서 접속 도체(17)를 제1 전극(152)에 대해서 쇼트키 특성을 갖는 도전성 재료로 변경하고, 반도체 발광 소자(15)의 제1 전극(152), 제2 전극(154)의 각각 접속되는 접속 도체(17)를 동일 도전층에 의해 동시에 형성함으로써 저항체(Rs)를 형성할 수 있으므로, 제조공정의 증가 없이 간단하고 쉽게 저항체(Rs)를 형성할 수 있다.
- [0129] 더하여, 전술한 발광 장치(1)에서 저항체(Rs)를 구성하는 접속 도체(17)에는 Ti층(17a)과 Au층(17b)의 적층막이 사용되고 있지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 접속 도체(17)에는 Ti층, Ni층 및 Au층을 순차적으로 적층한 적층막, Ti층, TiN층, Ti층 및 Au층을 순차적으로 적층한 적층막, Ti층, Ge층 및 Au층을 순차적으로 적층한 적층막, Ti층, Zn층 및 Au층을 순차적으로 적층한 적층막 등의 몇 개의 적층막을 사용할 수 있다.
- [0130] 또한, 전술한 발광 장치(1)에서 반도체 발광 소자(15)의 평면 형상(섬 영역의 평면 형상)은 직사각형으로 하고 있지만, 본 발명은 이것으로 한정되는 것은 아니다. 예를 들어, 반도체 발광 소자(15)의 평면 형상은 원형, 타원형, 삼각형, 또는 5각형 이상의 다각형이어도 된다.
- [0131] [변형예 1]
- [0132] 실시예 3의 변형예 1에 관한 발광 장치(1)는 제1 패드(172), 제2 패드(171) 중 어느 하나를 기판(10)의 이면(도 11에 나타내는 부호(10B)) 또는 이면 측에 한 예를 설명하는 것이다.
- [0133] 도 15에 도시한 바와 같이, 변형예 1에 관한 발광 장치(1)는 반도체 발광 소자(15(1))의 제1 전극(152)에 일단이 접속되는 접속 도체(17)의 타단을 기판(10)의 접합부(172C)에 접속하고, 기판(10)의 이면(10 B)을 제1 전극(172)으로서 사용한다. 여기에서는, 기판(10)에는, 도전성을 가지며 반도체 발광 소자(15)의 활성층(153)의 결정 성장성을 확보할 수 있는 실리콘 단결정 기판이 사용된다.
- [0134] 접합부(172C)는, 기판(10)의 일 표면(10S)이라도 되지만, 접속 도체(17)와 기판(10)의 오믹 접속을 수행하기 위하여, 기판(10)과 동일한 전도형으로 하고 기판(10)의 불순물 밀도에 비해 높은 불순물 밀도를 갖는 반도체 영역(확산 영역)에 의해 구성된다. 유사하게, 기판(10)의 이면(10B)을 제1 패드(172)라고 해도 좋지만, 이 제1 패드(172)에 접속되는 리드선 등과의 접합성을 높이기 위해서, 이면(10B)상에 Au층 등의 금속막을 배치해, 이 금속막에 의해 실질적인 제1 패드(172)가 구성되어도 괜찮다.
- [0135] 이와 같이 구성되는 발광 장치(1)에서 제1 패드(172)를 기판(10)에 의해 구성하였으므로 반도체 발광 소자(15) 수를 증가할 수 있고, 또한, 동일 반도체 발광 소자(15) 수의 경우 소형화를 도모할 수 있다.
- [0136] 또한, 발광 장치(1)에 대하여, 저항체(Rs)를 구성하는 접속 도체(17)에는 Au층(17b)이 포함되어 있지만, 배리어 메탈층으로서 기능하는 Ti층(17a)이 접속 도체(17)에는 더 포함되어 있으므로, 접합부(175C)에 있어서의 Au층(17b)의 기판(10)에의 열확산을 방지할 수 있다.
- [0137] 더하여, 여기에서는, 제1 패드(172)가 기판(10)에 의해 구성되고 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 제2 패드(171)가 기판(10)에 의해 구성되어도 된다.
- [0138] [변형예 2]
- [0139] 실시예 3의 변형예 2와 관련된 발광 장치(1)는 실시예 3의 변형예 1에 관한 발광 장치(1)와 전술한 도 3에 나타내는 실시예 1에 관한 발광 장치(1)를 조합한 예를 설명하는 것이다. 즉, 변형예 2와 관련된 발광 장치(1)는 도 16에 도시한 바와 같이, 기판(10)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 제1 패드(172)를 중심으로 반도체 발광 소자(15(1)), 반도체 발광 소자(15(2)), 반도체 발광 소자(15(3)), ... 반도체 발광 소자(15(n))의 각각을 나선 형상으로 순차적으로 반복하여 배열한다. 여기에서는, 반도체 발광 소자(15(n))의 제2 전극(154)에 일단이 접속되는 접속 도체(17)의 타단이 기판(10)의 접합부(171C)에 접속되어 기판(10)의 이면(10B)이 제2 전극(171)으로서 사용된다.
- [0140] 이와 같이 구성되는 발광 장치(1)에 대해서는, 전술한 실시예 1에 관한 발광 장치(1)에 의해 얻을 수 있는 작용 효과와 실시예 3의 변형예 1에 관한 발광 장치(1)에 의해 얻을 수 있는 작용 효과를 조합한 작용 효과를 얻을 수 있다.

- [0141] (실시예 4)
- [0142] 본 발명의 실시예 4는, 전술한 실시예 3에 관한 발광 장치(1)의 기본적 구조를 이용해 이 발광 장치(1)의 정전기 구멍뚫기 내압(ESD(electro - static discharge) 내압)을 향상한 예를 설명하는 것이다.
- [0143] [발광 장치의 회로 구성]
- [0144] 도 17에 도시한 바와 같이, 실시예 3에 관한 발광 장치(1)는 전술한 실시예 3에 관한 발광 장치(1)의 기본적 구조와 유사하게, 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15(1)~15(n))와, 이 반도체 발광 소자(15(1)~15(n))와는 역방향으로 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15(1')~15(n'))와 복수개의 반도체 발광 소자(15(1)~15(n)) 중 일단 측의 반도체 발광 소자(15(n))의 한 쪽의 전극(여기에서는, 아노드 전극) 및 복수개의 반도체 발광 소자(15(1')~15(n')) 중 일단측의 반도체 발광 소자(15(1'))의 한 쪽의 전극(여기에서는, 캐소드 전극)에 전기적으로 접속된 제2 패드(본딩 패드)(171)와, 타단 측의 반도체 발광 소자(15(1))의 다른 쪽의 전극(여기에서는, 캐소드 전극) 및 타단 측의 반도체 발광 소자(15(n'))의 다른 쪽의 전극(여기에서는, 아노드 전극)에 전기적으로 접속된 제1 패드(본딩 패드)(172)를 구비하고, 또한, 반도체 발광 소자(15(n))와 제2 패드(171)의 사이에 역내압 소자(Drt1)를 배치하고, 반도체 발광 소자(15(n'))와 제1 패드(172)의 사이에 역내압 소자(Drt2)를 배치한다. 역내압 소자(Drt1)는 반도체 발광 소자(15(1)~15(n))에 대해서 반대 극성이 된다. 역내압 소자(Drt2)는 반도체 발광 소자(15(1')~15(n'))에 대해서 반대 극성이 된다. 반도체 발광 소자(15(1)~15(n)) 및 반도체 발광 소자(15(1')~15(n'))는 전원(100)에 대해서 전기적으로 병렬로 접속되어 교류 구동전압에 의해 발광 동작을 한다.
- [0145] 역내압 소자(Drt1)는 반도체 발광 소자(15(n))와 제2 패드(171)의 사이에 전기적으로 직렬로 접속되어 제2 패드(171)으로부터 입력되는 서지의 반도체 발광 소자(15(n)) 측으로의 흐름을 방지한다. 역내압 소자(Drt2)는 유사하게 반도체 발광 소자(15(n'))와 제1 패드(172)의 사이에 전기적으로 직렬로 접속되어 제1 패드(172)로부터 입력되는 서지의 반도체 발광 소자(15(n')) 측으로의 흐름을 방지한다. 즉, 역내압 소자(Drt1, Drt2)는 발광 장치(1)의 ESD 내압을 향상하기 위해서 구비된다.
- [0146] 실시예 4와 관련되는 발광 장치(1)는 반도체 발광 소자(15(1)~15(n))의 타단 측의 반도체 발광 소자(15(1))의 다른 쪽의 전극(여기에서는, 캐소드 전극)과 제1 패드(172)와의 사이에 역류 방지 소자(Dac1)를 배치하고, 반도체 발광 소자(15(1')~15(n'))의 타단 측의 반도체 발광 소자(15(1'))의 한 쪽의 전극(여기에서는, 캐소드 전극)과 제2 패드(171)의 사이에 역류 방지소자(Dac2)를 배치한다. 역류 방지 소자(Dac1)는 반도체 발광 소자(15(1)~15(n))와 동일한 극성이 되는 방향으로 삽입된다. 역류 방지 소자(Dac2)는 반도체 발광 소자(15(1')~15(n'))와 동일한 극성이 되는 방향으로 삽입된다. 제1 패드(172)에 인가되는 전압이 제2 패드(172)에 인가되는 전압보다 더 높을 때, 반도체 발광 소자(15(1')~15(n'))에 흐르는 전류는 역내압 소자(Drt2)를 경유하게 되지만, 반도체 발광 소자(15(1)~15(n))와 반도체 발광 소자(15(1')~15(n'))는 같은 개수로 설정되어 있으므로, 반도체 발광 소자(15(1)~15(n))에 전류가 흐를 우려가 있다. 여기에서, 역류 방지 소자(Dac1)는 역내압 소자(Drt2)에 의해 반도체 발광 소자(15(1')~15(n')) 측으로의 서지의 흐름을 방지했을 경우에, 반도체 발광 소자(15(1)~15(n)) 측으로의 서지의 흐름을 방지한다. 유사하게, 역류 방지 소자(Dac2)는 역내압 소자(Drt1)에 의해 반도체 발광 소자(15(1)~15(n)) 측으로의 서지의 흐름을 방지했을 경우에, 반도체 발광 소자(15(1')~15(n')) 측으로의 서지의 흐름을 방지한다.
- [0147] [발광 장치의 디바이스 구조 : 역내압 소자의 구성]
- [0148] 도 18 및 도 19에 도시한 바와 같이, 실시예 4에 관한 발광 장치(1)는 기본적으로는 전술한 실시예 3에 관한 발광 장치(1)와 유사하게 기판(10)과, 제1 전극(152), 활성층(153) 및 제2 전극(154)을 구비하고, 기판(10)의 일 표면에 배치된 복수의 반도체 발광 소자(15(1)~15(n)) 및 복수의 반도체 발광 소자(15(1')~15(n'))와 기판(10)의 일 표면(10S)상에 있어 반도체 발광 소자(15(n'))의 제1 전극(152)과 제1 패드(172)의 사이에 전기적으로 직렬로 접속되고 제1 전극(152)과 같은 층의 제1 전극(152D1), 활성층(153)과 같은 층의 활성층(153D1) 및 제2 전극(154)과 같은 층의 제2 전극(154D1)을 가지는 역내압 소자(Drt2)와, 기판(10)의 일 표면(10S) 상에 있어 반도체 발광 소자(15(n))의 제1 전극(152)과 제2 패드(171)의 사이에 전기적으로 직렬로 접속되고 제1 전극(152)과 같은 층의 제1 전극(152D1), 활성층(153)과 같은 층의 활성층(153D1) 및 제2 전극(154)과 같은 층의 제2 전극(154D1)을 포함하는 역내압 소자(Drt1)를 구비한다.
- [0149] 실시예 4와 관련되는 발광 장치(1)에서 기판(10), 반도체 발광 소자(15)의 버퍼층(151), 제1 전극(152), 활성층(153), 제2 전극(154), 광 투과성 도전막(155), 층간 절연막(16), 및 접속 도체(17)의 기본적인 구성은 실시예

3에 관한 발광 장치(1)과 유사한 것으로, 여기서의 설명은 생략한다.

- [0150] 역내압 소자(Drt1) 및 역내압 소자(Drt2)의 접속 방향은 반도체 발광 소자(15)의 접속 방향과는 반대 방향이지만, 역내압 소자(Drt1) 및 역내압 소자(Drt2)의 단면 구조는 반도체 발광 소자(15)의 단면 구조와 동일하다. 역내압 소자(Drt1) 및 역내압 소자(Drt2)는 제1 전극(152D1)을 여기에서는 n형 GaN층으로 구성하고, 활성층(153D1)을 MQW 구조를 가지는 질화물계 반도체 영역으로 구성하고, 제2 전극(154D1)을 p형 GaN층으로 구성하고 있으므로, p-i(intrinsic)-n 형 구조를 가지는 다이오드이다.
- [0151] 역내압 소자(Drt1) 및 역내압 소자(Drt2)는 반도체 발광 소자(15)와 유사하게 섬 영역에 구성되고 기판(10)의 일 표면(10S) 상에 버퍼층(151)을 통하여 배치된다. 역내압 소자(Drt1) 및 역내압 소자(Drt2)의 각각의 제1 전극(152D1)은 층간 절연막(16)에 배치된 접속공(162)을 통해 접속 도체(17)에 전기적으로 접속된다. 제2 전극(154D1)은 층간 절연막(16)에 배치된 접속공(161)을 통해 접속 도체(17)에 전기적으로 접속된다. 제2 전극(154D1)과 접속 도체(17)의 사이에는 광 투과성 도전막(155)이 배치된다. 이 광 투과성 도전막(155)은 역내압 소자(Drt1) 및 역내압 소자(Drt2)에 설치하지 않아도 좋다. 접속 도체(17)는 실시예 4에 대하여 전술한 실시예 3에 관한 발광 장치(1)의 접속 도체(17)와 유사하게, Ti층 및 Au층을 포함한 적층막으로 구성된다.
- [0152] 역내압 소자(Drt1) 및 역내압 소자(Drt2)의 각각의 섬 영역 및 반도체 발광 소자(15)의 섬 영역은 기판(10)의 일 표면(10S) 측의 저면을 넓게 하고 광 투과성 도전막(155) 측의 상면을 좁게 한 단면 사다리꼴 형상으로 구성되어 섬 영역의 측면에는 경사면이 형성된다. 이것은 기판(10)의 일 표면(10S)과 섬 영역과의 단차에 수반하는 접속 도체(17)의 단선을 방지하기 위한 것이다. 섬 영역의 저면과 측면이 이루는 각도는 예를 들어 40도 - 70도로 설정되어 있다. 더하여, 이러한 각도에 섬 영역의 경사면을 설정함으로써 전술한 도 5에 도시한 바와 같이 반도체 발광 소자(15)의 측면의 빛의 반사를 억제하고 광추출 효율을 향상시킬 수 있다. 경사 면은 제조 프로세스에서 섬 영역을 형성할 때의 메사 에칭에 의해 간단하고 쉽게 형성할 수 있다.
- [0153] 역내압 소자(Drt1) 및 역내압 소자(Drt2)의 각각의 섬 영역의 사이즈는 반도체 발광 소자(15)의 섬 영역의 사이즈보다 더 큰 것이 바람직하다. 제1 패드(172)와 역내압 소자(Drt2)의 사이를 접속하는 접속 도체(17) 및 제2 패드(171)와 역내압 소자(Drt1)의 사이를 접속하는 접속 도체(17)의 폭(배선폭) L2는, 반도체 발광 소자(15) 사이를 접속하는 접속 도체(17)의 폭(배선폭) L1에 비해 크게 설정된다. 이것은 서지에 의해 접속 도체(17)에 발생하는 열손상을 방지하기 위한 것이다.
- [0154] 도 19에 도시한 바와 같이, 실시예 4에 관한 발광 장치(1)는 기판(10)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 우측 하부 코너에 제1 패드(172)를 배치하고, 제1 패드(172)에 대각선상에 대하여 대향하는 좌측 상부 코너에 제2 패드(171)를 배치한다. 복수의 반도체 발광 소자(15(1)~15(n))는 기판(10)의 우측 상부 측에 배치되어 실시예 3에 관한 발광 장치(1)와 유사하게 지그재그로 반복하여 배열된다. 복수의 반도체 발광 소자(15(1')~15(n'))는 기판(10)의 좌측 하부 측에 배치되어 마찬가지로 지그재그로 반복하여 배열된다. 여기에서는, 복수의 반도체 발광 소자(15(1)~15(n)), 복수의 반도체 발광 소자(15(1')~15(n'))의 각각은 기판(10)의 중심 위치로부터 180도의 점대칭에 의해 구성되어 반도체 발광 소자(15)는 균형있게 배열된다.
- [0155] 역내압 소자(Drt1)는 기판(10)의 우측 중앙부에서 제1 패드(172)와 복수의 반도체 발광 소자(15(1)~15(n))의 사이에 배치된다. 역내압 소자(Drt2)는 기판(10)의 좌측 중앙부에서 제2 패드(171)와 복수의 반도체 발광 소자(15(1')~15(n'))의 사이에 배치된다.
- [0156] 이와 같이, 실시예 4에 관한 발광 장치(1)에 대해서는 전술한 실시예 3에 관한 발광 장치(1)에 의해 얻을 수 있는 작용 효과에 추가하여 반도체 발광 소자(15)의 구조와 동일 구조를 가지는 역내압 소자(Drt1)를 제2 패드(171)와 반도체 발광 소자(15(n))의 사이에 구비하고, 역내압 소자(Drt2)를 제1 패드(172)와 반도체 발광 소자(15(n'))와의 사이에 구비하였으므로, 외부 부착 보호 소자를 사용하지 않고 간단하고 용이한 구성에 의해 소형화를 향상하면서 ESD 내압을 향상시킬 수 있다.
- [0157] 또한, 역내압 소자(Drt1) 및 역내압 소자(Drt1)는 실리콘 다이오드가 아니고 질화물계 반도체 다이오드이므로, 발광 동작에 수반하는 특성의 변화를 일으키지 않기 때문에, 안정된 ESD 내압을 얻을 수 있다. 더욱, 역내압 소자(Drt1) 및 역내압 소자(Drt1)는 p-i-n 구조이므로, 실리콘 다이오드와 같은 기생 용량이 발생하기 어렵다.
- [0158] 더하여, 실시예 4와 관련되는 발광 장치(1)에서는 반도체 발광 소자(15(1)~15(n)) 측에 역내압 소자(Drt1)를 배치하고, 반도체 발광 소자(15(1')~15(n')) 측에 역내압 소자(Drt2)를 배치하였지만, 본 발명은 이에 한정되는 것은 아니다. 즉, 본 발명은, 특히 플리커를 문제로 하지 않는 경우에는, 역내압 소자(Drt1, Drt2) 중 어느 하

나를 구비하고 있으면 좋다.

- [0159] [발광 장치의 디바이스 구조 : 역류 방지 소자의 구성]
- [0160] 도 18 및 도 19에 도시한 바와 같이, 실시예 4에 관한 발광 장치(1)는 반도체 발광 소자(15)의 제1 전극(152)과 같은 층의 제1 전극(152D2), 활성층(153)과 같은 층의 활성층(153D2) 및 제2 전극(154)과 같은 층의 제2 전극(154D2)을 포함하는 역류 방지 소자(Dac1 및 Dac2)를 구비한다.
- [0161] 역류 방지 소자(Dac1, Dac2)의 접속 방향은 반도체 발광 소자(15)의 접속 방향과 동일 방향이고, 역류 방지 소자(Dac1, Dac2)의 단면 구조는 반도체 발광 소자(15)의 단면 구조와 동일하다. 역류 방지 소자(Dac1, Dac2)는, 제1 전극(152D2)을 여기에서는 n형 GaN층으로 구성하고, 활성층(153D2)을 MQW 구조를 갖는 질화물계 반도체 영역으로 구성해, 제2 전극(154D2)을 p형 GaN층에 의해 구성하고 있으므로, p-i-n 형 구조를 갖는 다이오드이다.
- [0162] 역류 방지 소자(Dac1, Dac2)는 반도체 발광 소자(15)와 유사하게 섬 영역에 구성되어 기관(10)의 일 표면(10S) 상에 버퍼층(151)을 통해 배치된다. 역류 방지 소자(Dac1)의 섬 영역의 대부분은 제2 패드(171)에 중복해 배치되어 제2 패드(171)의 대좌로서의 기능을 가진다. 같이 역류 방지 소자(Dac2)의 섬 영역의 대부분은 제1 패드(172)에 중복해 배치되어 제1 패드(172)의 대좌로서의 기능을 가진다.
- [0163] 역류 방지 소자(Dac1 및 Dac2)의 각각의 제1 전극(152D2)은 층간 절연막(16)에 배치된 접속공(162)을 통해 접속 도체(17)에 전기적으로 접속된다. 이 접속 도체(17)는 역류 방지 소자(Dac1)의 섬 영역 상에서 제2 패드(171)로서 사용되고 역류 방지 소자(Dac2)의 섬 영역 상에서 제1 패드(172)로서 사용되고 있다. 역류 방지 소자(Dac1, Dac2)에는 서지가 흐를 가능성이 있으므로, 전류 집중을 완화해, 한 쪽 접촉 저항값을 줄이기 위해서, 접속공(162) 수는 반도체 발광 소자(15)에 있어서의 접속공(162) 수에 비해 많고, 또한, 1개의 접속공(162)의 사이즈가 크다. 접속공(162)의 평면형상이나 개수에는 특히 제한을 붙이지 않지만, 역류 방지 소자(Dac1, Dac2)의 접속공(162)은 전술과 같이 서지의 역류를 방지할 수 있으면 된다.
- [0164] 역류 방지 소자(Dac1, Dac2)의 제2 전극(154D2)은 층간 절연막(16)에 배치된 접속공(161)을 통해 접속 도체(17)에 전기적으로 접속된다. 제2 전극(154D2)과 접속 도체(17)의 사이에는 광 투과성 도전막(155)이 배치된다. 이 광 투과성 도전막(155)은 역류 방지 소자(Dac1, Dac2)에 설치하지 않아도 된다.
- [0165] 도 19에 도시한 바와 같이, 실시예 4와 관련되는 발광 장치(1)는 기관(10)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 우측 하부 코너에서 기관(10)의 아래쪽 변과 제1 패드(172)의 사이에 역류 방지 소자(Dac2)가 배치되고 좌측 상부 코너에서 기관(10)의 위쪽 변과 제2 패드(171)의 사이에 역류 방지 소자(Dac1)가 배치되고 있다.
- [0166] 이와 같이, 실시예 4에 관한 발광 장치(1)에서는 전술한 실시예 3에 관한 발광 장치(1)에 의해 얻을 수 있는 작용 효과에 더하여 반도체 발광 소자(15)의 구조와 동일 구조를 가지는 역류 방지 소자(Dac1)를 제2 패드(171)과 반도체 발광 소자(15(1))의 사이에 구비하고, 역류 방지 소자(Dac2)를 제1 패드(172)와 반도체 발광 소자(15(1))와의 사이에 구비하였으므로, 외부 부착 보호 소자를 사용하지 않고 간단하고 용이한 구성에 의해 소형화를 향상하면서 서지의 역류를 방지할 수 있다.
- [0167] 더하여, 기관(10)은 절연 기관에서도 반도체 발광 소자(15)로부터의 빛을 잘 투과하는 사파이어 기관 등을 이용해도 된다.
- [0168] [변형예 1]
- [0169] 실시예 4의 변형예 1에 관한 발광 장치(1)는 도 20에 도시한 바와 같이, 제1 패드(172)의 대좌로서 사용되고 역류 방지 소자(Dac2)를 구성하는 섬 영역에 역내압 소자(Drt1)를 공용시키고, 제2 패드(171)의 대좌로서 사용되고 역류 방지 소자(Dac1)를 구성하는 섬 영역에 역내압 소자(Drt2)를 공용시킨 것이다. 즉, 역내압 소자(Drt1)는 제1 패드(172)에 중복하여 배치되고, 마찬가지로 역내압 소자(Drt2)는 제2 패드(171)에 중복해 배치된다.
- [0170] 제1 패드(172)의 영역을 유효하게 이용하여 역내압 소자(Drt1)의 소자 면적을 증가할 수 있으므로, 역내압 소자(Drt1)의 제1 전극(152D1)과 제1 패드(172)의 접속 면적을 충분히 확보할 수 있다. 유사하게, 제2 패드(171)의 영역을 유효하게 이용하여 역내압 소자(Drt2)의 소자 면적을 증가할 수 있으므로, 역내압 소자(Drt2)의 제1 전극(152D1)과 제2 패드(171)의 접속 면적을 충분히 확보할 수 있다. 따라서, 역내압 소자(Drt1, Drt2)의 각각의 열파괴에 대한 내성 및 ESD 내성을 향상시킬 수 있다.
- [0171] [변형예 2]

- [0172] 실시예 4의 변형예 2와 관련되는 발광 장치(1)는 전술한 실시예 3의 변형예 1에 관한 발광 장치(1)(도 15 참조)와 실시예 4에 관한 발광 장치(1)(도 19 참조) (을)를 조합한 예를 설명하는 것이다.
- [0173] 도 21에 도시한 바와 같이, 변형예 2와 관련되는 발광 장치(1)는 전술한 실시예 3의 변형예 1에 관한 발광 장치(1)와 유사하게, 반도체 발광 소자(15(1), 15(1'))의 제1 전극(152)에 일단이 접속되는 접속 도체(17)의 타단을 기판(10)의 접합부(172C)에 접속하고, 기판(10)의 이면(10B)을 제1 전극(172)으로서 사용한다. 기판(10)에는 도전성 기판으로서, 예를 들어, 실리콘 단결정 기판, SiC 기판 등이 사용된다.
- [0174] 단, 기판(10)은 비교적 고저항인 것이 바람직하다. 고저항인 기판(10)은 외부 저항의 역할을 하고, 입력 전압에 폭이 있는 교류 구동 전압에 실시예 4에 관한 발광 장치(1)를 접속했을 경우에도, 반도체 발광 소자(15)의 각각에 흐르는 전류 폭을 작게 하여, 전류 최대치 시에 있어서의 열과피 등을 방지할 수 있다.
- [0175] 역내압 소자(Drt1, Drt2)는 실시예 4와 관련되는 발광 장치(1)와 유사하게 배치된다. 제2 패드(171)와 반도체 발광 소자(15(1), 15(1'))의 사이는 직접 접속되어 있지 않기 때문에, 역류 방지 소자(Dac1, Dac2)는 필요로 하지 않는다.
- [0176] 기판(10) 또는 그 이면(10B)을 제1 패드(172)로서 사용하는 경우, 반도체 발광 소자(15)나 역내압 소자(Drt1, Drt2)의 각각에 누설전류가 흘러들지 않게, 도 22에 도시한 바와 같이, 이러한 반도체 발광 소자(15)들은 제1 패드(172)에 대해서 전기적으로 절연된다. 여기에서는, 제1 패드(172)에 상당하는 영역이 n형 반도체 영역(10N)에 의해 구성되어 이 n형 반도체 영역(10N)과 반도체 발광 소자(15) 등의 섬 영역(예를 들어 버퍼층(151))의 사이에 p형 반도체 영역(12P)이 배치된다. 즉, 전기적인 절연은 pn 접합에 의해 실시되고 있다.
- [0177] 또한, 이것들 반도체 발광 소자(15)등과 제1 패드(172)와의 전기적인 절연은, 도 23에 도시한 바와 같이, 버퍼층(151)에 절연성을 갖게 하고 이 절연 영역으로서 기능하는 버퍼층(151)에 의해 실시할 수 있다.
- [0178] (실시예 5)
- [0179] 본 발명의 실시예 5는 전술한 실시예 4와 관련되는 발광 장치(1)의 변형예를 설명하는 것이다.
- [0180] [발광 장치의 회로 구성]
- [0181] 도 24에 도시한 바와 같이, 실시예 5와 관련되는 발광 장치(1)는 전기적으로 직렬로 접속된 복수개의 반도체 발광 소자(15(1)~15(n))와, 복수개의 반도체 발광 소자(15(1)~15(n)) 중 일단 측의 반도체 발광 소자(15(n))의 한 쪽의 전극(여기에서는, 아노드 전극)에 전기적으로 접속된 제2 패드(본딩 패드)(171)와, 타단 측의 반도체 발광 소자(15(1))의 다른 쪽의 전극(여기에서는, 캐소드 전극)에 전기적으로 접속된 제1 패드(본딩 패드)(172)를 구비하고, 또한, 전원(100) 사이에 복수의 반도체 발광 소자(15(1)~15(n))에 전기적으로 병렬에 접속된 쌍방향 제너 다이오드(DZ)를 갖추고 있다.
- [0182] 쌍방향 제너 다이오드(DZ)는, 전술한 실시예 4와 관련되는 발광 장치(1)의 역내압 소자(Drt1, Drt2)로서의 기능 및 역류 방지 소자(Dac1, Dac2)로서의 기능을 갖는다. 쌍방향 제너 다이오드(DZ)의 제너 항복 전압은 한 쪽의 다이오드의 순방향 전압과 다른 쪽의 다이오드의 역방향 전압의 합이다. 제너 항복 전압은 전원(100), 예를 들어, 가정용 전원 100V의 실효치 140V의 전압보다 더 높게 설정된다. 실시예 5에서 쌍방향 제너 다이오드(DZ)는 전기적으로 3개가 직렬로 접속되고 있지만, 이 접속 개수로 한정되는 것은 아니다.
- [0183] [발광 장치의 디바이스 구조]
- [0184] 도 25 및 도 26에 도시한 바와 같이, 실시예 5와 관련되는 발광 장치(1)는 기본적으로는 전술한 실시예 3 또는 실시예 4에 관한 발광 장치(1)와 유사하게, 기판(10)과, 제1 전극(152), 활성층(153) 및 제2 전극(154)을 구비하며, 기판(10)의 일 표면에 배치된 복수의 반도체 발광 소자(15(1)~15(n))와 기판(10)의 일 표면(10S) 상에서 반도체 발광 소자(15)의 제1 전극(152)과 같은 층의 제1 전극(152D3), 활성층(153)과 같은 층의 활성층(153D3) 및 제2 전극(154)과 같은 층의 제2 전극(154D3)을 갖는 쌍방향 제너 다이오드(DZ)를 구비한다.
- [0185] 쌍방향 제너 다이오드(DZ)는, 제1 전극(152D3)을 여기에서는 n형 GaN층으로 구성하고, 활성층(153D3)을 MQW 구조를 가지는 질화물계 반도체 영역으로 구성하고, 제2 전극(154D3)을 p형 GaN층으로 구성하므로, p-i-n 형 구조를 가지는 다이오드이고 2개의 다이오드를 제1 전극(153D3)을 공유하여 전기적으로 접속한 것이다. 이 1개의 쌍방향 제너 다이오드(DZ) 즉 제1 전극(152D3)을 공유하는 2개의 다이오드는 1개의 섬 영역에 구성된다. 쌍방향 제너 다이오드(DZ)의 단면 구조는 반도체 발광 소자(15)의 단면 구조와 동일하다.
- [0186] 덧붙여 실시예 5와 관련되는 발광 장치(1)에서, 기판(10), 반도체 발광 소자(15)의 버퍼층(151), 제1 전극

(152), 활성층(153), 제2 전극(154), 광 투과성 도전막(155), 층간 절연막(16), 및 접속 도체(17)의 기본적인 구성은 실시예 3 또는 실시예 4와 관련되는 발광 장치(1)와 유사한 것으로, 여기서의 설명은 생략한다.

[0187] [발광 장치의 평면 구조]

[0188] 도 26에 도시한 바와 같이, 실시예 5와 관련되는 발광 장치(1)는 기관(10)의 일 주면(10S)에 대한 면의 법선 방향으로부터 보아서(평면적으로 보아서), 위쪽 변을 따라 쌍방향 제너 다이오드(DZ)를 배치한다. 그 이외의 제1 패드(172), 제2 패드(171), 및 복수의 반도체 발광 소자(15(1)~15(n))의 배열은 전술한 실시예 3에 관한 발광 장치(1)(도 14 참조)의 배열과 유사하다.

[0189] 이와 같이, 실시예 5에 관한 발광 장치(1)에서 전술한 실시예 4에 관한 발광 장치(1)에 의해 얻을 수 있는 작용 효과와 유사하게, 반도체 발광 소자(15)의 구조와 동일 구조를 갖는 쌍방향 제너 다이오드(DZ)를 제2 패드(171)와 제1 패드(172)의 사이에 구비하였으므로, 외부 부착 보호 소자를 사용하지 않고, 간단하고 용이한 구성에 의해 소형화를 향상하면서 ESD 내압을 향상시킬 수 있다.

[0190] (그 외의 실시예)

[0191] 상기와 같이, 본 발명을 실시예 1 내지 실시예 5에 의해 기재하였지만, 그 개시 내용의 일부를 이루는 설명 및 도면은 본 발명을 한정하는 것이 아니다. 본 발명은 여러 가지 대체 실시의 형태, 실시예 및 운용 기술에 적용할 수 있다. 예를 들어, 전술한 실시예 등에서 반도체 발광 소자에는 LED가 사용되고 있지만, 반도체 발광 소자에는 반도체 레이저를 사용할 수 있다.

산업이용 가능성

[0192] 본 발명은 분압 회로, 전원 회로 등의 전자 부품을 사용하지 않고 장치 구성을 간편화할 수 있는 발광 장치를 폭넓게 적용할 수 있다.

도면의 간단한 설명

- [0193] 도 1은 본 발명의 실시예 1에 관한 발광 장치의 주요부 확대 단면도이다.
- [0194] 도 2는 실시예 1에 관한 발광 장치의 회로 구성 그림이다.
- [0195] 도 3은 실시예 1에 관한 발광 장치의 평면도이다.
- [0196] 도 4는 실시예 1에 관한 발광 장치를 개략 단면도이다.
- [0197] 도 5는 실시예 1에 관한 발광 장치의 광추출 효율을 설명하기 위한 계면 반사율과 입사각도과의 관계를 나타내는 그래프이다.
- [0198] 도 6은 본 발명의 실시예 2에 관한 발광 장치의 회로 구성도이다.
- [0199] 도 7은 실시예 2에 관한 발광 장치의 반도체 발광 소자를 나타내는 주요부의 확대 단면도이다.
- [0200] 도 8은 실시예 2에 관한 발광 장치의 정류 소자를 나타내는 주요부 확대 단면도이다.
- [0201] 도 9는 실시예 2에 관한 발광 장치의 평면도이다.
- [0202] 도 10은 본 발명의 실시예 3에 관한 발광 장치의 회로 구성도이다.
- [0203] 도 11은 실시예 3에 관한 발광 장치의 주요부 확대 단면도이다.
- [0204] 도 12는 도 11에 나타내는 발광 장치의 주요부 확대 평면도이다.
- [0205] 도 13은 실시예 3에 관한 발광 장치의 저항체에 대해 저항과 전류와의 관계를 나타내는 그래프이다.
- [0206] 도 14는 실시예 3에 관한 발광 장치의 평면도이다.
- [0207] 도 15는 실시예 3의 변형예 1에 관한 발광 장치의 평면도이다.
- [0208] 도 16은 실시예 3의 변형예 2에 관한 발광 장치의 평면도이다.
- [0209] 도 17은 본 발명의 실시예 4에 관한 발광 장치의 회로 구성도이다.
- [0210] 도 18은 실시예 4에 관한 발광 장치의 주요부 확대 단면도(도 19에 나타내는 F17 - F17선으로 자른

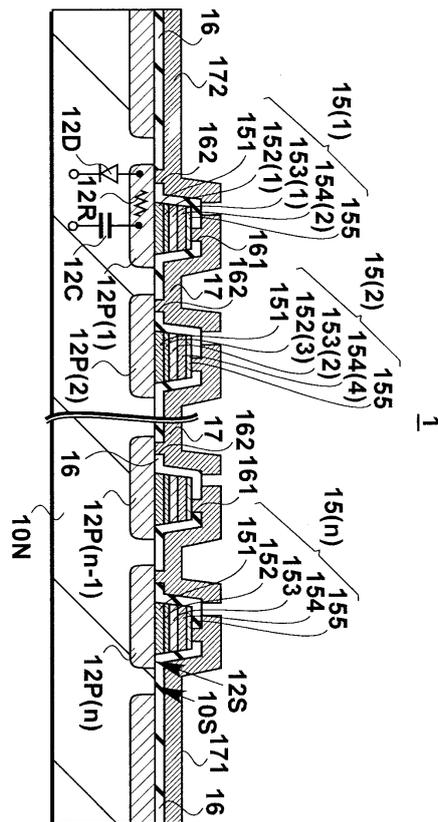
단면도)이다.

- [0211] 도 19는 실시예 4에 관한 발광 장치의 평면도이다.
- [0212] 도 20은 실시예 4의 변형예 1에 관한 발광 장치의 평면도이다.
- [0213] 도 21은 실시예 4의 변형예 2에 관한 발광 장치의 평면도이다.
- [0214] 도 22는 실시예 4의 변형예 2에 관한 발광 장치의 주요부 확대 단면도이다.
- [0215] 도 23은 실시예 4의 변형예 2에 관한 발광 장치 외 예를 설명하기 위한 주요부 확대 단면도이다.
- [0216] 도 24는 본 발명의 실시예 5에 관한 발광 장치의 회로 구성도이다.
- [0217] 도 25는 실시예 5에 관한 발광 장치의 주요부 확대 단면도(도 26에 나타내는 F25 - F25선으로 자른 단면도)이다.
- [0218] 도 26은 실시예 5에 관한 발광 장치의 평면도이다.
- [0219] [도면의 주요 부분에 대한 부호의 설명]
- [0220] 1: 발광 장치
- [0221] 10: 기관
- [0222] 10 N, 11 N: 반도체 영역 또는 제1 반도체 영역
- [0223] 10 P: 반도체 영역
- [0224] 10 S, 11 S, 12 S: 일 주면
- [0225] 11 ND, 11 ND1, 11 ND2: n형 반도체 영역
- [0226] 12 P: 반도체 영역, 제2 반도체 영역, 제3 반도체 영역 또는 제n+1의 반도체 영역
- [0227] 12 PD1, 12 PD2: p형 반도체 영역
- [0228] 12 R: 저항
- [0229] 12 D: 다이오드
- [0230] 12 Df, Bdf1, Bdf2: 순방향 다이오드
- [0231] 12 Dr, BDr1, BDr2: 역방향 다이오드
- [0232] Drt1, Drt2: 역내압 소자
- [0233] Dac1, Dac2: 역류 방지소자
- [0234] DZ: 쌍방향 제너 다이오드
- [0235] Rs: 저항체
- [0236] 12 C, C1, C2: 용량
- [0237] 15: 반도체 발광 소자
- [0238] 151: 버퍼층
- [0239] 152, 152 D1, 152 D2, 152 D3: 제1 전극 또는 제3 전극
- [0240] 153, 153 D1, 153 D2, 153 D3: 활성층, 제1 활성 영역 또는 제2 활성 영역
- [0241] 154, 154 D1, 154 D2, 154 D3: 제2 전극 또는 제4 전극
- [0242] 155: 광 투과성 도전막
- [0243] 16: 층간절연막
- [0244] 161, 162: 접속공

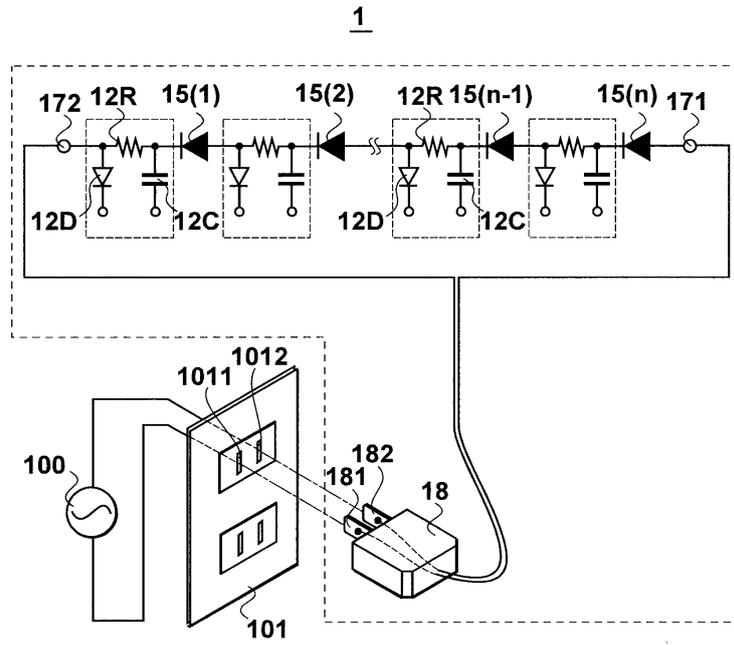
- [0245] 17, 173: 접속 도체
- [0246] 17 a: Ti층
- [0247] 17 b: Au층
- [0248] 171: 제2 패드
- [0249] 172: 제1 패드
- [0250] 18: 콘센트 플러그
- [0251] 181: 제1 전원 플러그 단자
- [0252] 182: 제2 전원 플러그 단자
- [0253] 20: 정류 소자
- [0254] 100: 전원
- [0255] 101: 콘센트

도면

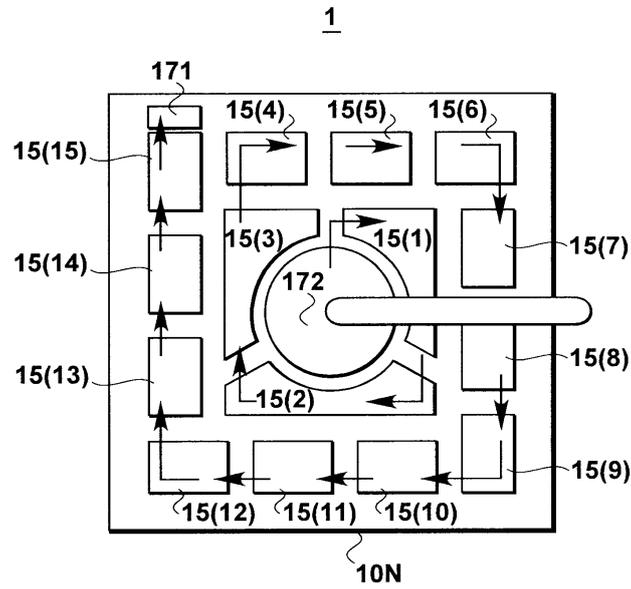
도면1



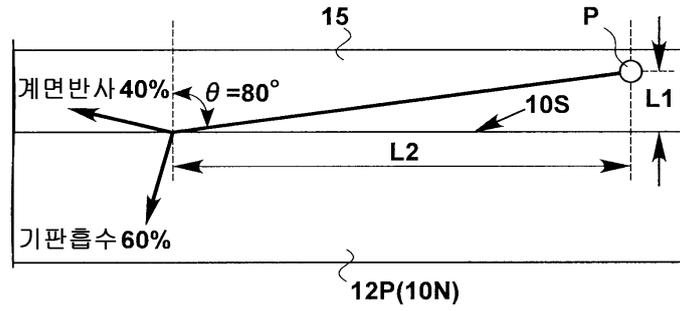
도면2



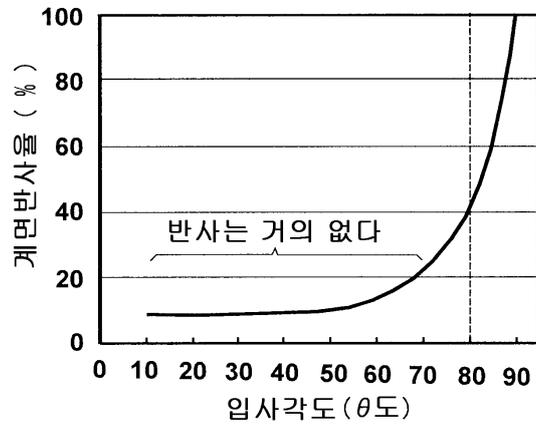
도면3



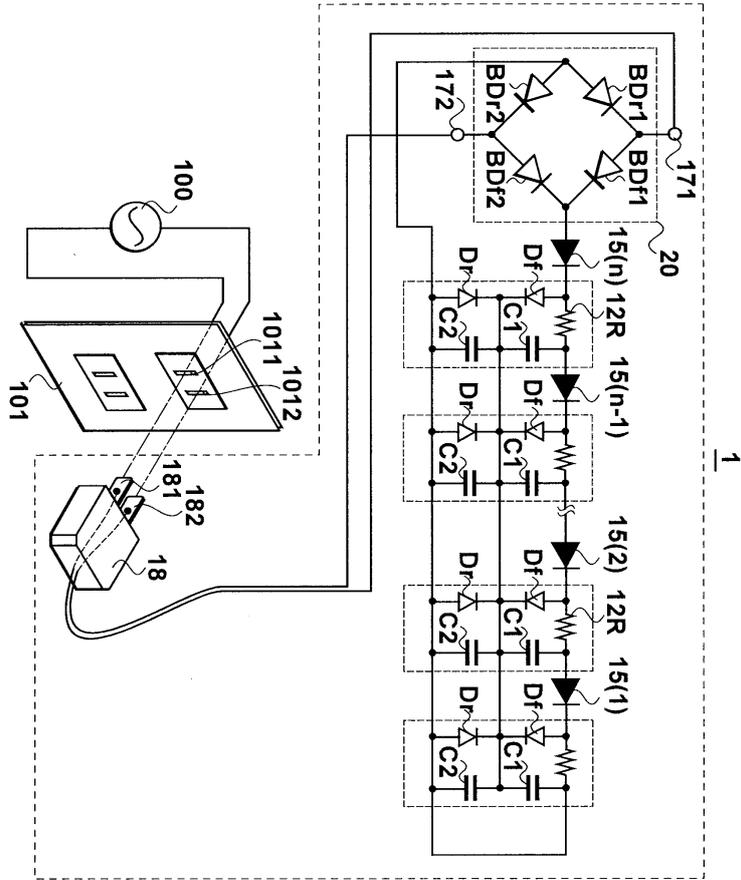
도면4



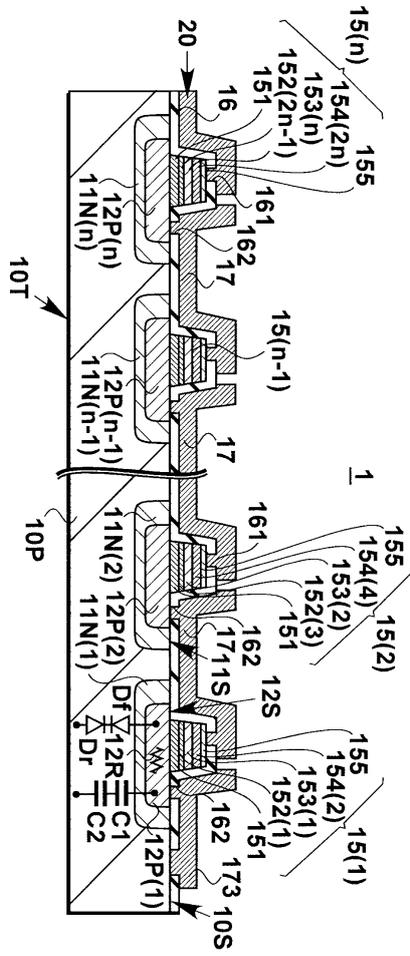
도면5



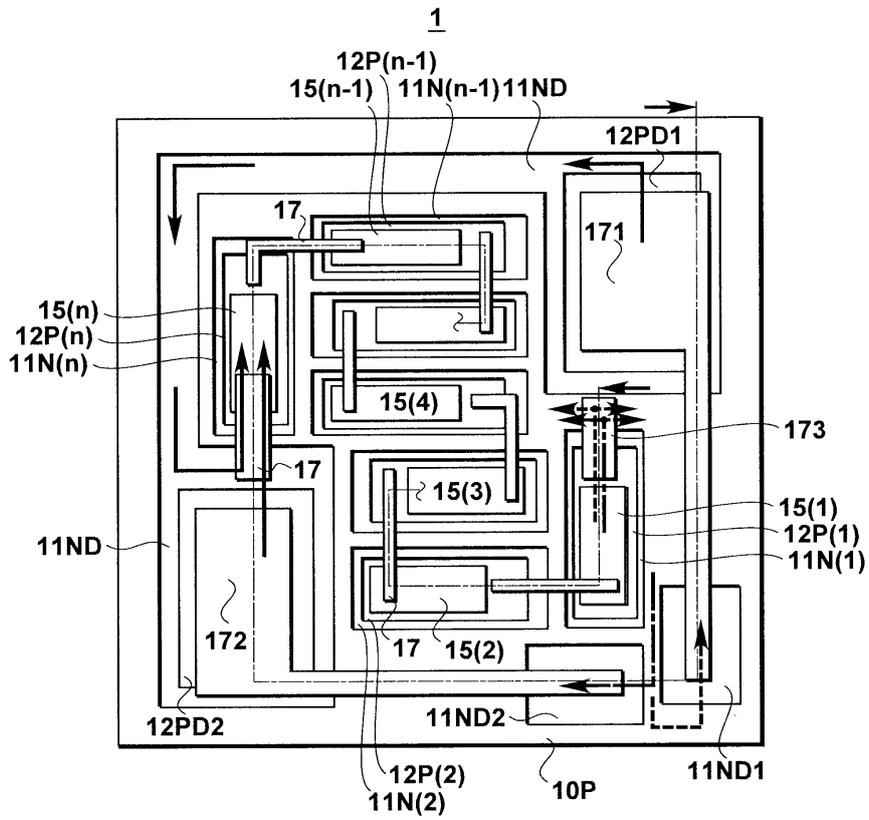
도면6



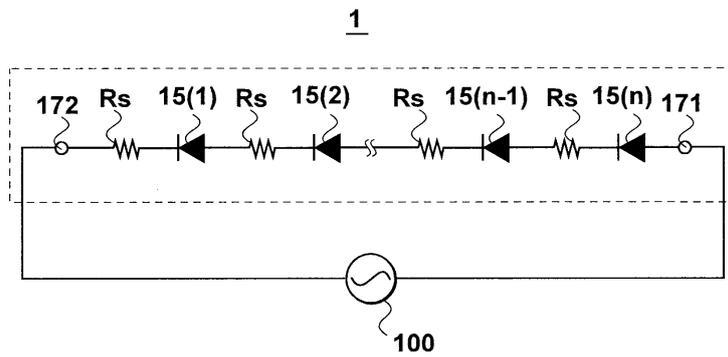
도면8



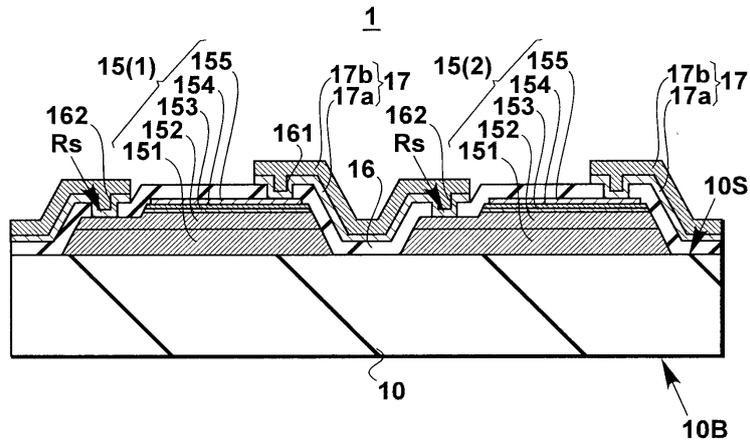
도면9



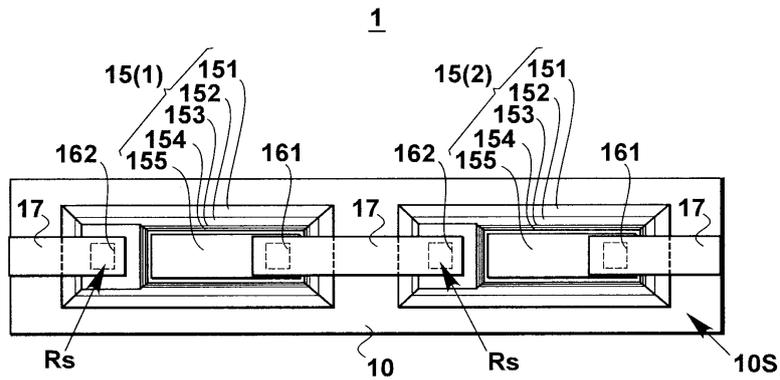
도면10



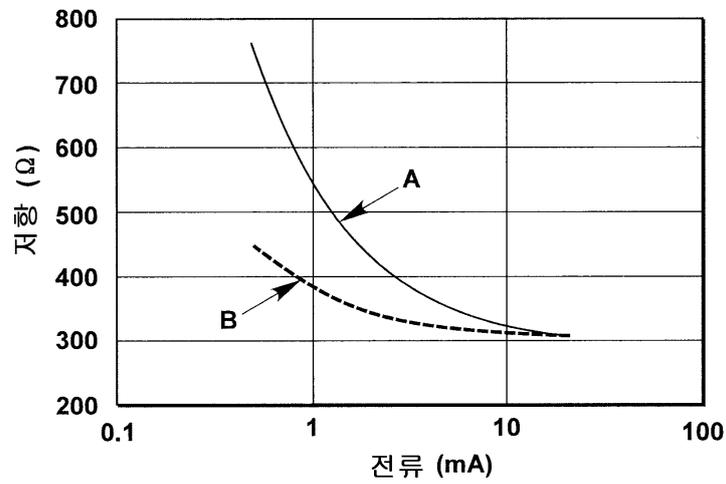
도면11



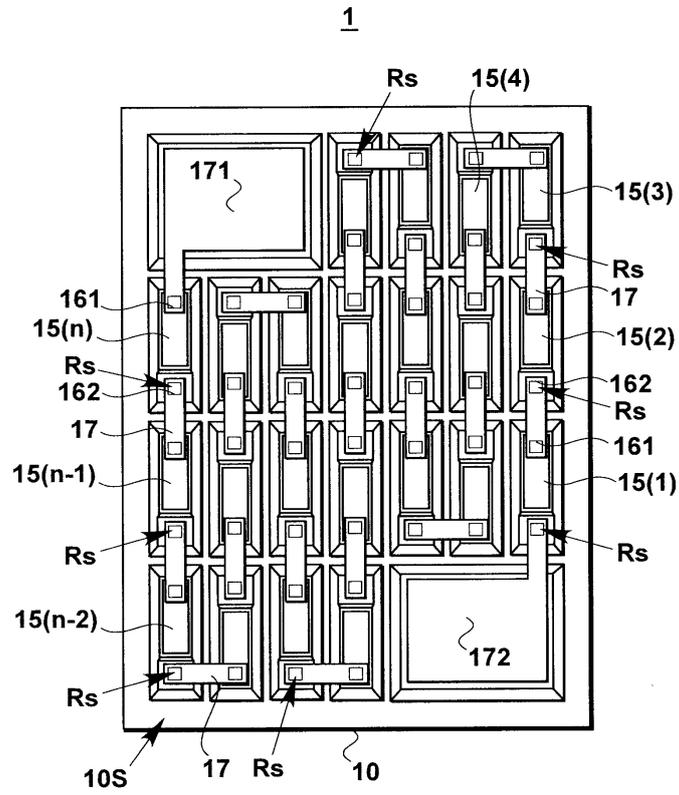
도면12



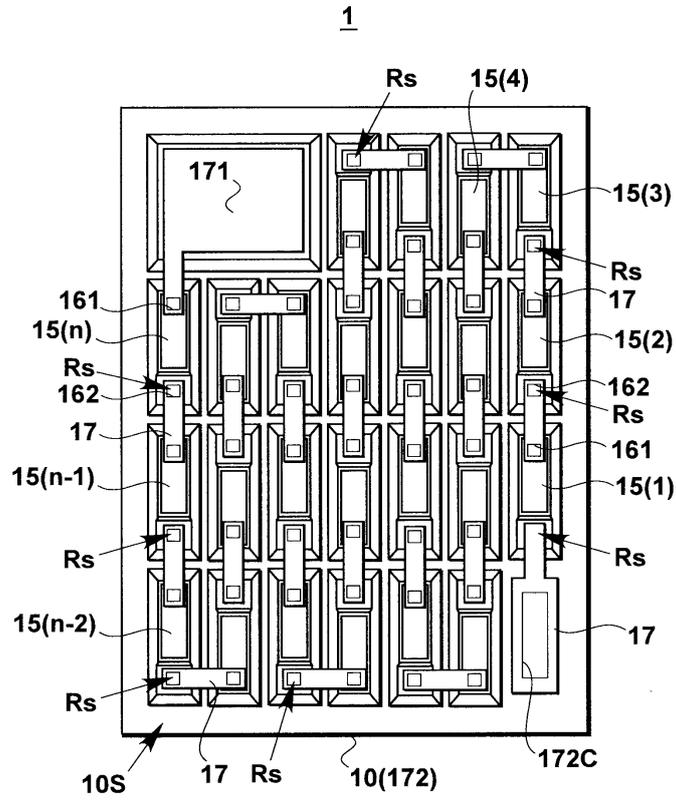
도면13



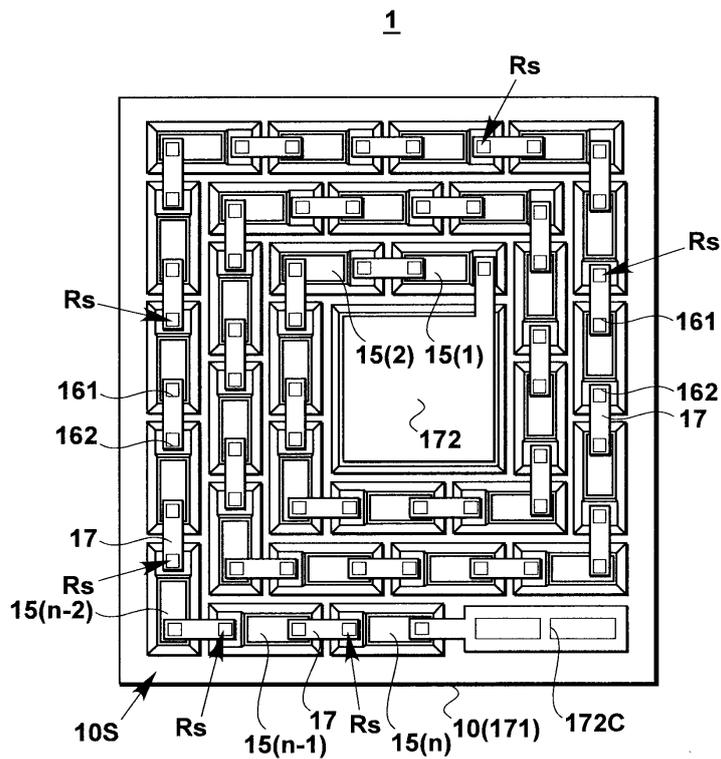
도면14



도면15

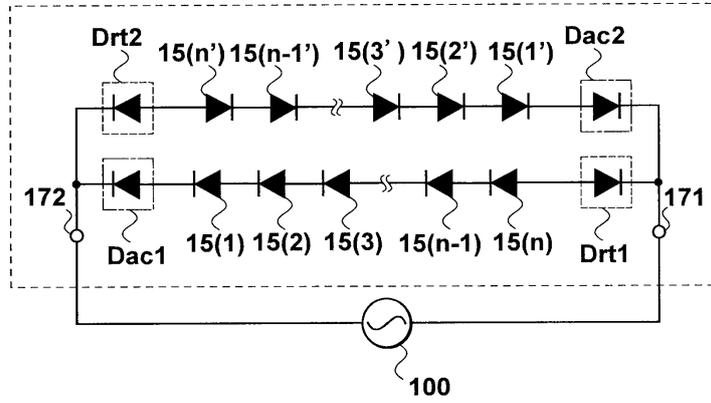


도면16

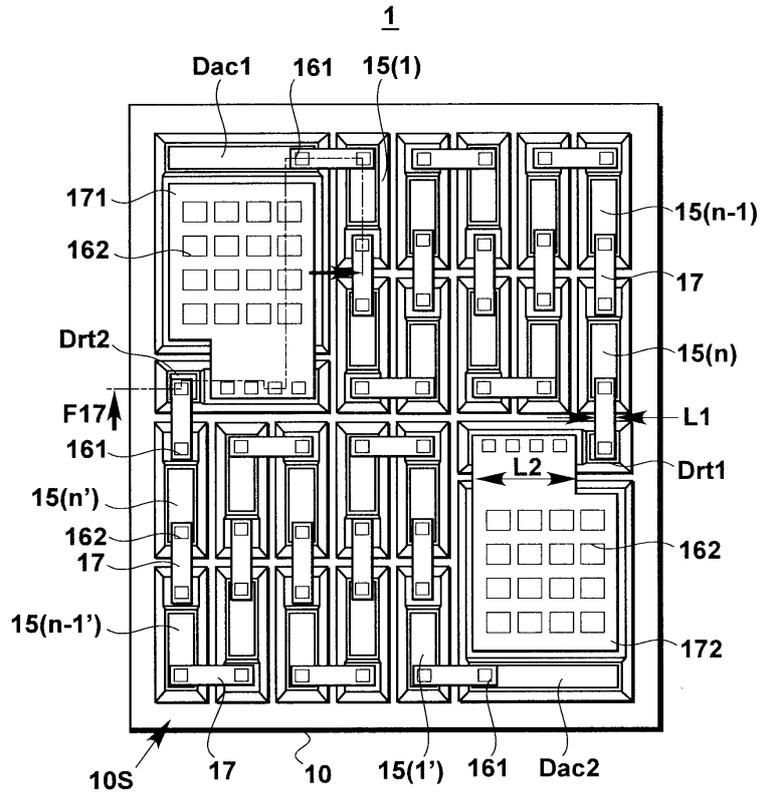


도면17

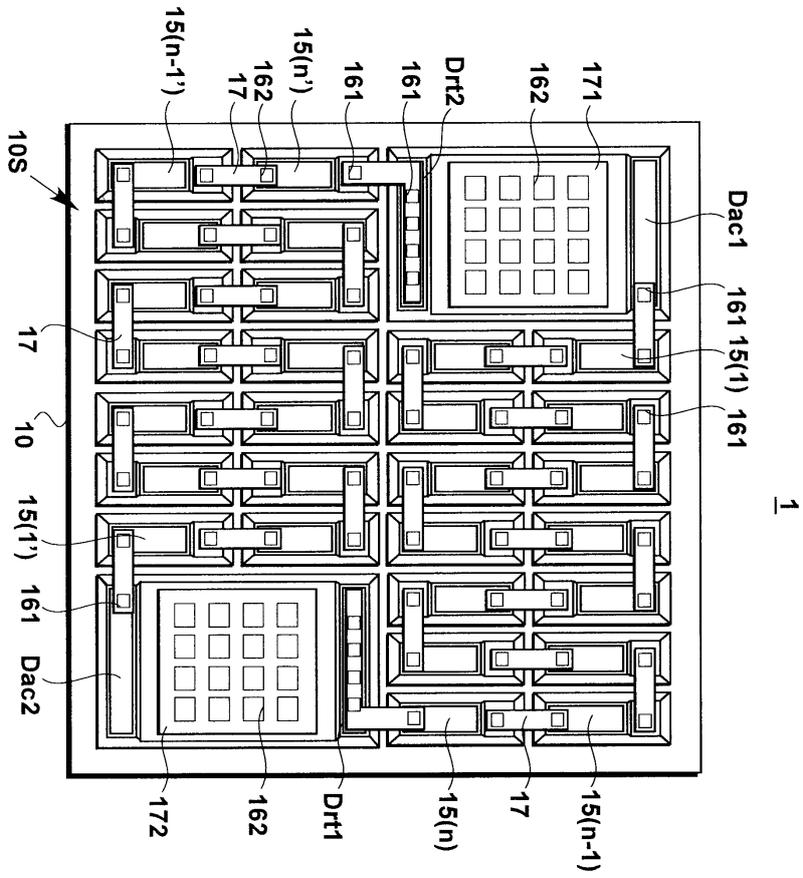
1



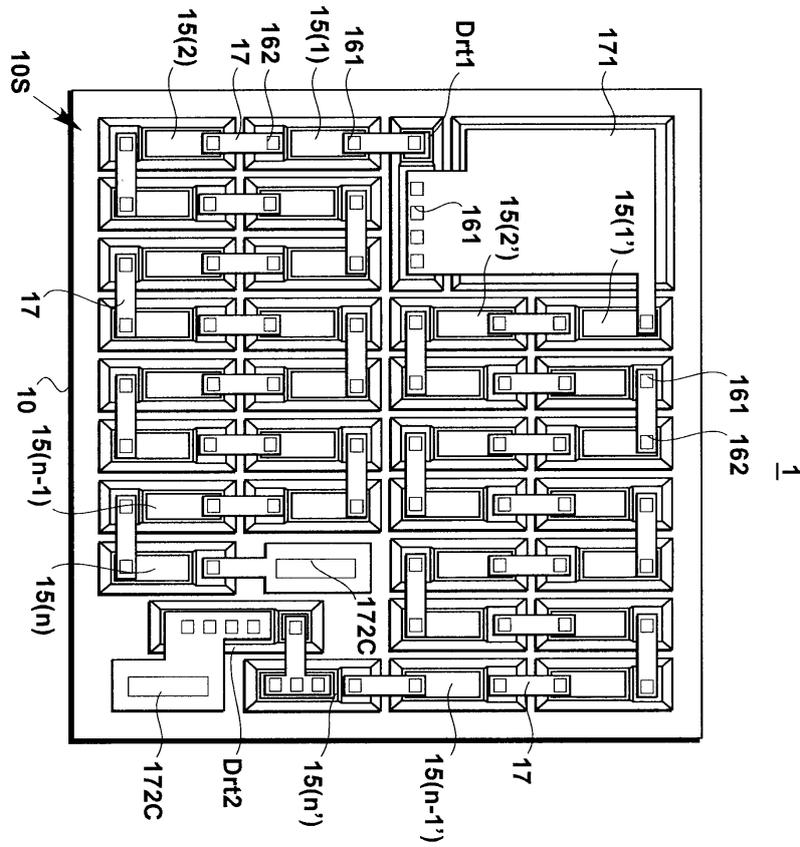
도면19



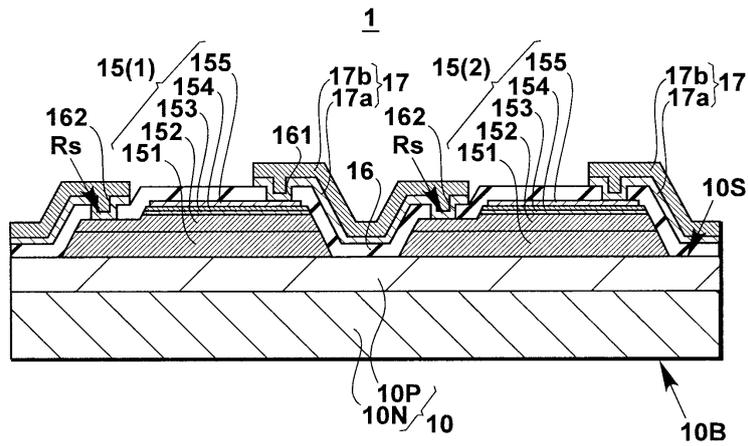
도면20



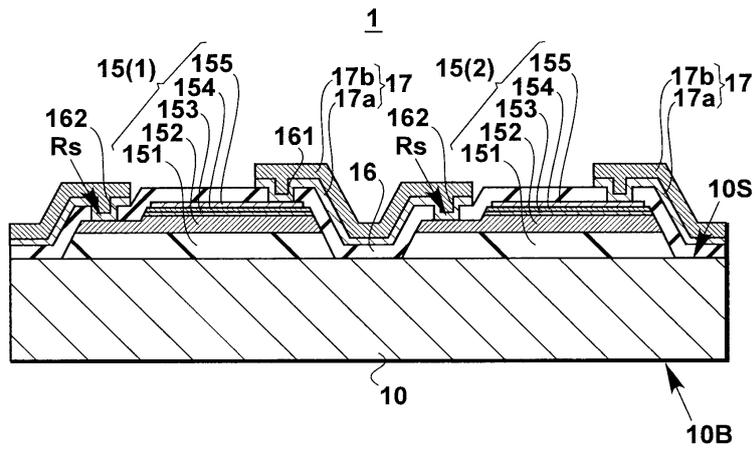
도면21



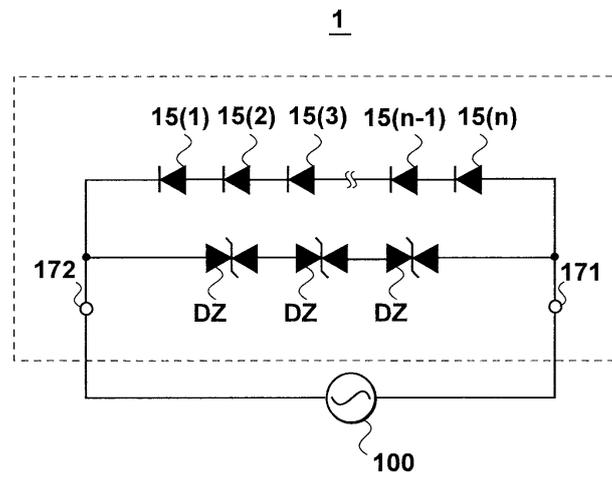
도면22



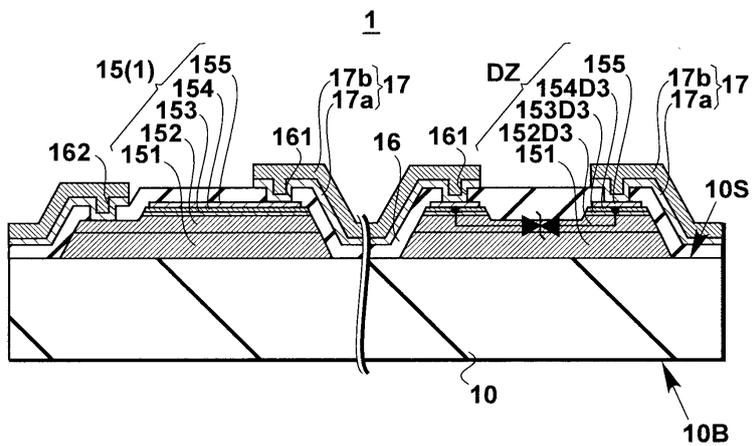
도면23



도면24



도면25



도면26

