(19) Deutsches Patent- und Markenamt

(10) **DE 196 09 441 B4** 2012.06.06

(12) # Patentschrift

(21) Aktenzeichen: **196 09 441.0**
(22) Anmeldetag: **11.03.1996**
(43) Offenlegungstag: **31.10.1996**
(45) Veröffentlichungstag der Patenterteilung: **06.06.2012**

(51) Int Cl.: ***G11C 29/00*** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
7-102118 **26.04.1995** **JP**

(62) Teilung in:
196 54 957.4; 196 55 382.2

(73) Patentinhaber:
Mitsubishi Denki K.K., Tokyo, JP

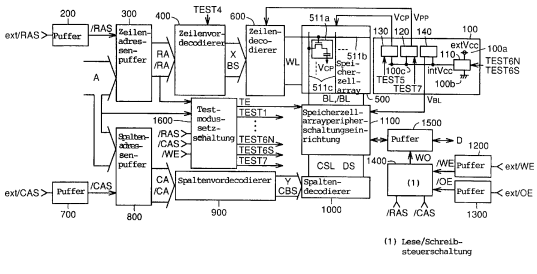
(74) Vertreter:
PRÜFER & PARTNER GbR, 81479, München, DE

(72) Erfinder:
Suma, Katsuhiro, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
siehe Folgeseiten

(54) Bezeichnung: **Zum gleichzeitigen Bestimmen eines Vielbittestmodus und eines speziellen Testmodus befähigte Halbleiterspeichereinrichtung**

(57) Hauptanspruch: Halbleitereinrichtung, welche umfasst:
eine mindestens ein erstes Eingangssignal (/RAS, /CAS, /WE, A_0, A_1, /RA_0, /RA_1) empfangende Zustandsermittlungsschaltung (1610) zum Ausgeben mindestens eines Zustandsermittlungssignals (TDA–TDC, TGA, TGB) gemäß einem Zustand des ersten Eingangssignals; und
eine das Zustandsermittlungssignal und mindestens ein zweites Eingangssignal (/RA_2–/RA_6) empfangende Testmodussetzsignalerzeugungsschaltung (1620),
(i) zum Ausgeben
(a) eines ersten Testmodussetzsignals (TE), das auf einen aktivierten Pegel gesetzt ist, um einen Vielbittest eines standardisierten Testmodus zu setzen, wenn das Zustandsermittlungssignal (TDA–TDC, TGA, TGB) anzeigt, dass das erste Eingangssignal (/RAS, /CAS, /WE, A_0, A1, /RA_0, /RA_1) in einem ersten Zustand ist, und
(b) eines zweiten Testmodussetzsignals (TEST1-TEST7), das als Reaktion auf das zweite Eingangssignal (/RA_2–/RA_6), das in einem vorbestimmten Zustand ist, auf einen aktivierten Pegel gesetzt ist, um einen Modus von zumindest einem speziellen Test zu setzen, der ein anderer ist als der Vielbittest, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in einem sich...



(19) Deutsches Patent- und Markenamt

(10) **DE 196 09 441 B4** 2012.06.06

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE	**43 36 884**	**A1**
US	**4 951 254**	**A**
US	**5 267 206**	**A**
US	**5 161 159**	**A**
JP	**6 222 948**	**A**

FURUYAMA, T.; OHSAWA, T.; WATANABE,Y.et. al.: An Experimental 4-Mbit CMOS DRAM. In: IEEE Journal of Solid State Circuits, Vol. SC-21, No. 5, October 1986, S. 605-611

MC ADAMS, H.; NEAL, J.H.; HOLLAND, B. et. al.: A 1-Mbit CMOS Dynamic RAM With Design-For Test Functions. In: IEEE Journal of Solid State Circuits, Vol. SC-21, No. 5, October 1986, S. 635-642

Mashiko, K.; Nagatomo, M.; Arimoto, K.; Matsuda, Y.; Furutani, K.; Matsukawa, T.; Yamada, M.; Yoshihara, T.; Nakano, T.; A 4-Mbit DRAM with folded-bit-line adaptive sidewall-isolated capacitor (FASIC) cellSolid-State Circuits, IEEE Journal of Volume: 22 , Issue: 5 Digital Object Identifier: 10.1109/JSSC.1987.1052794 Publication Year: 1987 , Page(s): 643 - 650

VOSS, P.H.; PFENNINGS, M.G.; PHELAN, C.G. et.al.: A 14-ns 256Kx1 CMOS SRAM with Multiple Test Modes. In: IEEE Journal of Solid State Circuits, Vol. 24, No. 4, August 1989, S. 874-880

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Halbleitereinrichtung und insbesondere eine Halbleitereinrichtung mit einem Testmodus zum Ausführen eines vorgeschriebenen Tests.

[0002] Gegenwärtig werden in verschiedenartigen elektrischen Erzeugnissen wie beispielsweise Personalcomputern und Workstations verschiedene Halbleitereinrichtungen wie beispielsweise Mikrocomputer, Speicher und Gatterarrays aufgenommen. Die meisten der Halbleitereinrichtungen sind durch Verwenden eines für einen größeren Integrationsgrad und einen kleineren Stromverbrauch geeigneten MOS-Transistors (Metall-Oxid-Silizium-Transistors) gebildet. Ein DRAM (dynamischer Speicher mit wahlfreiem Zugriff) ist einer von derartigen Speichern, die die MOS-Transistoren enthalten und vor kurzem so entwickelt wurden, daß sie eine große Speicherkapazität aufweisen, und wird als Hauptspeicher eines Personalcomputers oder einer Workstation verwendet. Für das DRAM werden kleinere Kosten und eine größere Leistungsfähigkeit benötigt. Doch es ist dazu gekommen, daß verschiedenartige Leistungsfähigkeitstests, die zum Vorsehen einer großen Leistungsfähigkeit und von hochzuverlässigen Erzeugnissen notwendig sind, so kompliziert sind, daß die zum Testen notwendige Zeit zu lang wird, wodurch sich eine Zunahme der Erzeugniskosten ergibt.

[0003] Um dieses Problem zu beseitigen, ist bei dem Schritt zum Entwerfen eine Testfähigkeitsfunktion lange aufgenommen worden, um das Testen bei Mikrocomputern und Logikeinrichtungen wie beispielsweise einem Gatterarray zu erleichtern. Der Testfähigkeitsentwurf wird auch auf dem Gebiet der Halbleiterspeicher notwendig, um das Problem zu beseitigen. Als eine Herangehensweise zum Verkleinern der Testzeit im DRAM standardisierte der JEDEC (Joint Electron Device Engineering Council) einen Modus, bei dem Daten komprimiert werden, um die Anzahl von Zugriffen zu verkleinern und die Testzeit zu verkleinern. Insbesondere werden in eine Mehrzahl von Speicherzellen, auf die mehrmals in einem Normalmodus zugegriffen werden muß, durch nur einen Zugriff in dem Testmodus dieselben Daten geschrieben. Die in die Mehrzahl von Speicherzellen geschriebenen Daten werden innerhalb der Chipspeichereinrichtung gelesen, und ein Signal, das anzeigt, ob die Daten miteinander zusammenpassen, wird durch einen Zugriff ausgegeben. Dieser Testmodus wird als Vielbittestmodus bezeichnet, der durch den JEDEC standardisiert ist. DRAMs mit durch den JEDEC nicht standardisierten speziellen Modi sind auch vorgeschlagen worden, welche speziellen Modi enthalten: den in dem offengelegten Japanischen Patent Nr. 6-194424 offenbarten speziellen Testmodus, bei dem ein internes Potential überwacht wird; den in dem offengelegten Japanischen Patent Nr. 5-242698 offenbarten Testmodus, bei dem eine Anzahl von Invertern in einer eine Mehrzahl von Invertern enthaltenden Verzögerungskette verkleinert ist und ein bestimmter Zugriffspfad kurzgeschlossen ist, um bei Raumtemperatur einen bei einer hohen Temperatur erfahrenen Zustand zu verwirklichen; und einen Testmodus, bei dem durch Ändern der Substratvorspannung Fehler gefördert werden.

[0004] Fig. 29 ist eine schematische Darstellung, welche eine herkömmliche Testmodussetzschaltung zeigt, die in dem in dem offengelegten Japanischen Patent Nr. 5-242698 offenbarten DRAM unterstützt wird. Bei der Testmodussetzschaltung erreicht der Ausgang in einem Gatter-NAND einen L-Pegel durch eine Kombination eines WCBR-(/WE, /CAS-vor- / RAS-)Timings, bei dem ein Schreibberechtigungssignal /WE und ein Spaltenadressenstrobesignal /CAS zunächst auf einen L-Pegel abnehmen und das Zeilenadressenstrobesignal /RAS danach auf einen L-Pegel abnimmt, und eines Überspannungseingangs, der ein Potential ist, das noch größer als das Stromversorgungspotential ist, in einen eigenen Eingangsanschluß. Auf der Grundlage von Adressensignalen A1 und A2 (und Ausgängen aus Invertern IV1 und IV2) sieht das eine von NOR-Gattern NO10, NO11, NO12 und NO13 einen H-Pegel-Ausgang vor. Durch NOR-Gatter NO2 bis NO9 sind Flipflopschaltungen 5, 6, 7 und 8 gebildet, die entsprechende Ausgänge B-E aus den NOR-Gattern NO10, NO11, NO12 und NO13 empfangen. Außer wenn das Rücksetzsignal RST auf dem H-Pegel ist und an den eigenen Eingangsanschluß die Überspannung nicht angelegt ist, das heißt, wenn der Ausgang des NO1 auf dem L-Pegel ist, setzt eine Flipflopschaltung, die einen der Ausgänge aus den NOR-Gattern NO10, NO 11, NO12 und NO13, welcher auf dem H-Pegel ist, empfängt, ein entsprechendes Testmodussetzsignal OPT1, OPT2, OPT3 und O2T4 auf den H-Pegel und hält denselben. (Selbst wenn der Ausgang aus dem entsprechenden der NOR-Gatter NO10, NO11, NO 12 und NO13 danach den L-Pegel erreicht, gibt sie den H-Pegel kontinuierlich aus.) Wenn das Rücksetzsignal auf dem H-Pegel ist und an den eigenen Eingangsanschluß die Überspannung nicht angelegt ist, das heißt, wenn der Ausgang aus dem NOR-Gatter NO1 auf dem H-Pegel ist, dann werden die Testmodussetzsignale OPT1, OPT2, OPT3 und OPT4 auf den L-Pegel zurückgesetzt.

[0005] Wie vorstehend beschrieben, wird bei der herkömmlichen Testmodussetzschaltung der H-Pegel gehalten und solange nicht auf den L-Pegel zurückgesetzt, bis das Rücksetzsignal RST auf den H-Pegel gesetzt ist und das Anlegen der Überspannung an den eigenen Eingangsanschluß unterbrochen ist, wenn die Signale OPT1, OPT2, OPT3 und OPT4 einmal den H-Pegel erreichen. Daher kann durch Setzen einer Mehrzahl von Testmodussetzsignalen OPT1,

OPT2, OPT3 und OPT4 durch Ändern der Adressensignale A1 und A2 eine Mehrzahl von Testmodi gleichzeitig aktiviert werden.

[0006] Ferner wird in dem offengelegten Japanischen Patent Nr. 6-222948 eine ein sicheres Setzen eines speziellen Testmodus vorsehende integrierte Halbleiterschaltung offenbart.

[0007] Die in Fig. 29 gezeigte herkömmliche Testmodussetzschaltung ist nicht dazu angepaßt, um einen Vielbittest nur durch das durch den JEDEC standardisierte WCBR-Timing auszuführen. Sie ist nicht dazu angepaßt, um sowohl den Vielbittestmodus als auch einen speziellen Testmodus gleichzeitig zu aktivieren. Daher kann durch Verwenden des Vielbittestmodus die Zeit zum Testen nicht verkleinert werden.

[0008] Ferner ist es notwendig, Leitungen in verschiedene interne Schaltungen (nicht dargestellt) zu ziehen, die nach Empfang der Testmodussetzsignale OPT1, OPT2, OPT3 und OPT4 in den Testmodus gesetzt sind, um in sie die Testmodussetzsignale OPT1, OPT2, OPT3 und OPT4 zu übertragen. Daher ist die Anzahl von Testmodi begrenzt durch das Gebiet, in dem die Leitungen gezogen sind, und zum Beispiel können nur vier Testmodi verwirklicht werden, wenn das Gebiet nur vier Leitungen unterbringen kann.

[0009] Ferner wird in einem Gebiet, in dem eine Stromversorgungsleitung, an die ein Stromversorgungspotential angelegt ist, und eine Massepotentialleitung, an die ein Massepotential angelegt ist, als an eine Signalleitung angrenzende Abschirmleitungen vorgesehen sind, um ein Rauschen auf der Signalleitung zu verhindern, durch diese Leitungen eine beträchtlich große Fläche eingenommen, und es ist schwer, die Leitungen zum Übertragen der Testmodussetzsignale zu ziehen.

[0010] Aus der US 5,267,206 ist eine Halbleitereinrichtung bekannt, die in einem Vielbittestmodus getestet werden kann, aber bei der nicht die Möglichkeit zum Setzen eines weiteren Testmodus zusätzlich zu einem Vielbittestmodus besteht.

[0011] Aus der US 4,951,254 ist eine Halbleitereinrichtung bekannt, bei der zu einer Zeit genau einer von einer Mehrzahl von Testmodi durchgeführt werden kann. Die Art des auszuführenden Testmodus wird durch Adressensignale bestimmt, während das Ausführen irgendeines Testmodus durch eine vorbestimmte zeitliche Abfolge anderer Signale angewiesen wird.

[0012] US 5,161,159 beschreibt einen statischen Speicher mit wahlfreiem Zugriff zur Verfügung gestellt, der einen normalen Betriebsmode hat, und der einen speziellen Betriebsmode hat, der durch ein Freigabesignal freigegeben wird. Der Speicher enthält: mehrere Speicherzellen, die in Reihen bzw. Zeilen und Spalten angeordnet sind, eine Schaltung, um zumindest auf eine der Speicherzellen in dem normalen Betriebsmode in Reaktion auf den Empfang einer Speicheradresse zuzugreifen, eine Ausgangsschaltung, um den Inhalt der zugegriffenen Speicherzelle in dem normalen Betriebsmode anzulegen, einen ersten Anschluss, um Pulse eines Modeeinleitungssignals zu empfangen, das den Eintritt in einen speziellen Betriebsmode anzeigt, und eine Freigabeschaltung, die einen Eingang hat, der an den ersten Anschluss angekoppelt ist, und einen Ausgang hat, um, in Reaktion auf den Empfang von mehreren Pulsen des Modeeinleitungssignals an dem ersten Ausgang, das Freigabesignal anzulegen, wobei die Freigabeschaltung eine sequentielle Logik aufweist, um einen Zustand zu speichern, der den Empfang eines einzelnen Pulses des Modeeinleitungssignals anzeigt, und um das Freigabesignal in Reaktion auf den Empfang eines einzelnen Pulses des Modeeinleitungssignals an dem ersten Anschluss nicht anzulegen, und wobei die Zugriffsschaltung und die Ausgangsschaltung auf Signale ansprechen, die eine Amplitude in einem Bereich zwischen einer ersten und einer zweiten Grenze haben, wenn die Schaltung in dem normalen Betriebsmode ist, wobei das Modeeinleitungssignal, das an dem ersten Anschluss empfangen wird, Pulse aufweist, die eine Amplitude außerhalb des Bereiches haben.

[0013] DE 43 36 884 A1 beschreibt eine Halbleitervorrichtung, die einem vorbestimmten Eigenschaftentest ausgesetzt wird. Als Reaktion auf ein externes Steuersignalerkennen eine erste Timing-Erkennungsschaltung und eine Hochspannungs-Erkennungsschaltung das Setzen eines Signaturmodus und erzeugen ein Signaturmodussignal für eine zweite Timing-Erkennungsschaltung. Die zweite Timing-Erkennungsschaltung gibt als Reaktion auf das externe Steuersignal ein Ausgabepuffer-Aktivierungssignal an den Ausgabepuffer aus. Als Reaktion auf das Ausgabepuffer-Aktivierungssignal (IVE) erkennt der Ausgabepuffer eine interne Versorgungsspannung und legt diese an einen externen Pin an.

[0014] Es ist Aufgabe der vorliegenden Erfindung, eine Halbleitereinrichtung anzugeben, die ein verbessertes Setzen von Testmodi ermöglicht.

[0015] Diese Aufgabe wird gelöst durch eine Halbleitereinrichtung nach Anspruch 1 oder 4. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0016] Die Halbleitereinrichtung weist eine Zustandsermittlungsschaltung auf, die ein erstes Eingangssignal empfängt und ein dem Zustand des ersten Eingangssignals entsprechendes Zustandsermittlungssignal ausgibt; und eine das Zustandsermittlungssignal empfangende Testmodussetzsignal-

erzeugungsschaltung zum Ausgeben eines ersten Testmodussetzsignals, das aktiviert ist, wenn das Zustandsermittlungssignal anzeigt, daß das erste Eingangssignal in einem ersten Zustand ist, und einen Vielbittestmodus setzt, und eines zweiten Testmodussetzsignals, das als Reaktion auf ein zweites Eingangssignal aktiviert ist, wenn das Zustandsermittlungssignal anzeigt, daß das erste Eingangssignal in einem sich von dem ersten Zustand unterscheidenden zweiten Zustand ist, und zum Setzen sowohl des ersten als auch des zweiten Testmodussetzsignals auf einen aktiven Pegel, wenn das Zustandsermittlungssignal anzeigt, daß das erste Eingangssignal in dem zweiten Zustand und das zweite Eingangssignal in einem dritten Zustand ist.

[0017] Vorzugsweise ist das Testmodussetzsignal codiert, wobei es in einer Form, bei der eine Mehrzahl von Testmodusbestimmungsinformationen komprimiert ist, übertragen und dann decodiert wird.

[0018] Die Testmodussetzsignalübertragungsleitung ist so angeordnet, daß sie zu einer abzuschirmenden Signalleitung parallel verläuft und an diese angrenzt.

[0019] Gemäß dem Zustand des ersten Eingangssignals kann eine Mehrzahl von Testmodi gleichzeitig bestimmt werden, und die Tests können mit großer Schnelligkeit ausgeführt werden.

[0020] Da ferner das Testmodussetzsignal als codiertes Signal übertragen wird, kann durch eine kleinere Anzahl von Signalen eine Bestimmung einer Mehrzahl von Testmodi ausgeführt werden, und daher kann das durch die Signalleitungen eingenommene Gebiet verkleinert werden.

[0021] Wenn ferner ein bestimmter Betriebsmodus bestimmt ist, dann ist (unabhängig davon, ob es ein Testmodus oder ein Normalmodus ist) der Spannungspegel der Testsignalübertragungsleitung festgelegt, und daher funktioniert sie als Abschirmleitung, ähnlich wie die die Masseleitung umfassende Stromversorgungsleitung. Daher kann eine gewünschte Signalleitung selbst in einem Gebiet abgeschirmt werden, in dem die Stromversorgungsleitung nicht vorgesehen ist.

[0022] Die vorstehenden und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung augenscheinlicher werden, wenn diese in Verbindung mit den beigefügten Zeichnungen zur Kenntnis genommen wird.

[0023] Von den Figuren zeigen:

[0024] Fig. 1 ein Blockschaltbild eines DRAM gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0025] Fig. 2 eine Timingdarstellung, welche den Betrieb des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt;

[0026] Fig. 3A eine schematische Darstellung einer internen Stromversorgungspotentialerzeugungsschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0027] Fig. 3B eine schematische Darstellung der Struktur eines Abschnitts, der einen Vielbittest des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung ausführt;

[0028] Fig. 4 eine schematische Darstellung einer Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0029] Fig. 5 eine Timingdarstellung, welche den Betrieb der Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung darstellt;

[0030] Fig. 6 eine Timingdarstellung, welche den Betrieb der Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung darstellt;

[0031] Fig. 7 eine Darstellung einer Beziehung zwischen dem Testmodus und einem Adressenschlüssel des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0032] Fig. 8 eine schematische Darstellung einer Timingermittlungsschaltung in der Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0033] Fig. 9 eine Timingdarstellung, welche den Betrieb der Testmodussetzschaltung des DRAN gemäß der ersten Ausführungsform der vorliegenden Erfindung darstellt;

[0034] Fig. 10 eine Timingdarstellung, welche den Betrieb der Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung darstellt;

[0035] Fig. 11 eine schematische Darstellung einer Testgruppenermittlungsschaltung in der Testmodussetzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0036] Fig. 12 ein Blockschaltbild einer Testmodussetzsignalerzeugungsschaltung in der Testmodus-

setzschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0037] Fig. 13 eine schematische Darstellung einer Adressenschlüsselverriegelungsschaltung in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0038] Fig. 14 eine schematische Darstellung eines Adressenschlüsselvordecodierers in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0039] Fig. 15 eine schematische Darstellung eines Adressenschlüsselhauptdecodierers in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0040] Fig. 16 eine schematische Darstellung eines Puffers in der Testmodus setzsignalerzeugungsschaltung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung;

[0041] Fig. 17 eine vereinfachte Draufsicht eines Halbleiterchips, auf dem das DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung gebildet ist;

[0042] Fig. 18 eine Darstellung eines vereinfachten Querschnitts, der eine Testmodussetzsignalleitung des DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung enthält;

[0043] Fig. 19 ein Blockschaltbild der Testmodussetzsignalerzeugungsschaltung in der Testmodussetzschaltung des DRAM gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

[0044] Fig. 20 eine schematische Darstellung eines Puffers in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

[0045] Fig. 21 eine schematische Darstellung einer Schaltung zum Erzeugen eines codierten Signals in der Testmodus setzsignalerzeugungsschaltung des DRAM gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

[0046] Fig. 22 eine schematische Darstellung der Testmodusdecodierschaltungseinrichtung der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

[0047] Fig. 23 eine vereinfachte Draufsicht eines Halbleiterchips, auf dem der DRAM gemäß der zweiten Ausführungsform der vorliegenden Erfindung gebildet ist;

[0048] Fig. 24 eine Darstellung einer Beziehung zwischen einem Testmodus und einem Testmoduscodiersignal des DRAM gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

[0049] Fig. 25 eine schematische Darstellung einer Testmodusdecodierschaltungseinrichtung in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

[0050] Fig. 26 eine vereinfachte Draufsicht eines Halbleiterchips, auf dem das DRAM gemäß der dritten Ausführungsform der vorliegenden Erfindung gebildet ist;

[0051] Fig. 27 eine schematische Darstellung einer Testmodusdecodierschaltungseinrichtung in der Testmodussetzsignalerzeugungsschaltung des DRAM gemäß einer vierten Ausführungsform der vorliegenden Erfindung;

[0052] Fig. 28 eine vereinfachte Draufsicht eines Halbleiterchips, auf dem das DRAM gemäß der vierten Ausführungsform der vorliegenden Erfindung gebildet ist; und

[0053] Fig. 29 eine schematische Darstellung einer herkömmlichen Testmodussetzschaltung.

Die erste Ausführungsform

[0054] Ein DRAM gemäß einer ersten Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf die Fig. 1 bis Fig. 13 beschrieben. Fig. 1 ist ein schematisches Blockschaltbild, das das DRAM zeigt. In Fig. 1 enthält eine interne Stromversorgungspotentialerzeugungsschaltungseinrichtung **100** eine interne Stromversorgungspotentialerzeugungsschaltung **110**, welche ein externes Stromversorgungspotential extVcc aus einem Stromversorgungspotentialknoten **100a**, an den das externe Stromversorgungspotential extVcc angelegt ist, empfängt, und welche an einem Stromversorgungspotentialknoten **200c** ein internes Stromversorgungspotential intVcc liefert, das kleiner als das externe Stromversorgungspotential extVcc ist; eine Schaltung zum Erzeugen eines verstärkten Potentials **120**, welche beim Empfang des internen Stromversorgungspotentials intVcc arbeitet und ein verstärktes Potential Vpp ausgibt, das größer als das interne Stromversorgungspotential intVcc ist; eine das interne Stromversorgungspotential intVcc empfangende Akkumulatorenplattenpotentialerzeugungsschaltung **130** zum Ausgeben eines Akkumulatorenplattenpotentials Vcp, das auf (1/2)intVcc ist; und eine das interne Stromversorgungspotenti-

al intVcc empfangende Bitleitungsvorladepotentialerzeugungsschaltung **140** zum Ausgeben eines Bitleitungsvorladepotentials V_{BL}, das auf (1/2)intVcc ist.

[0055] Ein /RAS-Puffer **200** empfängt ein von außen angelegtes externes Zeilenadressenstrobesignal ext/RAS und gibt ein Zeilenadressenstrobesignal /RAS für die interne Schaltungseinrichtung aus. Ein Zeilenadressenpuffer **300** empfängt ein Adressensignal Ai (i = 0, 1, ..., 10) und das Zeilenadressenstrobesignal /RAS aus dem /RAS-Puffer **200**, verriegelt das Adressensignal Ai als Zeilenadressensignal, wenn sich das Zeilenadressenstrobesignal /RAS vom H-Pegel auf den L-Pegel ändert, und gibt ein Zeilenadressensignal RAi (mit derselben Logik wie das Adressensignal Ai) und /RAi (mit einer Logik, die zu derjenigen des Adressensignals Ai entgegengesetzt ist) für die interne Schaltungseinrichtung aus. Ein Zeilenvordecodierer **400** empfängt die Zeilenadressensignale RAi, /RAi aus dem Zeilenadressenpuffer **300** und gibt zeilenvordecodierte Signale X_0 bis X_3, von denen eines den H-Pegel gemäß den Zeilenadressensignalen RA_0, $/RA_0$, RA_1, $/RA_1$ erreicht, zeilenvordecodierte Signale X_4 bis X_7, von denen eines den H-Pegel gemäß den Zeilenadressensignalen RA_2, $/RA_2$, RA_3, $/RA_3$ erreicht, zeilenvordecodierte Signale X_8 bis X_{11}, von denen eines den H-Pegel gemäß den Zeilenadressensignalen RA_4, $/RA_4$, RA_5, $/RA_5$ erreicht, zeilenvordecodierte Signale X_{12} bis X_{15}, von denen eines den H-Pegel gemäß den Zeilenadressensignalen RA_6, $/RA_6$, RA_7, $/RA_7$ erreicht, und vierundsechzig Blockwahlsignale BSj (j = 0, 1, ..., 63), von denen gewählte acht Signale den H-Pegel auf der Grundlage der Zeilenadressensignale RA_8, $/RA_8$ bis X_{10}, $/RA_{10}$ erreichen, aus.

[0056] Ein Speicherzellarray **500** enthält vier Speicherfelder, von denen jedes 4×2^{20} in Zeilen und Spalten angeordnete Speicherzellen **511a** aufweist. Jedes Speicherfeld ist in sechzehn Speicherblöcke geteilt, von denen jeder 256×10^{10} Speicherzellen **511a** hat. Jeder Speicherzellblock enthält 256 Wortleitungen **511b**, die in einer Mehrzahl von Zeilen angeordnet sind, von denen jede mit 2^{10} in der entsprechenden Zeile angeordneten Speicherzellen verbunden ist, und 2^{10} Bitleitungspaare **511c**, die in einer Mehrzahl von Spalten angeordnet sind, von denen jede mit 256 in der entsprechenden Spalte angeordneten Speicherzellen verbunden ist. Jeder Speicherzellblock ist in acht Spaltenblöcke geteilt, von denen jeder 128 Bitleitungspaare hat.

[0057] Ein Zeilendecodierer **600** zum Wählen einer Zeile der Speicherzellen ist in 64 Zeilendecodiererblocke geteilt, die 64 Speicherzellblöcken entsprechen. Jeder Zeilendecodiererblock empfängt die zeilenvordecodierten Signale X_0 bis X_{15} aus dem Zeilenvordecodierer **400** und das dem Zeilendecodiererblock entsprechende Blockwahlsignal BSj und setzt eine den zeilenvordecodierten Signalen X_0 bis X_{15} entsprechende Wortleitung aus den 256 in dem gewählten Zeilendecodiererblock enthaltenen Wortleitungen auf den verstärkten Potentialpegel Vpp.

[0058] Ein /CAS-Puffer **700** empfängt ein von außen angelegtes externes Spaltenadressenstrobesignal ext/CAS und gibt ein Spaltenadressenstrobesignal /CAS für die interne Schaltungseinrichtung aus. Ein Spaltenadressenpuffer **800** empfängt das Adressensignal Ai (i = 0, 1, ..., 10) und das Spaltenadressenstrobesignal /CAS aus dem /CAS-Puffer **700**, verriegelt das Adressensignal Ai als Spaltenadressensignal, wenn sich das Spaltenadressenstrobesignal /CAS vom H-Pegel auf den L-Pegel ändert, und gibt ein Spaltenadressensignal CAi (mit derselben Logik wie das Adressensignal Ai) und /CAi (mit einer Logik, die zu derjenigen des Adressensignals Ai entgegengesetzt ist) für die interne Schaltungseinrichtung aus.

[0059] Ein Spaltenvordecodierer **900** empfängt die Spaltenadressensignale CAi, /CAi aus dem Spaltenadressenpuffer **800** und gibt spaltenvordecodierte Signale Y_0 bis Y_3, von denen eines den H-Pegel als Reaktion auf die CA_0, $/CA_0$, CA_1, $/CA_1$ erreicht, spaltenvordecodierte Signale Y_4 bis Y_7, von denen eines den H-Pegel gemäß den CA_2, $/CA_2$, CA_3, $/CA_3$ erreicht, spaltenvordecodierte Signale Y_8 bis Y_{11}, von denen eines den H-Pegel gemäß den CA_4, $/CA_4$, CA_5, $/CA_5$ erreicht, und Spaltenblockwahlsignale CBSk (k = 0, 1, ..., 31), von denen das gewählte den H-Pegel auf der Grundlage der CA_6, $/CA_6$ bis CA_{10}, $/CA_{10}$ erreicht, aus.

[0060] Ein Spaltendecodierer **1000** hat 32 Spaltendecodiererblöcke, von denen jeder gemeinsam mit sechzehn in dem gemeinsamen Speicherfeld enthaltenen Speicherblöcken versehen ist und entsprechend den Spaltenblöcken, von denen jeder 128 Bitleitungspaare hat, geteilt ist, empfängt die spaltenvordecodierten Signale Y_0 bis Y_{11} und das Spaltenblockwahlsignal CBSk aus dem Spaltenvordecodierer **900** und gibt ein Spaltenwahlsignal CSL und ein Datenwahlsignal DS aus. Eines der 64 Spaltenwahlsignale CSLm (m = 0–63) erreicht den H-Pegel gemäß den spaltenvordecodierten Signalen Y_0 bis Y_{11}. Auf der Grundlage des Spaltenwahlsignals CSLm werden in jedem Speicherzellblock zwei Paare von Bitleitungen gewählt. In acht durch das Blockwahlsignal BSj gewählten Speicherzellblöcken wird gemäß dem Spaltenblockwahlsignal CBSk ein Spaltenblock gewählt. In dem gewählten Spaltenblock werden gemäß dem Spaltenwahlsignal CSLm zwei Paare von Bitleitungen gewählt, wird ein Gesamtbetrag von 128 Paaren von Bitleitungen gewählt und werden von 128 Bits Daten, die aus den gewählten Bitleitungspaaren gelesen werden, gemäß dem Datenwahlsignal DSn (n = 0, 1, ..., 127) vier Bits gewählt.

[0061] Eine Speicherzellarrayperipherschaltungseinrichtung **1100** enthält Abtastverstärker, die in 68

Abtastverstärkerblocke geteilt sind, von denen jeder 512 Abtastverstärker enthält, und den Speicherzellblöcken entsprechen. Von den 68 Abtastverstärkerblöcken sind zwischen zwei Speicherzellblöcken **60** Abtastverstärkerblöcke vorgesehen, und sie werden von benachbarten zwei Speicherzellblöcken geteilt. Der eine zwischen zwei Abtastverstärkerblöcken vorgesehene Speicherzellblock entspricht diesen zwei Abtastverstärkerblöcken. Die Peripherschaltungseinrichtung **1100** enthält ferner Schaltungen wie beispielsweise eine lokale I/O-Leitungen und globale I/O-Leitungen enthaltende I/O-Schaltung zum Ausgeben von auf den Bitleitungen aus der Speicherzelle übertragenen Daten und zum Übertragen von in die Speicherzellen zu schreibenden Daten in die Bitleitungen.

[0062] Ein /WE-Puffer **1200** empfängt ein von außen angelegtes externes Schreibberechtigungssignal ext/WE und gibt ein Schreibberechtigungssignal /WE für die interne Schaltungseinrichtung aus. Ein /OE-Puffer **1300** empfängt ein von außen angelegtes externes Ausgangsberechtigungssignal ext/OE und gibt ein Ausgangsberechtigungssignal /OE für die interne Schaltungseinrichtung aus. Eine Schreib/Lesesteuerschaltung 1400 empfängt das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS, das Schreibberechtigungssignal /WE und das Ausgangsberechtigungssignal /OE und gibt ein das Schreiben oder das Lesen von Daten anzeigendes Schreib/Lesesteuersignal WO aus. Ein Eingangs/Ausgangspuffer 1500 empfängt das Schreib/Lesesteuersignal WO aus der Schreib/Lesesteuerschaltung 1400, legt Daten gemäß vier Bits von von außen angelegten Daten Dr (r = 0, 1, 2, 3) an die I/O-Schaltung in der Speicherzellarrayperipherschaltungseinrichtung **1100** an, wenn das Signal WO ein Datenschreiben anzeigt, und gibt die Daten Dr gemäß den aus der I/O-Schaltung der Speicherzellarrayperipherschaltungseinrichtung **1100** ausgegebenen Daten nach draußen aus, wenn das Signal WO ein Datenlesen anzeigt.

[0063] Eine Testmodussetzschaltung **1600** empfängt das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS, das Schreibberechtigungssignal /WE, die Adressensignale A_0, A_1 und die Zeilenadressensignale /RA_0, ..., /RA_6 und gibt Testmodussetzsignale TE, TEST1, TEST2, TEST3, TEST4, TEST5, TEST6N, TEST6S und TEST7 gemäß den empfangenen Signalen aus.

[0064] Der Normallesebetrieb des in Fig. 1 gezeigten DRAM wird unter Bezugnahme auf Fig. 2 beschrieben. Zunächst wird beim Lesebetrieb das externe Schreibberechtigungssignal ext/WE auf den H-Pegel und das externe Ausgangsberechtigungssignal ext/OE auf den L-Pegel gesetzt. Daher werden das Schreibberechtigungssignal /WE und das Ausgangsberechtigungssignal /OE, die entsprechend aus dem /WE-Puffer 1200 und dem /OE-Puffer **1300** ausgegeben werden, auch entsprechend auf den H-Pegel und den L-Pegel gesetzt. Vor einem Zeitpunkt t_0, zu dem das Zeilenadressenstrobesignal /RAS auf den L-Pegel abnimmt, wie in **Fig.** 2(a) gezeigt, ist das Potential WLp von allen Wortleitungen **511b** auf den L-Pegel gesetzt, wie in (d) der Fig. 2 gezeigt, sind die Potentiale BLq, /BLq von allen Bitleitungspaaren **511c** auf das Bitleitungsvorladepotential V_{BL} vorgeladen, wie in (e) der Fig. 2 dargestellt, sind alle Spaltenwahlsignale CSLm auf den L-Pegel gesetzt, wie in (f) der Fig. 2 gezeigt, und sind die Ausgangsdaten Dr in einem Hochimpedanzzustand (Hi-Z-Zustand), wie in (g) der Fig. 2 dargestellt.

[0065] Wenn das Adressensignal Ai auf die Zeilenadresse gesetzt wird, wie in (c) der Fig. 2 gezeigt, und zur Zeit t_0 das Zeilenadressenstrobesignal /RAS auf den L-Pegel abnimmt, wie in (a) der Fig. 2 dargestellt, dann verriegelt der Zeilenadressenpuffer **300** als Reaktion darauf das Adressensignal Ai als Zeilenadressensignal RAi und legt es zusammen mit dem Zeilenadressensignal /RAi mit invertierter Logik an den Zeilenvordecodierer **400** an. Der Zeilenvordecodierer **400** legt die zeilenvordecodierten Signale X_0, ..., X_{15} und das Blockwahlsignal BSj gemäß den Zeilenadressensignalen RAi und /RAi an den Zeilendecodierer **600** an. Der Zeilendecodierer **600** vergrößert ein entsprechendes der zeilenvordecodierten Signale X_0, ..., X_{15} der Wortleitungen, die in dem durch das Blockwahlsignal BSj gewählten Zeilendecodiererblock enthalten sind, zu einer Zeit t_1 auf den Pegel des verstärkten Potentials Vpp, wie in (d) der Fig. 2 gezeigt.

[0066] Zwischen einem mit der gewählten Wortleitung verbundenen Kondensator einer Speicherzelle **511a** und einer entsprechenden Bitleitung werden Ladungen transportiert. Wenn in dem Speicherzellkondensator die Daten des L-Pegels gespeichert worden sind, dann nimmt das Potential der Bitleitung ein wenig von dem Bitleitungsvorladepotential V_{BL} ab, wie in (e) der Fig. 2 gezeigt. Obwohl nicht dargestellt, nimmt das Potential der Bitleitung ein wenig von dem Bitleitungsvorladepotential V_{BL} zu, wenn die Daten des H-Pegels gespeichert worden sind. Durch diesen Transport von Ladungen wird zwischen der entsprechenden Bitleitung und der anderen Bitleitung, die auf dem Bitleitungsvorladepotential V_{BL} aufrechterhalten wird, das heißt zwischen dem Paar von Bitleitungen, eine kleine Potentialdifferenz erzeugt. Ein Abtastverstärker in der Speicherzellarrayperipherschaltungseinrichtung **1100** tastet die auf dem Bitleitungspaar erzeugte kleine Potentialdifferenz ab und verstärkt sie und setzt den Potentialpegel der Bitleitung, der kleiner als der L-Pegel ist, und das Potential der Bitleitung, das größer als der H-Pegel ist, fest, wie in (e) der Fig. 2 gezeigt.

[0067] Wenn das Adressensignal Ai auf die Spaltenadresse gesetzt wird, wie in (c) der Fig. 2 gezeigt, und zu einer Zeit t_2 das Spaltenadressenstrobesignal /CAS auf den L-Pegel abnimmt, wie in **Fig.** 2(b) dargestellt, dann verriegelt der Spaltenadressenpuffer **800** das Adressensignal Ai als Spaltenadressensignal CAi und legt sowohl dieses als auch ein Spaltenadressensignal /CAi mit der invertierten Logik an den Spaltenvordecodierer **900** an. Der Spaltenvordecodierer **900** legt die spaltenvordecodierten Signale Y_0, ..., Y_{11} und das Spaltenblockwahlsignal CBSk gemäß den Spaltenadressensignalen CAi, /CAi an den Spaltendecodierer **1000** an. Der Spaltendecodierer **1000** vergrößert eines der entsprechenden Spaltenwahlsignale CSLm, die den spaltenvordecodierten Signalen Y_0, ..., Y_{11} entsprechen, zu einer Zeit t_3 auf den H-Pegel, wie in (f) der Fig. 2 gezeigt.

[0068] In jedem Spaltenblock von acht durch das Blockwahlsignal BSj gewählten Speicherzellblöcken (2 Blöcke pro Feld) werden gemäß dem Spaltenwahlsignal CSLm zwei Paare von Bitleitungen gewählt und in die nicht dargestellte I/O-Schaltung in der Speicherzellarrayperipherschaltungseinrichtung **1100** 128 Bits von aus einem Gesamtbetrag von 128 Paaren von Bitleitungen gelesenen Daten ausgegeben. Die I/O-Schaltung legt vier dem Datenwahlsignal DSn entsprechende Bits der 128 Bits Daten an den Eingangs/Ausgangspuffer **1500** an, und der Eingangs/Ausgangspuffer **1500** gibt die den vier Bits Daten entsprechenden Daten Dr zu einer Zeit t_4 aus, wie in (j) der Fig. 2 gezeigt.

[0069] Fig. 3A ist eine schematische Darstellung, die die interne Stromversorgungspotentialerzeugungsschaltung **110** zeigt. Unter Bezugnahme auf Fig. 3A empfängt eine Referenzpotentialerzeugungsschaltung **111** ein externes Stromversorgungspotential extVcc und gibt ein Referenzpotential Vref aus, das von dem externen Stromversorgungspotential extVcc nicht abhängt. Die Referenzpotentialerzeugungsschaltung **111** enthält einen p-Kanal-MOS-Transistor **111a**, einen n-Kanal-MOS-Transistor **111b**, ein Widerstandselement **111c**, einen p-Kanal-MOS-Transistor **111d**, einen n-Kanal-MOS-Transistor **111e**, einen p-Kanal-MOS-Transistor **111f** und ein Widerstandselement **111g**.

[0070] Der MOS-Tranistor **111a** hat sein Source verbunden mit einem Anschluß für die externe Stromversorgung **100a**, sein Drain verbunden mit einem internen Knoten **111x** und sein Gate verbunden mit einem internen Knoten **111y**, und er weist eine relativ große Stromtreibfähigkeit auf. Der MOS-Transistor **111b** hat ein mit dem internen Knoten **111x** verbundenes Drain, ein mit einem Masseknoten **100b** verbundenes Source und ein mit einem internen Knoten **111z** verbundenes Gate. Das Widerstandselement **111c** ist zwischen dem Knoten für die externe Stromversorgung **100a** und dem internen Knoten **111y** geschaltet. Der MOS-Transistor **111d** hat ein mit dem internen Knoten **111y** verbundenes Source, ein mit dem internen Knoten **111x** verbundenes Gate und ein mit dem internen Knoten **111z** verbundenes Drain. Der MOS-Transistor **111e** hat sein Gate und sein Drain verbunden mit dem internen Knoten **111z** und sein Source verbunden mit dem Masseknoten **100b**. Der MOS-Transistor **111f** hat ein mit dem Knoten für die externe Stromversorgung **100a** verbundenes Source, ein mit dem internen Knoten **111y** verbundenes Gate und ein mit einem internen Knoten **111v** verbundenes Drain. Das Widerstandselement **111g** ist zwischen dem internen Knoten **111v** und dem Masseknoten **100b** geschaltet. Das Referenzpotential Vref wird aus dem internen Knoten **111v** ausgegeben. Die MOS-Transistoren **111b** und **111e** bilden eine Stromspiegelschaltung. Der MOS-Transistor **111d** stellt das Potential an dem internen Knoten **111y**, das heißt den Betrag des durch das Widerstandselement **111c** hindurchfließenden Stroms, gemäß dem Potential an dem internen Knoten **111x** ein.

[0071] Wenn die Source-Gate-Spannung des MOS-Transistors **111a** stabilisiert ist, dann wird sie ebensogroß wie der Absolutwert /Vthp/ der Schwellenspannung des MOS-Transistors **111a**, und durch das Widerstandselement **111c** fließt ein Strom $/Vthp/\cdot R^{-1}$ hindurch. Dieser Strom hängt von dem externen Stromversorgungspotential extVcc nicht ab. Ein diesem Strom entsprechender Strom Ic fließt durch den MOS-Transistor **111f** hindurch, und an dem internen Knoten **111v** wird ein konstantes Potential (relativ zu dem Massepotential) Vref = Ic·R(**111g**) erzeugt, das von der externen Stromversorgungsspannung nicht abhängig ist.

[0072] Ein Regler **112** arbeitet, wenn er die extVcc empfängt. Er empfängt das Referenzpotential Vref aus der Referenzpotentialerzeugungsschaltung **111** und liefert in einen Potentialknoten **100cn** ein internes Stromversorgungspotential intVcc, das kleiner als das externe Stromversorgungspotential extVcc ist und auf dem Referenzpotential Vref basiert.

[0073] Der Regler **112** ist auf der einen Seite (nachstehend als N-Seite (Nord-Seite) bezeichnet) in der Richtung der längeren Seite eines Halbleiterchips angeordnet. Er hat eine Differenzverstärkungsschaltung **112a** und einen p-Kanal-MOS-Transistor **112b** und liefert das interne Stromversorgungspotential intVcc in auf der N-Seite liegende Schaltungen. Eine Belastungsmodusschaltung **113** ist zwischen dem Knoten für das externe Stromversorgungspotential **100a** und dem Knoten für das interne Stromversorgungspotential **100cn** geschaltet, empfängt das Testmodussetzsignal TEST6N und schließt den Knoten für das externe Stromversorgungspotential **100a** und den Knoten für das interne Stromversorgungspotential **100cn** kurz, wenn das Testmodussetzsignal TEST6N den H-Pegel erreicht, um das interne Strom-

versorgungspotential intVcc zu vergrößern, so daß sie an die durch das interne Stromversorgungspotential intVcc getriebene Schaltung eine Belastung anlegt. Die Belastungsmodusschaltung **113** enthält einen das Signal TEST6N empfangenden Inverter **113b** und einen p-Kanal-MOS-Transistor **113a**, der zwischen dem Anschluß für die externe Stromversorgung **100a** und einer Leitung für die interne Stromversorgung **113an** geschaltet ist und an seinem Gate ein Ausgangssignal aus dem Inverter **113b** empfängt. Der Regler **112** hat einen ähnlichen Aufbau wie eine gut bekannte Schaltung zum Verkleinern einer internen Spannung (Spannungsverkleinerungswandler).

[0074] Ein anderer Regler **114** arbeitet, wenn er das extVcc empfängt. Er empfängt das Referenzpotential Vref aus der Referenzpotentialerzeugungsschaltung **111** und liefert in einen Knoten für das interne Stromversorgungspotential **100cs** ein internes Stromversorgungspotential intVcc, das kleiner als das externe Stromversorgungspotential extVcc ist und dem Referenzpotential Vref entspricht.

[0075] Der Regler **114** ist auf der anderen Seite (nachstehend als S-Seite (Süd-Seite) bezeichnet) in der Richtung der längeren Seite des Chips angeordnet, hat eine Differenzverstärkungsschaltung **114a** und einen p-Kanal-MOS-Transistor **114b** und liefert das interne Stromversorgungspotential intVcc in die auf der S-Seite liegende Schaltung. Eine Belastungsmodusschaltung **115** ist zwischen dem Knoten für das externe Stromversorgungspotential **100a** und dem Knoten für das interne Stromversorgungspotential **100cs** geschaltet, empfängt das Testmodussetzsignal TEST6S und schließt den Knoten für das externe Stromversorgungspotential **100a** und den Knoten für das interne Stromversorgungspotential **100cs** kurz, wenn das Testmodussetzsignal TEST6S den H-Pegel erreicht, so daß sie an die durch das interne Stromversorgungspotential intVcc getriebenen Schaltungen eine Belastung anlegt.

[0076] Die Belastungsmodusschaltung **115** enthält einen p-Kanal-MOS-Transistor **115a** zum Kurzschließen und einen Inverter **115b**, der das Signal TEST6S empfängt, um den MOS-Transistor **115a** zu treiben. Die interne Stromversorgungsspannung intVcc wird im Normalbetrieb auf dem Referenzpotential Vref aufrechterhalten und im Belastungsmodus auf den Pegel der externen Stromversorgungsspannung extVcc gesetzt.

[0077] Fig. 3B zeigt einen Schaltungsabschnitt zum Ausführen eines Vielbittests. Unter Bezugnahme auf Fig. 3B ist ein Schaltungsaufbau für ein Speicherfeld **500a** dargestellt, in das und aus dem im Normalbetriebsmodus 1 Bit Daten eingegeben/ausgegeben werden. Das Speicherfeld **500a** ist mit einem Wähler **1100a** mittels eines internen Datenbusses mit 32 Bit (eines globalen I/O-Busses) **500b** verbunden. Im Normalbetriebsmodus (außer dem Vielbittestmodus) wählt der Wähler **1100a** 1 Bit der Busleitung des 32-Bit-Busses **500b** gemäß dem Datenwahlsignal DS aus dem Spaltendecodierer **1000** (siehe Fig. 1) und verbindet die gewählte Busleitung mit dem Eingangs/Ausgangspuffer **1500**. Der Eingangs/Ausgangspuffer **1500** enthält einen Eingangspuffer **1500a**, der interne Schreibdaten aus externen Schreibdaten erzeugt und dieselben an den Wähler **1100a** anlegt, wenn er (zur Zeit des Datenschreibens) aktiviert ist, und einen Ausgangspuffer **1500b** zum Erzeugen externer Lesedaten aus mittels des Wählers **1100a** angelegten internen Lesedaten, wenn er (zur Zeit des Datenlesens) aktiviert ist.

[0078] Die Vielbittestschaltung enthält eine Vielbitteststeuereinrichtung **1504**, die aktiviert ist, wenn das Testsignal TE aktiviert ist, so daß sie Testbestimmungssignale TEa, TEb und TEc erzeugt; eine Einrichtung zum Ermitteln des Zusammenpassens **1502**, die in Reaktion auf das Testbestimmungssignal TEa so aktiviert ist, daß sie das Zusammenpassen/Nichtzusammenpassen der jeweiligen Logik von Daten auf dem internen Datenbus **500b** bestimmt; und einen Multiplexer **1503**, der als Reaktion auf eine Aktivierung des Testmodusbestimmungssignals TEb einen Ausgang aus der Einrichtung zum Ermitteln des Zusammenpassens **1502** wählt und denselben in den Dateneingangs/Datenausgangsanschluß ausgibt. Der Multiplexer **1503** wählt ein Ausgangssignal aus dem Ausgangspuffer **1500b**, wenn das Testbestimmungssignal TEb inaktiv ist. Der Multiplexer **1503** kann zwischen dem Ausgangspuffer **1500b** und dem Wähler **1100a** vorgesehen sein. Wenn das Testbestimmungssignal TEc aktiviert ist, dann vernachlässigt der Wähler **1100a** das Datenwahlsignal DS und wählt alle Busleitungen des internen Datenbusses **500b**.

[0079] Beim Vielbittestbetrieb werden die aus dem Eingangspuffer **1500a** angelegten Testdaten auf alle Busleitungen des internen Datenbusses **500b** mittels des Wählers **1100a** übertragen und in die gewählten Speicherzellen des Speicherfeldes **500a** die Testdaten gleichzeitig geschrieben. Wenn in alle Speicherzellen Daten geschrieben sind, dann werden die Speicherzelldaten gelesen. Die Daten der gleichzeitig gewählten Speicherzellen werden an die Einrichtung zum Ermitteln des Zusammenpassens **1502** mittels des internen Datenbusses **500b** angelegt. Wenn die Speicherzellen alle normal sind, dann haben die Daten dieselbe Logik. Wenn inzwischen wenigstens eine Speicherzelle fehlerhaft ist, dann weisen die Daten eine verschiedene Logik auf. Das Ergebnis der Bestimmung wird mittels des Multiplexers **1503** nach draußen ausgegeben. Ob eine Speicherzelle fehlerhaft ist oder nicht, wird auf der Grundlage des Ausgangs des Bestimmungsergebnisses bestimmt. Ein beliebiger Aufbau kann zum Ausführen des Vielbit-

tests verwendet werden, vorausgesetzt, daß er dem JEDEC-Standard genügt.

[0080] Das Ausgangssignal aus der Einrichtung zum Ermitteln des Zusammenpassens **1502** kann mittels eines zugewiesenen Pinanschlusses nach draußen ausgegeben werden. Die Einrichtung zum Ermitteln des Zusammenpassens **1502** kann so aufgebaut sein, daß sie das Zusammenpassen von allen Daten der vier Speicherfelder ermittelt.

[0081] Fig. 4 ist ein Blockschaltbild, das die Struktur der Testmodussetzschaltung **1600** schematisch darstellt. Unter Bezugnahme auf Fig. 4 empfängt eine Zustandsermittlungsschaltung **1610** das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE, die Adressensignale A_0, A_1 und die Zeilenadressensignale /RA_0, /RA_1 und gibt Timingermittlungssignale /TDA, TDB und TDC und Testgruppenermittlungssignale /TGA und /TGB gemäß einer Kombination der Zustände der empfangenen Signale aus.

[0082] Die Zustandsermittlungsschaltung **1610** enthält eine Timingermittlungsschaltung **1611** zum Ausgeben der Zustandsermittlungssignale /TDA, TDB und TDC gemäß den Zuständen der Signale /RAS, /CAS und /WE und eine Testgruppenermittlungsschaltung **1612**, die als Reaktion sowohl auf die Signale A_0, A_1, /RA_0 und /RA_1 als auch auf die Timingermittlungssignale /TDA, TDB und TDC die Testgruppenermittlungssignale /TGA und /TGB ausgibt. Die Timingermittlungssignale /TDA, TDB und TDC spezifizieren, daß ein Testmodus auszuführen ist, und die Testgruppenermittlungssignale /TGA und /TGB spezifizieren eine Testgruppe von auszuführenden Tests.

[0083] Das Timingermittlungssignal TDA ist auf den L-Pegel gesetzt, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, und es wird bei der Zunahme des Zeilenadressenstrobesignals /RAS auf den H-Pegel auf den H-Pegel zurückgesetzt, nachdem das CBR-(/CAS-vor-/RAS-)Auffrischtiming verwirklicht ist, bei dem das Schreibberechtigungssignal /WE auf dem H-Pegel gehalten, das Spaltenadressenstrobesignal /CAS auf den L-Pegel gesetzt und dann das Zeilenadressenstrobesignal /RAS auf den L-Pegel gesetzt wird, oder nachdem das ROR-(/RAS-nur-Auffrisch-)Timing verwirklicht ist, bei dem das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE beide auf dem H-Pegel gehalten werden und das Zeilenadressenstrobesignal /RAS auf den L-Pegel gesetzt wird.

[0084] Das Timingermittlungssignal TDB erreicht den H-Pegel und wird auf ihm für einen vorgeschriebenen Zeitabschnitt nach dem Verstreichen eines vorgeschriebenen Zeitabschnitts seit dem Eingang des Zeilenadressenstrobesignals /RAS, des Spaltenadressenstrobesignals /CAS und des Schreibberechtigungssignals /WE mit dem WCBR-Timing gehalten.

[0085] Das Timingermittlungssignal TDC wird auf den H-Pegel gesetzt, wenn nach dem Eingang des Zeilenadressenstrobesignals /RAS, des Spaltenadressenstrobesignals /CAS und des Schreibberechtigungssignals /WE mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS auf den H-Pegel zunimmt, und es wird auf den L-Pegel zurückgesetzt, wenn nach dem Eingang des Zeilenadressenstrobesignals /RAS, des Spaltenadressenstrobesignals /CAS und des Schreibberechtigungssignals /WE mit dem CBR-Auffrischtiming oder dem ROR-Timing das Zeilenadressenstrobesignal /RAS auf den H-Pegel zunimmt.

[0086] Das Testgruppenermittlungssignal /TGA wird als Reaktion auf die Zunahme des Timingermittlungssignals TDC auf den H-Pegel auf den L-Pegel gesetzt, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, das Adressensignal A_0 auf einen Über-H-Pegel, der größer als der Normal-H-Pegel ist, gesetzt ist und das Adressensignal A_1 auf den Normal-H-Pegel gesetzt ist. Das Testgruppenermittlungssignal /TGB wird als Reaktion auf die Zunahme des Timingermittlungssignals TDC auf den H-Pegel auf den L-Pegel gesetzt, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, das Adressensignal A_0 auf den Normal-H-Pegel gesetzt ist und das Adressensignal A_1 auf den Über-H-Pegel gesetzt ist.

[0087] Die Testmodussetzsignalerzeugungsschaltung **1620** empfängt sowohl die Timingermittlungssignale /TDA, TDB, die Testgruppenermittlungssignale /TGA und /TGB aus der Zustandsermittlungsschaltung **1610** als auch die Zeilenadressensignale /RA_2, /RA_6 aus dem Zeilenadressenpuffer **300** und gibt die Testmodussetzsignale TE, TEST1–TEST5, TEST6S, TEST6N und TEST7 aus. Das Testmodussetzsignal TE wird als Reaktion auf die Zunahme des Timingermittlungssignals TDC auf den H-Pegel gesetzt, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind und das eine der Adressensignale A_0 und A_1 auf dem Über-H-Pegel und das andere nicht auf dem Normal-H-Pegel ist. Von den speziellen Testmodussetzsignalen TEST1–TEST5, TEST6S, TEST6N und TEST7 erreicht das eine, das dem Zeilenadressensignal /RA_2, ..., /RA_6 entspricht, den H-Pegel, wenn mit dem WCBR-Timing das Zeilenadressenstrobesi-

gnal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, wobei das eine der Adressensignale A_0 und A_1 auf dem Über-H-Pegel ist und das andere auf den Normal-H-Pegel gesetzt ist. Wenn insbesondere mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, dann wird das eine der Adressensignale A_0 und A_1 auf den Über-H-Pegel und das andere auf den Normal-H-Pegel gesetzt und wird das Zeilenadressensignal $/RA_6$ auf den L-Pegel gesetzt, wobei das Vielbittestmodussetzsignal TE auf den H-Pegel gesetzt wird und das eine der speziellen Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST5, TEST6N, TEST6S und TEST7, das durch die Zeilenadressensignale $/RA_2$, $/RA_5$ bestimmt ist, auf den H-Pegel gesetzt wird.

[0088] Der Testmodussetzbetrieb wird unter Bezugnahme auf die Darstellungen der in den Fig. 5 und Fig. 6 gezeigten Signalwellenformen kurz beschrieben.

[0089] Fig. 5 ist eine Timingdarstellung, die den Betrieb, bei dem der durch den JEDEC standardisierte Vielbittestmodus gesetzt ist, darstellt. Während die Adressensignale A_0 und A_1 auf den Normal-H-Pegel oder den L-Pegel gesetzt sind, wie in (g) und (h) der Fig. 5 gezeigt, werden mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben, wie entsprechend in (a), (b) und (c) der Fig. 5 dargestellt, wobei sich dann die Timingermittlungssignale /TDA, TDB und TDC ändern, wie entsprechend in (d), (e) und (f) der Fig. 5 gezeigt. Insbesondere werden zu entsprechenden Zeiten t_0 und t_1 das Schreibberechtigungssignal /WE und das Spaltenadressenstrobesignal /CAS auf den L-Pegel gesetzt und wird zu einer Zeit t_2 das Zeilenadressenstrobesignal /RAS auf den L-Pegel gesetzt. Das Timingermittlungssignal /TDA erreicht zu einer Zeit t_3 als Reaktion auf die Abnahme des Signals /RAS den L-Pegel, und das Timingermittlungssignal TDB wird von t_4 bis t_5 auf dem H-Pegel gehalten. Das Timingermittlungssignal TDC ist auf dem L-Pegel. Zu Zeitpunkten t_6, t_7 und t_8 nehmen die Signale /WE, /CAS und /RAS auf den H-Pegel zu. Obwohl die Timingermittlungssignale /TDA und TDB den L-Pegel beibehalten, nimmt zu einer Zeit t_9 als Reaktion auf die Zunahme des Signals /RAS das Timingermittlungssignal TDC auf den H-Pegel zu.

[0090] Die aus der Testgruppenermittlungssignalerzeugungsschaltung **1612c** in der Testgruppenermittlungsschaltung **1612** ausgegebenen Testgruppenermittlungssignale /TGA und /TGB sind beide auf dem H-Pegel, wie in (j) und (k) der Fig. 5 gezeigt. Wenn zu der Zeit t_9 das Timingermittlungssignal TDC den H-Pegel erreicht, wie in (f) der Fig. 5 gezeigt, dann wird als Reaktion auf die Testgruppenermittlungssignale /TGA und /TGB, die beide auf dem H-Pegel sind, das Vielbittestmodussetzsignal TE auf den H-Pegel aktiviert, wie in (m) der Fig. 5 dargestellt.

[0091] Obgleich nicht dargestellt, wird das Zurücksetzen des Vielbittestmodussetzsignals TE auf den L-Pegel ausgeführt durch Eingeben der Signale /RAS und /CAS mit dem CBR-Auffrischtiming oder des Signals /RAS mit dem ROR-Timing.

[0092] Fig. 6 ist eine Timingdarstellung, die den Betrieb zum Setzen sowohl eines durch den JEDEC nicht standardisierten speziellen Testmodus (hier: eines Belastungstestmodus) als auch des Vielbittestmodus darstellt. Zunächst werden die Signale A_0 und A_1 entsprechend auf einen S-Pegel (Über-Vcc-Pegel) und den H-Pegel gesetzt, wie in (g) und (h) der Fig. 6 gezeigt, und werden die Adressensignale A_2, ..., A_6 entsprechend auf den H-Pegel, den H-Pegel, den L-Pegel, den L-Pegel und den H-Pegel des Normalpegels gesetzt, wie in (i) der Fig. 6 gezeigt. Dann werden gemäß dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben, wie entsprechend in (a), (b) und (c) der Fig. 6 dargestellt, wobei sich dann die Timingermittlungssignale /TDA, TDB und TDC ändern, wie entsprechend in (d), (e) und (f) der Fig. 6 gezeigt. Wenn insbesondere zu Zeitpunkten t_0, t_1 und t_2 die entsprechenden Signale /WE, /CAS und /RAS auf den L-Pegel gesetzt werden, dann erreicht zu einer Zeit t_3 das Timingermittlungssignal /TDA den L-Pegel und wird von t_4 bis t_5 das Timingermittlungssignal TDB auf dem H-Pegel gehalten.

[0093] Die Testgruppenermittlungssignale /TGA und /TGB sind beide auf dem H-Pegel.

[0094] Wenn sich zu einer Zeit t_9 das Timingermittlungssignal TDC auf den H-Pegel ändert, wie in (f) der Fig. 6 gezeigt, dann erreicht das aus der Testgruppenermittlungsschaltung **1612** ausgegebene Testgruppenermittlungssignal /TGA den L-Pegel, wie in (j) der Fig. 6 dargestellt. Die Adressensignale A2 bis A_6 sind in vorgeschriebene Zustände gesetzt, wie es später detaillierter beschrieben wird. Das Testgruppenermittlungssignal /TGB ist zu der Zeit t_9 auf den H-Pegel gesetzt. Wenn das Timingermittlungssignal TDC zu der Zeit t_9 auf den H-Pegel zunimmt, dann werden zu der Zeit t_9 gemäß dem Adressensignal A_0 mit dem S-Pegel und den Adressensignalen A_2 bis A_6 mit den vorgeschriebenen Zuständen die Testmodussetzsignale TE, TEST6N und TEST6S auf den H-Pegel gesetzt, wie in (m) und (n) in Fig. 6 gezeigt, und daher der Vielbittest und der Belastungstest beide bestimmt.

[0095] Auf diese Art und Weise wird der Vielbittestmodus gemäß dem JEDEC-Standard gesetzt und

können außerdem durch Setzen des Adressensignals A_6 auf den H-Pegel der spezielle Testmodus und der Vielbittestmodus beide gesetzt werden. Wenn der spezielle Testmodus zu setzen ist, dann ist es notwendig, das eine der Adressensignale A_0 und A_1 auf den S-Pegel und das andere auf den H-Pegel zu setzen. Wenn daher versehentlich eine große Spannung angelegt wird, dann erreichen diese Signale beide den S-Pegel, und daher kann ein versehentliches Setzen des speziellen Testmodus verhindert werden. Obgleich nicht dargestellt, wird durch einen Eingang gemäß dem CBR-Auffrischtiming oder dem ROR-Timing der Testmodus zurückgesetzt.

[0096] Fig. 7 ist eine die Entsprechung zwischen Adressenschlüsseln und Testmodi darstellende Tabelle, die zeigt, welches Testmodussetzsignal auf den H-Pegel gemäß den Zuständen (Adressenschlüsseln) der Adressensignale (A_0, ..., A_6) aktiviert ist, wenn gemäß dem WCBR-Timing die Signale eingegeben werden. In der Tabelle bezeichnet das Bezugszeichen S den S-Pegel, H bezeichnet den H-Pegel, L beteichnet den L-Pegel, und * bezeichnet den H- oder den L-Pegel. Hier sind die Testmodussetzsignale TEST1 und TEST2 so angepaßt, daß sie durch unabhängige Setzschlüssel auf den H-Pegel gesetzt werden, da es gewünscht ist, gleichzeitig ein sich von den Testmodussetzsignalen TEST1 und TEST2 unterscheidendes spezielles Testmodussetzsignal auf den H-Pegel gleichzeitig zu setzen.

[0097] Der Vielbittestmodus gemäß dem JEDEC-Standard wird durch die normale WCBR-Bedingung gesetzt. Wenn bei der vorliegenden Erfindung das eine der Adressensignale A_0 und A_1 auf den S-Pegel (Über-Vcc-Pegel), das andere auf den Normal-H-Pegel und das Adressensignal A_6 auf den H-Pegel gesetzt ist, dann wird unter der WCBR-Bedingung der Vielbittestmodus bestimmt. Durch das Setzen des einen der Adressensignale A_0 und A_1 auf den S-Pegel und das anderen auf den H-Pegel wird auf der Grundlage der Adressensignale A_2 bis A_5 ein spezieller Testmodus bestimmt. Eine beliebige Kombination der Adressenschlüssel ist willkürlich benutzbar, und die vorstehend beschriebene Kombination der Adressenschlüssel ist nur ein Beispiel.

[0098] Ein spezieller Aufbau jeder Schaltung wird detailliert beschrieben.

[0099] Fig. 8 zeigt einen speziellen Aufbau der Timingermittlungsschaltung **1611**, die in der in Fig. 4 dargestellten Zustandsermittlungsschaltung **1610** enthalten ist. Unter Bezugnahme auf Fig. 8 enthält die Timingermittlungsschaltung **1611** eine Verzögerungsschaltung **1611a** zum Ausgeben eines Verzögerungssignals D/RAS, das durch Verzögern des Zeilenadressenstrobesignals /RAS erhalten wird, eine getaktete Invertersteuerschaltung **1611b** zum Ausgeben taktinvertierter Steuersignale CLC und /CLC gemäß dem Verzögerungssignal D/RAS und dem Zeilenadressenstrobesignal /RAS und eine WBR-Ermittlungsschaltung **1611c** und eine CBR-Ermittlungsschaltung **1611d**, welche in Reaktion auf die getakteten Invertersteuersignale CLC und /CLC so aktiviert sind, daß sie entsprechend die Signale /WE und /CAS verriegeln, so daß sie entsprechend ein WBR-(/WE-vor-/RAS-)Ermittlungssignal /WBR und ein CBR-(/CAS-vor-/RAS-)Ermittlungssignal /CBR ausgeben.

[0100] Das Steuersignal CLC wird von der Abnahme des Zeilenadressenstrobesignals /RAS auf den L-Pegel bis zur Zunahme des Verzögerungssignals D/RAS auf den H-Pegel auf dem L-Pegel gehalten. Das Signal /CLC ist eine invertierte Version des Steuersignals CLC. Die getaktete Invertersteuerschaltung **1611b** enthält eine NAND-Schaltung **1611ba**, die das Zeilenadressenstrobesignal /RAS und das Verzögerungssignal D/RAS empfängt, und zwei in Kaskade geschaltete Inverter **1611bb** und **1611bc**, die ein Ausgangssignal aus der NAND-Schaltung **1611ba** empfangen. Das Steuersignal CLC wird aus dem Inverter **1611bb** ausgegeben, und das komplementäre Steuersignal /CLC wird aus dem Inverter **1611bc** ausgegeben.

[0101] Die WBR-Ermittlungseinrichtung **1611c** enthält einen getakteten Inverter **1611ca**, der in Reaktion auf die Steuersignale CLC und /CLC so aktiviert ist, daß er das Schreibberechtigungssignal /WE invertiert, einen Inverter **1611cb** zum Invertieren eines Ausgangssignals aus dem getakteten Inverter **1611ca** und einen getakteten Inverter **1611cc**, der in Reaktion auf die Steuersignale CLC und /CLC komplementär zu dem getakteten Inverter **1611ca** so aktiviert ist, daß er das Ausgangssignal des Inverters **1611cb** invertiert und dasselbe in den Eingang des Inverters **1611cb** rückkoppelt. Wenn der getaktete Inverter **1611cc** aktiviert ist, dann bilden die Inverter **1611cb** und **1611cc** eine Verriegelungsschaltung. Das Ermittlungssignal /WBR wird aus dem Inverter **1611cb** ausgegeben.

[0102] Das Ermittlungssignal /WBR erreicht den L-Pegel, wenn das Zeilenadressenstrobesignal /RAS den L-Pegel erreicht, nachdem das Schreibberechtigungssignal /WE den L-Pegel erreicht hat. Insbesondere erreicht das Steuersignal CLC als Reaktion auf die Abnahme des Zeilenadressenstrobesignals /RAS den L-Pegel und als Reaktion auf die Zunahme des Verzögerungssignals D/RAS den H-Pegel. Der getaktete Inverter **1611ca** ist aktiviert, wenn das Steuersignal CLC auf dem H-Pegel ist, und arbeitet als Inverter, und wenn das Steuersignal CLC auf dem L-Pegel ist, dann ist er deaktiviert und in einen Ausgangshochimpedanzzustand gesetzt. Insbesondere ist die WBR-Ermittlungseinrichtung **1611c** in einen Durchgangszustand gesetzt, wenn das Zeilenadressenstrobesignal /RAS und das Verzögerungs-

signal D/RAS beide auf dem H-Pegel sind, und wird sie in Synchronisation mit der Abnahme des Zeilenadressenstrobesignals /RAS in den Verriegelungszustand gesetzt. Wenn daher die WBR-Bedingung (Bedingung einer Schreibberechtigung vor dem RAS) (das WBR-Timing) befriedigt ist, dann wird das WBR-Ermittlungssignal /WBR auf den L-Pegel gesetzt und verriegelt.

[0103] Ähnlich wie die WBR-Ermittlungseinrichtung **1611c** enthält die CBR-Ermittlungseinrichtung **1611d** einen getakteten Inverter **1611da**, der aktiviert ist, wenn das Steuersignal CLC auf dem H-Pegel ist, so daß er das Spaltenadressenstrobesignal /CAS invertiert, einen Inverter **1611db** zum Invertieren des Ausgangssignals aus dem getakteten Inverter **1611da** und einen getakteten Inverter **1611dc**, der aktiviert ist, wenn das Steuersignal CLC auf dem L-Pegel ist, so daß er das Ausgangssignal aus dem Inverter **1611db** invertiert und das invertierte Signal in den Eingang des Inverters **1611db** rückkoppelt. Die Inverter **1611db** und **1611dc** bilden eine Verriegelungsschaltung, wenn der Inverter **1611dc** aktiviert ist. Das CBR-Ermittlungssignal /CBR wird aus dem Inverter **1611db** ausgegeben. Wenn das Spaltenadressenstrobesignal /CAS den L-Pegel vor dem Zeilenadressenstrobesignal /RAS erreicht, dann wird das CBR-Ermittlungssignal /CBR auf den L-Pegel gesetzt und bis zur Zunahme des Signals D/RAS auf dem L-Pegel gehalten.

[0104] Die Zustandsermittlungsschaltung **1610** enthält ferner eine WCBR-Timingermittlungseinrichtung **1611e**, die als Reaktion auf die Signale /RAS, D/RAS, /WBR und /CBR die WCBR-Bedingung ermittelt, und eine Rücksetztimingermittlungsschaltung **1611f**, die als Reaktion auf die Signale /RAS, D/RAS, /WBR, /CBR und /CAS ein Rücksetztimingsignal /RST zum Rücksetzen des Timingermittlungssignals TDA ausgibt.

[0105] Die WCBR-Timingermittlungseinrichtung **1611e** enthält eine NOR-Schaltung **1611ea**, die das Zeilenadressenstrobesignal /RAS und das Verzögerungssignal D/RAS empfängt, einen Inverter **1611eb**, der das WBR-Ermittlungssignal /WBR empfängt, eine NAND-Schaltung **1611ec**, die ein Ausgangssignal aus der NOR-Schaltung **1611ea** und ein Ausgangssignal aus dem Inverter **1611eb** empfängt, und eine ein Ausgangssignal aus dem NAND-Gatter **1611ec** und das CBR-Ermittlungssignal /CBR empfangende NOR-Schaltung **1611ed** zum Ausgeben eines WCBR-Ermittlungssignals WCBR.

[0106] Wenn die Signale /RAS und D/RAS beide den L-Pegel erreichen, dann erreicht das Ausgangssignal aus der NOR-Schaltung **1611ea** den H-Pegel und wird die NAND-Schaltung **1611ec** betriebsberechtigt. Wenn das WBR-Ermittlungssignal /WBR auf den L-Pegel gesetzt ist, dann erreicht das Ausgangssignal aus dem Inverter **1611eb** den H-Pegel und das Ausgangssignal aus der NAND-Schaltung **1611ec** den L-Pegel. Wenn das CBR-Ermittlungssignal /CBR auch auf dem L-Pegel ist, dann erreicht das WCBR-Ermittlungssignal WCBR aus der NOR-Schaltung **1611ed** den H-Pegel. Das WCBR-Ermittlungssignal WCBR wird somit auf den H-Pegel gesetzt, wenn die WCBR-Bedingung (Schreibberechtigung, CAS-vor-RAS-Bedingungstiming) befriedigt ist, und wenn das Zeilenadressenstrobesignal /RAS den H-Pegel erreicht, dann wird das WCBR-Ermittlungssignal WCBR auf den L-Pegel zurückgesetzt.

[0107] Die Rücksetztimingermittlungseinrichtung **1611f** enthält eine CBR-Auffrischtimingermittlungsschaltung **1611g**, die als Reaktion auf die Signale /RAS, D/RAS, /WBR und /CBR das Halten der CBR-Auffrischbedingung (CAS vor RAS mit WE auf Hoch) ermittelt, eine Timingermittlungsschaltung **1611h**, die als Reaktion auf die Signale /RAS, D/RAS und /CAS das Halten der ROR-Bedingung (/RAS auf dem L-Pegel mit /CAS auf dem H-Pegel) ermittelt, und eine NOR-Schaltung **1611fa**, die die Ausgangssignale aus den Timingermittlungsschaltungen **1611g** und **1611h** empfängt.

[0108] Die CBR-Timingermittlungsschaltung **1611g** enthält einen Inverter **1611ga**, der das WBR-Ermittlungssignal /WBR empfängt, eine NOR-Schaltung **1611gb**, die ein Ausgangssignal aus dem Inverter **1611ga** und das CBR-Ermittlungssignal /CBR empfängt, einen Inverter **1611gc**, der ein Ausgangssignal aus der NOR-Schaltung **1611gb** empfängt, eine NOR-Schaltung **1611gd**, die ein Ausgangssignal aus dem Inverter **1611gc** und das Adressenstrobesignal /RAS empfängt, eine Zweieingangs-NOR-Schaltung **1611ge**, die an ihrem einen Eingang das Verzögerungssignal D/RAS empfängt, eine Zweieingangs-NOR-Schaltung **1611gf**, die an ihrem einen Eingang ein Ausgangssignal aus der NOR-Schaltung **1611gd** empfängt, und eine NOR-Schaltung **1611gg**, die ein Ausgangssignal aus der NOR-Schaltung **1611gf** und ein Ausgangssignal aus der in der ROR-Timingermittlungseinrichtung **1611h** enthaltenen NAND-Schaltung **1611hb** empfängt.

[0109] Die NOR-Schaltungen **1611ge** und **1611gf** sind kreuzweise miteinander verbunden, so daß sie ein NOR-Typ-Flipflop bilden. Das CBR-Ermittlungssignal CBRR wird aus der NOR-Schaltung **1611gg** ausgegeben.

[0110] Wenn gemäß dem CBR-Auffrischtiming das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden und im Ergebnis das WBR-Ermittlungssignal /WBR den H-Pegel und das CBR-Ermittlungssignal /CBR den L-Pegel erreicht, dann erreicht als Reaktion auf die Zunahme des Zeilenadressenstrobesignals /RAS auf

den H-Pegel das CBR-Auffrischtimingermittlungssignal CBRR den H-Pegel und wird es auf demselben für einen vorgeschriebenen Zeitabschnitt gehalten. Der vorgeschriebene Zeitabschnitt ist durch die Verzögerungszeit der Verzögerungsschaltung **1611a** bestimmt.

[0111] Die ROR-Timingermittlungseinrichtung **1611h** enthält einen Inverter **1611ha**, der das Verzögerungssignal D/RAS empfängt, eine NAND-Schaltung **1611hb**, die ein Ausgangssignal aus dem Inverter **1611ha** und das Zeilenadressenstrobesignal / RAS empfängt, eine NOR-Schaltung **1611hc**, die die Signale /RAS und /CAS empfängt, eine Zweieingangs-NOR-Schaltung **1611hd**, die am einen Eingang ein Ausgangssignal aus der NOR-Schaltung **1611hc** empfängt, eine NOR-Schaltung **1611he**, die an ihrem einen Eingang das Verzögerungssignal D/RAS empfängt, einen Inverter **1611hf**, der ein Ausgangssignal aus der NOR-Schaltung **1611hd** empfängt, und eine NOR-Schaltung **1611hg**, die ein Ausgangssignal aus der NOR-Schaltung **1611hb** und ein Ausgangssignal aus dem Inverter **1611hf** empfängt.

[0112] Das ROR-Auffrischtimingermittlungssignal ROR wird aus der NOR-Schaltung **1611hg** ausgegeben. Die NOR-Schaltungen **1611hd** und **1611he** bilden ein NOR-Typ-Flipflop, welches Flipflop durch ein Ausgangssignal aus der NOR-Schaltung **1611hc** gesetzt und durch das Verzögerungssignal D/RAS zurückgesetzt wird. Wenn mit dem ROR-Timing die Signale /RAS und /CAS eingegeben werden, dann wird als Reaktion auf die Zunahme des Zeilenadressenstrobesignals /RAS das ROR-Auffrischtimingermittlungssignal ROR auf den H-Pegel gesetzt und auf demselben für einen (durch die Verzögerungszeit der Verzögerungsschaltung **1611a** bestimmten) vorgeschriebenen Zeitabschnitt gehalten.

[0113] Die NOR-Schaltung **1611fa** setzt das Rücksetztimingermittlungssignal /RST auf den L-Pegel, wenn wenigstens eines der Signale /CBRR und ROR auf dem H-Pegel ist.

[0114] Die Timingermittlungseinrichtung **1611** enthält ferner eine Setz/Rücksetzschaltung **1611i**, die als Reaktion auf die Signale WCBR und /RST ein Zustands(timing)ermittlungssignal TDA ausgibt, eine Impulserzeugungsschaltung **1611k**, die als Reaktion auf eine Zunahme des Zeilenadressenstrobesignals / RAS einen Einzelimpuls ausgibt, eine Verriegelungsschaltung **1611j**, die als Reaktion auf die Steuersignale CLC und /CLC das Zustandsermittlungssignal TDA verriegelt und ein Verriegelungstimingermittlungssignal LIDA ausgibt, und einen Timingermittlungssignalgenerator **1611m**, der als Reaktion auf die Signale TDA, PLS und LIDA die Zustands (timing)ermittlungssignale /TDA, TDB und TDC ausgibt.

[0115] Die Setz/Rücksetzschaltung **1611i** enthält einen Inverter **1611ia**, der das Signal WCBR empfängt, eine 2-Eingangs-NAND-Schaltung **1611ib**, die am einen Eingang ein Ausgangssignal aus dem Inverter **1611ia** empfängt, und eine 2-Eingangs-NAND-Schaltung **1611ic**, die an ihrem einen Eingang das Signal / RST empfängt. Die NAND-Schaltungen **1611ib** und **1611ic** sind kreuzweise miteinander verbunden, so daß sie ein NAND-Typ-Flipflop bilden.

[0116] Wenn mit dem WVBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, dann erreicht das WCBR-Timingermittlungssignal WCBR den H-Pegel und das Rücksetztimingermittlungssignal /RST den H-Pegel, wobei dann das Timingermittlungssignal TDA auf den H-Pegel gesetzt wird. Wenn mit dem CBR-Auffrischtiming oder dem ROR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden und dann bei der Zunahme des Zeilenadressenstrobesignals /RAS auf den H-Pegel das WCBR-Timingermittlungssignal WCBR auf dem L-Pegel und das Rücksetztimingermittlungssignal /RST auf dem L-Pegel ist, dann wird das Timingermittlungssignal TDA auf den L-Pegel zurückgesetzt.

[0117] Die Verriegelungsschaltung **1611j** enthält einen getakteten Inverter **1611ja**, der aktiviert ist, wenn das Steuersignal CLC auf dem H-Pegel ist, so daß er das Signal TDA invertiert, einen Inverter **1611jb** zum Invertieren eines Ausgangssignals aus dem getakteten Inverter **1611ja**, einen getakteten Inverter **1611jc**, der aktiviert ist, wenn das Steuersignal CLC auf dem L-Pegel ist, so daß er das Ausgangssignal aus dem Inverter **1611jb** invertiert und es in den Eingang des Inverters **1611jb** rückkoppelt. Der Inverter **1611jb** und der getaktete Inverter **1611jc** bilden eine Verriegelungseinrichtung (beziehungsweise ein Latch), wenn der getaktete Inverter **1611jc** aktiviert ist. Wenn die getakteten Invertersteuersignale CLC und /CLC entsprechend auf dem H-Pegel und dem L-Pegel sind, dann wird das Timingermittlungsverriegelungssignal LIDA auf dieselbe Logik wie das Timingermittlungssignal TDA gesetzt. Wenn die getakteten Invertersteuersignale CLC und /CLC entsprechend den L-Pegel und den H-Pegel erreichen, dann wird das Timingermittlungsverriegelungssignal LTDA zu dieser Zeit gehalten.

[0118] Der Impulsgenerator **1611k** enthält eine Verzögerungsschaltung **1611ka** zum Vorsehen einer Verzögerung an dem Zeilenadressenstrobesignal / RAS, einen Inverter **1611kb**, der ein Ausgangssignal aus der Verzögerungsschaltung **1611ka** invertiert, eine Verzögerungsschaltung **1611kc** zum weiteren Verzögern des Ausgangssignals aus der Verzögerungsschaltung **1611ka** und eine NAND-Schal-

tung **1611kd**, die ein Ausgangssignal aus der Verzögerungsschaltung **1611kc** und ein Ausgangssignal aus dem Inverter **1611kb** empfängt. Das Impulssignal PLS wird auf den L-Pegel gesetzt und auf demselben für einen (durch die Verzögerungszeit der Verzögerungsschaltung **1611kc** bestimmten) vorgeschriebenen Zeitabschnitt nach einem vorgeschriebenen Zeitabschnitt (der Verzögerungszeit der Verzögerungsschaltung **1611ka**) seit der Abnahme des Zeilenadressenstrobesignals /RAS gehalten.

[0119] Der Timingermittlungssignalgenerator **1611m** enthält einen Inverter **1611mb**, der das Impulssignal PLS empfängt und invertiert, einen Inverter **1611ma**, der das Timingermittlungssignal TDA empfängt und invertiert, um das Timingermittlungssignal /TDA zu erzeugen, einen Inverter **1611me**, der das Verriegelungstimingermittlungssignal LIDA empfängt und invertiert, eine 3-Eingangs-NAND-Schaltung **1611mc**, die das Timingermittlungssignal TDA und Ausgänge der Inverter **1611mb** und **1611me** empfängt, einen Inverter **1611md**, der ein Ausgangssignal der NAND-Schaltung **1611mc** empfängt und invertiert, um das Timingermittlungssignal TDB zu erzeugen, und einen Inverter **1611mf**, der ein Ausgangssignal des Inverters **1611me** empfängt und invertiert, um das Timingermittlungssignal TDC zu erzeugen.

[0120] Das Timingermittlungssignal TDB wird auf den Hochpegel gebracht, wenn das Signal TDA auf dem H-Pegel ist und die Signale PLS und LIDA beide auf dem L-Pegel sind. Das Signal TDC weist dieselbe Logik wie das Signal LIDA auf.

[0121] Daher wird das Timingermittlungssignal /TDA auf den L-Pegel gesetzt, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, und als Reaktion auf die Zunahme des Zeilenadressenstrobesignals /RAS auf den H-Pegel auf den H-Pegel zurückgesetzt, wenn mit dem CBR-Affrischtiming oder dem ROR-Timing die Signale eingegeben werden. Das Timingermittlungssignal TDB erreicht den H-Pegel und wird auf demselben für einen vorgeschriebenen Zeitabschnitt nach dem Verstreichen einer vorgeschriebenen Zeit seit der Abnahme des Zeilenadressenstrobesignals /RAS auf den L-Pegel gehalten, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden. Das Timingermittlungssignal TBC erreicht den H-Pegel auf der Grundlage der Zunahme des Zeilenadressenstrobesignals /RAS auf den H-Pegel, wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden. Es erreicht den L-Pegel auf der Grundlage der Zunahme des Zeilenadressenstrobesignals /RAS auf den H-Pegel, wenn mit dem CBR-Auffrischtiming oder dem ROR-Timing die Signale eingegeben werden. Der Betrieb der Timingermittlungsschaltung wird unter Bezugnahme auf die Wellenformen der Fig. 9 und Fig. 10 beschrieben.

[0122] Fig. 9 ist eine Timingdarstellung, die den Betrieb der in Fig. 8 gezeigten Timingermittlungsschaltung **1611**, wenn mit dem WCBR-Timing ein Testmodus gesetzt und mit dem CBR-Auffrischtiming der Testmodus zurückgesetzt wird, darstellt. Zunächst werden vor einer Zeit t_0 die Timingermittlungssignale /TDA, TDB und TDC entsprechend auf den H-Pegel, den L-Pegel und den L-Pegel zurückgesetzt, wie in (p), (q) und (r) der Fig. 9 gezeigt. Wenn zu dem Zeitpunkt t_0 das Schreibberechtigungssignal /WE auf den L-Pegel gesetzt wird, wie in (c) der Fig. 9 gezeigt, dann erreicht das aus der WBR-Ermittlungsschaltung **1611c** (Fig. 8) der Timingermittlungsschaltung **1611** ausgegebene WBR-Ermittlungssignal /WBR den L-Pegel, wie in (d) der Fig. 9 dargestellt. Wenn zu einer Zeit t_1 das Spaltenadressenstrobesignal /CAS auf den L-Pegel gesetzt wird, wie in (b) der Fig. 9 gezeigt, dann erreicht das aus der CBR-Ermittlungsschaltung **1611d** (Fig. 8) der Timingermittlungsschaltung **1611** ausgegebene CBR-Ermittlungssignal /CBR den L-Pegel, wie in (e) der Fig. 9 gezeigt. Wenn zu einer Zeit t_2 das Zeilenadressenstrobesignal /RAS auf den L-Pegel gesetzt wird, wie in (a) der Fig. 9 gezeigt, dann erreicht das Steuersignal CLC den L-Pegel, werden die Ermittlungsschaltungen **1611c** und **1611d** in den Verriegelungszustand gesetzt und das WBR-Ermittlungssignal /WBR und das CBR-Ermittlungssignal /CBR beide verriegelt und auf dem L-Pegel behalten.

[0123] Doch zu dieser Zeit ist das aus der WCBR-Timingermittlungsschaltung **1611e** ausgegebene WCBR-Timingermittlungssignal WCBR noch auf dem L-Pegel, wie in (g) der Fig. 9 gezeigt, und ist das Timingermittlungssignal TDA, das aus der das WCBR-Timingermittlungssignal WCBR empfangenden Setz/Rücksetzschaltung **1611i** ausgegeben wird, auch noch auf den L-Pegel zurückgesetzt. Daher wird das Timingermittlungsverriegelungssignal LIDA, das aus der durch die Abnahme des Signals /RAS in den Verriegelungszustand gesetzten Timingermittlungssignalverriegelungsschaltung **1611j** ausgegeben wird, verriegelt und auf dem L-Pegel aufrechterhalten, wie in (n) der Fig. 9 gezeigt. Daher wird das aus der Timingermittlungssignalerzeugungsschaltung **1611f** ausgegebene Timingermittlungssignal TDC auf dem L-Pegel gehalten, wie in **Fig.** 10(r) dargestellt.

[0124] Wenn zu einer Zeit t_3 das Verzögerungssignal D/RAS des Zeilenadressenstrobesignals /RAS auf den L-Pegel abnimmt, wie in (f) der Fig. 9 gezeigt, dann erreicht das aus der WCBR-Timingermittlungs-

schaltung **1611e** ausgegebene WCBR-Timingermittlungssignal WCBR den H-Pegel, wie in (g) der Fig. 9 gezeigt, wird die Setz/Rücksetzschaltung **1611i** gesetzt und wird das Timingermittlungssignal TDA auf den H-Pegel gesetzt, wie in (k) der Fig. 9 gezeigt. Das Timingermittlungssignal /TDA, das die invertierte Version des durch die Timingermittlungssignalerzeugungsschaltung **1611m** invertierten Timingermittlungssignals TDA ist, erreicht den L-Pegel, wie in (p) der Fig. 9 gezeigt. Das aus der Impulserzeugungsschaltung **1611k** ausgegebene Impulssignal PLS erreicht den L-Pegel zu einer Zeit t_4 nach dem Verstreichen eines vorgeschriebenen Zeitabschnitts seit dem Zeitpunkt t_2, zu dem sich das Zeilenadressenstrobesignal /RAS auf den L-Pegel ändert, und es wird bis zu einem Zeitpunkt t_5 auf dem L-Pegel gehalten, wie in (m) der Fig. 9 dargestellt. Von t_4 bis t_5 wird das aus der Timingermittlungssignalerzeugungsschaltung **1611m** ausgegebene Timingermittlungssignal TDB auf dem H-Pegel gehalten, wie in (q) der Fig. 9 gezeigt.

[0125] Wenn zu einer Zeit t_6 das Schreibberechtigungssignal /WE den H-Pegel erreicht, wie in (c) der Fig. 9 gezeigt, zu einer Zeit t_7 das Spaltenadressenstrobesignal /CAS auf den H-Pegel gesetzt wird, wie in (b) der Fig. 9 dargestellt, und zu einer Zeit t_8 das Zeilenadressenstrobesignal /RAS auf den H-Pegel gesetzt wird, wie in (c) der Fig. 9 gezeigt, dann erreicht das aus der WCBR-Timingermittlungsschaltung **1611e** ausgegebene WCBR-Timingermittlungssignal WCBR den L-Pegel, wie in (g) der Fig. 9 gezeigt. Doch das Timingermittlungssignal TDA, das aus der das WCBR-Timingermittlungssignal WCBR empfangenden Setz/Rücksetzschaltung **1611i** ausgegeben wird, wird auf dem H-Pegel verriegelt gehalten, wie in (k) der Fig. 9 gezeigt, da das aus der Rücksetztimingermittlungsschaltung **1611f** ausgegebene Rücksetztimingermittlungssignal /RST auf dem H-Pegel ist, wie in (j) der Fig. 9 dargestellt, und daher wird das Timingermittlungssignal /TDA auch auf dem L-Pegel gehalten, wie in (p) der Fig. 9 gezeigt.

[0126] Wenn daher zu einer Zeit t_9 das Verzögerungssignal D/RAS des Zeilenadressenstrobesignals /RAS den H-Pegel erreicht, wie in (f) der Fig. 9 gezeigt, dann erreicht das Steuersignal CLC den H-Pegel, ändert sich das aus der WBR-Ermittlungsschaltung **1611c** ausgegebene WBR-Ermittlungssignal /WBR auf den H-Pegel, da der Verriegelungszustand freigegeben wird, wie in (d) der Fig. 9 gezeigt, und ändert sich das aus der CBR-Ermittlungsschaltung **1611d** ausgegebene CBR-Ermittlungssignal /CBR auf den H-Pegel, da der Verriegelungszustand freigegeben wird, wie in (e) der Fig. 9 gezeigt. Das aus der Timingermittlungssignalverriegelungsschaltung **1611j** ausgegebene Timingermittlungsverriegelungssignal LTDA ändert sich auf den H-Pegel, da sein Verriegelungszustand freigegeben wird, wie in (n) der Fig. 9 gezeigt, und das Timingermittlungssignal TDC, das aus der das Timingermittlungsverriegelungssignal LIDA empfangenden Timingermittlungssignalerzeugungsschaltung **1611m** ausgegeben wird, ändert sich auf den H-Pegel, wie in (r) der Fig. 9 gezeigt. Auf diese Art und Weise wird mit dem WCBR-Timing der Testmodus gesetzt. Danach wird gemäß dem gesetzten Testmodus ein Testbetrieb ausgeführt.

[0127] Wenn zu einer Zeit t_{10} das Spaltenadressenstrobesignal /CAS auf den L-Pegel gesetzt wird, wie in (b) der Fig. 9 gezeigt, dann erreicht das aus der CBR-Ermittlungsschaltung **1611d** ausgegebene CBR-Ermittlungssignal CBR den L-Pegel, wie in (e) der Fig. 9 dargestellt. Wenn zu einer Zeit t_{11} das Zeilenadressenstrobesignal /RAS auf den L-Pegel gesetzt wird, wie in **Fig.** 9(a) gezeigt, dann werden das WBR-Ermittlungssignal /WBR und das CBR-Ermittlungssignal /CBR beide verriegelt und entsprechend auf dem H-Pegel und dem L-Pegel gehalten. Inzwischen wird das aus der Setz/Rücksetzschaltung **1611i** ausgegebene Timingermittlungssignal TDA zu dieser Zeit auf dem H-Pegel verriegelt, wie in (k) der Fig. 9 gezeigt, und wird das aus der Timingermittlungssignalverriegelungsschaltung **1611j** ausgegebene Timingermittlungsverriegelungssignal LIDA verriegelt und auf dem H-Pegel gehalten, wie in (n) der Fig. 9 dargestellt. Daher wird das aus der Timingermittlungssignalerzeugungsschaltung **1611m** ausgegebene Timingermittlungssignal TDC auf dem H-Pegel gehalten, wie in (r) der Fig. 9 gezeigt. Das Signal TDB wird auf dem L-Pegel mittels des Inverters **1611me** und der NAND-Schaltung **1611mc** durch das Signal TDC, das auf dem H-Pegel ist, gehalten.

[0128] Als Reaktion auf die Abnahme des Signals /RAS erreicht zu einer Zeit t_{12} das Verzögerungssignals D/RAS des Zeilenadressenstrobesignals /RAS den L-Pegel, wie in (f) der Fig. 9 gezeigt, und wird das Impulssignal PLS auf den L-Pegel gesetzt und von t_{13} bis t_{14} auf demselben gehalten, wie in (m) der Fig. 9 gezeigt. Das Impulssignal PLS wird von der NAND-Schaltung **1611mc** ignoriert und hat keinen Einfluß auf das Signal TDB. Wenn zu einer Zeit t_{15} das Spaltenadressenstrobesignal /CAS auf den H-Pegel gesetzt wird, wie in (b) der Fig. 9 gezeigt, und zu einer Zeit t_{16} das Zeilenadressenstrobesignal /RAS auf den H-Pegel gesetzt wird, wie in (a) der Fig. 9 gezeigt, dann ändert sich das aus der CBR-Auffrischtimingermittlungsschaltung **1611g** in der Rücksetztimingermittlungsschaltung **1611f** ausgegebene CBR-Auffrischtimingermittlungssignal CBRR auf den H-Pegel, wie in (h) der Fig. 9 dargestellt, und als Reaktion darauf ändert sich das aus der Rücksetztimingermittlungsschaltung **1611f** ausgegebene Rücksetztimingermittlungssignal /RST auf den L-Pegel, wie in (j) der Fig. 9 gezeigt.

[0129] Das Timingermittlungssignal TDA, das aus der das Rücksetztimingermittlungssignal /RST emp-

fangenden Setz/Rücksetzschaltung **1611i** ausgegeben wird, wird auf den L-Pegel zurückgesetzt, wie in (k) der Fig. 9 gezeigt, und das aus der Timingermittlungssignalerzeugungsschaltung **1611m** ausgegebene Timingermittlungssignal /TDA ändert sich auf den L-Pegel, wie in (p) der Fig. 9 dargestellt. Wenn sich zu einer Zeit t_{17} das Verzögerungssignal D/RAS des Zeilenadressenstrobesignals /RAS auf den H-Pegel ändert, wie in (f) der Fig. 9 gezeigt, dann ändert sich das aus der CBR-Auffrischtimingermittlungsschaltung **1611g** ausgegebene CBR-Auffrischtimingermittlungssignal CBRR auf den L-Pegel, wie in (h) der Fig. 9 gezeigt, und ändert sich das aus der Rücksetztimingermittlungsschaltung **1611f** ausgegebene Rücksetztimingermittlungssignal /RST auf den H-Pegel.

[0130] Das aus der CBR-Ermittlungsschaltung **1611d** ausgegebene CBR-Ermittlungssignal /CBR ändert sich auf den H-Pegel, da sein Verriegelungszustand freigegeben wird, wie in (e) der Fig. 9 gezeigt. Das aus der Timingermittlungssignalverriegelungsschaltung **1611j** ausgegebene Timingermittlungsverriegelungssignal LIDA ändert sich auf den L-Pegel, dessen Logik dieselbe wie diejenige des Signals TDA ist, da sein Verriegelungszustand freigegeben wird, wie in (n) der Fig. 9 dargestellt. Das Timingermittlungssignal TDC, das aus der das Timingermittlungsverriegelungssignal LTDA empfangenden Timingermittlungssignalerzeugungsschaltung **1611m** ausgegeben wird, ändert sich auf den L-Pegel, wie in (r) der Fig. 9 gezeigt. In diesem Modus wird mit dem CBR-Auffrischtiming der Testmodus zurückgesetzt.

[0131] Fig. 10 ist eine Timingdarstellung, die einen Betrieb darstellt, bei welchem mit dem WCBR-Timing ein Testmodus gesetzt und mit dem ROR-Timing der Testmodus zurückgesetzt wird. Der Betrieb bis zu dem Zeitpunkt t_9, bei dem mit dem WCBR-Timing der Testmodus gesetzt wird, ist derselbe wie derjenige, welcher in der Timingdarstellung der Fig. 9 gezeigt ist. Abweichend von der Timingdarstellung der Fig. 9 nach dem Zeitpunkt t_9 ist, (1) daß das Spaltenadressenstrobesignal /CAS nicht auf den L-Pegel gesetzt wird und daher das CBR-Ermittlungssignal CBR den L-Pegel nicht erreicht und (2) daß das aus der CBR-Auffrischtimingermittlungsschaltung **1611g** ausgegebene CBR-Auffrischtimingermittlungssignal CBRR den H-Pegel nicht erreicht, aber das aus der ROR-Timingermittlungsschaltung **1611a** ausgegebene ROR-Timingermittlungssignal ROR den H-Pegel erreicht, wie in (i) der Fig. 10 gezeigt, wenn zur Zeit t_{16} das Zeilenadressenstrobesignal /RAS auf den H-Pegel gesetzt wird. Das aus der Rücksetztimingermittlungsschaltung **1611f** ausgegebene Rücksetztimingermittlungssignal /RST ändert sich durch die Änderung des Signals ROR auf den H-Pegel auf den L-Pegel, wie in **Fig.** 10(j) gezeigt. Auf diese Art und Weise kann der Testmodus ähnlich zurückgesetzt werden, egal, ob mit dem CBR-Auffrischtiming oder dem ROR-Timing.

[0132] Wie vorstehend beschrieben, wird das Signal TDA von dem Testmodussetzzyklus bis zu dem Testmodusrücksetzzyklus auf dem H-Pegel gehalten und der Testmodus bestimmt. Das Signal TDB wird in Form eines Einzelimpulses im Testmodussetzzyklus auf den H-Pegel gesetzt, und im Testmodusrücksetzzyklus ist es auf den L-Pegel festgelegt. Daher hat das Signal TDB die Aufgabe, den Setzzyklus und den Rücksetzzyklus des Testmodus zu unterscheiden. Das Signal TDC ist nach dem Setzzyklus auf den H-Pegel gesetzt und zeigt an, daß der Testmodusbetrieb zur Zeit möglich ist.

[0133] Fig. 11 zeigt einen speziellen Aufbau der in der Zustandsermittlungsschaltung **1610** enthaltenen Testgruppenermittlungsschaltung **1612**. Unter Bezugnahme auf Fig. 11 enthält die Testgruppenermittlungsschaltung **1612** eine Über-H-Pegel-Ermittlungsschaltung **1612a** zum Bestimmen eines Spannungspegels eines an einen Adresseneingangsanschluß **1612aa** angelegten Signals, eine Über-H-Pegelermittlungsschaltung.

[0134] Die Über-H-Pegelermittlungsschaltung **1612a** enthält eine zwischen dem Adresseneingangsanschluß **1612aa** und einem internen Ausgangsknoten **1612ab** geschaltete Hochziehschaltung **1612af** zum Erzeugen des Signals SD_0 mit dem H-Pegel, wenn das Signal an dem Anschluß **1612aa** auf dem Über-H-Pegel (größer als intVcc + 3·Vth) ist, welcher größer als das externe Stromversorgungspotential extVcc ist, und eine zwischen dem internen Ausgangsknoten **1612ab** und dem Masseknoten **100b** geschaltete Lastschaltung **1612ah** zum Herunterziehen des Potentials an dem Knoten **1612ab**.

[0135] Die Hochziehschaltung **1612af** enthält 3 als Diode geschaltete n-Kanal-MOS-Transistoren **1612ac**, **1612ad** und **1612ae**, von denen jeder eine Schwellenspannung Vth aufweist und die zwischen dem Anschluß **1612aa** und dem internen Ausgangsknoten **1612ab** in Reihe geschaltet sind.

[0136] Die Lastschaltung **1612ah** enthält einen n-Kanal-MOS-Transistor **1612ag**, der zwischen den Knoten **1612ab** und **100b** geschaltet ist und ein Gate hat, das so geschaltet ist, daß es ein internes Stromversorgungspotential intVcc an einem Knoten **100c** empfängt.

[0137] Der MOS-Transistor **1612ag** ist normalerweise eingeschaltet, so daß er als Lastelement oder Herunterziehwiderstand funktioniert.

[0138] Wenn das Adressensignal A_0 auf intVcc + 3·Vth (im Über-H-Pegelgebiet enthalten) ist, dann erreicht das Über-H-Pegelermittlungssignal SD_0 den

H-Pegel mit intVcc (interner H-Pegel). Um zu dieser Zeit den aus dem Über-H-Pegelermittlungssignalausgangsknoten **1612ab** durch die Lastschaltung **1612ah** hindurch in den Massepotentialknoten **100b** fließenden Strom so zu machen, daß er so klein ist, daß er im Vergleich zu dem aus dem Adressenanschluß **1612aa** durch die Hochziehschaltung **1612af** hindurch in den Über-H-Pegelermittlungssignalausgangsknoten **1612ab** gelieferten Strom vernachlässigbar wird, ist das Verhältnis W/L aus der Kanalbreite W und der Kanallänge L des MOS-Transistors **1612ag** ausreichend kleiner als das Verhältnis aus der Kanalbreite und der Kanallänge der n-Kanal-MOS-Transistoren **1612ac**, **1612ad** und **1612ae** in der Hochziehschaltung **1612af** gemacht. Der n-Kanal-MOS-Transistor **1612ag** ist normalerweise eingeschaltet, und daher verbraucht die Über-H-Pegelermittlungsschaltung **1612a** Strom, da aus dem Adressenanschluß **1612aa** in den Massepotentialknoten **100b** Strom fließt, wenn das Adressensignal A_0 3·Vth überschreitet.

[0139] Die Über-H-Pegelermittlungsschaltung **1612b** enthält eine zwischen dem Adresseneingangsanschluß **1612ba** und einem internen Ausgangsknoten **1612bb** geschaltete Hochziehschaltung **1612bf** und eine zwischen dem Knoten **1612bb** und dem Masseknoten **100b** geschaltete Lastschaltung **1612bh**, ähnlich wie bei der Über-H-Pegelermittlungsschaltung **1612a**. Die Hochziehschaltung **1612bf** enthält 3 als Diode geschaltete n-Kanal-MOS-Transistoren **1612bc** bis **1612be**, die zwischen dem Anschluß **1612ba** und dem internen Ausgangsknoten **1612bb** miteinander in Reihe geschaltet sind und von denen jeder eine Schwellenspannung Vth aufweist.

[0140] Die Lastschaltung **1612bh** enthält einen n-Kanal-MOS-Transistor **1612bg**, der zwischen den Knoten **100b** und **1612bb** geschaltet ist und ein Gate hat, das so geschaltet ist, daß es das interne Stromversorgungspotential intVcc empfängt. Das Verhältnis aus der Gate(kanal)breite und der Gate (kanal)länge ist ausreichend kleiner als das jeweilige der MOS-Transistoren **1612bc**–**1612be** gemacht, um den Stromverbrauch zu verkleinern und die MOS-Transistoren **1612bc** bis **1612be** in Diodenart zum Verursachen eines Spannungsabfalls von 3·Vth über ihnen zu betreiben.

[0141] Das Signal /TGA erreicht den L-Pegel, wenn das Adressensignal A_0 auf den Über-H-Pegel (nachstehend als S-Pegel bezeichnet) gesetzt wird, das A_1 auf den Normal-H-Pegel gesetzt wird, die S-Pegel-Ermittlungssignale SD_0, SD_1 und die Zeilenadressensignale /RA_0 und /RA_1 entsprechend auf den H-, L-, L- und L-Pegel gesetzt werden, mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, für einen vorgeschriebenen Zeitabschnitt das Timingermittlungssignal TDB auf dem H-Pegel gehalten wird, das Signal /TDA den L-Pegel erreicht und das Signal TDC den H-Pegel erreicht.

[0142] Das Testgruppenermittlungssignal /TGB erreicht den L-Pegel, wenn das Adressensignal A_0 auf den H-Pegel gesetzt wird, das A_1 auf den S-Pegel gesetzt wird, die S-Pegel-Ermittlungssignale SD_0, SD_1 und die Zeilenadressensignale /RA_0 und /RA_1 entsprechend auf den L-, H-, L- und L-Pegel gesetzt werden, mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, das Timingermittlungssignal TDB auf den H-Pegel gesetzt wird und auf demselben für einen vorgeschriebenen Zeitabschnitt gehalten wird, das Signal /TDA auf den L-Pegel gesetzt wird und das Signal TDC auf den H-Pegel gesetzt wird.

[0143] Die Testgruppenermittlungssignalerzeugungsschaltung **1612c** enthält eine die Über-H-Pegelermittlungssignale SD_0, SD_1 und die Zeilenadressensignale /RA_0 und /RA_1 empfangende Testgruppenermittlungshilfsschaltung **1612ca** zum Ausgeben von Testgruppenermittlungshilfssignalen SV_0, HV_0, SV_1 und HV_1 gemäß den Adressensignalen A_0 und A_1 und eine die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1, HV_1 und ein Timingermittlungssignal TDC empfangende Testgruppenermittlungssignalsteuerschaltung **1612cb** zum Ausgeben von Testgruppenermittlungssignalen /TGA und /TGB.

[0144] Die Testgruppenermittlungshilfsschaltung **1612ca** enthält einen Inverter **1612cc**, der das Signal TDA empfängt, einen getakteten Inverter **1612cd**, der aktiviert ist, wenn das Signal TDA auf dem H-Pegel ist, so daß er das Signal SD_0 invertiert, eine NOR-Schaltung **1612ce**, die das Ausgangssignal aus dem getakteten Inverter **1612cd** und das Signal /TDA empfängt, einen Inverter **1612cf**, der das Ausgangssignal aus der NOR-Schaltung **1612ce** invertiert und es in den Ausgang des getakteten Inverters **1612cd** rückkoppelt, eine NOR-Schaltung **1612cg**, die ein Ausgangssignal aus der NOR-Schaltung **1612ce** und das Zeilenadressensignal /RA_0 empfängt, einen getakteten Inverter **1612ch**, der aktiviert ist, wenn das Signal TDB auf dem H-Pegel ist, so daß er das Ausgangssignal aus der NOR-Schaltung **1612cg** invertiert, eine NOR-Schaltung **1612ci**, die das Signal /TDA und ein Ausgangssignal aus dem getakteten Inverter **1612ch** empfängt, und einen Inverter **1612cj** zum Rückkoppeln des Ausgangssignals der NOR-Schaltung **1612ci** in den Ausgang des getakteten Inverters **1612ch**. Das Signal SV_0 wird aus der NOR-Schaltung **1612ce** ausgegeben, und das Signal HV_0 wird aus der NOR-Schaltung **1612ci** ausgegeben.

[0145] Die Testgruppenermittlungshilfsschaltung **1612ca** enthält ferner einen getakteten Inverter

1612ck, der aktiviert ist, wenn das Signal TDB auf dem H-Pegel ist, so daß er das Signal SD_1 invertiert, eine NOR-Schaltung **1612cm**, die das Ausgangssignal aus dem getakteten Inverter **1612ck** und das Signal /TDA empfängt, einen Inverter **1612cn** zum Rückkoppeln des Ausgangssignals aus der NOR-Schaltung **1612cm** in den Ausgang des getakteten Inverters **1612ck**, eine NOR-Schaltung **1612cp**, die das Ausgangssignal aus der NOR-Schaltung **1612cm** und das Zeilenadressensignal $/RA_1$ empfängt, einen getakteten Inverter **1612cq**, der aktiviert ist, wenn das Signal TDB auf dem H-Pegel ist, so daß er das Ausgangssignal aus der NOR-Schaltung **1612cp** invertiert, eine NOR-Schaltung **1612cr**, die das Ausgangssignal aus dem getakteten Inverter **1612cq** und das Signal /TDA empfängt, und einen Inverter **1612cs** zum Invertieren des Ausgangssignals aus der NOR-Schaltung **1612cr** und zum Rückkoppeln desselben in den Ausgang des getakteten Inverters **1612cq**.

[0146] Das Signal SV_1 wird aus der NOR-Schaltung **1612cm** ausgegeben, und das Signal HV_1 wird aus der NOR-Schaltung **1612cr** ausgegeben.

[0147] wenn die Adressensignale A_0 und A_1 entsprechend auf den S-Pegel und den H-Pegel gesetzt sind und wenn mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, dann werden die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1 und HV_1 entsprechend auf den H-, L-, L- und H-Pegel gesetzt. Wenn die Adressensignale A_0 und A_1 entsprechend auf dem H-Pegel und dem S-Pegel sind und die WCBR-Bedingung befriedigt ist, dann werden die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1 und HV_1 entsprechend auf den L-, H-, H- und L-Pegel gesetzt.

[0148] Die Testgruppenermittlungssignalsteuerschaltung **1612cb** enthält eine die Signale TDC, SV_0 und HV_1 empfangende 3-Eingangs-NAND-Schaltung **1612ct** zum Ausgeben des Testgruppenermittlungssignals /TGA und eine die Signale TDC, HV_0 und SV_1 empfangende 3-Eingangs-NAND-Schaltung **1612cu** zum Ausgeben des Testgruppenermittlungssignals /TGB.

[0149] Wenn die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1 und HV_1 entsprechend den H-, L-, L- und H-Pegel erreichen, was anzeigt, daß die Adressensignale A_0 und A_1 entsprechend auf dem S-Pegel und dem H-Pegel sind und daß mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, und wenn das Timingermittlungssignal TDC auf dem H-Pegel ist, dann erreichen die Testgruppenermittlungssignale /TGA und /TGB entsprechend den L-Pegel und den H-Pegel, was zeigt, daß die Adressensignale A_0 und A_1 entsprechend auf dem S-Pegel und dem H-Pegel sind und daß mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind.

[0150] Wenn die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1 und HV_1 entsprechend den L-, H-, H- und L-Pegel erreichen, was anzeigt, daß die Adressensignale A_0 und A_1 entsprechend auf dem H-Pegel und dem S-Pegel sind und daß mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind, und das Timingermittlungssignal TDC auf dem H-Pegel ist, dann erreichen die Testgruppenermittlungssignale /TGA und /TGB entsprechend den H-Pegel und den L-Pegel, was anzeigt, daß die Adressensignale A_0 und A_1 entsprechend auf dem H-Pegel und dem L-Pegel sind und daß mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben sind. Wenn nämlich ein spezieller Testmodus bestimmt ist, dann wird das eine der Signale /TGA und /TGB auf den L-Pegel und mit dem Übergangstiming des Signals TDC auf den H-Pegel gesetzt (siehe Fig. 7). Die Signale /TGA und /TGB bestimmen eine Gruppe, in welcher der auszuführende Testmodus enthalten ist.

[0151] Fig. 12 ist ein schematisches Blockschaltbild, das einen Aufbau der in Fig. 4 gezeigten Testmodussetzsignalerzeugungsschaltung **1620** darstellt. Unter Bezugnahme auf Fig. 12 enthält die Testmodussetzsignalerzeugungsschaltung **1620** eine Adressenschlüsselverriegelungsschaltung **1621**, die als Reaktion auf die Signale /TDA und TDB die Zeilenadressensignale $/RA_2$ bis $/RA_6$ aufnimmt und verriegelt, wobei sie während des Testmodusbetriebs komplementäre Adressenschlüsselsignale AK_2, $/AK_2$ bis AK_6, $/AK_6$ ausgibt; einen Adressenschlüsselvordecodierer **1622**, der die Adressenschlüsselsignale AK_2, $/AK_2$ bis AK_5, $/AK_5$ vordecodiert, so daß er vordecodierte Adressenschlüsselsignale ausgibt; einen Adressenschlüsselhauptdecodierer **1623**, der als Reaktion auf das Signal TDC so aktiviert ist, daß er die vordecodierten Adressenschlüsselsignale und den Adressenschlüssel AK_6 gemäß den Signalen /TGA und /TGB decodiert, so daß er decodierte Adressenschlüsselsignale AKD_0-AKD_7 ausgibt; und einen Puffer **1624**, der die decodierten Adressenschlüsselsignale AKD_0 bis AKD_7 puffert, so daß er die Testmodussetzsignale TE, TEST1 bis TEST5, TEST6S, TEST6N und TEST7 ausgibt.

[0152] Die Adressenschlüsselverriegelungsschaltung **1621** nimmt die Zeilenadressensignale $/RA_2$, ..., $/RA_6$ auf und gibt die Adressenschlüsselsignale AK_2, ..., AK_6 mit einer Logik, die zu derjeni-

gen der Zeilenadressensignale /RA_2, /RA_6 entgegengesetzt ist, und die Adressenschlüsselsignale /AK_2, /AK_6, die dieselbe Logik wie die Zeilenadressensignale (/RA_2–/RA_6) haben, aus, während mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, und als Reaktion darauf ist das Timingermittlungssignal /TDA auf dem L-Pegel und wird für einen vorgeschriebenen Zeitabschnitt das Timingermittlungssignal TDB auf dem H-Pegel gehalten.

[0153] Die Adressenschlüsselverriegelungsschaltung **1621** hält die Adressenschlüsselsignale AK_2, ..., AK_6, /AK_2, ..., /AK_6, wenn das Timingermittlungssignal TDB den L-Pegel erreicht und wenn mit dem CBR-Auffrischtiming oder dem ROR-Rücksetztiming das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, und im Ergebnis nimmt das Timingermittlungssignal TDA auf den H-Pegel zu.

[0154] Der Adressenschlüsselvordecodierer **1622** empfängt die Adressenschlüsselsignale AK_2, ..., AK_5, /AK_2, ..., /AK_5 und gibt ihr logisches Produkt, das heißt adressenschlüsselvordecodierte Signale $AK_2 \cdot AK_3$, $AK_2 \cdot /AK_3$, $/AK_2 \cdot AK_3$,$/AK_2 \cdot /AK_3$, $AK_4 \cdot AK_5$, $AK_4 \cdot /AK_5$, $/AK_4 \cdot AK_5$ und $/AK_4 \cdot /AK_5$, aus.

[0155] Fig. 13 zeigt ein spezielles Schaltbild der in Fig. 12 dargestellten Adressenschlüsselverriegelungsschaltung. Die Adressenschlüsselverriegelungsschaltung **1621** enthält Teilverriegelungsschaltungen **1621b** bis **1621f**, die untereinander denselben Aufbau haben und entsprechend den Zeilenadressensignalen /RA_0 bis /RA_6 vorgesehen sind, wobei sie in einen verriegelten Zustand gesetzt sind, wenn das Signal TDB auf dem L-Pegel ist, und sie dazu befähigt sind, die aufgenommenen Zeilenadressensignale /RA_2 bis /RA_6 und die Adressenschlüsselsignale AK_2, /AK_2 bis AK_6, /AK_6 auszugeben, wenn das Signal /TDA auf dem L-Pegel ist.

[0156] Die Teilverriegelungsschaltung **1621b** enthält einen getakteten Inverter **1621ba**, der so aktiviert wird, daß er das Zeilenadressensignal /RA_2 invertiert, wenn das Signal TDB auf dem H-Pegel ist, und so deaktiviert wird, daß er in einen Ausgangshochimpedanzzustand gebracht wird, wenn das Signal TDB auf dem L-Pegel ist; eine NOR-Schaltung **1621bb**, die einen Ausgang des getakteten Inverters **1621ba** und das Signal /TDA empfängt, um das Adressenschlüsselsignal /AK_2 zu erzeugen; einen Inverter **1621bc**, der das Signal /AK_2 invertiert und das invertierte Signal in den Ausgang des getakteten Inverters **1621ba** rückkoppelt; und einen Inverter **1621bd**, der das Adressenschlüsselsignal invertiert, um das Adressenschlüsselsignal AK_2 zu erzeugen. Die NOR-Schaltung **1621bb** und der Inverter **1621bc** bilden eine Verriegelungseinrichtung (beziehungsweise ein Latch). Die NOR-Schaltung **1621bb** ist dazu befähigt, den Ausgang des getakteten Inverters **1621ba** zu invertieren, wenn das Signal /TDA auf dem L-Pegel ist, und sie ist nicht dazu befähigt, das Signal /AK_2 auf den L-Pegel zu zwingen, wenn das Signal /TDA auf dem H-Pegel ist.

[0157] Jede der Teilverriegelungsschaltungen **1621c-1621f** hat denselben Aufbau wie die Teilverriegelungsschaltung **1621b**, und gleiche Teile tragen die gleichen Bezugszeichen, außer dem ersten Suffix, das eine entsprechende Teilverriegelungsschaltung anzeigt.

[0158] In dem Testmodussetzzyklus gemäß der WCBR-Bedingung werden in Reaktion auf das Signal TDB die Zeilenadressensignale /RA_2–/RA_6 aufgenommen und verriegelt. In dem Testmodusrücksetzzyklus gemäß der CBR-Auffrischbedingung oder der ROR-Auffrischbedingung werden in Reaktion auf das Signal /TDA, das auf den H-Pegel zurückgesetzt ist, die Adressenschlüsselsignale AK_2, /AK_2–AK_6, /AK_6 zurückgesetzt.

[0159] Fig. 14 ist eine spezielle Darstellung, welche den Adressenschlüsselvordecodierer **1622** zeigt. Der Adressenschlüsselvordecodierer **1622** enthält 2-Eingangs-NOR-Schaltungen **1622a**, **1622b**, **1622c**, **1622d**, **1622e**, **1622f**, **1622g** und **1622h**, von denen jede vorzugewiesene Adressenschlüsselsignale empfängt. In der Adressenschlüsselverriegelungsschaltung **1621** wird es durch das verriegeln von Zweiphasenadressenschlüsselsignalen AK_i und /AK_i möglich, ein adressenschlüsselvordecodiertes Signal mittels einer NOR-Schaltung auszugeben.

[0160] Fig. 15 ist eine Darstellung, die eine spezielle Anordnung des Adressenschlüsselhauptdecodierers **1623** zeigt. Der Adressenschlüsselhauptdecodierer **1623** enthält einen das Timingermittlungssignal TDC, die Testgruppenermittlungssignale /TGA und /TGB und das Adressenschlüsselsignal AK_6 empfangenden Teildecodierer **1623a** zum Ausgeben des adressenschlüsseldecodierten Signals AKD_0, einen die adressenschlüsselvordecodierten Signale $AK_2 \cdot AK_3$, $/AK_2 \cdot AK_3$, $AK_4 \cdot /AK_5$, $AK_2 \cdot /AK_3$, $/AK_4 \cdot AK_5$ und das Testgruppenermittlungssignal /TGA empfangenden Teildecodierer **1623b** zum Ausgeben der den adressenschlüsselvordecodierten Signalen $AK_2 \cdot AK_3$, $/AK_2 \cdot AK_3$, AK4·/AK5, $AK_2 \cdot /AK_3$, /AK_4–AK_5 entsprechenden adressenschlüsseldecodierten Signale AKD_6, AKD_4, AKD_7, AKD_3 und AKD_5, und einen die adressenschlüsselvordecodierten Signale $AK_2 \cdot AK_3$, $AK_2 \cdot /AK_3$, $AK_2 \cdot AK_3$, $/AK_2 \cdot AK_3$ und das Testgruppenermittlungssignal /TGB empfangenden Teildecodierer **1623c** zum Ausgeben der adressenschlüsseldecodierten Signale AKD_1 und AKD_2.

[0161] Der Teildecodierer **1623b** ist betriebsberechtigt, wenn das Testgruppenermittlungssignal /TGA auf den L-Pegel aktiviert ist, und der Teildecodierer **1623c** ist betriebsberechtigt, wenn das Testgruppenermittlungssignal /TGB auf den L-Pegel aktiviert ist.

[0162] Der Teildecodierer **1623a** enthält einen Inverter **1623aa**, der das Timingermittlungssignal TDC empfängt und invertiert, eine NAND-Schaltung **1623ab**, die die Testgruppenermittlungssignale /TGA und /TGB empfängt, eine NOR-Schaltung **1623ac**, welche die Ausgangssignale des Inverters **1623aa** und der NAND-Schaltung **1623ab** empfängt, einen Inverter **1623ad**, der das Ausgangssignal der NOR-Schaltung **1623ac** empfängt und invertiert, eine NAND-Schaltung **1623ae**, welche die Signale /TGA und /TGB empfängt, eine Dreieingangs-NAND-Schaltung **1623af**, welche die Signale AK_6 und TDC und den Ausgang der NAND-Schaltung **1623ae** empfängt, und eine NAND-Schaltung **1623ag**, welche die Ausgangssignale des Inverters **1623ad** und der Dreieingangs-NAND-Schaltung **1623af** empfängt, um das adressenschlüsseldecodierte Signal AKD_0zu erzeugen.

[0163] Das adressenschlüsseldecodierte Signal AKD_0 erreicht den H-Pegel, (1) wenn mit dem WCBR-Timing unter einer Bedingung, die sich von derjenigen Bedingung unterscheidet, daß das eine der Adressensignale A_0 und A_1 auf dem S-Pegel und das andere auf dem H-Pegel ist, das heißt das JEDEC-Standard-Vielbittestmodussetztiming, und daß die Testgruppenermittlungssignale /TGA, /TGB beide den H-Pegel erreichen und das Timingermittlungssignal TDC auf den H-Pegel gesetzt ist, das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden und (2) wenn das eine der Adressensignale A_0 und A_1 auf den S-Pegel und das andere auf den H-Pegel gesetzt ist, wobei mit dem WCBR-Timing das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal /CAS und das Schreibberechtigungssignal /WE eingegeben werden, das heißt das spezielle Testmodussetztiming, wobei zu dieser Zeit das Adressensignal A_6 mit dem H-Pegel angelegt ist und das eine der Testgruppenermittlungssignale /TGA und /TGB auf den L-Pegel gesetzt ist, das Adressenschlüsselsignal AK_6 auf den H-Pegel gesetzt ist und das Timingermittlungssignal TDC auf den H-Pegel gesetzt ist.

[0164] Der Teildecodierer **1623b** enthält jeweils entsprechend den vordecodierten Signalen vorgesehene Inverter **1623ba**–**1623be** und jeweils entsprechend den Invertern **1623ba**–**1623be** vorgesehene NOR-Schaltungen **1623bf** bis **1623bj**. Das Signal /TGA ist an jede der NOR-Schaltungen **1623bf** bis **1623bj** gemeinsam angelegt. Die decodierten Adressenschlüsselsignale AKD_6, AKD_4, AKD_7, AKD_3 und AKD_5 werden entsprechend aus den NOR-Schaltungen **1623bf** bis **1623bj** ausgegeben. Der Teildecodierer **1623b** ist betriebsberechtigt, wenn das Testgruppenermittlungssignal /TGA auf den L-Pegel gesetzt ist. Wenn insbesondere die Adressensignale A_0 und A_1 entsprechend auf den S-Pegel und den H-Pegel gesetzt sind und mit dem WCBR-Timing (dem speziellen Testmodussetztiming) das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal / CAS und das Schreibberechtigungssignal /WE eingegeben werden und das Testgruppenermittlungssignal /TGA entsprechend auf den L-Pegel gesetzt ist, dann erreicht das eine der adressenschlüsseldecodierten Signale AKD_6, AKD_4, AKD_7, AKD_3 und AKD_5, das dem adressenschlüsselvordecodierten Signal entspricht, das als Reaktion auf die Adressensignale A_2, ..., A_5 aus den fünf adressenschltisselvordecodierten Signalen $AK_2{\cdot}AK_3$, $/AK_2{\cdot}AK_3$, $AK_4{\cdot}/AK_5$, $AK_2{\cdot}/AK_3$, $/AK_4{\cdot}AK_5$ den H-Pegel erreicht, den H-Pegel.

[0165] Der Teilvordecodierer **1623c** enthält eine NOR-Schaltung **1623ca**, welche die vordecodierten Signale $AK_2{\cdot}AK_3$ und $AK_2{\cdot}/AK_3$ empfängt, eine NOR-Schaltung **1623cb**, welche die vordecodierten Signale $AK_2{\cdot}AK_3$ und $/AK_2{\cdot}AK_3$ empfängt, eine NOR-Schaltung **1623cc**, die ein Ausgangssignal der NOR-Schaltung **1623ca** und das Signal /TGB empfängt, und eine NOR-Schaltung **1623cd**, die ein Ausgangssignal der NOR-Schaltung **1623cb** und das Signal / TGB empfängt. Die NOR-Schaltungen **1623cc** und **1623cd** erzeugen entsprechend die adressenschlüsseldecodierten AKD_1 und AKD_2.

[0166] Wenn die Adressensignale A_0 und A_1 entsprechend auf den H-Pegel und den S-Pegel gesetzt sind und mit dem WCBR-Timing (dem speziellen Testmodussetztiming) das Zeilenadressenstrobesignal /RAS, das Spaltenadressenstrobesignal / CAS und das Schreibberechtigungssignal /WE eingegeben werden und im Ergebnis das Testgruppenermittlungssignal /TGB auf den L-Pegel gesetzt ist und wenn die zu dieser Zeit angelegten Adressensignale A_2 und A_3 beide auf dem H-Pegel und die adressenschlüsselvordecodierten Signale $AK_2{\cdot}AK_3$, $AK_2{\cdot}/AK_3$, $/AK_2{\cdot}AK_3$ entsprechend auf dem H-, L- und L-Pegel sind, dann sind die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 beide auf den H-Pegel gesetzt. Wenn die Adressensignale A2 und A_3 entsprechend auf dem H-Pegel und dem L-Pegel sind und daher die adressenschlüsselvordecodierten Signale AK_2-AK_3, $AK_2{\cdot}/AK_3$, $/AK_2{\cdot}AK_3$ entsprechend auf dem L-, H- und L-Pegel sind, dann sind die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 entsprechend auf den H-Pegel und den L-Pegel gesetzt.

[0167] Wenn die Adressensignale A_2 und A_3 entsprechend auf dem L-Pegel und dem H-Pegel sind und die adressenschlüsselvordecodierten Signale $AK_2{\cdot}AK_3$, $AK_2{\cdot}/AK_3$, $/AK_2{\cdot}AK_3$ entsprechend auf dem L-Pegel, dem L-Pegel und dem H-Pegel sind, dann

sind im Ergebnis die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 entsprechend auf den L-Pegel und den H-Pegel gesetzt.

[0168] Wenn die Adressensignale A_2 und A_3 beide auf dem L-Pegel sind und die adressenschlüsselvordecodierten Signale $AK_2 \cdot AK_3$, $AK_2 \cdot /AK_3$, $/AK_2 \cdot AK_3$ alle auf dem L-Pegel sind, dann sind die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 beide auf den L-Pegel gesetzt.

[0169] Fig. 16 ist eine Darstellung, welche eine spezielle Schaltung des Puffers **1624** zeigt. Der Puffer **1624** enthält einen Inverter **1624a**, der das Signal AKD_0 empfängt, einen Inverter **1624b**, der eine größere Stromtreibfähigkeit als der Inverter **1624a** hat, einen Inverter **1624c**, der das Signal AKD_1 empfängt, einen Inverter **1624d**, der eine größere Stromtreibfähigkeit als der Inverter **1624c** hat, einen Inverter **1624e**, der das Signal AKD_2 empfängt, einen Inverter **1624f**, der eine größere Stromtreibfähigkeit als der Inverter **1624e** hat, einen Inverter **1624g**, der das Signal AKD_3 empfängt, einen Inverter **1624h**, der eine größere Stromtreibfähigkeit als der Inverter **1624g** hat, einen Inverter **1624i**, der das Signal AKD_4 empfängt, einen Inverter **1624j**, der eine größere Stromtreibfähigkeit als der Inverter **1624i** hat, einen Inverter **1624k**, der das Signal AKD_5 empfängt, einen Inverter **1624m**, der eine größere Stromtreibfähigkeit als der Inverter **1624k** hat, einen Inverter **1624n**, der das Signal AKD_6 empfängt, Inverter **1624p** und **1624q**, die eine größere Stromtreibfähigkeit als der Inverter **1624n** haben, einen Inverter **1624r**, der das Signal AKD_7 empfängt, und einen Inverter **1624s**, der eine größere Stromtreibfähigkeit als der Inverter **1624r** hat. Da in den nachfolgenden Stufen fortschreitend die Stromtreibfähigkeit der Inverter vergrößert wird, können die Leitungen zum übertragen der Testmodussetzsignale TE, TEST1, TEST2, TEST3, TEST4, TEST5, TEST6N, TEST6S und TEST7 schnell geladen und entladen werden.

[0170] Fig. 17 ist eine Draufsicht, welche ein schematisches Layout des DRAM auf einem Halbleiterchip zeigt. Unter Bezugnahme auf Fig. 17 ist in einem Chipzentralstreifen **12** längs der Richtung der längeren Seite, welcher Streifen längs der Richtung der längeren Seiten verläuft und sich im Zentralabschnitt der kürzeren Seite des Halbleiterchips **10** befindet, eine Mehrzahl von Kontaktblöcken, zum Beispiel **24** Kontaktblöcke **11**, angeordnet.

[0171] Die Adressensignale A_i und die Steuersignale wie beispielsweise das Zeilenadressenstrobesignal ext/RAS werden mittels der Kontaktblöcke **11** in den Halbleiterchip **10** eingegeben, und die Daten Dr werden auch mittels der Kontaktblöcke **11** eingegeben und ausgegeben.

[0172] Aus einer in dem Zentralstreifen **12** des Chips **10** vorgesehenen Testmodussetzschaltung **1600** in die entsprechenden Testschaltungen sind längs des Zentralstreifens **12** eine das Vielbittestmodussetzsignal TE übertragende Testmodussetzsignalleitung **13a**, eine das Testmodussetzsignal TEST1 übertragende Testmodussetzsignalleitung **13b**, eine das Testmodussetzsignal TEST2 übertragende Testmodussetzsignalleitung **13c**, eine das Testmodussetzsignal TEST3 übertragende Testmodussetzsignalleitung **13d**, eine das Testmodussetzsignal TEST4 übertragende Testmodussetzsignalleitung **13e**, eine das Testmodussetzsignal TEST5 übertragende Testmodussetzsignalleitung **13f**, eine das Testmodussetzsignal TESTEN übertragende Testmodussetzsignalleitung **13g**, eine das Testmodussetzsignal TEST6S übertragende Testmodussetzsignalleitung **13h** und eine das Testmodussetzsignal TEST7 übertragende Testmodussetzsignalleitung **13i** angeordnet.

[0173] Eine Referenzpotentialleitung **14** überträgt ein Referenzpotential Vref, das aus jener auf der S-(Süd-)Seite des Halbleiterchips **10** angeordneten internen Schaltungseinrichtung **117** ausgegeben wird, welche die Referenzpotentialerzeugungsschaltung **111**, den Regler **114** und die Belastungsmodusschaltung **115** enthält, die in **Fig.** 3 gezeigt sind, in die auf der N-(Nord-)Seite des Halbleiterchips **10** angeordnete interne Schaltungseinrichtung **116**, die den Regler **112** und die Belastungsmodusschaltung **113** enthält.

[0174] In einem Abschnitt auf der S-Seite bezüglich der Testmodussetzschaltung **1600** ist die Referenzpotentialleitung **14** so vorgesehen, daß sie an die Testmodussetzsignalleitungen **13f** und **13h** angrenzt, zu ihnen parallel ist und zwischen sie dazwischengelegt ist. In einem Abschnitt auf der N-Seite bezüglich der Testmodussetzschaltung **1600** ist die Referenzpotentialleitung **14** so vorgesehen, daß sie an die Testmodussetzsignalleitungen **13g** und **13i** angrenzt, zu ihnen parallel und zwischen sie dazwischengelegt ist. Da auf diese Art und Weise die Testmodussetzsignalleitungen, deren Potential jeweils auf dem L-Pegel im Normalmodus festgelegt ist, in der Nähe der Referenzpotentialleitung **14** vorgesehen sind, funktionieren die Testmodussetzsignalleitungen als Abschirmleitungen, die die Einführung eines Rauschens auf die Referenzpotentialleitung **14** verhindern, wobei sie eine stabile Übertragung des Referenzpotentials Vref bei normaler Verwendung ermöglichen. Dies trifft auch dann zu, wenn die Testmodussetzsignalleitungen auf dem H-Pegel bei normaler Verwendung festgelegt sind. Der Belastungsmodusbetrieb wird vor dem Marketing der Einrichtung durch den Hersteller ausgeführt, und ein derartiger Belastungsmodus wird vom Benutzer nicht verwendet.

[0175] Eine Schaltung zum Erzeugen eines verstärkten Potentials **120** ist auf der N-Seite des Halbleiterchips **10** vorgesehen und empfängt das Testmodussetzsignal TEST7 aus der Testmodussetzschaltung **1600** mittels der Testmodussetzsignalleitung **13i**. Wenn das Testmodussetzsignal TEST7 den H-Pegel erreicht, dann verkleinert die Schaltung zum Erzeugen eines verstärkten Potentials **120** den verstärkten Pegel des aus ihr ausgegebenen verstärkten Potentials Vpp relativ zu dem internen Stromversorgungspotential intVcc. (wenn zum Beispiel im Normalbetrieb das Potential Vpp = intVcc + 2·BST ist, dann wird es auf intVcc + BST verkleinert, wenn TEST = H.) Eine Akkumulatorenplattenpotentialerzeugungsschaltung **130** ist auf der S-Seite des Halbleiterchips **10** vorgesehen und empfängt mittels der Testmodussetzschaltung **1600** durch die Testmodussetzsignalleitung **13f** hindurch das Testmodussetzsignal TEST5 aus der Testmodussetzschaltung **1600**. Wenn das Testmodussetzsignal TEST5 den H-Pegel erreicht, dann verstärkt die Schaltung **130** das Akkumulatorenplattenpotential Vcp von den normalen (1/2)intVcc auf intVcc.

[0176] Eine interne Schaltung **410**, die in einem Zeilenvordecodierer **400** in dem Zentralabschnitt in der Richtung der längeren Seite des Chips **10** enthalten ist, empfängt das Testmodussetzsignal TEST4 mittels der Testmodussetzsignalleitung **13e**. wenn das Testmodussetzsignal TEST4 den H-Pegel erreicht, dann setzt die Schaltung **410** eine größere Anzahl von Blockwahlsignalen BSj als im Normalbetrieb, so daß sie eine größere Anzahl von Speicherzellblocken **511** wählt, um im Vergleich zu dem Normalbetrieb die Wortleitungen anzuheben (Störungstestmodus).

[0177] Ferner sind in dem Randschaltungsgebiet im Zentralabschnitt in der Richtung der kürzeren Seite des Chips **10** vorgesehen:
eine Vielbittestschaltung **1120**, die das Testmodussetzsignal TEST4 mittels der Testmodussetzsignalleitung **13e** empfängt, um die Datenwahlsignale DSn zum wählen von 4 Bits aus dem Spaltendecodierer **1000** alle in den gewählten Zustand zum gleichzeitigen Schreiben derselben Daten in die gewählten 128 Bits der Speicherzellen zu setzen, und um zu bestimmen, ob die 128 Bits Daten dieselben sind oder nicht, und um das Bestimmungsergebnis in den Kontaktblock **11** auszugeben, wenn das Testmodussetzsignal TEST4 den H-Pegel erreicht, und interne Schaltungen **1130**, **1140** und **1150**, welche die Testmodussetzsignale TEST1, TEST2 und TEST3 mittels der Testmodussetzsignalleitungen **13b**, **13c** bzw. **13d** setzen, so daß sie entsprechende bestimmte Testoperationen ausführen, wenn die Testmodussetzsignale TEST1, TEST2 und TEST3 den H-Pegel erreichen.

[0178] Auf jeder Seite des Chipzentralstreifens **12** sind zwei Speicherfelder **510** vorgesehen, das heißt, ein Gesamtbetrag von vier Speicherfeldern **510** ist vorgesehen. Jedes Speicherfeld **510** ist durch 17 Abtastverstärkerblöcke **1110** in 16 Speicherzellblöcke **511** geteilt. Ein Zeilendecodierer **600** enthält Zeilendecodiererblöcke **610**, die entsprechend den jeweiligen Speicherzellblöcken **511** und längs der Richtung der längeren Seite des Chipzentralstreifens **12** jedes der Speicherfelder **510** vorgesehen sind. Der Spaltendecodierer **1000** enthält eine Mehrzahl von Spaltendecodiererblöcken **1010**, die entsprechend den jeweiligen Speicherfeldern **510** vorgesehen sind und von denen jeweils einer für jeden 128 Paare von Bitleitungen (nicht dargestellt) enthaltenden Spaltenblock vorgesehen ist.

[0179] Fig. 18 ist eine schematische Querschnittsansicht eines Abschnitts, in dem die Testmodussetzsignalleitungen **13f** und **13h** und die Referenzpotentialleitung **14** parallel zueinander angeordnet sind. Unter Bezugnahme auf Fig. 18 sind auf einem Halbleitersubstrat **10a** eine Isolationsschicht **10b**, eine Metallschicht auf einem ersten Niveau **10c** und ein Zwischenniveau-Isolationsfilm **1Od** aufeinanderfolgend in dieser Reihenfolge gestapelt. Die Metallschicht auf einem ersten Niveau **10c** ist beispielsweise aus einer Aluminiumschicht oder einer Wolframschicht gebildet. Die Testmodussetzsignalleitungen **13f** und **13h** und die Referenzpotentialleitung **14** sind mit einer (zum Beispiel aus Al oder W bestehenden) Metallschicht auf einem zweiten Niveau auf der Isolationsschicht **10d** gebildet. Die Leitungen **13f**, **14** und **13h** sind mit einer Isolationsschicht **10e** bedeckt. Die Referenzpotentialleitung **14** ist zwischen die Testmodussetzsignalleitungen **13f** und **13h** auf derselben Niveauzwischenverbindungsschicht dazwischengesetzt. Die Leitungen **13f** und **13h** absorbieren ein Rauschen, um zu verhindern, daß das Rauschen auf die Referenzpotentialleitung **14** übertragen wird, und sie dienen als Abschirmleitungen.

[0180] Wie vorstehend beschrieben, kann bei der ersten Ausführungsform der durch den JEDEC standardisierte Vielbittestmodus gesetzt werden, wobei außerdem gleichzeitig mit einem speziellen Testmodus der Vielbittestmodus gesetzt werden kann, und daher kann die für den speziellen Test notwendige Zeit verkleinert werden.

[0181] Ferner ist es notwendig, das eine der Adressensignale A_0 und A_1 auf den S-Pegel und das andere auf den H-Pegel zu setzen, um den speziellen Testmodus zu setzen. Selbst wenn daher versehentlich eine große Spannung angelegt wird, erreichen die Adressensignale A_0 und A_1 beide den S-Pegel, und daher kann ein versehentliches Setzen des speziellen Testmodus vermieden werden.

[0182] Für den vorstehend beschriebenen Betrieb ist es nur notwendig, daß die Über-H-Pegelermittlungs-

schaltungen **1612a** und **1612b** die Lastschaltungen **1612ah** und **1612bh**, die für die Adressensignale A_0 und A_1 normal leitend sind, aufweisen und für die Adressensignale A_2, ..., A_6 nicht vorgesehen sind.

[0183] Das Setzen eines speziellen Testmodus kann einfach mittels der Adressenschlüssel der Adressensignale A_2, ..., A_6 ausgeführt werden. Daher kann der Stromverbrauch verkleinert und eine Zunahme der Schaltungsfläche unterdrückt werden.

[0184] Da ferner das Timingermittlungssignal TDC den H-Pegel erreicht, nachdem die Testgruppenermittlungshilfssignale SV_0, HV_0, SV_1 und HV_1 festgesetzt sind, und als Reaktion darauf die Testgruppenermittlungssignale /TGA, /TGB den L-Pegel erreichen, kann ein versehentliches Setzen verhindert werden.

[0185] Ferner wird durch das Verriegeln der Adressenschlüsselsignale und nicht durch das Verriegeln in einem Puffer **1624** in einer nachfolgenden Stufe, die erforderlich ist, um eine große Last zu treiben, das Testmodussetzsignal gehalten, wobei durch ein kleines Logikgatter mit kleinerer Stromtreibfähigkeit, das heißt durch ein Logikgatter mit kleinerer Größe, die Verriegelungsschaltung vorgesehen sein kann und daher die Fläche der Testmodussetzschaltung **1600** kleiner gemacht werden kann.

Die zweite Ausführungsform

[0186] Ein DRAM gemäß einer zweiten Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf die Fig. 19 bis Fig. 24 beschrieben. Das DRAM der zweiten Ausführungsform unterscheidet sich von dem DRAM der ersten Ausführungsform dadurch, daß die Testmodussetzsignalerzeugungsschaltung **1620** der Testmodussetzschaltung **1600** einen anderen Aufbau hat, und infolge des Aufbauunterschieds unterscheidet sich das Layout von Teilen auf dem Chip. Nur die Unterschiede werden im folgenden beschrieben.

[0187] Fig. 19 ist ein Blockschaltbild, das eine Testmodussetzsignalerzeugungsschaltung **1620** in der Testmodussetzschaltung **1600** des DRAM gemäß der zweiten Ausführungsform zeigt. Die Testmodussetzsignalerzeugungsschaltung **1620** unterscheidet sich von der in Fig. 12 gezeigten Testmodussetzsignalerzeugungsschaltung **1620** der ersten Ausführungsform dadurch, daß der Puffer **1624** einen anderen Aufbau hat (Fig. 20), daß eine Schaltung zum Erzeugen eines codierten Signals **1625** (Fig. 21) vorgesehen ist, die sechs adressenschlüsseldecodierte Signale AKD_1, AKD_2, AKD_3, AKD_4, AKD_6 und AKD_7 empfängt, so daß sie eine kleinere Anzahl von drei testmoduscodierten Signalen TEN_0, TEN_1 und TEN_2 gemäß den adressenschlüsseldecodierten Signalen AKD_1, AKD_2, AKD_3, AKD_4, AKD_6 und AKD_7 erzeugt, und daß eine Testmodusdecodierschaltungseinrichtung **1626** (Fig. 22) vorgesehen ist, welche die drei testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 empfängt, so daß sie eine größere Anzahl von sieben Testmodussetzsignalen TEST1, TEST2, TEST3, TEST4, TEST6N, TEST7 und TEST6S ausgibt. Nur die Unterschiede werden im folgenden beschrieben.

[0188] Fig. 20 ist eine Darstellung, die einen schematischen Aufbau eines Puffers **1624** in der Testmodussetzschaltung **1600** des DRAM der zweiten Ausführungsform zeigt. Der Puffer **1624** unterscheidet sich von dem in Fig. 16 gezeigten Puffer **1624** gemäß der ersten Ausführungsform dadurch, daß nur die das adressenschlüsseldecodierte Signal AKD_0 empfangenden Inverter **1624a** und **1624b** zum Ausgeben eines Vielbittestmodussetzsignals TE und die das adressenschlüsseldecodierte Signal AKD_5 empfangenden Inverter **1624k** und **1624m** zum Ausgeben des Testmodussetzsignals TEST5 vorgesehen sind und die Inverter für die anderen adressenschlüsseldecodierten Signale ausgeschlossen sind.

[0189] Fig. 21 ist eine Darstellung, welche eine Schaltung zum Erzeugen eines codierten Signals **1625** in der Testmodussetzschaltung **1600** in dem DRAM gemäß der zweiten Ausführungsform schematisch zeigt. Die Schaltung zum Erzeugen eines codierten Signals **1625** enthält einen die adressenschlüsseldecodierten Signale AKD_6, AKD_3, AKD_1 und AKD_2 empfangenden Teilcodierer **1625a** zum Ausgeben eines testmoduscodierten Signals TEN_0, das den H-Pegel erreicht, wenn das adressenschlüsseldecodierte Signal AKD_6 auf dem H-Pegel ist, wenn das adressenschlüsseldecodierte Signal AKD_3 auf dem H-Pegel ist oder wenn die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 entsprechend auf dem H-Pegel und dem L-Pegel sind; einen die adressenschlüsseldecodierten Signale AKD_6, AKD_4, AKD_2 und AKD_1 empfangenden Teilcodierer **1625b** zum Ausgeben eines testmoduscodierten Signals TEN_1, das den H-Pegel erreicht, wenn das adressenschlüsseldecodierte Signal AKD_6 auf dem H-Pegel ist, wenn das adressenschlüsseldecodierte Signal AKD_4 auf dem H-Pegel ist oder wenn die adressenschlüsseldecodierten Signale AKD_2 und AKD_1 entsprechend auf dem H-Pegel und dem L-Pegel sind; und einen die adressenschlüsseldecodierten Signale AKD_6, AKD_7, AKD_3, AKD_4, AKD_1 und AKD_2 empfangenden Teilcodierer **1625c** zum Ausgeben eines testmoduscodierten Signals TEN_2, das den H-Pegel erreicht, wenn die adressenschlüsseldecodierten Signale AKD_6 und AKD_7 entsprechend auf dem H-Pegel und dem L-Pegel sind, wenn wenigstens eines der adressenschlüsseldecodierten Signale AKD_3 und AKD_4 auf dem H-Pegel ist oder wenn die adressenschlüsseldecodierten Signale AKD_1 und AKD_2 beide auf dem H-Pegel sind.

[0190] Die Teilcodierschaltung **1625a** enthält einen Inverter **1625aa**, der das adressenschlüsseldecodierte Signal AKD_6 empfängt, einen Inverter **1625ab**, der das adressenschlüsseldecodierte AKD_3 empfängt, einen Inverter **1625ac**, der das adressenschlüsseldecodierte AKD_2 empfängt, eine NAND-Schaltung **1625ad**, die das decodierte Adressensignal AKD_1 und ein Ausgangssignal des Inverters **1625ac** empfängt, eine Dreieingangs-NAND-Schaltung **1625ae**, die das jeweilige Ausgangssignal der Inverter **1625aa**, **1625ab** und der NAND-Schaltung **1625ad** empfängt, und zwei in Kaskade geschaltete Inverter **1625af** und **1625ag**, die einen Ausgang der NAND-Schaltung **1625ae** empfangen. Der Inverter **1625ag** erzeugt das testmoduscodierte Signal TEN_0.

[0191] Jede der Teilcodierschaltungen **1625b** und **1625c** hat denselben Aufbau wie die Teilcodierschaltung **1625a**, und entsprechende Teile sind denselben Bezugszeichen zugewiesen, abgesehen von dem eine entsprechende Teilcodierschaltung anzeigenden ersten Suffix.

[0192] Fig. 22 ist eine schematische Darstellung, die eine Testmodusdecodierschaltungseinrichtung **1626** der Testmodussetzschaltung **1600** in dem DRAM gemäß der zweiten Ausführungsform zeigt. Die Testmodusdecodierschaltungseinrichtung **1626** enthält eine drei testmoduscodierte Signale TEN_0, TEN_1 und TEN_2 empfangende und decodierende Testmodusdecodierschaltung **1626a** zum Ausgeben von sechs Testmodussetzsignalen TEST3, TEST4, TEST1, TEST2, TEST6N und TEST7, welche auf der N-Seite des Halbleiterchips relativ zu der Schaltung zum Erzeugen eines codierten Signals **1625** angeordnet ist, und eine die testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 empfangende Testmodusdecodierschaltung **1626b** zum Ausgeben eines Testmodussetzsignals TEST6S, das den H-Pegel erreicht, wenn die testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 alle auf dem H-Pegel sind.

[0193] Die Testmodusdecodierschaltung **1626b** enthält eine NAND-Schaltung **1626ba**, die die Signale TEN_0, TEN_1 und TEN_2 empfängt, und einen Inverter **1626bb**, der ein Ausgangssignal der NAND-Schaltung **1626ba** empfängt, und sie funktioniert als 3-Eingangs-UND-Schaltung.

[0194] Die Testmodusdecodierschaltung **1626a** enthält eine lokale Testmodusdecodierschaltung **1626c**, die die testmoduscodierten Signale TEN_0–TEN_2 empfängt und decodiert, um die Testmodussetzsignale TEST1–TEST4 zu erzeugen, und eine lokale Testmodusdecodierschaltung **1626d**, die die testmoduscodierten Signale TEN_0–TEN_2 empfängt und decodiert, um die Testmodussetzsignale TEST6N und TEST7 zu erzeugen.

[0195] Die lokale Testmodusdecodierschaltung **1626c** enthält einen Inverter **1626ca**, der das Signal TEN_1 empfängt und invertiert, eine NAND-Schaltung **1626cb**, die ein Ausgangssignal des Inverters **1626ca** und die Signale TEN_0 und TEN_2 empfängt, einen Inverter **1626cc**, der ein Ausgangssignal der NAND-Schaltung **1626cb** empfängt und invertiert, um das Testmodussetzsignal TEST3 zu erzeugen, einen Inverter **1626cd**, der das Signal TEN_0 empfängt und invertiert, und ein UND-Gatter, das aus einer NAND-Schaltung **1626ce** und einem Inverter **1626cf** gebildet ist und ein Ausgangssignal des Inverters **1626cd** und die Signale TEN_1 und TEN_2 empfängt, um das Testmodussetzsignal TEST4 zu erzeugen.

[0196] Das Testmodussetzsignal TEST3 wird auf den Hochpegel gebracht, wenn die Signale TEN_0 und TEN_2 beide auf dem H-Pegel sind und das Signal TEN_1 auf dem L-Pegel ist. Das Testmodussetzsignal TEST4 wird auf den Hochpegel gebracht, wenn das Signal TEN_0 auf dem L-Pegel ist und die Signale TEN_1 und TEN_2 beide auf dem H-Pegel sind.

[0197] Die lokale Testmodusdecodierschaltung **1626c** enthält ferner eine Verzögerungsschaltung **1626cw**, die das Signal TEN_0 verzögert, eine Verzögerungsschaltung **1626cx**, die das Signal TEN_2 verzögert, eine Verzögerungsschaltung **1626cy**, die das Signal TEN_1 verzögert, Inverter **1626ci**, **1626cj** und **1626ck**, welche entsprechend die Signale TEN_1, TEN_0 und TEN_2 empfangen und invertieren, eine NAND-Schaltung **1626cr**, die das jeweilige Ausgangssignal der Verzögerungsschaltung **1626cw** und der Inverter **1626ci** und **1626ck** empfängt, eine NAND-Schaltung **1626cs**, die das jeweilige Ausgangssignal der Inverter **1626ci** und **1626cj** und der Verzögerungsschaltung **1626cx** empfängt, eine NAND-Schaltung **1626ct**, die das jeweilige Ausgangssignal der Verzögerungsschaltung **1626cy** und der Inverter **1626cj** und **1626ck** empfängt, eine NAND-Schaltung **1626cu**, die das jeweilige Ausgangssignal der NAND-Schaltungen **1626cr** und **1626cs** empfängt, um das Signal TEST1 zu erzeugen, und eine NAND-Schaltung **1626cv**, die das jeweilige Ausgangssignal der NAND-Schaltungen **1626cs** und **1626ct** empfängt, um das Signal TEST2 zu erzeugen.

[0198] Die Verzögerungsschaltung **1626cw** enthält in Kaskade geschaltete Inverter **1626cg** und **1626ch**; die Verzögerungsschaltung **1626cx** enthält in Kaskade geschaltete Inverter **1626cm** und **1626cn**; und die Verzögerungsschaltung **1626cy** enthält in Kaskade geschaltete Inverter **1626cp** und **1626cq**. Die Verzögerungsschaltungen **1626cw**, **1626cx** und **1626cy** sind vorgesehen, um die Erzeugung eines nadelartigen Impulses aus den NAND-Schaltungen **1626cr**, **1626cs** und **1626ct** aufgrund einer Taktverzerrung

an den testmoduscodierten Signalen TEN_0–TEN_2 zu verhindern.

[0199] Die Signale TEST1 und TEST2 sind entsprechend auf den Hochpegel und den Tiefpegel gebracht, wenn die Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem H-, L- und L-Pegel sind, und sind entsprechend auf den Tiefpegel und den Hochpegel gebracht, wenn die Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem L-, H- und L-Pegel sind, und sind beide auf den Hochpegel gebracht, wenn die Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem L-, L- und H-Pegel sind.

[0200] Das Signal $TEST_3$ ist auf den Hochpegel gebracht, wenn die Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem H-, L- und H-Pegel sind.

[0201] Das Signal $TEST_4$ ist auf den Hochpegel gebracht, wenn die Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem L-, H- und H-Pegel sind.

[0202] Die lokale Testmodusdecodierschaltung **1626d** enthält eine NAND-Schaltung **1626da**, die die Signale TEN_0–TEN_2 empfängt, einen Inverter **1626db**, der ein Ausgangssignal der NAND-Schaltung **1626da** empfängt, einen Inverter **1626dc**, der das Signal TEN_2 empfängt und invertiert, eine NAND-Schaltung **1626dd**, die ein Ausgangssignal des Inverters **1626dc** und die Signale TEN_0 und TEN_1 empfängt, und einen Inverter **1626de**, der ein Ausgangssignal der NAND-Schaltung **1626dd** empfängt und invertiert, um das Signal TEST7 zu erzeugen. Der Inverter **1626db** erzeugt das Signal TEST6N.

[0203] Das Testmodussetzsignal TEST6N wird nur dann auf den Hochpegel gebracht, wenn die Signale TEN_0–TEN_2 alle auf dem H-Pegel sind.

[0204] Das Testmodussetzsignal TEST7 wird auf den Hochpegel gebracht, wenn die Signale TEN_0 und TEN_1 beide auf dem H-Pegel sind und das Signal TEN_2 auf dem L-Pegel ist.

[0205] Fig. 23 ist eine Draufsicht, welche ein Layout des Halbleiterchips des DRAM gemäß der zweiten Ausführungsform schematisch zeigt. Unter Bezugnahme auf Fig. 23 hat eine Testschaltung **15** sowohl eine Zustandsermittlungsschaltung **1610** in einer Testmodussetzschaltung **1600**, eine Adressenschlüsselverriegelungsschaltung **1621** in einer Testmodussetzsignalerzeugungsschaltung **1620**, einen Adressenschlüsselvordecodierer **1622**, einen Adressenschlüsselhauptdecodierer **1623**, einen Puffer **1624** und eine Schaltung zum Erzeugen eines codierten Signals **1625** als auch eine Testmodusdecodierschaltung **1626b** in einer Testmodusdecodierschaltungseinrichtung **1626** der Testmodussetzsignalerzeugungsschaltung **1620**. Drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m**, die die aus der Schaltung zum Erzeugen eines codierten Signals **1625** der Testschaltung **15** ausgegebenen testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 übertragen, sind in einem Zentralstreifen **12** so angeordnet, daß sie aus der Testschaltung **15** auf die N-Seite des Halbleiterchips **10** verlaufen.

[0206] Diese Leitungen für ein codiertes Signal **13j**, **13k** und **13m** sind verbunden mit einem lokalen Testmodusdecodierer **1626d**, der in dem Zentralstreifengebiet **12** in einem N-Seitenabschnitt von dem Zentrum der Chiplangseite weg angeordnet ist, und mit einem lokalen Testmodusdecodierer **1626c**, der in einem Zentrumsabschnitt in der Richtung der langen und der kurzen Seite des Chips **10** angeordnet ist.

[0207] Die lokalen Testmodusdecodierschaltungen **1626c** und **1626d** empfangen die testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 aus den Leitungen für ein codiertes Signal **13j**, **13k** und **13m** und geben die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4 und die Testmodussetzsignale TEST6N und TEST7 gemäß den testmoduscodierten Signalen in interne Schaltungen **1130**, **1140**, **1150**, **410** und interne Schaltungen **116** und **120** aus, welche auf der N-Seite des Halbleiterchips **10** relativ zu der Testschaltung **15** mit der Schaltung zum Erzeugen eines codierten Signals **1625** vorgesehen sind.

[0208] Die Leitungen für ein codiertes Signal **13j**, **13k** und **13m** verlaufen nicht auf die S-Seite des Halbleiterchips **10** relativ zu der Testschaltung **15**. Das in die interne Schaltung **117** auf der S-Seite auszugebende Testmodussetzsignal TEST6S wird durch separates Decodieren der testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 mittels der Testmodusdecodierschaltung **1626b** (siehe Fig. 22) der Testschaltung **15** erzeugt, um die Testmodussetzsignale TEST6N und TEST6S auf den H-Pegel mit demselben Timing zu setzen, so daß die interne Schaltungseinrichtung **116** auf der N-Seite und die interne Schaltungseinrichtung **117** auf der S-Seite bei dem Belastungstestmodusbetrieb mit demselben Timing arbeiten können.

[0209] Eine Referenzpotentialleitung **14** zum übertragen des Referenzpotentials Vref, das aus der auf der S-Seite des Halbleiterchips **10** vorgesehenen internen Schaltungseinrichtung **117** in die auf der N-Seite des Halbleiterchips **10** vorgesehene interne Schaltungseinrichtung **116** ausgegeben wird, ist auf der S-Seite relativ zu der Testschaltung **15** so vorgesehen, daß sie an die Testmodussetzsignalleitungen **13f** und **13h**, die durch dieselbe Metallschicht auf dem zweiten Niveau (zum Beispiel eine Aluminiumschicht oder eine Wolframschicht) wie die Referenzpotentialleitung **14** gebildet sind, angrenzt, zu ihnen parallel und zwischen sie dazwischengesetzt ist. In dem Zentralabschnitt zwischen der Testschaltung **15** und der lokalen Testmodusdecodierschaltung **1626d**,

in dem verschiedene Signalleitungen wie beispielsweise Zeilenadressensignalleitungen und Spaltenadressensignalleitungen (nicht dargestellt) angeordnet sind, grenzt sie an die Leitungen für ein codiertes Signal **13k** und **13m** an, welche durch die Metallschicht auf dem zweiten Niveau (zum Beispiel eine Al- oder W-Schicht), das heißt dieselbe Schicht wie die Referenzpotentialleitung **14**, gebildet sind, ist zu ihnen parallel und zwischen sie dazwischengesetzt.

[0210] Ferner ist auf der N-Seite relativ zu der lokalen Testmodusdecodierschaltung **1626d** die Referenzpotentialleitung **14** so angeordnet, daß sie an die Testmodussetzsignalleitungen **13g** und **13i**, die durch die Metallschicht auf dem zweiten Niveau (zum Beispiel eine Al- oder W-Schicht), welche dieselbe Schicht wie die Referenzpotentialleitung **14** ist, angrenzt, zu ihnen parallel ist und zwischen sie dazwischengesetzt ist. Daher wird die Referenzpotentialleitung **14** mittels der Testmodustaktleitungen (Testmodussetzsignalleitungen und Leitungen für ein codiertes Signal), die beim Normalbetrieb auf den L-Pegel festgelegt sind, abgeschirmt. Daher wird verhindert, daß in die Referenzpotentialleitung **14** ein Rauschen eingeführt wird. Dasselbe trifft selbst dann zu, wenn die Testmodustaktleitungen auf dem H-Pegel beim Normalbetrieb festgelegt sind.

[0211] Ferner werden die Testmodussetzsignale in codierter Form durch die drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** übertragen, deren Anzahl kleiner als diejenige der Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 ist. In dem DRAM gemäß der in Fig. 17 gezeigten ersten Ausführungsform sind sieben Testmodussetzsignalleitungen **13a**, **13b**, **13c**, **13d**, **13e**, **13g** und **13i** vorhanden, die aus der Testmodussetzschaltung **1600** auf die N-Seite des Halbleiterchips **10** verlaufen. Indessen sind nur vier Leitungen, das heißt sowohl die Leitungen für ein codiertes Signal **13j**, **13k** und **13m** als auch die aus der Testschaltung **15** auf die N-Seite des Halbleiterchips **10** in dem DRAM gemäß der zweiten Ausführungsform verlaufende Testmodussetzsignalleitung **13a**, vorhanden. Daher kann die zum Führen der Leitungen notwendige Fläche verkleinert werden. Speziell bei dem Aufbau, bei dem in dem Zentralstreifen **12** des Halbleiterchips **10** wie bei der zweiten Ausführungsform Kontaktblöcke **11** angeordnet sind, wird durch die Kontaktblöcke **11** und durch verschiedene Leitungen wie beispielsweise Leitungen zum übertragen von Ausgangsdaten in die Kontaktblöcke **11** und zum übertragen von aus den Kontaktblöcken **11** empfangenen Adressensignalen eine große Fläche des Chipzentralstreifens **12** eingenommen. Daher hat die durch Codieren der Testmodussetzsignale verwirklichte Verkleinerung der Anzahl von Leitungen eine wichtige Wirkung.

[0212] Ungeachtet der Lage der Kontaktblöcke **11** (Zentralanordnung, Randanordnung), kreuzen ferner im allgemeinen in einem DRAM Leitungen zum Übertragen von zeilenadressenvordecodierten Signalen und spaltenadressenvordecodierten Signalen, die quer und längs auf dem Halbleiterchip **10** verlaufen, in der Nähe des Zentrums des Halbleiterchips **10** einander. Daher ist ein sehr kleiner Rand vorhanden, um Extraleitungen zusätzlich anzuordnen. Selbst wenn somit durch den Zentralabschnitt des Chips hindurch die Testmodussetzsignale zu übertragen sind, hat die durch das Codieren der Testmodussetzsignale verwirklichte Verkleinerung der Anzahl von Leitungen eine wichtige Wirkung.

[0213] Wenn die Anzahl von aus der Testschaltung **15** auf die N-Seite des Halbleiterchips **10** verlaufenden Leitungen verkleinert wird, da die Testmodussetzsignale in codierter Form übertragen werden, wird es möglich, die Stromversorgungsleitungen **16** wie beispielsweise eine das externe Stromversorgungspotential extVcc übertragende Leitung für das externe Stromversorgungspotential, eine das interne Stromversorgungspotential intVcc übertragende Leitung für das interne Stromversorgungspotential und eine das Massepotential GND übertragende Massepotentialleitung breiter und dicker zu machen, und daher kann der Widerstandswert der Stromversorgungsleitungen **16** und auch der Spannungsabfall über ihnen verkleinert werden. Daher können in verschiedene Abschnitte des Halbleiterchips **10** stabile Stromversorgungspotentiale (einschließlich Massepotential) übertragen werden.

[0214] Wenn ferner in der Nähe des Zentrums des Halbleiterchips **10** mittels der lokalen Testmodusdecodierschaltung **1626c** die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4 decodiert werden, dann ist es hinsichtlich der Anzahl von Signalleitungen nicht sehr vorteilhaft, die übrigen zwei Testmodussetzsignale TEST6N und TEST7 auf die N-Seite des Halbleiterchips **10** durch Verwenden der drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** zu übertragen. Somit ist die lokale Testmodusdecodierschaltung **1626d** näher bei der lokalen Testmodusdecodierschaltung **1626c** als bei den den Testmodussetzsignalen TEST6N und TEST7 entsprechenden internen Schaltungen **116** und **120** vorgesehen.

[0215] Fig. 24 ist eine Decodiertabelle, die anzeigt, welches der Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 auf den H-Pegel gemäß den Zuständen der testmoduscodierten Signale aktiviert ist. Wenn die testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 entsprechend auf dem L-Pegel, dem L-Pegel und dem L-Pegel sind, dann ist keiner der Testmodi aktiviert; wenn sie entsprechend auf dem L-, L- und H-Pegel sind, dann sind die Testmodussetzsignale TEST1 und TEST2 auf den H-Pegel gesetzt; wenn sie entsprechend auf dem L-,

Hund L-Pegel sind, dann ist das Testmodussetzsignal TEST2 auf den H-Pegel gesetzt; wenn sie entsprechend auf dem L-, Hund H-Pegel sind, dann ist das Testmodussetzsignal TEST4 auf den H-Pegel gesetzt; wenn sie entsprechend auf dem H-, L- und L-Pegel sind, dann ist das Testmodussetzsignal TEST1 auf den H-Pegel gesetzt; wenn sie entsprechend auf dem H-, L- und H-Pegel sind, dann ist das Testmodussetzsignal TEST3 auf den H-Pegel gesetzt; wenn sie entsprechend H-, H- und L-Pegel sind, dann ist das Testmodussetzsignal TEST7 auf den H-Pegel gesetzt; und wenn sie entsprechend auf dem H-, H- und H-Pegel sind, dann ist das Testmodussetzsignal TEST6N auf den H-Pegel gesetzt.

[0216] Auf diese Weise können im allgemeinen durch Verwenden von n testmoduscodierten Signalen 2^n – 1 Kombinationen von aktivierten Testmodussetzsignalen bestimmt werden, außer der einen Kombination, bei der keines der Testmodussetzsignale aktiviert ist. Da ferner das Testmodussetzsignal, wie beispielsweise das Vielbittestmodussetzsignal TE, das zusammen mit verschiedenen Testmodussetzsignalen aktiviert ist, nicht codiert wird, sondern unabhängig verwendet wird, sind der Aufbau der Schaltung zum Erzeugen eines codierten Signals **1625** und der Testmodusdecodierschaltungseinrichtung **1626** nicht so kompliziert.

[0217] Bei der ersten Ausführungsform gibt es die folgenden Modi, wie in Fig. 7 gezeigt. Wenn die Adressensignale A_0, A_1, A2, A_3, A_4 und A_5 entsprechend auf dem S-, H-, L-, H-, H- und L-Pegel sind, dann sind die Testmodussetzsignale TEST4 und TEST7 beide auf den H-Pegel aktiviert. Wenn die Adressensignale A_0, A_1, A_2, A_3, A_4 und A_5 entsprechend auf dem S-, H-, H-, L-, H- und L-Pegel sind, dann sind die Testmodussetzsignale TEST3 und TEST7 beide auf den H-Pegel aktiviert. Wenn die Adressensignale A_0, A_1, A_2, A_3, A_4 und A_5 entsprechend auf dem S-, H-, H-, H-, H- und L-Pegel sind, dann sind die Testmodussetzsignale TEST6N und TEST7 beide auf den H-Pegel aktiviert. Da jedoch diese drei Modi nicht verwendet werden, werden die Testmodi komprimiert, um das Setzen von 7 benutzbaren Testmodi mittels der drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** zu ermöglichen. Doch die komprimierten Testmodussetzsignale sind nur diejenigen, welche durch jenen Zentralabschnitt des Halbleiterchips **10** hindurch übertragen werden, in dem andere Signalleitungen konzentriert sind. Daher begrenzt es die Kombinationen von gleichzeitig aktivierten Testmodussetzsignalen nicht außerordentlich.

[0218] Wie vorstehend beschrieben, können in dem DRAM gemäß der zweiten Ausführungsform ähnliche Wirkungen wie in dem DRAM der ersten Ausführungsform erreicht werden. Da ferner die sechs Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 in die drei testmoduscodierten Signale TEN_0, TEN_1 und TEN_2, deren Anzahl kleiner als diejenige der Testmodussetzsignale ist und die durch eine kleinere Anzahl von Leitungen für ein codiertes Signal **13j**, **13k** und **13m** hindurch in die internen Schaltungseinrichtungen **1130**, **1140**, **1150**, **410**, **116** und **120** übertragen werden, umgewandelt werden, können mit einer kleineren Fläche für die Leitungen die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 übertragen werden.

[0219] Da ferner die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 auf einer kleineren Leitungsbelegungsfläche übertragen werden können, wenn die Signale codiert sind, kann eine größere Anzahl von Testmodi gesetzt werden, selbst in einem Halbleiterchip **10**, der nur eine kleine Fläche zum Vorsehen von Leitungen im Zentralstreifen **12**, in dem eine Mehrzahl von Kontaktblöcken **11** angeordnet ist, hat.

[0220] Da ferner die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 auf einer kleineren Leitungsbelegungsfläche übertragen werden können, wenn die Signale codiert sind, ist es möglich, die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 durch den Zentralabschnitt des Halbleiterchips **10**, in dem verschiedene Signalleitungen konzentriert sind, hindurch zu übertragen.

[0221] Da ferner die Anzahl von Leitungen zum übertragen der Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 verkleinert werden kann durch Codieren derselben, wird es möglich, die Stromversorgungsleitung **16** breiter und dicker zu machen oder zu ihrer Verstärkung die Anzahl von Stromversorgungsleitungen zu vergrößern, und daher können in die verschiedenen Abschnitte des Halbleiterchips stabile Stromversorgungspotentiale (einschließlich Massepotential) geliefert werden.

[0222] Ferner sind die Testmodussetzsignale, die übertragen werden durch die Leitungen für ein codiertes Signal, die durch den Zentralabschnitt des Halbleiterchips **10**, in dem verschiedene Signalleitungen konzentriert sind, hindurch verlaufen, nur die Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7, wobei die Kombination von gleichzeitig aktivierten Testmodussetzsignalen nicht sehr beschränkt ist.

[0223] Da das Vielbittestmodussetzsignal, das zusammen mit einem anderen Testmodussetzsignal aktiviert ist, nicht codiert wird, ist es nicht notwendig, eine Kombination von codierten Signalen zum gleichzeitigen Aktivieren des Vielbittestmodussetzsignals und des anderen Testmodussetzsignals vorzusehen, und daher kann durch eine begrenzte Anzahl

von Leitungen für ein codiertes Signal eine große Anzahl von Testmodussetzsignalen übertragen werden.

[0224] Ferner werden die Leitungen für ein codiertes Signal **13j**, **13k** und **13m** nicht direkt in die internen Schaltungseinrichtungen **1130**, **1140**, **1150**, **410**, **116**, **120** eingegeben, sondern als den internen Schaltungen **1130**, **1140**, **1150**, **410**, **116**, **120** entsprechende decodierte Testmodussetzsignale TEST1, TEST2, TEST3, TEST4, TEST6N und TEST7 mittels der Testmodusdecodierschaltung **1626a** in die internen Schaltungen **1130**, **1140**, **1150**, **410**, **116**, **120** eingegeben. Daher kann eine von den Leitungen für ein codiertes Signal eingenommene Extrafläche in der Nähe der internen Schaltungen **1130**, **1140**, **1150**, **410**, **116** und **120** verhindert werden, wobei die internen Schaltungen **1130**, **1140**, **1150**, **410**, **116** und **120** selbst keine Decodierschaltungseinrichtung benötigen und daher eine Zunahme der Belegungsfläche vermieden werden kann.

[0225] Die Testmodussetzsignale TEST1, TEST2, TEST3 und TEST4 werden durch das Decodieren mittels der lokalen Testmodusdecodierschaltung **1626c** in der Nähe des Zentrums des Halbleiterchips **10** erhalten. Wenn die übrigen zwei Testmodussetzsignale TEST6N und TEST7 auf die N-Seite des Halbleiterchips **10** zu übertragen sind, dann werden diese Setzsignale nicht durch die drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** übertragen, sondern die lokale Testmodusdecodierschaltung **1626d** ist an einer Stelle vorgesehen, die der lokalen Testmodusdecodierschaltung **1626c** näher als den den Testmodussetzsignalen TEST6N und TEST7 entsprechenden internen Schaltungen **116** und **120** ist, und sie decodiert die codierten Signale, um die durch die beiden Testmodussetzsignalleitungen **13g** und **13i** übertragenen Testmodussetzsignale TEST6N und TEST7 zu erzeugen. Daher kann eine Zunahme der Leitungsfläche unterdrückt werden.

Die dritte Ausführungsform

[0226] Ein DRAM gemäß einer dritten Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf die Fig. 25 und Fig. 26 beschrieben. Das DRAM der dritten Ausführungsform unterscheidet sich von dem DRAM der zweiten Ausführungsform dadurch, daß die Testmodusdecodierschaltungseinrichtung **1626** in der Testmodussetzsignalerzeugungsschaltung **1620** der Testmodussetzschaltung **1600** einen anderen Aufbau hat, daß aufgund des Aufbauunterschieds das Layout anders ist und daß das Layout der das Testmodussetzsignal TEST4 empfangenden internen Schaltungseinrichtung **410** geändert ist. Nur die Unterschiede werden im folgenden beschrieben.

[0227] Fig. 25 ist eine schematische Darstellung, die eine Testmodusdecodierschaltungseinrichtung **1626** in der Testmodussetzsignalerzeugungsschaltung **1620** der Testmodussetzschaltung **1600** des DRAM gemäß der dritten Ausführungsform zeigt. Die Testmodusdecodierschaltungseinrichtung **1626** unterscheidet sich von der in Fig. 22 gezeigten Testmodusdecodierschaltungseinrichtung **1626** der zweiten Ausführungsform dadurch, daß der Inverter **1626cd**, die NAND-Schaltung **1626ce** und der Inverter **1626cf** zum Erzeugen des Testmodussetzsignals TEST4 in der lokalen Testmodusdecodierschaltung **1626c** der Testmodusdecodierschaltung **1626a** eliminiert sind und daß in der lokalen Testmodusdecodierschaltung **1626d** der Testmodusdecodierschaltung **1626a** ein Inverter **1626df**, eine NAND-Schaltung **1626dg** und ein Inverter **1626dh** zum Erzeugen des Testmodussetzsignals TEST4 gemäß den Signalen TEN_0, TEN_1 und TEN_2 neu vorgesehen sind.

[0228] Fig. 26 ist eine schematische Draufsicht, welche das Layout auf dem Halbleiterchip des DRAM gemäß der dritten Ausführungsform zeigt. Unter Bezugnahme auf Fig. 26 unterscheidet sie sich von der Draufsicht des DRAM gemäß der in Fig. 23 dargestellten zweiten Ausführungsform dadurch, daß (1) die das Testmodussetzsignal TEST4 empfangende interne Schaltungseinrichtung **410** in einen Endabschnitt auf der N-Seite des Halbleiterchips **10** bewegt ist, (2) daß folglich nicht die lokale Testmodusdecodierschaltung **1626c** mit einem anderen Schaltungsaufbau das Testmodussetzsignal TEST4 ausgibt, sondern daß die lokale Testmodusdecodierschaltung **1626d** mit einem anderen Schaltungsaufbau das Testmodussetzsignal TEST4 ausgibt, und (3) daß in einem Abschnitt in der Nähe des N-Seitenendes die lokale Testmodusdecodierschaltung **1626d** vorgesehen ist. Wenn die drei testmoduscodierten Signale TEN_0, TEN_1 und TEN_2 mittels der lokalen Testmodusdecodierschaltung **1626c** in der Nähe des Zentrums des Halbleiterchips **10** decodiert und die drei Testmodussetzsignale TEST1, TEST2 und TEST3 vorgesehen werden, dann müssen noch die drei Testmodussetzsignale TEST4, TEST6N und TEST7 auf die N-Seite des Halbleiterchips **10** in die internen Schaltungen **410**, **116** und **120** übertragen werden. Die Anzahl von auf die N-Seite übertragenen Setzsignalen ist nicht kleiner als die Anzahl der drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** (bei der vorliegenden Ausführungsform gleichgroß). Daher werden die übrigen Testmodussetzsignale TEST4, TEST6N und TEST7 in codierter Form durch die Leitungen für ein codiertes Signal **13j**, **13k** und **13m** in der Nähe der internen Schaltungen **410**, **116** und **120** auf der N-Seite des Halbleiterchips übertragen. Zu diesem Zweck ist die lokale Testmodusdecodierschaltung **1626d** näher bei der internen Schaltungseinrichtung **410**, **116** und **120** als bei der lokalen Testmodusdecodierschaltung **1626c** vorgesehen.

[0229] Wie vorstehend beschrieben, können bei dem DRAM gemäß der dritten Ausführungsform ähn-

liche Wirkungen wie bei dem DRAM der ersten und der zweiten Ausführungsform erreicht werden.

[0230] Bei dem DRAM gemäß der dritten Ausführungsform werden ferner selbst dann, wenn in der Nähe des Zentrums des Halbleiterchips **10** mittels der lokalen Testmodusdecodierschaltung **1626c** die Testmodussetzsignale TEST1, TEST2, TEST3 und TEST4 decodiert werden, die übrigen drei Testmodussetzsignale TEST4, TEST6N und TEST7 auf die N-Seite des Halbleiterchips durch die drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** übertragen, und ist an einer Stelle, die den den Testmodussetzsignalen TEST4, TEST6N und TEST7 entsprechenden internen Schaltungen **410**, **116** und **120** näher als der lokalen Testmodusdecodierschaltung **1626c** ist, eine lokale Testmodusdecodierschaltung **1626d** vorgesehen, wodurch eine Zunahme der Leitungsfläche unterdrückt werden kann.

Die vierte Ausführungsform

[0231] Ein DRAM gemäß einer vierten Ausführungsform der vorliegenden Erfindung wird unter Bezugnahme auf die Fig. 27 und Fig. 28 beschrieben. Das DRAM der vierten Ausführungsform unterscheidet sich von dem DRAM der dritten Ausführungsform dadurch, (1) daß die Testmodusdecodierschaltungseinrichtung **1626** in der Testmodussetzsignalerzeugungsschaltung **1620** der Testmodussetzschaltung **1600** einen anderen Aufbau hat, (2) daß aufgund des Aufbauunterschiedes das Layout auf dem Chip anders ist und (3) daß die Lage der das Testmodussetzsignal TEST3 empfangenden internen Schaltung **1150** auf dem Layout anders ist. Die Unterschiede werden beschrieben.

[0232] Fig. 27 ist eine Darstellung, die den Aufbau einer Testmodusdecodierschaltungseinrichtung **1626** in der Testmodussetzsignalerzeugungsschaltung **1620** der Testmodussetzschaltung **1600** des DRAM gemäß der vierten Ausführungsform schematisch zeigt. Die Testmodusdecodierschaltungseinrichtung **1626** unterscheidet sich von der in Fig. 25 gezeigten Testmodusdecodierschaltungseinrichtung **1626** der dritten Ausführungsform dadurch, daß der Inverter **1626ca**, die NAND-Schaltung **1626cb** und der das Testmodussetzsignal TEST3 erzeugende Inverter **1626cc** in der lokalen Testmodusdecodierschaltung **1626c** der Testmodusdecodierschaltung **1626a** eliminiert sind und daß in der lokalen Testmodusdecodierschaltung **1626b** ein Inverter **1626bc**, eine NAND-Schaltung **1626bd** und ein Inverter **1626be** zum Erzeugen des Testmodussetzsignals TEST3 vorgesehen sind. Das Testmodussetzsignal TEST3 wird nämlich aus der lokalen Testmodusdecodierschaltung **1626b** erzeugt.

[0233] Fig. 28 ist eine Draufsicht, welche ein schematisches Layout auf dem Halbleiterchip des DRAM gemäß der vierten Ausführungsform zeigt. Unter Bezugnahme auf Fig. 28 unterscheidet sie sich von der Draufsicht des DRAM gemäß der in Fig. 26 dargestellten dritten Ausführungsform dadurch, (1) daß die Testschaltung **15** auf die rechte Seite der Fig. 28 des Zentralstreifens **12** bewegt ist, (2) daß in der Testschaltung **15** die Testmodusdecodierschaltung **1626b** nicht enthalten ist, aber separat von der Testschaltung **15** eine Testmodusdecodierschaltung **1626b** mit einem anderen Schaltungsaufbau vorgesehen ist, (3) daß die das Testmodussetzsignal TEST3 empfangende interne Schaltungseinrichtung **1150** in einen Endabschnitt auf der S-Seite des Halbleiterchips **10** bewegt ist, (4) daß nicht die lokale Testmodusdecodierschaltung **1626c**, die folglich einen anderen Schaltungsaufbau bekommt, das Testmodussetzsignal TEST3 ausgibt, sondern die lokale Testmodusdecodierschaltung **1626b**, die einen anderen Schaltungsaufbau bekommt und von der Testschaltung **15** getrennt ist, das Testmodussetzsignal TEST3 ausgibt, und (5) daß in dem S-Seiten-Abschnitt der Testmodusdecodierschaltung **1626b** die das Referenzpotential Vref übertragende Referenzpotentialleitung **14** nicht so vorgesehen ist, daß sie an die Testmodussetzsignalleitungen **13f** und **13h** angrenzt, zu ihnen parallel und zwischen sie dazwischengesetzt ist, wie in Fig. 26 gezeigt, sondern daß sie an eine Testmodussetzsignalleitung **13d** und eine das interne Stromversorgungspotential intVcc oder das Massepotential GND übertragende Stromversorgungsleitung **17** angrenzt, zu diesen Leitungen parallel und zwischen sie dazwischengesetzt ist und dadurch abgeschirmt wird. Die lokale Testmodusdecodierschaltung **1626b** ist auf dem S-Seiten-Abschnitt bezüglich der Testschaltung **15** angeordnet.

[0234] Die Fläche der Leitungen würde dort vergrößert werden, wo in die auf der S-Seite des Halbleiterchips **10** angeordneten internen Schaltungen **1150** und **117** zwei Testmodussetzsignale TEST3 und TEST6S zu übertragen sind, wenn diese Signale codiert und durch die drei Leitungen für ein codiertes Signal **13j**, **13k** und **13m** übertragen werden. Daher ist die Testmodusdecodierschaltung **1626b** in einem Abschnitt vorgesehen, der näher bei der die Schaltung zum Erzeugen eines codierten Signals **1625** enthaltenden Testschaltung als bei den internen Schaltungen **1150** und **117** ist, um die Signale früher zu decodieren, und werden durch die beiden Testmodussetzsignalleitungen **13b** und **13h** die Testmodussetzsignale TEST3 und TEST6S übertragen.

[0235] Wie vorstehend beschrieben, können bei dem DRAM gemäß der vierten Ausführungsform ähnliche Wirkungen wie bei dem DRAM der dritten Ausführungsform erreicht werden. Da ferner die Testmodusdecodierschaltung **1626b** näher bei der Testschaltung **15** als bei den internen Schaltungen **1150** und **117** vorgesehen ist, kann eine Vergrößerung der von den Leitungen zum Übertragen der Testmo-

dussetzsignale TEST3 und TEST6S eingenommenen Fläche unterdrückt werden.

[0236] Obwohl bei der ersten bis vierten Ausführungsform der Zeilendecodierer in dem Zentralstreifen angeordnet ist, kann das Ziel der vorliegenden Erfindung selbst dann erreicht werden, wenn er gegenüber dem Zentralstreifen angeordnet ist. Obgleich die Testmodussetzschaltung neben dem Kontaktblock angeordnet ist, kann sie zwischen den Kontaktblöcken angeordnet sein.

Patentansprüche

1. Halbleitereinrichtung, welche umfasst:
eine mindestens ein erstes Eingangssignal (/RAS, /CAS, /WE, A_0, A_1, /RA_0, /RA_1) empfangende Zustandsermittlungsschaltung (**1610**) zum Ausgeben mindestens eines Zustandsermittlungssignals (TDA–TDC, TGA, TGB) gemäß einem Zustand des ersten Eingangssignals; und
eine das Zustandsermittlungssignal und mindestens ein zweites Eingangssignal (/RA_2–/RA_6) empfangende Testmodussetzsignalerzeugungsschaltung (**1620**),
(i) zum Ausgeben
(a) eines ersten Testmodussetzsignals (TE), das auf einen aktivierten Pegel gesetzt ist, um einen Vielbittest eines standardisierten Testmodus zu setzen, wenn das Zustandsermittlungssignal (TDA–TDC, TGA, TGB) anzeigt, dass das erste Eingangssignal (/RAS, /CAS, /WE, A_0, A1, /RA_0, /RA_1) in einem ersten Zustand ist, und
(b) eines zweiten Testmodussetzsignals (TEST1-TEST7), das als Reaktion auf das zweite Eingangssignal (/RA_2–/RA_6), das in einem vorbestimmten Zustand ist, auf einen aktivierten Pegel gesetzt ist, um einen Modus von zumindest einem speziellen Test zu setzen, der ein anderer ist als der Vielbittest, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in einem sich von dem ersten Zustand unterscheidenden zweiten Zustand ist, und
(ii) zum Setzen sowohl des ersten Testmodussetzsignals als auch gleichzeitig des zweiten Testmodussetzsignals auf einen aktivierten Pegel, wenn das Zustandsermittlungssignal anzeigt, dass das erste Eingangssignal in dem zweiten Zustand und das zweite Eingangssignal in einem von dem vorbestimmten Zustand verschiedenen dritten Zustand ist,
wobei das erste Eingangssignal ein erstes Signal (A_0),
ein zweites Signal (A_1) und eine Mehrzahl von Steuersignalen (/RAS, /CAS, /WE) enthält und
die Zustandsermittlungsschaltung (**1610**) enthält:
eine Einrichtung (**1611**, **1612**) zum Setzen des Zustandsermittlungssignals in einen Zustand, der anzeigt, dass das erste Eingangssignal in dem zweiten Zustand ist, wenn mit einem vorgeschriebenen Timing die Mehrzahl von Steuersignalen eingegeben ist, wobei das erste Signal auf einem Über-H-Pegel, der höher als ein normal verwendeter H-Pegel ist, und das zweite Signal auf dem normal verwendeten H-Pegel ist.

2. Halbleitereinrichtung nach Anspruch 1, bei welcher die Zustandsermittlungsschaltung (**1610**) enthält:
eine Über-H-Pegel-Ermittlungsschaltung (**1612a**, **1612b**) mit einer Hochziehschaltung (**1612af**, **1612bf**), die zwischen einem das erste Signal empfangenden ersten Signalknoten (**1612aa**, **1612ab**) und einem Über-H-Pegel-Ermittlungssignalausgangsknoten (**1612ab**, **1612bb**), an dem ein Über-H-Pegel-Ermittlungssignal ausgegeben wird, geschaltet ist, welche Über-H-Pegel-Ermittlungsschaltung ein H-Pegel-Potential an den Über-H-Pegel-Ermittlungssignalausgangsknoten anlegt, wenn das erste Signal auf dem Über-H-Pegel ist; und
eine Zustandsermittlungssignalerzeugungsschaltung (**1611**, **1612c**) zum Ausgeben eines Zustandsermittlungssignals gemäß den Steuersignalen, dem Über-H-Pegel-Ermittlungssignal und dem zweiten Signal; und bei welcher
das zweite Eingangssignal eine Mehrzahl von Signalbits mit normal verwendetem H-Pegel und L-Pegel enthält.

3. Halbleitereinrichtung nach Anspruch 1, bei welcher das erste Eingangssignal eine Mehrzahl von Steuersignalen (RAS, CAS, WE) und Hilfssignalen (A_0, A_1, RA_0, RA_1) enthält und
die Zustandsermittlungsschaltung (**1610**) enthält:

eine Timingermittlungsschaltung (**1611**) zum Ausgeben eines Timingermittlungssignals, das auf einen aktiven Pegel gesetzt ist, wenn mit einem Timing, mit dem bestimmt wird, dass das erste Eingangssignal in dem zweiten Zustand ist, die Mehrzahl von Steuersignalen eingegeben ist,
eine Testgruppenermittlungshilfsschaltung (**1612ca**) zum Ausgeben eines Ermittlungshilfssignals gemäß den Hilfssignalen und eine das Timingermittlungssignal und das Ermittlungshilfssignal empfangende Zustandsermittlungssignalsteuerschaltung (**1612cb**), die ein Zustandsermittlungssignal ausgibt, derart dass das Zustandsermittlungssignal in einen Zustand gesetzt ist, der anzeigt, dass das erste Eingangssignal in dem zweiten Zustand ist, wenn das Ermittlungshilfssignal anzeigt, dass das erste Eingangssignal in dem zweiten Zustand und das Timingermittlungssignal auf einem aktiven Pegel ist.

4. Halbleiterspeichereinrichtung, die ein Speicherarray mit einer Mehrzahl von Speicherzellen enthält und in einem Vielbittestmodus betreibbar ist, bei dem eine Mehrzahl von Speicherzellen gleichzeitig getestet wird, welche umfasst:
eine Testmodussetzschaltung (**1600**), die so geschaltet ist, dass sie ein externes Vielbitsignal empfängt und als Reaktion auf eine erste vorbestimmte

Kombination von Zuständen von Vielbits des externen Vielbitsignals zum Aktivieren eines ersten Testmodussetzsignals (TE) den Vielbittestmodus eines standardisierten Testmodus anweist, und als Reaktion auf eine zweite vorbestimmte Kombination von Zuständen der Vielbits des externen Vielbitsignals zum Aktivieren des ersten Testmodussetzsignals und eines zweiten Testmodussetzsignals einen sich von dem Vielbittestmodus unterscheidenden Testmodus eines nicht standardisierten speziellen Testmodus gleichzeitig anweist
wobei die Testmodussetzschaltung (**1600**) enthält:
eine Timingermittlungseinrichtung (**1610**), die als Reaktion auf einen ersten Satz von Vielbits des externen Signals ermittelt, dass mit einer vorbestimmten Timingbeziehung der erste Satz von Vielbits angelegt ist;
eine Testgruppenermittlungseinrichtung (**1612**), die als Reaktion auf einen zweiten Satz von Vielbits des externen Vielbitsignals in vorbestimmten Zuständen und auf die Timingermittlungseinrichtung, die ermittelt, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist, ein Testgruppenbestimmungssignal erzeugt, das einen sich von dem Vielbittest unterscheidenden Test gemäß dem zweiten Satz bestimmt, und einen Testmodussetzsignalgenerator (**1620**), der so geschaltet ist, dass er das Testgruppenbestimmungssignal und einen dritten Satz von Vielbits des externen Vielbitsignals empfängt, und der so geschaltet ist, dass er als Reaktion auf die Timingermittlungseinrichtung das erste und das zweite Testmodussetzsignal gemäß dem dritten Satz und dem Testgruppenbestimmungssignal erzeugt und als Reaktion auf die Timingermittlungseinrichtung ermittelt, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist.

5. Halbleiterspeichereinrichtung nach Anspruch 4, bei welcher die Testgruppenermittlungseinrichtung (**1612**) enthält:
eine Pegelermittlungseinrichtung **1612aa**, **1612ba**), die so geschaltet ist, dass sie den zweiten Satz von Vielbits empfängt, und ermittelt, dass ein erstes Bit des zweiten Satzes auf einem Normalhochpegel ist und dass ein zweites Bit des zweiten Satzes auf einem Überhochpegel ist, dessen Potential größer als dasjenige des Normalhochpegels ist, und eine Einrichtung (**1612c**), die als Reaktion auf die Timingermittlungseinrichtung (**1611**), die ermittelt, dass mit der vorbestimmten Timingbeziehung der erste Satz angelegt ist, so aktiviert ist, dass sie das Testgruppenbestimmungssignal gemäß dem durch die Pegelermittlungseinrichtung ermittelten ersten Bit mit dem Normalhochpegel und dem zweiten Bit mit dem Überhochpegel erzeugt.

6. Halbleiterspeichereinrichtung nach Anspruch 4, bei welcher der Testmodussetzsignalgenerator (**1620**) enthält:
eine Verriegelungsschaltung (**1621**), die als Reaktion auf die Timingermittlungseinrichtung (**1610**), die ermittelt, dass mit der vorbestimmten Beziehung der erste Satz angelegt ist, den dritten Satz von Vielbits verriegelt,
einen Vordecodierer (**1622**), der mit der Verriegelungsschaltung so gekoppelt ist, dass er wenigstens einen Teil des dritten Satzes der durch die Verriegelungsschaltung verriegelten Vielbits vordecodiert, um ein Vielbitvordecodiersignal zu erzeugen, und
einen Decodierer/Puffer (**1623**, **1624**; **1623**, **1625**, **1626**), der als Reaktion auf die Timingermittlungseinrichtung, die ermittelt, dass mit der vorbestimmten Beziehung der erste Satz angelegt ist, so aktiviert ist, dass er das Vielbitvordecodiersignal decodiert, um das zweite Testmodussetzsignal zu erzeugen.

7. Halbleiterspeichereinrichtung nach Anspruch 6, bei welcher der Vordecodierer (**1623**) einen Vordecodierer/Puffer (**1623a**; **1623**, **1624**) enthält, der so geschaltet ist, dass er ein vorbestimmtes Bit des dritten Satzes empfängt, und als Reaktion auf die Timingermittlungseinrichtung so aktiviert ist, dass er das vorbestimmte Bit puffert, um das erste Testmodussetzsignal zu erzeugen.

8. Halbleiterspeichereinrichtung nach Anspruch 6, bei welcher der Decodierer/Puffer (**1623**, **1624**; **1623**, **1625**, **1626**) umfasst:
einen Decodierer (**1623**), der mit dem Vordecodierer (**1622**) so gekoppelt ist, dass er das aus dem Vordecodierer empfangene vordecodierte Signal decodiert, um decodierte Signale auszugeben,
eine Einrichtung zum Erzeugen eines codierten Signals (**1625**), die mit dem Decodierer so gekoppelt ist, dass sie die aus dem Decodierer empfangenen decodierten Signale codiert, um ein codiertes Signal zu erzeugen; und
einen lokalen Decodierer (**1626**), der so geschaltet ist, dass er das codierte Signal empfangt, so dass er das zweite Testmodussetzsignal erzeugt.

9. Halbleiterspeichereinrichtung nach Anspruch 4, bei welcher eine Leitung (**13g**, **13i**, **13f**, **13h**) zum Übertragen des zweiten Testmodussignals so angeordnet ist, dass sie zu einer ein Referenzpotential übertragenden Referenzpotentialleitung (**14**) parallel ist und an dieselbe angrenzt.

10. Halbleiterspeichereinrichtung nach Anspruch 8, bei welcher eine Leitung (**13j**, **13k**, **13m**) zum Übertragen des codierten Signals so angeordnet ist, dass sie an eine ein Referenzpotential übertragende Referenzpotentialleitung (**14**) angrenzt und zu derselben parallel ist.

Es folgen 28 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

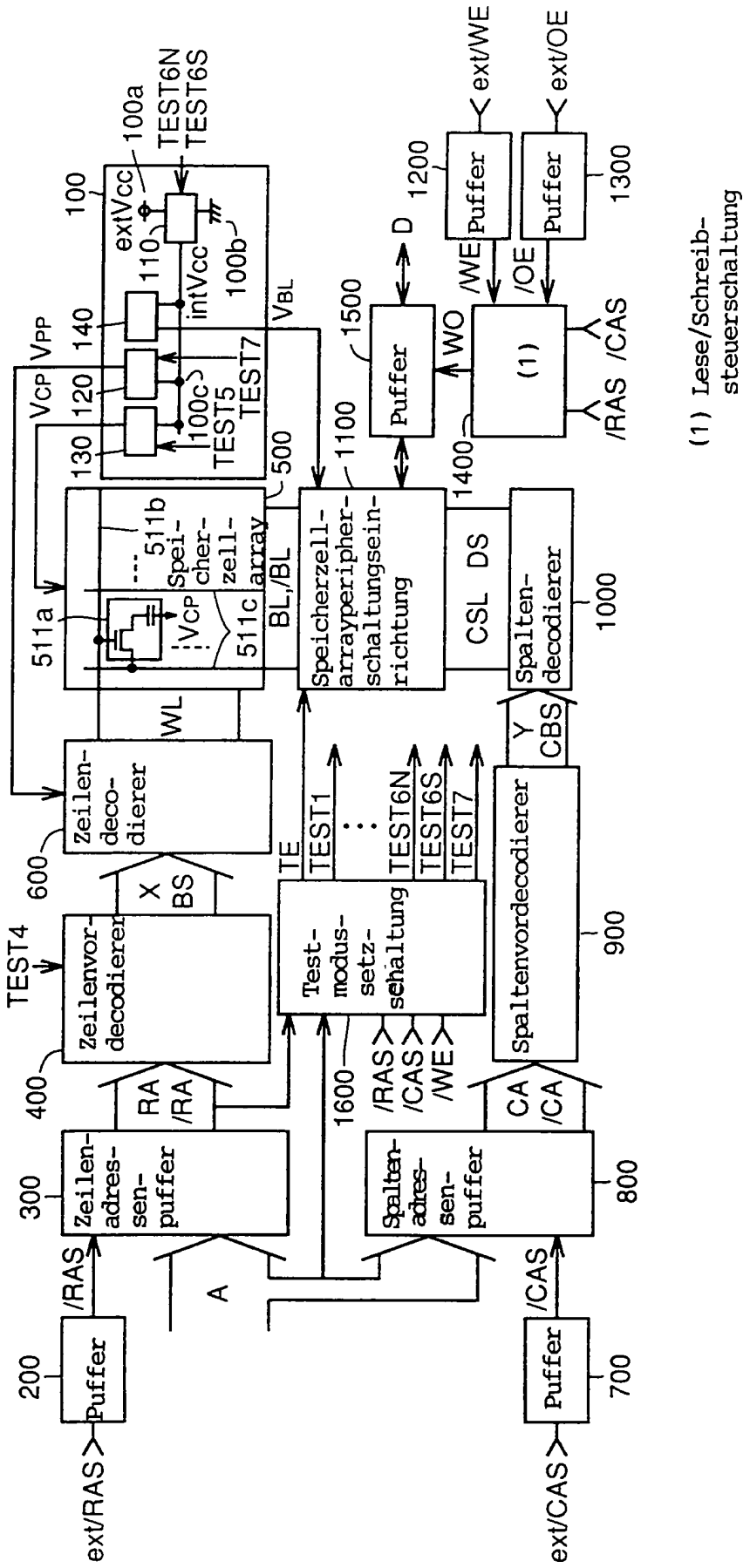


FIG.2

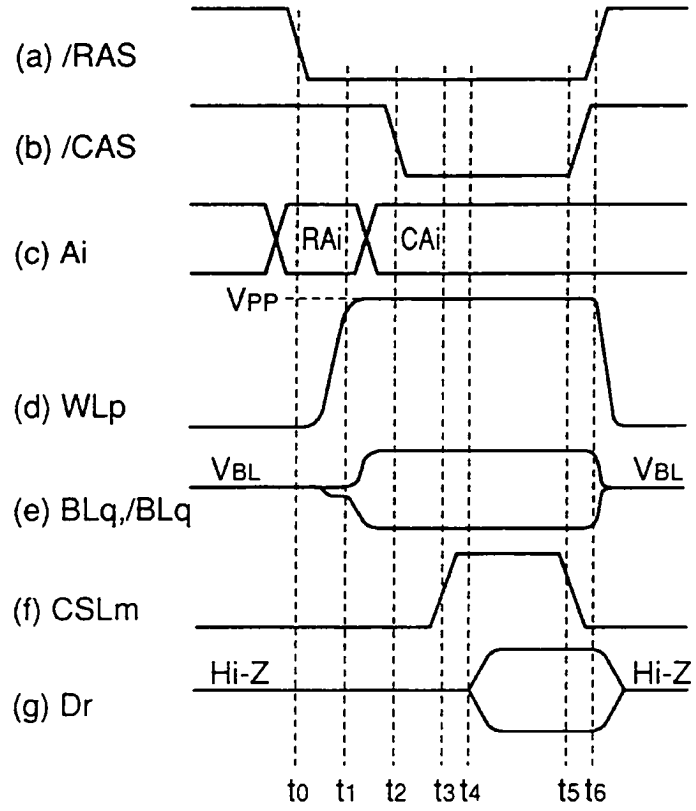

(a) /RAS
(b) /CAS
(c) Ai
RAi
CAi
VPP
(d) WLp
VBL
VBL
(e) BLq,/BLq
(f) CSLm
Hi-Z
Hi-Z
(g) Dr
t0 t1 t2 t3 t4 t5 t6

FIG.3A

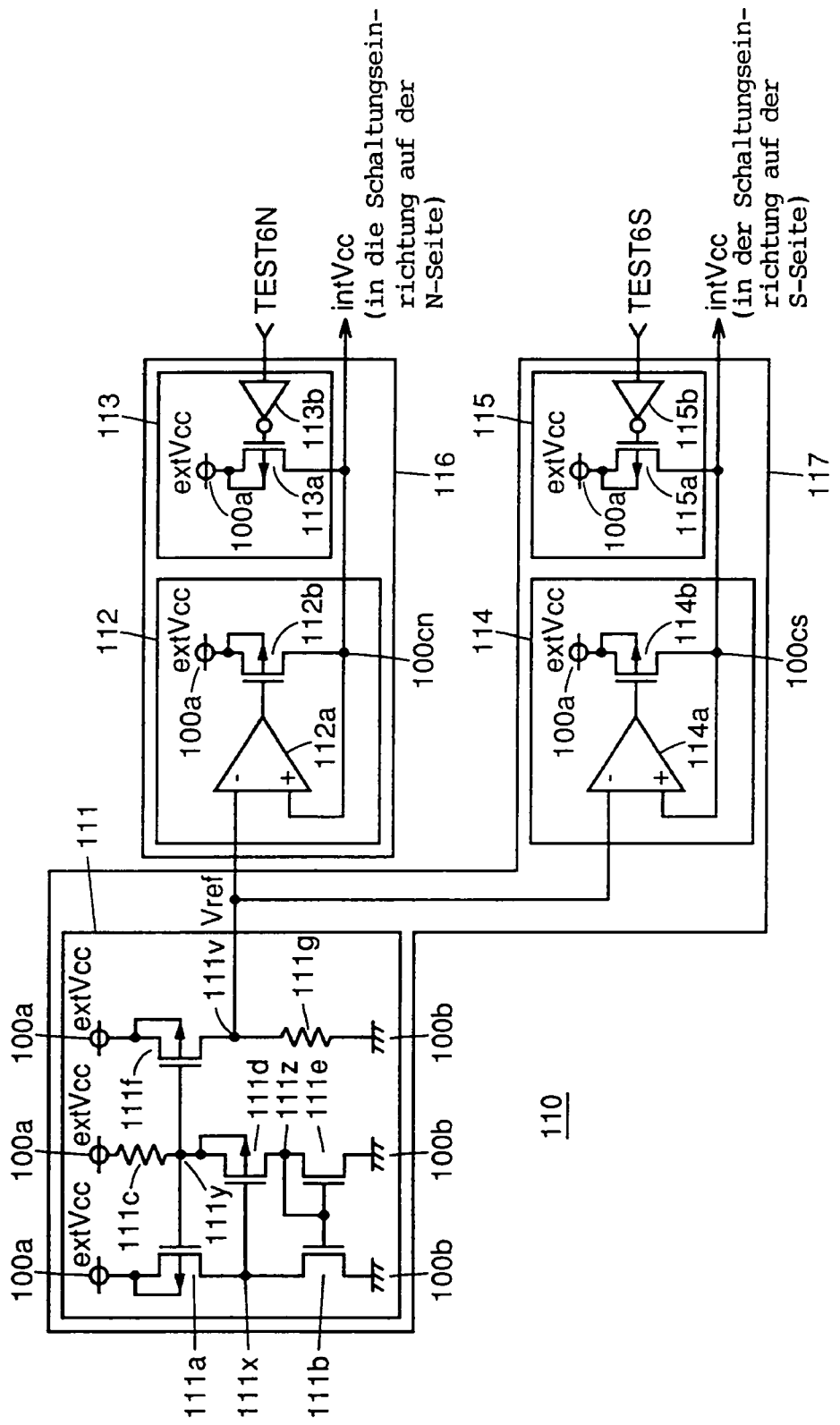
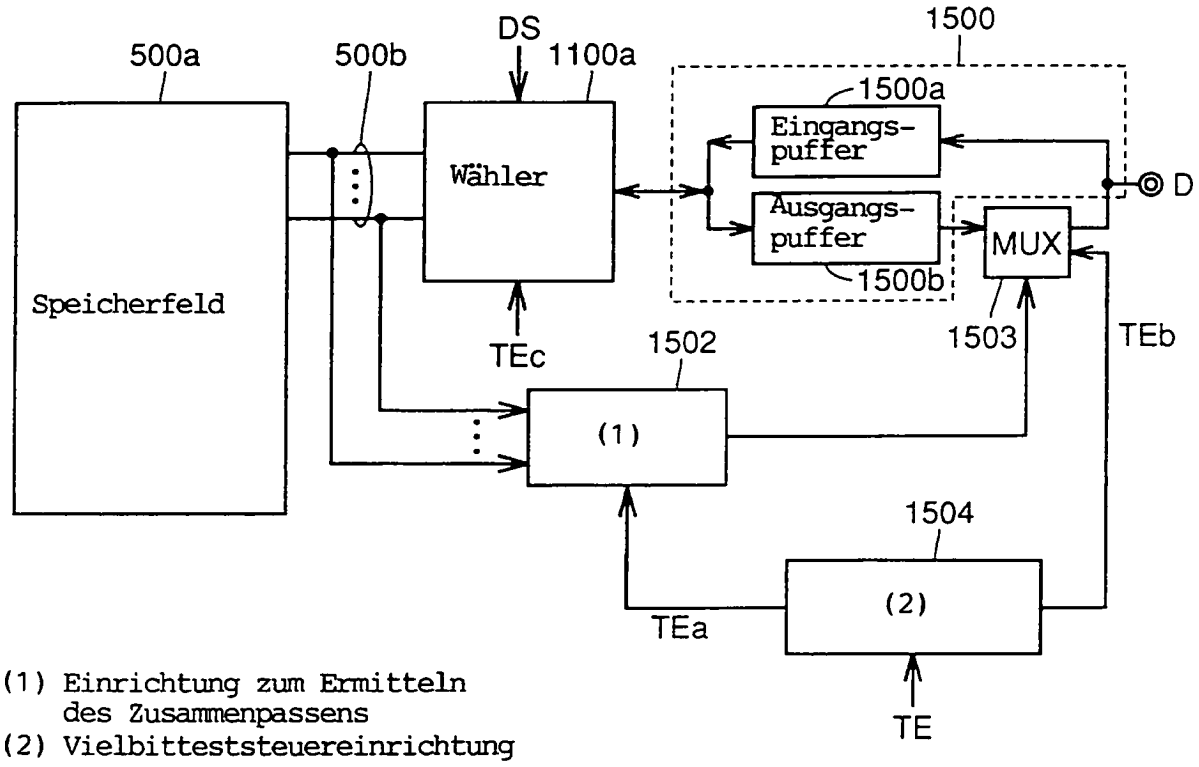

TEST6N
intVcc
(in die Schaltungsein-
richtung auf der
N-Seite)
TEST6S
intVcc
(in der Schaltungsein-
richtung auf der
S-Seite)
extVcc
Vref
100a
100b
100cn
100cs
110
111
111a
111b
111c
111d
111e
111f
111g
111v
111x
111y
111z
112
112a
112b
113
113a
113b
114
114a
114b
115
115a
115b
116
117

FIG.3B



(1) Einrichtung zum Ermitteln des Zusammenpassens
(2) Vielbitteststeuereinrichtung

FIG.18

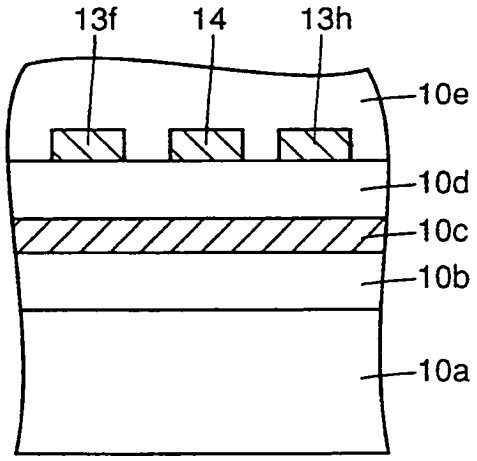


FIG.4

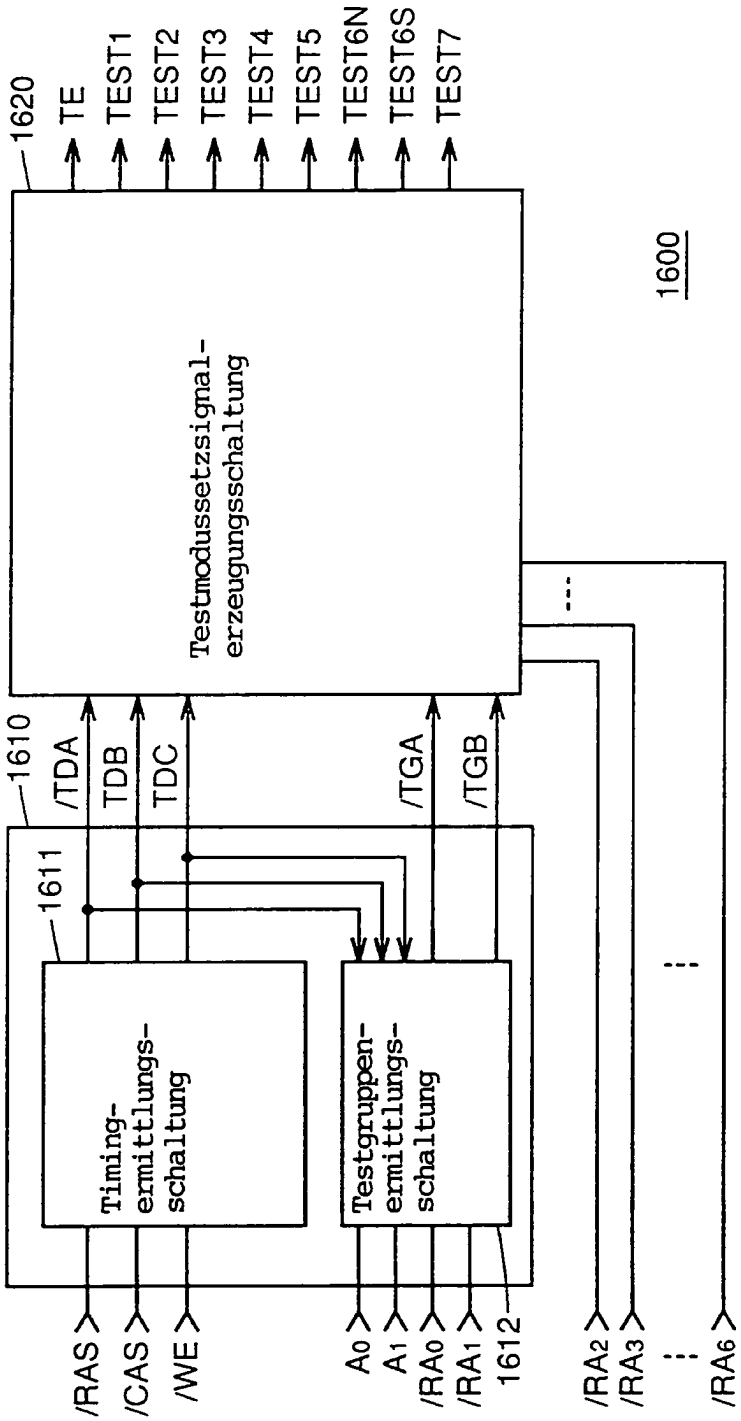

1620
TE
TEST1
TEST2
TEST3
TEST4
TEST5
TEST6N
TEST6S
TEST7
Testmodussetzsignal-erzeugungsschaltung
1600
1610
/TDA
TDB
TDC
/TGA
/TGB
1611
Timing-ermittlungs-schaltung
Testgruppen-ermittlungs-schaltung
/RAS
/CAS
/WE
A0
A1
/RA0
/RA1
1612
/RA2
/RA3
/RA6

FIG.5

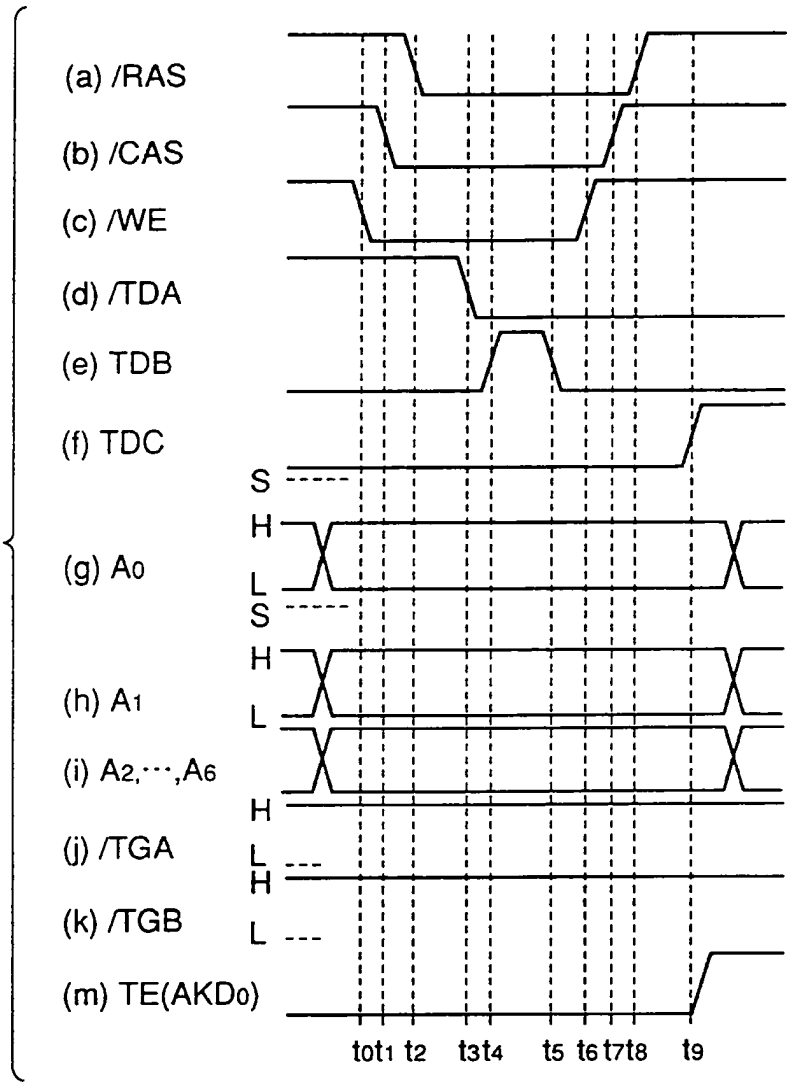

(a) /RAS
(b) /CAS
(c) /WE
(d) /TDA
(e) TDB
(f) TDC
(g) A0
(h) A1
(i) A2,···,A6
(j) /TGA
(k) /TGB
(m) TE(AKD0)
S
H
L
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9

FIG.6

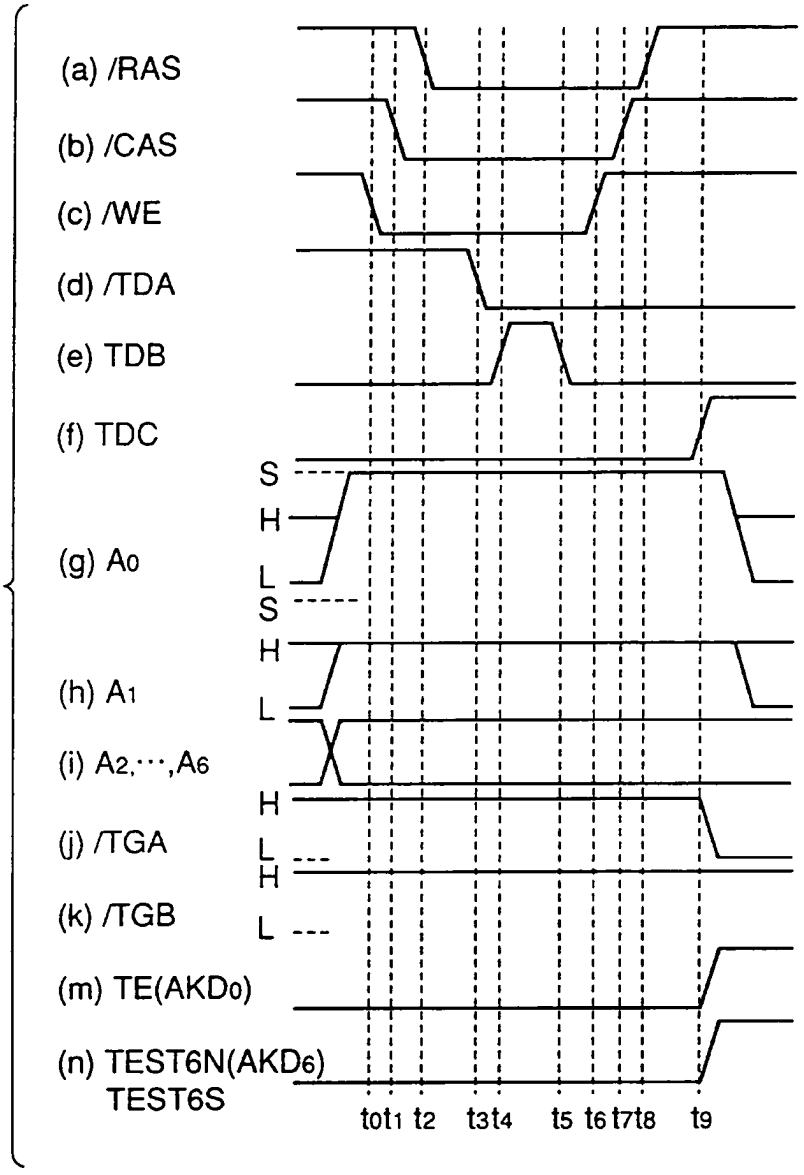

(a) /RAS
(b) /CAS
(c) /WE
(d) /TDA
(e) TDB
(f) TDC
(g) A0
(h) A1
(i) A2,···,A6
(j) /TGA
(k) /TGB
(m) TE(AKD0)
(n) TEST6N(AKD6)
TEST6S
S
H
L
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9

FIG.7

A0	A1	A2	A3	A4	A5	A6	Testmodus
*	*	*	*	*	*	*	TE (JEDEC-Standard)
S	H	L	L	L	L	H	TE
				L	H	L	TEST5
						H	TEST5,TE
				H	L	L	TEST7
(/TGA=L /TGB=H)						H	TEST7,TE
				H	H	H	TE
		L	H	L	L	L	TEST4
						H	TEST4,TE
				L	H	L	TEST4,TEST5
						H	TEST4,TEST5,TE
				H	L	L	TEST4,TEST7
						H	TEST4,TEST7,TE
				H	H	L	TEST4
						H	TEST4,TE
		H	L	L	L	L	TEST3
						H	TEST3,TE
				L	H	L	TEST3,TEST5
						H	TEST3,TEST5,TE
				H	L	L	TEST3,TEST7
						H	TEST3,TEST7,TE
				H	H	L	TEST3
						H	TEST3,TE
		H	H	L	L	L	TEST6N,TEST6S
						H	TEST6N,TEST6S,TE
				L	H	L	TEST6N,TEST6S,TEST5
						H	TEST6N,TEST6S,TEST5,TE
				H	L	L	TEST6N,TEST6S,TEST7
						H	TEST6N,TEST6S,TEST7,TE
				H	H	L	TEST6N,TEST6S
						H	TEST6N,TEST6S,TE
H	S	L	L	*	*	H	TE
		L	H	*	*	L	TEST2
						H	TEST2,TE
		H	L	*	*	L	TEST1
(/TGA=H /TGB=L)						H	TEST1,TE
		H	H	*	*	L	TEST1,TEST2
						H	TEST1,TEST2,TE

FIG.8

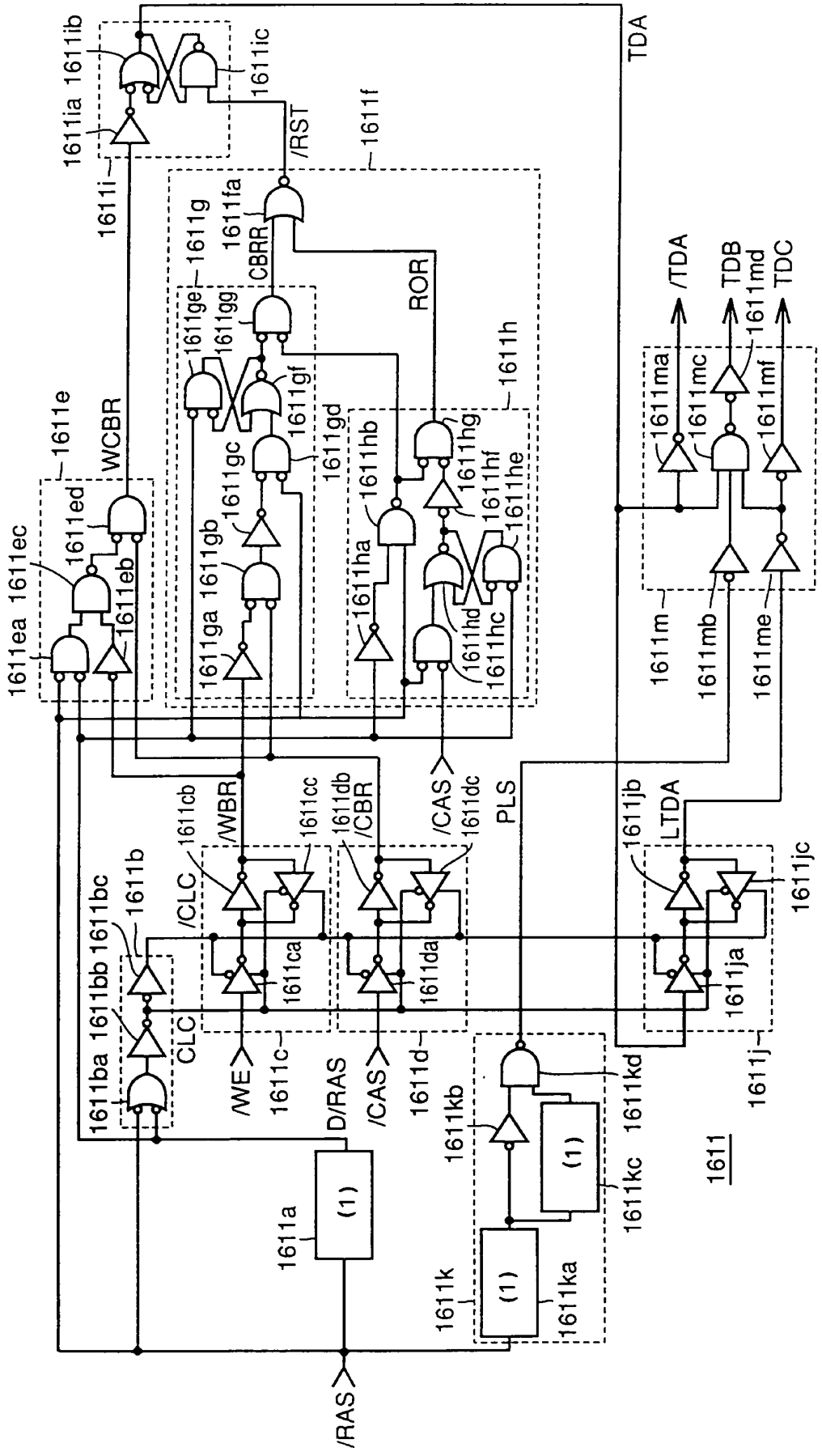
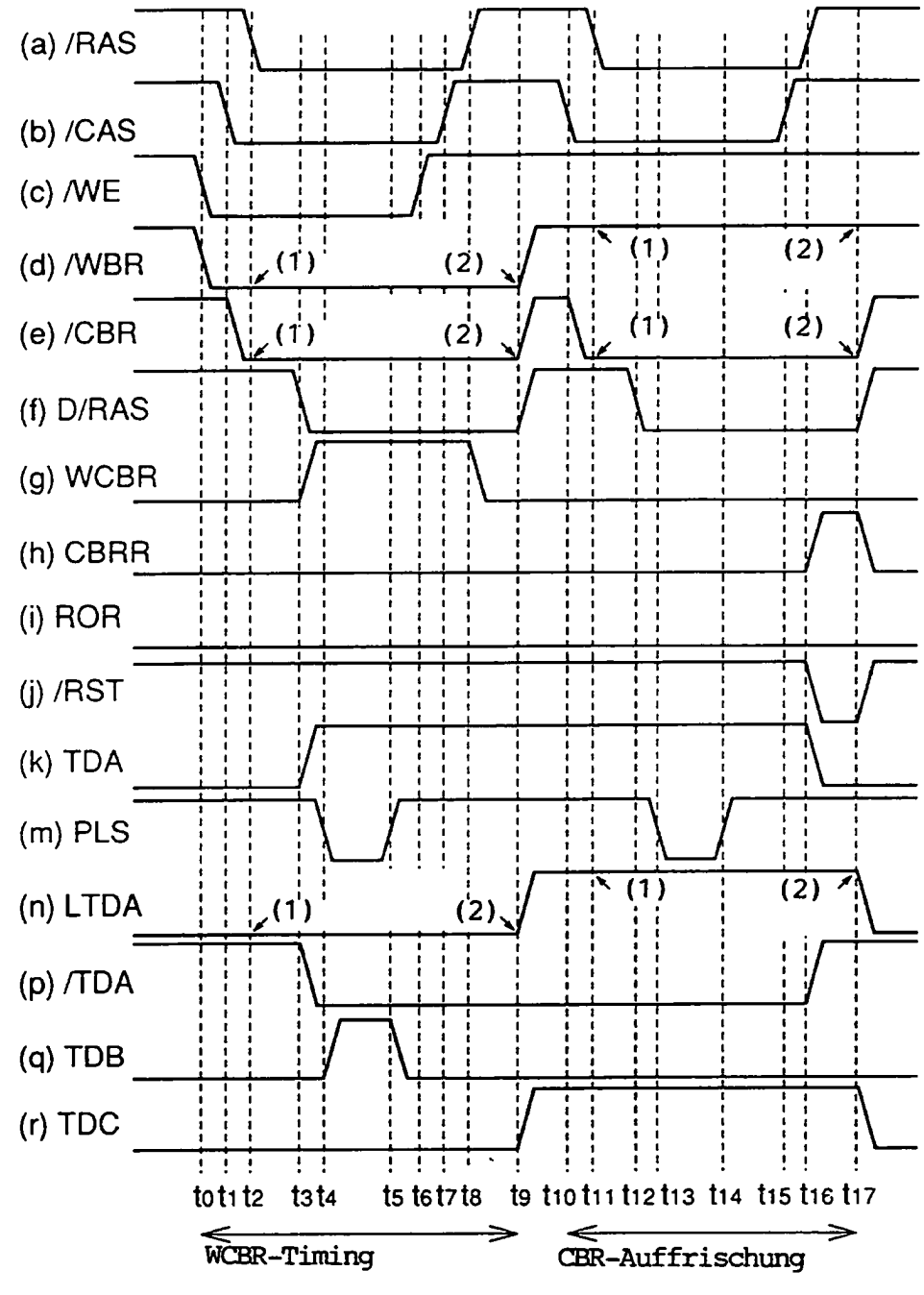
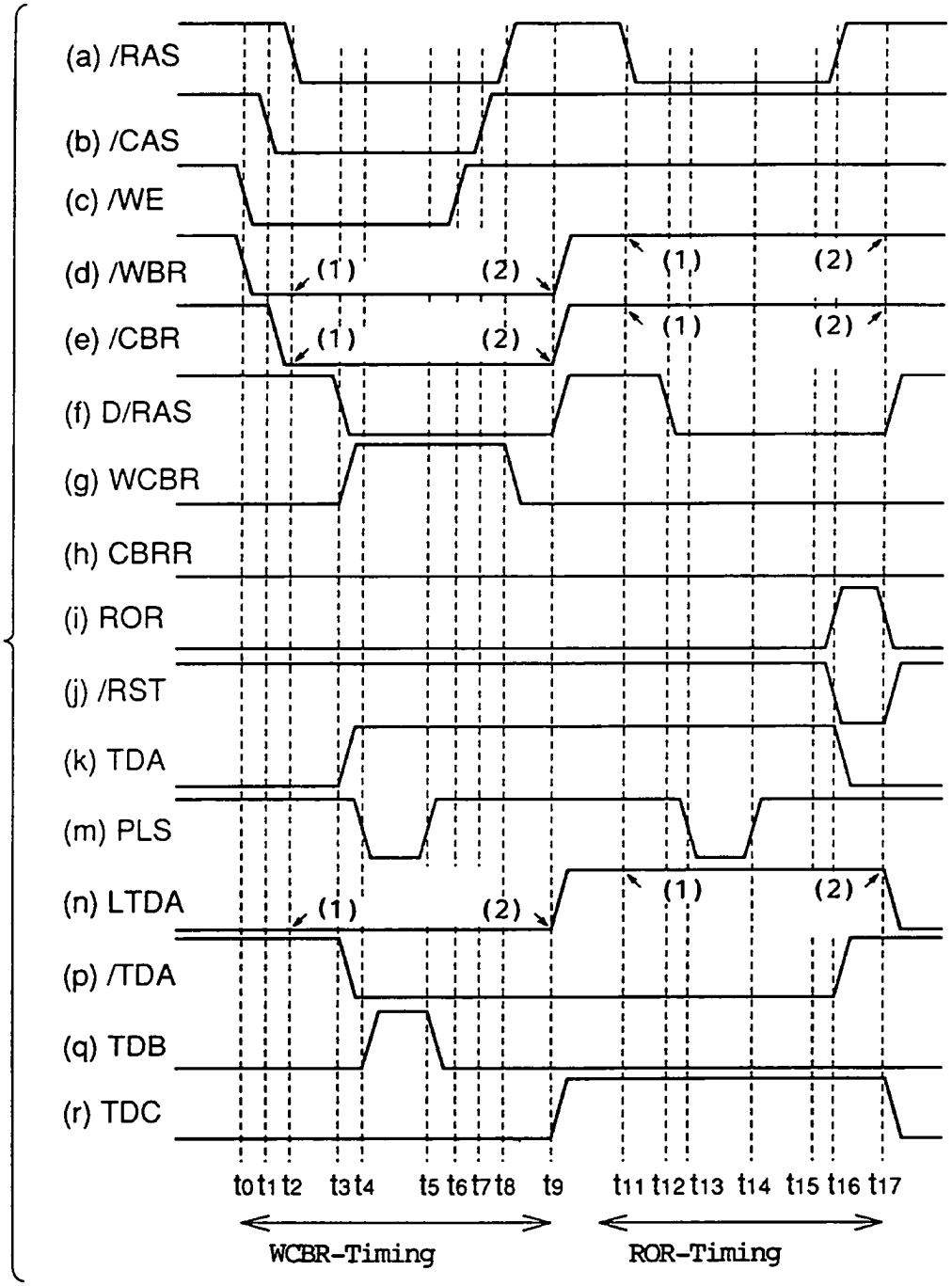

1611ia
1611ib
1611ic
1611i
/RST
1611f
TDA
1611g
1611fa
CBRR
ROR
1611ge
1611gg
1611gf
1611gd
1611gc
1611ga
1611gb
1611h
1611hb
1611hg
1611ha
1611hf
1611he
1611hd
1611hc
1611e
WCBR
1611ed
1611ec
1611eb
1611ea
/TDA
TDB
1611md
TDC
1611ma
1611mc
1611mf
1611m
1611mb
1611me
/WBR
1611cb
1611cc
/CLC
1611db
/CBR
/CAS
1611dc
PLS
1611jb
LTDA
1611jc
1611b
1611bc
1611bb
1611ba
1611ca
1611da
1611ja
CLC
/WE
1611c
D/RAS
/CAS
1611d
1611kb
1611kd
1611j
1611a
(1)
1611k
(1)
1611ka
1611kc
1611
/RAS
(1) Verzögerungsschaltung

FIG.9



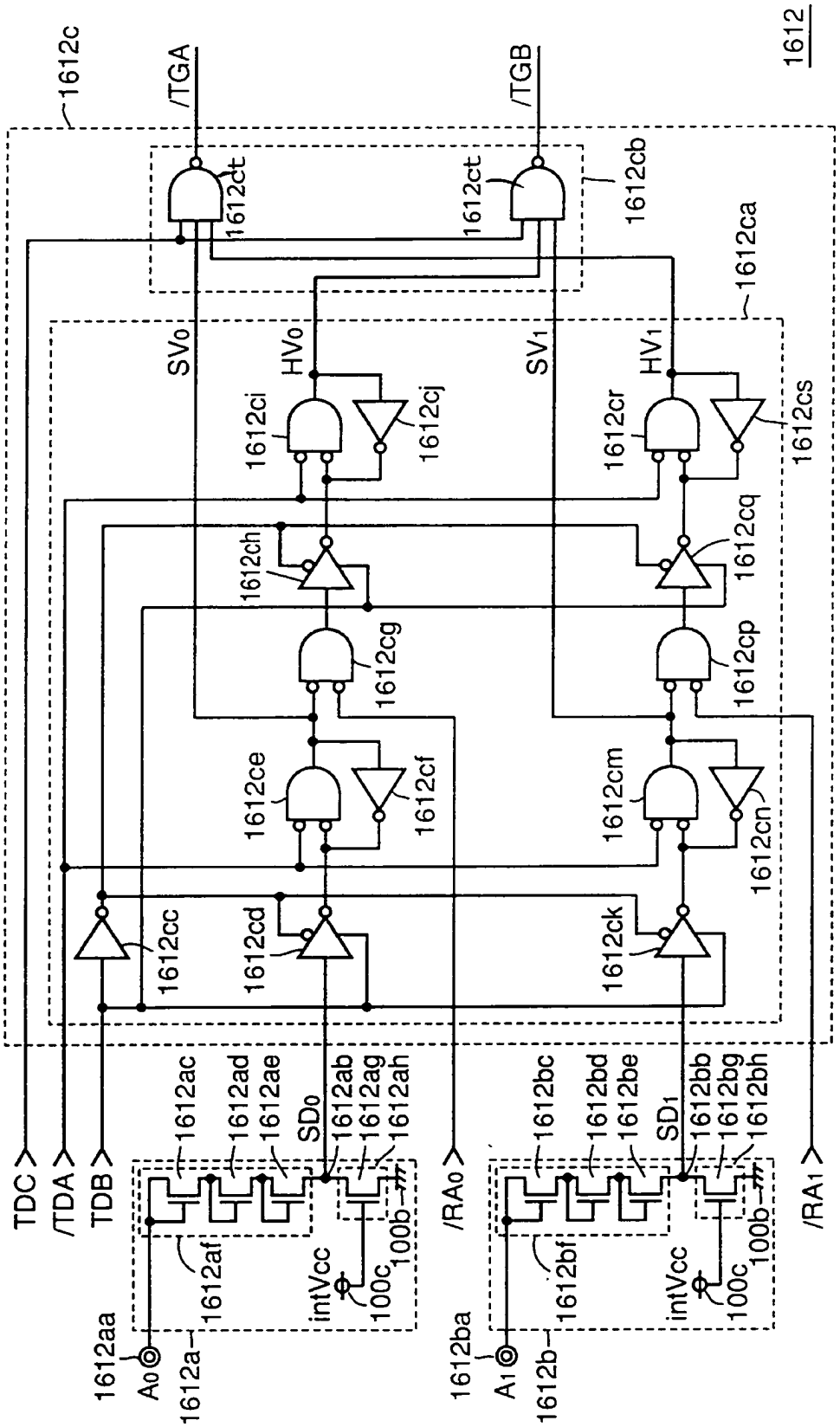
(1) Verriegelung
(2) Verriegelung freigegeben

FIG.10



(1) Verriegelung
(2) Verriegelung freigegeben

FIG.11


1612
1612c
/TGA
/TGB
1612ct
1612cb
1612ca
SV0
HV0
SV1
HV1
1612ci
1612cj
1612cr
1612cs
1612ch
1612cq
1612cg
1612cp
1612ce
1612cf
1612cm
1612cn
1612cc
1612cd
1612ck
TDC
/TDA
TDB
/RA0
/RA1
1612ac
1612ad
1612ae
SD0
1612ab
1612ag
1612ah
1612bc
1612bd
1612be
SD1
1612bb
1612bg
1612bh
1612af
1612bf
intVcc
100c
100b
1612aa
A0
1612a
1612ba
A1
1612b

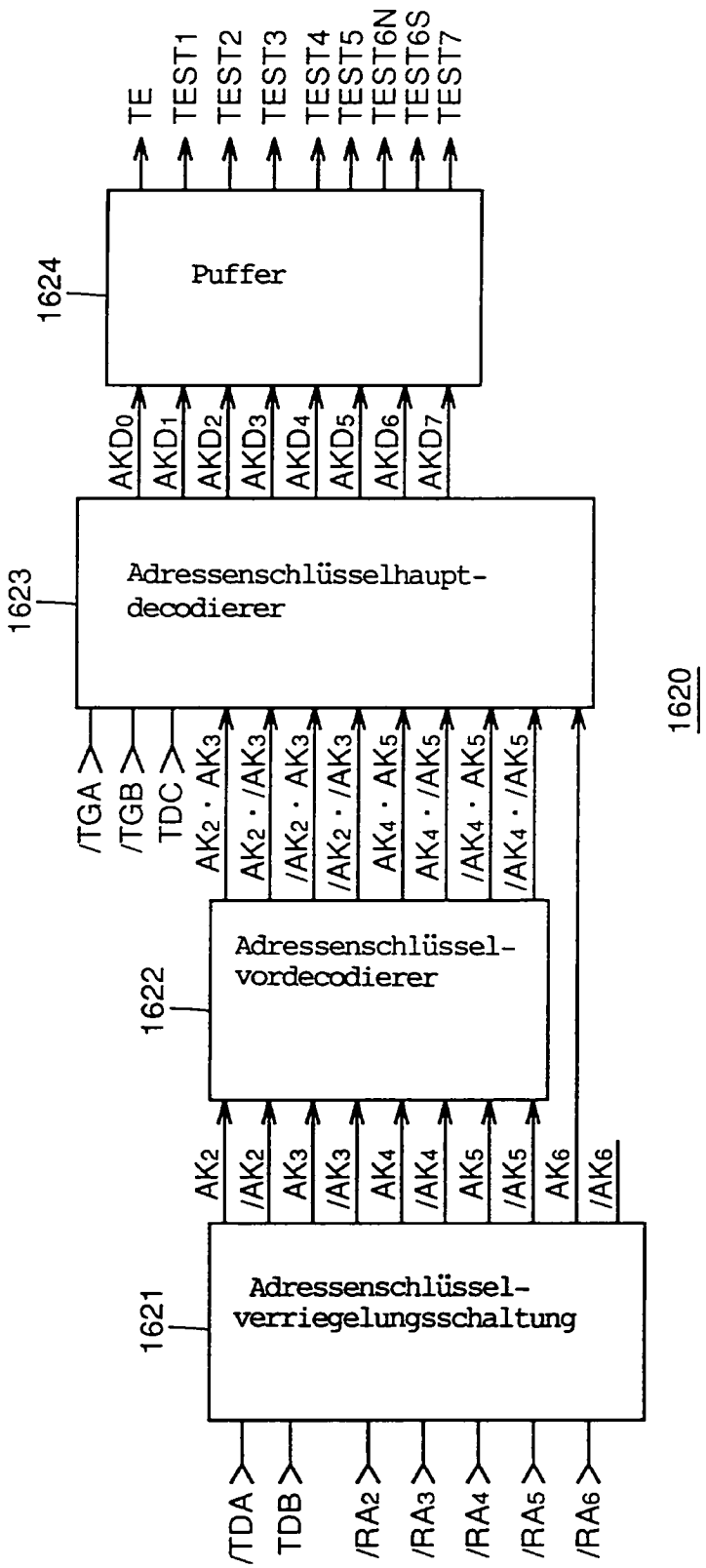

TE
TEST1
TEST2
TEST3
TEST4
TEST5
TEST6N
TEST6S
TEST7
1624
Puffer
AKD0
AKD1
AKD2
AKD3
AKD4
AKD5
AKD6
AKD7
1623
Adressenschlüsselhaupt-
decodierer
1620
/TGA
/TGB
TDC
AK2 · AK3
AK2 · /AK3
/AK2 · AK3
/AK2 · /AK3
AK4 · AK5
AK4 · /AK5
/AK4 · AK5
/AK4 · /AK5
1622
Adressenschlüssel-
vordecodierer
AK2
/AK2
AK3
/AK3
AK4
/AK4
AK5
/AK5
AK6
/AK6
1621
Adressenschlüssel-
verriegelungsschaltung
/TDA
TDB
/RA2
/RA3
/RA4
/RA5
/RA6

FIG.12

FIG.13

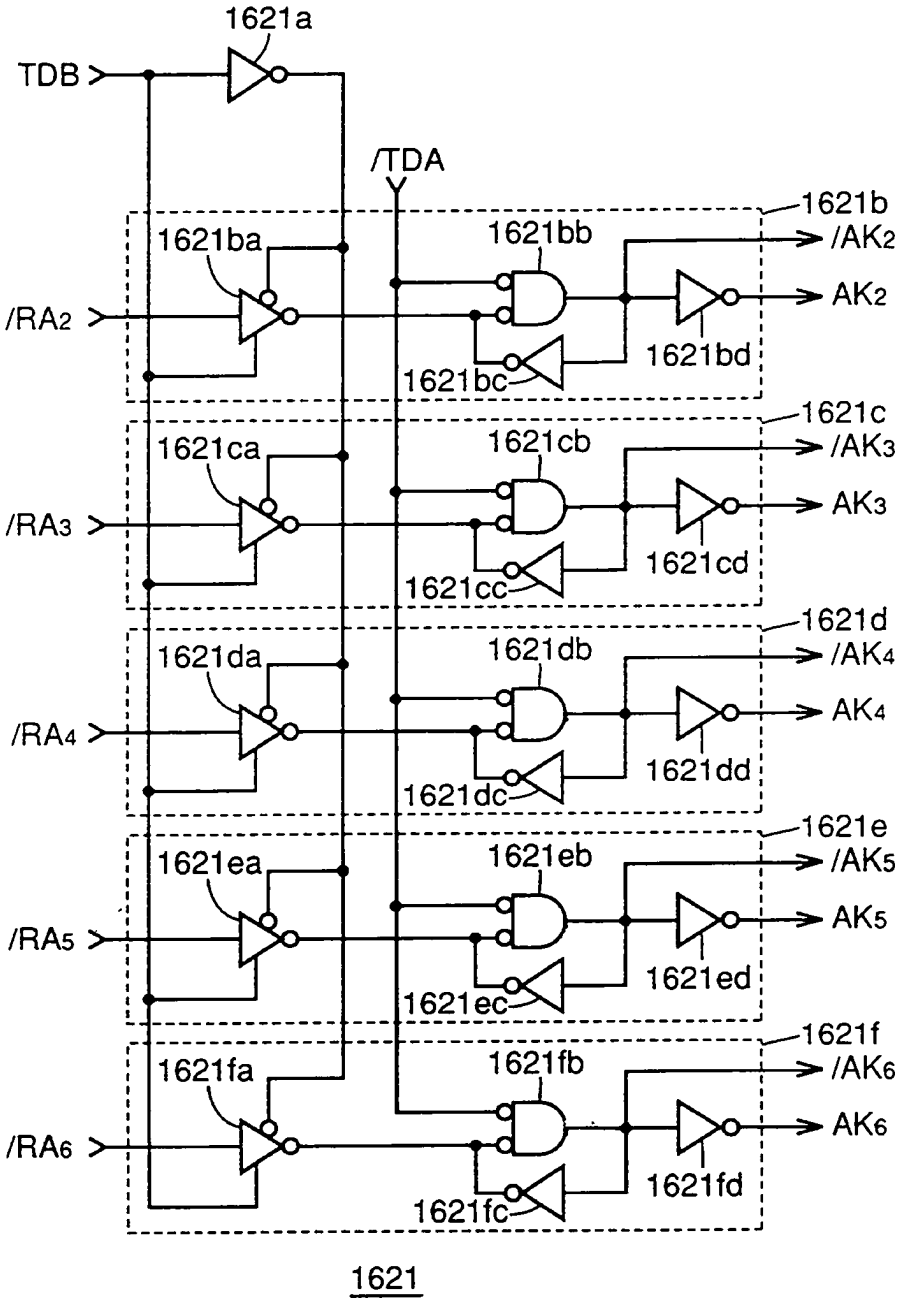

1621a
TDB
/TDA
1621b
1621ba
1621bb
/AK2
AK2
/RA2
1621bd
1621bc
1621c
1621ca
1621cb
/AK3
AK3
/RA3
1621cd
1621cc
1621d
1621da
1621db
/AK4
AK4
/RA4
1621dd
1621dc
1621e
1621ea
1621eb
/AK5
AK5
/RA5
1621ed
1621ec
1621f
1621fa
1621fb
/AK6
AK6
/RA6
1621fd
1621fc
1621

FIG. 14

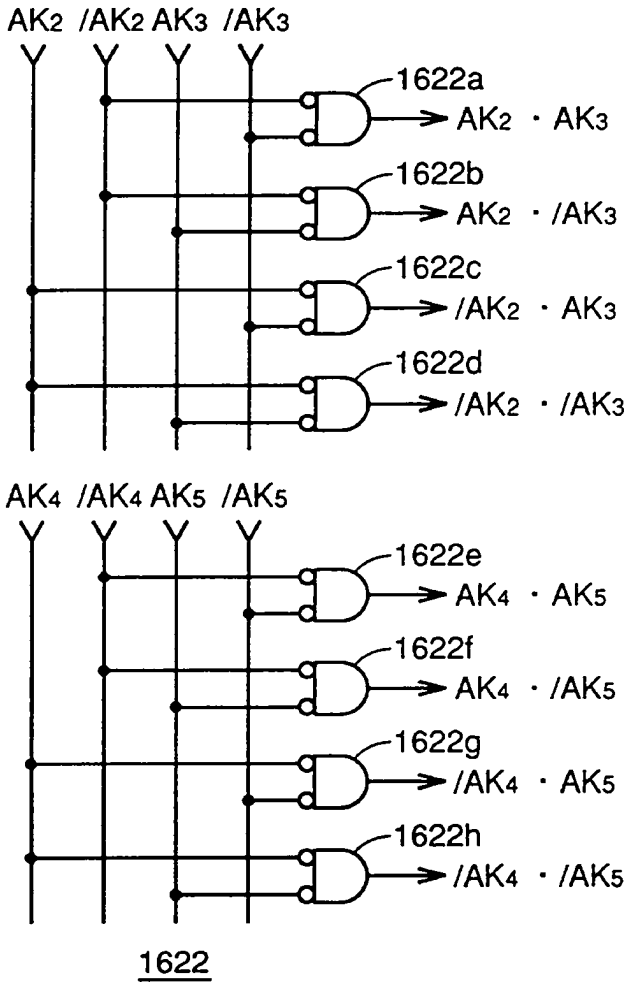

AK2 /AK2 AK3 /AK3
1622a
AK2 · AK3
1622b
AK2 · /AK3
1622c
/AK2 · AK3
1622d
/AK2 · /AK3
AK4 /AK4 AK5 /AK5
1622e
AK4 · AK5
1622f
AK4 · /AK5
1622g
/AK4 · AK5
1622h
/AK4 · /AK5
1622

FIG.15

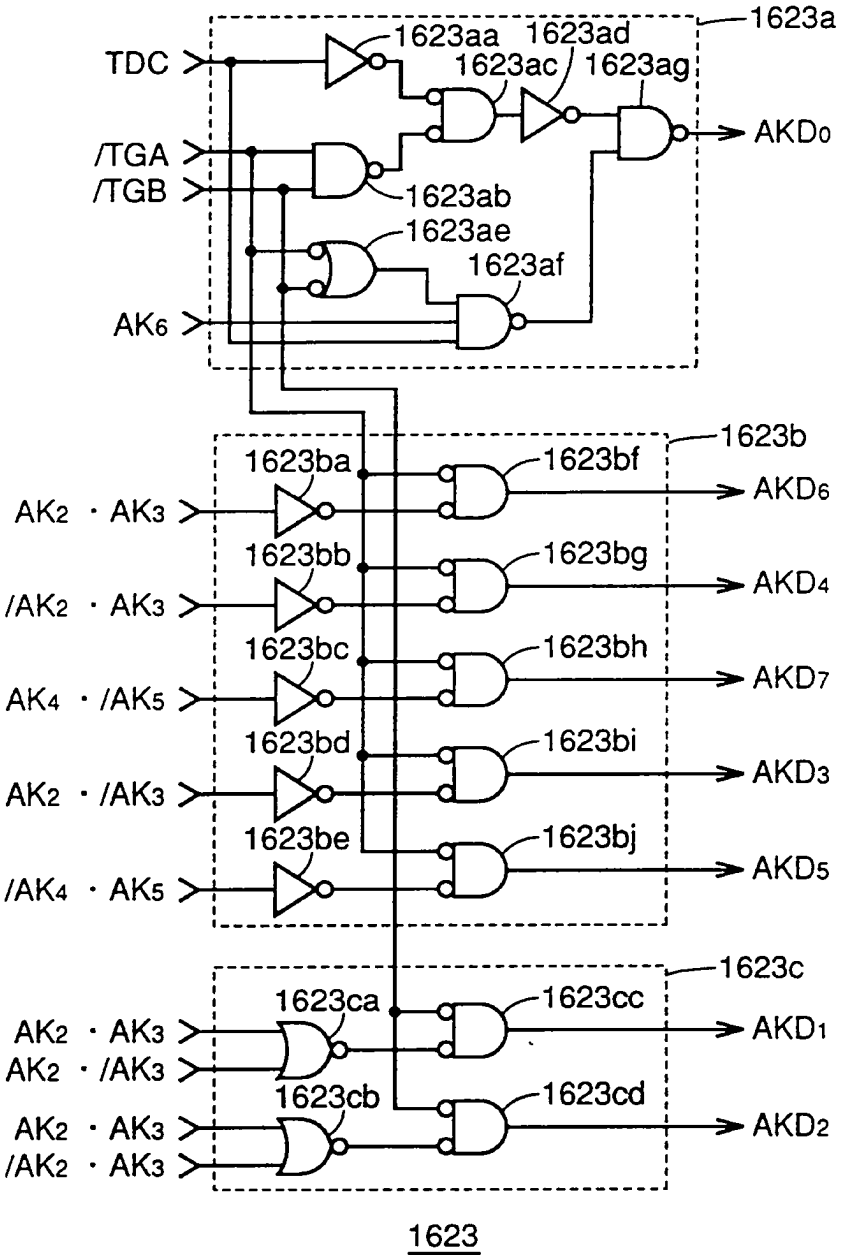
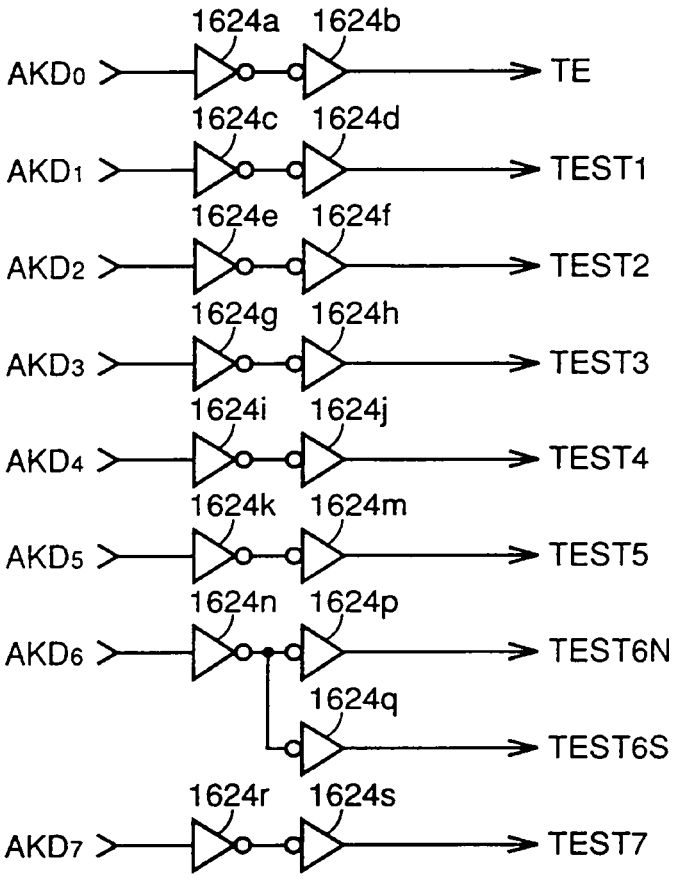
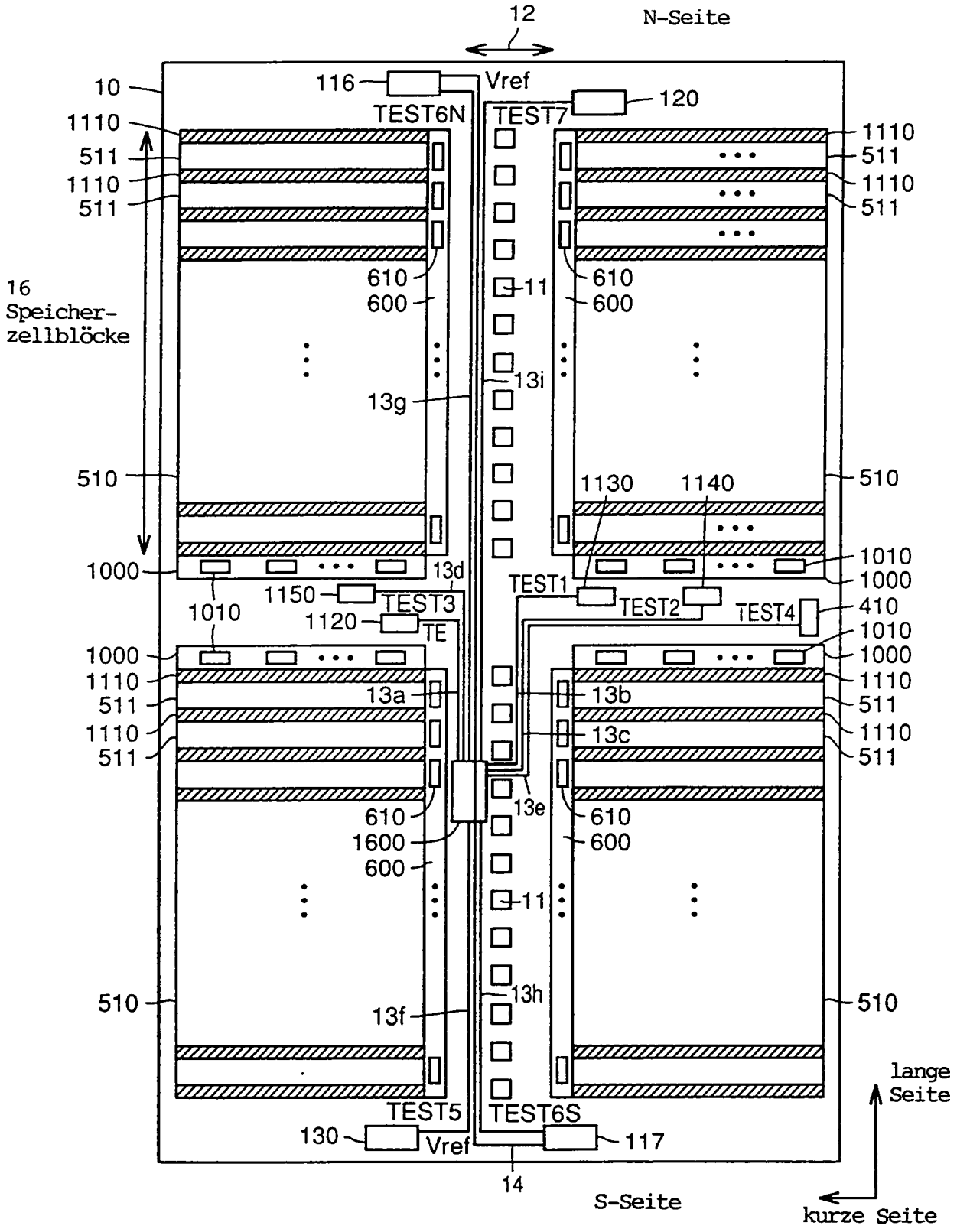

1623a
1623aa
1623ad
1623ac
1623ag
TDC
/TGA
/TGB
AK6
AKD0
1623ab
1623ae
1623af
1623b
1623ba
1623bf
AK2 · AK3
AKD6
1623bb
1623bg
/AK2 · AK3
AKD4
1623bc
1623bh
AK4 · /AK5
AKD7
1623bd
1623bi
AK2 · /AK3
AKD3
1623be
1623bj
/AK4 · AK5
AKD5
1623c
1623ca
1623cc
AK2 · AK3
AK2 · /AK3
AKD1
1623cb
1623cd
AK2 · AK3
/AK2 · AK3
AKD2
1623

FIG.16


1624a
1624b
AKD0
TE
1624c
1624d
AKD1
TEST1
1624e
1624f
AKD2
TEST2
1624g
1624h
AKD3
TEST3
1624i
1624j
AKD4
TEST4
1624k
1624m
AKD5
TEST5
1624n
1624p
AKD6
TEST6N
1624q
TEST6S
1624r
1624s
AKD7
TEST7

1624

FIG.17


12
N-Seite
10
116
Vref
120
TEST6N
TEST7
1110
511
1110
511
610
600
11
13i
13g
16
Speicher-
zellblöcke
510
1130
1140
1000
1010
13d
1150
TEST3
TEST1
TEST2
TEST4
410
1120
TE
13a
13b
13c
13e
1600
13h
13f
TEST5
TEST6S
130
Vref
117
14
S-Seite
lange
Seite
kurze Seite

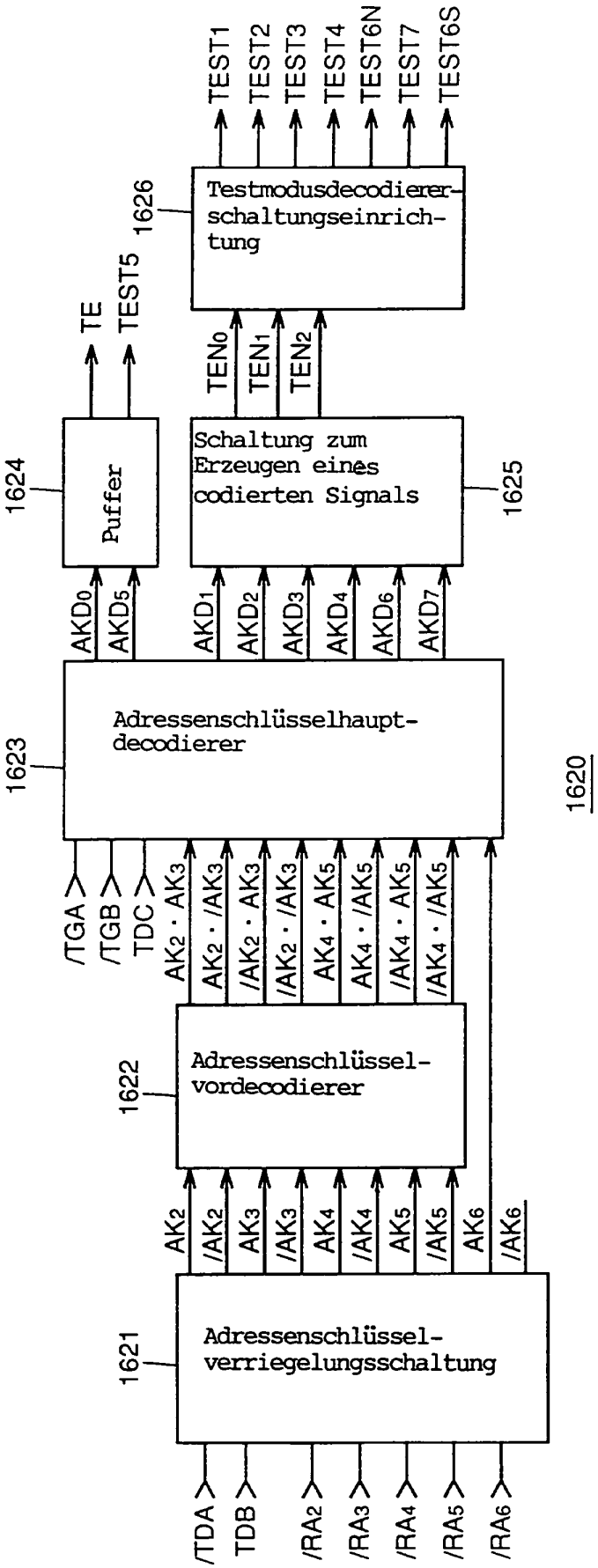

TEST1
TEST2
TEST3
TEST4
TEST6N
TEST7
TEST6S
1626
Testmodusdecodierer-schaltungseinrich-tung
TE
TEST5
TEN0
TEN1
TEN2
1624
Puffer
Schaltung zum Erzeugen eines codierten Signals
1625
AKD0
AKD5
AKD1
AKD2
AKD3
AKD4
AKD6
AKD7
1623
Adressenschlüsselhaupt-decodierer
1620
/TGA
/TGB
TDC
AK2 · AK3
AK2 · /AK3
/AK2 · AK3
/AK2 · /AK3
AK4 · AK5
AK4 · /AK5
/AK4 · AK5
/AK4 · /AK5
1622
Adressenschlüssel-vordecodierer
AK2
/AK2
AK3
/AK3
AK4
/AK4
AK5
/AK5
AK6
/AK6
1621
Adressenschlüssel-verriegelungsschaltung
/TDA
TDB
/RA2
/RA3
/RA4
/RA5
/RA6

FIG.19

FIG.20

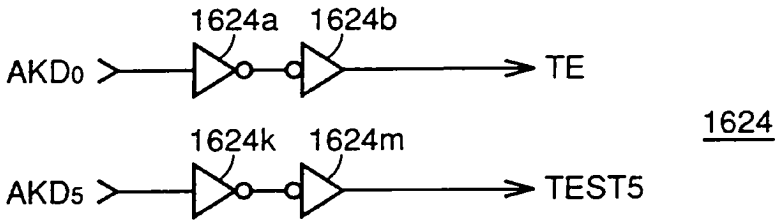

1624a
1624b
AKD0
TE
1624
1624k
1624m
AKD5
TEST5

FIG.21

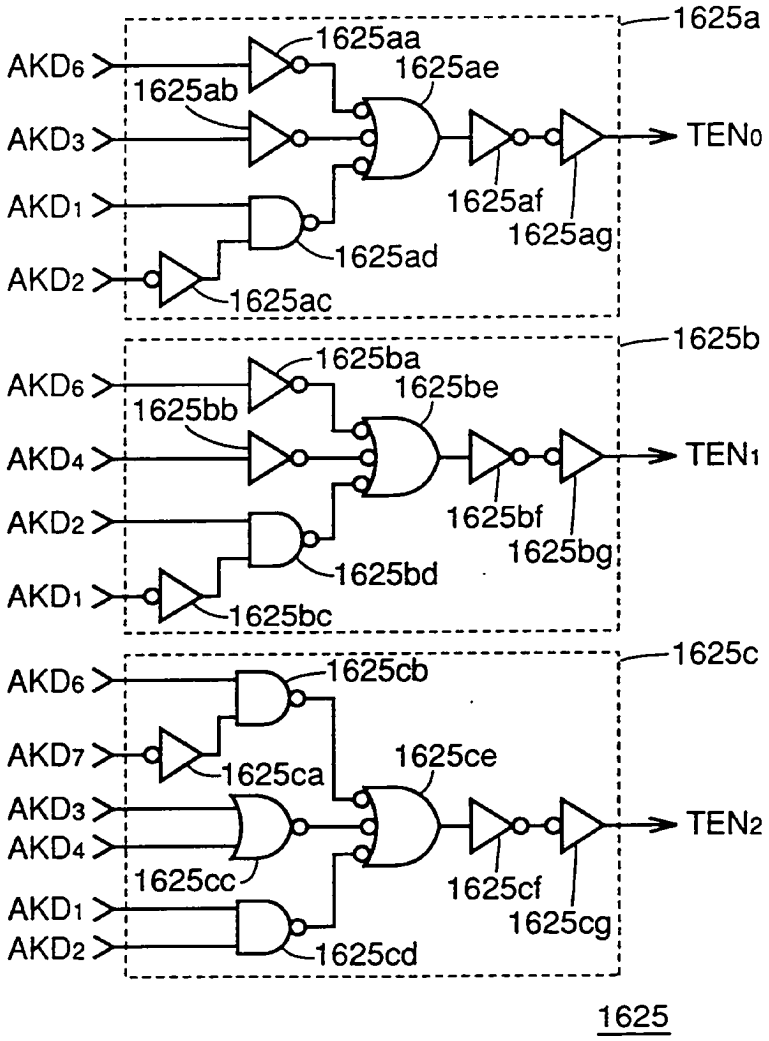

1625a
1625aa
AKD6
1625ab
1625ae
AKD3
TEN0
AKD1
1625af
1625ag
1625ad
AKD2
1625ac
1625b
1625ba
AKD6
1625bb
1625be
AKD4
TEN1
AKD2
1625bf
1625bg
1625bd
AKD1
1625bc
1625c
AKD6
1625cb
AKD7
1625ca
1625ce
AKD3
TEN2
AKD4
1625cc
1625cf
1625cg
AKD1
AKD2
1625cd
1625

FIG.22

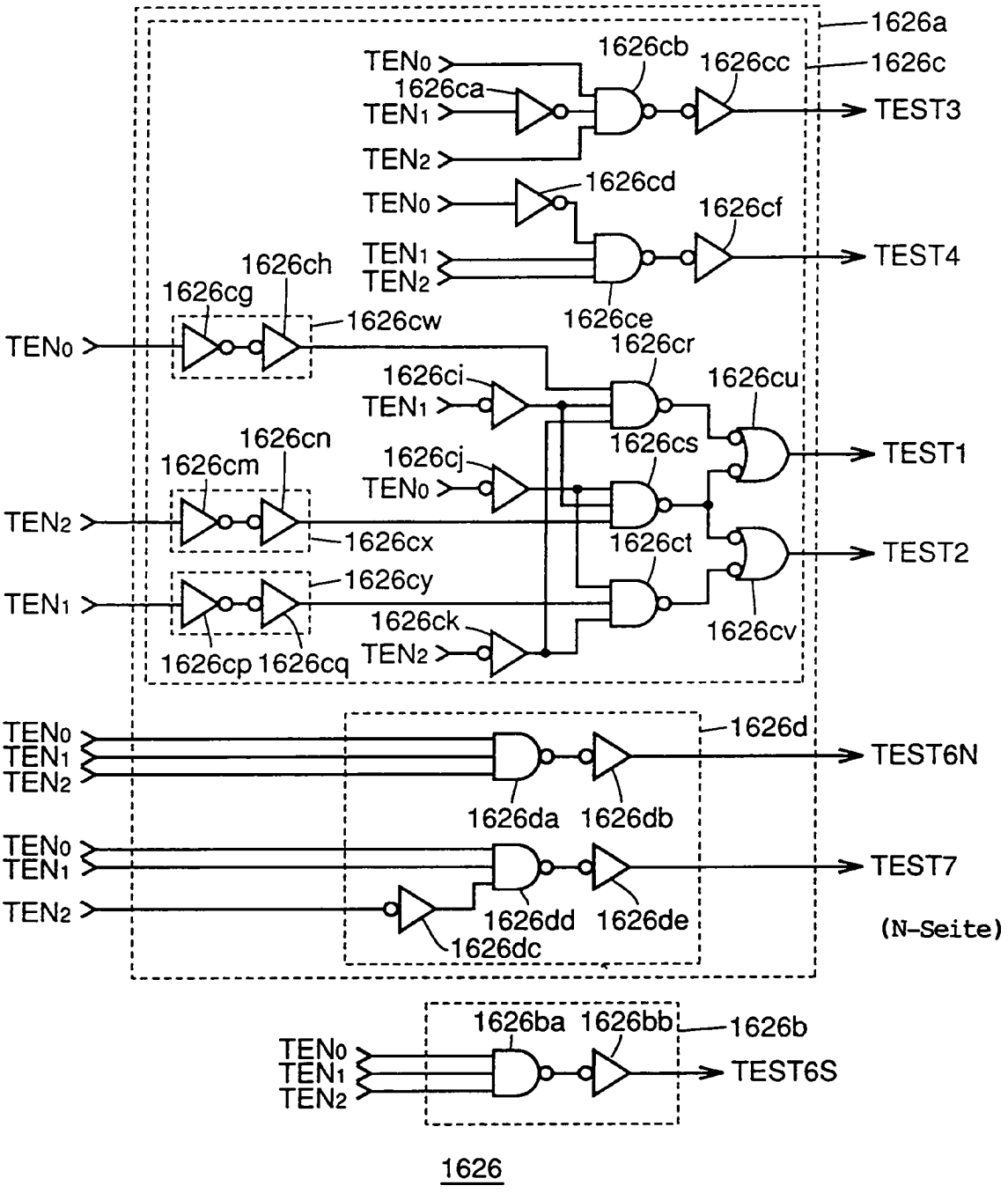

1626a
1626c
1626cb
1626cc
TEN0
1626ca
TEN1
TEN2
TEST3
1626cd
TEN0
1626cf
TEN1
TEN2
TEST4
1626ch
1626cg
1626cw
1626ce
TEN0
1626cr
1626ci
TEN1
1626cu
1626cs
TEST1
1626cn
1626cm
1626cj
TEN0
TEN2
1626cx
1626ct
TEST2
1626cy
TEN1
1626ck
TEN2
1626cv
1626cp
1626cq
TEN0
TEN1
TEN2
1626d
TEST6N
1626da
1626db
TEN0
TEN1
TEST7
TEN2
1626dd
1626de
(N-Seite)
1626dc
1626ba
1626bb
1626b
TEN0
TEN1
TEN2
TEST6S
1626

FIG.23

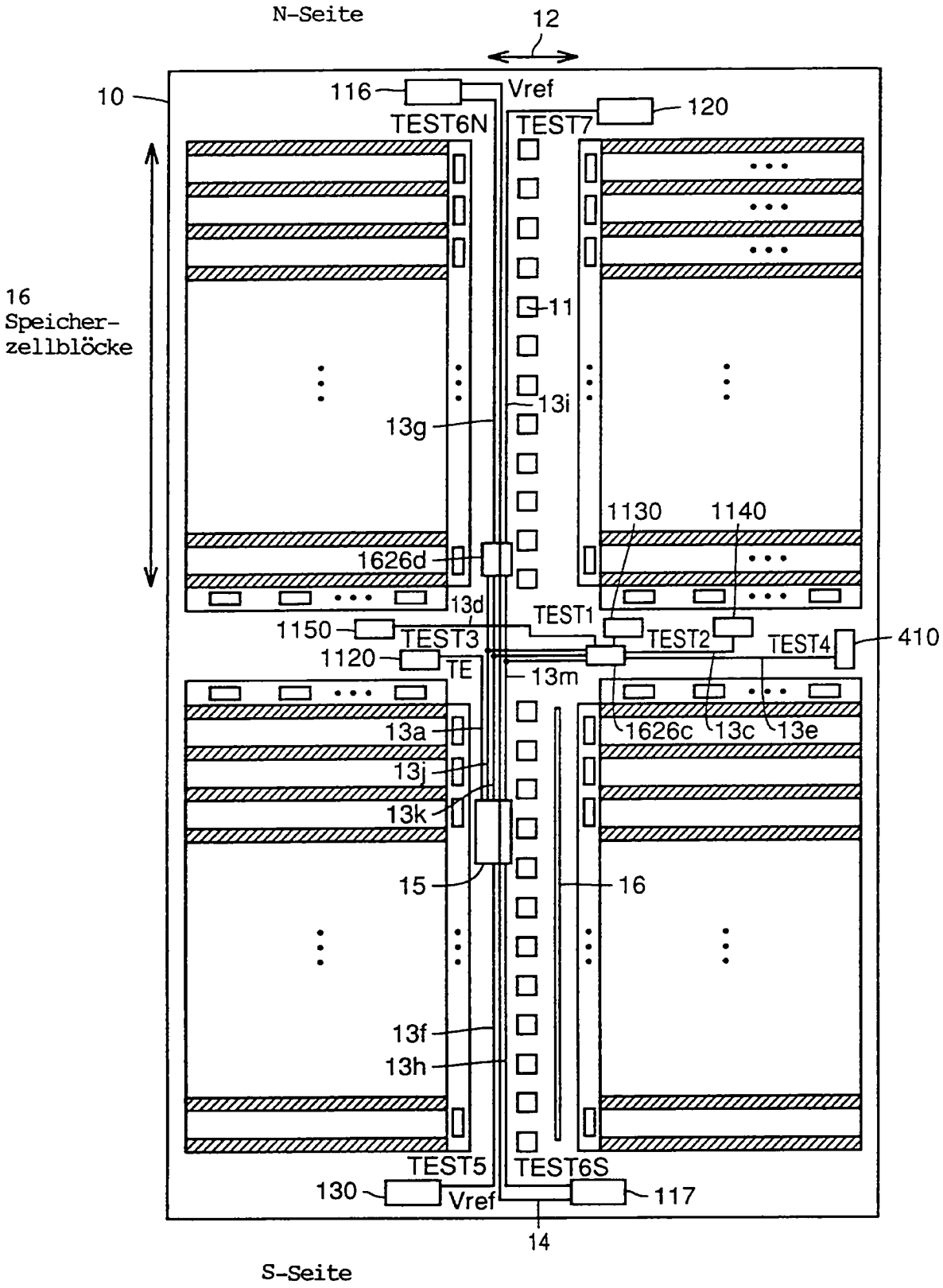

N-Seite
12
10
116
Vref
120
TEST6N
TEST7
16
Speicher-
zellblöcke
11
13i
13g
1130
1140
1626d
13d
TEST1
1150
TEST3
TEST2
TEST4
410
1120
TE
13m
13a
1626c
13c
13e
13j
13k
15
16
13f
13h
TEST5
TEST6S
130
Vref
117
14
S-Seite

FIG.24

AKD_1	AKD_2	AKD_3	AKD_4	AKD_6	AKD_7	TEN_0	TEN_1	TEN_2	Testmodus
L	L	L	L	L	L	L	L	L	——
H	H	L	L	L	L	L	L	H	TEST1,TEST2
L	H	L	L	L	L	L	H	L	TEST2
L	L	L	H	L	L	L	H	H	TEST4
H	L	L	L	L	L	H	L	L	TEST1
L	L	H	L	L	L	H	L	H	TEST3
L	L	L	L	L	H	H	H	L	TEST7
L	L	L	L	H	L	H	H	H	TEST6N,TEST6S

FIG.25

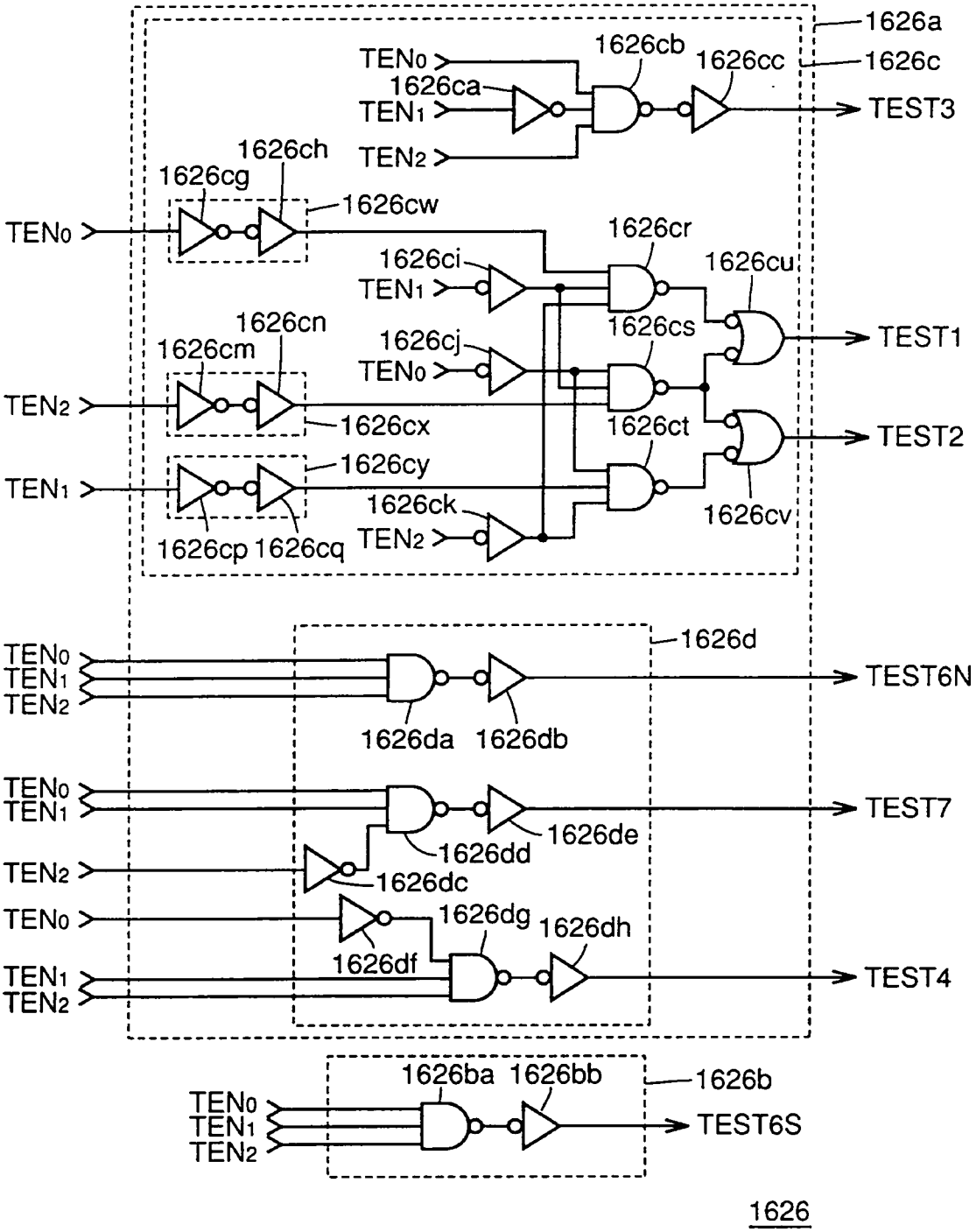

1626a
1626b
1626c
1626d
1626
TEN0
TEN1
TEN2
1626ca
1626cb
1626cc
TEST3
1626ch
1626cg
1626cw
1626ci
1626cr
1626cu
1626cs
TEST1
1626cn
1626cm
1626cx
1626cj
1626ct
TEST2
1626cy
1626ck
1626cv
1626cp
1626cq
1626da
1626db
TEST6N
1626de
1626dd
TEST7
1626dc
1626dg
1626dh
1626df
TEST4
1626ba
1626bb
TEST6S

FIG.26

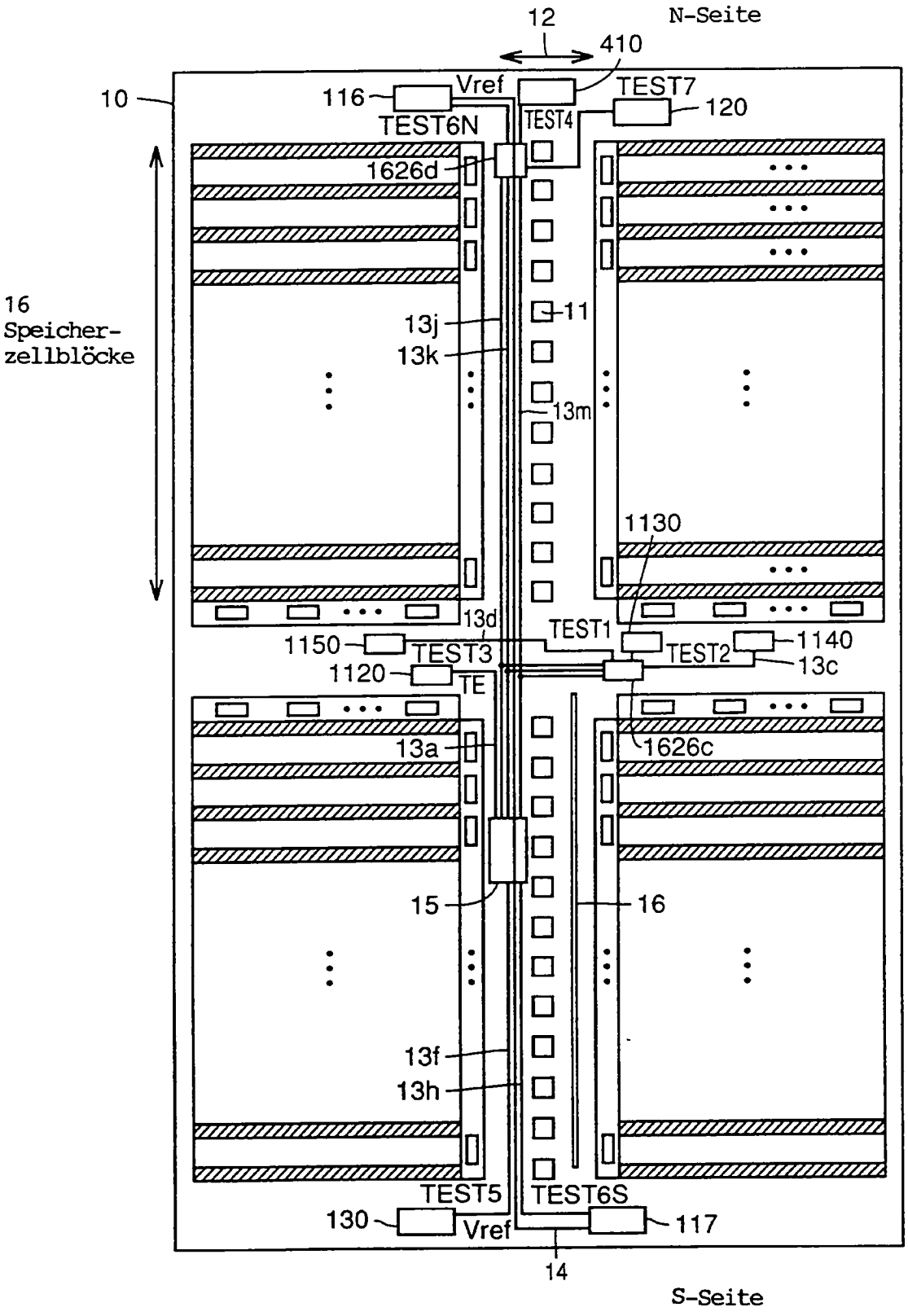

12
N-Seite
410
10
116
Vref
TEST7
120
TEST6N
TEST4
1626d
16
Speicher-
zellblöcke
13j
11
13k
13m
1130
13d
TEST1
1150
TEST3
TEST2
1140
1120
TE
13c
13a
1626c
15
16
13f
13h
TEST5
TEST6S
130
Vref
117
14
S-Seite

FIG.27

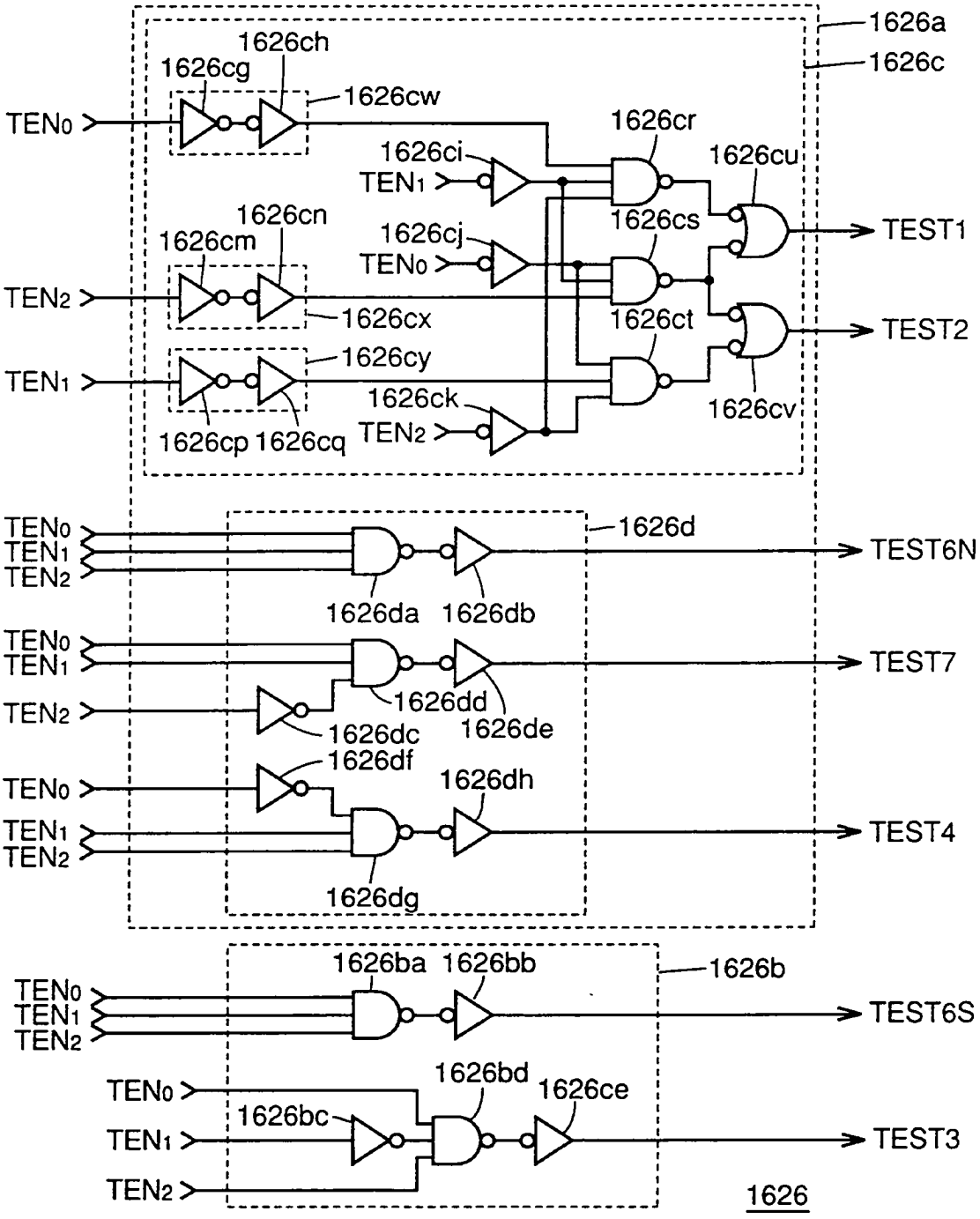

1626a
1626c
1626ch
1626cg
1626cw
TEN0
1626cr
1626ci
1626cu
TEN1
1626cs
TEST1
1626cn
1626cm
1626cj
TEN0
TEN2
1626cx
1626ct
TEST2
1626cy
TEN1
1626ck
1626cv
TEN2
1626cp
1626cq
1626d
TEN0
TEN1
TEN2
TEST6N
1626da
1626db
TEN0
TEN1
TEST7
TEN2
1626dd
1626dc
1626de
1626df
TEN0
1626dh
TEN1
TEST4
TEN2
1626dg
1626ba
1626bb
1626b
TEN0
TEN1
TEN2
TEST6S
1626bd
TEN0
1626ce
1626bc
TEN1
TEST3
TEN2
1626

FIG.28

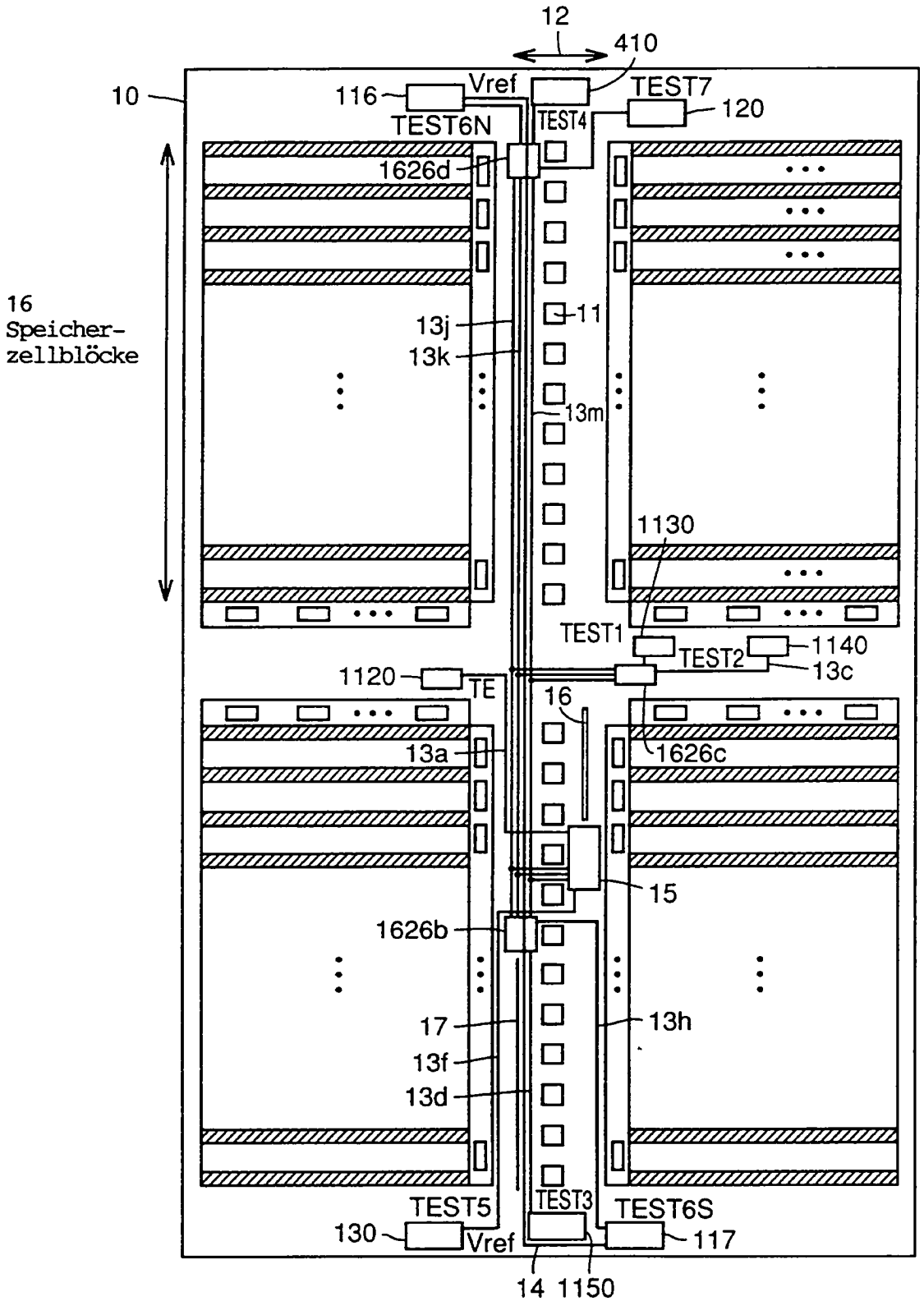

12
410
10
116
Vref
TEST7
120
TEST6N
TEST4
1626d
16
Speicher-
zellblöcke
13j
11
13k
13m
1130
TEST1
TEST2
1140
13c
1120
TE
16
13a
1626c
15
1626b
17
13h
13f
13d
TEST5
TEST3
TEST6S
130
Vref
117
14
1150

FIG.29

STAND DER TECHNIK

