

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月19日(19.12.2019)



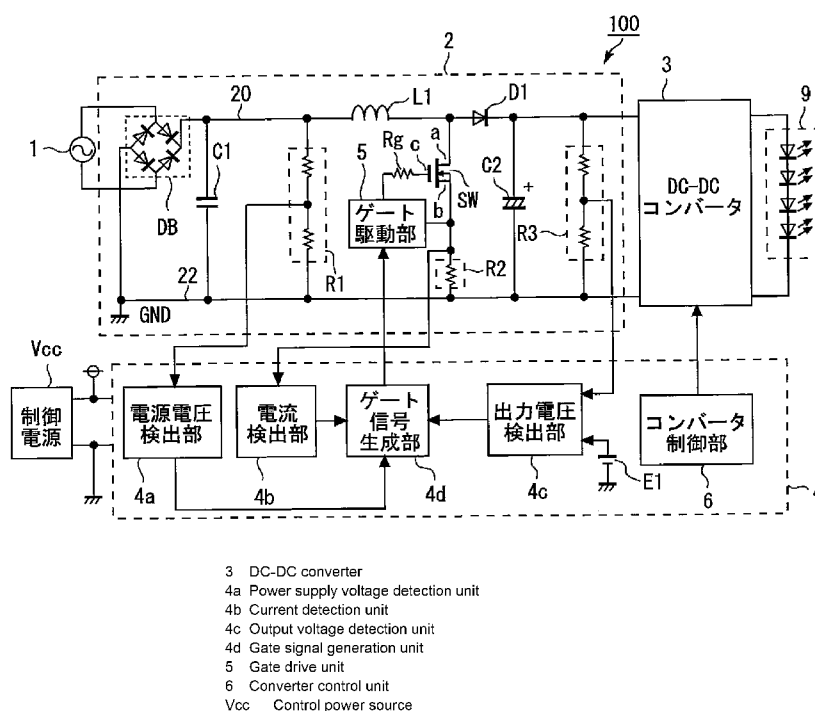
(10) 国際公開番号

WO 2019/239453 A1

- (51) 国際特許分類:
H05B 37/02 (2006.01) *H02M 7/12* (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2018/022195
- (22) 国際出願日: 2018年6月11日(11.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:伊藤 雄一郎(ITO, Yuichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番2号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: LIGHT SOURCE LIGHTING DEVICE AND ILLUMINATION APPARATUS

(54) 発明の名称: 光源点灯装置、照明器具



(57) Abstract: The present invention is provided with: a power factor improvement circuit having a rectification circuit that rectifies AC power and that has outputs connected to high and low voltage lines, an inductor that is provided on the high voltage line, a diode that has an anode connected to the inductor, a smoothing capacitor that connects the cathode of the diode to the low voltage line, first and second terminals that are connected to the high voltage line between the inductor and the diode, a switching element that has a control terminal for conducting or cutting off a current flowing

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

from the first terminal toward the second terminal, and a current detection resistor that connects the second terminal to the low voltage line; a control unit that controls the switching element; and a gate drive unit that receives a signal from the control unit, and drives the switching element by applying a voltage to the control terminal with the potential of the second terminal being set as a reference potential.

(57) 要約：交流電力を整流し出力が高圧線と低圧線に接続された整流回路と、該高圧線上に設けられたインダクタと、アノードが該インダクタに接続されたダイオードと、該ダイオードのカソードと該低圧線を接続する平滑コンデンサと、該インダクタと該ダイオードの間の該高圧線に接続された第1端子、第2端子、及び該第1端子から該第2端子の方向に流れる電流を導通または遮断する制御端子を有するスイッチング素子と、該第2端子と該低圧線を接続する電流検出抵抗と、を有する力率改善回路と、該スイッチング素子を制御する制御部と、該制御部からの信号を受け、該第2端子の電位を基準電位として該制御端子に電圧を印加して該スイッチング素子を駆動するゲート駆動部と、を備える。

明 細 書

発明の名称：光源点灯装置、照明器具

技術分野

[0001] この発明は光源点灯装置と照明器具に関する。

背景技術

[0002] 例えば発光ダイオードなどの発光素子を点灯させるための各種の光源点灯装置が知られている。この種の光源点灯装置は、商用交流電源を整流及び平滑して直流電圧を生成するAC-DC変換回路と、得られた直流電圧から発光ダイオードに適した電流を供給するDC-DCコンバータを備える。多くの照明器具においては高力率が要求される。そのため、特許文献1に示すような、昇圧チョッパ形の力率改善回路がAC-DC変換回路として用いられている。

[0003] 昇圧チョッパ形の力率改善回路は、スイッチング素子がオンし、コイル電流、すなわちスイッチング素子の電流が予め定められた値に達するとそれを検出してスイッチング素子がオフし、その後チョークコイルの電流が低下しコイル電流がゼロまたは有限の値まで低下すると次のスイッチングを開始するものである。これにより各スイッチング周期における、コイル電流のピーク値が正弦波状となるようにスイッチング素子のオン時間を制御し、力率を改善する。

[0004] ところで、このような光源点灯装置には、従来、Si半導体を用いた例えばMOSFETなどのスイッチング素子が用いられてきたが、近年はGaN又はSiCなどのワイドバンドギャップ半導体を用いたスイッチング素子が注目されている。ワイドバンドギャップ半導体を用いたスイッチング素子により高速なスイッチング動作が可能となり、例えば高周波駆動を行うことで光源点灯装置の小型化が期待できる。

先行技術文献

特許文献

[0005] 特許文献1：日本特開2014-82924号公報

発明の概要

発明が解決しようとする課題

[0006] 力率改善回路では、コイル電流のピーク値を制御したり、コイル又はスイッチング素子に過大な電流が流れることを防止したりするため、スイッチング素子と直列に電流検出抵抗を設けることがある。電流検出抵抗よりスイッチング素子の電流を監視する。力率改善回路のスイッチング素子としてMOSFETを用いた場合、電流検出抵抗はMOSFETのソース端子と基準電位であるグラウンドとの間に接続される。

[0007] 力率改善回路のスイッチング素子を高速スイッチングさせる場合、スイッチオン時に力率改善回路の出力側に設けられたダイオードのリカバリ特性により過大な逆回復電流がスイッチング素子に流れ込むという問題がある。この逆回復電流は電流検出抵抗にも流れるため、逆回復電流に応じて電流検出抵抗の両端には電位差が発生する。スイッチング素子を高速スイッチングするためには、GaNなどのワイドバンドギャップ半導体を用いることができる。例えばSiなどの別の材料を用いたスイッチング素子でも高速スイッチングする場合がある。

[0008] この電流検出抵抗の両端に発生した電位差はスイッチング素子のオンオフを制御するゲート端子と基準電位間に印加しているゲート信号電圧に重畳するため、スイッチング素子のゲートーソース間に印加されるゲートーソース間電圧 V_{gs} が変動してしまう。さらに配線のインダクタンス成分又は浮遊容量成分によりゲートーソース間に振動電圧を誘発する可能性がある。例えばワイドバンドギャップ半導体としてGaNを用いたスイッチング素子の場合、スイッチング素子のオン状態又はオフ状態を決定するゲートの閾値電圧が低く、且つ耐電圧も低い。そのため、ゲートーソース間電圧 V_{gs} の変動又は振動電圧の発生などにより、スイッチング素子の誤点弧又は破壊といった現象が発生する可能性がある。また、制御回路の基準電位をMOSFETのソース端子として、電流検出抵抗を基準電位ー整流回路の低圧側間に接続

した場合、ダイオードの逆回復電流の影響は受けないが、電流検出抵抗に発生する検出電圧が負電圧となってしまうため、制御回路が複雑化する問題がある。

[0009] 本発明は上述の問題を解決するためになされたものであり、過電流検出を可能としつつ、スイッチング素子に対して良好なゲート駆動信号を与えることができる光源点灯装置と照明器具を提供することを目的とする。

課題を解決するための手段

[0010] 本願の発明にかかる光源点灯装置は、交流電力を整流し出力が高圧線と低圧線に接続された整流回路と、該高圧線上に設けられたインダクタと、アノードが該インダクタに接続されたダイオードと、該ダイオードのカソードと該低圧線を接続する平滑コンデンサと、該インダクタと該ダイオードの間の該高圧線に接続された第1端子、第2端子、及び該第1端子から該第2端子の方向に流れる電流を導通または遮断する制御端子を有するスイッチング素子と、該第2端子と該低圧線を接続する電流検出抵抗と、を有する力率改善回路と、該スイッチング素子を制御する制御部と、該制御部からの信号を受け、該第2端子の電位を基準電位として該制御端子に電圧を印加して該スイッチング素子を駆動するゲート駆動部と、を備えたことを特徴とする。

[0011] 本願の発明にかかる他の光源点灯装置は、交流電力を整流し出力が高圧線と低圧線に接続された整流回路と、該高圧線上に設けられたインダクタと、アノードが該インダクタに接続されたダイオードと、該ダイオードのカソードと該低圧線を接続する平滑コンデンサと、該インダクタと該ダイオードの間の該高圧線に接続された第1端子、該低圧線に接続された第2端子、及び該第1端子から該第2端子の方向に流れる電流を導通または遮断する制御端子を有するスイッチング素子と、を有する力率改善回路と、該スイッチング素子を制御する制御部と、該制御部からの信号を受け、該スイッチング素子を駆動するゲート駆動部と、該インダクタに磁気的に結合して設けられた過電流検出巻線と、を備え、該制御部は、該スイッチング素子の導通状態において、該インダクタを構成する巻線の巻数と該過電流検出巻線の巻き数との

巻数比から決まる該過電流検出巻線の想定発生電圧よりも、該過電流検出巻線に発生した発生電圧が低い場合、該スイッチング素子をオフすることを特徴とする。

[0012] 本発明のその他の特徴は以下に明らかにする。

発明の効果

[0013] この発明によれば、ソースと低圧線を電流検出抵抗で接続する場合はソースの電位を基準電位としてゲートに電圧を印加したり、そのような電流検出抵抗を省略してインダクタに磁氣的に過電流検出巻線を結合したりすることで、過電流検出を可能としつつ、スイッチング素子に対して良好なゲート駆動信号を与えることができる。

図面の簡単な説明

[0014] [図1]実施の形態1に係る照明器具の回路図である。

[図2]ゲート駆動部の回路例を示す図である。

[図3]ゲート駆動部の別の回路例を示す図である。

[図4]実施の形態2に係る照明器具の回路図である。

[図5]インダクタ電流の波形例を示す図である。

[図6]過電流判定部の回路例を示す図である。

[図7]過電流判定部の波形例を示す図である。

[図8]変形例に係る照明器具の回路図である。

[図9]実施の形態3に係る照明器具の断面図である。

発明を実施するための形態

[0015] 実施の形態に係る光源点灯装置と照明器具について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0016] 実施の形態1.

図1は、実施の形態1にかかる照明器具の回路図である。この照明器具は光源点灯装置100を含む。光源点灯装置100は交流電源1から電力の供給を受けて光源9を点灯させるものである。光源9は特に限定されないが例

例えばLED (Light Emitting Diode) である。光源点灯装置100は、力率改善回路2、DC-DCコンバータ3、制御部4、ゲート駆動部5及び制御電源Vccを備えている。力率改善回路2は整流回路DBを含んでいる。整流回路DBは交流電力を全波整流する。この全波整流電圧は、力率改善回路2の動作中は平滑されず、交流電源1の2倍の周波数を含むリップル電圧となる。整流回路DBは交流電力を整流し、その出力は高压線20と低压線22に接続されている。

[0017] 力率改善回路2は昇圧チョッパ型である。力率改善回路2は、フィルタコンデンサC1、インダクタL1、スイッチング素子SW、ダイオードD1、平滑コンデンサC2を備えている。インダクタL1は高压線20上に設けられている。スイッチング素子SWは、第1端子a、第2端子b及び制御端子cを備えている。第1端子aは、インダクタL1とダイオードD1の間の高压線20に接続されている。制御端子cは第1端子aから第2端子bの方向に流れる電流を導通または遮断するための端子である。第1端子a、第2端子b、制御端子cはそれぞれドレイン端子、ソース端子、ゲート端子とすることができる。

[0018] ダイオードD1のアノードはインダクタL1に接続されている。平滑コンデンサC2はダイオードD1のカソードと低压線22を接続している。力率改善回路2は、DC-DCコンバータ3を介して光源9に直流電流を供給するために、スイッチング素子SWとインダクタL1でエネルギーの充放電を行い、予め定められた直流電圧を出力する。

[0019] また、力率改善回路2は、電源電圧を検出する電源電圧検出抵抗R1、スイッチング素子SWに流れる電流を検出する電流検出抵抗R2及び出力電圧を検出する出力電圧検出抵抗R3を備えている。電流検出抵抗R2は第2端子bと低压線22を接続している。力率改善回路2の出力には、光源9に電流を供給するためのDC-DCコンバータ3が接続されている。

[0020] 力率改善回路2は制御部4の制御を受けて動作する。力率改善回路2は、整流回路DBが全波整流した電圧を昇圧して直流平滑する。さらに、力率改

善回路 2 は制御部 4 の制御により入力電流波形を正弦波状で且つ交流電源 1 の電圧と同位相となるように動作し、力率改善を行う。

[0021] 制御部 4 は、電源電圧検出部 4 a、電流検出部 4 b、出力電圧検出部 4 c 及びゲート信号生成部 4 d を備えている。制御部 4 の少なくとも一部をマイクロコンピュータで構成してもよい。制御部 4 は、力率改善回路 2 の力率を改善しつつ、平滑コンデンサ C 2 の電圧である出力電圧が予め設定された電圧値となるように、スイッチング素子 SW を制御する。また、制御部 4 は制御電源 V c c より駆動用の電力を得て動作する。制御電源 V c c は、例えば、整流回路 D B の直流出力をスイッチング電源等で制御部 4 に適した電圧に変換して得る。制御電源 V c c 及び制御部 4 は整流回路 D B の低圧側を基準電位として動作する。言い換えれば、制御電源 V c c 及び制御部 4 の基準電位は、低圧線 2 2 に設定されている。

[0022] 電源電圧検出部 4 a は電源電圧検出抵抗 R 1 により分圧した全波整流電圧を検出する。電源電圧検出部 4 a によって各電源電圧位相における電圧の瞬時値を検知することができる。電流検出部 4 b は、スイッチング素子 SW がオンの時に、インダクタ L 1 からスイッチング素子 SW にかけて流れる電流を電流検出抵抗 R 2 に発生する電圧によって検出するものである。出力電圧検出部 4 c は、力率改善回路 2 の出力電圧を出力電圧検出抵抗 R 3 によって分圧した電圧として検出するものである。出力電圧検出部 4 c では、目標出力電圧に相当する目標信号 E 1 と出力電圧の検出値を比較し、両者の差に応じた信号をゲート信号生成部 4 d に出力する。ゲート信号生成部 4 d は、電源電圧検出部 4 a、電流検出部 4 b 及び出力電圧検出部 4 c からそれぞれ入力された検出信号に基づいてスイッチング素子 SW を駆動するためのゲート信号を生成し、ゲート駆動部 5 に出力する。このゲート信号は例えば PWM (Pulse Width Modulation) 信号である。

[0023] ゲート駆動部 5 の出力は制御端子 c と第 2 端子 b に接続されている。ゲート駆動部 5 は、ゲート信号生成部 4 d から出力されたゲート信号の電圧をスイッチング素子 SW の駆動に適した電圧に増幅してスイッチング素子 SW の

ゲートソース端子間に出力する。例えば、ゲート信号生成部4 dから出力された5 Vのゲート信号が、ゲート駆動部5で10 Vに増幅される。スイッチング素子SWはゲート駆動部5から出力されたゲート駆動信号によりオンオフ動作を行う。なお、スイッチング素子SWの制御端子cにはゲート抵抗 R_g を接続してもよい。

[0024] DC-DCコンバータ3は、DC-DCコンバータ制御部6により駆動及び制御される。DC-DCコンバータ3は、光源9の電流が目標電流値となるように定電流フィードバック制御される。なお、DC-DCコンバータ3は、例えば降圧チョッパ回路又はフライバックコンバータなどの回路で構成することができる。

[0025] 次に、実施の形態1にかかる光源点灯装置100の動作を説明する。光源点灯装置100に交流電源1が印加されると、整流回路DBは入力された交流電圧を全波整流し、整流された電圧がフィルタコンデンサC1の両端に印加される。フィルタコンデンサC1は、スイッチングリップルを除去する目的で設けられたものであり、ここでは交流電源1の周波数成分を平滑するためのものではない。したがって、力率改善回路2の動作中は、フィルタコンデンサC1の両端電圧は、交流電源周波数の2倍周波数で正弦波状に脈動する全波整流電圧となる。

[0026] 定常動作状態における力率改善回路2の動作を説明する。まず、ゲート駆動部5から出力される信号により、スイッチング素子SWがオンしている状態とする。スイッチング素子SWがオンすると、全波整流電圧はインダクタL1に印加され、インダクタL1、スイッチング素子SW、電流検出抵抗R2の経路で電流が流れ、インダクタL1にエネルギーが蓄えられる。このとき、インダクタL1の電流は直線的に増加していく。

[0027] インダクタL1の電流増加に伴って、電流検出抵抗R2に発生する電流検出信号も増加する。そして、電流検出部4 bにて電流検出信号が予め定められた閾値電圧に達するとゲート信号生成部4 dはスイッチング素子SWをオフするゲート信号を出力する。これによりスイッチング素子SWはオフし、

インダクタL 1に蓄えられたエネルギーが放出され、インダクタL 1、ダイオードD 1、平滑コンデンサC 2の順に電流が流れる。これにより、平滑コンデンサC 2を充電する。このとき、インダクタL 1の電流は直線的に減少していく。このようにエネルギーを伝達し、DC-DCコンバータ3は平滑コンデンサC 2に充電された電圧を入力として、光源9に電流を供給する。

[0028] スイッチング素子SWがオフして予め定められた時間が経過すると、ゲート信号生成部4 dは再びスイッチング素子SWをオンするゲート信号を出力し、ゲート駆動部5はスイッチング素子SWをオンする。なお、インダクタL 1の電流が減少し、ゼロに到達する前にスイッチング素子SWがオンする動作モードを電流連続モード、インダクタL 1の電流がゼロに到達すると同時にスイッチング素子SWがオンする動作モードを電流臨界モード、インダクタL 1の電流がゼロに到達後予め定められた電流ゼロ期間を経てスイッチング素子SWがオンする動作モードを電流不連続モードという。本実施の形態においては、これらの何れか1つの動作モードでスイッチング素子SWを動作させることができる。

[0029] ゲート信号生成部4 dは出力電圧検出抵抗R 3及び出力電圧検出部4 cで検出した出力電圧信号に基づいてスイッチング素子SWのオン時間を制御することで出力電圧を目標電圧に制御する。さらに、各スイッチングにおけるインダクタL 1の電流ピーク値の包絡線を電源電圧と同位相の正弦波状とするため、電源電圧検出部4 aにより検出した電源電圧信号に比例するように電流検出部4 bの閾値電圧を決定し、各スイッチングにおけるスイッチング素子SWのオフタイミングを決定する。これにより出力電圧を所望の電圧値に保ちながら、インダクタ電流ピーク値の包絡線が正弦波状の波形となるようにする。そして、フィルタコンデンサC 1によりインダクタ電流のスイッチングリップを取り除き平均化することで、入力電流を正弦波状に近づける。なお、必要に応じて整流回路DBの交流入力側にノイズ抑制のためフィルタ回路を追加してもよい。また、電流検出抵抗R 2は、上述したスイッチング素子SWをオフするタイミングの決定に用いることに加えて、何らかの異

常時にスイッチング素子SWに過大な電流が流れスイッチング素子SWが破壊することを防止する過電流保護機能を兼ねても良い。

[0030] ここで、力率改善回路2が動作中において、スイッチング素子SWがオンするタイミングにおける回路動作について、電流連続モードを例として説明する。まず、スイッチング素子SWがオフ状態とすると、インダクタL1、ダイオードD1、平滑コンデンサC2の経路で電流が流れ、ダイオードD1には順方向電圧が印加されている状態となる。

[0031] 次に、予め定められた時間が経過すると、ゲート信号生成部4dはスイッチング素子SWをオンするゲート信号を出力し、ゲート駆動部5によりスイッチング素子SWがオンする。予め定められた時間は、例えば、予め設定しておいた駆動周波数などによって決まる。スイッチング素子SWがオンした瞬間にダイオードD1のアノード側と平滑コンデンサC2の低圧側がスイッチング素子SWと電流検出抵抗R2を介して導通状態となるため、ダイオードD1には平滑コンデンサC2の電圧が逆方向電圧として印加することとなる。

[0032] この時、ダイオードD1のリカバリ特性により、ダイオードD1は蓄積キャリアの影響で一時的に逆方向に通電が可能な状態となる。そのため、平滑コンデンサC2、ダイオードD1、スイッチング素子SW、電流検出抵抗R2の経路で逆回復電流が流れる。例えばGaN等のワイドバンドギャップ半導体を用いたスイッチング素子SWにおいてはスイッチング速度が非常に高速であり、且つ電流検出抵抗R2は損失低減のため一般的に低抵抗である。そのため上述の逆回復電流は、スイッチング素子SWがオンした瞬間はほぼ平滑コンデンサC2の短絡電流となり、ピーク値の大きな電流となる。この逆回復電流が電流検出抵抗R2に流れると、電流検出抵抗R2の両端には電流値に応じた電圧降下が発生する。すなわち、逆回復電流のピーク値を I_p 、電流検出抵抗R2の抵抗値を R_2 とすると、 $I_p \times R_2$ の電圧が電流検出抵抗R2の両端に発生する。

[0033] ここで、仮に、ゲート駆動部5の出力がスイッチング素子SWのゲート端

子と整流回路DBの直流出力の低圧側の電位であるGNDに接続されているとする。すると、スイッチング素子SWをオンするゲート駆動信号として、GNDを基準としたゲート駆動電圧 V_g がゲート端子に印加される。そして、ゲート端子とGND間にゲート駆動電圧が印加されたタイミングで電流検出抵抗 R_2 にダイオードD1の逆回復電流が流れると、ゲート駆動電圧 V_g に電流検出抵抗 R_2 の両端電圧 $I_p \times R_2$ が重畳するため、スイッチング素子SWのゲート端子とソース端子の間に印加されるゲート-ソース間電圧 V_{gs} は $V_g - I_p \times R_2$ となり、瞬間的に低下する。つまり、ゲート端子に印加される電圧が $I_p \times R_2$ だけ低下する。

[0034] さらに、逆回復電流がゼロになった後も、逆回復電流が流れた電流経路に存在する寄生インダクタンスと浮遊容量の影響による振動電流が電流検出抵抗 R_2 に流れる。この振動電流は電圧変換されて、ゲート駆動電圧 V_g に重畳する。これにより、スイッチング素子SWがオンするタイミングにおいて、ゲート-ソース間電圧 V_{gs} に過大な振動が発生する可能性がある。

[0035] 例えば、ワイドバンドギャップ半導体としてGaNを用いたスイッチング素子は従来のシリコン半導体を用いたMOSFETと比較すると、ゲート閾値電圧が低く、且つゲート-ソース間に印加できる最大定格電圧も低いという特性がある。したがって、逆回復電流又は振動電流の影響により発生する振動電圧で、スイッチング素子の誤点弧又は破壊を引き起こす可能性がある。

[0036] 図2は、実施の形態1に係るゲート駆動部5の回路例を示すである。ゲート駆動部5はトータムポール形に接続されたトランジスタ T_{r1} 、 T_{r2} と、トランジスタ T_{r3} を有している。トランジスタ T_{r3} には、ゲート信号生成部4dからのゲート信号が入力される。そして、ゲート駆動部5は、ゲート駆動信号を生成するためのゲート駆動用電源 V_b を生成するダイオード D_b とコンデンサ C_b を備える。コンデンサ C_b は一端がダイオード D_b のカソード側に接続され、他端はスイッチング素子SWの第2端子bと電流検出抵抗 R_2 の接続点に接続される。ダイオード D_b のアノード側は制御部4

の動作用の電源を供給する制御電源 V_{cc} に接続される。そのため、コンデンサ C_b は一端が制御電源 V_{cc} に接続され他端が第2端子 b に接続されたということが出来る。制御電源 V_{cc} 及び制御部4は整流回路 DB の直流出力の低圧側を基準電位としている。したがって、ゲート信号生成部4dは整流回路 DB の直流出力の低圧側を基準電位として、ゲート駆動部5にゲート信号を印加する。

[0037] ゲート駆動用電源 V_b は、制御電源 V_{cc} よりダイオード D_b 、コンデンサ C_b 、電流検出抵抗 R_2 の経路でコンデンサ C_b を充電することで生成する。力率改善回路2が駆動中、コンデンサ C_b は制御電源 V_{cc} とほぼ同じ電圧まで充電された状態となる。ダイオード D_b は、コンデンサ C_b と電流検出抵抗 R_2 に発生する電圧の合計が制御電源 V_{cc} の電圧を超えた場合に、コンデンサ C_b から制御電源 V_{cc} への放電を防止するものである。ゲート信号生成部4dから例えば0VのLOW信号が入力されると、トランジスタ Tr_3 はオフ状態となり、これによりトランジスタ Tr_1 がオンする。すると、コンデンサ C_b 、トランジスタ Tr_1 、ゲート抵抗 R_g 、制御端子 c 、第2端子 b 、コンデンサ C_b の経路でスイッチング素子 SW に駆動信号が印加され、スイッチング素子 SW はオンする。

[0038] ゲート信号生成部4dから例えば5VのHIGH信号が入力されると、トランジスタ Tr_3 はオン状態となり、これによりトランジスタ Tr_2 がオンする。これにより制御端子 c 、ゲート抵抗 R_g 、トランジスタ Tr_2 、第2端子 b の経路でスイッチング素子 SW のゲートソース間がゲート抵抗 R_g を介してトランジスタ Tr_2 により短絡されて、スイッチング素子 SW はオフする。

[0039] このように、電流検出抵抗 R_2 と第2端子 b の接続点にコンデンサ C_b の低圧側を接続し、スイッチング素子 SW のゲート駆動用電源 V_b の基準電位としたので、ゲートドレイン端子間に印加される電圧は、コンデンサ C_b の充電電圧のみとなる。このコンデンサ C_b から制御端子 c に駆動信号を印加する。したがって、電流検出抵抗 R_2 に発生する電圧に依存せず、スウィ

チング素子SWのゲートドレイン端子間に安定したゲート駆動電圧を印加することができる。実施の形態1に係るゲート駆動部5は、制御部4からの信号を受け、第2端子bの電位を基準電位として制御端子cに電圧を印加してスイッチング素子SWを駆動するということができる。この動作を可能とする図2とは異なる回路構成を採用してもよい。

[0040] また、制御部4の基準電位は従来通り、整流回路DBの低圧側としているので、電源電圧検出抵抗R1による電源電圧検出、電流検出抵抗R2による電流検出及び出力電圧検出抵抗R3による出力電圧検出は、基準電位に対して正電圧として容易に検出することができる。また、ゲート駆動用電源Vbも従来の制御電源Vccから生成できるため、ゲート駆動用に別途絶縁電源等を設ける必要はない。

[0041] ダイオードD1の逆回復電流のピーク電流値は小さい方が望ましい。ダイオードD1の逆回復電流のピーク電流値を抑制するため、ダイオードD1として、例えばSiファストリカバリダイオード又はSiCショットキーバリアダイオードなどを用いてもよい。また、ダイオードD1の逆回復電流が流れる経路に直列に小さなインダクタンス成分を追加して、逆回復電流のピーク電流値を抑制してもよい。

[0042] スwitchング素子SWのゲート端子へのゲート駆動電圧印加方法は図2の回路方式に限定するものではなく、他の方法でも良い。例えば、図3に示すように、トランスTpを用いて駆動する方法を採用することができる。図3に示すゲート駆動部5は、一次側で制御電源Vccから電力供給を受け、二次側で制御端子cと第2端子bに接続されて制御端子cに駆動信号を印加するトランスTpを備えている。トランスTpは一次巻線N1と二次巻線N2を備えている。トランスTpは例えばパルストランスである。本方式ではトランスTpの二次巻線N2の一端をスイッチング素子SWのゲート端子側に接続し、二次巻線N2の他端を電流検出抵抗R2と第2端子bとの接続点に接続した。これにより、ゲートソース端子間に印加される電圧はトランスTpの二次巻線N2に発生する電圧のみとなり、電流検出抵抗R2に発生す

る電圧に依存しない。したがってスイッチング素子SWのゲートドレイン端子間に安定したゲート駆動電圧を印加することができる。

[0043] このように、実施の形態1に係る光源点灯装置と照明器具によれば、力率改善回路2におけるスイッチング素子SWのゲート端子に印加する電圧の基準電位を、制御部4の基準電位ではなく、スイッチング素子SWのソース端子とした。これにより、電流検出抵抗R2にダイオードD1の逆回復電流が流れてもゲート信号に影響を与えず、スイッチング素子SWの誤点弧又は破壊といった現象を抑制することができる。

[0044] 実施の形態2.

図4は、実施の形態2にかかる光源点灯装置110の回路図である。実施の形態1と同一又は対応する構成及び動作については説明を省略する。実施の形態2に係る光源点灯装置110は、実施の形態1で説明した電流検出抵抗R2と電流検出部4bを使用せず、スイッチング素子SWの過電流保護動作を実現するものである。光源点灯装置110は、インダクタL1に磁気的に結合した過電流検出巻線L2と、制御部4に提供された過電流判定部4eを備える。スイッチング素子SWの第2端子bは低圧線22に接続されている。

[0045] 次に、光源点灯装置110の動作を、電流不連続モードを例に説明する。

図5は実施の形態2にかかる光源点灯装置110の力率改善動作を示す波形図である。スイッチング素子SWをオンすると、インダクタL1の電流は、全波整流電圧の瞬時値の電圧を $E[V]$ とすると、 E に比例し、インダクタL1のインダクタンスに反比例する。すなわち、インダクタL1の電流は $E/L1$ の傾きでオン時間に比例してほぼ直線的に増加していく。

[0046] 次に、予め定められたオン時間 $t(ON)$ が経過するとスイッチング素子SWはオフする。すると、インダクタL1の電流は、力率改善回路の出力電圧を $V_o[V]$ とすると、 $-(V_o - E)/L1$ の傾きで直線的に減少していく。そして、インダクタL1の電流がゼロに到達後、再びスイッチング素子SWがオンする動作を繰り返す。

[0047] そして、電源半周期間におけるスイッチング素子SWのオン時間 t (ON) をすべて同一時間に設定すれば、各スイッチングにおけるインダクタL1電流のピーク値は全波整流電圧の瞬時値の電圧Eに比例するため、インダクタL1電流の包絡線は正弦波状となる。よって、フィルタコンデンサC1によりインダクタL1電流のスイッチングリップルを取り除き平均化することで、交流電源1から流れ込む入力電流を正弦波状に近づけるとともに交流電源電圧とほぼ同位相にすることができる。よって、力率改善及び高調波低減ができる。これより、コイル電流を検出するための電流検出抵抗をスイッチング素子SWのソース端子に設ける必要がない。

[0048] しかしながら、何らかの理由により、スイッチング素子SWに過大な電流が流れた場合スイッチング素子SWが破壊する可能性があるため、電流検出抵抗が設けられていない場合でも、過電流を検知してスイッチング素子SWをオフする必要がある。そこで、本実施の形態では、インダクタL1に磁氣的に結合した過電流検出巻線L2と、制御部4に過電流判定部4eを設けた。スイッチング素子SWに過大な電流が流れた場合、過電流検出巻線L2と過電流判定部4eによってこれを検出してスイッチング素子SWをオフする。これによりスイッチング素子SWの破壊が防止される。

[0049] 図6は、過電流判定部4eの構成例を示す図である。過電流判定部4eは、例えばダイオードD2、コンデンサC3及び抵抗R4を備えた電圧保持回路と、コンパレータCompとを有する。この電圧保持回路はスイッチング素子SWがオンの時に過電流検出巻線L2に発生する電圧を保持するものである。電圧保持回路で保持された電圧はコンパレータCompのマイナス入力端子に入力される。コンパレータCompのプラス入力端子には、電源電圧検出部4aより全波整流電圧の瞬時値に比例した電圧が入力される。コンパレータCompの出力信号はゲート信号生成部4dに入力される。ゲート信号生成部4dの出力が制御部からの信号としてゲート駆動部5に提供され、その信号に従ってゲート駆動部5がスイッチング素子SWを駆動する。

[0050] 次に、過電流保護動作について説明する。正常動作時は、スイッチング素

子SWがオンすると、インダクタL1には整流回路DBで整流された全波整流電圧が印加される。そして、過電流検出巻線L2には、トランスの原理により、インダクタL1に印加された電圧と、インダクタL1の巻数と過電流検出巻線L2の巻数の巻数比で決まる電圧が発生する。過電流検出巻線L2に発生した電圧はダイオードD2を介してコンデンサC3に充電されて、保持される。コンデンサC3により保持された電圧は、コンパレータCompのマイナス入力端子に入力される。

[0051] 一方、コンパレータCompのプラス入力端子には、全波整流電圧に比例した電圧が電源電圧検出部4aより入力される。正常動作時は、コンパレータCompのプラス入力端子に、過電流検出巻線L2に発生する電圧よりも低い電圧が入力されるものとする。プラス入力端子とマイナス入力端子の電圧がコンパレータCompで比較されるが、ここでは、過電流検出巻線L2に発生する電圧の方が高いため、コンパレータCompは例えば0VのLOW信号を出力する。コンパレータCompよりLOW信号を受け取ったゲート信号生成部4dはLOW信号を正常信号と判断し、引き続きスイッチング動作を継続させる。

[0052] なお、スイッチング素子SWがオフした場合は、インダクタL1に蓄えられたエネルギーが放出される動作となるため、スイッチング素子SWがオンの時とは逆方向の電圧がインダクタL1に発生する。それに伴い、過電流検出巻線L2に発生する電圧も極性が反転する。そこで、ダイオードD2の整流動作により、コンパレータCompのマイナス入力端子に逆電圧が印加されることを阻止し、スイッチング素子SWがオフの時も引き続きコンデンサC3に充電されるようにした。こうして、スイッチング素子SWがオフ時に過電流検出巻線L2に発生した電圧をコンパレータCompのマイナス入力端子に入力する。

[0053] 図6における抵抗R4は、コンデンサC3の電圧を適当な時定数で放電するためのものである。これは、スイッチング素子SWがオン時に、過電流検出巻線L2に発生する電圧が全波整流電圧に比例するため、例えば全波整流

電圧が低くなるゼロクロス付近のときに、高い電圧が保持されないようにするためのものである。すなわち、コンデンサC 3の電圧が、スイッチング素子SWがオフ時は電圧を保持しつつ、全波整流電圧の各位相における瞬時値に追従するように抵抗R 4の抵抗値を設定する。

[0054] 次に、異常動作時の動作について説明する。何らかの理由により、スイッチング素子SWに過電流が流れた場合を想定する。スイッチング素子SWがオンしている時は、インダクタL 1とスイッチング素子SWが直列接続となっているため、電源より供給された過電流はインダクタL 1にも同時に流れている状態となる。過電流状態においては、インダクタL 1の磁路を形成している磁性体の磁束密度は飽和状態に至っているものとする。

[0055] インダクタL 1の巻線と過電流検出巻線L 2は磁氣的に結合していることからトランスを形成している。しかし、インダクタL 1に流れる電流により磁路を形成する磁性体が飽和状態にある場合、それ以上磁束が増えないため、インダクタL 1に流れる電流が変化しても磁束の変化が生じない。したがって、過電流状態においては、過電流検出巻線L 2には電圧が誘起されないか、磁気飽和に近い状態では過電流検出巻線L 2に誘起される電圧が低下する。

[0056] そこで、スイッチング素子SWがオン時に発生する過電流検出巻線L 2の電圧が、電源電圧検出部4 aよりコンパレータCompに入力される電圧よりも低くなると、コンパレータCompは例えば5 VのHIGH信号を出力する。HIGH信号を受けたゲート信号生成部4 dは過電流状態と判断し、直ちにスイッチング素子SWをオフし、スイッチング素子SWを保護する。

[0057] 図7は、電源電圧波形と、コンパレータCompのマイナス入力端子の電圧波形と、コンパレータCompのプラス入力端子の電圧波形を示す図である。マイナス入力端子の電圧Comp-が、プラス入力端子の電圧Comp+を上回っている場合、コンパレータCompの出力はLOW状態となる。他方、コンパレータCompのマイナス入力端子の電圧Comp-が、インダクタL 1の磁気飽和により、プラス入力端子の電圧Comp+を下回ると

過電流状態と判断してコンパレータC o m pの出力はH I G H状態となる。よって、スイッチング素子S Wのスイッチング動作が停止する。図7では、時刻t xからマイナス入力端子の電圧C o m p -が低下し、時刻t yにおいてマイナス入力端子の電圧C o m p -が電圧C o m p +を下回ったことが図示されている。

[0058] コンパレータC o m pのプラス入力端子には、全波整流電圧に比例した電圧が電源電圧検出部4 aより入力される。これにより、電源電圧位相に応じて過電流状態と判定する閾値電圧を変動させ、何れの電源電圧位相においても正確に過電流状態を判別することができる。また、コンパレータC o m pのマイナス入力端子の電圧と、プラス入力端子の電圧の差を、各位相において、それぞれ小さく設定することができる。これは、インダクタL 1が完全に磁気飽和状態に至る前の若干電圧が下がった状態での迅速な異常電流検知を可能とする。すなわち、スイッチング素子S Wに流れる過電流を最小限に留めることができ、スイッチング素子S Wのダメージを軽減できる。

[0059] 実施の形態2に係る制御部4は、スイッチング素子S Wの導通状態において、インダクタL 1を構成する巻線の巻数と過電流検出巻線L 2の巻数との巻数比から決まる過電流検出巻線L 2の想定発生電圧よりも、過電流検出巻線L 2に発生した発生電圧が低い場合、スイッチング素子S Wをオフする。

「想定発生電圧」の例が電源電圧検出部4 aの出力電圧又はその出力電圧より若干高い電圧である。上述の例では、整流回路D Bの出力電圧を検出する電源電圧検出部4 aで検出された電圧が想定発生電圧として機能する。「発生電圧」を提供する回路例は、前述のダイオードD 2、コンデンサC 3及び抵抗R 4を有する電圧保持回路である。電源電圧検出部4 aは整流回路D Bの出力電圧をレベルシフトして想定発生電圧とすることで、図7に示すように過電流が発生していないときの発生電圧を僅かに下回る想定発生電圧を設定することができる。また、図6の過電流判定部4 eは動作原理を説明するために示した簡略的な回路構成であり、この構成に限定されるものではなく、他の構成でも構わない。

[0060] ここではスイッチング素子SWの過電流保護動作について、力率改善回路2を電流不連続モードで動作させた場合について説明した。しかしながら、電流臨界モード又は電流連続モードを採用する場合でも、同様に過電流保護動作を行うことができる。図8は、電流臨界モードを可能とする光源点灯装置の構成例を示す図である。図8の回路は、図4の回路に、インダクタL1に磁氣的に結合して設けられたゼロ電流検出巻線L3を付加したものである。制御部4は、ゼロ電流検出巻線L3で生じた電圧に基づいて電流臨界モードでスイッチング素子SWを制御することができる。

[0061] 実施の形態2の光源点灯装置によれば、スイッチング素子SWのソース端子に電流検出抵抗を設けずに力率改善と過電流保護動作を行うことができる。そのため、例えば、スイッチング素子SWの材料としてGaNなどのワイドバンドギャップ半導体を用いて、高速スイッチングを行っても、スイッチング素子SWのゲートドレイン端子間に安定したゲート駆動電圧を印加することができる。

[0062] 実施の形態3.

図9は、実施の形態3に係る照明器具200の断面図である。照明器具200は、照明器具本体40、コネクタ41、光源ユニット42、光源点灯装置43及び配線44、45を備えている。照明器具本体40は、光源点灯装置43などを取り付けるための筐体である。コネクタ41は、商用電源などの交流電源から電力の供給を受けるための接続部である。光源ユニット42は、LED又は有機ELなどの光源を実装した基板である。

[0063] 光源点灯装置43の回路構成は、上述した光源点灯装置のいずれか1つと同じ回路構成とすることができる。光源点灯装置43は、コネクタ41と配線44を介して交流電源からの電力供給を受ける。光源点灯装置43は、入力した電力を変換し、変換された電力を配線45を介して光源ユニット42に供給する。光源点灯装置43から供給された電力により、光源ユニット42に実装された光源が点灯する。これにより、上述した実施形態にかかる光源点灯装置の利点を備えた照明器具200が提供される。

[0064] 照明器具 200 によれば、実施の形態 1 又は 2 で述べた光源点灯装置を備えることで、例えば GaN などのワイドバンドギャップ半導体を用いたスイッチング素子 SW で高速スイッチングを行っても、スイッチング素子 SW のゲートドレイン端子間に安定したゲート駆動電圧を印加することができる。

[0065] ここまでに説明した変形例は、その変形例が記載された実施の形態以外の実施の形態にも応用できる。また、すべての実施形態において、スイッチング素子 SW の材料は珪素又は珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体とすることができる。ワイドバンドギャップ半導体として、例えば、炭化珪素、窒化ガリウム系材料又はダイヤモンドがある。ワイドバンドギャップ半導体は高速スイッチングに好適である。

符号の説明

[0066] 1 交流電源、 2 力率改善回路、 3 DC-DC コンバータ、 4 制御部、 5 ゲート駆動部、 9 光源、 43 光源点灯装置、 100 光源点灯装置、 110 光源点灯装置、 200 照明器具

請求の範囲

- [請求項1] 交流電力を整流し出力が高圧線と低圧線に接続された整流回路と、
前記高圧線上に設けられたインダクタと、
アノードが前記インダクタに接続されたダイオードと、
前記ダイオードのカソードと前記低圧線を接続する平滑コンデンサと、
前記インダクタと前記ダイオードの間の前記高圧線に接続された第1端子、第2端子、及び前記第1端子から前記第2端子の方向に流れる電流を導通または遮断する制御端子を有するスイッチング素子と、
前記第2端子と前記低圧線を接続する電流検出抵抗と、を有する力率改善回路と、
前記スイッチング素子を制御する制御部と、
前記制御部からの信号を受け、前記第2端子の電位を基準電位として前記制御端子に電圧を印加して前記スイッチング素子を駆動するゲート駆動部と、を備えたことを特徴とする光源点灯装置。
- [請求項2] 前記制御部の動作用の電源を供給する制御電源を備え、
前記ゲート駆動部は、一端が前記制御電源に接続され他端が前記第2端子に接続されたコンデンサを備え、前記コンデンサから前記制御端子に駆動信号を印加することを特徴とする請求項1に記載の光源点灯装置。
- [請求項3] 前記制御部の動作用の電源を供給する制御電源を備え、
前記ゲート駆動部は、一次側で前記制御電源から電力供給を受け、二次側で前記制御端子と前記第2端子に接続されて前記制御端子に駆動信号を印加するトランスを備えたことを特徴とする請求項1に記載の光源点灯装置。
- [請求項4] 前記制御電源及び前記制御部の基準電位は、前記低圧線に設定されたことを特徴とする請求項2又は3に記載の光源点灯装置。
- [請求項5] 交流電力を整流し出力が高圧線と低圧線に接続された整流回路と、

前記高圧線上に設けられたインダクタと、
アノードが前記インダクタに接続されたダイオードと、
前記ダイオードのカソードと前記低圧線を接続する平滑コンデンサと、
前記インダクタと前記ダイオードの間の前記高圧線に接続された第1端子、前記低圧線に接続された第2端子、及び前記第1端子から前記第2端子の方向に流れる電流を導通または遮断する制御端子を有するスイッチング素子と、を有する力率改善回路と、
前記スイッチング素子を制御する制御部と、
前記制御部からの信号を受け、前記スイッチング素子を駆動するゲート駆動部と、
前記インダクタに磁氣的に結合して設けられた過電流検出巻線と、
を備え、
前記制御部は、前記スイッチング素子の導通状態において、前記インダクタを構成する巻線の巻数と前記過電流検出巻線の巻き数との巻数比から決まる前記過電流検出巻線の想定発生電圧よりも、前記過電流検出巻線に発生した発生電圧が低い場合、前記スイッチング素子をオフすることを特徴とする光源点灯装置。

[請求項6] 前記制御部は、
前記整流回路の出力電圧を検出する電源電圧検出部を有し、
前記電源電圧検出部で検出された電圧を前記想定発生電圧とすることを特徴とする請求項5に記載の光源点灯装置。

[請求項7] 前記電源電圧検出部は前記整流回路の出力電圧をレベルシフトして前記想定発生電圧とすることを特徴とする請求項6に記載の光源点灯装置。

[請求項8] 前記インダクタに磁氣的に結合して設けられたゼロ電流検出巻線を備え、
前記制御部は、前記ゼロ電流検出巻線で生じた電圧に基づいて電流

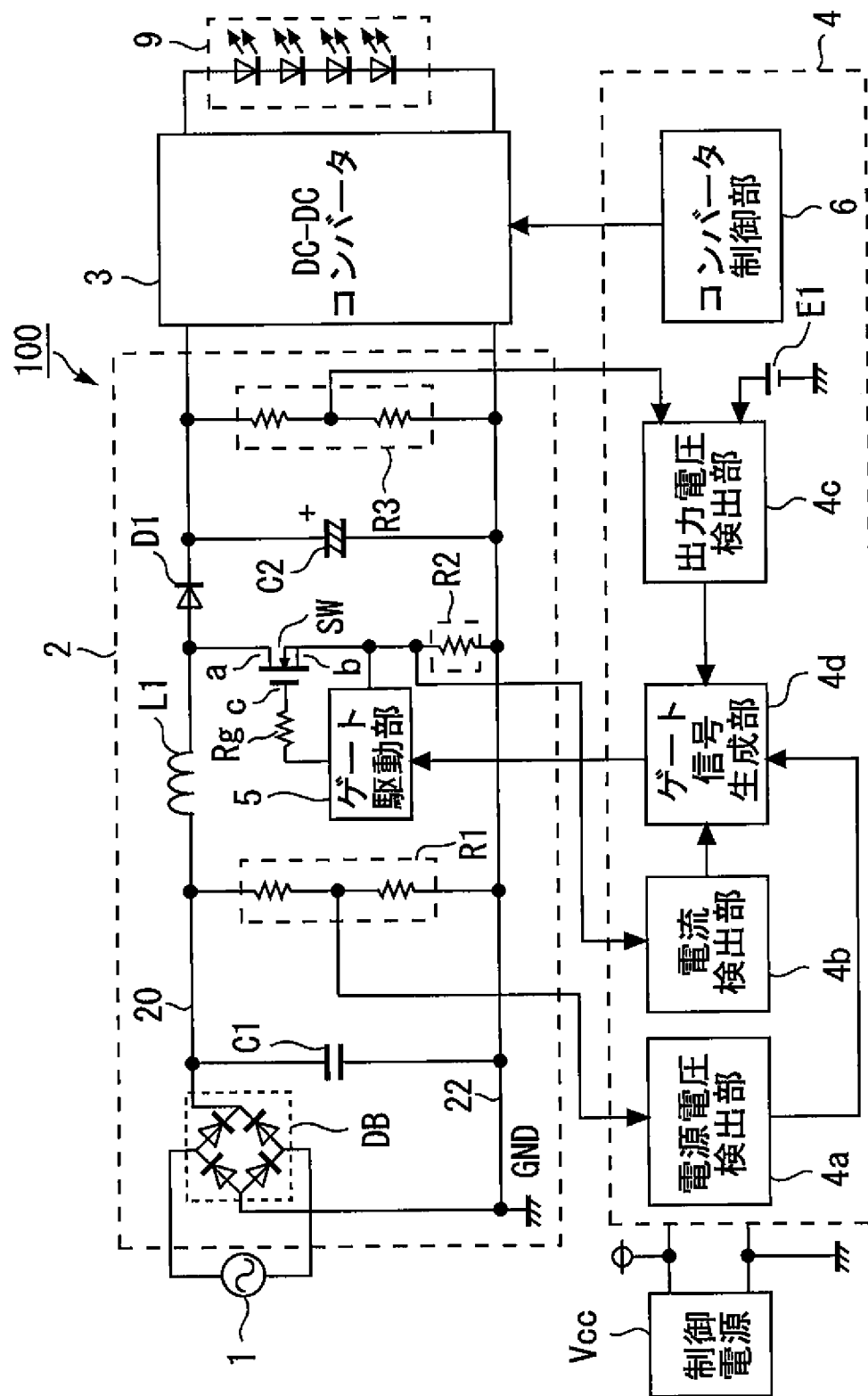
臨界モードで前記スイッチング素子を制御することを特徴とする請求項 5 から 7 のいずれか 1 項に記載の光源点灯装置。

[請求項9] 前記スイッチング素子は、ワイドバンドギャップ半導体によって形成されたことを特徴とする請求項 1 から 8 のいずれか 1 項に記載の光源点灯装置。

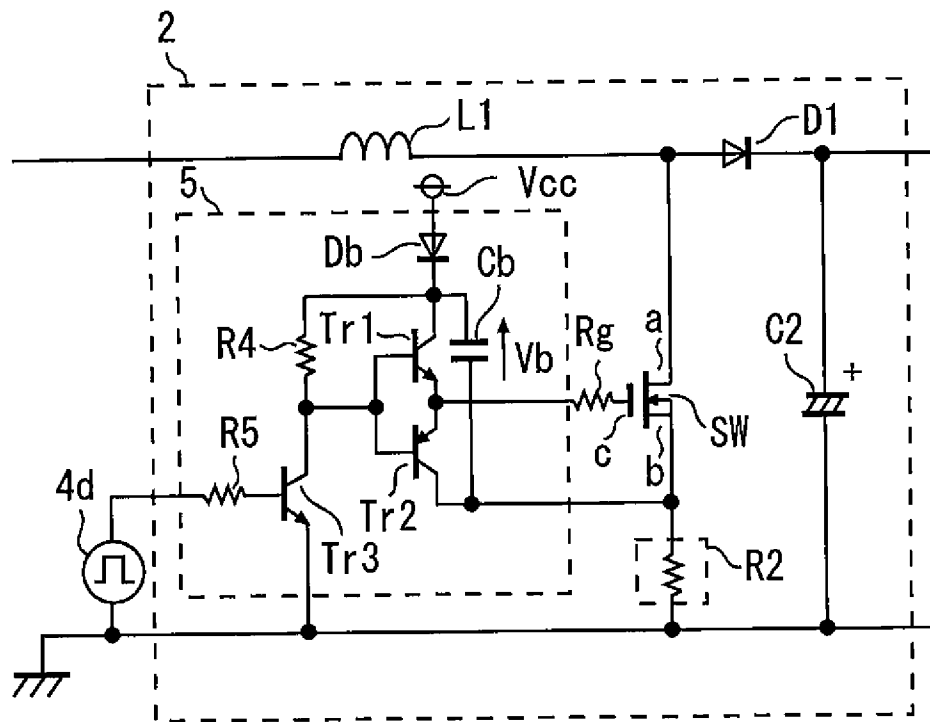
[請求項10] 前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料又はダイヤモンドであることを特徴とする請求項 9 に記載の光源点灯装置。

[請求項11] 請求項 1 から 10 のいずれか 1 項に記載の光源点灯装置と、
前記光源点灯装置に接続された L E D を有する光源ユニットと、を備えたことを特徴とする照明器具。

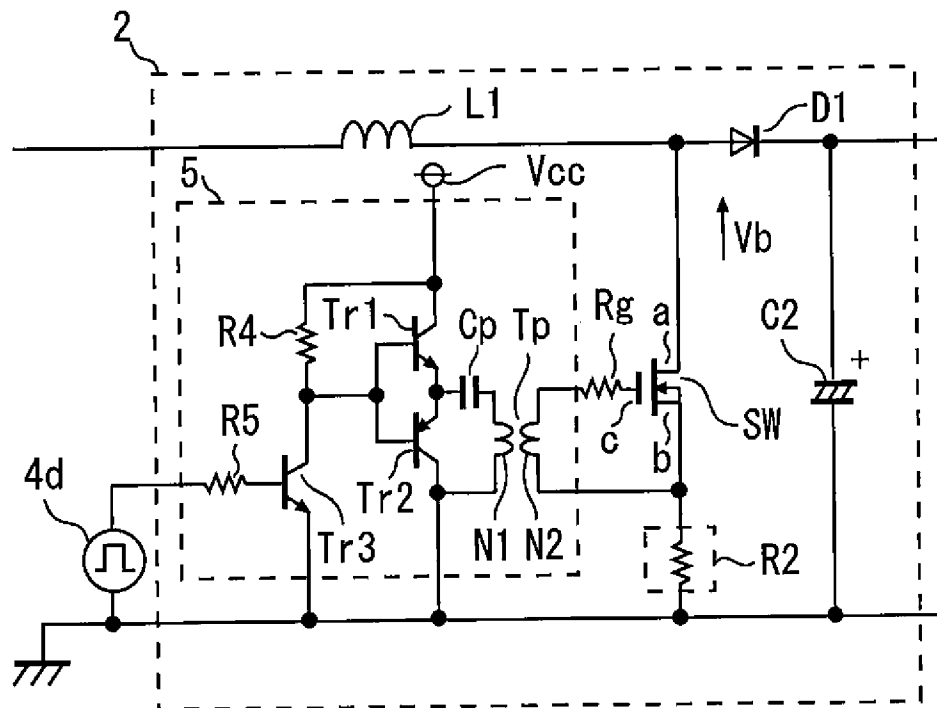
[図1]



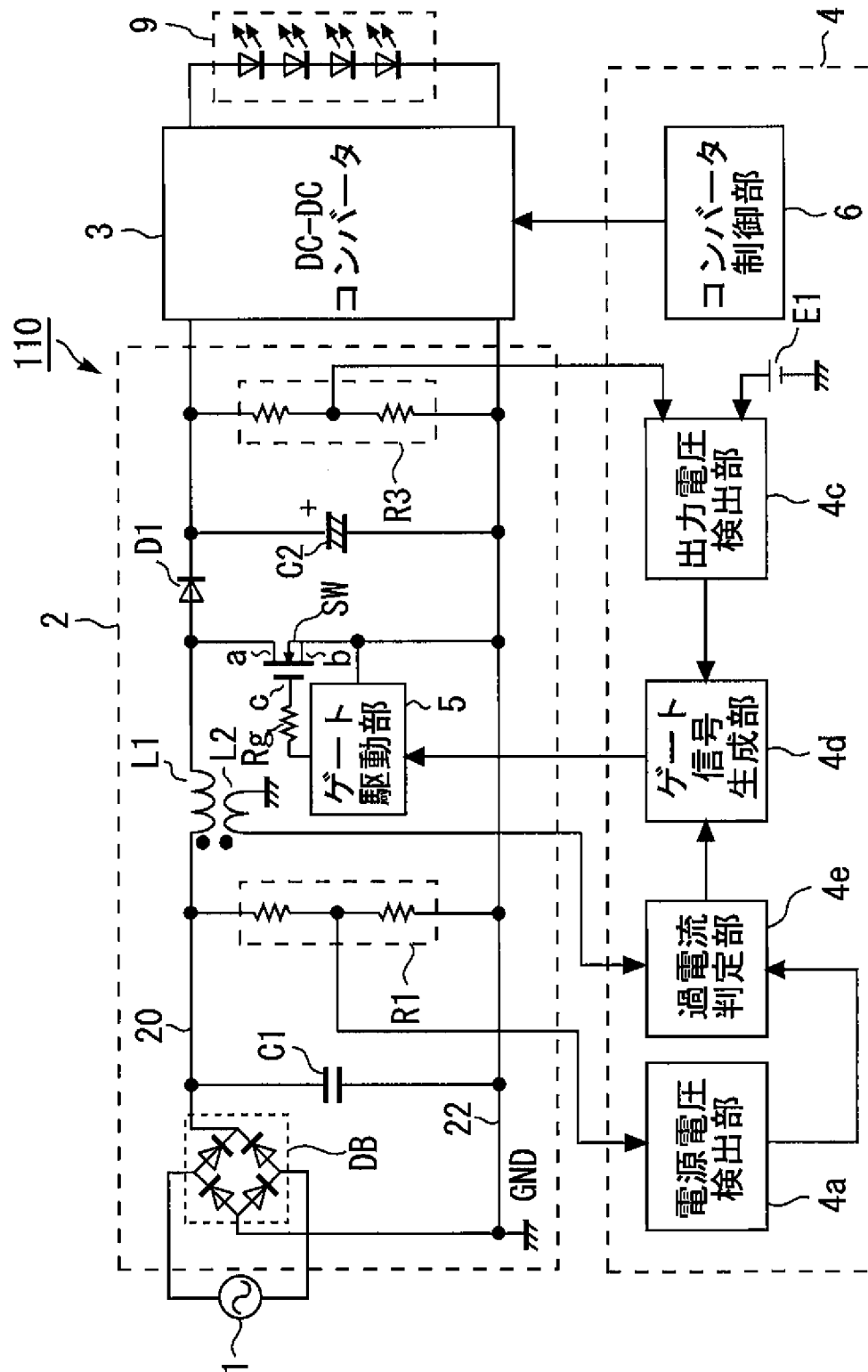
[図2]



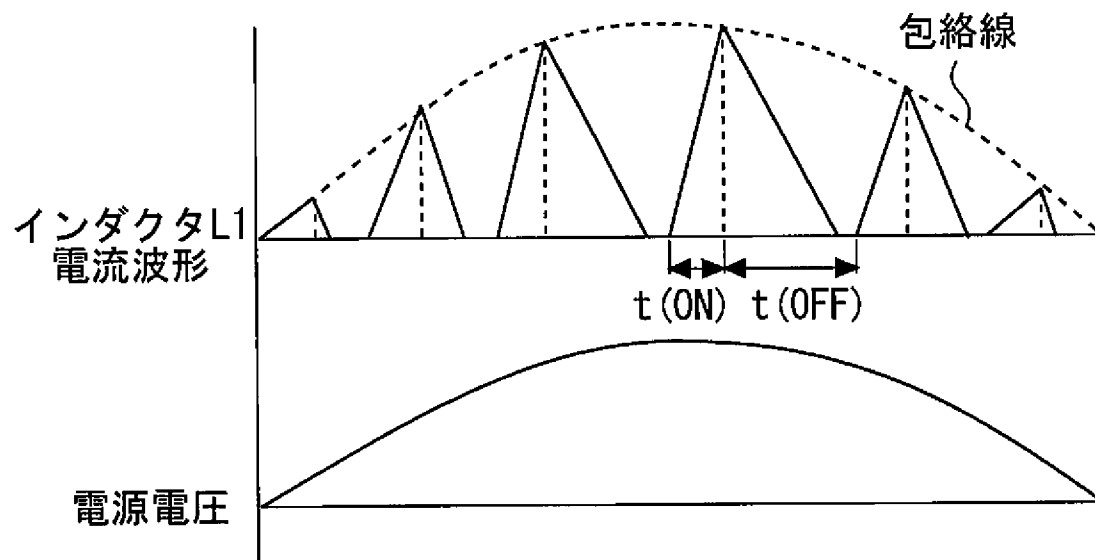
[図3]



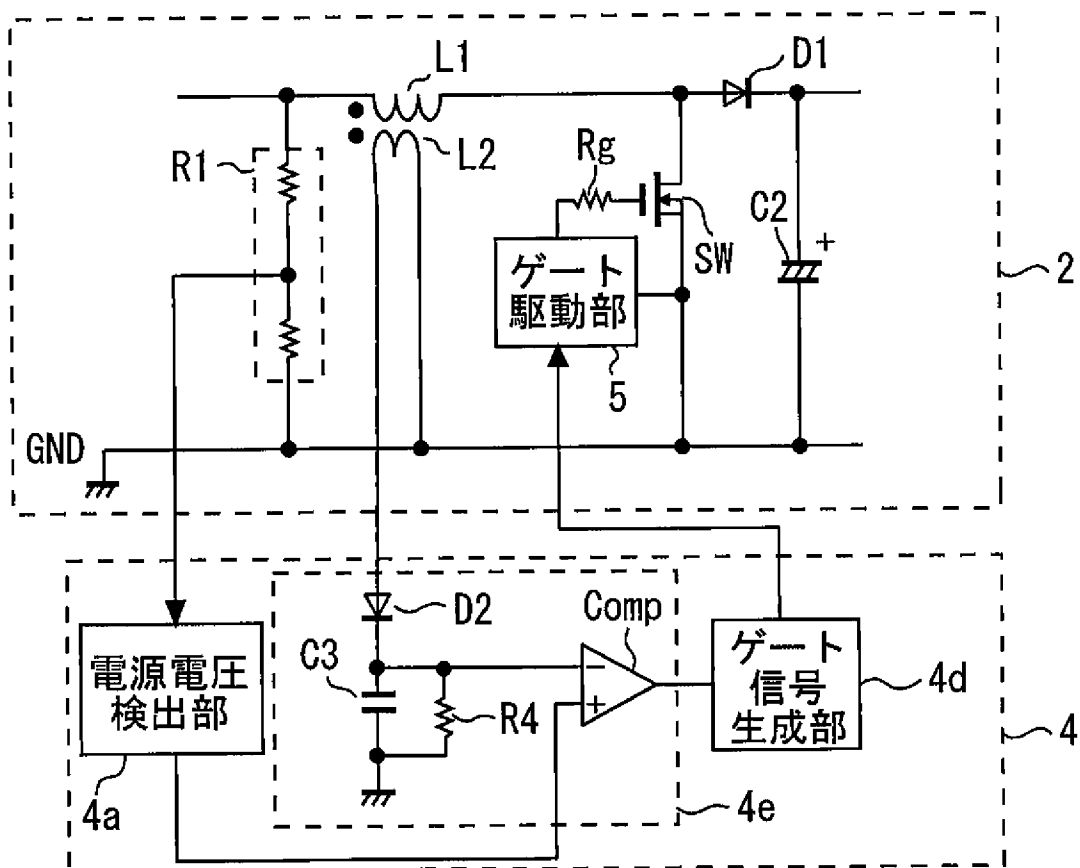
[図4]



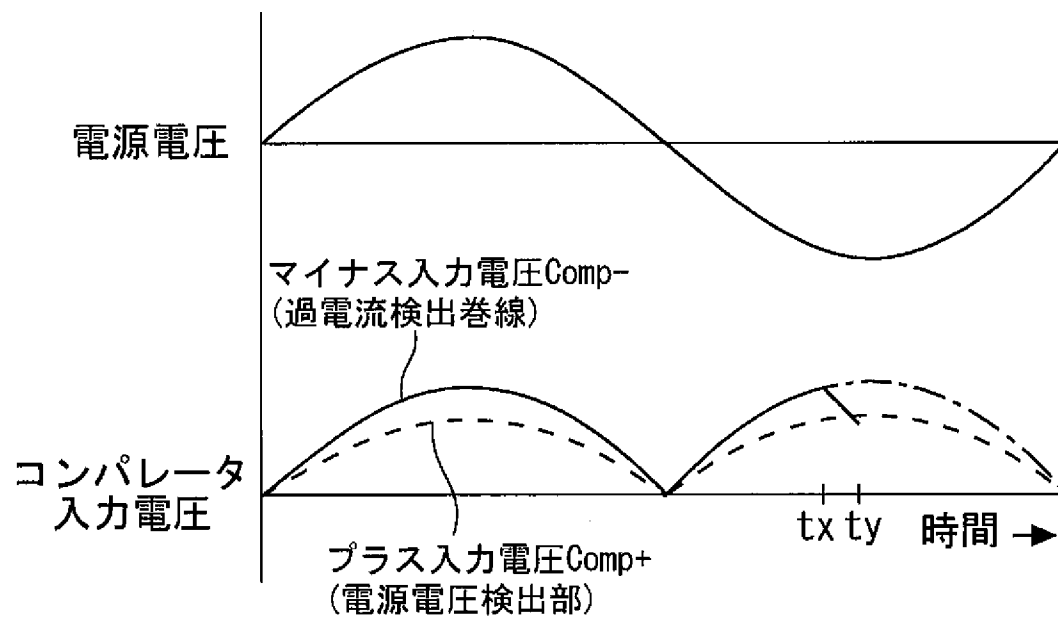
[図5]



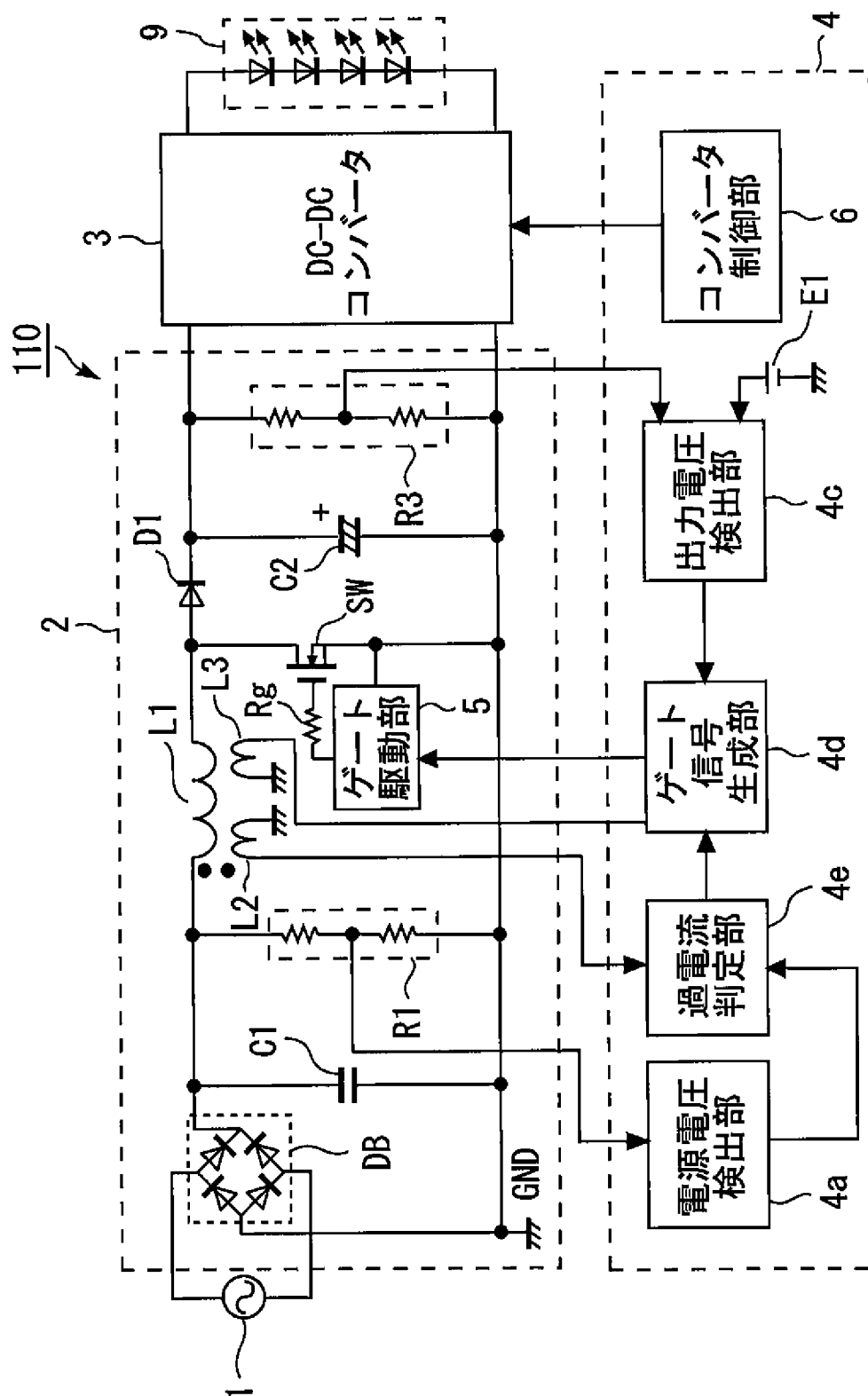
[図6]



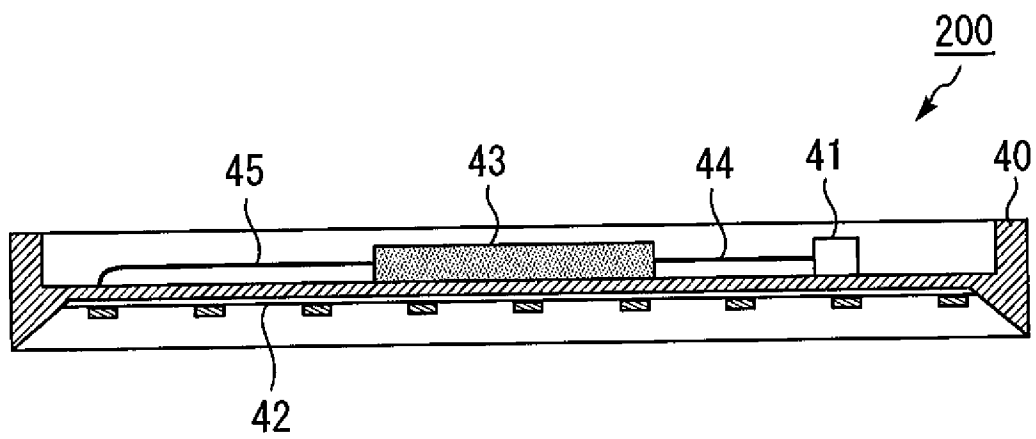
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022195

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H05B37/02 (2006.01) i, H02M1/08 (2006.01) i, H02M7/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H05B37/02, H02M1/08, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-69180 A (MITSUBISHI ELECTRIC CORP.) 06 April 2017, paragraphs [0012]-[0028], fig. 1 (Family: none)	1-11
Y	JP 2015-84616 A (MITSUBISHI ELECTRIC CORP.) 30 April 2015, paragraphs [0014]-[0038], fig. 1 (Family: none)	1-11
Y	JP 63-99763 A (FUJI ELECTRIC CO., LTD.) 02 May 1988, page 2, upper right column, lines 8-10 (Family: none)	3-4
Y	JP 11-187650 A (SONY CORP.) 09 July 1999, paragraph [0020], fig. 4 (Family: none)	8-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
03.08.2018

Date of mailing of the international search report
21.08.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022195

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-216102 A (MITSUBISHI ELECTRIC CORP.) 03 December 2015, paragraph [0067] (Family: none)	9-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05B37/02(2006.01)i, H02M1/08(2006.01)i, H02M7/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05B37/02, H02M1/08, H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-69180 A（三菱電機株式会社）2017.04.06, 段落[0012]-[0028], 図1（ファミリーなし）	1-11
Y	JP 2015-84616 A（三菱電機株式会社）2015.04.30, 段落[0014]-[0038], 図1（ファミリーなし）	1-11
Y	JP 63-99763 A（富士電機株式会社）1988.05.02, 第2頁右上欄第8-10行（ファミリーなし）	3-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

03.08.2018

国際調査報告の発送日

21.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安食 泰秀

3 X

3740

電話番号 03-3581-1101 内線 3371

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-187650 A (ソニー株式会社) 1999. 07. 09, 段落[0020], 図 4 (ファミリーなし)	8-11
Y	JP 2015-216102 A (三菱電機株式会社) 2015. 12. 03, 段落[0067] (ファミリーなし)	9-11