

附件一

第 83104609 號專利申請案
中文說明書修正頁

民國 86 年 2 月 修正

| | |
|------|---------------|
| 申請日期 | 83 年 5 月 21 日 |
| 案 號 | 83104609 |
| 類 別 | G11C16/02 |

公 告 本

A4
C4

318929

318929

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|---------------|---|
| 一、發明 名稱 | 中 文 | 半導體非揮發性記憶裝置 |
| | 英 文 | Semiconductor nonvolatile memory device |
| 二、發明 創作人 | 姓 名 | (1) 田中利廣 (2) 加藤正高 (3) 佐々木敏夫 |
| | 國 籍 | (1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都秋川市二宮二二七三一五 |
| | 住、居所 | (2) 日本國東京都武蔵野市境南町五一二一一三 B二〇一 (3) 日本國東京都西多摩郡瑞穂町石畑一八七八 一三 |
| 三、申請人 | 姓 名 (名稱) | (1) 日立製作所股份有限公司 株式会社日立製作所 |
| | 國 籍 | (1) 日本 |
| | 住、居所 (事務所) | (1) 日本國東京都千代田區神田駿河台四丁目六番 地 |
| | 代 表 人 姓 名 | (1) 金井務 |

經濟部中央標準局員工消費合作社印製

裝 訂 線

318929

| | |
|------|---------------|
| 申請日期 | 83 年 5 月 21 日 |
| 案 號 | 83104609 |
| 類 別 | |

A4
C4

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|---------------|---|
| 一、發明 名稱 | 中 文 | |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | (4) 久米均 (5) 小谷博昭 (6) 古沢和則 |
| | 國 籍 | (4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都武蔵野市西久保一一三三一七 |
| | 住、居所 | (5) 日本國東京都青梅市友田町五-五一九-九 (6) 日本國東京都小平市小川東町一一三九-四 |
| 三、申請人 | 姓 名 (名稱) | |
| | 國 籍 | |
| | 住、居所 (事務所) | |
| | 代 表 人 姓 名 | |

經濟部中央標準局員工消費合作社印製

裝 訂 線

318929

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1993年 8月 10日 5-198180 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景：

本發明係關於一種電氣可程式且可抹去之半導體非揮發性記憶裝置，尤係關於一種具有下列配置的半導體非揮發性記憶裝置；於重新程式化時，可在此記憶裝置中自動探測並控制程式化及程式驗證程序的繼續及中止，因而可以高速進行重新程式化作業及程式驗證作業，並可縮小此裝置。

以前在1992年的“V I S I 電路技術論文摘要全集”的第20-21頁中，曾經提出了“反及”型電氣可抹去可程式唯讀記憶體(NAND-EEPROM)的重新程式化電路構造，其方法係同時以電氣方式重新程式化複數個非揮發性半導體記憶元件(即記憶單元(memory cell)控制閘極(control gate)之資料，其中這些控制閘極係連接到同一字線(word line)。圖22，圖23及圖24係用來說明上述之習用例子。

圖22示出一習用NAND-EEPROM的重新程式化電路構造。一讀/寫電路的兩閘極輸入端係經由驗證電路(verify circuit)而連接到不同記憶體陣列(memory array)的各資料線(data line)BLa_i及Blb_i。此讀/寫電路係由正反器所組成，且此一電路於程式驗證作業時作為一微分讀出電路(differential sense circuit)，並於程式化作業時作為一資料門鎖電路(data latch circuit)。

當同時將資料載入各字線的複數個記憶單元時，須將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

個別記憶單元的臨界電壓安排在某一預定的正電壓範圍內。因此，在執行程式化作業之後，讀出字線上各記憶單元的臨界電壓（即驗證作業），由此決定所有程式化記憶單元之臨界電壓是否在一預定正值範圍內。若臨界電壓超出該範圍時，即重複程式化作業，直到臨界電壓恢復到此範圍內為止。

在 NAND-EEPROM 中，記憶單元之臨界電壓於抹去作業時將為低電壓狀態（即負臨界電壓），而於程式化作業時將為高電壓狀態（即正臨界電壓）。執行程式化作業時，係施加 1.8 伏到一被選擇的字線，施加 0 伏到程式化記憶單元（即被選擇的記憶單元）之資料線，並施加 8 伏到未程式化記憶單元（即未被選擇的記憶單元）之資料線。此外，將載入資料保持在讀／寫電路的一閉鎖電路中，並將讀／寫電路 V_{rw} 端子之電壓提昇到 8 伏，而使未被選擇的資料線得到 8 伏電壓。

在完成上述程式化作業之後，即利用一驗證電路執行程式驗證。於程式驗證作業時的信號時序波形圖係示於圖 23。此時，當選擇記憶單元陣列 (a) 這一端的一個記憶單元時， Φ_{pa} 即將位元線 BL_{ai} 的電壓預先充電到 $V_a = (3/5) V_{cc}$ 的電壓，亦即 1.8 伏，另一方面， Φ_{pb} 則將作為虛擬位元線 (dummy bit line) 的位元線 BL_{bi} 的電壓預先充電到 $V_b = (1/2) V_{cc}$ ，亦即 1.5 伏（時間為自 t_1 到 t_2 ）。

在將各位元線預先充電之後，被選擇字線 (CG) 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

電壓即被降到程式驗證電壓 0.6 伏，並將 V_{cc} 施加到未被選擇的字線 (CG)。如果被選擇的記憶單元之臨界電壓為 0.6 伏或更低時，電流將流進被選擇的記憶單元，而且位元線的電壓將為 1.5 伏或更低。另一方面，若記憶單元臨界電壓高於 0.6 伏時，將沒有電流流過，而且各位元線的電壓係保持在 1.8 伏的預先充電電壓 (時間為自 t_2 到 t_3)。

其後，當所有的字線 (CG) 都成為未被選擇的狀態時，驗證電路信號 Φ_{av} 即變成起動狀態 (即 V_{cc})。當讀/寫電路的門鎖資料為 '1' (即電壓值為 0 伏) 時，一 MOS 電晶體 T1 將斷路，且位元線 BLai 的電壓係保持在 Φ_{av} 變成起動狀態之前的位置。另一方面，門鎖資料為 '0' (即電壓值為 V_{cc}) 時，此 MOS 電晶體 T1 將導通，且位元線 BLai 的電壓將為 1.5 伏或更高 (時間為 t_3 到 t_4)。

當驗證電路信號 Φ_{av} 轉變成低位準 (即 V_{ss}) 時，讀/寫電路將成為均衡狀態 (亦即 Φ_p : 高位準， Φ_n : 低位準， Φ_e : 高位準)，且此電路爾後將因啟動了驗證電路信號 Φ_a 及 Φ_{vb} ，而作為一資料保持電路而工作 (時間為自 t_4 之後)。

一開路位元線 (open-bit line) 架構讀出諸位元線 BLai 的電壓，且將這些位元線程式化後之讀出 (即程式驗證) 資料重新程式化到讀/寫電路的門鎖資料。程式化資料，重新程式化資料，以及記憶單元的資料間之關係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

係示於圖 2 4。

此時，當對某一記憶單元施以「1」（即門鎖資料電壓為 0 伏）之程式化，且於程式驗證作業中此記憶單元的臨界電壓值到達 0.6 伏或更高時，即對此門鎖資料電壓施以 V_{cc} ，亦即對其施以「0」之程式化，以防止此記憶單元的過度程式化。

在上述之習用技術中，業已控制了一重新程式化區段 (sector) 中每一位元的程式化及程式驗證程序。須探測並決定所選來程式化的所有位元是否已完成了程式化，因為尚未做成上述之探測及決定，所以無法決定是否要中止程式化及程式驗證程序。因此，在習用技術中，往往利用自定的定時器設定充分的程式化時間，而且在所設定的時間段落中，重複了程式化作業及程式驗證作業。因而需要設定過長的程式化時間段落，其中包括將資料載入各記憶單元所需程式化時間段落的預留餘裕。

此外，若在半導體非揮發性記憶裝置外部的一系統（例如自動控制照相機系統，可攜式錄音機，或口袋型電腦等可攜式系統）中之 CPU 要執行探測及決定是否終止程式化之作業時，必須在半導體非揮發性記憶裝置與此系統之間設有匯流排，且此匯流排須固定連接於此系統，以便將半導體非揮發性記憶裝置之記憶單元資料傳送給 CPU。此時產生了下列問題：於載入資料時，CPU 因對半導體非揮發性記憶裝置的重新程式化控制，而使其忙碌不堪。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

本發明之第一目的在於解決上述各種問題，並提供一種半導體非揮發性記憶裝置，此種記憶裝置可對區段資訊執行電氣式程式化及抹去，且可同時使此半導體非揮發性記憶裝置與系統間之匯流排保持分開狀態。

此外，若要有效實施上述之習用技術，必須符合如圖 19 (a) 所示的下列各條件：(1) 於程式化作業所做的抹去之後，各記憶單元的臨界電壓係選擇性地自低電壓狀態變成高電壓狀態；以及(2) 將 0 伏施加到被程式化選擇的各資料線，且將正電壓施加到未被選擇的各資料線。然而，如圖 19 (b) 所示，若(1) 於程式化作業所做的抹去之後，各記憶單元的臨界電壓係選擇性地自高電壓狀態變成低電壓狀態；以及(2) 於程式化中，將正電壓施加到被程式化選擇的各資料線，且將 0 伏施加到未被選擇的各資料線時，即無法控制各記憶單元程式化的繼續及中止。

將參照圖 20 說明上述現象之原因。圖 20 示出於程式化及程式驗證程序進行時字線上各記憶單元的狀態。此處假設連接到資料線 b 1 及 b 2 的各記憶單元之臨界電壓為高電壓狀態，且連接到資料線 b 3 及 b 4 的各記憶單元之臨界電壓為低電壓狀態。必須將這些資料載入各別的記憶單元，且在圖中將這些資料示為原先載入的資料。因為本發明中連接到資料線 b 2 的記憶單元具有高臨界電壓，所以需要重複程式化。因為資料線 b 4 的記憶單元具有低臨界電壓，所以中止下一次的程式化作業。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

在習用的驗證系統中，不論對應於圖 2 2 所示讀／寫電路的資料保持電路之閃鎖資料為何，皆須對所有的資料線預先充電。此時，當將讀出電壓施加到各字線時，具有低臨界電壓記憶單元之資料線 b 3 及 b 4 電壓變為 0 伏。因為利用各資料線的此種狀態而重新載入資料保持電路之閃鎖資料，而且其後又根據此閃鎖資料對各資料線充電，所以保持預先充電電壓的資料線 b 2 與 b 4 以及資料線 b 1 自資料保持電路的原先載入資料變成 3 伏。因此，重新載入資料變得不同；在資料線 b 4 中，必須中止其重新程式化，而在資料線 b 1 中，必須保持 0 伏的原先載入資料。亦即，在圖 1 9 (b) 所示之記憶體系統中，無法使用習用的驗證系統。

本發明之第二目的在於：於程式化中，在程式化作業所做的抹去之後，當一半導體非揮發性記憶元件（記憶單元）的程式化臨界電壓係選擇性地自高電壓狀態變成低電壓狀態，且使被選擇的資料線變成正電壓，並使未被選擇的資料線變成 0 伏電壓時，即決定是否繼續及中止每一資料線的程式化與程式驗證程序，並決定是否已完成所有程式化目標記憶單元之程式化。

為了達到上述之目的，本發明具有如下文所述之構造。

亦即：若干非揮性半導體記憶單元係以陣列之形式而配置，其中每一記憶單元皆設有一控制閘極，一浮動閘極（floating gate），一吸極，及一源極，利用一字線使

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(7)

各控制閘極成共用連接的複數個記憶單元形成了一區段 (sector)；此區段中各記憶單元之吸極係連接到不同的資料線；每一資料線設有至少一預先充電電路，一狀態探測電路，及一資料保持電路；字線係連接到一列位址解碼器；預先充電電路及狀態探測電路係連接到一控制信號產生電路。

在本發明的半導體非揮發性記憶裝置中，列位址解碼器選擇至少一字線，並將正電壓施加到此字線，因而對控制閘極係連接到此字線的複數個記憶單元同時執行電氣式抹去。此外，在把所要載入各記憶單元的資料傳送到每一資料線所設的資料保持電路之後，即利用列位址解碼器將負電壓施加到被選擇的字線，並將根據資料保持電路中資料的電壓施加到資料線，因而執行程式化作業。亦即，把上述之字線視為一單元，而執行集體式電氣抹去及程式化是可行的。在上述程式化作業之後，即根據資料保持電路中之資料，經由預先充電電路選擇性地將電壓施加到各資料線，而執行於同一時間讀出區段中各記憶單元狀態的作業（即集體式驗證）；並在上述驗證之後，即利用狀態探測電路於同一時間探測對應於區段各記憶單元的資料保持電路中之資料（即狀態探測作業）；繼續程式化作業，集體式驗證作業，及狀態探測作業，直到完成了載入到各記憶單元為止。

附圖簡述：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

圖 1 是本發明之方塊圖；

圖 2 是本發明一半導體非揮發性記憶裝置實施例之電路圖；

圖 3 是本發明一內部位址緩衝電路實例之電路圖；

圖 4 是本發明一內部位址自動產生電路實例之電路圖

；

圖 5 是本發明一輸入-輸出緩衝電路實例之電路圖；

圖 6 是本發明的第一重新程式化電路之方塊圖；

圖 7 是本發明的程式化及程式驗證作業之時序波形圖

；

圖 8 是本發明的讀出作業之時序波形圖；

圖 9 是本發明的抹去及抹去驗證作業之時序波形圖；

圖 10 是本發明的第二重新程式化電路之方塊圖；

圖 11 是本發明中一 NAND-EEPROM 重新程式化電路之方塊圖；

圖 12 是本發明的第二記憶體陣列之電路圖；

圖 13 是本發明的第三記憶體陣列之電路圖；

圖 14 是本發明的第二矩陣之方塊圖；

圖 15 是本發明的第三矩陣之方塊圖；

圖 16 是本發明的第四矩陣之方塊圖；

圖 17 是本發明的第五矩陣之方塊圖；

圖 18 是本發明的第六矩陣之方塊圖；

圖 19 是程式化作業及程式化技術之定義說明表；

圖 20 是根據本發明程式化定義的驗證系統之說明圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

;

圖 2 1 是根據本發明程式化定義的預先充電系統之說明圖；

圖 2 2 是一習用 NAND-EEPROM 重新程式化電路之方塊圖；

圖 2 3 是一習用 NAND-EEPROM 之時序波形圖；以及

圖 2 4 是一習用實例中 NAND-EEPROM 記憶單元資料及載入資料之說明表。

較佳實施例之說明：

圖 1 所示者係本發明的一半導體非揮發性記憶裝置實施例之電路方塊圖。非揮性記憶單元 M 1, M 2, M 4 及 M 5 為可在相同時間做電氣抹去的習知非揮發性記憶單元(即快閃式記憶單元)。記憶單元 M 1 及 M 4 的控制閘極係連接到字線 W 1, 且記憶單元 M 2 及 M 5 的控制閘極係連接到字線 W 2。此外,字線 W 1 及 W 2 係連接到列解碼器 X D C R。此外,記憶單元 M 1 及 M 2 的吸極係連接到資料線 D 1, 且記憶單元 M 4 及 M 5 的吸極係連接到資料線 D 2。此外,控制資料線電壓的預先充電控制電路 P C C, 做為資料保持電路以供資料讀出功能及載入資料的讀出放大器電路(sense amplifier circuit) S A C, 以及決定資料保持電路狀態的記憶單元狀態探測電路 A L L C 係連接到每一資料線 D 1 及 D 2, 此外,行閘極 Q 4 及 Q 5 亦係連接到每一資料線 D 1 及 D 2。再者,各

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

別資料線 D 1 及 S 2 係分別連接到資料線放電閘極 Q 1 及 Q 2 。記憶單元 M 1 到 M 5 的源極係連接到一共用源極線 S 而到接地點 (即基底電壓 V_{ss}) 。

預先充電控制電路 P C C 包含：一具有至少一預先充電信號作為閘極輸入的 M O S F E T ，一具有讀出放大器電路 S A C 中端子信號作為閘極輸入的 M O S F E T ，以及其他類似的 M O S F E T 。

上述之記憶單元並未加以特別的限制，其構造類似於可抹去可程式唯讀記憶體 (Erasable Programmable Read Only Memory ; 簡稱 E P R O M) 之記憶單元皆可。然而，其重新程式化之方法與使用紫外線的習用 E P R O M 不同，其重新程式化作業的不同點在於：利用浮動閘極與基底間，與各資料線連接的諸吸極，或與源極線連接的諸源極間之隧道現象 (tunnel phenomena) ，或是利用施加高電壓到控制閘極及吸極所產生的熱電子注入，而用電氣方式執行重新程式化作業。程式化作業之定義示於圖 1 9 (b) 。使記憶單元之臨界電壓高於熱平衡狀態下臨界電壓之作業定義為抹去作業，而將臨界電壓降低到約等於熱平衡狀態下臨界電壓之作業定義為程式化作業。

在抹去作業中，將正電壓選擇性地施加到各字線。將吸極，源極，及通道電壓設定成基底電壓 V_{ss} 。在一被抹去的記憶單元中，電子係積聚在此記憶單元的浮動閘極，且記憶單元中並無電流流動，縱使將字線及資料線選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

在讀出作業亦是如此。

在程式化作業中，(1) 在抹去之後，記憶單元之臨界電壓係選擇性地自高電壓狀態變成低電壓狀態。為了達到此一目的，(2) 於程式化時，在被選擇的記憶單元中，將記憶單元之吸極電壓 (亦即資料線電壓) 設定成正電壓，並在未被選擇的記憶單元中，將記憶單元之吸極電壓設定為 0 伏。

於將載入資料提取到記憶體裝置時，行位址解碼器 Y D C R 動作，並將外部端子之資料載入讀出放大器電路 S A C 中。此外，在部分重新程式化中，暫時將資料保留在讀出放大器電路 S A C 中，且記憶體裝置的外部只重新程式化各記憶單元必須的資訊，此種部分重新程式化亦是可行的。

於程式化作業時，將資料提取到讀出放大器電路 S A C 而執行程式化。對應於程式化記憶單元的讀出放大器電路 S A C 之資料保持正電壓，而不程式化讀出放大器電路 S A C 之資料則為基底電壓 V_{ss} 。設定對應於一區段的字線電壓而執行程式化作業 (' 1 ' 狀態)，此時係選擇性地執行程式化到負電壓，且因浮動閘極與吸極間之電位差而選擇性地產生隧道現象，並拉出電子而積聚在朝向吸極端的各浮動閘極 (' 1 ' 狀態)。

於程式化時的各記憶單元資料線之狀態係示於圖 2 1。假設下列之狀態：連接到資料線 b 2 及 b 4 的各記憶單元之臨界電壓為高位準，而連接到資料線 b 3 及 b 4 的各

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

記憶單元之臨界電壓為低位準。此外，圖終將各記憶單元的載入資料示為原先載入資料。在載入後的驗證中，根據原先載入資料，利用預先充電控制電路 P C C 對各資料線 (b 2 及 b 4) 預先充電。然後在選擇字線之後，因為記憶單元之臨界電壓為高位準，所以只在 b 4 中將資料線電壓自 3 伏降低到 0 伏，但將 b 2 保持在 3 伏。

在程式驗證之後，利用狀態探測電路 A L L C 探測記憶單元之狀態。若連接到每一資料線的讀出放大器電路 S A C 中資料門鎖之資訊狀態為：至少有一個資料線為程式化 (即 3 伏) ，則再度重複程式化作業。此外，在記憶單元的狀態探測作業中，若讀出放大器電路 S A C 中之所有資料顯示出程式化已完成，則在探測及決定作業結束後，即終止原先被重複執行的程式化作業。

此外，若程式狀態探測電路包含至少一個 M O S F E T 或類似於本記憶單元的非揮發性半導體記憶單元，且讀出放大器電路 S A C 之輸出係連接到每一資料線的 M O S F E T 閘極輸入，則上述條件對狀態探測電路 A L C C 已是足夠。在採用與本記憶單元類似的非揮發性半導體記憶單元之情形中，對於連接到記憶體陣列中各缺陷非揮發性半導體記憶單元之資料線，亦可使對應於這些資料線的記憶單元之臨界電壓程式化，因而不將連接到這些資料線的讀出放大器電路 S A C 之資料門鎖資訊用於決定之用。

於程式驗證時，將被選擇字線的電壓設定到電源電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

V c c , 並自預先充電控制電路 P C C 供應約 1 伏的低電壓到資料線。在抹去狀態 (' 0 ') 下的記憶單元中, 臨界電壓為高位準, 且無吸極電流流動, 縱使於程式驗證時選擇一字線 W 亦是如此。因此, 資料線係保持在 1 伏。因為在程式化狀態 (' 1 ') 下的記憶單元中, 臨界電壓為低位準, 所以資料線電壓低於 1 伏的預先充電電壓。讀出放大器電路 S A C 接收資料線電壓以便決定其為 ' 0 ' 或 ' 1 ' , 並將此資料線電壓經由一共用資料線及行選擇性切換閘極 Q 4 , Q 5 與 Q 6 輸出到一外部端子。

因為於程式驗證時字線電壓為上述之電源電壓, 所以必須利用高精密度的低正電壓控制記憶單元之臨界電壓, 此種低正電壓於電源電壓降低時不得變為負值。因此, 將程式化作業中之程式化分成若干次, 每次做各別的程式化時即執行程式驗證, 且須確認記憶單元之臨界電壓是否已達到已程式化之臨界電壓 (即程式驗證) 。若尚未達到時, 則再度繼續程式化。於上述之程式驗證時, 將低於正常讀出時所用的電壓施加到字線。利用此種方式, 即可控制記憶單元組群 (即區段) 中臨界電壓分佈的上限值。

利用上述構造即可達到本發明的第一及第二目的。亦即, 每一資料線所設的記憶單元狀態探測電路 A L C C 決定重新程式化作業中之程式化及程式驗證程序, 因而於連接到所有程式化目標資料線的被選擇記憶單元之程式化完成時, 即中止該程式化。

圖 2 是延伸自圖 1 的半導體非揮發性記憶裝置之電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

圖。在同一半導體基底上形成圖 2 中的各別電路元件。

位址緩衝電路 X A D B 及 Y A D B 接收自外部端子所輸入的列位址信號 A X 及行位址信號 A Y，經由這些位址緩衝電路所形成的互補位址信號係供應到一系列位址解碼器 X D C R 及一行位址解碼器 Y D C R。

此外，各別資料線係經由各行選擇閘極 Q 4，Q 5 及 Q 6 而連接到一共用資料線 C D，且這些行選擇閘極 Q 4，Q 5 及 Q 6 接收位址解碼器 Y D C R 所形成的選擇信號。此外，共用資料線 C D 係經由一 M O S F E T Q 8 而連接到一外部端子 I / O，此 M O S F E T Q 8 接收一內部產生的程式控制器信號 w e，此 M O S F E T 並於程式化時導通，此共用資料線 C D 並係連接到一供程式化的資料輸入緩衝器 D I B，此資料輸入緩衝器 D I B 接收自外部端子 I / O 輸入的程式化信號。共用資料線 C D 亦係經由一切換 M O S F E T Q 7 而連接到外部端子 I / O，此切換 M O S F E T Q 7 接收一內部產生的程式驗證控制信號 s e，此 M O S F E T Q 7 並於程式驗證時導通，此共用資料線 C D 並係連接到一供程式驗證的資料輸出緩衝器 D O B。

位址緩衝電路 A D B (即 X A D B，Y A D B) 之一實施例係示於圖 3。記憶體裝置中之選擇信號 / 晶片起動 (C E) 信號起動列及行位址緩衝電路 X A D B 與 Y A D B，這些位址緩衝電路自一外部端子提取一位址信號 A x，而形成一互補位址信號，此互補位址信號包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

一內部位址信號 a_x ，此信號係與外部端子所供應的位址信號同相；以及一反相的位址信號 $\overline{a_x}$ 。請注意，在本說明書中，「 $\overline{\quad}$ 」代表一互補信號。

在圖 2 中，列位址解碼器 X D C R 根據列位址解碼器 X A D B 之互補信號，而形成記憶體陣列中字線 W_i 的選擇信號；行位址解碼器 Y D C R 則以類似上述之方式，根據行位址解碼器 Y A D B 之互補信號，而形成資料線 D_i 的選擇信號。

此外，本裝置中之位址輸入信號可能只是字線系統之位址信號。在此種情形中，在本裝置內產生資料線系統之位址信號，並連續處理連接到被選擇字線的記憶單元之資料即可。假設連接到同一字線的各記憶單元中之位元組數目為諸如 5 1 2 位元組或 2 5 6 位元組，並將此一單位定義為一區段 (sector)。

在圖 3 所示的位址緩衝電路 A D B 中，字線系統之位址緩衝電路 X A D B 必須至少有下列功能：自外部接收信號 A_x ，以及以內部信號 A L T C H 或 $\overline{A L T C H}$ 門鎖上述信號。資料線系統之位址緩衝電路 Y A D B 必須至少接收一內部產生的信號 A_{xi} ，並輸出互補位址信號 a_x 及 $\overline{a_x}$ 。

內部產生的信號 A_{xi} 係由圖 4 所示之內部位址自動產生電路或其他類似電路所產生。圖 4 所示之電路包含一振盪電路及複數個二進位計數器 B C。亦即，接收一起動內部振盪器的信號 $\overline{O S C}$ ，用以使內部振盪電路振盪，且

(請先閱讀背面之注意事項再填寫本頁)

楚

訂

線

五、發明說明 (16)

二進位計數器 B C 接收所產生的振盪周期信號，而各別二進位計數器 B C 所產生的輸出則作為資料線系統之位址信號 A_{1 i} 到 A_{x 1}。

輸入緩衝電路 D I B 及輸出緩衝電路 D O B 的一內部構造實施例係示於圖 5。

起動內部信號 w e 及其反相信號 $\overline{w e}$ 時，輸入緩衝電路 D I B 係一用於接收外部端子 I / O 所輸入資料之緩衝器。根據將資料傳送到具資料閃鎖功能的讀出放大器電路 S A C 所用之位址，而選擇上述之行開極 Q 4，Q 5 及 Q 6。於程式驗證時，以上述內部信號 s e 以及將於後文中說明之外部端子輸出起動信號，起動內部信號 o e 及 $\overline{o e}$ ，此時輸出緩衝電路 D O B 係作為將資料輸出到外部端子 I / O 之緩衝器。在此種電路構造中，在旁路閘極 (pass gate) 之後，對內部信號 s e 做電壓轉換，以供閘極輸入。這是為了補償因旁路閘極所產生的臨界電壓降低而設的功能。

圖 2 所示之定時控制電路 C O N T 產生內部控制信號 c e，s e，w e，o e，D D C，P G，D G， $\overline{R O}$ ， $\overline{P O}$ ， $\overline{R I}$ 及 $\overline{P I}$ 等定時信號；定時控制電路 C O N T 並根據諸如供應到外部端子 $\overline{C E}$ ， $\overline{O E}$ ， $\overline{W E}$ ， $\overline{S C}$ ，R D Y / B S Y 等之晶片起動信號，輸出起動信號，寫入起動信號，串列控制信號，備用 / 忙碌信號，或其他信號，並經由內部電壓自電源電壓 V c c 之升高及降低，而產生字線供應電壓 V w o r d，資料線供應電壓 V y g，讀出放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

大器電路之 p M O S 電源電壓 V_{cd} 及 n M O S 電源電壓 V_{sd} 等內部電源電壓，以供選擇性地輸入列位址解碼器 X D C R，行位址解碼器 Y D C R，及其他裝置。

此外，若起動外部信號 \overline{CE} 及 \overline{WE} ，並輸入外部端子 I / O 之資料（例如程式驗證作業 O O H，抹去作業 2 0 H，程式化作業 1 0 H，或其他類似作業之命令輸入），即可進入諸如程式驗證作業及重新程式化作業（即抹去作業及程式化作業）等作業模式。自外部端子將重新程式化命令，重新程式化之區段位址，區段資訊（資料）等提取到本裝置，以供區段重新程式化之作業。此時，利用狀態暫存器（即狀態徵詢）或備用 / 忙碌信號之資訊，即可由外部得知：是否處於重新程式化作業，是否已終止重新程式化作業，是否處於抹去作業，以及是否處於程式化作業。

圖 6 是重新程式化電路的第一實施例之方塊圖。各別資料線 D 1 及 D 2 具有相同（同等）的連接構造。論及資料線 D 1（或 D 2），控制資料線預先充電的預先充電控制電路 P C C，具有資料讀出功能及載入資料保持功能的讀出放大器電路 S A C，以及決定各資料線相關記憶單元狀態的狀態探測電路 A L L C 皆係同時連接於記憶單元 M 1 及 M 2（或 M 4 及 M 5）與行選擇閘極 Q 4（或 Q 5）之間。

形成預先充電控制電路 P C C 的 M O S F E T 組群至少包含：一 M O S F E T（a），此 M O S F E T 具有讀

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(18)

出放大器電路SAC的輸出作為其閘極輸入；一MOSFET(b)，此MOSFET具有預先充電信號PG作為其閘極輸入，且此MOSFET(b)係與MOSFET(a)相互串聯；以及一MOSFET(c)，其係與相互串聯的MOSFET(a)及MOSFET(b)並聯，此MOSFET具有資料線之閘極信號DG作為其閘極輸入，此閘極信號係供將資料線D1連接到讀出放大器電路SAC。由於此種構造，預先充電信號PG及讀出放大器電路SAC的資料可選擇性地預先對各資料線充電。在每一次驗證時及程式驗證時，至少施加預先充電信號PG中低於電源電壓之電壓值。其目的係藉由將資料線電壓設定成大約1伏，而不會產生程式化不足及抹去不足。

讀出放大器電路SAC包含：一MOSFET(d)，此MOSFET具有一用於設定讀出放大器電路SAC的內部信號SET作為其閘極輸入；以及形成一閘鎖電路的複數個MOSFET。於程式驗證時，讀出放大器電路SAC係作為具有正反器電路特性的讀出放大器，且於重新程式化時，係作為保持載入資料的閘鎖電路。可使重新程式化作業時讀出放大器電路SAC之電源電壓Vcc等於程式化作業時記憶單元之吸極電壓；且亦可將該讀出放大器電路SAC之電源電壓Vcc固定在程式化之吸極電壓，而不必於重新程式化作業時針對程式化作業及讀出(即程式驗證)作業中之各別作業而切換電源電壓。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(19)

記憶單元狀態探測電路 ALLC 之構造包含與每一資料線 D_i ($i = 1, 2$) 相關之下列各 MOSFET: 供抹去狀態探測的若干 n -通道 MOSFETs e_i ($i = 1, 2$), 以及供載入狀態探測的若干 n -通道 MOSFETs f_i ($i = 1, 2$), 且讀出放大器電路 SAC 之輸出係連接到狀態探測 MOSFET 之閘極。將這些 p -通道 MOSFETs e_i 及 n -通道 MOSFETs f_i 之吸極及源極做成相互共用 (A_{0a} , A_{0b} , A_{1a} 及 A_{1b})。此外, 狀態探測系統並不限於本系統, 亦可以是電流讀出系統或電壓讀出系統。

圖 7 示出在預先充電系統所產生的重新程式化作業中, 記憶體裝置內部信號之時序波形。如前文所述, 在重新程式化作業中, 係重複執行程式化作業, 程式驗證作業, 及程式化狀態探測作業。

在到達 t_1 之前, 係將載入資料提取到讀出放大器電路 SAC。連接到被選擇程式化資料線的讀出放大器電路之資料, 可以是 V_{cd} 或外部電源電壓 V_{cc} 。而未被選擇程式化之資料則是基底電壓 V_{ss} 。

自 t_1 到 t_2 時, 起動了預先充電信號 PG, 且只有利用讀出放大器電路 SAC 的資料而執行程式化的資料線被選擇性地預先充電。因為在執行程式化之資料 (' 1 ') 中電壓為 V_{cd} , 所以圖 6 所示預先充電控制電路 PCC 中之 MOSFET (a) 為導通狀態, 且只能將電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

壓施加到資料線 D_i 。另一方面，於維持抹去狀態 (' 0 ') 時，M O S F E T (a) 為斷路狀態，並不將電壓施加到資料線 D_i 。

圖 7 中自 t_2 到 t_3 時，起動了預先充電控制電路 P C C 中 M O S F E T (c) 的閘極輸入信號 D G，而將讀出放大器電路 S A C 的資料訊息 (' 1 ' 代表電壓 V_{cd} ，' 0 ' 代表電壓 V_{ss}) 傳送到記憶單元的吸極端。此外，當我們假設被選擇程式化的區段為圖 6 中的記憶單元組群 (M 1, M 4) 之區段時，將負電壓施加到被選擇的字線 W_1 ，並將電壓 V_{cd} 施加到程式化資料吸極，此時隧道現象將電子自吸極注入浮動閘極，因而執行程式化。至於未被選擇字線 W_2 之電壓，係施加了正電源電壓，以便控制吸極電壓 (即資料電壓 V_{cd}) 所產生的干擾現象。

自 t_3 到 t_4 時，資料線放電 M O S F E T 之閘極信號 D D C 變成高位準，且起動了圖 1 0 所示之資料線放電 M O S F E T s Q 1 及 Q 2，因而使資料線之電壓放電。其後，即開始程式驗證作業。

自 t_4 到 t_5 時，起動了預先充電信號 P G，而且以類似於 t_1 到 t_2 時之作業方式，由讀出放大器電路 S A C 及預先充電控制電路 P C C 之 M O S F E T (a) 對被選擇做程式化的資料線預先充電。

自 t_5 到 t_6 時，將低於正常程式驗證時所用電源電壓 (例如約為 1.5 伏) 之電壓施加到被選擇的字線 W_1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

。

視記憶單元之臨界電壓而定，使積聚在資料線 D_i 寄生電容中之電荷被選擇性地放電。亦即，當程式化記憶單元之臨界電壓達到所需的低臨界電壓時，電流即在記憶單元中流動，且降低了資料線之電壓。若並未達到程式化之臨界電壓時，則資料線 D_i 保持預先充電之電壓。設定時間 (t_5) 而不使記憶單元的電流固定流動，以便在起動字線選擇信號之前抑制資料線之預先充電信號 P_G 。

自 t_6 到 t_7 時，啟動了供連接資料線 D_i 及讀出放大器電路 SAC 且係在預先充電控制電路 PC_C 中 $MOSFET(c)$ 之閘極輸入電壓 D_G ，並由讀出放大器電路 SAC 決定資料線 D_i 之電壓。根據資料線 D_i 寄生電容中之電荷分配，讀出放大器電路 SAC 中之寄生電容，資料線 D_i 之電壓，以及讀出放大器電路之資料電壓 (V_{cd})，而作出上述決定。當資料線 D_i 之電壓高於讀出放大器電路 SAC 之邏輯臨界電壓時，即保持載入資料原先被選擇的電壓 (即 V_{cd})；當該電壓低於邏輯臨界電壓時，讀出放大器電路 SAC 之資料為基底電壓 V_{ss} ，因而自動執行載入資料的重新程式化。此外，在完成了讀出放大器所做的決定時，預先充電控制電路 PC_C 中 $MOSFET(c)$ 之閘極輸入電壓 D_G 即被抑制。

自 t_7 到 t_8 時，在各記憶單元中執行狀態探測及狀態決定，以便得知執行程式化的所有記憶單元是否皆已完

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

成了程式化作業。在圖 6 中，程式化狀態探測電路 ALLC 具有預先充電系統動態電路的多輸入“反或”(NOR) 閘極構造，在此種構造中，每一資料線 $D_i a$ 設有一 n -通道 MOSFET f_i ，此 MOSFET f_i 之閘極係連接到讀出放大器電路 SAC 之輸出 $D_i a$ ，且分別採用了共用了源極及吸極 (A_{1a} ， A_{1b})。信號 $\overline{R1}$ 與 $\overline{P1}$ 以及 MOSFETs s_h 與 i 預先將共用的源極線 A_{ia} 及吸極線 A_{ib} 重設成基底電壓 V_{ss} ，並將此重保持到時間 t_7 。

由於圖 6 所示 MOSFET (a) 的起動，內部信號 $\overline{P1}$ 變為低位準，且共用源極線 A_{1a} 電壓上升到電源電壓 V_{cc} ，而讀出放大器電路 SAC 的資料控制了 n -通道 MOSFET f_i 的導通-斷路。因此，可決定於同一時間對所有資料線上的記憶單元組群(區段)進行程式化。若至少有一個讀出放大器電路 SAC 的資料為繼續程式化之資料(即 V_{cd})時，則共用源極線 A_{1a} 的電壓即變為基底電壓 V_{ss} 。另一方面，若所有的資料為已完成程式化之資料(即基底電壓 V_{ss})時，則將共用源極線 A_{1a} 保持在預先充電電壓值的電源電壓 V_{cc} 。記憶體裝置根據上述資訊控制程式化及程式驗證程序之繼續(即回到 t_1)及中止。

圖 8 示出本裝置於正常程式驗證作業時各信號的時序波形。在此種情形中，因為程式化目標記憶單元組群(區段)係連接到所有的資料線，所以利用一內部信號 \overline{SET}

(請先閱讀背面之注意事項再填寫本頁)

特

訂

線

五、發明說明 (23)

起動圖 6 所示讀出放大器電路 S A C 之資料，並將該資料設定成自 t_1 到 t_2 時之電壓 V_{cd} 。

自 t_2 到 t_5 時，波形與上述程式驗證作業（圖 7 中之 t_4 到 t_7 ）所示者相同，但被選擇的字線 W_i 的電壓有所不同，而為正常程式驗證時的電壓 V_{cc} 。此外，讀出放大器電路 S A C 的電源電壓 V_{cd} 可以是外部電源電壓 V_{cc} 。

圖 8 示出本裝置在抹去作業即抹去驗證作業時各信號之时序波形。自 t_1 到 t_2 時，係將正高電壓施加到圖 6 中被選擇的字線 W_1 ，而且放電 M O S F E T s Q_1 及 Q_2 之共用閘極信號 D D C 起動了資料線 D_i ，此時資料線 D_i 之電壓為基底電壓 V_{ss} ，而且在記憶單元的通道與浮動閘極之間產生了電位差，因而開始了抹去作業，使電子注入浮動閘極。

其後自 t_2 到 t_6 時，以類似於上述正常程式驗證作業之方式執行抹去驗證作業。於抹去驗證時，將高於正常程式驗證時電源電壓 V_{cc} 之電壓（例如 5 伏）施加到被選擇的字線 W_1 。

自 t_5 到 t_6 時，起動了預先充電控制電路 P C C（此 P C C 使圖 6 所示之資料線 D_i 及讀出放大器電路 S A C 相互連接）中 M O S F E T（c）之閘極輸入信號 D G，且讀出放大器電路 S A C 決定資料線 D_i 之電壓。根據資料線 D_i 寄生電容中之電荷分配，讀出放大器電路 S A C 中之寄生電容，資料線 D_i 之電壓，以及讀出放大

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(24)

器電路之資料電壓 (V_{cd})，而作出上述決定。當資料線 D_i 之電壓高於讀出放大器電路 SAC 之邏輯臨界電壓時，即保持載入抹去資料原先被選擇的電壓 (即 V_{cd})；當該電壓低於邏輯臨界電壓時，讀出放大器電路 SAC 之資料為基底電壓 V_{ss} ，因而自動執行抹去資料的重新程式化。此外，在完成了讀出放大器所做的決定時，預先充電控制電路 PCC 中 $MOSFET(c)$ 之閘極輸入電壓 DG 即被抑制。

自 t_6 到 t_7 時，在各記憶單元中執行狀態探測及狀態決定，以便得知所要抹去的記憶單元群集 (區段) 是已到達了抹去臨界電壓。在圖 6 中，抹去狀態探測電路具有預先充電系統動態電路的多輸入「反及」(NAND) 閘極構造，在此種構造中，每一資料線 D_{ia} 設有一 p -通道 $MOSFET_{ei}$ ，此 $MOSFET_{ei}$ 之閘極係連接到讀出放大器電路 SAC 之輸出 D_{ia} ，且分別採用了共用了源極及吸極 (AO_a, AO_b)。信號 \overline{PO} 與 \overline{RO} 以及 $MOSFET_{sm}$ 與 n 預先將共用的源極線 AO_a 及吸極線 AO_b 重設成基底電壓 V_{ss} ，並於時間 t_6 時解除此重設。

由於 $MOSFET(k)$ 的起動，內部信號 \overline{PO} 變為低位準，且共用吸極線 AO_b 電壓上升到電源電壓 V_{cc} ，而讀出放大器電路 SAC 的資料控制了 p -通道 $MOSFET_{ei}$ 的導通-斷路。因此，可決定於同一時間對所有資料線上的記憶單元組群 (區段) 進行抹去。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

若至少有一個讀出放大器電路 S A C 的資料為繼續抹去之資料(即 V c d)時,則共用源極線 A O a 的電壓即保持在預先充電電壓值的電源電壓 V c c ;另一方面,若所有的資料為已完成抹去之資料(即基底電壓 V s s)時,則共用源極線 A O a 將變成基底電壓 V s s 。記憶體裝置根據上述資訊控制抹去作業之繼續(即回到 t 1)及其中止。

圖 1 0 是第二重新程式化電路一實施例之方塊圖。類似於第一重新程式化電路的方塊圖所示者,每一資料線 D i 設有一預先充電控制電路 P C C ,一讀出放大器電路 S A C ,及一狀態探測電路 A L L C 。現在將說明與第一重新程式化電路方塊圖的不同之處。第一個不同處:在預先充電控制電路 P C C 中,係利用預先充電信號 P G 控制施加到資料線的預先充電電壓;且係在與其串聯的 M O S F E T (a) 的源極電壓 V P G 上執行此一控制。第二個不同處:讀出放大器電路 S A C 接收一設定信號 S E T ,此設定信號 S E T 係連接到形成此讀出放大器電路 S A C 的閘鎖電路中之 D i b 。第三個不同處:讀出放大器電路 S A C 中之電源布線 V c d 及 V s d 係為複數個讀出放大器電路 S A C 所共用(例如矩陣)。此外,亦可採用電源電壓供應或電源布線的開路節點狀態。

在本發明中,若將記憶單元陣列分成兩個或更多個區段,並使預先充電信號 P G ,資料線閘極信號 D G ,及各別區段所用的閘鎖設定信號 S E T 等各種內部控制信號之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

起動時間移動，即可降低讀出放大器電路S A C中消耗電流之峰值。

圖11是將本發明應用於NAND-EEPROM的一重新程式化電路之方塊圖。在此NAND-EEPROM中，記憶單元狀態探測電路ALLC包含若干MOSFET，每一MOSFET在其閘極輸入具有讀／寫電路的兩個輸入／輸出布線。這些MOSFETs的吸極及源極係與資料線共用，因而形成了作為預先充電系統動態電路之多輸入、反或（NOR）閘極構造。一預先充電系統以類似於上文所述之時序使用Aa及Ab端，以便陣列（a）端的記憶單元組群中，所有處於低臨界電壓（即抹去狀態）下的所有資料線可同時做決定；而Ba及Bb端則係用於高臨界電壓（即寫入狀態）。

圖12是本發明第二記憶體陣列之電路圖。如電路圖所示，諸擴散層 D_{1nm} 或類似構造連接至少兩個或更多個記憶單元，且以字線系統信號 W_n 作為閘極輸入的各吸極選擇MOSFETs $_{nm}$ 係連接於共用吸極擴散層布線 D_{1nm} 與資料線 D_m 之間。

若利用階層構造形成各字線時，亦可採用圖13及圖14所示之結構。本發明第三記憶體陣列之電路圖係示於圖13。在此電路圖中，擴散層 D_{1nm} ， S_{1nm} 等連接了至少兩個或更多個記憶單元，且以字線系統信號 W_{nd} 作為閘極輸入的各吸極選擇MOSFETs $_{nm}$ 係連接於共用吸極擴散層布線 D_{1nm} 與資料線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(27)

D m 之間，而以字線系統信號 W s d 作為閘極輸入的各源極選擇 M O S F E T s S S n m 係連接於共用源極擴散層布線 S l n m 與連接到共用源極線 C S 的擴散層布線 C S l n 之間。於圖 1 3 中，W 1 1，W 1 2，W 1，W 2，W 2 1，W 2 2，……… W n，W n 1 及 W n 2 代表具有階層構造的各字線，且係以兩個階段控制存取。當通常係將各字線表示為 W n 及 W n d 時，字尾 n 指示了選擇此字線的第一信號（即主信號），而字尾 d 指示了選擇此字線的第二信號（即副信號）。例如，當選擇字線的第一信號（即主信號）為 ' 2 ' 時，即起動 W 2；而當選擇字線的第一信號（即主信號）為 ' 2 '，且選擇此字線的第二信號（即副信號）為 ' 1 ' 時，即起動 W 2 1。

在本裝置的布線中，記憶單元的整個表面幾乎都蓋上了字線。未被選擇的字線數量有數千之多，此種字線的電壓為正常程式驗證作業及每一每一驗證作業下的基底電壓 V s s。因此，可使各資料線與各字線系統間之寄生電容穩定下來。

圖 1 4 所示者係本發明中具有矩陣構造的一實施例，其中第二複數個記憶單元組群係形成一區段。此處將用來代替基底電壓 V s s 的參考電壓 V r e f 施加到形成讀出放大器電路 S A C 的閘鎖電路之預先充電控制電路 P C C，並將此參考電壓 V r e f 施加到並未連接到狀態探測電路 A L L C 的另一端上之布線（即圖 1 0 中之 D i b）。在此種情形下，讀出放大器電路 S A C 比較參考電壓

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (28)

V r e f ，即可作出程式驗證的決定 (` 1 ` ， ` 0 `) 。

圖 1 5 所示者係本發明第三矩陣構造之實施例。此實施例具有開路位元線之構造，其中係將記憶體矩陣分成兩個部分。圖 1 0 所示第二重新程式化電路之方塊圖對應於此一矩陣構造。

圖 1 6 所示者係本發明第四矩陣構造之實施例。此實施例與圖 1 4 所示者不同之處在於：其中設有一參考虛擬資料線，其中設有與正常資料線 D i 相同的寄生電容，以及此參考虛擬資料線之電壓係用於產生參考電壓 V r e f 。

圖 1 7 所示者係本發明第五矩陣構造之實施例。在記憶體之上及之下，皆配置了預先充電控制電路 P C C ，讀出放大器電路 S A C ，及狀態探測電路 A L L C ，而且係以奇數資料線及偶數資料線為單位而操作這些電路。於操作奇數資料線時，即將偶數資料線用來作為參考虛擬資料線。而於操作偶數資料線時，則將奇數資料線用來作為參考虛擬資料線。

圖 1 8 所示者係本發明第六矩陣構造之實施例。形成此記憶體矩陣的各記憶單元係配置在奇數字線與奇數資料線的交點上，並係配置在偶數字線與偶數資料線的交點上。此外，每一對相鄰資料線皆配置有讀出放大器電路 S A C 及狀態探測電路 A L L C ，而且各相鄰資料線中之每一資料線皆係用來作為參考虛擬資料線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

如上文所述，本發明具有下列顯著的效用：可在記憶體裝置中，探測各記憶單元之狀態，以便利用所有的資料線，自動於同一時間執行電氣式重新程式化作業（亦即抹去作業及程式化作業）；並可在記憶體裝置中，執行對非充分抹去，程式化的繼續及中止等之控制。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體非揮發性記憶裝置

本案係一種半導體非揮發性記憶裝置，其中係決定此非揮發性記憶體裝置中所有資料線中每一資料線的各記憶單元狀態，以便自動執行程式化的繼續及中止等控制。記憶單元陣列包含：以陣列方式配置的若干非揮發性半導體記憶單元；字線 W1 及 W2，而複數個記憶單元組群(區段)的各控制閘極係以共用方式連接到該等字線；以及若干資料線，而複數個記憶單元之吸極係以共用方式連接到該等資料線。每一該等資料線皆設有一預先充電電路，一具有讀出放大器功能及資料閘鎖功能的資料保持電路，以一記憶單元狀態探測電路。於同一時間，對連接到同一字線的各記憶單元(區段)執行重新程式化。於重新程式化作業時，於同一時間讀出所有資料線的各記憶單元之狀態；且在本裝置中，只須根據相關之資訊控制重新程式化作業的繼續及中止。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：Semiconductor nonvolatile memory device)

A semiconductor nonvolatile memory device in which the states of memory cells are determined with respect to each of all data lines in a nonvolatile memory device so as to perform control such as continuation and suspension of programming automatically. Memory cell arrays in which nonvolatile semiconductor memory cells are arranged in an array form, word lines W1 and W2 to which control gates of a plurality of memory cell groups (sectors) are connected in common and data lines to which drains of a plurality of memory cells are connected in common are included, and there are possessed of a precharging circuit, a data hold circuit having a sense amplifier function and a data latch function and a memory cell state detecting circuit for each of said data lines. Reprogramming is made at the same time with respect to memory cells (sector) connected to the same word line. During reprogramming operation, the state of memory cells is read out at the same time with all of the data lines, and continuation and suspension of the reprogramming operation are controlled in the device only based on the information.

訂

六、申請專利範圍

第 83104609 號專利申請案

中文申請專利範圍修正本

民國 86 年 3 月修正

1. 一種半導體非揮發性記憶裝置，包含：

複數個字線；

與該等複數個字線交叉的複數個資料線；

複數個非揮發性半導體記憶單元，每一該等記憶單元包括一控制閘極，一浮動閘極，一個連接到該等複數個字線其中一字線的源極，以及一個連接到該等複數個資料線其中一資料線的吸極；

複數個預先充電電路，每一預先充電電路係連接到該等複數個資料線其中一資料線；

複數個狀態探測電路，每一狀態探測電路係連接到該等複數個資料線其中一資料線；以及

複數個資料保持電路，每一資料保持電路係連接到該等複數個資料線其中一資料線；

其中在將資料自外部載入該等複數個記憶單元的程式化作業中；

該等複數個資料保持電路儲存施加到該記憶體裝置之資料，並在程式化一預定時間段落的該記憶體裝置中，將施加到該記憶體裝置的資料載入該等複數個記憶單元，而該等複數個記憶單元係連接到該等複數個字線中一被選擇的字線；

(請先閱讀背面之注意事項再填寫本頁)

訂

1/2

六、申請專利範圍

在使該被選擇的字線成爲不被選擇之後，該等複數個預先充電電路將該等複數個資料線預先充電到一電壓，該電壓係根據保持在該等複數個資料保持電路中之資料；

一然後重新選擇該被選擇的字線，而根據連接到被重新選擇的字線的該等複數個記憶單元中之程式化資料，重新程式化該等複數個資料保持電路中所儲存之資料；

該等狀態探測電路比較該等複數個資料保持電路中所儲存的重新程式化資料；以及

當該等複數個資料保持電路中所儲存的重新程式化資料互不相符時，即在連接到該被重新選擇的字線的該等複數個記憶單元中，在一預定的時間段落內，重新程式化該等複數個資料保持電路中所儲存的該等重新程式化資料。

2. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中資料門鎖電路包括正反器型之微分電路。

3. 如申請專利範圍第1項之半導體非揮發性記憶裝置，又包含：

一內部位址信號產生器，用以產生供選擇一資料線的位址信號，其方式係於程式化，抹去，或讀出時，使用被選擇字線的選擇位址信號。

4. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中於程式化時施加到該資料門鎖電路的電壓等於執行程式化的記憶單元之吸極電壓。

5. 如申請專利範圍第1項之半導體非揮發性記憶裝置，又包含一預先充電電路，該預先充電電路包含：

(請先閱讀背面之注意事項再填寫本頁)

訂

24

六、申請專利範圍

一 第一 M O S F E T ， 將 一 預 先 充 電 信 號 施 加 到 此 M O S F E T 之 一 閘 極 端 ， 並 將 此 M O S F E T 的 源 極 端 或 吸 極 端 其 中 之 一 連 接 到 資 料 線 ；

一 第 二 M O S F E T ， 將 該 資 料 保 持 電 路 的 輸 出 端 連 接 到 此 M O S F E T 之 閘 極 ， 並 將 此 M O S F E T 的 源 極 端 或 吸 極 端 其 中 之 一 連 接 到 第 一 M O S F E T 的 另 一 端 子 ， 且 將 此 M O S F E T 的 另 一 端 連 接 到 一 供 預 先 充 電 的 電 壓 布 線 ； 以 及

一 第 三 M O S F E T ， 將 一 資 料 線 閘 極 信 號 施 加 到 此 M O S F E T 之 閘 極 ， 將 此 M O S F E T 的 一 端 子 連 接 到 資 料 線 ， 並 將 此 M O S F E T 的 另 一 端 子 連 接 到 該 資 料 保 持 電 路 之 輸 出 端 。

6 . 如 申 請 專 利 範 圍 第 5 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 其 中 該 預 先 充 電 電 路 根 據 程 式 驗 證 作 業 中 於 程 式 驗 證 時 積 聚 在 資 料 保 持 電 路 中 之 電 壓 ， 而 將 預 先 充 電 電 壓 供 應 到 資 料 線 。

7 . 如 申 請 專 利 範 圍 第 5 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 其 中 於 抹 去 驗 證 時 ， 程 式 化 驗 證 時 ， 及 正 常 程 式 驗 證 時 ， 在 起 動 用 於 選 擇 一 字 線 之 信 號 之 前 ， 即 先 起 動 該 預 先 充 電 控 制 電 路 中 之 該 預 先 充 電 信 號 ， 並 在 抑 制 用 於 選 擇 該 字 線 之 信 號 之 前 ， 即 先 抑 制 該 預 先 充 電 信 號 。

8 . 如 申 請 專 利 範 圍 第 1 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 又 包 含 一 控 制 信 號 產 生 器 ， 該 控 制 信 號 產 生 器 係 回 應 一 信 號 而 執 行 下 列 功 能 ； 對 該 記 憶 體 裝 置 重 新 程 式 化 ； 將

六、申請專利範圍

施加到該記憶體裝置的資料轉移到一資料保持電路；同時將所有該等資料寫入一區段；同時驗證該區段中之所有記憶單元；利用一資料探測器並重複該寫入，而同時探測該區段中對應於每一記憶單元的每一該等資料保持電路中所有儲存資料之狀態，該驗證及該探測將繼續，直到所有資料保持電路中積聚的資料符合該區段的各記憶單元中所儲存的資料為止。

9. 如申請專利範圍第8項之半導體非揮發性記憶裝置，又包含一狀態暫存器或一備用／忙碌接腳，用以指示正在執行重新程式化作業或已完成該作業。

10. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中係於程式驗證時及抹去驗證時，利用一門鎖設定信號，預先重設該等資料保持電路中所儲存的資料。

11. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中在以電氣式重新程式化的程式化作業中，係利用一連接到每一該等資料線的資料線放電MOSFET，將資料線電壓放電，或使資料線電壓固定於接地狀態。

12. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中係將該記憶體陣列分割成兩個或更多個區段，且用於該等各別切割區段的各種控制信號之起動時間係彼此不同。

13. 如申請專利範圍第1項之半導體非揮發性記憶裝置，其中該狀態探測電路包含若干MOSFET，且該資料保持電路之輸出係連接到形成該狀態探測電路的該等

六、申請專利範圍

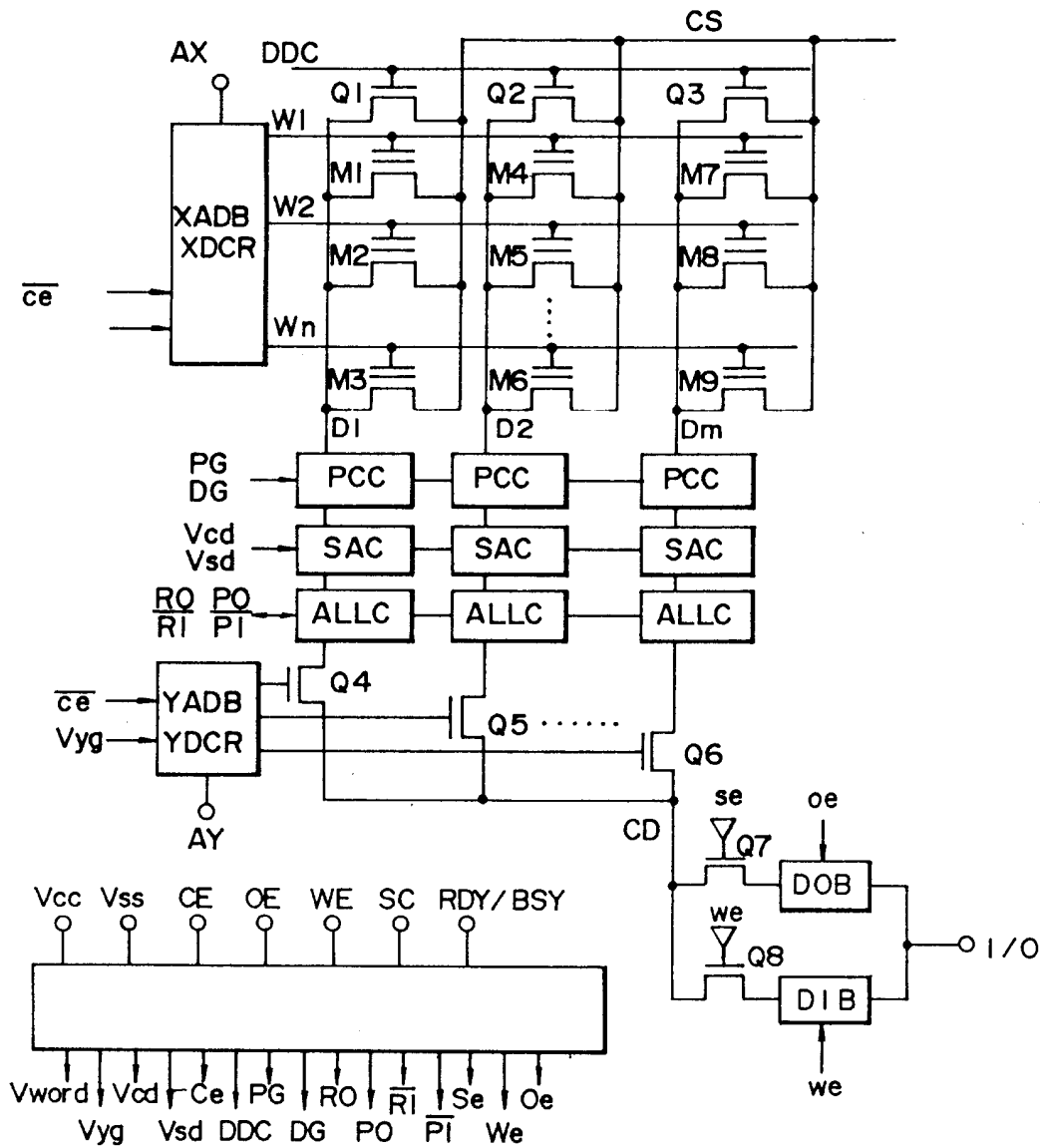
M O S F E T 之 閘 極 。

1 4 . 如 申 請 專 利 範 圍 第 1 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 其 中 該 狀 態 探 測 電 路 包 含 若 干 M O S F E T ， 該 資 料 保 持 電 路 之 電 壓 輸 出 係 連 接 到 該 等 M O S F E T 之 閘 極 ， 且 對 應 於 該 等 複 數 個 資 料 保 持 電 路 的 該 等 M O S F E T 之 各 源 極 端 及 各 吸 極 端 係 分 別 以 共 用 之 方 式 連 接 。

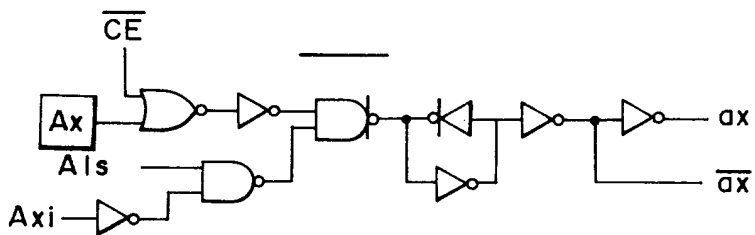
1 5 . 如 申 請 專 利 範 圍 第 1 1 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 其 中 形 成 該 狀 態 探 測 電 路 的 該 等 M O S F E T 係 非 揮 發 性 記 憶 單 元 ， 且 連 接 到 一 瑕 疵 記 憶 單 元 的 各 資 料 線 所 對 應 之 該 等 半 導 體 非 揮 發 性 記 憶 單 元 係 被 抑 制 。

1 6 . 如 申 請 專 利 範 圍 第 1 2 項 之 半 導 體 非 揮 發 性 記 憶 裝 置 ， 其 中 形 成 該 狀 態 探 測 電 路 的 該 等 M O S F E T 係 非 揮 發 性 記 憶 單 元 ， 且 連 接 到 一 瑕 疵 記 憶 單 元 的 各 資 料 線 所 對 應 之 該 等 半 導 體 非 揮 發 性 記 憶 單 元 係 被 抑 制 。

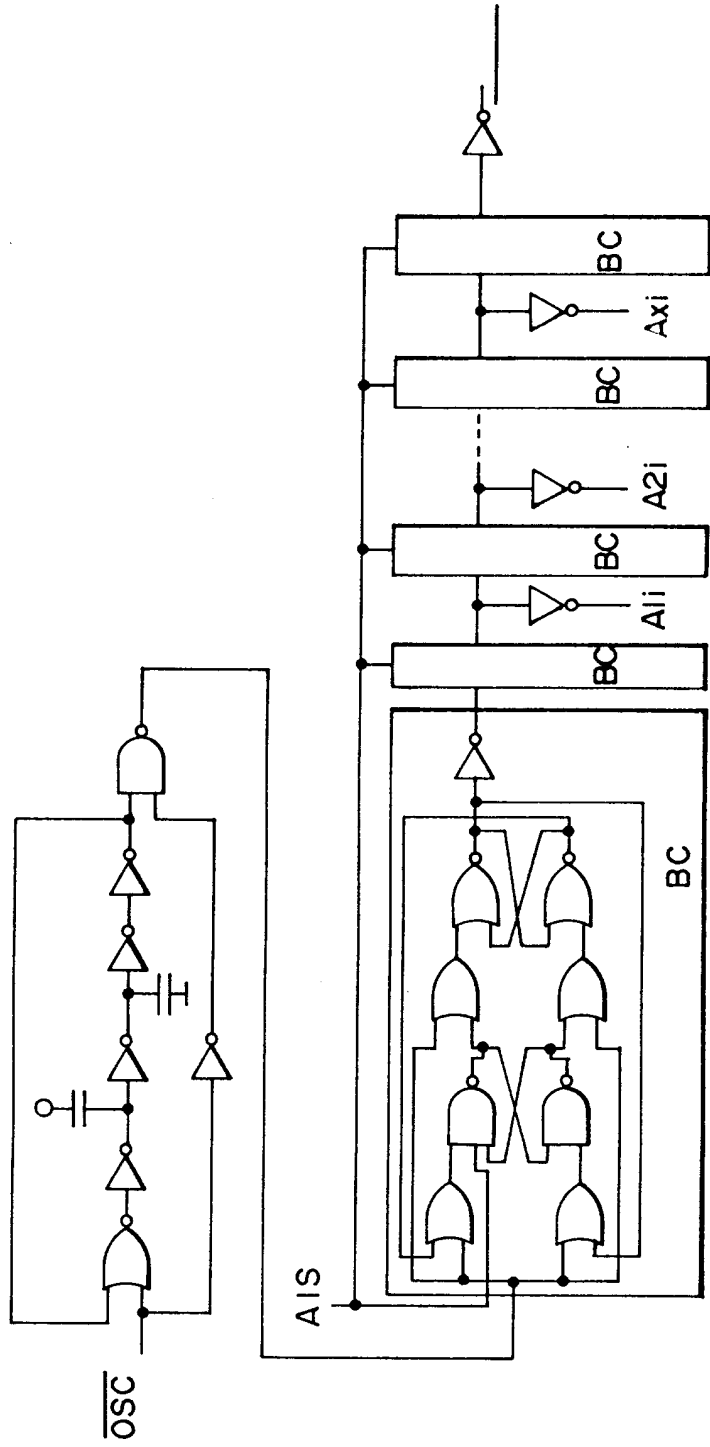
第 2 圖



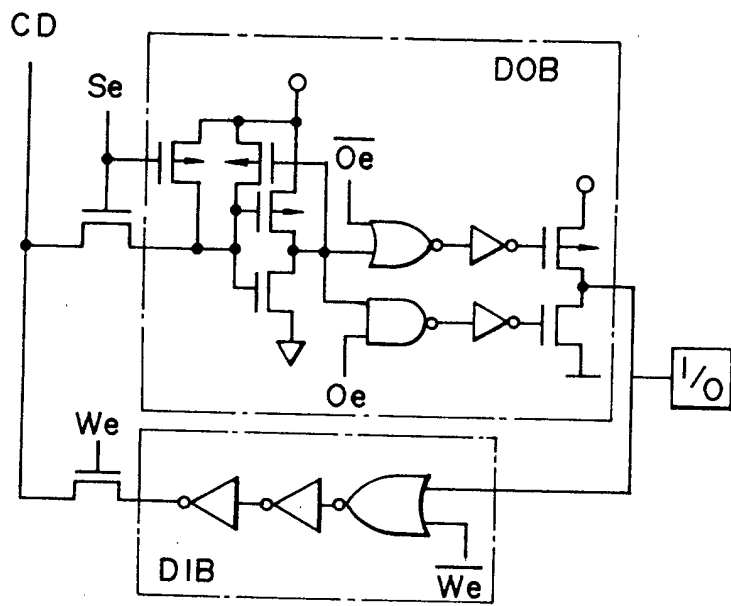
第 3 圖



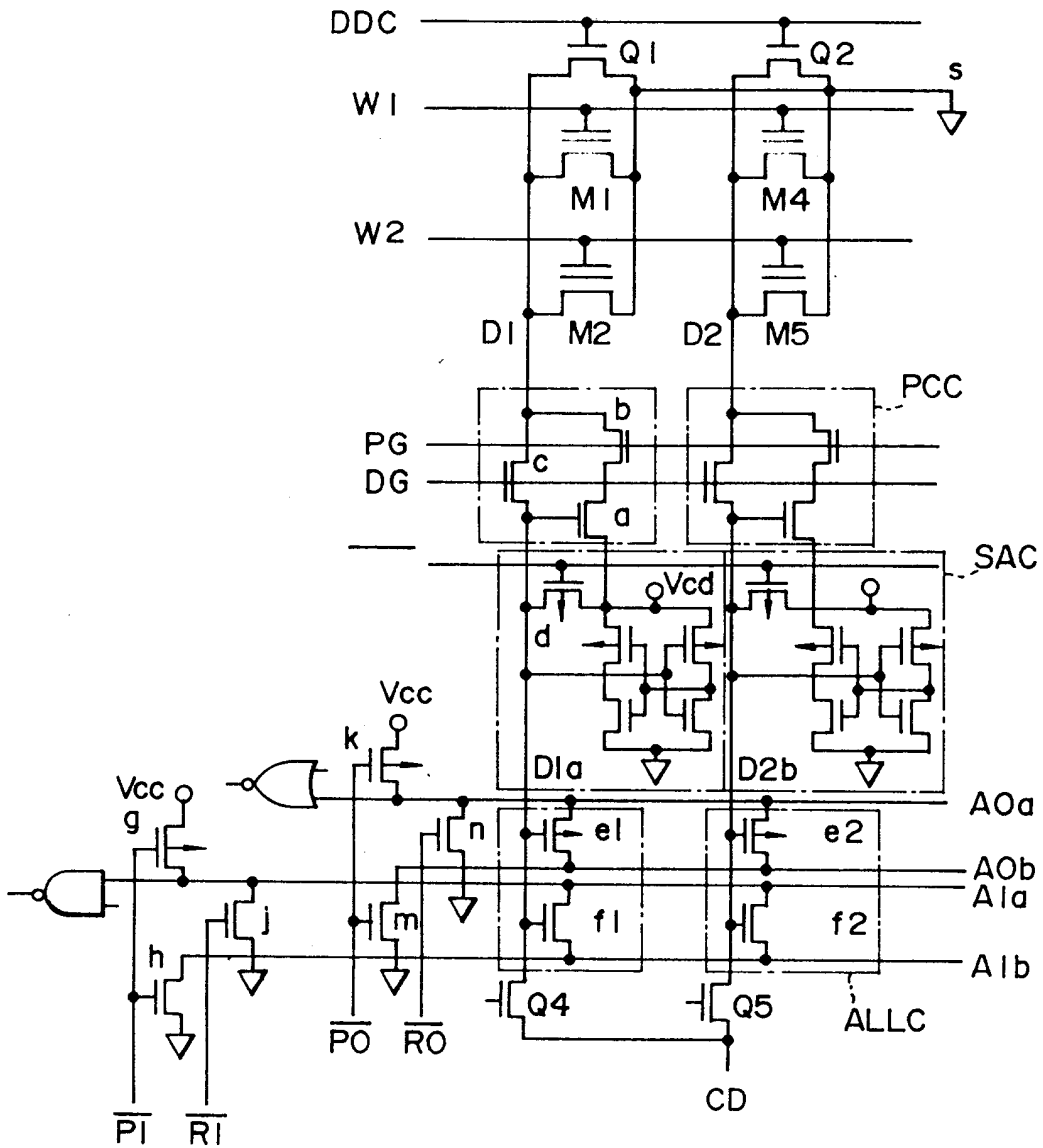
第4圖



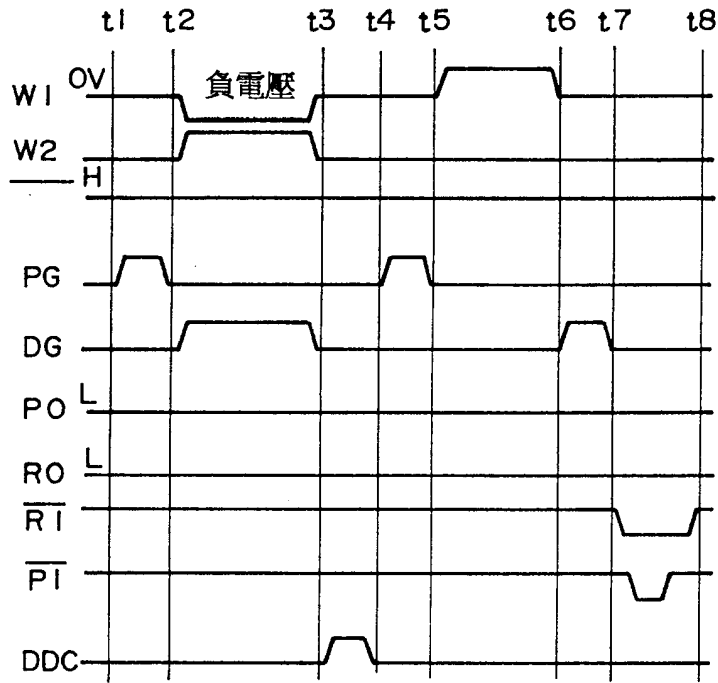
第 5 圖



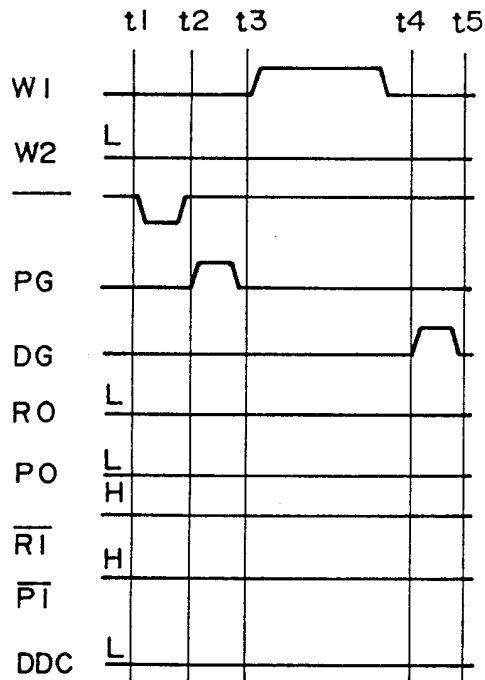
第 6 圖



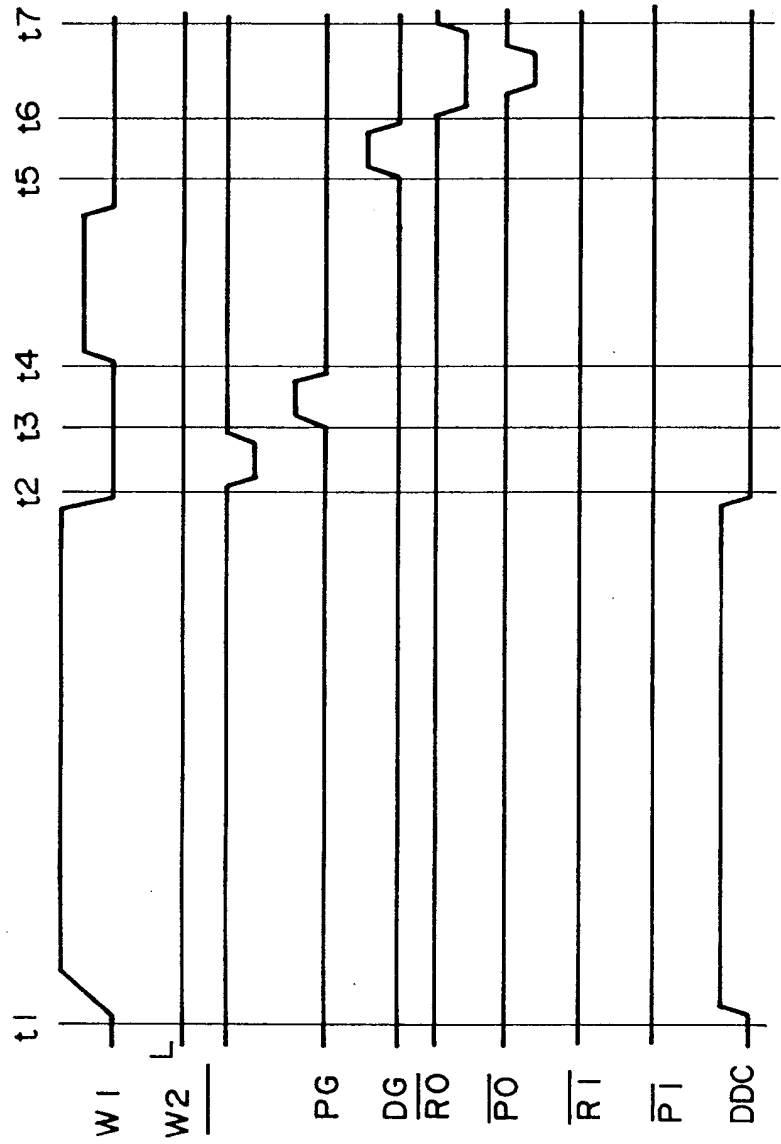
第7圖



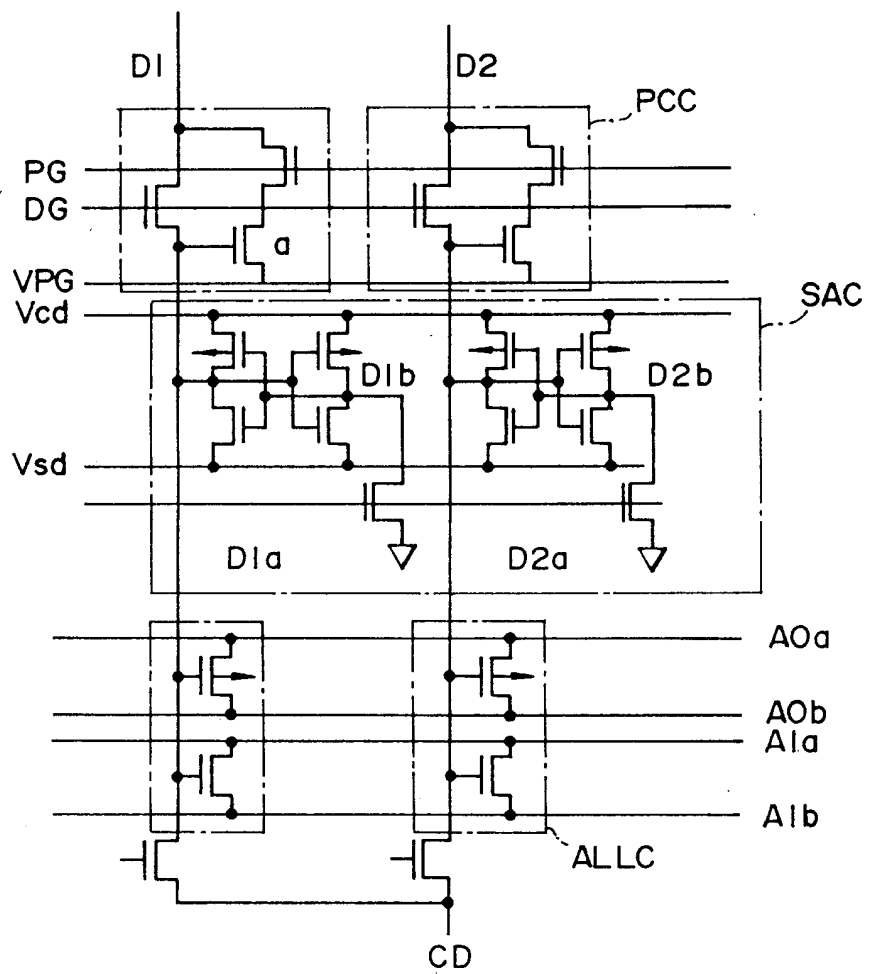
第8圖



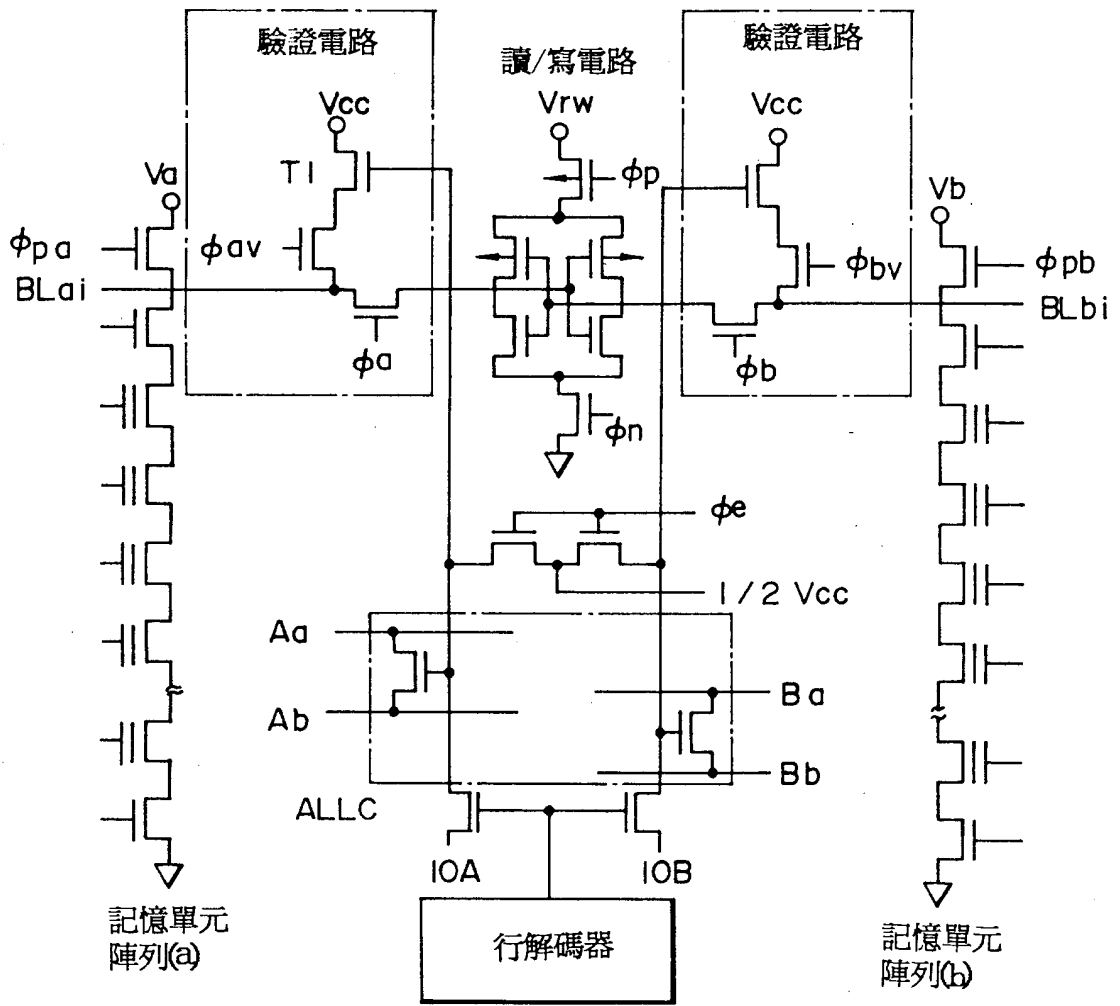
第9圖



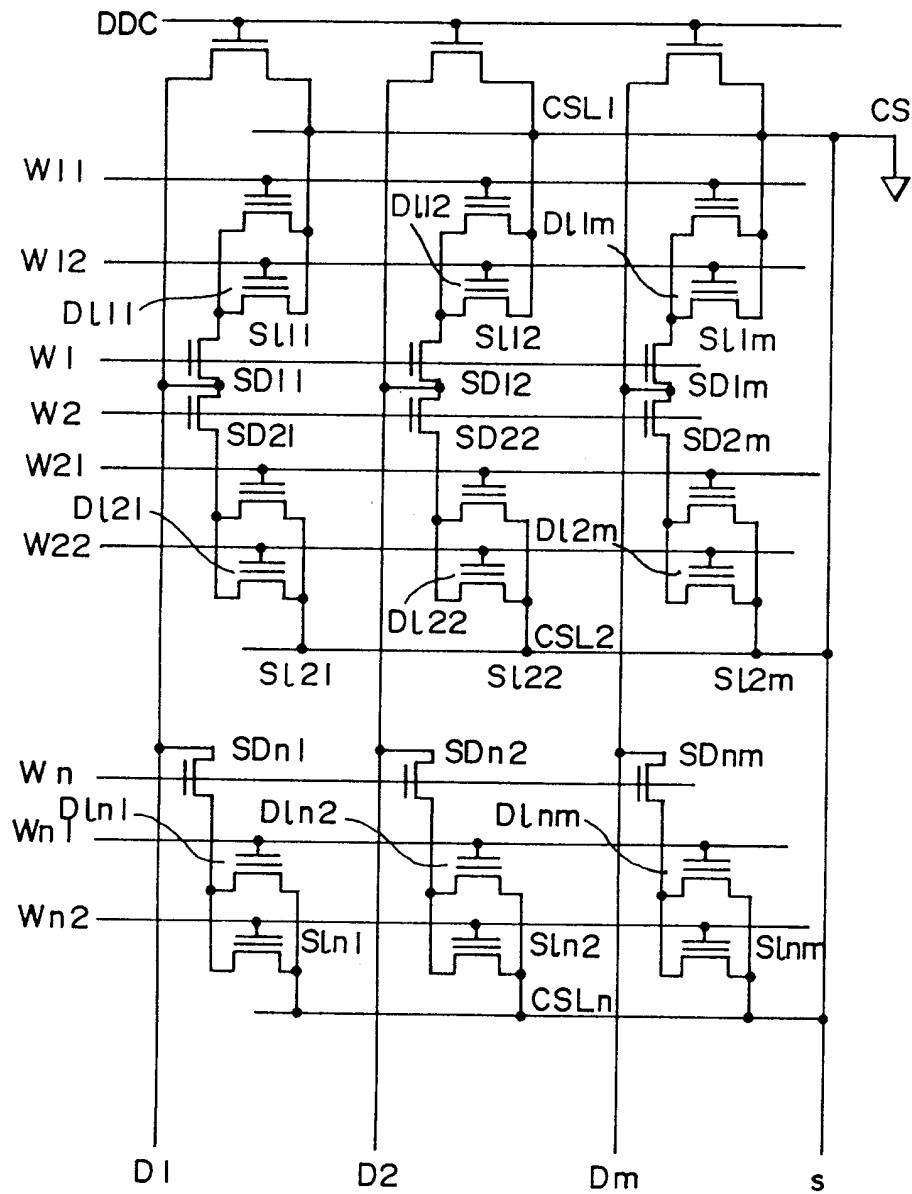
第10圖



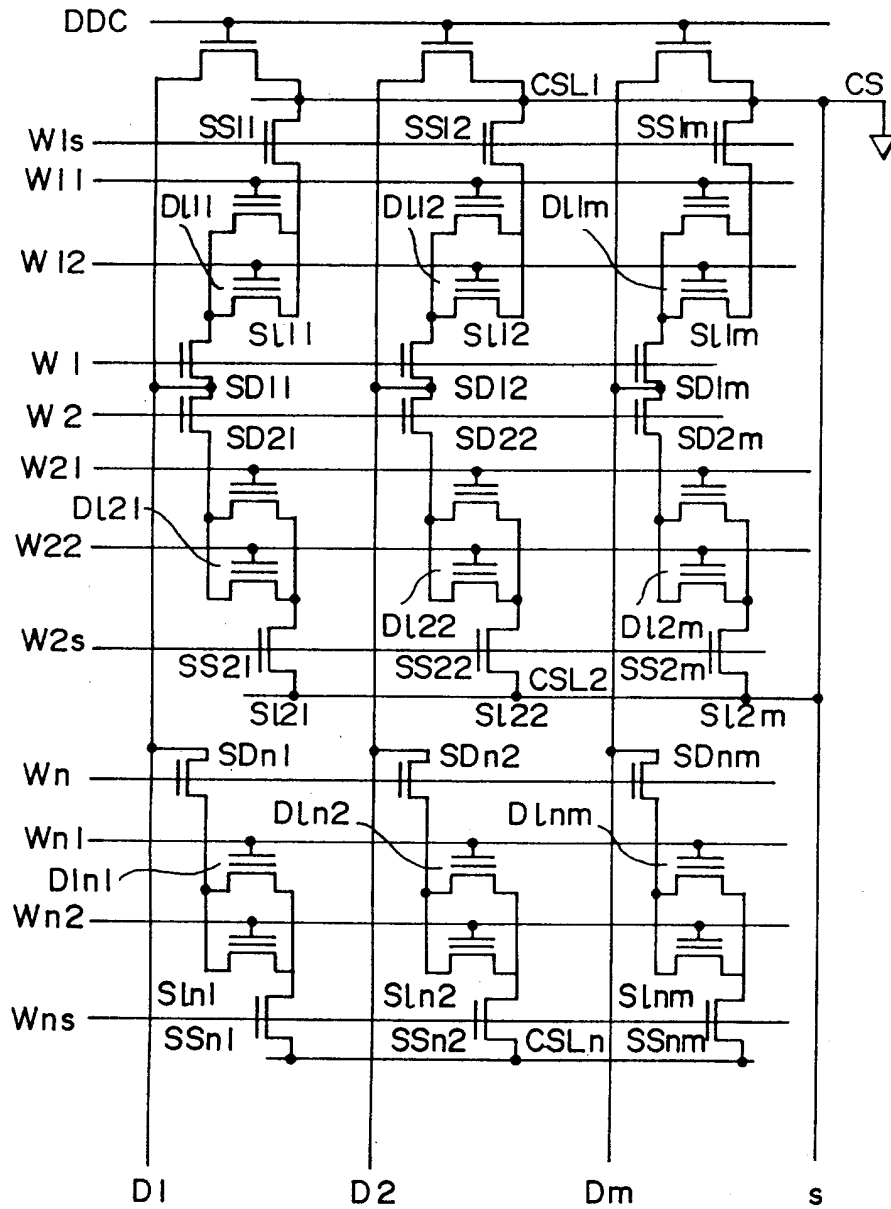
第11圖



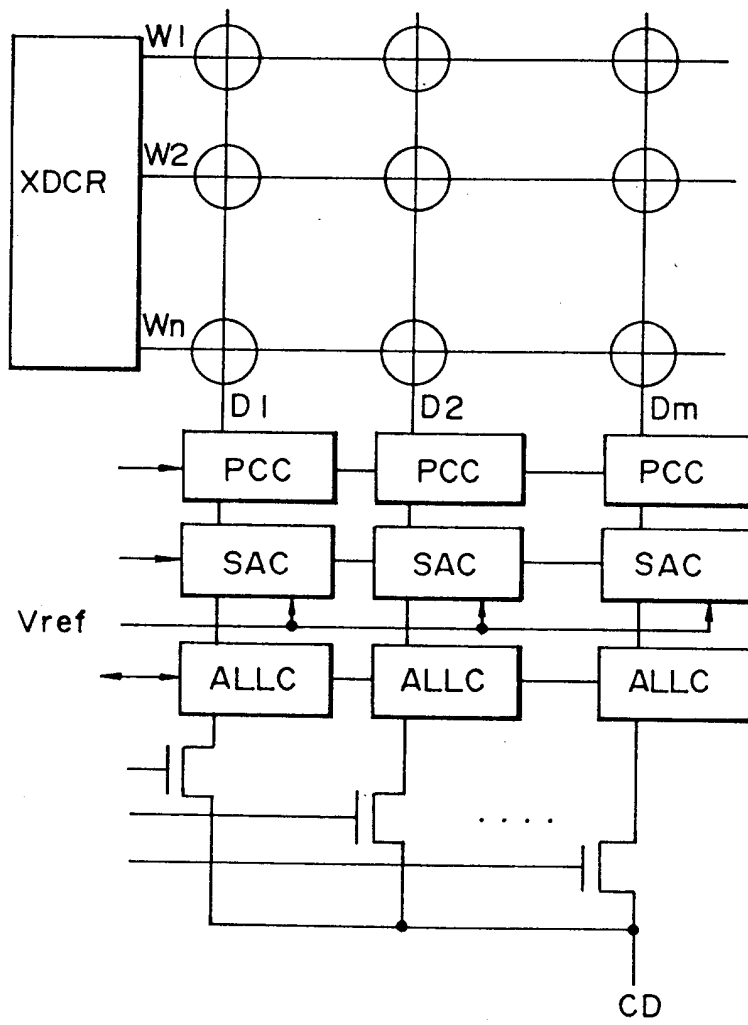
第12圖



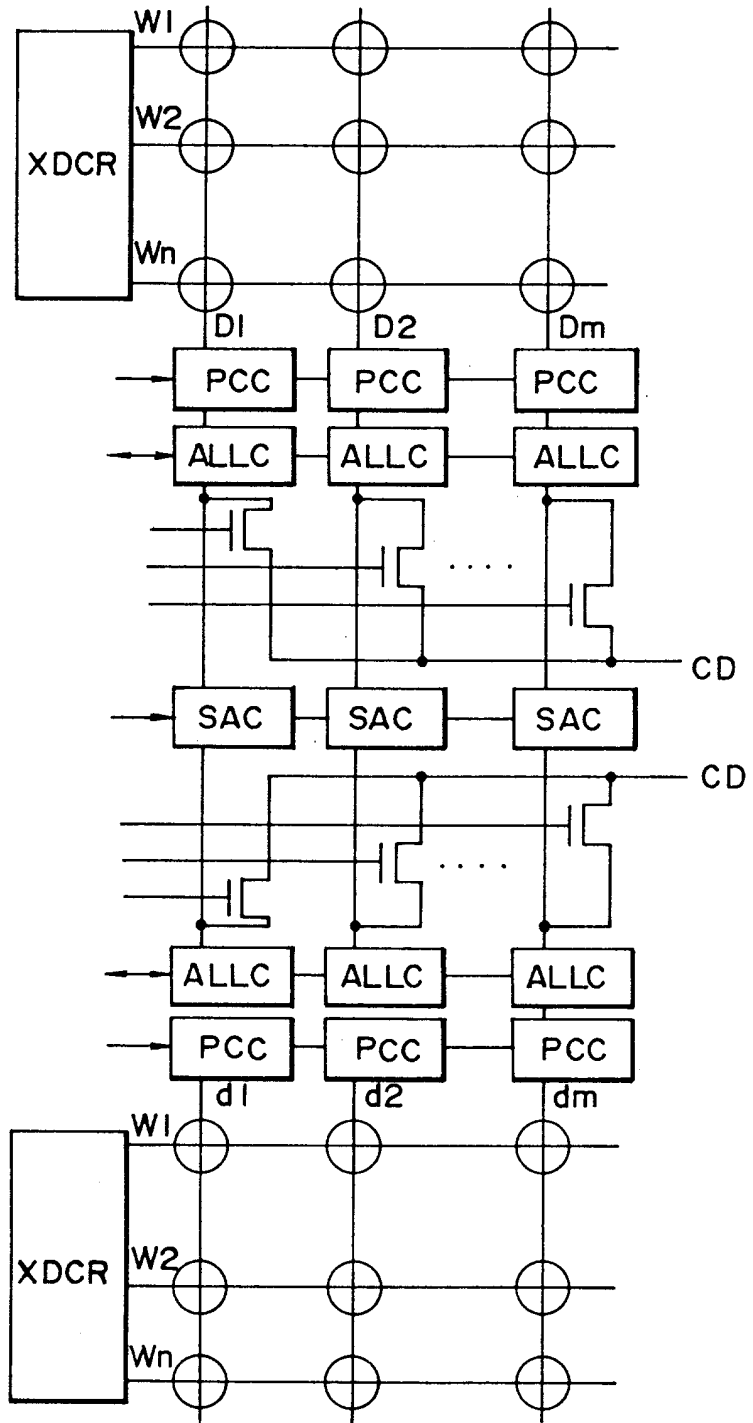
第13圖



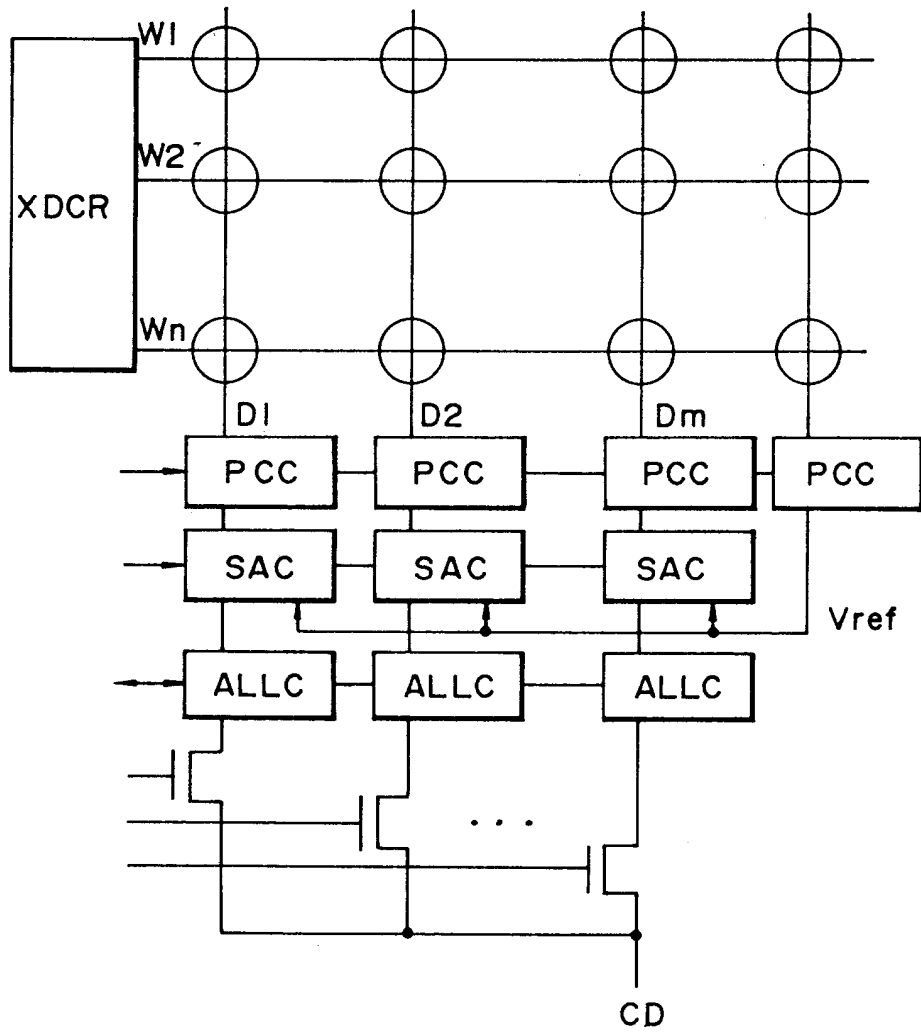
第14圖



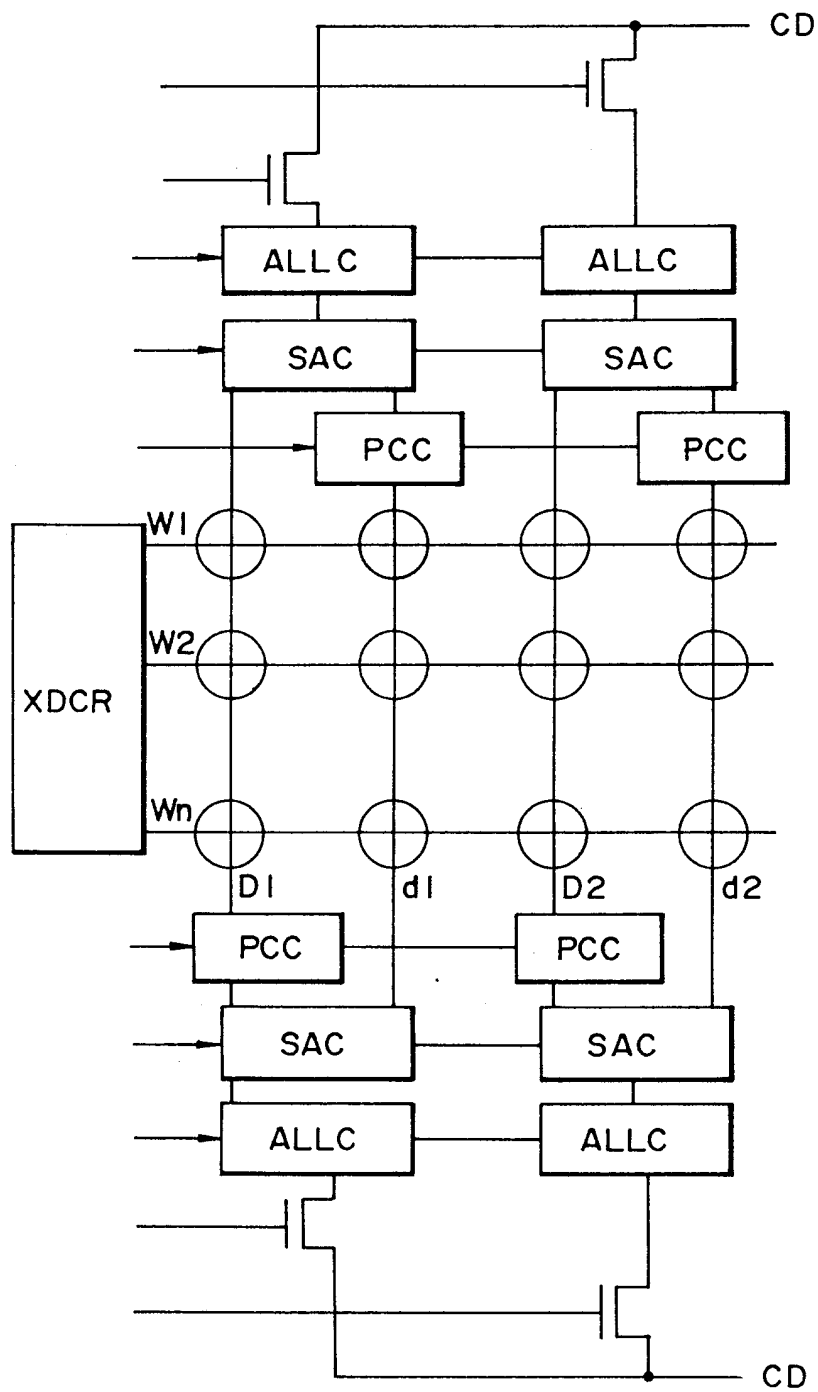
第15圖



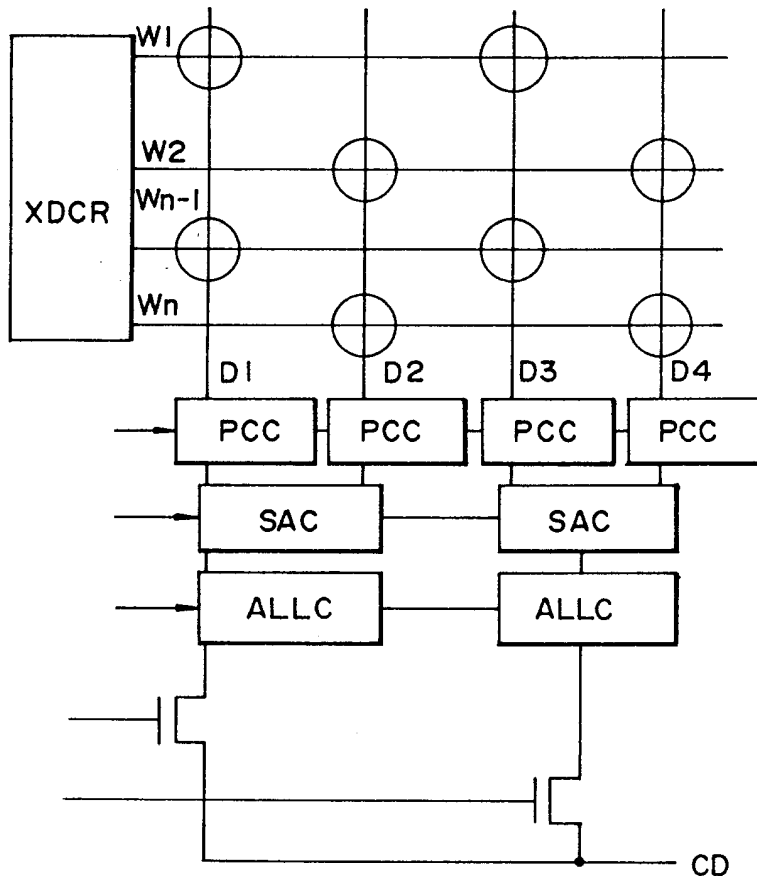
第16圖



第17圖



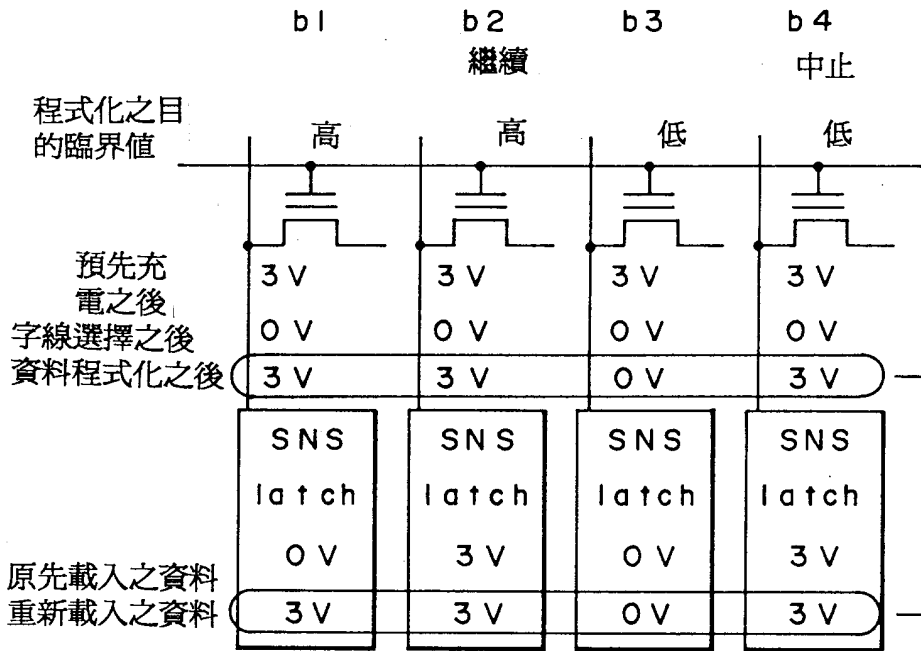
第18圖



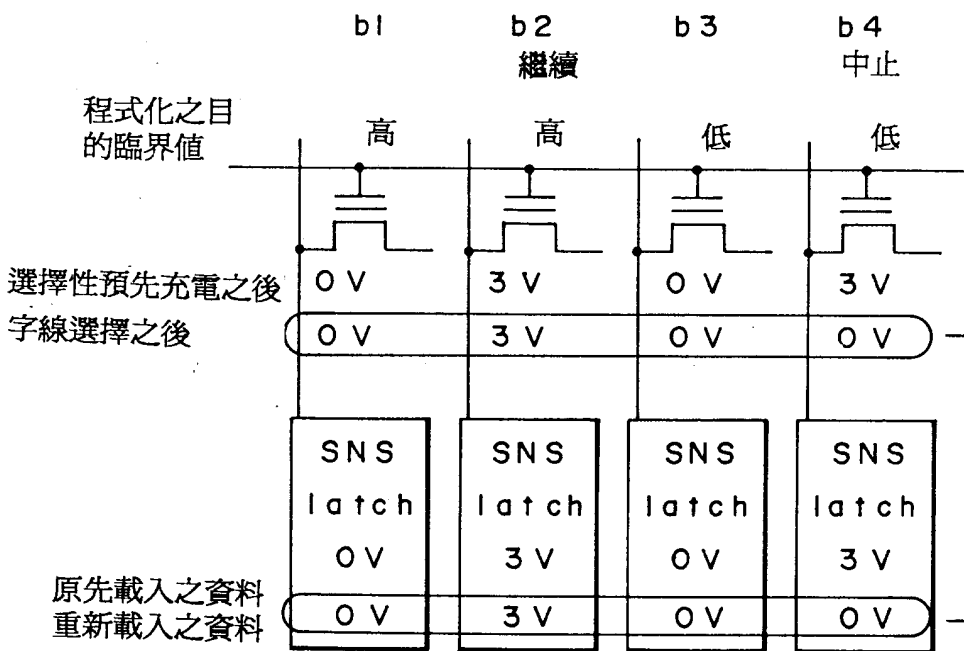
第19圖

| | 程式化作業之定義 | | 程式化技術 | 備註 |
|---|---------------------------|--------------------|--------|----------------|
| | 程式化臨界值 | 吸極電壓 | | |
| a | 在抹去之後，自低電位狀態選擇性地部分變成高電位狀態 | 被選擇 0優 未被選擇 正電壓 | 驗證系統 | NAND-EEPROM之定義 |
| b | 在抹去之後，自高電位狀態選擇性地部分變成低電位狀態 | 被選擇 正電壓 未被選擇 0優 | 預先充電系統 | 本發明之定義 |

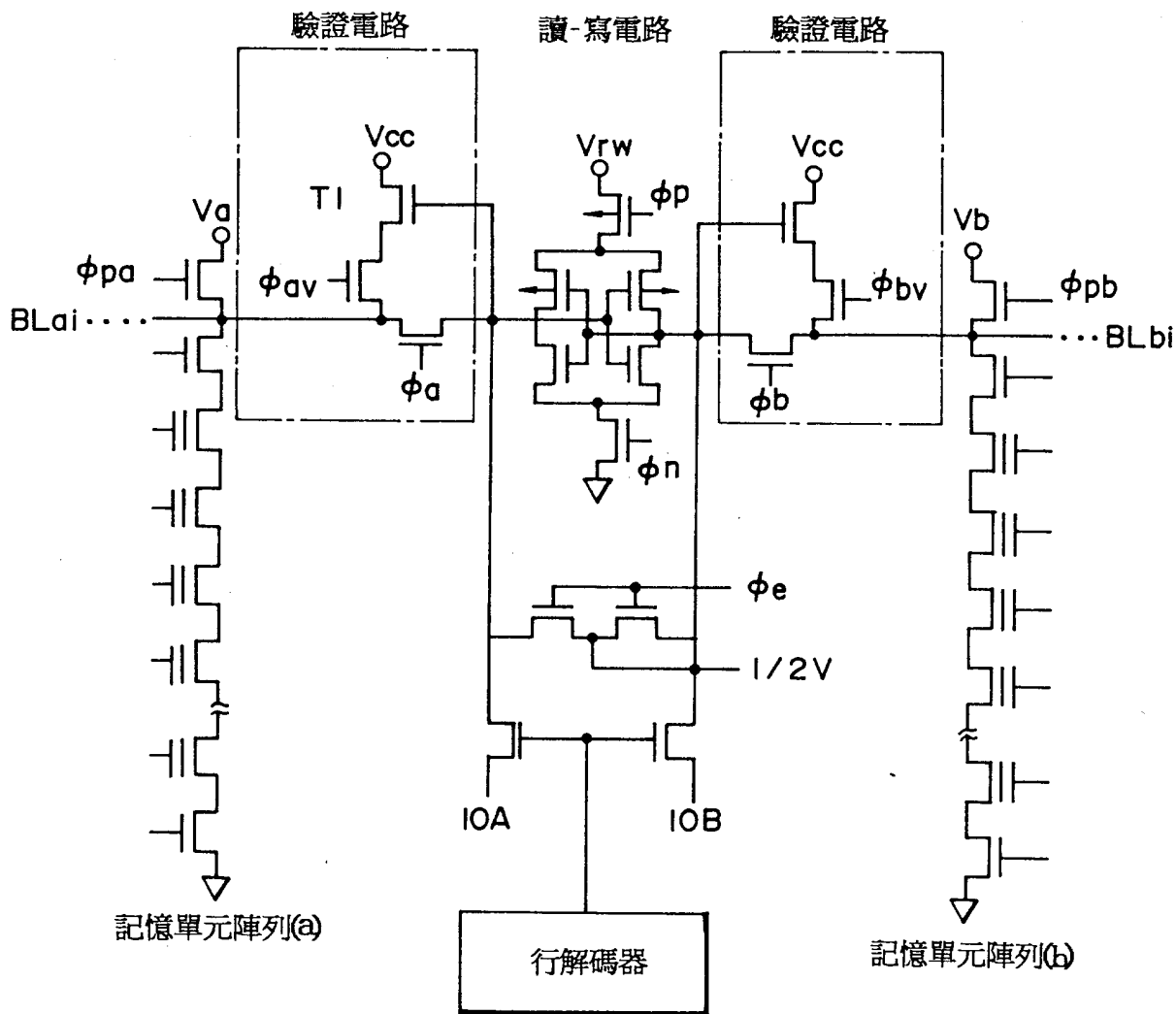
第20圖



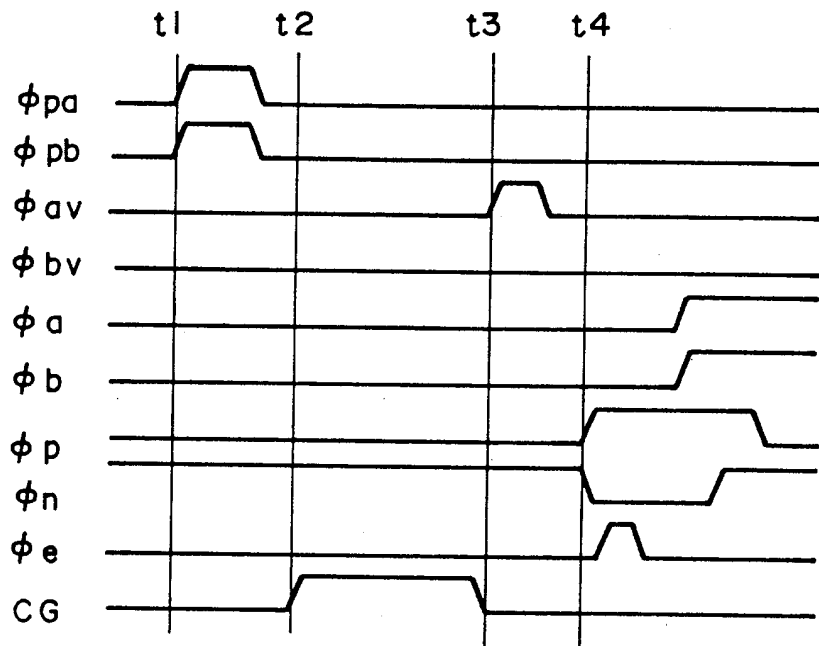
第21圖



第 22 圖



第 23 圖



第 24 圖

| | |
|------------------|---------|
| 程式資料 (鎖定資料) | 0 0 1 1 |
| 記憶單元資料 | 0 1 0 1 |
| 程式資料 (重新鎖定資料) | 0 0 1 0 |