

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-142995
(P2014-142995A)

(43) 公開日 平成26年8月7日(2014. 8. 7)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 A	5M024
G 1 1 C 11/4094 (2006.01)	G 1 1 C 11/34 3 5 3 C	

審査請求 有 請求項の数 1 O L (全 17 頁)

(21) 出願番号	特願2014-76283 (P2014-76283)	(71) 出願人	513192281 ピーエスフォー ルクスコ エスエイアールエル PS4 Luxco S. a. r. l. ルクセンブルク大公国エルー 2 1 2 1、ルクセンブルク、ヴァル デ ボン マラデス 2 0 8
(22) 出願日	平成26年4月2日 (2014. 4. 2)	(74) 代理人	100110881 弁理士 首藤 宏平
(62) 分割の表示	特願2009-213432 (P2009-213432) の分割	(72) 発明者	梶谷 一彦 東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内
原出願日	平成21年9月15日 (2009. 9. 15)	Fターム (参考)	5M024 AA02 AA37 AA44 BB14 BB20 BB35 BB36 CC64 CC72 DD26 DD28 PP01 PP03 PP07

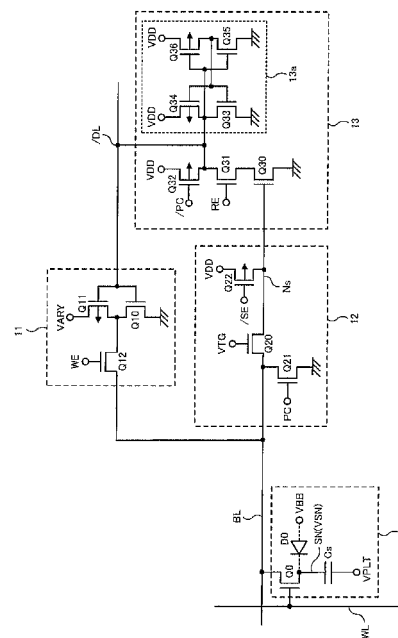
(54) 【発明の名称】 半導体装置、半導体記憶装置、及び半導体装置を含む情報処理システム

(57) 【要約】

【課題】メモリセルへの書き込み電圧を低減し、センスアンプの性能を良好に保ちつつ、低消費電力化と低コスト化を実現可能な半導体装置を提供する。

【解決手段】本発明の半導体装置は、メモリセル10、ビット線BL、書き込み回路11、転送制御回路12、センスアンプ13を備えて構成される。センスアンプ13は、電圧VSSと電圧VDD (VSS < VDD) とにより動作し、ビット線BLの信号電圧を増幅する。転送制御回路12は、転送制御電圧VTGに応じてビット線BLとセンスノードNsとの間の接続を制御するトランジスタQ20を含む。書き込み回路11は、電圧VSSと電圧VARYに基づいて、ビット線BLを介してメモリセル10への書き込みを行う。電圧VARYは、電圧VDDより低くかつ転送制御電圧VTGよりも高く設定され、センスノードNsは読み出し動作の初期時に転送制御電圧VTGより高い電圧に設定される。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

情報を記憶するメモリセルと、

前記メモリセルに接続されるビット線と、

第 1 の電圧及び当該第 1 の電圧より高い第 2 の電圧が供給され、前記メモリセルの情報に応じて前記ビット線に読み出される信号電圧を増幅するセンスアンプと、

ゲートに印加される転送制御電圧に応じて前記ビット線と前記センスアンプの入力側のセンスノードとの間の接続を制御する転送トランジスタを含む転送制御回路と、

前記第 1 の電圧と前記メモリセルの高電位の情報に対応する第 3 の電圧との間に基づいて、前記ビット線を介して前記メモリセルへの情報の書き込みを行う書き込み回路と、

10

を備え、

前記第 3 の電圧は、前記第 2 の電圧より低くかつ前記転送制御電圧よりも高く設定され、

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルに保持される情報をビット線に読み出してセンスアンプにより増幅する構成を備えた半導体装置に関する。

20

【背景技術】

【0002】

従来から、メモリセルからビット線に読み出した情報をセンス・増幅するセンスアンプを備えた半導体記憶装置が知られている（例えば、特許文献 1、2 参照）。また、特許文献 1 に関連して、電荷移送アンプを用いた半導体メモリ回路が知られている（非特許文献 1、2、3 参照）。特に、特許文献 1 の図 8 及びその説明において、出力トランジスタ M1（読み出しトランジスタ）のゲートを記憶ノード SN とするゲインセル型（DRAM セルの一種）のメモリセル MC が開示されている。このメモリセル MC は、記憶ノード SN に接続されているキャパシタ（不図示）にデータを蓄積するものである。ゲインセル型のメモリセル MC の動作によれば、出力トランジスタ M1 のゲート（記憶ノード SN）にデータを電位として書き込み、そのデータを読み出すときはキャパシタを介して記憶ノード SN の電圧を昇圧する。メモリセル MC からデータをセンスアンプ SA に伝送する。なお、特許文献 1 には、このキャパシタに関し、その具体的構造やキャパシタへの書き込み方法等についての具体的な開示はされていない。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 73121 号公報

【特許文献 2】特開平 11 - 16384 号公報

40

【非特許文献】

【0004】

【非特許文献 1】L.G.Heller et al., "High sensitivity charge-transfer sense amplifier," IEEE J. Solid-State Circuits, vol.SC-11, pp.596-601, Oct.1976

【非特許文献 2】T.Kawahara et al., "Bit-line clamped sensing multiplex and accurate high-voltage generator for 0.25 μm flash memories," in 1996 ISSCC Dig. Tech. Papers, Feb. 1996, pp.38-39.

【非特許文献 3】T.Kawahara et al., "Bit-line clamped sensing multiplex and accurate high-voltage generator for quarter-micron flash memories," IEEE J. Solid-State Circuits, vol. 31, no.11, pp. 1590-1599, Nov. 1996

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来の半導体記憶装置の構成は、主にセンスアンプの高速動作を目的としたものであり、メモリセルに対する書き込み電圧をセンスアンプの動作電圧に比べて十分小さくすることは考慮されていない。センスアンプの回路規模を小さくするため、1本のビット線に接続される1個のMOSトランジスタを用いたシングルエンド型のセンスアンプを採用する場合は、特に書き込み電圧を小さくすることが望ましい。すなわち、メモリセルの書き込み電圧が相対的に大きくなると、ビット線の充放電電流により消費電力が増大する。また、メモリセル（正確には、情報蓄積ノード（ストレージノード））から基板のリーク電流の影響によってメモリセルの情報保持時間が短くなるが、ワード線駆動に必要な昇圧電圧を大きくしなければならない、などの様々な問題を生じる。

10

【0006】

一方、一般にDRAMに用いられるセンスアンプとして、複数のMOSトランジスタをクロス状に配置したダイナミックラッチ回路（所謂、CMOSインバータの入力と出力が互いにクロスカップルされたラッチ回路）を含む構成が知られている。この種のセンスアンプの入力側の一对のビット線は、メモリセルへの書き込み電圧とグラウンド電位の間電圧にプリチャージされるので、センス開始時点でダイナミックラッチ回路の動作電圧は書き込み電圧の半分になる。このような構成において書き込み電圧を小さくするため、例えば、書き込み電圧を0.5Vに設定する場合には、ダイナミックラッチ回路の動作電圧が0.25Vとなって、MOSトランジスタの閾値電圧と同程度になってしまう。よって、センスアンプが正常に動作することは困難であるか、あるいは動作したとしても動作速度が極端に遅くなるという問題がある。

20

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の半導体装置は、情報を記憶するメモリセルと、前記メモリセルに接続されるビット線と、第1の電圧と当該第1の電圧より高い第2の電圧との間の電圧により動作し、前記メモリセルの情報に応じて前記ビット線に読み出される信号電圧をトランジスタのゲートに接続されるセンスノードに入力し、そのセンスノードの電圧を増幅するセンスアンプと、ゲートに印加される転送制御電圧に応じて前記ビット線と前記センスノードとの間の電気的な接続を制御する転送トランジスタを含む転送制御回路と、前記第1の電圧と前記メモリセルの高電位の情報に対応する第3の電圧との間に基づいて、前記ビット線を介して前記メモリセルへの情報の書き込みを行う書き込み回路と、を備えて構成される。本発明の半導体装置においては、前記第3の電圧は、前記第2の電圧より低くかつ前記転送制御電圧よりも高く設定され、前記センスノードは、前記メモリセルの情報が前記ビット線に接続される前である読み出し動作の初期時に、前記転送制御電圧よりも高い電圧に設定される点が特徴的である。

30

【0008】

また、上記課題を解決するために、本発明の半導体記憶装置は、蓄積電荷に応じて情報を保持するキャパシタを含むメモリセルと、前記メモリセルに接続されるビット線と、前記メモリセルが前記ビット線に接続される前に前記ビット線に設定した参照電圧と、前記メモリセルを前記ビット線に接続したときの前記参照電圧から遷移した前記ビット線の電位との関係に基づき、前記ビット線とセンスノードとの電気的な接続を制御する電荷転送制御回路と、前記センスノードがトランジスタのゲートに接続され、前記センスノードの信号電圧を増幅するシングルエンド型のセンスアンプと、前記メモリセルのハイ情報に対応する書き込み電圧に基づいて、前記ビット線を介して前記メモリセルへ情報の書き込みを行う書き込み回路と、を備えて構成される。本発明の半導体記憶装置においては、前記書き込み電圧は、前記センスアンプの動作電圧より低く設定され、前記電荷転送制御回路は、前記センスノードの電位を前記センスアンプの動作電圧に設定した状態で、前記参照電圧から遷移したビット線の電位が前記参照電圧より高い場合は前記ビット線と前記セン

40

50

スノードの電氣的な接続を切り離し、前記ビット線の電位が前記参照電圧より低い場合は前記ビット線と前記センスノードを電氣的に接続するように制御する点が特徴的である。

【0009】

さらに、上記課題を解決するために、本発明の半導体装置と、コントローラを備えた情報処理システムを構築することができる。情報処理システムのコントローラは、前記半導体装置とバスを介して接続され、前記半導体装置に記憶される情報を処理しつつ、システム全体の動作及び前記半導体装置の動作を制御する。

【発明の効果】

【0010】

本発明によれば、メモリセルに対する書き込み電圧を低減でき、センスアンプの良好なセンスマージンと高速な動作を確保でき、更に、低消費電力化及び低コスト化が実現できる。以下に、詳細な効果を示す。

【0011】

本発明によれば、メモリセルに対する書き込み電圧（第3の電圧）を、センスアンプの動作電圧（第2の電圧）より低く設定するとともに、転送制御回路の転送制御電圧よりも高く設定するので、メモリセルの高電位の情報を読み出したときのビット線の信号電圧は、センスノードを介してセンスアンプの動作電圧に変換して転送することができる。従って、センスアンプの動作速度とセンスマージンを維持して良好なセンス動作を保証しつつ、メモリセルに対する書き込み電圧を低減するという効果を奏する。

【0012】

また、本発明によれば、書き込み電圧を低減することにより、メモリセルのキャパシタに印加される電圧を下げることで、キャパシタ誘電体膜の電界強度の条件を維持しつつ、メモリセルの情報蓄積ノード（ストレージノード）のリーク電流を増やすことなく、かつキャパシタ誘電体膜の信頼性を確保しながら膜厚を薄くすることができる。この場合、キャパシタの容量が増加するので、キャパシタの蓄積電荷量（ $Q = CV$ ）を従前の方式（書き込み電圧 = センスアンプの動作電圧）の蓄積電荷量 Q' とほぼ一定に保つことが可能となる。

【0013】

さらに、上記のメモリセルの構造により、メモリセルの情報蓄積ノード（ストレージノード）と基板の間に形成されるPN接合部におけるポテンシャルが低下するので、メモリセル（ストレージノード）から基板へのリーク電流を減少させることができ、メモリセルの情報保持時間が長くなって半導体装置の動作が安定するという効果を奏する。また、情報保持時間が長くなると、メモリセルのリフレッシュの頻度（所定時間当たりのリフレッシュ回数）を減少させることができ、リフレッシュ動作に必要な消費電力を低減できるという効果を奏する。また、書き込み電圧を低減することにより、メモリセルの高電位の情報に対応する情報蓄積ノード（ストレージノード）の電位が下がるので、ワード線を駆動する際のメモリセルキャパシタとビット線間に接続されるアクセストランジスタのゲートに印加する昇圧電圧を下げることで、半導体装置の低消費電力化に有効であることに加え、昇圧電源回路を配置する面積を削減でき、チップ面積の縮小とチップコストの低減を図ることができる。

【図面の簡単な説明】

【0014】

【図1】本実施形態のDRAMに含まれるメモリセルの等価回路を示す図である。

【図2】図1の等価回路のうちの選択トランジスタの断面構造図を示す図である。

【図3】蓄積情報ノードの蓄積電荷量とキャパシタの設計条件の関係を説明する図である。

【図4】図2の構造においてダイオードが形成される領域のポテンシャルを説明する図であり、図3(A)の条件に対応して、 $C_s = 10\text{ fF}$ 、 $V_{ARY} = 1\text{ V}$ に設定されている場合を示す図である。

【図5】図2の構造においてダイオードが形成される領域のポテンシャルを説明する図で

10

20

30

40

50

あり、図3(B)の条件に対応して、 $C_s = 20\text{ fF}$ 、 $V_{\text{VARY}} = 0.5\text{ V}$ に設定されている場合を示す図である。

【図6】本実施形態のDRAMにおける要部の回路構成例を示す図である。

【図7】本実施形態のDRAMにおける読み出し動作に関し、メモリセルからハイ情報を読み出す場合の動作波形を示す図である。

【図8】本実施形態のDRAMにおける読み出し動作に関し、メモリセルからロー情報を読み出す場合の動作波形を示す図である。

【図9】本実施形態において開示された構成を備える半導体装置と、この半導体装置の動作を制御するコントローラとを含む情報処理システムの構成例を示す図である。

【発明を実施するための形態】

10

【0015】

以下、本発明の課題を解決する技術思想の代表的ないくつかの例を示す。ただし、本願の請求対象は、この技術思想に限定されるものではなく、本願の特許請求の範囲に記載された内容にあることは言うまでもない。

【0016】

本発明の技術思想は、メモリセル(キャパシタ)の情報(電荷量)をビット線に読み出し、そのビット線を介してビット線がトランジスタのゲートに接続されるセンスアンプによりそのビット線の電位をセンスアンプの動作電圧に増幅する構成を有するセンスアンプにおいて、メモリセルの高電位の情報(一般的には、情報「0」と「1」のうち「1」に対応する)に対応する第3の電圧(V_{VARY})をセンスアンプの動作電圧である第2の電圧(V_{DD})より低く設定し、且つ、ビット線とセンスアンプの信号入力端子であるトランジスタのゲート間に配置される転送制御回路の転送トランジスタ(トランスファゲート)のゲートに印加される転送制御電圧(V_{TG})よりも前記第3の電圧(V_{VARY})を高く設定し、メモリセルの情報がビット線に電氣的に接続される読み出し動作に先立って、センスアンプのセンスノード(センスアンプの信号入力であるトランジスタのゲートノード;センスアンプの信号入力端子)を転送制御電圧(V_{TG})よりも高い電圧に設定することにある。

20

【0017】

第3の電圧(書き込みライトアンプの動作電圧)を第2の電圧(読み出しセンスアンプの動作電圧)より低く設定することにより、メモリセルの選択トランジスタ(ビット線とキャパシタ間に接続されるアクセストランジスタ)のドレインとシリコン基板(またはウェル)との間に形成されるPN接合部における電荷のリークが抑制される。また、転送制御電圧(転送トランジスタのゲート電圧)よりも第3の電圧を高く設定することにより、メモリセルのハイ(「1」)情報に基づいてビット線の電位が所定電位(参照電位)から上昇した(遷移した)とき、転送トランジスタの電氣的な接続はそのトランジスタのゲート-ソース間電圧の特性により非導通状態になり、メモリセルのロー(「0」)情報に基づいてビット線の電位が所定電位から低下した(遷移した)とき、転送トランジスタの電氣的な接続はそのトランジスタの特性により導通状態になる。転送トランジスタが導通すると、センスノード(センスアンプの信号入力端子)の電荷を高速に放電させることができる。さらに、センスアンプのセンスノードを転送制御電圧よりも高い電圧に設定することにより、センスアンプは、「メモリセルのロー情報に対応して下降方向へ遷移したビット線の電位により導通状態になった転送トランジスタ」を介して遷移したビット線電位を直接的にセンス増幅する。他方、「メモリセルのハイ情報に対応して上昇方向に遷移したビット線の電位により非導通を維持する転送トランジスタ」によってセンスアンプの信号入力端子にはビット線電位は直接入力されない。この場合、転送制御電圧(V_{TG})よりも高い電圧に設定されたセンスアンプのセンスノードの電位によって、センスアンプはセンス増幅する。言い換えれば、センスアンプは、メモリセルのロー(「0」)情報読み出し時には低電位に遷移したビット線の電位に従ってセンシングを実施し、メモリセルのハイ(「1」)情報読み出し時には高電位に遷移したビット線の電位に従わず、書き込み電位よりも高い電位に予め設定されたセンスノード(センスアンプの入力端子)の電位に従

30

40

50

ってセンシングを実施する。よって、ハイ情報の読み出し動作時にセンスアンプが非常に高速に動作し、ロー情報の読み出し動作時にはセンスノードの電位を高速に放電することにより高速に動作する。従来の技術思想では、ハイ情報とロー情報の両者のビット線のそれぞれのビット線の電位の遷移を使用してセンシングしている。これに対して本願は、ロー情報のビット線の電位の遷移のみを使用してセンシングしている。つまり、ロー情報に対応したビット線の電位と、ハイ情報に対応した書き込み電位よりも高い電位に予め設定されたセンスノードの電位との差電位でセンシングすることができる。これは従来の、ロー情報とハイ情報にそれぞれ対応したビット線の差電位よりも遥かに大きな差電位であり、センシング感度が高く、センシングスピードが速い貢献をもたらす。以上の作用に基づき、本発明の半導体装置は、メモリセルに対する書き込み電圧を低減させつつ、メモリセルの選択トランジスタのドレインとシリコン基板の間のPN接合部のポテンシャルを低減させてリーク電流を抑えることができる。

10

【0018】

本発明の技術思想は、以下に示す先行特許文献に開示された発明と組み合わせて適用することができる。

【0019】

すなわち、特願2008-222928に開示されるように、

「メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、

ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第1のMOSトランジスタと

20

、ゲートが前記センスノードに接続され、前記ビット線から前記第1のMOSトランジスタを介して伝送される信号を増幅する第2のMOSトランジスタと、

を備え、前記メモリセルの読み出し動作に先立って前記所定電位が前記ビット線に供給されるとともに、当該所定電位は、前記メモリセルの読み出し電圧の範囲内において電荷転送モードと電荷分配モードとが切り換わる変化点の近傍で、前記メモリセルのハイ情報とロー情報をそれぞれ読み出した際に前記センスノードにおける所要の電圧差を確保可能な値に設定されることを特徴とするセンスアンプ回路。」

に対して本発明の技術思想を適用することができる。

30

【0020】

また、特願2009-62365（特願2008-68165に基づく優先権主張出願）に開示されるように、

「単一のデータ信号をゲートに入力し、増幅動作を行うシングルエンド型のセンスアンプと、

前記センスアンプを制御する制御回路を備え、

前記センスアンプは、少なくともメモリセルからビット線に出力される信号を増幅する前記シングルエンド型のセンスアンプである第1の電界効果トランジスタと、該第1の電界効果トランジスタの出力をグローバルビット線に接続する第2の電界効果トランジスタと、グローバルビット線電圧判定回路とを含み、

40

前記制御回路は、前記第1の電界効果トランジスタのレプリカと前記グローバルビット線電圧判定回路のレプリカとを含む遅延回路の出力信号により、少なくとも前記第2の電界効果トランジスタの導通状態から非導通状態へ遷移するタイミングあるいは前記グローバルビット線電圧判定回路を含むグローバルセンスアンプの読み出しタイミングを制御する、ことを特徴とするセンスアンプの半導体装置。」

に対して本発明の技術思想を適用することができる。

【0021】

また、特願2009-90443（特願2008-98246に基づく優先権主張出願）に開示されるように、

「メモリセルと、

50

前記メモリセルに接続されたローカルビット線と、

前記ローカルビット線に第1入出力端子が接続されて電界効果トランジスタを含むローカルセンスアンプであって、前記メモリセルヘデータを書き込み、前記メモリセルのデータを増幅するローカルセンスアンプと、

前記ローカルセンスアンプの第2入出力端子が接続されるグローバルビット線と、

前記グローバルビット線に接続されるグローバルセンスアンプであって、第2入出力端子を介して前記メモリセルヘデータを書きこみ、前記メモリセルのデータを増幅するグローバルセンスアンプと、

前記電界効果トランジスタの閾値電圧及び当該閾値電圧の温度依存性変動をモニタする閾値モニタ回路と、

前記閾値電圧のモニタ結果に基づき、前記メモリセルへの書込電圧を生成する生成回路と、を備え、

前記グローバルセンスアンプは、前記メモリセルの書込データに基づき書込電圧を前記メモリセルに印加し、前記ローカルセンスアンプの出力電圧に基づき前記メモリセルに読出電圧を印加するようにした半導体記憶装置。」

に対して本発明の技術思想を適用することができる。

【0022】

また、特願2009-62363（特願2008-68161に基づく優先権主張出願）に開示されるように、

「データを増幅すべくデータ信号の信号線がゲートに接続され、ドレインが出力線に接続されたセンシングトランジスタと、前記信号線に接続され、前記信号線に前記データ信号が伝達される前に、前記信号線を所定の電位へ制御する制御トランジスタと、で構成されたセンスアンプと、

前記制御トランジスタ又は前記センシングトランジスタのソースに接続される内部電源回路と、

前記内部電源回路の出力電圧を制御して前記センシングトランジスタの温度依存性を補償する温度補償回路と、を備えたことを特徴とする半導体装置。」

に対して本発明の技術思想を適用することができる。

【0023】

また、特願2008-222938に開示されるように、

「メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、

ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第1のMOSトランジスタと

、ゲートが前記センスノードに接続され、前記ビット線から前記第1のMOSトランジスタを介して伝送される信号を増幅する第2のMOSトランジスタと、

第1の制御信号に応じて、前記ビット線を第1の電位に設定する第1の電位設定回路と

、第2の制御信号に応じて、前記センスノードを第2の電位に設定する第2の電位設定回路と、

を備え、前記ビット線を前記第1の電位に設定し、かつ前記センスノードを前記第2の電位に設定した後、前記第1のMOSトランジスタを介して前記ビット線を電荷分配モードで駆動して前記センスノードの信号電圧を前記第2のMOSトランジスタにより増幅することを特徴とするセンスアンプ回路。」

に対して本発明の技術思想を適用することができる。

【0024】

以下、本発明の好ましい実施形態について添付図面を参照しながら詳しく説明する。以下の実施形態においては、半導体装置の一例としてのDRAM（Dynamic Random Access Memory）に対して本発明を適用する場合を説明する。まず、本実施形態のDRAMにおけ

10

20

30

40

50

る基本的な構成及び動作について図 1 ~ 図 5 を参照して説明する。

【 0 0 2 5 】

図 1 は、本実施形態の D R A M に含まれるメモリセル 1 0 の等価回路を示している。図 1 に示すメモリセル 1 0 は、N M O S 型の選択トランジスタ Q 0 及びキャパシタ C s を直列接続して構成される。選択トランジスタ Q 0 は、ゲートがワード線 W L に接続され、ソースがビット線 B L に接続され、ドレインがキャパシタ C s の一方の電極に接続されている。ここで、選択トランジスタ Q 0 (アクセストランジスタ) とキャパシタとの接続点は情報蓄積ノード S N (ストレージノード) である。情報蓄積ノード S N には、メモリセル 1 0 にハイ情報を書き込む際により書き込み電圧 V A R Y が供給される。情報蓄積ノード S N と基板電圧 V B B との間には、半導体記憶装置の構造に由来するダイオード D 1 が形成されるが、詳しくは後述する。キャパシタ C s の他方の電極にはセルプレート電圧 V P L T が印加されている。一般に、セルプレート電圧 V P L T は、書き込み電圧 V A R Y の 1 / 2 の電圧値に設定される。なお、以下ではキャパシタ C s の容量についても単に容量 C s と表記する。

10

【 0 0 2 6 】

図 2 は、図 1 の等価回路のうちの選択トランジスタ Q 0 の断面構造図を示している。図 2 においては、P 型シリコン基板 2 0 の上部領域に 2 つの n 型不純物層 2 1、2 2 が形成され、その周囲に素子分離絶縁膜 2 3 が形成されている。一方の n 型不純物層 2 1 は選択トランジスタ Q 0 のソースとなり、上層のビット線 B L に接続されている。他方の n 型不純物層 2 2 は選択トランジスタ Q 0 のドレインとなり、情報蓄積ノード S N を介して、キャパシタ C s の一方の電極である蓄積電極 2 6 に接続されている。キャパシタ C s の他方の電極であるプレート電極 2 7 は、キャパシタ誘電体膜 2 8 を挟んで蓄積電極 2 6 に対向し、上層のセルプレート電圧 V P L T の配線に接続されている。また、n 型不純物層 2 1、2 2 の間のチャンネル領域の上方には、ゲート誘電体膜 2 4 を挟んで、ワード線 W L に接続されるゲート電極 2 5 (選択トランジスタ Q 0 のゲート) が形成されている。

20

【 0 0 2 7 】

図 2 において、P 型シリコン基板 2 0 及びドレインとなる n 型不純物層 2 2 の間には P N 接合部が形成され、図 1 のダイオード D 1 として動作する。なお、P 型シリコン基板 2 0 に代わって、N 型シリコン基板上に P ウェルを形成した構造を採用しても同様である。ダイオード D 1 は、カソード側に対応する P 型シリコン基板 2 0 には基板電圧 V B B が印加され、アノード側に対応する n 型不純物層 2 2 には情報蓄積ノード S N の電圧 V S N が印加されるので、基板電圧 V B B 及び電圧 V S N に依存して動作が定まる。

30

【 0 0 2 8 】

次に、メモリセル 1 0 において、蓄積情報ノード S N の蓄積電荷量 Q s とキャパシタ C s の設計条件の関係について図 3 を参照して説明する。図 3 (A) (B) は、誘電体膜厚及び絶縁耐圧が規定されるキャパシタ C s の 2 通りの条件と、それぞれに対応する蓄積電荷量 Q s の関係を模式的に示している。一般に、キャパシタ C s には絶縁耐圧が規定され、誘電体膜のリーク電流の増加を抑制して信頼性を確保するため、電界強度を所定のレベル以下に保つ必要がある。このような最大許容電界強度は、誘電体膜の材質にも依存するが、例えば、5 M V / c m 以下と定められ、図 3 (A)、(B) でもこの条件を前提にしている。なお、図 3 (A)、(B) では、キャパシタ C s の面積と比誘電率は一定であるとする。

40

【 0 0 2 9 】

図 3 (A) では、書き込み電圧 V A R Y が半導体記憶装置の電源電圧 V D D と等しく、ともに 1 V に設定されている (V A R Y = V D D = 1 V)。このとき、誘電体膜厚を 1 n m とし、蓄積電極 2 6 とプレート電極 2 7 の間のキャパシタ誘電体膜 2 8 における電圧は 0 . 5 V となるので、誘電体膜には最大許容電界強度である上述の 5 M V / c m の電界が印加される。このような条件下で、容量 C s として 1 0 f F を仮定すると、蓄積電荷量 Q s が 5 f C となる。

【 0 0 3 0 】

50

一方、図3(B)では、書き込み電圧 V_{ARY} が $0.5V$ に設定されている。このとき、蓄積電極26とプレート電極27の間のキャパシタ誘電体膜28における電圧は $0.25V$ となり、誘電体膜に印加可能な最大許容電界強度が上述の $5MV/cm$ であることを前提にすれば、誘電体膜厚を図3(A)の半分の $0.5nm$ まで薄くすることができる。このような条件下で、上述の通りキャパシタ C_s の面積と比誘電率は一定であるので、容量 C_s は $20fF$ に増加し、蓄積電荷量 Q_s が $5fC$ となる。つまり、図3(B)の条件において、図3(A)と同じ蓄積電荷量 Q_s を得られることがわかる。図3(A)(B)からわかるように、書き込み電圧 V_{ARY} を小さくすれば、一定の蓄積電荷量 Q_s を得る場合、キャパシタ誘電体膜28に信頼性を確保しつつ膜厚を薄くすることができる。

【0031】

次に、図2の構造においてダイオードD1が形成される領域のポテンシャルについて図4及び図5を参照して説明する。図4及び図5では、図2の断面構造における情報蓄積ノードSNからドレインを経てP型シリコン基板20に至る領域内で、垂直方向に沿う相対位置を横軸に示すとともに、PN接合部に印加されるポテンシャルを相対値で縦軸に示している。横軸の位置 X_0 はPN接合部の位置であり、相対位置が位置 X_0 より小さくなるほど図2のn型不純物層22を上方に移動し、相対位置が位置 X_0 より大きくなるほど図2のP型シリコン基板20を下方に移動する。なお、P型シリコン基板20に印加される基板電圧 V_{BB} は $-0.5V$ であると仮定する。

【0032】

図4は、図3(A)の条件に対応して、 $C_s = 10fF$ 、 $V_{ARY} = 1V$ に設定されている場合の上記ポテンシャルを表している。この場合、メモリセル10にハイ情報を書き込んだときの情報蓄積ノードSNの電圧 V_{SN} は $1V$ になる。よって、 $V_{BB} = -0.5V$ を考慮し、かつPN接合部のビルトインポテンシャルが例えば $0.6V$ である場合、図4に示すようにPN接合部には $2.1V$ のポテンシャル(相対値)が加わることになる。なお、ビルトインポテンシャルとは、ゼロバイアス状態のPN接合部に生じる空乏層の形成によって発生するポテンシャルである。

【0033】

一方、図5は、図3(B)の条件に対応して、 $C_s = 20fF$ 、 $V_{ARY} = 0.5V$ に設定されている場合の上記ポテンシャルを表している。この場合、メモリセル10にハイ情報を書き込んだときの情報蓄積ノードSNの電圧 V_{SN} は $0.5V$ になる。よって、 $V_{BB} = -0.5V$ を考慮し、かつPN接合部の上記ビルトインポテンシャルが上述したように $0.6V$ である場合、図5に示すようにPN接合部には $1.6V$ のポテンシャル(相対値)が加わることになる。

【0034】

次に、本実施形態のDRAMの具体的な回路構成及び動作について図6～図8を参照して説明する。図6は、本実施形態のDRAMにおける要部の回路構成例を示している。図6においては、ワード線WLとビット線BLに接続されたメモリセル10に加えて、書き込み回路11と、電荷転送制御回路12と、センスアンプ13が示されている。メモリセル10については、図1と同様に構成されるので、説明を省略する。

【0035】

書き込み回路11は、NMOS型のトランジスタ Q_{10} 、 Q_{12} と、PMOS型のトランジスタ Q_{11} を含んで構成されている。一对のトランジスタ Q_{10} 、 Q_{11} がインバータを構成し、各トランジスタ Q_{10} 、 Q_{11} のゲートが入出力ノード/DLに接続されている。このインバータの出力ノードとビット線BLの間にはトランジスタ Q_{12} が接続されている。トランジスタ Q_{12} のゲートには制御信号WEが印加され、メモリセル10の書き込み動作時又はリフレッシュ動作時に、制御信号WEがハイになってトランジスタ Q_{12} がオンする。これにより、書き込み動作時に入出力ノード/DLを介して入力された書き込み信号がインバータで反転され、トランジスタ Q_{12} を介してビット線BLを駆動することでメモリセル10に書き込まれる。また、リフレッシュ動作時には、センスアンプ13の出力信号が同様の経路でビット線BLを駆動することでメモリセルに書き込まれ

10

20

30

40

50

る。

【0036】

書き込み回路11のインバータは、図5に示すように、センスアンプ13の動作電圧である電源電圧VDDより低い書き込み電圧VARYとグランド電位VSSにより駆動される。例えば、VDD = 1Vに対してVARY = 0.5Vに設定される。そのため、ハイ情報の書き込み動作時にはメモリセル10に書き込み電圧VARYが書き込まれ、ロー情報の書き込み動作時にはメモリセル10にグランド電位VSSが書き込まれる。書き込み回路11のインバータの入力信号の振幅は電源電圧VDDに等しく、書き込み電圧VARYが電源電圧VDDより低いので、このインバータは信号振幅を電源電圧VDDから書き込み電圧VARYに変換する機能を有している。従って、書き込み回路11により書き込み電圧VARYを低下させることにより、ワード線WLの駆動電圧を下げることができる。

10

【0037】

電荷転送制御回路12(本発明の転送制御回路)は、NMOS型のトランジスタQ20、Q21と、PMOS型のトランジスタQ22を含んで構成されている。トランジスタQ20は電荷転送ゲートとして機能し(本発明の転送トランジスタ)、ゲートに印加された転送制御電圧VTGに応じて、ビット線BLとセンスノードNs(センスアンプの信号入力端子)との間の接続を制御する。ビット線プリチャージ用のトランジスタQ21は、ビット線BLとグランド電位VSSの間に接続され、ゲートに印加されたプリチャージ制御信号PCに応じてビット線BLをプリチャージする。センスノードNs(ビット線BL)の電位設定用のトランジスタQ22は、センスノードNsと電源電圧VDDの間に接続され、ゲートに印加された電位設定信号/SEに応じてセンスノードNsの電位を設定し、かつトランジスタQ20を介してビット線BLにも電位を与える。なお、図6の例では、トランジスタQ22のソースが電源電圧VDDに接続されているが、電源電圧VDDより高い電圧に接続してもよい。

20

【0038】

センスアンプ13は、NMOS型のトランジスタQ30、Q31、Q33、Q35と、PMOS型のトランジスタQ32、Q34、Q36を含んで構成されている。電源電圧VDDとグランド電位VSSの間には、センス判定用のトランジスタQ30と、センス期間制御用のトランジスタQ31と、入出力ノード/DLのプリチャージ用のトランジスタQ32が直列接続されている。

30

また、センスアンプ13に含まれるトランジスタQ33、Q34、Q35、Q36は、センスアンプ入出力ラッチ13aを構成する。なお、センスアンプ13の動作電圧は電源電圧VDDである。

【0039】

トランジスタQ30のゲートはセンスノードNsに接続され、センスノードNsの電位がトランジスタQ30の閾値電圧より高い場合にオンする。トランジスタQ31のゲートにはセンス期間制御信号REが印加され、センス期間制御信号REがハイの期間はトランジスタQ31がオンする。このとき、トランジスタQ30がオン状態であれば、入出力ノード/DLからトランジスタQ31、Q30を経由してグランド電位VSSに電荷が引き抜かれ、トランジスタQ31がオフ状態であれば、入出力ノード/DLが電源電圧VDDにプリチャージされた状態を保つ。トランジスタQ32のゲートにはプリチャージ制御信号/PCが印加され、プリチャージ制御信号/PCがローの期間はトランジスタQ32を介して入出力ノード/DLが電源電圧VDDにプリチャージされる。センスアンプ入出力ラッチ13aにおいて、入出力ノード/DLは一对のトランジスタQ33、Q34の共通のドレインと一对のトランジスタQ35、Q36の共通のゲートにそれぞれ接続され、センスアンプ入出力ラッチ13aが入出力ノード/DLのノードのレベル(状態)を保持するように動作する。

40

【0040】

図7は、本実施形態のDRAMにおける読み出し動作に関し、メモリセル10からハイ情報を読み出す場合の動作波形を示す図である。図7の上部に示すように、読み出し動作

50

の全体を6つの期間(T1~T6)に細分化して示している。具体的には、プリチャージ終了期間T1、電位設定期間T2、蓄積電荷読み出し期間T3、センス期間T4、リフレッシュ期間(再書き込み期間)T5、プリチャージ開始期間T6をそれぞれ示している。

【0041】

まず、プリチャージ終了期間T1において、プリチャージ制御信号PCがハイからローに制御され、プリチャージ制御信号/PCがローからハイに制御される。これにより、ビット線BLはグランド電位VSSにプリチャージされた状態でフローティングとなり、図6の入出力ノード/DLは電源電圧VDDにプリチャージされた状態で上記センスアンプ入出力ラッチ13aにより保持される。

【0042】

続いて電位設定期間T2において、電位設定信号/SEがハイからローに制御され、センスノードNsがトランジスタQ22を介して電源電圧VDDで駆動される。このとき、ビット線BLは、トランジスタQ20を通して図7に示す参照電圧Vrで駆動される。この参照電圧Vrは、転送制御電圧VTGよりもトランジスタQ20の閾値電圧Vt20だけ低い電圧値を有する。その後、電位設定信号/SEがハイに戻ってトランジスタQ22がオフし、センスノードNsは電源電圧VDDにプリチャージされた状態でフローティングとなる。また、ビット線BLは参照電圧Vrに保たれた状態でフローティングとなる。ここで、メモリセル10の情報蓄積ノードSNが参照電圧Vrより高い場合はハイ情報の読み出しと判定され、メモリセル10の情報蓄積ノードSNが参照電圧Vrより低い場合はロー情報の読み出しと判定される。

【0043】

続いて蓄積電荷読み出し期間T3において、ワード線WLが電源電圧VDDで駆動され、ビット線BLにはメモリセル10のハイ情報に相当する蓄積電荷が読み出される。図7に示すように、ビット線BLの電位は、参照電圧Vrから上昇方向に遷移していき、転送制御電圧VTGを若干上回る。その結果、トランジスタQ20がオフするので、センスノードNsの電位は電源電圧VDDを保持する。

【0044】

続いてセンス期間T4において、センス期間制御信号REがローからハイに制御され、一定期間ハイを維持する。ここで、図7には、トランジスタQ30の閾値電圧Vt30のばらつきを考慮して許容される設定範囲Rvtを示している。設定範囲Rvtは、参照電圧Vrより高く電源電圧VDDより低い範囲内に設定されていることがわかる。そのため、センス期間T4においては、センスノードNsの電位が電源電圧VDDを保持してトランジスタQ30がオンしているので、入出力ノード/DLはトランジスタQ30を經由して電源電圧VDDからグランド電位VSSに引き抜かれる。その後、センス期間制御信号REがローに戻るタイミングで、入出力ノード/DLの電位がセンスアンプ入出力ラッチ13aにより保持される。

【0045】

続いてリフレッシュ期間(再書き込み期間)T5において、電荷転制御信号WEがローからハイに制御され、書き込み回路11が入出力ノード/DLの電位を反転し、書き込み電圧VARYでビット線BLを駆動する。これにより、ビット線BLが保持する書き込み電圧VARYに応じて、メモリセル10にハイ情報が再書き込みされる。

【0046】

続いてプリチャージ開始期間T6において、ワード線WLがローに戻され、選択トランジスタQ0がオフになってメモリセル10がビット線BLから切り離される。そして、プリチャージ制御信号PCがローからハイに制御され、プリチャージ制御信号/PCがハイからローに制御される。これにより、ビット線BL及びセンスノードNsはグランド電位VSSにプリチャージされるとともに、入出力ノード/DLは電源電圧VDDにプリチャージされ、図7の読み出し動作が終了する。

【0047】

図8は、本実施形態のDRAMにおける読み出し動作に関し、メモリセル10からロー

10

20

30

40

50

情報を読み出す場合の動作波形を示す図である。図 8 の上部に示される各期間 (T 1 ~ T 6) の意味は図 7 の場合と同様である。また、図 8 において、プリチャージ終了期間 T 1 及び電位設定期間 T 2 の各動作波形は図 7 と共通するので、その説明を省略する。

【 0 0 4 8 】

蓄積電荷読み出し期間 T 3 において、ワード線 W L が電源電圧 V D D で駆動され、ビット線 B L にはメモリセル 1 0 のロー情報に相当する蓄積電荷が読み出される。図 8 に示すように、ビット線 B L の電位は、参照電圧 V r から低下方向に遷移していく。その結果、トランジスタ Q 2 0 がオンするので、センスノード N s からビット線 B L の側に電荷が引き抜かれる。最終的には、ビット線 B L 及びセンスノード N s はともに参照電圧 V r より低い所定の電圧に収斂する。

10

【 0 0 4 9 】

続いてセンス期間 T 4 において、センス期間制御信号 R E がローからハイに制御され、一定期間ハイを維持する。図 8 には、図 7 と同様の設定範囲 R v t を示している。センスノード N s の電位と設定範囲 R v t の関係から明らかなように、トランジスタ Q 3 0 がオフするので、センス期間 T 4 において入出力ノード / D L が電源電圧 V D D を保持する。その後、センス期間制御信号 R E がローに戻るタイミングで、入出力ノード / D L の電位がセンスアンプ入出力ラッチ 1 3 a により保持される。

【 0 0 5 0 】

続いてリフレッシュ期間 (再書き込み期間) T 5 において、電荷転制御信号 W E がローからハイに制御され、書き込み回路 1 1 が入出力ノード / D L の電位を反転し、グラウンド電位 V S S でビット線 B L を駆動する。これにより、ビット線 B L の電位に応じてメモリセル 1 0 にロー情報が再書き込みされる。これ以降、図 7 と同様、プリチャージ開始期間 T 6 を経て、図 8 の読み出し動作が終了する。

20

【 0 0 5 1 】

なお、図 7 及び図 8 においては、センスノード N s の設定電位が電源電圧 V D D である場合を示したが、センスノード N s の設定電位を電源電圧 V D D より高くしてもよい。このように設定すれば、メモリセル 1 0 からハイ情報を読み出す際、トランジスタ Q 3 0 のゲート電圧が電源電圧 V D D よりも高くなるため、上述の入出力ノード / D L の引き抜き時間を短縮することができ、センスアンプ 1 3 の動作を高速化することができる。

【 0 0 5 2 】

以上の説明では、本実施形態の D R A M における読み出し動作について説明したが、図示されない書き込み動作の場合は、図 7 及び図 8 のリフレッシュ期間 (再書き込み期間) T 5 における動作を変更すればよい。すなわち、リフレッシュ期間 (再書き込み期間) T 5 に外部からの書き込み情報を反転した信号電圧により入出力ノード / D L が駆動され、これを書き込み回路 1 1 によりさらに反転してメモリセル 1 0 への書き込み動作が行われる。

30

【 0 0 5 3 】

ここで、電荷転送制御回路 1 2 内の電源電圧 V D D (トランジスタ Q 2 2 のソース) とセンスアンプ 1 3 内の電源電圧 V D D (トランジスタ Q 3 2 のソース) は、異なる電圧に設定することができる。トランジスタ Q 2 2 のソースに与える電源電圧 V D D は、主にセンスアンプ 1 3 内のトランジスタ Q 3 0 の感度設計から決定される。トランジスタ Q 3 2 のソースに与える電源電圧 V D D は、主にセンスアンプ 1 3 内の振幅値設計から決定される。トランジスタ Q 2 2 のソースからセンスノード N s へ与える電源電圧 V D D は、トランジスタ Q 2 0 が備える閾値の特性値と、センスノード N s とビット線 B L とのそれぞれの寄生容量値から決定される C レシオと大きな関係がある。センスノード N s の寄生容量値は、センシング速度 (ビット線電位の遷移に対応する応答速度) を向上させることから、その寄生容量値は、非常に小さいことが望まれ、例えば、前記 C レシオは 1 0 以上が望ましい。他方、トランジスタ Q 3 2 のソースに与える電源電圧 V D D は、入出力ノード / D L を駆動する電圧でもあり、入出力ノード / D L の充放電電流の増大を招かないためにもトランジスタ Q 2 2 のソースに与える電源電圧 V D D よりも低くても構わない。また、

40

50

センスアンプ入出力ラッチ（トランジスタQ34、Q36のソース）に与える電源電圧VDDと、トランジスタQ32のソースに与える電源電圧VDDは、同一電位であることが望ましい。センスアンプ入出力ラッチに所謂DC電流を発生させないためである。更に、センスアンプ入出力ラッチに与える電源電圧VDDと、センスアンプ入出力ラッチとトランジスタQ32のソースに与える電源電圧VDDは、トランジスタQ22のソースに与える電源電圧VDDよりも低くても構わない。センスアンプ入出力ラッチとトランジスタQ32のソースに与える電源電圧VDDが高いと、センスアンプ入出力ラッチの反転速度が遅くなるからである。よって、トランジスタQ22のソースに与える電源電圧VDDは、センスアンプ13に与える電源電圧VDDよりも高い電位であっても良い。

【0054】

次に、半導体装置を含むシステムに対して本発明を適用する場合を説明する。図9は、本実施形態において開示された構成を備える半導体装置100と、この半導体装置100の動作を制御するコントローラ200とを含む情報処理システムの構成例を示している。

【0055】

半導体装置100は、メモリセルアレイ101と、バックエンド・インターフェース102と、フロントエンド・インターフェース103とを備えている。メモリセルアレイ101には、本実施形態のメモリセル10が多数配置されている。バックエンド・インターフェース102には、本実施形態の書き込み回路11、電荷転送制御回路12、センスアンプ13等の回路が含まれる。フロントエンド・インターフェース103は、コマンドバス及びI/Oバスを経由して、コントローラ200との間で通信を行うための機能を有する。なお、図9では、1個の半導体装置100のみを示しているが、複数の半導体装置100を設けてもよい。

【0056】

コントローラ200は、コマンド発行回路201と、データ処理回路202とを備え、システム全体の動作及び半導体装置100の動作を制御する。コントローラ200は、システム内のコマンドバス及びデータバスに接続されることに加え、システム外部とのインターフェースをも備えている。コマンド発行回路201は、コマンドバスを経由して半導体装置100に対してコマンドを送信する。データ処理回路202は、データバスを経由して半導体装置100との間でデータを送受信し、制御に必要な処理を実行する。なお、本実施形態の半導体装置が、図9のコントローラ200自体に含まれる構成であってもよい。

【0057】

図9の情報処理システムは、例えば、電子機器に搭載されるシステムであり、パーソナルコンピュータ、通信電子機器、自動車等の移動体の電子機器、その他産業で使用される電子機器、民生で使用される電子機器に搭載することができる。

【0058】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0059】

例えば、本実施形態では、グランド電位VSSを基準電圧とする構成を説明したが、高電位側の電源電圧VDDを基準電圧として電位関係を逆転させた構成を採用しても本発明を適用することができる。この場合、本実施形態の回路構成（図6）に含まれるNチャネル型のトランジスタをPチャネル型のトランジスタ等に置換してもよい。

【0060】

また、書き込み回路11、転送制御回路12と、センスアンプ13等の回路形式は、本実施形態で開示した回路形式には限られずに採用することができる。

【0061】

10

20

30

40

50

また、メモリセル10のPN接合部を含むセル構造は問わず、多様なセル構造を採用することができる。メモリセル10の選択トランジスタQ0の構造としては、PN接合部を含む縦型トランジスタを採用してもよい。

【0062】

また、本実施形態の各トランジスタとしては、電界効果トランジスタ(Field Effect Transistor : FET)やバイポーラ型トランジスタを用いることができる。MOS(Metal Oxide Semiconductor)以外に、MIS(Metal-Insulator Semiconductor)、TFT(Thin Film Transistor)等の様々なFETを用いることができ、さらにはFET以外のトランジスタを用いてもよい。また、Nチャンネル型のトランジスタ(NMOSトランジスタ)は、第1導電型のトランジスタ、Pチャンネル型のトランジスタ(PMOSトランジスタ)は、第2導電型のトランジスタの代表例である。さらに、P型の半導体基板に限らず、N型の半導体基板を用いてもよいし、SOI(Silicon on Insulator)構造の半導体基板や、それ以外の半導体基板を用いてもよい。

10

【0063】

また、本発明は、半導体記憶装置としてのDRAMに限られることなく、それぞれ記憶機能部を含むCPU(Central Processing Unit)、MCU(Micro Control Unit)、DSP(Digital Signal Processor)、ASIC(Application Specific Integrated Circuit)、ASSP(Application Specific Standard Product)等の半導体装置全般に対して適用可能である。

20

【符号の説明】

【0064】

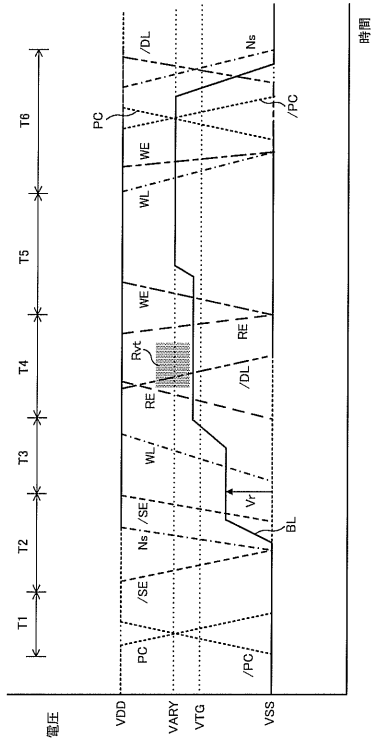
10 ...メモリセル
 11 ...書き込み回路
 12 ...電荷転送制御回路
 13 ...センスアンプ
 13 a ...センスアンプ入出力ラッチ
 20 ...P型シリコン基板
 21、22 ...n型不純物層
 23 ...素子分離絶縁膜
 24 ...ゲート誘電体膜
 25 ...ゲート電極
 26 ...蓄積電極
 27 ...プレート電極
 28 ...キャパシタ誘電体膜
 100 ...半導体装置
 101 ...メモリセルアレイ
 102 ...バックエンド・インターフェース
 103 ...フロントエンド・インターフェース
 200 ...コントローラ
 201 ...コマンド発行回路
 202 ...データ処理回路
 WL ...ワード線
 BL ...ビット線
 Q0 ...選択トランジスタ
 Cs ...キャパシタ
 Q10 ~ Q12、Q20 ~ Q22、Q30 ~ Q36 ...トランジスタ
 Ns ...センスノード
 /DL ...入出力ノード
 SN ...情報蓄積ノード
 PC、/PC ...プリチャージ制御信号

30

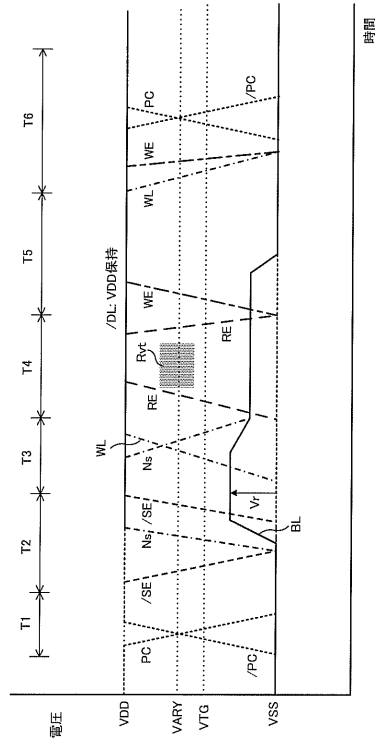
40

50

【図 7】



【図 8】



【図 9】

