

公告本

申請日期	87.11.24
案 號	8711P516
類 別	H01L27/10

A4
C4

434879

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有複數儲存組之半導體記憶裝置
	英 文	
二、發明 創作人	姓 名	高橋弘樹
	國 籍	日 本
	住、居所	東京都港區芝五丁目 7 番 1 號
三、申請人	姓 名 (名稱)	日本電氣股份有限公司
	國 籍	日 本
	住、居所 (事務所)	東京都港區芝五丁目 7 番 1 號
	代 表 人 姓 名	金子尚志

裝

訂

線

434879

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , ☒有 ☐無主張優先權
日本 1997/11/28 9-328827

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背○注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

本發明是有關於一種半導體記憶裝置，且特別是有關於一種半導體記憶裝置，其記憶區由複數儲存組構成。

通常，在習知半導體記憶裝置(如 DRAM)中，記憶胞是形成於複數位元線對及複數字元線的交點。目標記憶胞的記憶資訊則以列位址選擇字元線及以行位址選擇位元線對以讀出。

在習知半導體記憶裝置(如 DRAM)中，記憶區會根據記憶容量的增加及位元線對的長度限制而分成複數個區塊。

為讀出由複數個區塊所構成的半導體記憶裝置中記憶胞所儲存的記憶資訊，首先指派列位址，然後指派行位址及區塊位址。待位址指派後，各種動作(如資料寫入及讀取)便根據外部命令之接收以進行。

第 1 圖(第一習知技術)係由複數區塊所構成之半導體記憶裝置之方塊圖。

在這種習知半導體記憶裝置中，記憶區是由兩區塊 121 及 122 所構成。

半導體記憶裝置包括區塊 121 及 122，位址緩衝器 91，及時序控制電路 93。

當列位址啟動信號 30 啟動時，時序控制電路 93 啟動位址致能信號 100，並在預定時序以預定順序地將字元線驅動信號 97、預充電信號 98、感應放大器致能信號 99 由高位址(H)改變至低位準(L)或由低位準(L)改變至高位準(H)。

五、發明說明 (2)

列位址啟動信號 30 是由外部命令啟動。

當列位址致能信號 100 啟動時，位址緩衝器 91 門鎖及輸出包含於位址信號 32 之列位址以作為列位址信號，並改變區塊選擇信號 90_1 或 90_2 以啟動位址信號 32 之區塊位址所指派的區塊。

區塊 121 是由位元線對 $41_1 \sim 41_n$ 、字元線 $40_1 \sim 40_m$ 、SAP、SAN、複數記憶胞 17 (分別排列於位元線對 $41_1 \sim 41_n$ 及字元線 $40_1 \sim 40_m$ 的交界)、預充電電路 $18_1 \sim 18_n$ (分別排列於位元線對 $41_1 \sim 41_n$)、預充電電路 19 (排列於 SAP 及 SAN 之間)、感應放大器 $29_1 \sim 29_n$ (分別排列於位元線對 $41_1 \sim 41_n$)、列解碼器 115_1 、AND 電路 101、OR 電路 102、反相器 103、AND 電路 104、反相器 42、p 通道 MOS 電晶體 38、n 通道 MOS 電晶體 39 所構成。

AND 電路 101 對字元線驅動信號 97 及區塊選擇信號 90_1 進行 AND 運算，並輸出其結果以作為字元線驅動信號 7_1 。

當字元線驅動信號 7_1 改變至 H 時，列解碼器 115_1 會由字元線 $40_1 \sim 40_m$ 地啟動列位址信號 33 所指派的字元線。

如第 2 圖所示，列解碼器 115_1 由於位址解碼器 $140_1 \sim 140_m$ 所構成。

位址解碼器 $140_1 \sim 140_m$ 分別排列於字元線 $40_1 \sim 40_m$ 。在位址解碼器 $140_1 \sim 140_m$ 中，對應字元線的位址係設定。當字元線驅動信號 7_1 改變至 H 時，位址解碼器 $140_1 \sim 140_m$

五、發明說明 (3)

便動作。若列位址信號 33 表示的位址為設定位址，各位址解碼器便啟動對應的字元線。

反相器 103 將區塊選擇信號 90_1 的邏輯狀態反相，並輸出其反相結果。

OR 電路 102 對反相器 103 的輸出信號及預充電信號 98 進行 OR 運算，並輸出其結果。

當 OR 電路 102 的輸出信號改變至 H 時，預充電電路 181~18n 會預充電位元線對 411~41n，固定其電位，並維持於相同位準。同樣地，當 OR 電路 102 的輸出信號改變至 H 時，預充電電路 19 會預充電 SAP 及 SAN，固定其電位，並維持於相同位準。

AND 電路 104 對感應放大器致能信號 99 及區塊選擇信號 90_1 進行 AND 運算，並輸出其結果以作為感應放大器致能信號 9_1 。

反相器 42 將感應放大器致能信號 9_1 的邏輯狀態反相。

反相器 42 的輸出信號輸入至 p 通道 MOS 電晶體 38 的閘極。當反相器 42 的輸出信號改變至 L 時，p 通道 MOS 電晶體 38 會導通以施加電壓 V_{DD} 至 SAP。

感應放大器致能信號 9_1 輸入至 n 通道 MOS 電晶體 39 的閘極。當感應放大器致能信號 9_1 改變至 H 時，n 通道 MOS 電晶體會導通以施加地點電壓至 SAN。

當 p 通道 MOS 電晶體 38 及 n 通道 MOS 電晶體同時導通時，感應放大器 $29_1 \sim 29_n$ 會動作以放大位元線對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

$41_1 \sim 41_n$ 的輸出電壓，並經由行選擇電路及輸入/輸出電路(均未圖示)以輸出放大信號。

區塊 122 的排列與區塊 121 相同，除了輸入區塊選擇信號 90_2 而非區塊選擇信號 90_1 ，故其描述將予省略。

習知半導體記憶裝置的動作將配合第 1~2 圖及第 3 圖時序以說明。

以下說明係有關讀取動作，至於寫入動作則非常類似。

自區塊 121 中形成於位元線對 41_1 及字元線 40_1 交界之記憶胞 17 讀出資料的動作將說明如下。

當外部命令及位址信號 32 在 t_{41} 輸入時，外部命令會啟動列位址啟動信號 30，時序控制電路 93 則啟動位址致能信號 100。位址緩衝器 91 門鎖及輸出位址信號 32 之列位址以作為列位址信號 32。第 3 圖位址信號 32 的空白部分表示列位址讀取的位置。由於區塊位址表示區塊 121，位址緩衝器 91 改變區塊選擇信號 90_1 至 H。

在 t_{42} ，時序控制電路 93 改變預充電信號 98 至 L，藉以改變預充電信號 8_1 至 L，並中斷預充電電路 $18_1 \sim 18_n$ 及預充電電路 19。時序控制電路 93 改變字元線驅動信號 97 至 H，藉以改變字元線驅動信號 7_1 至 H，並啟動字元線 40_1 。在 t_{43} ，時序控制電路 93 改變感應放大器致能信號 9_1 至 H，藉以導通 p 通道 MOS 電晶體 38 及 n 通道 MOS 電晶體 39，並啟動感應放大器 $29_1 \sim 29_n$ 。

因此，形成於位元線對 41_1 及字元線 40_1 交界之記憶

五、發明說明 (5)

胞 17 所儲存之資料，經由位元線對 41_i 輸出及放大，並輸出其放大結果。

在資料讀出後，區塊 121 便中斷。特別是，在 t_{44} ，時序控制電路 93 改變字元線驅動信號 97 至 L，藉以改變字元線驅動信號 71 至 L，並中斷字元線 40_i 。在 t_{45} ，時序控制電路 93 改變感應放大器致能信號 99 至 L，藉以改變感應放大器致能信號 9_i 至 L，並中斷感應放大器 $29_i \sim 29_n$ 。在 t_{46} ，時序控制電路 93 改變預充電信號 98 至 H，藉以改變預充電信號 8_i 至 H，並啟動預充電電路 $18_i \sim 18_n$ 及 19。也就是，位元線對 41_i 、SAP、SAN 係充電至給定電壓，且橫跨位元線之電壓設為相同位準。

不過，若半導體記憶裝置由複數區塊構成，且信號是由時序控制電路 93 控制，當特定區塊處理時，其他區塊便不能處理。當記憶容量及區塊數目增加時，讀出記憶內容乃花去更多時間。

為解決這個問題，半導體記憶裝置便不以複數區塊構成，而以複數可獨立動作之儲存組構成。

第 4 圖(第二習知技術)係由複數儲存組構成之半導體記憶裝置。與第 1 圖相同的部分是以相同標號表示。

在這種半導體記憶裝置中，記憶區是由四個儲存組 171~174 構成。

這種習知半導體記憶裝置是由儲存組 171~174、時序控制電路 $110_i \sim 110_4$ (分別排列於儲存組 171~174)、門鎖電路 $111_i \sim 111_4$ (分別排列於時序控制電路 $110_i \sim 110_4$)、列

五、發明說明 (6)

位址緩衝器 45、儲存組解碼器 143 所構成。

列位址緩衝器 45 輸出位址信號 32 之列位址以作為列位址信號 33。

儲存組解碼器 143 啟動儲存組選擇信號 $11_1 \sim 11_4$ 預定時間以啟動位址信號 32 之儲存組位址表示之儲存組。

門鎖電路 $111_1 \sim 111_4$ 只在對應的儲存組選擇信號 $11_1 \sim 11_4$ 啟動時讀取列位址啟動信號 30 及列位址中斷信號 31。若列位址啟動信號 30 啟動時，門鎖電路 $111_1 \sim 111_4$ 啟動列位址啟動信號 112_1 。若列位址中斷信號 31 啟動時，門鎖電路 $111_1 \sim 111_4$ 中斷列位址啟動信號 112_1 。

時序控制電路 $110_1 \sim 110_4$ 與第 1 圖的時序控制電路 93 進行相同動作，除了不輸出位址致能信號 100 外。時序控制電路 $110_1 \sim 110_4$ 輸出字元線驅動信號 $7_1 \sim 7_4$ 而非字元線驅動信號 97、預充電信號 $8_1 \sim 8_4$ 而非預充電信號 98、感應放大器致能信號 $9_1 \sim 9_4$ 而非感應放大器致能信號 99，並接收列位址啟動信號 112_1 而非列位址啟動信號 30。

儲存組 171 是由位元線對 $41_1 \sim 41_n$ 、字元線 $40_1 \sim 40_m$ 、SAP、SAN、複數記胞 17(分別形成於位元線對 $41_1 \sim 41_n$ 及字元線 $40_1 \sim 40_m$ 交界)、預充電電路 $18_1 \sim 18_n$ (分別排列於位元線對 $40_1 \sim 40_n$ 、預充電電路 19(排列於 SAP 及 SAN 之間)、感應放大器 $29_1 \sim 29_n$ (分別排列於位元線對 $40_1 \sim 40_n$)、列解碼器 135_1 、反相器 42、p 通道 MOS 電晶體 38、n 通道 MOS 電晶體 39 所構成。

當字元線驅動信號 7_1 改變至 H 時，列解碼器 135_1 根

五、發明說明 (7)

據儲存組選擇信號 11_i 門鎖列位址信號 33 ，並自字元線 40_i 至 40_n 依序地啟動列位址信號 33 字元線所指派的字元線。

如第 5 圖所示，列解碼器 135_i 是由位址解碼器 $140_i \sim 140_m$ 及門鎖電路 141_i 所構成。

門鎖電路 141_i 根據儲存組選擇信號 11_i 門鎖及輸出列位址信號 33 。位址解碼器 $140_i \sim 140_m$ 接收門鎖電路 141_i 所門鎖及輸出的列位址信號 33 。

以下將說明第二習知技術半導體記憶裝置之動作。

自儲存組 171 中形成於位元線對 41_i 及字元線 40_i 交界之記憶胞 17 讀出資料的動作將說明如下。

首先，啟動列位址啟動信號，並由外部輸入位址信號 32 (具有表示字元線 40_i 位址的列位址及表示儲存組 171 的儲存組位址)。然後，列位址緩衝器 45 輸出位址信號的列位址以作為列位址信號 33 ，且儲存組解碼器 143 啟動儲存組選擇信號 11_i 。

由於儲存組選擇信號 11_i 及列位址啟動信號 30 係啟動，門鎖電路 111_i 啟動列位址啟動信號 112_i 。

由於列位址啟動信號 112_i 係啟動，時序控制電路 110 控制字元線驅動信號 7_i 、預充電信號 8_i 、感應放大器致能信號 9_i 以進行記憶胞 17 的讀取動作並在讀取後中斷。

此時，由於儲存組選擇信號 11_i 係啟動，列解碼器 135_i 門鎖列位址信號 33 並啟動門鎖的列位址信號 33 表示的字元線 40_i 。

五、發明說明 (8)

自儲存組 171 中讀出記憶胞 17 的儲存資料時，指派儲存組 172 中斷的動作將說明如下。

包含於外部輸入之位址信號 32 之儲存組位址係切換以指派儲存組 172。儲存組解碼器 143 中斷儲存組選擇信號 11_1 及啟動儲存組選擇信號 11_2 。門鎖電路 111_1 維持列位址啟動信號 112_1 的啟動，無論列位址啟動信號 30 及列位址中斷信號 31 因中斷儲存組選擇信號 11_1 所產生的任何改變。列解碼器 135_1 亦維持字元線 40_1 的啟動，無論列位址信號 33 因中斷儲存組選擇信號 11_1 所產生的任何改變。同樣地，儲存組 171 的資料可以讀出，無論列位址信號的任何改變。

由於儲存組選擇信號 11_2 及列位址中斷信號 31 係啟動，儲存組 172 係中斷。

同時讀取儲存組 171 及中斷儲存組 172 的動作說明如下。同樣地，在習知半導體記憶裝置中，某儲存組的資料讀取及中斷可與其他儲存組的資料讀取及中斷一起進行。

不過，第二習知半導體記憶裝置需要與儲存組相同數目的時序控制電路。當儲存組的數目增加時，時序控制電路的數目亦會隨之增加。

第 6 圖係一般時序控制電路的例子。

第 6 圖的時序控制電路 192 是由延遲電路 $191_1 \sim 191_3$ 及驅動器 $190_1 \sim 190_3$ 所構成。時序控制電路 192 接收輸入信號 194，並在不同時序輸出控制信號 $193_1 \sim 193_3$ 。

五、發明說明 (9)

各延遲電路 $191_1 \sim 191_3$ 是由複數串連反相器所構成。延遲電路 $191_1 \sim 191_3$ 亦彼此串連。延遲電路 191_1 的輸出經由驅動器 190_1 輸出作為控制信號 193_1 。延遲電路 191_2 的輸出經由驅動器 190_2 輸出作為控制信號 193_2 。延遲電路 191_3 的輸出經由驅動器 190_3 輸出作為控制信號 193_3 。

控制信號 $193_1 \sim 193_3$ 對應於字元線驅動信號 7_1 、預充電信號 8_1 、感應放大器致能信號 9_1 。

由於驅動器 $190_1 \sim 190_3$ 供應延遲電路 $191_1 \sim 191_3$ 延遲的信號至各電路以作為控制信號 $193_1 \sim 193_3$ ，時序控制電路 192 必須使用大反相器。因此，時序控制電路的佔用面積通常大於其他電路的佔用面積。當儲存組的數目隨半導體記憶裝置之記憶容量而增加至 4、8、16、...，時序控制電路的電路面積亦會增加。

第二習知技術半導體記憶裝置需要與儲存組數目相同的時序控制電路。因此，當儲存組的數目增加，時序控制電路的電路面積亦會大幅增加。

為解決上述及其他目的，本發明的目的便是提供一種半導體記憶裝置，其時序控制電路之電路面積不會隨著儲存組的數目增加而增加。

為達上述目的，根據本發明的第一個特徵，半導體記憶裝置包括：

複數儲存組；

一時序控制電路，連接該些儲存組，並輸出一信號以啟動各儲存組及一信號以在預定時序以預定順序預充電

五、發明說明 (19)

各儲存組；以及

門鎖電路，連接各儲存組，並門鎖該時序控制電路之輸出信號狀態。

根據第一個特徵，門鎖該時序控制電路之輸出信號狀態之門鎖電路係排列於各儲存組，且一個時序控制可分享於複數儲存組。

即使儲存組的數目增加，該時序控制電路的電路面積亦不會隨之增加。

根據本發明的第二個特徵，在半導體記憶裝置中，各門鎖電路之輸出信號係一控制字元線啟動之字元線驅動信號，一控制預充電之預充電信號，及一控制感應放大器動作之感應放大器致能信號，

啟動各儲存組之該信號具有一字元線驅動信號之設定信號以啟動該字元線驅動信號，一預充電重設信號以中斷該預充電信號，及一感應放大器致能信號設定信號以啟動該感應放大器致能信號，以及

預充電各儲存組之該信號具有一字元線信號重設信號以中斷該字元線驅動信號，一預充電設定信號以啟動該預充電信號，及一感應放大器致能信號重設信號以中斷該感應放大器致能信號。

根據本發明的第三個特徵，半導體記憶裝置包括：

複數儲存組，各具有複數記憶胞，其分別形成於複數位元線對及複數字元線的交點，複數預充電電路，其連接各位元線對並在一預充電信號啟動時預充電各位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

對，複數感應放大器，其連接各位元線對並在一感應放大器致能信號啟動時放大各儲存組，及一系列解碼器，其連接一系列門鎖電路，藉以在各儲存組啟動時門鎖一系列位址表示之字元線之選擇/未選擇狀態及在一字元線驅動信號啟動時啟動該列門鎖電路表示之字元線；

一時序控制電路，具有一啟動時序鍵以在一列位址啟動信號啟動時在預定時序以預定順序控制一字元線驅動信號設定信號、一預充電信號重設信號、一感應放大器致能信號設定信號，及在一列位址中斷信號啟動時在預定時序以預定順序控制一字元線驅動信號重設信號、一預充電信號設定信號、一感應放大器致能信號重設信號；

一儲存組解碼器，啟動一儲存組選擇信號以選擇一包括於一位址信號之儲存組位址表示之儲存組；

一系列位址緩衝器，輸出一列位址以作為包括於該位址信號之一列位址信號；以及

複數門鎖電路，連接各儲存組，接收該儲存組選擇信號，在一對應儲存組選擇信號及該位元線驅動信號設定信號啟動時啟動該位元線驅動信號，在該位元線驅動信號重設信號啟動時中斷該位元線驅動信號，在該預充電信號設定信號啟動時啟動該預充電信號，在該預充電信號重設信號啟動時中斷該預充電信號，在該感應放大器致能信號設定信號啟動時啟動該感應放大器致能信號，及在該感應放大器致能信號重設信號啟動時中斷該感應放大器致能信號。

五、發明說明 (12)

根據第三個特徵，根據儲存組選擇信號以門鎖該時序控制電路之輸出信號狀態之門鎖電路係排列於各儲存組，且一個時序控制可分享於複數儲存組。

即使儲存組的數目增加，該時序控制電路的電路面積亦不會隨之增加。

根據本發明的第四個特徵，在半導體記憶裝置中，各門鎖電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該字元線驅動信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該預充電信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第四邏輯電路，在該預充電信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第五邏輯電路，在該感應放大器致能信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第六邏輯電路，在該感應放大器致能信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該第二邏輯電路之輸出信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第三邏輯電路之輸出信號設定及該第四邏輯電路之輸出信號重設，並輸出一輸出信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

以作為該預充電信號；以及

一第三正反電路，由該第五邏輯電路之輸出信號設定及該第六邏輯電路之輸出信號重設，並輸出一輸出信號以作為該感應放大器致能信號。

根據本發明的第五個特徵，在半導體記憶裝置中，該裝置更包括一預充電儲存組解碼器，其啟動一預充電儲存組選擇信號以選擇一包括於該位址信號之一預充電儲存組位址表示之儲存組，且該門鎖電路只在該預充電儲存組選擇信號啟動時，啟動該字元線驅動信號重設信號、該預充電信號設定信號、該感應放大器致能信號重設信號以作為進行預充電之信號。

根據第五個特徵，預充電儲存組解碼器的排列更允許以預充電儲存組位址(而非儲存組位址)指派儲存組。

在給定儲存組之設定序列期間，可進行其他儲存組之重設序列。

根據本發明的第六個特徵，在半導體記憶裝置中，各門鎖電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該字元線驅動信號重設信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該預充電信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第四邏輯電路，在該預充電信號重設信號及該預充

五、發明說明 (14)

電儲存組選擇信號均啟動時啟動一輸出信號；

一第五邏輯電路，在該感應放大器致能信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第六邏輯電路，在該感應放大器致能信號重設信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該第二邏輯電路之輸出信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第三邏輯電路之輸出信號設定及該第四邏輯電路之輸出信號重設，並輸出一輸出信號以作為該預充電信號；以及

一第三正反電路，由該第五邏輯電路之輸出信號設定及該第六邏輯電路之輸出信號重設，並輸出一輸出信號以作為該感應放大器致能信號。

根據本發明的第七個特徵，半導體記憶裝置包括：

複數儲存組，各具有複數記憶胞，其分別形成於複數位元線對及複數字元線的交點，複數預充電電路，其連接各位元線對並在一預充電信號啟動時預充電各位元線對，複數感應放大器，其連接各位元線對並在一感應放大器致能信號啟動時放大一電壓輸出至該位元線對，及一系列解碼器，其只在一儲存組選擇信號啟動時，門鎖一系列位址信號以啟動該列位址信號表示之位元線；

一時序控制電路，具有一啟動時序鏈，藉以在一系列位址啟動信號啟動時，在預定時序以預定順序控制一感應

五、發明說明 (15)

致能信號以控制啟動該字元線驅動信號設定信號及該感應放大器致能信號之時序，及一預充電時序鏈，藉以在一系列位址中斷信號啟動時，在預定時序以預定順序控制一預充電信號設定信號及一感應放大器致能信號重設信號；

一儲存組解碼器，啟動一儲存組選擇信號以選擇一包括於一位址信號之儲存組位址表示之儲存組；

一預充電儲存組解碼器，啟動一預充電儲存組選擇信號以選擇一包括於該位址信號之一預充電儲存組位址之儲存組；

一系列位址緩衝器，輸出一列位址以作為包括於該位址信號之該列位址信號；以及

複數門鎖電路，連接各儲存組，接收該儲存組選擇信號，在一對應儲存組選擇信號及該位元線驅動信號設定信號啟動時啟動該位元線驅動信號，在該預充電儲存組選擇信號啟動時中斷該位元線驅動信號，在該預充電儲存組選擇信號及該預充電信號設定信號啟動時啟動該預充電信號，在該預充電儲存組選擇信號啟動時中斷該預充電信號，在該儲存組選擇信號及該感應放大器致能信號啟動時啟動該感應放大器致能信號，及在該預充電儲存組選擇信號及該感應放大器致能信號重設信號啟動時中斷該感應放大器致能信號。

根據第七個特徵，該預充電儲存組選擇信號係用以作為一重設該字元線驅動信號之信號。該儲存組選擇信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

係用以作為一重設該預充電信號之信號及一設定該感應放大器致能信號之信號。該感應放大器致能信號之啟動時序是由該感應致能信號控制。

由該時序控制電路至各門鎖電路的輸出信號數目減少時，該時序控制電路及該門鎖電路之內連接亦減少，且時序控制電路的電路面積亦減少。

根據本發明的第八個特徵，在半導體記憶裝置中，各門鎖電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該預充電信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該感應放大器致能信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該預充電儲存組選擇信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第二邏輯電路之輸出信號設定及該儲存組選擇信號重設，並輸出一輸出信號以作為該預充電信號；

一第三正反電路，由該儲存組選擇信號設定及該第三邏輯電路之輸出信號重設；以及

一電路，門鎖該第三正反電路之輸出信號，並在該感應致能信號啟動時輸出該輸出信號以作為該感應放大器

五、發明說明 (17)

致能信號。

由上述特徵可知，本發明具有下列效用。

(1)由於複數儲存組分享一個時序控制電路，時序控制電路的電路面積可免於增加，即使儲存組的數目增加。

(2)由於複數儲存組分享一個時序控制電路，各儲存組設定及重設序列的時序可以同步。

(3)當各儲存組的時序略為調整時，可藉由增加小延遲元件至門鎖電路的輸出以自參考時序進行相當精確的調整。

(4)藉由在時序控制電路準備設定及重設時序鏈，各儲存組可同時進行啟動及預充電動作，故晶片效能可以提高。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式說明

第 1 圖(第一習知技術)係半導體記憶裝置之排列之方塊圖；

第 2 圖係第 1 圖門鎖電路 96₁之排列之方塊圖；

第 3 圖係第 1 圖半導體記憶裝置之動作之時序圖；

第 4 圖(第二習知技術)係半導體記憶裝置之排列之方塊圖；

第 5 圖係第 4 圖列解碼器 135₁之排列之方塊圖；

第 6 圖係習知時序控制電路之排列之電路圖；

五、發明說明 (18)

第 7 圖係本發明第一實施例之半導體記憶裝置之排列之方塊圖；

第 8 圖係第 7 圖門鎖電路 6_1 之排列之方塊圖；

第 9 圖係第 7 圖列解碼器 5_1 之排列之電路圖；

第 10 圖係第 7 圖半導體記憶裝置之動作之時序圖；

第 11 圖係第 7 圖半導體記憶裝置中儲存組 1 之設定序列及儲存組 2 之重設序列之時序圖；

第 12 圖係本發明第二實施例之半導體記憶裝置之排列之方塊圖；

第 13 圖係第 12 圖門鎖電路 66_1 之排列之電路圖；

第 14 圖係第 12 圖列解碼器 65_1 之排列之電路圖；

第 15 圖係第 12 圖半導體記憶裝置中儲存組 61 之設定序列及儲存組 62 之重設序列之時序圖；

第 16 圖係第 12 圖半導體記憶裝置之動作之時序圖；

第 17 圖係本發明第三實施例之半導體記憶裝置之排列之方塊圖；

第 18 圖係第 17 圖門鎖電路 96_1 之排列之方塊圖；以及

第 19 圖係第 17 圖半導體記憶裝置之動作之時序圖。
實施例

本發明的數個實施例將配合圖式說明如下。

第 7 圖係本發明第一實施例半導體記憶裝置之排列之方塊圖。與第 4 圖相同的部分是以相同標號表示。

第一實施例的半導體記憶裝置是由儲存組 1~4、門鎖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

電路 $6_1 \sim 6_4$ (分別排列於儲存組 1~4)、儲存組解碼器 43、時序控制電路 35 所構成。

時序控制電路 35 是由啟動時序鏈 37 及預充電時序鏈 36 所構成。

當列位址啟動信號 30 啟動時，啟動時序鏈 37 在預定時序以預定順序地控制字元線驅動信號設定信號 10、預充電信號重設信號 14、感應放大器致能信號設定信號 15。

當列位址中斷信號 31 啟動時，預充電時序鏈 36 在預定時序以預定順序地控制字元線驅動信號重設信號 12、預充電信號設定信號 13、感應放大器致能信號重設信號 16。

當列位址啟動信號 30 或列位址中斷信號 31 啟動時，時序控制電路 35 便會啟動位址致能信號 34。

當列位址致能信號 34 啟動時，儲存組解碼器 43 係動作，藉以啟動任何儲存組選擇信號 $11_1 \sim 11_4$ ，並啟動包括於位址信號 32 之儲存組位址表示的儲存組。

門鎖電路 $6_1 \sim 6_4$ 分別接收儲存組選擇信號 $11_1 \sim 11_4$ 。當對應的儲存組選擇信號 $11_1 \sim 11_4$ 啟動時，門鎖電路 $6_1 \sim 6_4$ 改變字元線驅動信號 7_1 至 H 以使字元線驅動信號設定信號 10 改變至 H，改變字元線驅動信號 7_1 至 L 以使字元線驅動信號設定信號 10 改變至 H，字元線驅動信號重設信號 12 改變至 H，改變預充電信號 8_1 至 L 以使預充電信號重設信號 14 改變至 H，改變預充電信號 8_1 至 L 以

五、發明說明 (20)

使預充電信號設定信號 13 改變至 H，改變感應放大器致能信號 9₁ 至 H 以使感應放大器致能信號設定信號 15 改變至 H，及改變感應放大器致能信號 9₁ 至 L 以使感應放大器致能信號重設信號 16 改變至 H。

如第 8 圖所示，門鎖電路 6 是由正反電路 20~22 及 AND 電路 23~28 所構成。

AND 電路 23 對字元線驅動信號設定信號 10 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

AND 電路 24 對字元線驅動信號重設信號 12 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

AND 電路 25 對預充電信號設定信號 13 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

AND 電路 26 對預充電信號重設信號 14 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

AND 電路 27 對感應放大器致能信號設定信號 15 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

AND 電路 28 對感應放大器致能信號重設信號 16 及儲存組選擇信號 11₁ 進行 AND 運算，並輸出其結果。

正反電路 20 是由 AND 電路 23 的輸出信號設定及 AND 電路 24 的輸出信號重設，並輸出一輸出信號以作為位元線驅動信號 7₁。

正反電路 21 是由 AND 電路 25 的輸出信號設定及 AND 電路 26 的輸出信號重設，並輸出一輸出信號以作為預充電信號 8₁。

五、發明說明 (21)

正反電路 22 是由 AND 電路 27 的輸出信號設定及 AND 電路 28 的輸出信號重設，並輸出一輸出信號以作為感應放大器致能信號 9_1 。

正反電路 20~22 是在輸入信號由 L 改變至 H 時進行設定及重設。

門鎖電路 $6_2\sim 6_4$ 具有與 6_1 相同的排列。這些電路分別接收儲存組選擇信號 $11_2\sim 11_4$ (均未圖示) 而非儲存組選擇信號 11_1 ，且分別輸出字元線驅動信號 $7_2\sim 7_4$ 而非字元線驅動信號 7_1 、預充電信號 $8_2\sim 8_4$ 而非預充電信號 8_1 、感應放大器致能信號 $9_2\sim 9_4$ 而非感應放大器致能信號 9_1 。

在儲存組 1~4 中，列解碼器 $5_1\sim 5_4$ 取代第 4 圖儲存組 171~174 之列解碼器 $135_1\sim 135_4$ 。

如第 9 圖所示，列位址編碼器 5_1 是由位址解碼器 $56_1\sim 56_m$ 、n 通道 MOS 電晶體 $54_1\sim 54_m$ 、反相器 $52_1\sim 52_m$ 、NAND 電路 55、p 通道 MOS 電晶體 53 所構成。

在位址解碼器 $56_1\sim 56_m$ 中，對應字元線 $40_1\sim 40_m$ 的位址係設定。當列位址信號 33 表示的位址為設定位址時，各位址解碼器輸出 L 輸出信號。

n 通道 MOS 電晶體 $54_1\sim 54_m$ 接收儲存組選擇信號 11_1 ，而汲極則接收位址解碼器 $56_1\sim 56_m$ 的輸出信號。當儲存組選擇信號 11_1 改變至 H 時，n 通道 MOS 電晶體 $54_1\sim 54_m$ 輸出位址解碼器 $56_1\sim 56_m$ 的輸出信號至源極。

NAND 電路 55 將字元線驅動信號重設信號 12 及儲存組選擇信號 11_1 的 AND 值反相，並輸出其反相結果。

五、發明說明 (22)

p 通道 MOS 電晶體 53 的閘極接收 NAND 電路 55 的輸出信號。當 NAND 電路 55 的輸出電路改變至 L 時，p 通道 MOS 電晶體 53 係導通以設定 n 通道 MOS 電晶體 54₁~54_m 的源極至電壓 V_{DD} 。

反相器對 51₁~51_m 及 52₁~52_m 分別構成閘鎖電路，並閘鎖及輸出 n 通道 MOS 電晶體 54₁~54_m 的源極電壓。

AND 電路 50₁~50_m 分別對反相器對 51₁~51_m 及 52₁~52_m 構成之閘鎖電路所閘鎖之信號及字元線驅動信號 7₁ 進行 AND 運算，並輸出 AND 值至字元線 40₁~40_m。

第一實施例的動作將配合第 7~9 圖及第 10 圖之時序說明如下。

自儲存組 1 中形成於位元線對 41₁ 及字元線 40₁ 交界之記憶胞 17，讀取資料的設定序列將說明如下。

在 t_{11} ，當外部命令由外部輸入，且具有表示字元線 40₁ 位址之列位址位址信號 32 及表示儲存組 1 位址之儲存組位址輸入時，列位址啟動信號 3 會啟動預定時間。

由於列位址啟動信號 30 係啟動，時序控制電路 35 啟動位址致能信號 34 預定時間。在接收位址信號 32 時，列位址緩衝器 45 輸出列位址信號 33，而儲存組解碼器 43 則啟動儲存組選擇信號 11₁ 預定時間。

在 t_{12} ，時序控制電路 35 的啟動時序鏈 37 啟動預充電信號重設信號 14 預定時間。此時，由於儲存組選擇信號 11₁ 係啟動，閘鎖電路 6₁ 的正反電路 21 係重設，且預充電信號 8₁ 由 H 改變至 L。隨後，預充電電路 18₁~18_n

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (23)

及 19 停止預充電。

在 t_{13} ，啟動時序鏈 37 啟動字元線驅動信號設定信號 10 預定時間。此時，由於儲存組選擇信號 11_1 係啟動，門鎖電路 6_1 的正反電路係重設，且字元線驅動信號 7_1 由 L 改變至 H。在列解碼器 5_1 中，由於列位址信號 33 表示字元線 40_1 的位址，位址解碼器 56_1 輸出啟動的 L 輸出信號。由於儲存組選擇信號 11_1 為 H，n 通道 MOS 電晶體 54_1 係導通，且位址解碼器 56_1 的 L 輸出信號係輸出至反相器 51_1 。因此，H 信號輸入 AND 電路 50_1 。由於字元線驅動信號 7_1 為 H，字元線 40_1 係啟動。由於字元線驅動信號重設信號 12 為 L，NAND 電路 55 輸出 H 輸出信號，且 p 通道 MOS 電晶體 53 維持關閉。

在 t_{14} ，啟動時序鏈 37 啟動感應放大器致能信號設定信號 15 預定時間。由於儲存組信號 11_1 係啟動，正反電路 22 係設定，且感應放大器致能信號 9_1 改變至 H。隨後，將輸出至位元線對 41_1 的記憶胞 17 內容放大及輸出。在 t_{15} ，儲存組信號 11_1 改變至 L 以完成設定序列。

在完成記憶胞之資料讀取後，中斷儲存組 1 的重設序列將說明如下。

在 t_{15} ，列位址中斷信號 31 由上述狀態啟動預定時間。利用與讀取動作相同的動作，位址致能信號 34 係啟動預定時間，且儲存組選擇信號 11_1 亦啟動預定時間。時序控制電路 35 的預充電時序鏈 36 啟動字元線驅動信號重設信號 12 預定時間。隨後，門鎖電路 6_1 的正反電路 20

五、發明說明(24)

係重設，字元線驅動信號 7_1 改變至 L，且字元線 40_1 係中斷。

在 t_{17} ，預充電時序鏈 36 啟動感應放大器致能信號重設信號 16 預定時間。因此，門鎖電路 6_1 的正反電路 22 係重設，感應放大器致能信號 9_1 改變至 L，且感應放大器 $29_1 \sim 29_n$ 係關閉。

在 t_{18} ，預充電時序鏈 36 啟動預充電信號設定信號 13 預定時間。門鎖電路 6_1 的正反電路 21 係設定，預充電信號 8_1 改變至 H，且預充電電路 $18_1 \sim 18_n$ 及 19 開始預充電。在 t_{19} ，儲存組選擇信號 11_1 改變至 L 以完成重設序列。

在第一實施例的半導體記憶裝置中，時序控制電路 35 輸出的命令信號是由門鎖電路 $6_1 \sim 6_4$ (分別排列於儲存組 1~4) 門鎖。如第 11 圖所示，舉例來說，當儲存組 1 進行設定動作時，儲存組 2 的重設序列亦可以進行，即使在儲存組 1 的讀/寫動作完成前，與第 4 圖之習知半導體記憶裝置相同。

如上所述，在第一實施例中，一個時序控制電路 35 可以控制獨立地控制儲存組 1~4 的動作。即使儲存組的數目增加，一個時序控制電路(具有大電路面積)仍可藉由排列門鎖電路(對應於加入的儲存組)而達成。因此，時序控制電路的電路面積不會隨儲存組數目的增加而增加。

第二實施例：

五、發明說明 (25)

本發明第二實施例之半導體記憶裝置將說明如下。

第 12 圖係第二實施例半導體記憶裝置之排列之方塊圖。與第 7 圖相同的部分是使用相同的標號。

第二實施例半導體記憶裝置與第 7 圖第一實施例半導體記憶裝置的差別在於，門鎖電路 $6_1 \sim 6_4$ 由 $66_1 \sim 66_4$ 取代、儲存組 $1 \sim 4$ 由儲存組 $61 \sim 64$ 取代、預充電儲存組解碼器 44 則新加入。也就是，啟動儲存組及預充電儲存組可獨立動作。

預充電儲存組解碼器 44 改變預充電儲存組選擇信號 $47_1 \sim 47_4$ (其對應於位址信號 32 之預充電儲存組位址所表示的儲存組及指派儲存組)，至 H，藉以進行預充電。

與門鎖電路 $6_1 \sim 6_4$ 相較，門鎖電路 $66_1 \sim 66_4$ 分別接收預充電儲存組選擇信號 $47_1 \sim 47_4$ 。若預充電儲存組選擇信號 $47_1 \sim 47_4$ 在儲存組選擇信號 $11_1 \sim 11_4$ 保持 L 時為 H，則當字元線驅動信號重設信號 12、預充電信號設定信號 13、感應放大器致能信號重設信號 16 改變至 H，且正反電路 20~22 係重設。

如第 13 圖所示，門鎖電路 $66_1 \sim 66_4$ 分別接收預充電儲存組選擇信號 47_1 ，而非第 8 圖中輸入門鎖電路 $6_1 \sim 6_4$ 之 AND 電路 24、25、28 的儲存組選擇信號 11_1 。

在儲存組 $61 \sim 64$ 中，列解碼器 $65_1 \sim 65_4$ 分別取代儲存組 $1 \sim 4$ 的列解碼器 $5_1 \sim 5_4$ 。

如第 14 圖所示，在列解碼器 $65_1 \sim 65_4$ 中，相較於列解碼器 $5_1 \sim 5_4$ ，NAND 電路 55 輸出字元線驅動信號重設信

五、發明說明 (26)

號 12 及預充電儲存組選擇信號 47_1 的 NAND 值。

第二實施例的動作將配合第 12~16 圖說明如下。

如第 15 圖所示，儲存組 62 重設序列在儲存組 61 設定序列期間開始的例子將說明如下。

在 t_{21} ，列位址啟動信號 30 係啟動，且時序控制電路 35 啟動位址致能信號 34。隨後，儲存組解碼器 43 改變儲存組選擇信號 11_1 至 H，且列位址緩衝器 45 輸出包括於位址信號 32 之列位址以作為列位址信號 33。第 16 圖時序之位址信號 32 之部□表示讀取作為列位址信號 33 之列位址。時序控制電路 35 之啟動時序鏈 37 以預定時序改變預充電信號重設信號 14 (在 t_{22})、字元線驅動信號設定信號 10 (在 t_{23})、感應放大器致能信號設定信號 (t_{26})，至 H，達預定時間。這個動作可由第 16 圖時序之啟動序列 57 表示。在 t_{28} ，儲存組選擇信號 11_1 改變至 L 以完成設定序列。

在儲存組 61 中，在 t_{22} ，由於預充電信號重設信號 14 及儲存組選擇信號 11_1 以上述動作改變至 H，門鎖電路 66_1 的正反電路 21 係重設以改變預充電信號 8_1 至 L。在 t_{23} ，由於字元線驅動信號設定信號 10 改變至 H，字元線驅動信號 7_1 改變至 H，且字元線 40_1 由列解碼器 65_1 啟動。在 t_{26} ，由於感應放大器致能信號設定信號 15 改變至 H，感應放大器致能信號 9_1 改變至 H。在 t_{28} ，選擇信號 11_1 改變至 H 以完成儲存組 61 的啟動序列。這個動作可由第 16 圖時序之儲存組 61 之內部信號 59 表示。

五、發明說明 (27)

在儲存組 61 的啟動序列期間，位址信號 32 之儲存組位址改變以指派儲存組 62，並啟動列位址中斷信號 31。第 16 圖位址信號 32 的部□表示改變的儲存組位址及列位址。隨後，預充電儲存組解碼器 44 改變預充電儲存組選擇信號 47_2 至 H。時序控制電路 35 的預充電時序鏈 36 以預定時序改變字元線驅動信號重設信號 12(在 t_{25})、感應放大器致能信號重設信號 16(在 t_{27})、預充電信號設定信號 13(在 t_{29})，至 H，達預定時間。這個動作可由第 16 圖時序之重設序列 58 表示。

由於字元線驅動信號重設信號 12 及預充電儲存組選擇信號 47_2 均以上述動作改變至 H，門鎖電路 66_2 的正反電路 20 係重設以改變字元線驅動信號 7_2 至 L。因此，排列於儲存組 62 的列解碼器 65_2 (未示)中斷儲存組 62 的字元線 40_1 。由於感應放大器致能信號重設信號 16 及預充電儲存組選擇信號 47_2 改變至 H，門鎖電路 66_2 的正反電路 22 係重設以改變感應放大器致能信號 9_2 至 L。由於預充電信號設定信號 13 改變至 H，門鎖電路 66_2 的正反電路 21 係設定以改變預充電信號 8_2 至 H，藉以完成儲存組 62 的重設序列。這個動作可由第 16 圖時序之儲存組 62 之內部信號 60 表示。

在第二實施例中，排列預充電儲存組解碼器 44 可使彼此平行的儲存組同時進行設定序列及重設序列。也就是，由於給定儲存組的資料可在其他儲存組之重設序列時被讀出，處理速度可以增加。這些序列並不會同時開

五、發明說明 (28)

始，因為位址信號 32 同時指派一儲存組進行設定序列，及一儲存組進行重設序列。不過，若指派欲預充電之儲存組位址之預充電信號亦與位址信號 32 同樣地設定，以利用不同命令獨立控制列位址啟動信號 30 及列位址中斷信號 31，則設定序列及重設序列便可以完全獨立地動作。換句話說，設定序列及重設序列便可以同時進行。

對應位址致能信號 34(與列位址中斷信號 31 同步)的信號可輸出至預充電儲存組解碼器 44 以遮罩解碼的輸出。

第三實施例：

本發明第三實施例的半導體記憶裝置說明如下。

第 17 圖係第三實施例半導體記憶裝置之排列之方塊圖。與第 12 圖相同的部分是以相同標號表示。

第三實施例半導體記憶裝置與第 12 圖第二實施例半導體記憶裝置的差別在於，門鎖電路 66₁~66₄ 由 96₁~96₄ 取代、時序控制電路 135 取代時序控制電路 35。

在時序控制電路 135 中，啟動時序鏈 137 取代時序控制電路 35 之啟動時序鏈 37、預充電時序鏈 136 取代預充電時序鏈 36。

啟動時序鏈 137 的動作與啟動時序鏈 37 相同，除了啟動時序鏈 137 不會輸出任何預充電信號重設信號 14 及感應放大器致能信號 15，而是輸出感應致能信號 97 以控制感應放大器致能信號 9₁ 的輸出時序。

在第三實施例中，位址致能信號 34 只有在列位址啟

(請先閱讀背面之注意事項再填寫此頁)

裝

訂

線

五、發明說明 (29)

動信號 30 啟動時啟動，而不會在列位址中斷信號 31 啟動時輸出。儲存組選擇信號 $11_1 \sim 11_4$ 與位址致能信號 34 同步輸出。不過，在重設序列中，這些信號並不需要與位址致能信號 34 同步，因為在感應放大器致能信號重設信號 13 及預充電信號設定信號 13 啟動前、位址中斷信號 31 啟動後存在一間隔。因此，在第三實施例中，位址致能信號 34 只在啟動序列輸出。

預充電時序鏈 136 的動作與預充電時序鏈 36 相同，除了預充電時序鏈 136 不輸出任何字元線驅動信號重設信號 12。

如第 18 圖所示，在閘鎖電路 $96_1 \sim 96_4$ 中，相較於第二實施例之閘鎖電路 $66_1 \sim 66_4$ ，感應致能信號 97 係輸入，且 AND 電路 24、26、27 係省略。當儲存組選擇信號 11_1 改變至 H 時，正反電路 21 係重設且正反電路 22 係設定。當預充電儲存組選擇信號 47_1 改變至 H 時，正反電路 20 係重設。閘鎖電路 $96_1 \sim 96_4$ 分別增加反相器 71、72、75、76，p 通道 MOS 電晶體 73，n 通道 MOS 電晶體 74。

反相器 71 將正反電路 22 的輸出信號反相，並輸出其反相結果。

n 通道 MOS 電晶體 74 的閘極接收感應致能信號 97，汲極則連接反相器 71 的輸出。當感應致能信號 97 改變至 H 時，n 通道 MOS 電晶體 74 係導通以輸出反相器 71 之輸出信號至源極。反相器 72 將反相器 71 的反相結果反相，並輸出其反相結果至 p 通道 MOS 電晶體 73 的閘

五、發明說明 (30)

極。

當反相器 72 的輸出信號改變至 L 時，p 通道 MOS 電晶體 73 係導通以設定 n 通道 MOS 電晶體 74 的源極至電壓 V_{DD} 。

反相器 75、76 構成門鎖電路，其門鎖輸出至 n 通道 MOS 電晶體 74 之源極之電壓，並將其輸出作為感應放大器致能信號 9_1 。

第三實施例的動作將配合第 17~18 圖及第 19 圖時序說明如下。

將儲存組 61 中位元線對 41_1 及字元線 40 交界之記憶胞資料讀出的設定序列將說明如下。

在 t_{31} ，列位址啟動信號 30 啟動預定時間，時序控制電路 135 則啟動位址致能信號 34。隨後，儲存組解碼器 43 改變儲存組選擇信號 11_1 至 H，且列位址緩衝器 45 輸出列位址信號 33。這個動作與第一及第二實施例相同。時序控制電路 135 的啟動時序鏈 137 則改變字元線驅動信號設定信號 10 (在 t_{31}) 及感應致能信號 97 (在 t_{33})，至 H。

在 t_{31} ，由於儲存組選擇信號 11_1 改變至 H，門鎖電路 96_1 的正反電路 21 係重設以改變預充電信號 8_1 至 L。

在 t_{32} ，由於字元線驅動信號設定信號 10 改變至 H，門鎖電路 96_1 的正反電路 20 係設定以改變字元線驅動信號 7_1 至 H。

在 t_{33} ，由於感應致能信號 97 為 H，n 通道 MOS 電晶體 74 係導通。此時，由於儲存組選擇信號 11_1 為 H，且

五、發明說明 (31)

正反電路 22 係設定，正反電路 22 輸出 H 輸出信號，如第 19 圖所示。因此，反相器 71 輸出 L 輸出信號，且 n 通道 MOS 電晶體 74 的源極接收 L 信號。L 信號門鎖於反相器 75、76，其邏輯值反相至 H。H 信號則輸出作為感應放大器致能信號 9_1 。

重設序列的動作將說明如下。

第三實施例半導體記憶裝置的動作與第二實施例相同，除了輸出重設序列信號的預充電時序鏈不會輸出任何字元線驅動信號重設信號 12。相同的動作將予以省略。

在第三實施例的門鎖電路 96_1 中，正反電路 20 是由預充電儲存組選擇信號 47_1 重設(而非字元線驅動信號重設信號 12)，藉以改變字元線驅動信號 7_1 至 L。

第三實施例只使用四個由時序控制電路 135 輸出至門鎖電路 $96_1 \sim 96_4$ 的信號。因此，內連線的數目會減少，且時序控制電路 135 中產生不同時序信號的電路數目亦會減少，使電路面積隨之減少。另外，時序設計亦可以簡化，因為儲存組選擇信號 11_1 可在啟動序列維持於 H，直到字元線驅動信號 7_1 改變至 H。

第一至第三實施例可以四個儲存組為例。不過，本發明卻不限於四個儲存組，而可以應用於其他數目之儲存組。

在第一至第三實施例中，信號(如預充電信號重設信號 14 及字元線驅動信號設定信號 10)是由門鎖電路

(請先閱讀背面之注意事項再填寫) 頁

裝

訂

線

五、發明說明(32)

$6_1 \sim 6_4$ 、 $66_1 \sim 66_4$ 、 $96_1 \sim 96_4$ 所門鎖。另外，只有在啟動序列及重設序列起始時之信號會被門鎖，其餘信號則可藉由排列門鎖電路 $6_1 \sim 6_4$ 、 $66_1 \sim 66_4$ 、 $96_1 \sim 96_4$ 中的信號產生器而產生。舉例來說，當偵測到門鎖之預充電信號重設信號 14 後，字元線驅動信號設定信號 10 便可在延遲預定時間後得到。這種排列可以降低內連線面積，相較於第三實施例，並達成多工處理。

第一至第三實施例係簡化的半導體記憶裝置，其具有複數記憶胞 17 形成於字元線 $40_1 \sim 40_m$ 及位元線對 $41_1 \sim 41_n$ 的交界。不過，允許排列字元線的長度卻有限制。因此，在其他半導體記憶裝置中，上述實施例之字元線 $40_1 \sim 40_m$ 形成作為主字元線，其不必直接連接記憶胞 17。分割主字元線至複數次字元線的次列解碼器則排列。記憶胞 17 形成於次字元線及位元線對 $41_1 \sim 41_n$ 的交界。在這個例子中，控制次列解碼器的信號可利用列解碼器或其他電路產生。通常，"字元線"表示所有次字元線、主字元線、字元線 $40_1 \sim 40_m$ ，如上述實施例所提及。本發明可應用於具有這種次字元線的半導體裝置。

本發明是有關於儲存組中列位址之啟動/中斷。由晶片輸入/輸出資料的方法則與一般用途之 DRAM 及 SDRAM 相同。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要(發明之名稱：

具有複數儲存組之半導體記憶裝置)

一種半導體記憶裝置，具有複數儲存組，一時序控制電路，及門鎖電路。時序控制電路連接該些儲存組，並輸出一信號以啟動各儲存組及一信號以在預定時序以預定順序預充電各儲存組。各門鎖電路連接各儲存組，並門鎖時序控制電路之輸出信號狀態。

英文發明摘要(發明之名稱：

)

(請先閱讀背面的注意事項再填寫本頁各欄)

六、申請專利範圍

1. 一種半導體記憶裝置，包括：

複數儲存組；

一時序控制電路，連接該些儲存組，並輸出複數的啟動信號以啟動各儲存組及複數的預充電電路信號以在預定時序以預定順序預充電各儲存組；以及

門鎖電路，連接各儲存組，並將該時序控制電路之複數的輸出信號狀態門鎖在位址信號所指派的儲存組內。

2. 如申請專利範圍第 1 項所述的裝置，其中，各門鎖電路之輸出信號係一控制字元線啟動之字元線驅動信號，一控制預充電之預充電信號，及一控制感應放大器動作之感應放大器致能信號，

啟動各儲存組之該信號具有一字元線驅動信號之設定信號以啟動該字元線驅動信號，一預充電重設信號以中斷該預充電信號，及一感應放大器致能信號設定信號以啟動該感應放大器致能信號，以及

預充電各儲存組之該信號具有一字元線信號重設信號以中斷該字元線驅動信號，一預充電設定信號以啟動該預充電信號，及一感應放大器致能信號重設信號以中斷該感應放大器致能信號。

3. 一種半導體記憶裝置，包括：

複數儲存組，各具有複數記憶胞，其分別形成於複數位元線對及複數字元線的交點，複數預充電電路，其連接各位元線對並在一預充電信號啟動時預充電各位元線對，複數感應放大器，其連接各位元線對並在一感應放

六、申請專利範圍

大器致能信號啟動時放大各儲存組，及一系列解碼器，其連接一系列門鎖電路，藉以在各儲存組啟動時門鎖一系列位址表示之字元線之選擇/未選擇狀態及在一字元線驅動信號啟動時啟動該列門鎖電路表示之字元線；

一時序控制電路，具有一啟動時序鏈以在一列位址啟動信號啟動時在預定時序以預定順序控制一字元線驅動信號設定信號、一預充電信號重設信號、一感應放大器致能信號設定信號，及在一列位址中斷信號啟動時在預定時序以預定順序控制一字元線驅動信號重設信號、一預充電信號設定信號、一感應放大器致能信號重設信號；

一儲存組解碼器，啟動一儲存組選擇信號以選擇一包括於一位址信號之儲存組位址表示之儲存組；

一系列位址緩衝器，輸出一列位址以作為包括於該位址信號之一列位址信號；以及

複數門鎖電路，連接各儲存組，接收該儲存組選擇信號，在一對應儲存組選擇信號及該位元線驅動信號設定信號啟動時啟動該位元線驅動信號，在該位元線驅動信號重設信號啟動時中斷該位元線驅動信號，在該預充電信號設定信號啟動時啟動該預充電信號，在該預充電信號重設信號啟動時中斷該預充電信號，在該感應放大器致能信號設定信號啟動時啟動該感應放大器致能信號，及在該感應放大器致能信號重設信號啟動時中斷該感應放大器致能信號。

4.如申請專利範圍第3項所述的裝置，其中，各門鎖

六、申請專利範圍

電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該字元線驅動信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該預充電信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第四邏輯電路，在該預充電信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第五邏輯電路，在該感應放大器致能信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第六邏輯電路，在該感應放大器致能信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該第二邏輯電路之輸出信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第三邏輯電路之輸出信號設定及該第四邏輯電路之輸出信號重設，並輸出一輸出信號以作為該預充電信號；以及

一第三正反電路，由該第五邏輯電路之輸出信號設定及該第六邏輯電路之輸出信號重設，並輸出一輸出信號以作為該感應放大器致能信號。

5.如申請專利範圍第4項所述的裝置，其中，該裝置更包括一預充電儲存組解碼器，其啟動一預充電儲存組

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

選擇信號以選擇一包括於該位址信號之一預充電儲存組位址表示之儲存組，且該門鎖電路只在該預充電儲存組選擇信號啟動時，啟動該字元線驅動信號重設信號、該預充電信號設定信號、該感應放大器致能信號重設信號以作為進行預充電之信號。

6.如申請專利範圍第5項所述的裝置，其中，各門鎖電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該字元線驅動信號重設信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該預充電信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第四邏輯電路，在該預充電信號重設信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第五邏輯電路，在該感應放大器致能信號設定信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第六邏輯電路，在該感應放大器致能信號重設信號及該預充電儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該第二邏輯電路之輸出信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第三邏輯電路之輸出信號設定及該第四邏輯電路之輸出信號重設，並輸出一輸出信號

六、申請專利範圍

以作為該預充電信號；以及

一第三正反電路，由該第五邏輯電路之輸出信號設定及該第六邏輯電路之輸出信號重設，並輸出一輸出信號以作為該感應放大器致能信號。

7. 一種半導體記憶裝置，包括：

複數儲存組，各具有複數記憶胞，其分別形成於複數位元線對及複數字元線的交點，複數預充電電路，其連接各位元線對並在一預充電信號啟動時預充電各位元線對，複數感應放大器，其連接各位元線對並在一感應放大器致能信號啟動時放大一電壓輸出至該位元線對，及一系列解碼器，其只在一儲存組選擇信號啟動時，閃鎖一系列位址信號以啟動該列位址信號表示之位元線；

一時序控制電路，具有一啟動時序鏈，藉以在一列位址啟動信號啟動時，在預定時序以預定順序控制一感應致能信號以控制啟動該字元線驅動信號設定信號及該感應放大器致能信號之時序，及一預充電時序鏈，藉以在一列位址中斷信號啟動時，在預定時序以預定順序控制一預充電信號設定信號及一感應放大器致能信號重設信號；

一儲存組解碼器，啟動一儲存組選擇信號以選擇一包括於一位址信號之儲存組位址表示之儲存組；

一預充電儲存組解碼器，啟動一預充電儲存組選擇信號以選擇一包括於該位址信號之一預充電儲存組位址之儲存組；

六、申請專利範圍

一列位址緩衝器，輸出一列位址以作為包括於該位址信號之該列位址信號；以及

複數門鎖電路，連接各儲存組，接收該儲存組選擇信號，在一對應儲存組選擇信號及該位元線驅動信號設定信號啟動時啟動該位元線驅動信號，在該預充電儲存組選擇信號啟動時中斷該位元線驅動信號，在該預充電儲存組選擇信號及該預充電信號設定信號啟動時啟動該預充電信號，在該預充電儲存組選擇信號啟動時中斷該預充電信號，在該儲存組選擇信號及該感應放大器致能信號啟動時啟動該感應放大器致能信號，及在該預充電儲存組選擇信號及該感應放大器致能信號重設信號啟動時中斷該感應放大器致能信號。

8.如申請專利範圍第7項所述的裝置，其中，各門鎖電路包括：

一第一邏輯電路，在該字元線驅動信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第二邏輯電路，在該預充電信號設定信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第三邏輯電路，在該感應放大器致能信號重設信號及該儲存組選擇信號均啟動時啟動一輸出信號；

一第一正反電路，由該第一邏輯電路之輸出信號設定及該預充電儲存組選擇信號重設，並輸出一輸出信號以作為該字元線驅動信號；

一第二正反電路，由該第二邏輯電路之輸出信號設定

六、申請專利範圍

及該儲存組選擇信號重設，並輸出一輸出信號以作為該預充電信號；

一第三正反電路，由該儲存組選擇信號設定及該第三邏輯電路之輸出信號重設；以及

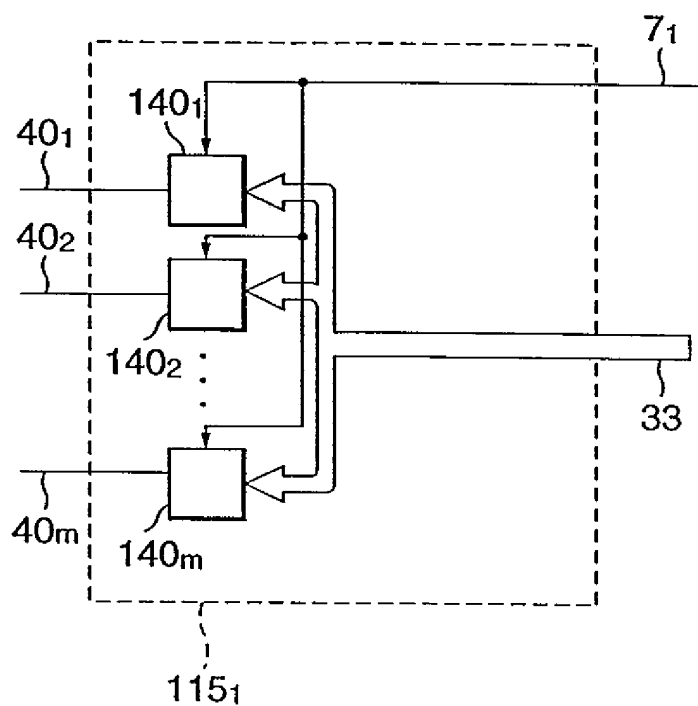
一電路，門鎖該第三正反電路之輸出信號，並在該感應致能信號啟動時輸出該輸出信號以作為該感應放大器致能信號。

(請先閱讀背面之注意事項再填寫)

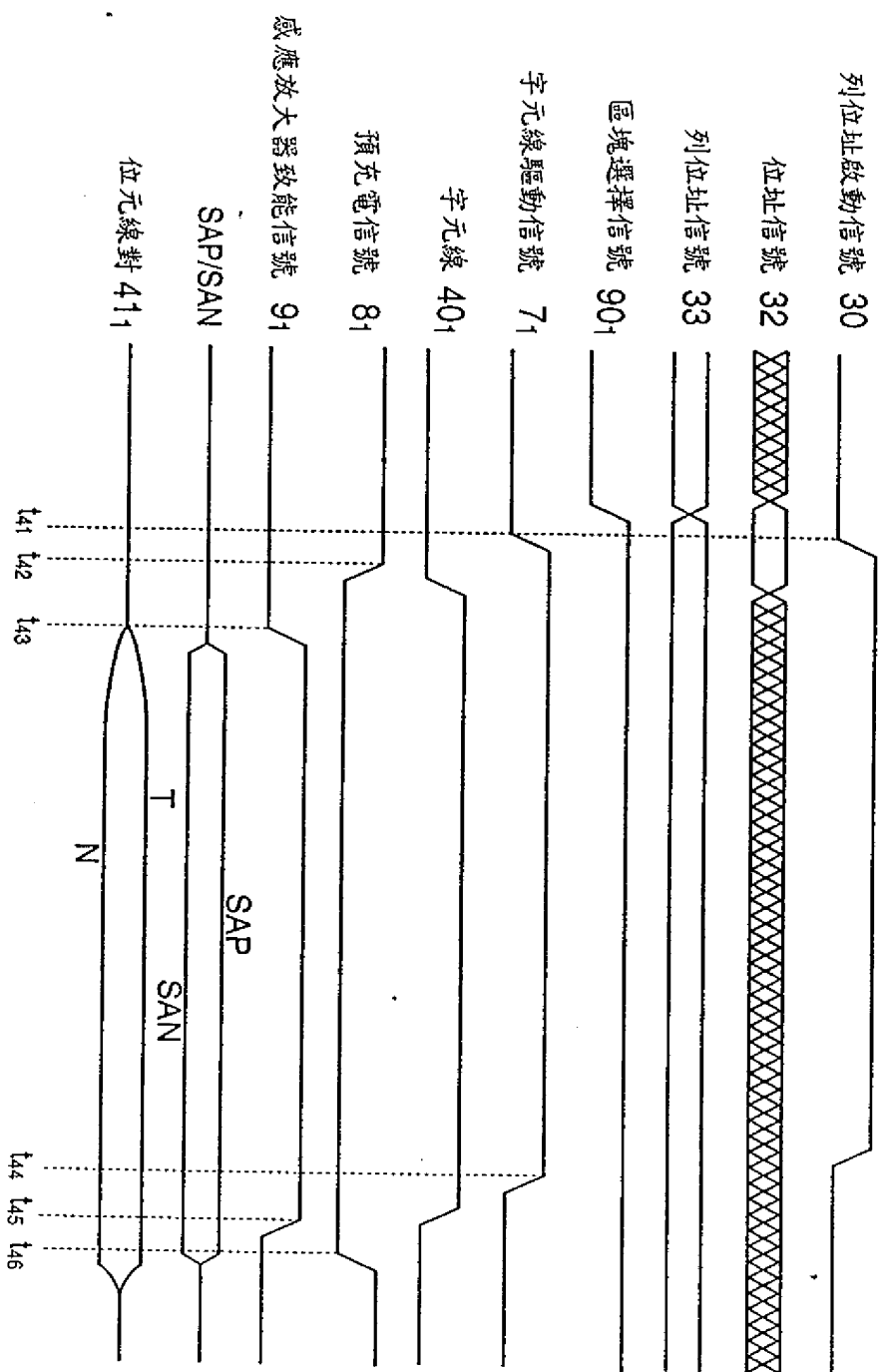
裝

訂

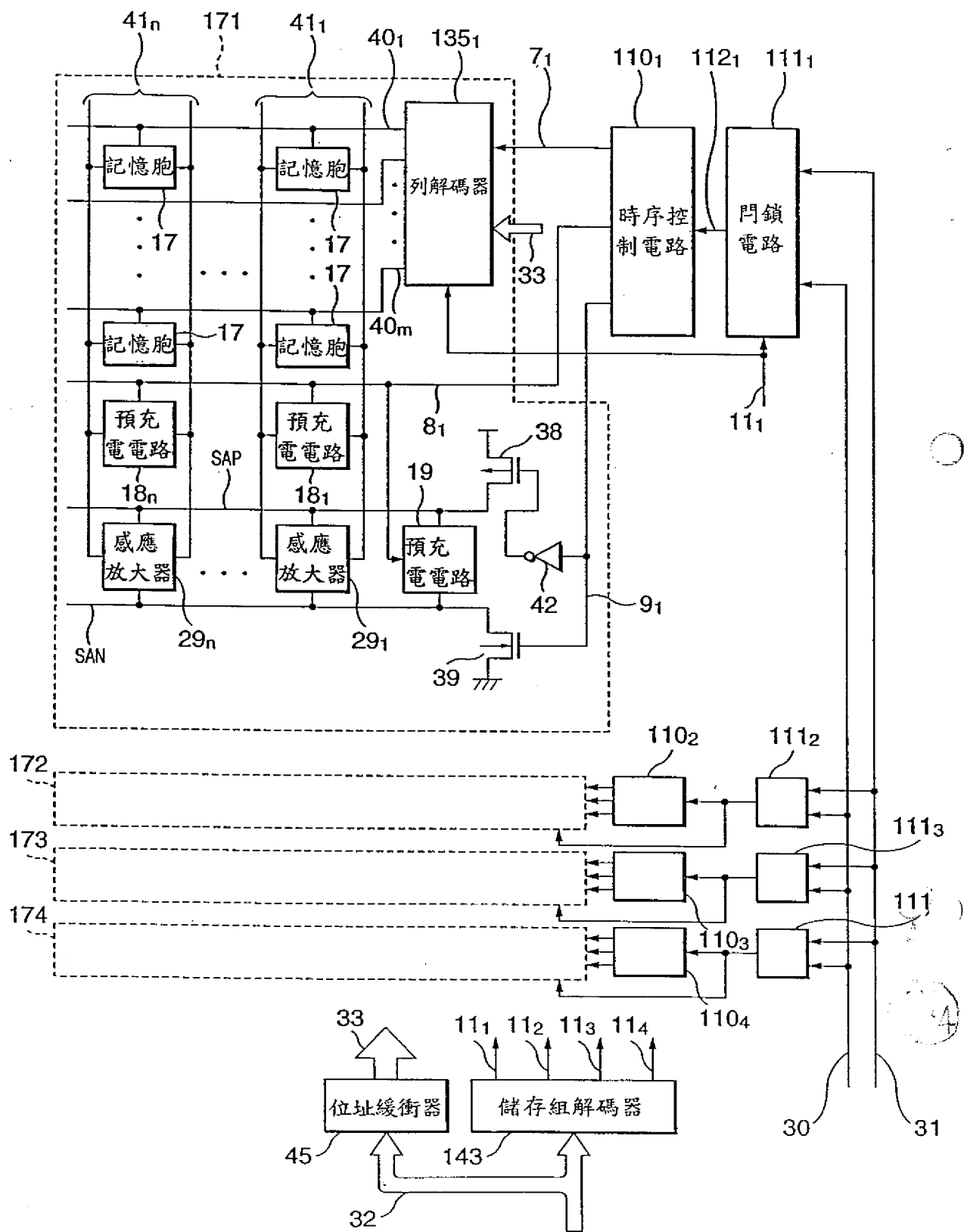
線



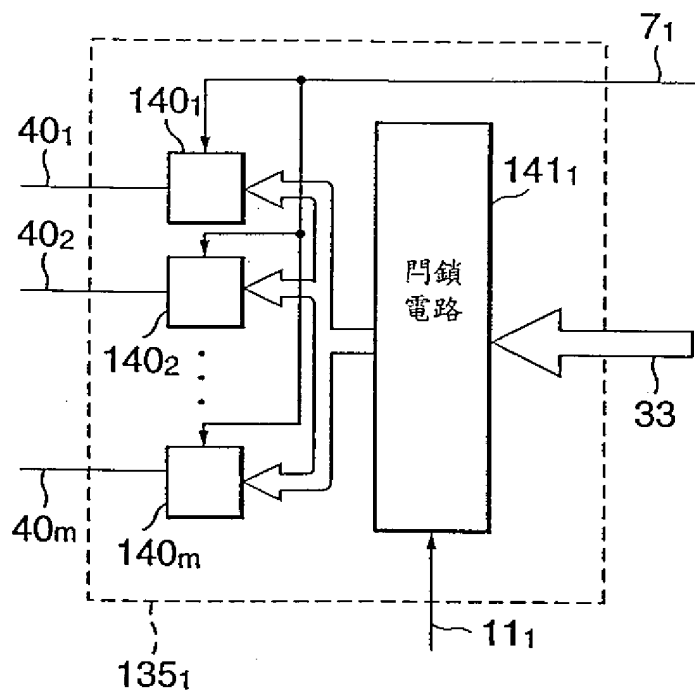
第 2 圖



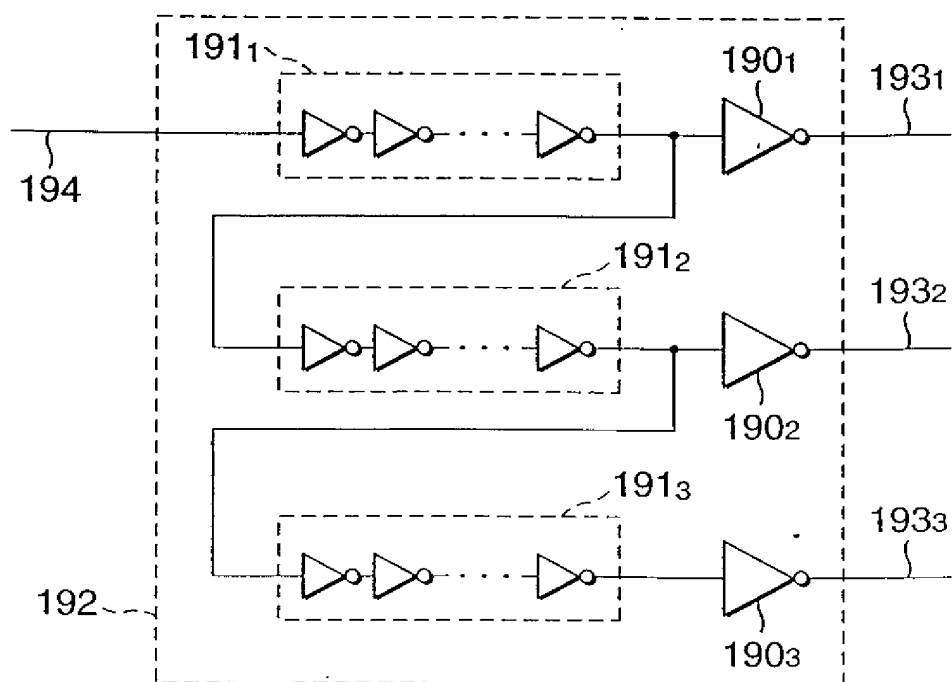
第 3 圖



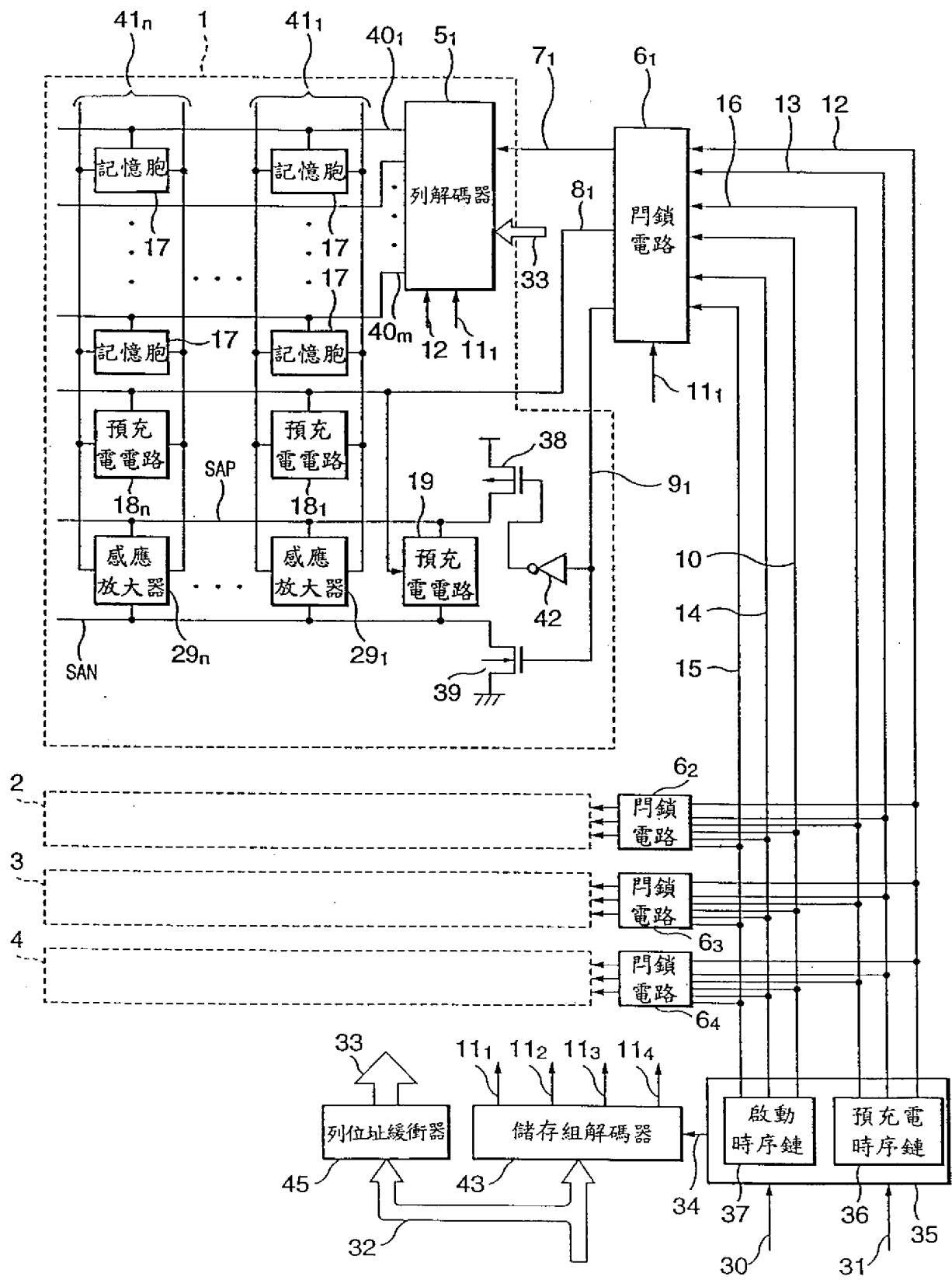
第 4 圖



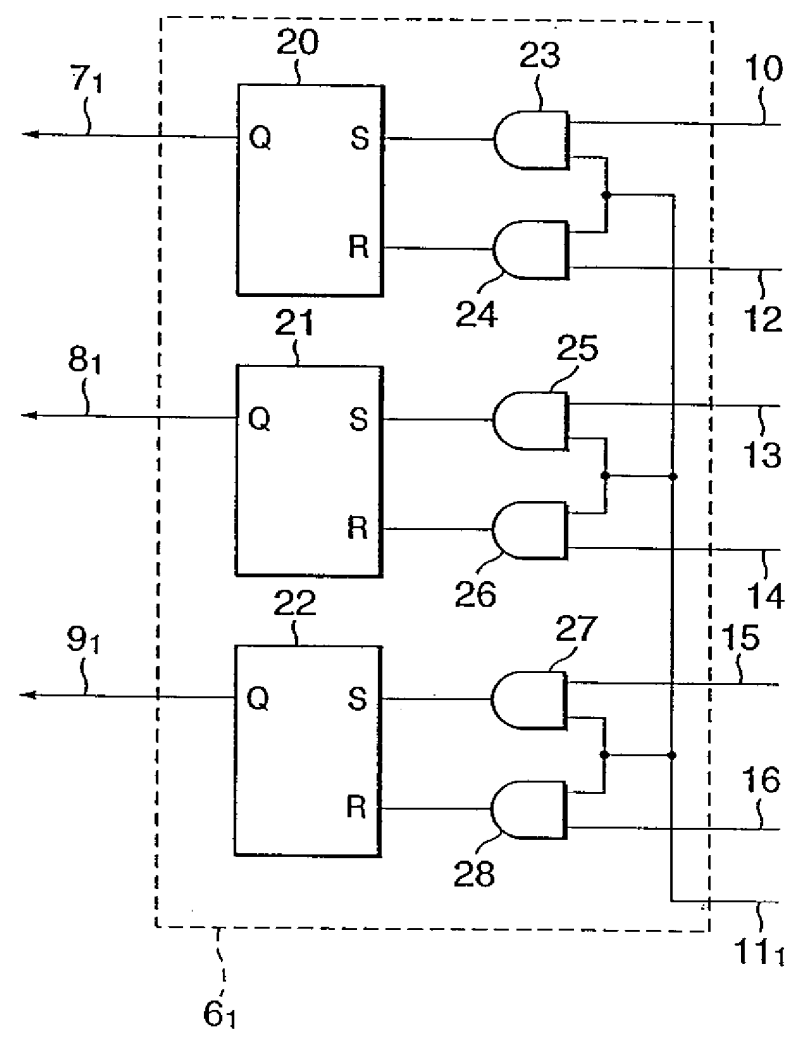
第 5 圖



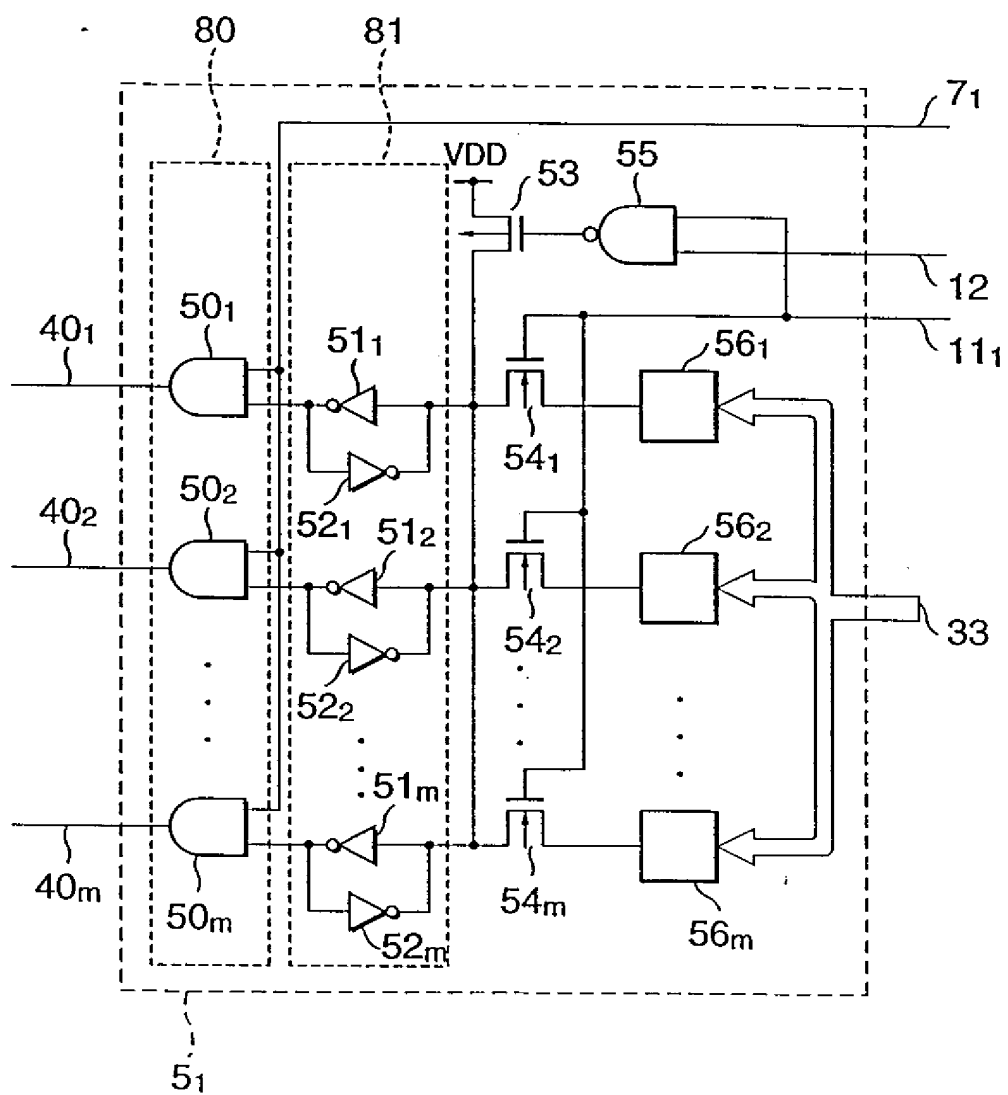
第 6 圖



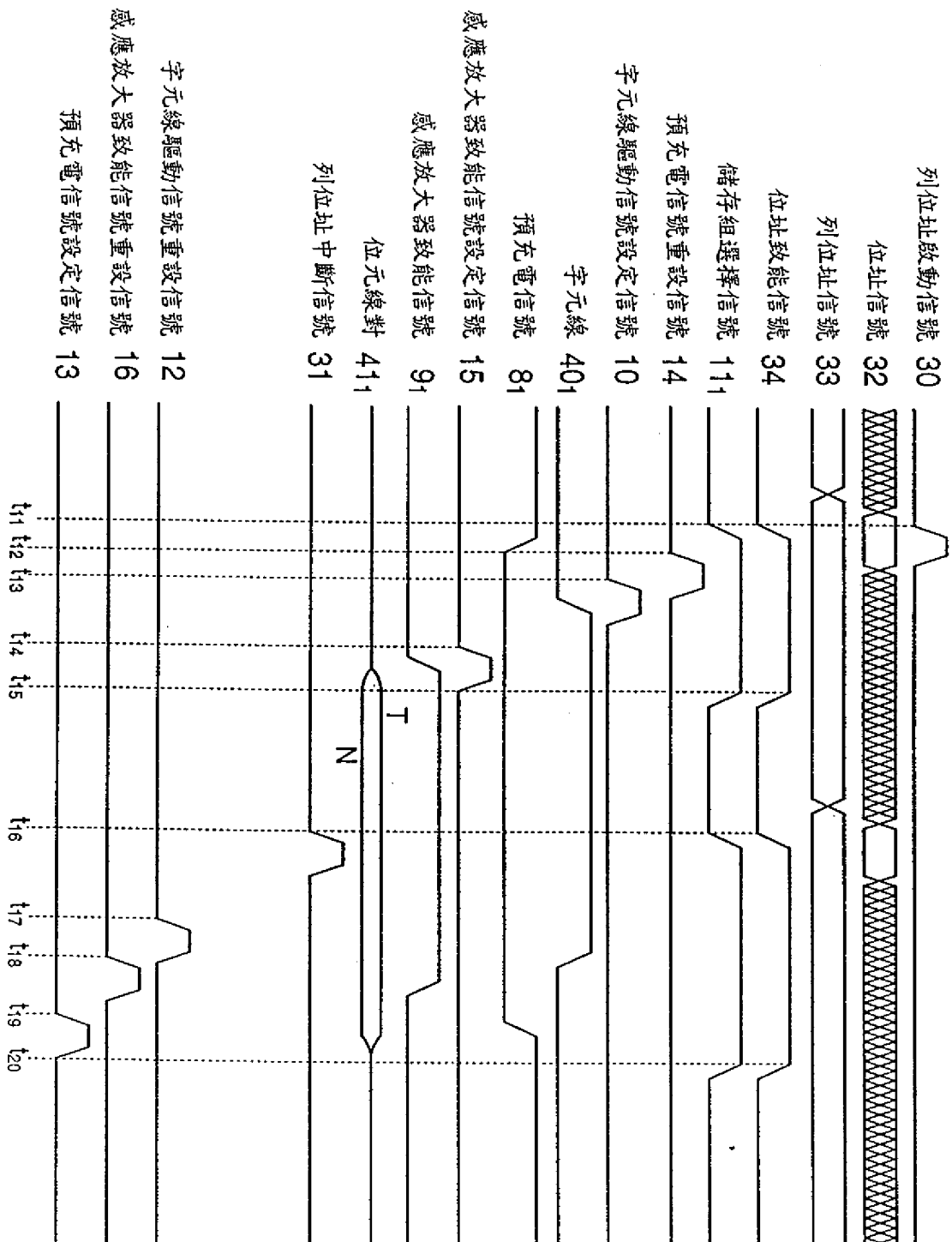
第 7 圖



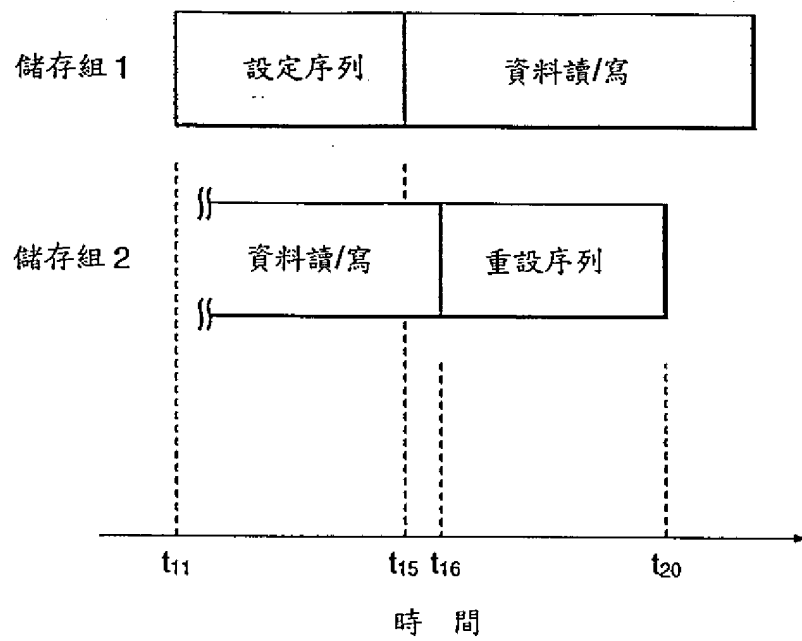
第 8 圖



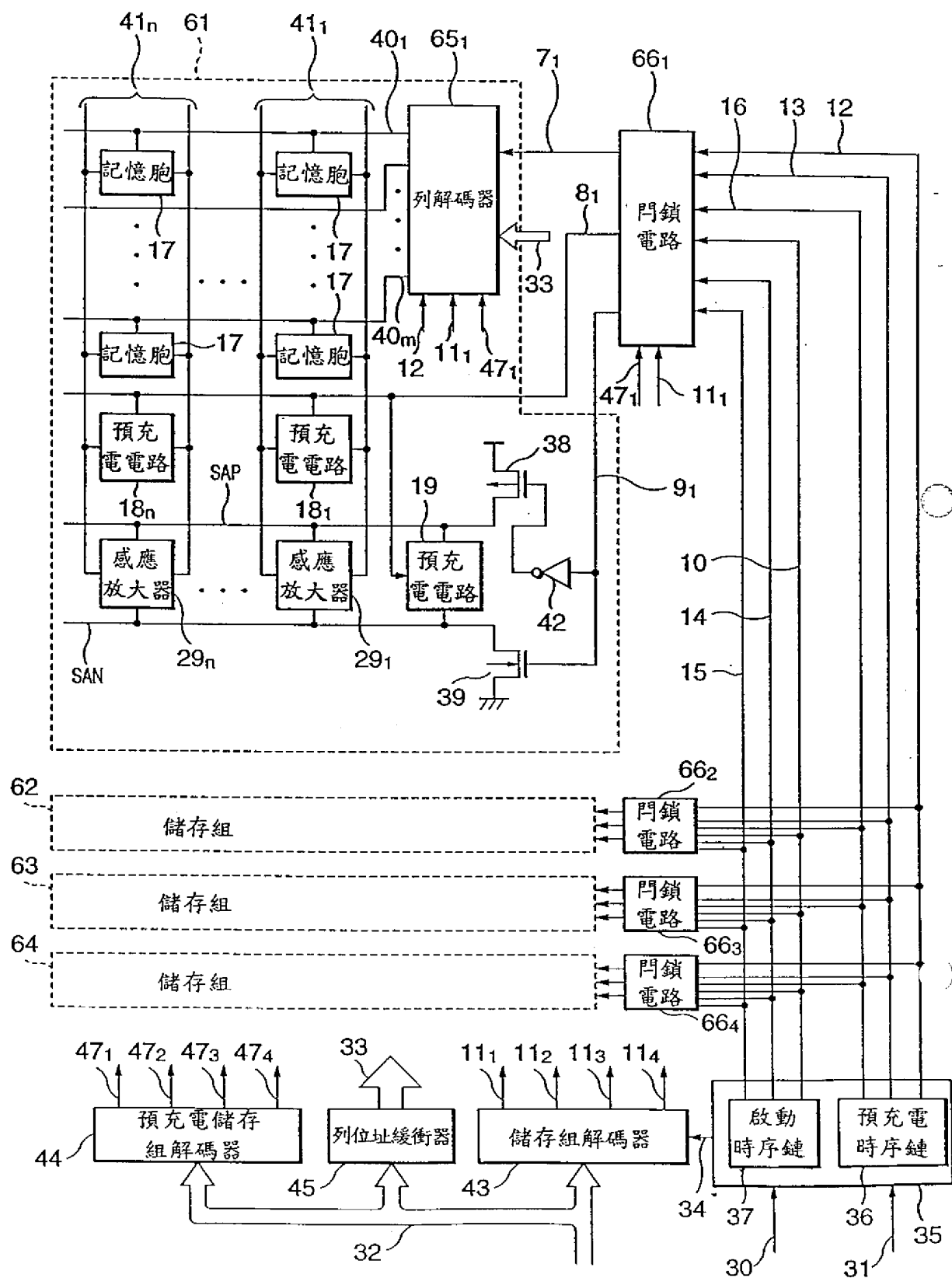
第 9 圖

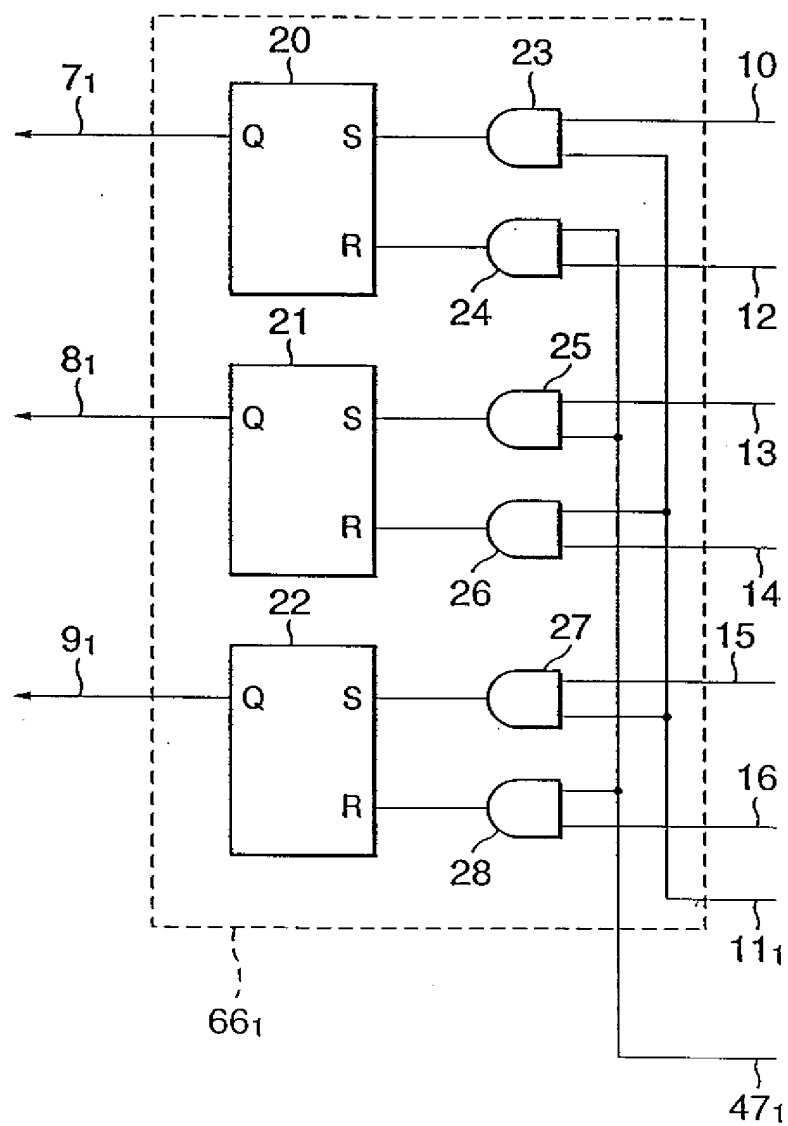


第 10 圖

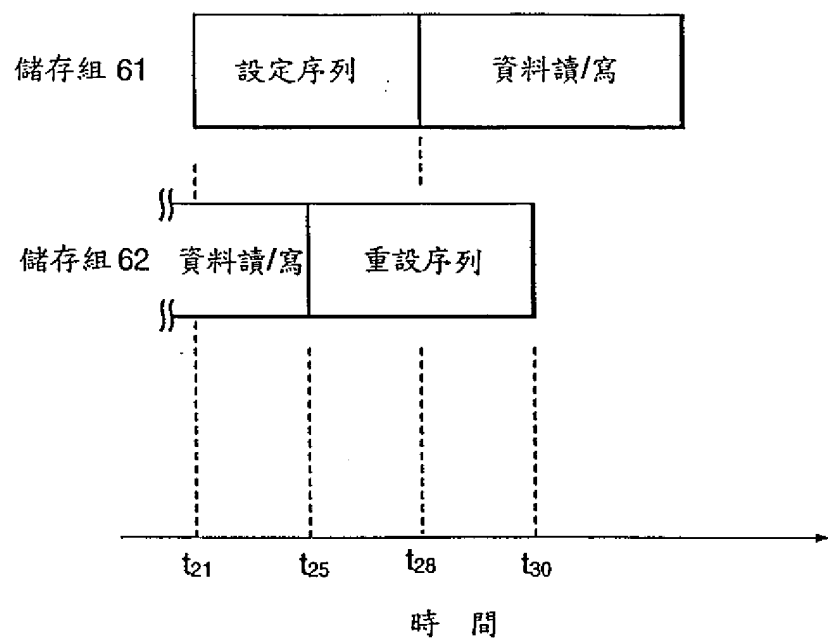


第 11 圖





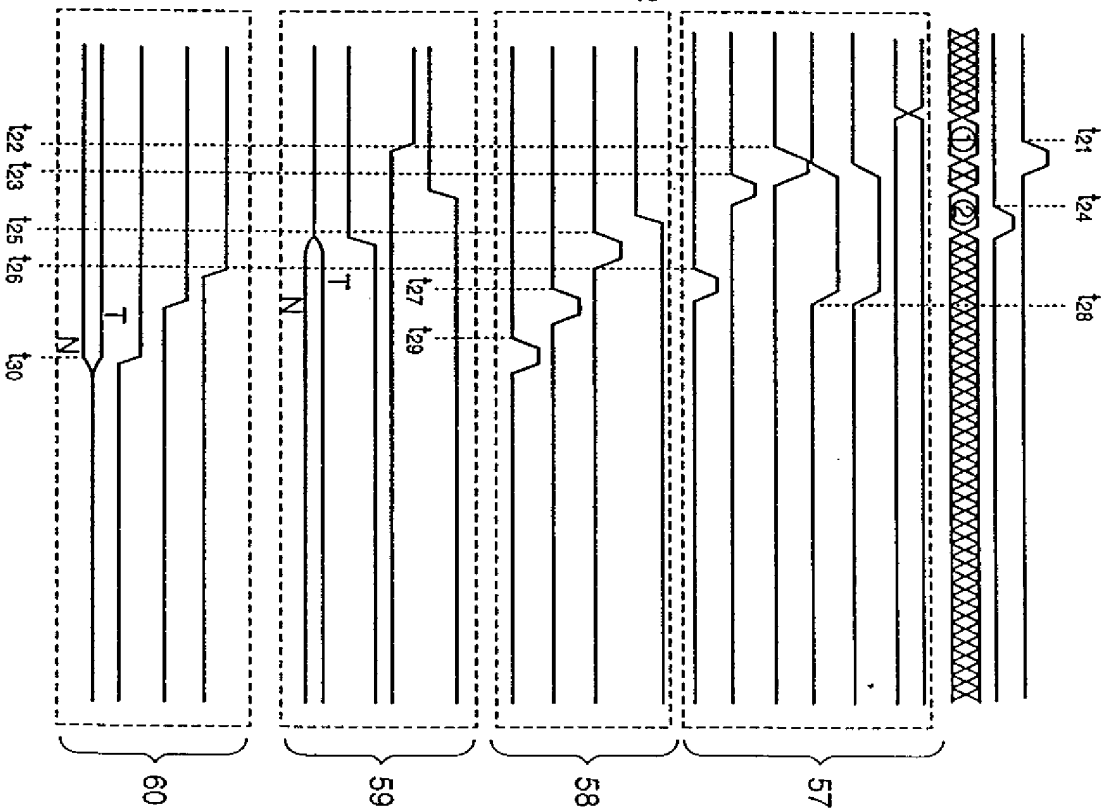
第 13 圖



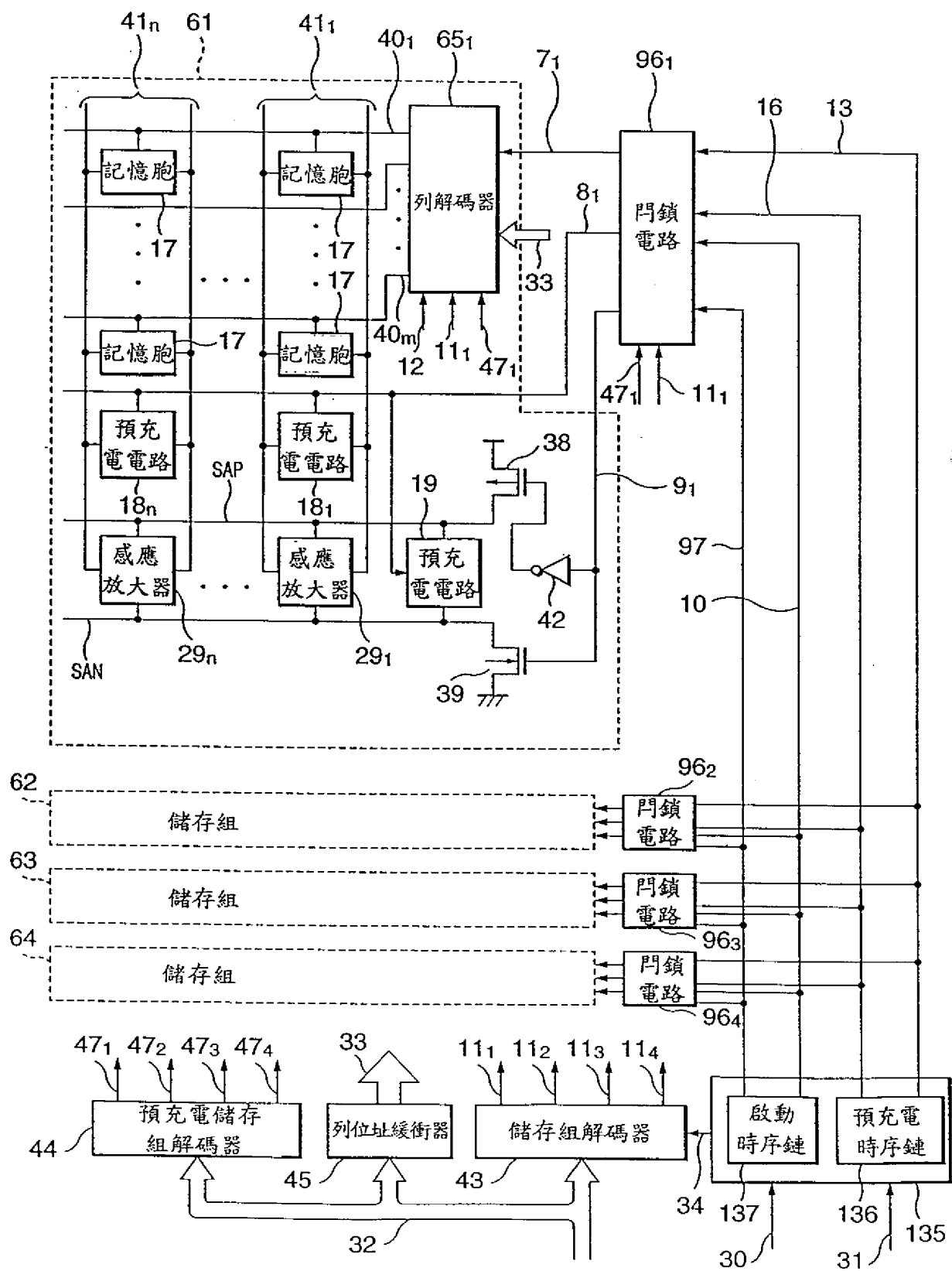
第 15 圖

列位址啟動信號 30
列位址中斷信號 31
位址信號 32
列位址信號 33
位址致能信號 34
儲存組選擇信號 111
預充電信號重設信號 14
字元線驅動信號設定信號 10
感應放大器致能信號設定信號 15
預充電儲存組選擇信號 472
字元線驅動信號重設信號 12
感應放大器致能信號重設信號 16
預充電信號設定信號 13

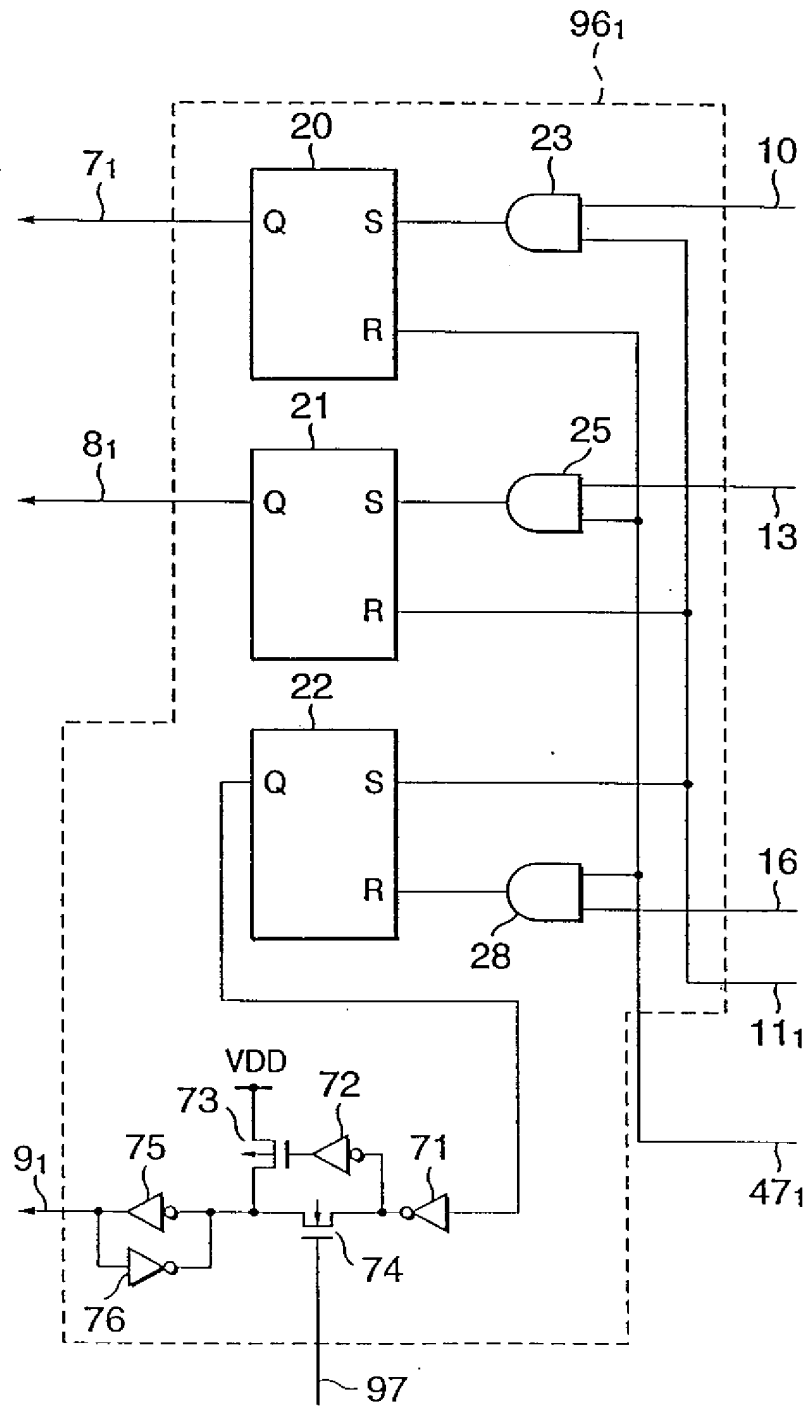
位元線 401
預充電信號 81
感應放大器致能信號 91
位元線對 411
字元線 40
感應放大器致能信號 92
預充電信號 82
位元線對 411



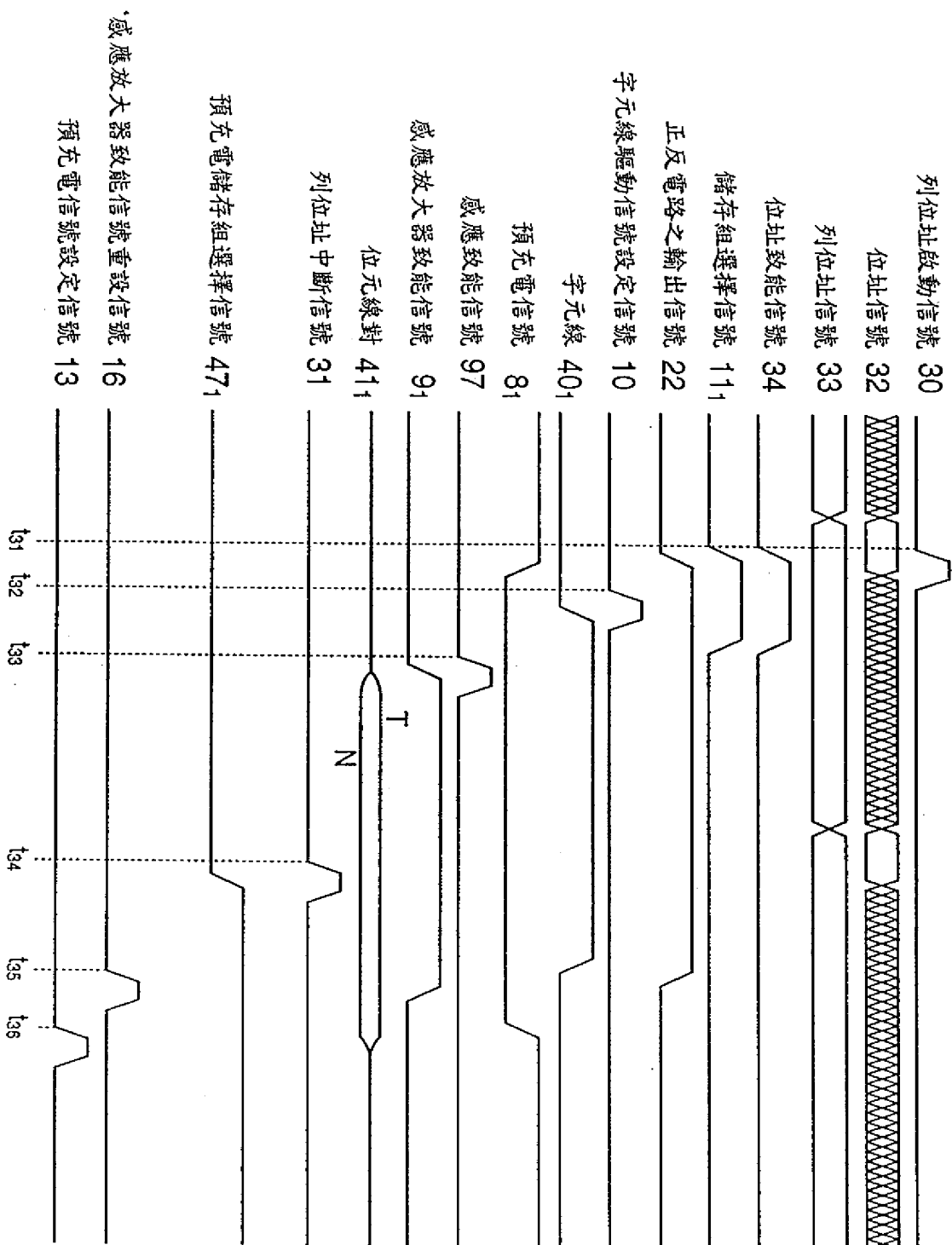
第 16 圖



第 17 圖



第 18 圖



第 19 圖

六、申請專利範圍

1. 一種半導體記憶裝置，包括：

複數儲存組；

一時序控制電路，連接該些儲存組，並輸出複數的啟動信號以啟動各儲存組及複數的預充電電路信號以在預定時序以預定順序預充電各儲存組；以及

門鎖電路，連接各儲存組，並將該時序控制電路之複數的輸出信號狀態門鎖在位址信號所指派的儲存組內。

2. 如申請專利範圍第 1 項所述的裝置，其中，各門鎖電路之輸出信號係一控制字元線啟動之字元線驅動信號，一控制預充電之預充電信號，及一控制感應放大器動作之感應放大器致能信號，

啟動各儲存組之該信號具有一字元線驅動信號之設定信號以啟動該字元線驅動信號，一預充電重設信號以中斷該預充電信號，及一感應放大器致能信號設定信號以啟動該感應放大器致能信號，以及

預充電各儲存組之該信號具有一字元線信號重設信號以中斷該字元線驅動信號，一預充電設定信號以啟動該預充電信號，及一感應放大器致能信號重設信號以中斷該感應放大器致能信號。

3. 一種半導體記憶裝置，包括：

複數儲存組，各具有複數記憶胞，其分別形成於複數位元線對及複數字元線的交點，複數預充電電路，其連接各位元線對並在一預充電信號啟動時預充電各位元線對，複數感應放大器，其連接各位元線對並在一感應放