



등록특허 10-2259172



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월01일
(11) 등록번호 10-2259172
(24) 등록일자 2021년05월26일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2016-7032266
- (22) 출원일자(국제) 2014년09월09일
심사청구일자 2019년09월05일
- (85) 번역문제출일자 2016년11월18일
- (65) 공개번호 10-2017-0015292
- (43) 공개일자 2017년02월08일
- (86) 국제출원번호 PCT/JP2014/074337
- (87) 국제공개번호 WO 2015/182000
국제공개일자 2015년12월03일

(30) 우선권주장
JP-P-2014-112369 2014년05월30일 일본(JP)

- (56) 선행기술조사문헌
KR1020120103566 A*
KR1020130061637 A*
JP평성02271657 A
JP2009094495 A

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 19 항

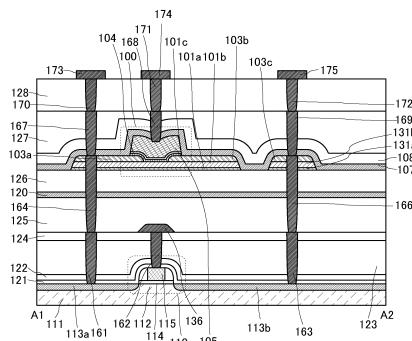
심사관 : 임창연

- (54) 발명의 명칭 반도체 장치, 이의 제조 방법, 및 전자 장치

(57) 요 약

본 발명의 반도체 장치는 제 1 트랜지스터를 포함하는 제 1 층, 제 1 층 위의 제 1 절연막을 포함하는 제 2 층, 제 2 층 위의 제 2 절연막을 포함하는 제 3 층, 및 제 3 층 위의 제 2 트랜지스터를 포함하는 제 4 층을 포함한다. 제 1 도전막은 제 1 절연막에 제공된 개구를 통하여 제 1 트랜지스터와 제 2 트랜지스터를 서로 전기적으로 접속한다. 제 2 도전막은 제 2 절연막에 제공된 개구를 통하여 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 도전막을 서로 전기적으로 접속한다. 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함한다. 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함한다. 제 2 도전막의 저면의 폭은 5nm 이하다.

대 표 도



(52) CPC특허분류

H01L 27/1259 (2013.01)

H01L 29/66969 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

호도 료타

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

도치바야시 가츠아키

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

모리와카 도모아키

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

공지예외적용 : 있음

니시다 지로

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

미야이리 히데카즈

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 제 2 절연막;

상기 제 2 절연막 위의 제 2 트랜지스터;

상기 제 1 트랜지스터와 전기적으로 접속되는 제 1 도전막; 및

상기 제 1 도전막 및 상기 제 2 트랜지스터와 전기적으로 접속되는 제 2 도전막을 포함하고,

상기 제 1 도전막은 상기 제 1 절연막에 매립되고,

상기 제 2 도전막은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽, 상기 제 2 트랜지스터의 반도체막, 및 상기 제 2 절연막에 매립되고,

상기 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함하고,

상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 2 도전막의 저면의 폭은 5nm 이하인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터의 게이트 전극의 상면의 중심이, 사각형과, 각각 120° 이하의 정각을 갖는 제 1~제 4 이등변 삼각형을 갖는 역사각 피라미드의 정점(頂點)으로 추정되면, 상기 반도체막의 저면은 상기 사각형 내부에 맞는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 제 2 트랜지스터의 게이트 전극의 상면의 중심이 서로 중첩되고,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 반도체막의 상면의 중심이 서로 중첩되는, 반도체 장치.

청구항 4

반도체 장치에 있어서,

제 1 트랜지스터;

상기 제 1 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 제 2 절연막;

상기 제 2 절연막 위의 제 2 트랜지스터;

상기 제 1 트랜지스터와 전기적으로 접속되는 제 1 도전막; 및

상기 제 1 도전막 및 상기 제 2 트랜지스터와 전기적으로 접속되는 제 2 도전막을 포함하고,

상기 제 1 도전막은 상기 제 1 절연막에 매립되고,

상기 제 2 도전막은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽, 상기 제 2 트랜지스터의 제 1 반도체막, 상기 제 2 트랜지스터의 제 2 반도체막, 및 상기 제 2 절연막에 매립되고,

상기 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함하고,

상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 2 도전막의 저면의 폭이 5nm 이하인, 반도체 장치.

청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 제 1 도전막은 상기 제 1 트랜지스터의 소스 영역 또는 드레인 영역과 접촉되는, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 제 2 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위의 제 3 반도체막을 더 포함하고,

상기 제 2 반도체막의 전자 친화력을 상기 제 1 반도체막의 전자 친화력 및 상기 제 3 반도체막의 전자 친화력 보다 높은, 반도체 장치.

청구항 7

제 4 항에 있어서,

상기 제 1 트랜지스터의 게이트 전극의 상면의 중심이, 사각형과, 각각 120° 이하의 정각을 갖는 제 1~제 4 이등변 삼각형을 갖는 역사각 피라미드의 정점으로 추정되면, 상기 제 1 반도체막의 저면은 상기 사각형 내부에 맞는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 제 2 트랜지스터의 게이트 전극의 상면의 중심이 서로 중첩되고,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 제 1 반도체막의 상면의 중심이 서로 중첩되는, 반도체 장치.

청구항 9

제 1 항 또는 제 4 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 사이의 커패시터를 더 포함하는, 반도체 장치.

청구항 10

전자 장치에 있어서,

제 1 항 또는 제 4 항에 따른 반도체 장치; 및

표시 장치, 마이크로폰, 스피커, 조작 키, 터치 패널, 또는 안테나를 포함하는, 전자 장치.

청구항 11

반도체 장치를 제조하기 위한 방법에 있어서,

단결정 반도체를 채널로서 포함하는 제 1 트랜지스터를 형성하는 단계;

상기 제 1 트랜지스터 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 산화물 반도체막을 형성하는 단계;

상기 산화물을 반도체막 위에 제 1 도전막을 형성하는 단계;

상기 제 1 도전막 위에 무기막을 형성하는 단계;

상기 무기막 위에 제 1 마스크를 형성하는 단계;

상기 제 1 마스크를 마스크로서 사용하여 상기 무기막을 가공함으로써 상기 무기막을 포함하는 제 2 마스크를 형성하는 단계;

상기 제 2 마스크를 마스크로서 사용하여 상기 제 1 도전막, 상기 산화물 반도체막, 및 상기 제 1 절연막 내에 개구를 형성하는 단계; 및

상기 개구에 매립되도록 제 2 도전막을 형성하는 단계를 포함하고,

상기 제 1 마스크는 레지스트 마스크이고,

상기 산화물을 반도체막 및 상기 제 1 도전막은 제 2 트랜지스터에 포함되고,

상기 제 2 도전막은 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터와 전기적으로 접속되는, 반도체 장치를 제조하기 위한 방법.

청구항 12

제 11 항에 있어서,

상기 제 1 마스크와 상기 제 2 마스크 사이에 유기 수지막을 형성하는 단계를 더 포함하는, 반도체 장치를 제조하기 위한 방법.

청구항 13

반도체 장치를 제조하기 위한 방법에 있어서,

단결정 반도체를 채널로서 포함하는 제 1 트랜지스터를 형성하는 단계;

상기 제 1 트랜지스터 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 산화물을 반도체막을 형성하는 단계;

상기 산화물을 반도체막 위에 제 1 도전막을 형성하는 단계;

상기 제 1 도전막 위에 무기막을 형성하는 단계;

상기 무기막 위에 제 1 마스크를 형성하는 단계;

상기 제 1 마스크를 마스크로서 사용하여 상기 무기막을 가공함으로써 상기 무기막을 포함하는 제 2 마스크를 형성하는 단계;

상기 제 2 마스크를 마스크로서 사용하여 상기 제 1 도전막을 가공함으로써 상기 무기막 및 상기 제 1 도전막을 포함하는 제 3 마스크를 형성하는 단계;

상기 제 3 마스크를 마스크로서 사용하여 상기 산화물을 반도체막 및 상기 제 1 절연막 내에 개구를 형성하는 단계; 및

상기 개구에 매립되도록 제 2 도전막을 형성하는 단계를 포함하고,

상기 제 1 마스크는 레지스트 마스크이고,

상기 산화물을 반도체막 및 상기 제 1 도전막은 제 2 트랜지스터에 포함되고,

상기 제 2 도전막은 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터와 전기적으로 접속되는, 반도체 장치를 제조하기 위한 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 마스크는 유기 수지막을 이용하여 상기 무기막 위에 형성되는, 반도체 장치를 제조하기 위한 방법.

청구항 15

제 11 항 또는 제 13 항에 있어서,

상기 제 2 도전막을 연마하는 단계를 더 포함하는, 반도체 장치를 제조하기 위한 방법.

청구항 16

제 13 항에 있어서,

상기 제 2 도전막의 저면의 폭은 5nm 이하인, 반도체 장치를 제조하기 위한 방법.

청구항 17

제 13 항에 있어서,

상기 제 1 도전막은 상기 제 1 트랜지스터의 소스 영역 또는 드레인 영역과 접촉되는, 반도체 장치를 제조하기 위한 방법.

청구항 18

제 13 항에 있어서,

상기 제 1 트랜지스터의 게이트 전극의 상면의 중심이, 사각형과, 각각 120° 이하의 정각을 갖는 제 1~제 4 이등변 삼각형을 갖는 역사각 피라미드의 정점으로 추정되면, 상기 산화물 반도체막의 저면은 상기 사각형 내부에 맞는, 반도체 장치를 제조하기 위한 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 제 2 트랜지스터의 게이트 전극의 상면의 중심이 서로 중첩되고,

상기 제 1 트랜지스터의 상기 게이트 전극의 상기 상면의 상기 중심과 상기 산화물 반도체막의 상면의 중심이 서로 중첩되는, 반도체 장치를 제조하기 위한 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 전계 효과 트랜지스터를 포함하는 반도체 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로는, 본 명세서에 개시된 본 발명의 일 형태의 기술 분야의 예에는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 전력 저장 장치, 저장 장치, 이들 중 어느 것을 구동하기 위한 방법, 및 이들 중 어느 것을 제조하기 위한 방법이 포함된다.

[0003] 본 명세서 등에서, "반도체 장치"라는 용어는 반도체 특성을 이용함으로써 동작할 수 있는 모든 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 형태다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 전력 생성 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 장치는 반도체 장치를 가질 수 있다.

배경 기술

[0004] 반도체 재료를 사용하여 트랜지스터를 형성하는 기술이 주목을 모으고 있다. 트랜지스터는 집적 회로(IC) 또는

화상 표시 장치(단순히 표시 장치라고도 함) 등의 전자 장치의 광범위에 적용된다. 트랜지스터에 적용 가능한 반도체 재료로서, 실리콘계 반도체 재료가 널리 사용되고 있지만, 산화물 반도체가 대체 재료로서 주목을 모으고 있다.

[0005] 예를 들어, 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 산화물 반도체로서 사용하여 트랜지스터를 형성하기 위한 기술이 개시된다(특허문헌 1 및 2 참조).

[0006] 근년, 소형화된 트랜지스터 등의 반도체 소자가 고밀도로 집적된 집적 회로로의 요구가, 전자 장치의 성능 향상 및 사이즈 및 두께의 저감과 함께 증가되고 있다. 예를 들어, tri-gate 트랜지스터 및 COB(capacitor-over-bitline)의 MIM 커패시터가 보고되고 있다(비특허문헌 1).

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

비특허문헌

[0008] (비특허문헌 0001) R. Brain et al., "A 22nm High Performance Embedded DRAM SoC Technology Featuring Tri-gate Transistors and MIMCAP COB", 2013 SYMPOSIUM ON VLSI TECHNOLOGY: DIGEST OF TECHNICAL PAPERS, 2013, pp. T16-T17

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 형태의 목적은 소형화 및 더 높은 밀도에 적합한 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 바람직한 전기적 특성을 갖는 반도체 장치를 제공하는 것이다.

[0010] 또 다른 목적은 고속 기록이 가능한 반도체 장치를 제공하는 것이다. 또 다른 목적은 고속 판독이 가능한 반도체 장치를 제공하는 것이다. 또 다른 목적은 소비 전력이 낮은 반도체 장치를 제공하는 것이다. 또 다른 목적은 신뢰성이 높은 반도체 장치를 제공하는 것이다. 또 다른 목적은 신규 구조를 갖는 반도체 장치를 제공하는 것이다.

[0011] 또한 이들 목적의 기재는 다른 목적의 존재를 방해하지 않는다. 또한 본 발명의 일 형태에서, 반드시 모든 목적을 달성할 필요는 없다. 또한 다른 목적은 명세서, 도면, 청구항 등의 기재로부터 명백해지고 다른 목적은 명세서, 도면, 청구항 등의 기재로부터 추출될 수 있다.

과제의 해결 수단

[0012] (1) 본 발명의 일 형태는 제 1 층, 제 1 층 위의 제 2 층, 제 2 층 위의 제 3 층, 및 제 3 층 위의 제 4 층을 포함하는 반도체 장치다. 제 1 층은 제 1 트랜지스터를 포함한다. 제 2 층은 제 1 절연막 및 제 1 도전막을 포함한다. 제 1 도전막은 제 1 절연막에 제공된 개구를 통하여 제 1 트랜지스터와 제 2 트랜지스터를 서로 전기적으로 접속하는 기능을 갖는다. 제 3 층은 제 2 절연막 및 제 2 도전막을 포함한다. 제 2 도전막은 제 2 절연막에 제공된 개구를 통하여 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 도전막을 서로 전기적으로 접속하는 기능을 갖는다. 제 4 층은 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함한다. 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함한다. 제 2 도전막의 저면의 폭은 5nm 이하다.

[0013] (2) 본 발명의 또 다른 형태는 제 1 층, 제 1 층 위의 제 2 층, 제 2 층 위의 제 3 층, 및 제 3 층 위의 제 4 층을 포함하는 반도체 장치다. 제 1 층은 제 1 트랜지스터를 포함한다. 제 2 층은 제 1 절연막 및 제 1 도전막을 포함한다. 제 1 도전막은 제 1 절연막에 제공된 개구를 통하여 제 1 트랜지스터와 제 2 트랜지스터를 서로

로 전기적으로 접속하는 기능을 갖는다. 제 3 층은 제 2 절연막 및 제 2 도전막을 포함한다. 제 2 도전막은 제 2 절연막에 제공된 개구를 통하여 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 도전막을 서로 전기적으로 접속하는 기능을 갖는다. 제 4 층은 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함한다. 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함한다. 제 2 도전막의 저면의 폭은 5nm 이하다. 제 1 트랜지스터의 게이트 전극의 상면의 중심이, 사각형과, 각각 120° 이하의 정각을 갖는 제 1~제 4 이등변 삼각형을 갖는 역사각 피라미드의 정점(頂點)으로 추정되면, 산화물 반도체의 저면은 사각형 내부에 맞는다.

[0014] (3) 본 발명의 또 다른 형태는 제 1 층, 제 1 층 위의 제 2 층, 제 2 층 위의 제 3 층, 및 제 3 층 위의 제 4 층을 포함하는 반도체 장치다. 제 1 층은 제 1 트랜지스터를 포함한다. 제 2 층은 제 1 절연막 및 제 1 도전막을 포함한다. 제 1 도전막은 제 1 절연막에 제공된 개구를 통하여 제 1 트랜지스터와 제 2 트랜지스터를 서로 전기적으로 접속하는 기능을 갖는다. 제 3 층은 제 2 절연막 및 제 2 도전막을 포함한다. 제 2 도전막은 제 2 절연막에 제공된 개구를 통하여 제 1 트랜지스터, 제 2 트랜지스터, 및 제 1 도전막을 서로 전기적으로 접속하는 기능을 갖는다. 제 4 층은 제 2 트랜지스터를 포함한다. 제 1 트랜지스터의 채널 형성 영역은 단결정 반도체를 포함한다. 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함한다. 제 2 도전막의 저면의 폭은 5nm 이하다. 제 1 트랜지스터의 게이트 전극의 상면의 중심이 원을 갖는 역직원뿔의 정점으로 추정되면, 산화물 반도체의 저면은 원 내부에 맞고, 역직원뿔의 정점 및 원의 중심을 통과하는 단면은 120° 이하의 정각을 갖는 이등변 삼각형을 갖는다.

[0015] (4) 본 발명의 또 다른 형태는 제 1 트랜지스터의 게이트 전극의 상면의 중심과 제 2 트랜지스터의 게이트 전극의 상면의 중심이 서로 중첩되고, 제 1 트랜지스터의 게이트 전극의 상면의 중심과 산화물 반도체의 상면의 중심이 서로 중첩되는 (2) 또는 (3)의 반도체 장치다.

[0016] (5) 본 발명의 또 다른 형태는 제 2 트랜지스터의 산화물 반도체가 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 제 1 산화물 반도체막과 제 2 산화물 반도체막 사이의 제 3 산화물 반도체막을 포함하는 적층 구조를 갖고, 제 3 산화물 반도체막의 전자 친화력이 제 1 산화물 반도체막의 전자 친화력 및 제 2 산화물 반도체막의 전자 친화력보다 높은 (1)~(4) 중 어느 것의 반도체 장치다.

[0017] (6) 본 발명의 또 다른 형태는 제 1 트랜지스터와 제 2 트랜지스터 사이의 커패시터를 더 포함하는 (1)~(5) 중 어느 것의 반도체 장치다.

[0018] (7) 본 발명의 또 다른 형태는 (1)~(6) 중 어느 것의 반도체 장치 및 표시 장치, 마이크로폰, 스피커, 조작키, 터치 패널, 또는 안테나 중 적어도 하나를 포함하는 전자 장치다.

[0019] (8) 본 발명의 또 다른 형태는 이하의 스텝을 포함하는 반도체 장치를 제조하기 위한 방법이다: 채널로서 단결정 반도체를 포함하는 제 1 트랜지스터를 형성하는 스텝; 제 1 트랜지스터 위에 제 1 절연막을 형성하는 스텝; 제 1 절연막 위에 산화물 반도체막을 형성하는 스텝; 산화물 반도체막 위에 제 1 도전막을 형성하는 스텝; 제 1 도전막 위에 제 2 절연막을 형성하는 스텝; 제 2 절연막 위에 레지스트 마스크를 형성하는 스텝; 레지스트 마스크를 마스크로서 사용하여 제 2 절연막을 가공하는 스텝; 기공된 제 2 절연막을 마스크로서 사용하여 제 1 도전막을 가공하는 스텝; 가공된 제 1 도전막을 마스크로서 사용하여 산화물 반도체막 및 제 1 절연막을 가공함으로써 제 1 절연막, 산화물 반도체막, 및 제 1 도전막에 개구를 제공하는 스텝; 개구를 메우도록 제 2 도전막을 형성하는 스텝; 가공된 제 1 도전막을 가공함으로써 한 쌍의 전극을 형성하는 스텝; 가공된 산화물 반도체막 및 한 쌍의 전극 위에 제 3 절연막을 형성하는 스텝; 및 제 3 절연막 위에 전극을 형성하는 스텝.

[0020] (9) 본 발명의 또 다른 형태는 이하의 스텝을 포함하는 반도체 장치를 제조하기 위한 방법이다: 채널로서 단결정 반도체를 포함하는 제 1 트랜지스터를 형성하는 스텝; 제 1 트랜지스터 위에 제 1 절연막을 형성하는 스텝; 제 1 절연막 위에 산화물 반도체막을 형성하는 스텝; 산화물 반도체막 위에 제 1 도전막을 형성하는 스텝; 제 1 도전막 위에 제 2 절연막을 형성하는 스텝; 제 2 절연막 위에 유기 수지막을 형성하는 스텝; 유기 수지막 위에 레지스트 마스크를 형성하는 스텝; 레지스트 마스크를 마스크로서 사용하여 제 2 절연막을 가공하는 스텝; 기공된 제 2 절연막을 마스크로서 사용하여 제 1 도전막을 가공하는 스텝; 가공된 제 1 도전막을 마스크로서 사용하여 산화물 반도체막 및 제 1 절연막을 가공함으로써 제 1 절연막, 산화물 반도체막, 및 제 1 도전막에 개구를 제공하는 스텝; 개구를 메우도록 제 2 도전막을 형성하는 스텝; 가공된 제 1 도전막을 가공함으로써 한 쌍의 전극을 형성하는 스텝; 가공된 산화물 반도체막 및 한 쌍의 전극 위에 제 3 절연막을 형성하는 스텝; 및 제 3 절연막 위에 전극을 형성하는 스텝.

발명의 효과

- [0021] 본 발명의 일 형태에 따라, 소형화 및 더 높은 밀도에 적합한 반도체 장치를 제공할 수 있다.
- [0022] 바람직한 전기적 특성을 갖는 반도체 장치를 제공할 수 있다. 고속 기록이 가능한 반도체 장치를 제공할 수 있다. 고속 판독이 가능한 반도체 장치를 제공할 수 있다. 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 신뢰성이 높은 반도체 장치를 제공할 수 있다. 신규 구조를 갖는 반도체 장치 등을 제공할 수 있다. 또한 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 반드시 상술한 모든 효과를 달성 할 필요가 없다. 다른 효과는 명세서, 도면, 청구항 등의 기재로부터 명백해지고 명세서, 도면, 청구항 등의 기재로부터 추출할 수 있다.

도면의 간단한 설명

- [0023] 도 1의 (A) 및 (B)는 실시형태에 따른 반도체 장치의 상면도 및 단면도다.
- 도 2의 (A)~(C)는 실시형태에 따른 반도체 장치로 차지되는 면적을 도시한 것이다.
- 도 3은 예칭 장치의 예를 도시한 개략도다.
- 도 4는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 5의 (A) 및 (B)는 각각 실시형태에 따른 밴드 구조를 도시한 것이다.
- 도 6의 (A)~(C)는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 7의 (A)~(C)는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 8의 (A) 및 (B)는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 9의 (A) 및 (B)는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 10의 (A) 및 (B)는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 11의 (A)~(D)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 12의 (A)~(C)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 13의 (A) 및 (B)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 14의 (A) 및 (B)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 15의 (A) 및 (B)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 16의 (A) 및 (B)는 실시형태에 따른 반도체 장치를 제조하기 위한 방법의 예를 도시한 것이다.
- 도 17은 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 18은 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 19는 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 20의 (A) 및 (B)는 각각 실시형태에 따른 반도체 장치의 구조의 예를 도시한 것이다.
- 도 21의 (A)~(D)는 실시형태에 따른 회로도다.
- 도 22는 도 21의 (A)~(D)에서의 일부의 회로도의 단면 개략도의 예를 도시한 것이다.
- 도 23은 도 21의 (A)~(D)에서의 일부의 회로도의 단면 개략도의 예를 도시한 것이다.
- 도 24는 실시형태에 따른 RFID 태그의 구조의 예를 도시한 것이다.
- 도 25는 실시형태에 따른 CPU의 구조의 예를 도시한 것이다.
- 도 26은 실시형태에 따른 기억 소자의 회로도다.
- 도 27의 (A)~(C)는 실시형태에 따른 표시 장치의 상면도 및 회로도다.
- 도 28의 (A)~(F)는 각각 실시형태에 따른 전자 장치를 도시한 것이다.

도 29의 (A)~(F)는 각각 실시형태에 따른 RFID의 응용예를 도시한 것이다.

도 30은 실시예에서의 시료의 단면 STEM 이미지다.

도 31은 비교예에서의 시료의 단면 STEM 이미지다.

도 32는 반도체 장치의 단면 STEM 이미지다.

도 33의 (A)~(D)는 CAAC-OS의 단면의 Cs보정 고해상도 TEM 이미지 및 CAAC-OS의 단면 개략도다.

도 34의 (A)~(D)는 CAAC-OS의 평면의 Cs보정 고해상도 TEM 이미지다.

도 35의 (A)~(C)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 분석을 나타낸 것이다.

도 36의 (A) 및 (B)는 CAAC-OS의 전자 회로 패턴을 나타낸 것이다.

도 37은 전자 조사에 의하여 주입된 In-Ga-Zn 산화물의 결정부에서의 변화를 나타낸 것이다.

도 38의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 퇴적 모델을 나타낸 개략도다.

도 39의 (A)~(C)는 InGaZnO₄ 결정 및 펠럿을 나타낸 것이다.

도 40의 (A)~(D)는 CAAC-OS의 퇴적 모델을 나타낸 개략도다.

발명을 실시하기 위한 구체적인 내용

[0024]

실시형태를 도면을 참조하여 자세히 설명하겠다. 또한 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위로부터 벗어나지 않고 다양하게 변화 및 변형할 수 있는 것은 당업자에 의하여 쉽게 이해되겠다. 그러므로, 본 발명은 이하의 실시형태에서의 기재에 한정되도록 구성되지 말아야 한다.

[0025]

또한, 이하에 설명되는 발명의 구조에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호로 나타내어지고, 이 부분의 설명은 반복하지 않는다. 또한 같은 해치패턴은 비슷한 기능에 적용되고, 이들은 부호로 특별히 나타내지 않는 경우가 있다.

[0026]

또한, 본 명세서에서 설명하는 각 도면에서, 각 구성 요소의 사이즈, 층 두께, 또는 영역은 명료를 위하여 과장되는 경우가 있다. 따라서, 발명의 실시형태는 이런 범위에 한정되지 않는다.

[0027]

또한, 본 명세서 등에서의 "제 1" 및 "제 2" 등의 서수는 구성 요소들 사이의 혼동을 피하기 위하여 사용되고, 용어는 구성 요소를 수적으로 한정하지 않는다.

[0028]

트랜ジ스터는 반도체 소자의 일종이고, 전류 또는 전압의 확대, 도통 또는 비도통을 제어하기 위한 스위칭 동작 등을 달성할 수 있다. 본 명세서에서의 트랜ジ스터는 IGFET(Insulated Gate Field Effect Transistor) 및 박막 트랜지스터(TFT)를 포함한다.

[0029]

또한 본 명세서에서, "전극"이라는 용어는 "플러그"라는 용어와 교환할 수 있다. 특히, 개구가 배선의 상부 및 하부에 전기적으로 접속되도록 도전막으로 채워지는 개구의 부분을 "플러그"라고 하는 경우가 많다.

[0030]

또한 "막" 및 "층"이란 용어는 경우 또는 상황에 따라 서로 교환할 수 있다. 예를 들어, "도전층"이라는 용어는 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 용어는 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0031]

본 명세서에서, "평행"이란 용어는 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하인 것을 가리키기 때문에 상기 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, "실질적으로 평행"이란 용어는 2개의 직선 사이에 형성되는 각도가 -30° 이상 30° 이하인 것을 가리킨다. 또한, "수직"이란 용어는, 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하인 것을 가리키기 때문에 상기 각도가 85° 이상 95° 이하인 경우도 포함한다. 또한, "실질적으로 수직"이란 용어는, 2개의 직선 사이에 형성되는 각도가 60° 이상 120° 이하인 것을 가리킨다.

[0032]

본 명세서에서, 삼방정계 및 능면체정(rhombohedral crystal)계는 육방정계에 포함된다.

[0033]

(실시형태 1)

[0034]

도 1의 (A)는 반도체 장치의 상면도의 예를 도시한 것이다. 도 1의 (B)는 도 1의 (A)에서의 일점쇄선 A1-A2를

따른 단면도다. 도 1의 (B)에 도시된 바와 같이 반도체 장치는 제 1 트랜지스터(110) 및 제 2 트랜지스터(100)를 포함한다. 제 2 트랜지스터(100)는 제 1 트랜지스터(110) 위에 제공되고, 배리어막(120)은 제 1 트랜지스터(110)와 제 2 트랜지스터(100) 사이에 제공된다.

[0035] 제 1 트랜지스터(110)는, 반도체 기판(111) 상에 제공되고, 반도체 기판(111)의 일부인 반도체막(112), 게이트 절연막(114), 게이트 전극(115), 및 소스 영역 및 드레인 영역으로서 기능하는 저저항층(113a) 및 저저항층(113b)을 포함한다.

[0036] 제 1 트랜지스터(110)는 p채널 트랜지스터 및 n채널 트랜지스터 중 어느 쪽일 수 있고, p채널 트랜지스터가 사용되는 것이 바람직하다. 또는, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터가 사용될 수 있다.

[0037] 채널이 형성되는 반도체막(112)의 영역, 이의 주변 영역, 소스 영역 및 드레인 영역으로서 기능하는 저저항층(113a) 및 저저항층(113b) 등이 실리콘계 반도체 등의 반도체, 더 바람직하게는 단결정 실리콘을 포함하는 것이 바람직하다. 또는 저마늄(Ge), 실리콘 저마늄(SiGe), 갈륨 비소(GaAs), 갈륨 알루미늄 비소(GaAlAs) 등을 포함하는 재료가 포함되어도 좋다. 결정 격자에 응력을 인가하여 격자 간격을 변화시킴으로써 유효 질량을 제어하는 실리콘이 포함되어도 좋다. 또는 제 1 트랜지스터(110)는 GaAs 및 AlGaAs 등을 사용한 HEMT(high-electron-mobility transistor)이어도 좋다.

[0038] 저저항층(113a) 및 저저항층(113b)은, 반도체막(112)에 사용되는 반도체 재료에 더하여 비소 또는 인 등의 n형 전도성을 부여하는 원소 또는 붕소 등의 p형 전도성을 부여하는 원소를 포함한다.

[0039] 게이트 전극(115)은 비소 또는 인 등의 n형 전도성을 부여하는 원소, 또는 붕소 등의 p형 전도성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 또는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전 재료를 사용하여 형성될 수 있다. 내열성 및 전도성 양쪽을 갖는, 텅스텐 또는 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 특히 바람직하다.

[0040] 여기서, 도 4에 도시된 트랜지스터(160)는 제 1 트랜지스터(110) 대신에 사용되어도 좋다. 도 4는 일점쇄선의 왼쪽에 채널 길이 방향에서의 트랜지스터(160)의 단면을 도시하고, 일점쇄선의 오른쪽에 채널 폭 방향에서의 이의 단면을 도시한 것이다. 도 4에 도시된 트랜지스터(160)에서, 채널이 형성된 반도체막(112)(반도체 기판의 일부)은 돌출부를 갖고, 게이트 절연막(114), 게이트 전극(115a), 및 게이트 전극(115b)이 돌출부의 상면 및 측면을 따라 제공된다. 또한, 게이트 전극(115a)은 조정된 일함수를 갖는 재료를 사용하여 형성되어도 좋다. 이런 형상을 갖는 트랜지스터(160)는, 반도체 기판의 돌출되는 부분을 이용하기 때문에 FIN 트랜지스터라고도 한다. 또한, 돌출되는 부분을 형성하기 위한 마스크로서 기능하는 절연막이 돌출되는 부분의 상부와 접촉하여 제공되어도 좋다. 돌출되는 부분이 반도체 기판의 일부를 가공함으로써 형성되는 경우를 여기서 설명하였지만, 돌출되는 형상을 갖는 반도체막은 SOI 기판을 가공함으로써 형성되어도 좋다.

[0041] 제 1 트랜지스터(110)는 이 차례로 적층된 절연막(121), 절연막(122), 절연막(123), 및 절연막(124)으로 덮인다.

[0042] 실리콘계 반도체 재료가 반도체막(112)에 사용되는 경우, 절연막(122)은 수소를 포함하는 것이 바람직하다. 수소를 포함하는 절연막(122)이 제 1 트랜지스터(110) 위에 제공되고 가열 처리가 수행될 때, 반도체막(112)에서의 댕글링 본드가 절연막(122)에 포함되는 수소에 의하여 종단되어 제 1 트랜지스터(110)의 신뢰성을 향상시킬 수 있다.

[0043] 절연막(123)은, 절연막(123)의 밑에 있는 제 1 트랜지스터(110) 등에 의하여 일어나는 높이 차이를 없애기 위한 평탄화막으로서 기능한다. 평면도(planarity)를 증가시키기 위하여 절연막(123)의 상면은 CMP(chemical mechanical polishing)법 등을 사용하는 평탄화 처리에 의하여 평탄화되어도 좋다.

[0044] 절연막(124)은 배리어막으로서 기능하여도 좋다. 절연막(124)은 반드시 제공될 필요는 없다.

[0045] 절연막(121), 절연막(122), 절연막(123), 및 절연막(124)에서, 저저항층(113a) 및 저저항층(113b)에 전기적으로 접속된 플러그(161) 및 플러그(163) 등이 매립되고, 제 1 트랜지스터(110)의 게이트 전극(115)에 전기적으로 접속된 플러그(162) 등이 매립된다. 또한 본 명세서 등에서, 전극 및 이 전극에 전기적으로 접속되는 배선은 단일 구성이라도 좋다. 바꿔 말하면, 전극으로서 기능하는 배선의 부분 및 배선으로서 기능하는 전극의 부분이 있는 경우가 있다.

[0046] 전극(136)은 절연막(124) 및 플러그(162) 위에 제공된다. 전극(136)은 플러그(162)에 전기적으로 접속된다.

- [0047] 플러그들(플러그(161)~플러그(163)) 각각, 전극(136) 등은 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전 재료를 사용하여 형성될 수 있다. 내열성 및 전도성 양쪽을 갖는, 텡스텐, 몰리브데늄, 타이타늄, 또는 질화 타이타늄 등의 고융점 재료를 사용하는 것이 바람직하고, 텡스텐을 사용하는 것이 특히 바람직하다. 또는 상술한 고융점 금속 중 하나 이상을 포함하는 2층 이상을 포함하는 적층막이 사용되어도 좋다. 예를 들어, 질화 타이타늄 위에 텡스텐을 갖는 2층 구조를 사용하여도 좋다.
- [0048] 전극(136)은 절연막(125)에 매립되고 절연막(125)의 상면은 평탄화되는 것이 바람직하다.
- [0049] 배리어막(120)은 절연막(125)의 상면을 덮도록 제공된다.
- [0050] 배리어막(120)은 나중에 설명되는 플러그(164) 및 플러그(166)가 매립된 개구를 갖는다.
- [0051] 절연막(126)은 배리어막(120) 위에 제공된다. 가열로 인하여 산소가 부분적으로 방출되는 산화 재료가 절연막(126)에 사용되는 것이 바람직하다.
- [0052] 가열에 의하여 산소가 방출되는 산화물 재료로서, 화학량론적 조성보다 높은 비율로 산소를 포함하는 산화물 절연막은 TDS(thermal desorption spectroscopy)분석에서 산소 원자로 환산된 방출된 산소의 양이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상의 산화물 절연막이다. 또한 TDS분석에서의 기판 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하가 바람직하다.
- [0053] 예를 들어, 이런 재료로서, 산화 실리콘 또는 산화질화 실리콘을 포함하는 재료가 사용되는 것이 바람직하다. 또는, 금속 산화물이 사용될 수 있다. 또한 본 명세서에서, "산화질화 실리콘"이란 질소보다 높은 비율로 산소를 포함하는 재료를 말하고, "질화산화 실리콘"이란 산소보다 높은 비율로 질소를 포함하는 재료를 말한다.
- [0054] 제 2 트랜지스터(100)는 절연막(126) 위에 제공된다.
- [0055] 제 2 트랜지스터(100)는 절연막(126)의 상면과 접촉되는 산화물 반도체막(101a); 산화물 반도체막(101a)의 상면과 접촉되는 산화물 반도체막(101b); 산화물 반도체막(101b)의 상면과 접촉되고 산화물 반도체막(101b)과 중첩되는 영역에서 서로 떨어져 있는 전극(103a) 및 전극(103b); 산화물 반도체막(101b)의 상면 및 전극(103a) 및 전극(103b)의 상면과 접촉되는 산화물 반도체막(101c); 산화물 반도체막(101c) 위의 게이트 절연막(104); 및 게이트 절연막(104)과 산화물 반도체막(101c)을 개재(介在)하여 산화물 반도체막(101b)과 중첩되는 게이트 전극(105)을 포함한다. 제 2 트랜지스터(100)는 절연막(107), 절연막(108), 및 절연막(127)으로 덮인다.
- [0056] 플러그(161) 및 전극(103a)에 전기적으로 접속되는 플러그(164)는 절연막(125), 배리어막(120), 절연막(126), 산화물 반도체막(101a), 산화물 반도체막(101b), 및 전극(103a)에 매립된다.
- [0057] 제 2 트랜지스터(100)가 형성됨과 동시에, 산화물 반도체막(131a), 산화물 반도체막(131b), 및 전극(103c)이 형성되고, 플러그(163) 및 전극(103c)에 전기적으로 접속되는 플러그(166)는 절연막(125), 배리어막(120), 절연막(126), 산화물 반도체막(131a), 산화물 반도체막(131b), 및 전극(103c)에 매립되도록 제공된다.
- [0058] 또한, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부)에 제공된다.
- [0059] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부)와 접촉된다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부)와 접촉된다.
- [0060] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부)와 전기적으로 접속된다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부)와 전기적으로 접속된다.
- [0061] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부)가까이에 제공된다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부)가까이에 제공된다.
- [0062] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반

도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부) 옆에 위치한다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부) 옆에 위치한다.

[0063] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부) 위에 비스듬히 제공된다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부) 위에 비스듬히 제공된다.

[0064] 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 표면, 측면, 상면, 및/또는 저면의 적어도 일부(또는 전부) 위에 제공된다. 또는, 전극(103a)(및/또는 전극(103b))의 적어도 일부(또는 전부)가 산화물 반도체막(101b)(및/또는 산화물 반도체막(101a)) 등의 반도체막의 적어도 일부(또는 전부) 위에 제공된다.

[0065] 예를 들어, 상기 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 더 바람직하게는 산화물 반도체는 In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)로 나타내어지는 산화물을 포함한다.

[0066] 반도체막으로서, c축이 반도체막이 형성되는 면 또는 반도체막의 상면에 수직으로 배향되고 인접된 결정부들이 그레인 바운더리를 갖지 않는 복수의 결정부를 포함하는 산화물 반도체막을 사용하는 것이 특히 바람직하다.

[0067] 이런 재료를 반도체막에 사용함으로써 전기적 특성에서의 변화가 억제되는 신뢰성이 높은 트랜지스터를 제공할 수 있게 된다.

[0068] 반도체막에 적용될 수 있는 산화물 반도체의 바람직한 형태 및 형성 방법의 자세한 것은 이하의 실시형태에서 설명한다.

[0069] 본 발명의 일 형태의 반도체 장치는 산화물 반도체막과 이 산화물 반도체막과 중첩되는 절연막 사이에 제 1 산화물 반도체막을 포함하고, 제 1 산화물 반도체막은 이 구성 원소로서 산화물 반도체막을 구성하는 금속 원소 중 적어도 하나를 포함한다. 이런 구조에 의하여 산화물 반도체막과, 이 산화물 반도체막과 중첩되는 절연막 사이의 계면에 트랩 준위가 형성되는 것을 억제할 수 있다.

[0070] 즉, 본 발명의 일 형태는, 산화물 반도체막의 적어도 채널 형성 영역의 상면 및 저면 각각이, 산화물 반도체막의 계면 상태의 형성을 방지하기 위한 배리어막으로서 기능하는 산화물막에 접촉되는 구조를 갖는 것이 바람직하다. 이 구조에 의하여, 산화물 반도체막 내 및 이 계면에서의 캐리어의 발생을 일으키는 산소 빈자리의 형성 및 불순물의 진입을 방지할 수 있다. 따라서, 고순도 진성 산화물 반도체막을 얻을 수 있다. 고순도 진성 산화물 반도체막을 얻는 것은 산화물 반도체막을 순화 또는 실질적으로 순화하여 진성 또는 실질적으로 진성의 산화물 반도체막으로 하는 것을 말한다. 이 방법에서, 상기 산화물 반도체막을 포함하는 트랜지스터의 전기적 특성에서의 변화를 방지할 수 있고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0071] 또한, 본 명세서 등에서, 실질적으로 순화된 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만이다. 고순도 진성 산화물 반도체막에 의하여 트랜지스터는 안정된 전기적 특성을 가질 수 있다.

[0072] 산화물 반도체막(101a)은 절연막(126)과 산화물 반도체막(101b) 사이에 제공된다.

[0073] 산화물 반도체막(101c)은 산화물 반도체막(101b)과 게이트 절연막(104) 사이에 제공된다. 구체적으로 산화물 반도체막(101c)의 저면은 전극(103a) 및 전극(103b)의 상면과 게이트 절연막(104)의 저면과 접촉되어 제공된다.

[0074] 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각은 산화물 반도체막(101b)에도 포함되는 하나 이상의 금속 원소를 포함하는 산화물을 포함한다.

[0075] 또한, 산화물 반도체막(101b)과 산화물 반도체막(101a) 사이의 경계 또는 산화물 반도체막(101b)과 산화물 반도체막(101c) 사이의 경계는 명백하지 않은 경우가 있다.

[0076] 예를 들어, 산화물 반도체막(101a) 및 산화물 반도체막(101c)은 In 또는 Ga을 포함하고; 대표적으로는, 산화물 반도체막(101b)보다 진공 준위에 가까운 전도대 바닥에서의 에너지를 갖는 In-Ga계 산화물, In-Zn계 산화물, 또는 In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, Nd, 또는 Hf) 등의 재료가 사용된다. 대표적으로는, 산

화물 반도체막(101a) 또는 산화물 반도체막(101c)과 산화물 반도체막(101b) 사이의 전도대 바닥에서의 에너지 차이는, 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 및 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하인 것이 바람직하다.

[0077] 산화물 반도체막(101b)이 사이에 끼워진 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각에, 스태빌라이저로서 기능하는 Ga을 산화물 반도체막(101b)보다 많이 포함하는 산화물을 사용함으로써 산화물 반도체막(101b)으로부터의 산소의 방출을 억제할 수 있다.

[0078] 산화물 반도체막(101b)에, 예컨대 Ga 및 Zn에 대한 In의 원자 비율이 1:1:1, 4:2:4.1, 또는 3:1:2인 In-Ga-Zn계 산화물이 사용될 때, 산화물 반도체막(101a) 및 산화물 반도체막(101c)에는, Ga 및 Zn에 대한 In의 원자 비율이 1:3:2, 1:3:4, 1:3:6, 1:6:4, 1:6:8, 1:6:10, 또는 1:9:6인 In-Ga-Zn계 산화물을 사용할 수 있다. 또한, 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c) 각각의 원자 비율에서의 각 금속 원소의 비율은, 오차로서 상술한 원자 비율의 ±20%의 범위 내에서 변동한다. 산화물 반도체막(101a)과 산화물 반도체막(101c)에 대해서는, 같은 조성을 갖는 재료 또는 상이한 조성을 갖는 재료가 사용되어도 좋다.

[0079] 또한, 산화물 반도체막(101b)에 In-M-Zn계 산화물이 사용될 때, 산화물 반도체막(101b)이 되는 반도체막을 형성하기 위한 타깃에, 이하의 조건을 만족시키는 원자 비율로 금속 원소를 함유하는 산화물이 사용되는 것이 바람직하다. 산화물에서의 금속 원소의 원자 비율을 $In:M:Zn=x_1:y_1:z_1$ 로 하면, x_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이고, z_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하다. 또한, z_1/y_1 이 6 이하이면, 나중에 설명되는 CAAC-OS막이 쉽게 형성된다. 타깃에서의 금속 원소의 원자 비율의 대표적인 예는, $In:M:Zn=1:1:1$, $In:M:Zn=4:2:4.1$, $In:M:Zn=3:1:2$ 등이다.

[0080] 산화물 반도체막(101a) 및 산화물 반도체막(101c)에 In-M-Zn계 산화물이 사용될 때, 산화물 반도체막(101a) 및 산화물 반도체막(101c)이 되는 산화물 반도체막을 형성하기 위한 타깃에는, 이하의 조건을 만족시키는 원자 비율로 금속 원소를 포함하는 산화물이 사용되는 것이 바람직하다. 산화물에서의 금속 원소의 원자 비율을 $In:M:Zn=x_2:y_2:z_2$ 로 하면, x_2/y_2 는 x_1/y_1 미만이고, z_2/y_2 는 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하다. 또한 z_2/y_2 가 6 이하이면, 나중에 설명되는 CAAC-OS막이 쉽게 형성된다. 타깃에서의 금속 원소의 원자 비율의 대표적인 예는, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:2:4$ 등이다.

[0081] 산화물 반도체막(101a) 및 산화물 반도체막(101c)에, 산화물 반도체막(101b)보다 전도대 바닥에서의 에너지가 진공 준위에 더 가까운 재료를 사용함으로써, 산화물 반도체막(101b)에 주로 채널이 형성되어, 산화물 반도체막(101b)이 주된 전류 패스로서 기능한다. 상술한 바와 같이, 채널이 형성되는 산화물 반도체막(101b)이 산화물 반도체막(101a)과 산화물 반도체막(101c) 사이에 끼워지면, 이들 막 사이의 계면 상태의 형성이 억제되어, 트랜ジ스터의 전기적 특성의 신뢰성이 향상된다.

[0082] 또한, 상술한 설명에 한정되지 않고, 요구되는 반도체 특성 및 전기적 특성(예컨대, 전계 효과 이동도 및 문턱 전압)에 따라 적절한 원자 비율을 갖는 재료가 사용될 수 있다. 트랜ジ스터의 요구되는 반도체 특성을 얻기 위하여, 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자 비율, 원자간 거리, 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.

[0083] 여기서 산화물 반도체막(101a) 및 산화물 반도체막(101b)의 혼합 영역이 산화물 반도체막(101a)과 산화물 반도체막(101b) 사이에 존재할 수 있다. 산화물 반도체막(101b) 및 산화물 반도체막(101c)의 혼합 영역은 산화물 반도체막(101b)과 산화물 반도체막(101c) 사이에 존재할 수 있다. 혼합 영역은 계면 상태의 밀도가 낮다. 이 때문에 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)을 포함하는 적층은 각 계면 및 계면 주변에서의 에너지가 연속적으로 변화하는(연속 접합) 벤드 구조를 갖는다.

[0084] 여기서 벤드 구조를 설명한다. 이해하기 쉽게 하기 위하여 벤드 구조에는 절연막(125), 산화물 반도체막(101a), 산화물 반도체막(101b), 산화물 반도체막(101c), 및 게이트 절연막(104) 각각의 전도대의 바닥에서의 에너지(Ec)를 도시하였다.

[0085] 도 5의 (A) 및 (B)에 도시된 바와 같이, 전도대의 바닥에서의 에너지는 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)에서 연속적으로 변화한다. 이것은 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)에서 구성 원소가 공통되고 산소가 산화물 반도체막(101a)~산화물 반도체막(101c)에서 확산되기 쉽다는 점으로부터도 이해할 수 있다. 따라서, 산화물 반도체막(101a)~산화물 반도체막

(101c)은 상이한 조성을 갖는 적층이지만, 연속된 물성을 갖는다.

[0086] 같은 주성분을 포함하고 적층되는 산화물 반도체막은 단순히 적층되지 않고, 연속 접합(여기서는 특히 전도대의 바닥에서의 에너지가 막들 사이에서 연속적으로 변화하는 U형 웰(well) 구조)을 갖도록 형성된다. 바꿔 말하면, 각 계면에 트랩 중심 또는 재결합 중심 등의 결합 준위를 형성하는 불순물이 존재하지 않도록 적층 구조가 형성된다. 만약 적층된 다층막에서의 막들 사이에 불순물이 혼합하면, 에너지 밴드의 연속성이 손실되어 캐리어가 계면에서 포획 또는 재결합됨으로써 소멸된다.

[0087] 또한, 도 5의 (A)에는 산화물 반도체막(101a)의 Ec 및 산화물 반도체막(101c)의 Ec가 서로 동등한 경우를 도시 하였지만, 이들은 서로 상이하여도 좋다. 예를 들어, 산화물 반도체막(101c)의 Ec가 산화물 반도체막(101a)의 Ec보다 높은 경우의 밴드 구조의 일부를 도 5의 (B)에 도시하였다.

[0088] 도 5의 (A) 및 (B)에 도시된 바와 같이, 산화물 반도체막(101b)은 웰로서 기능하고 제 2 트랜지스터(100)의 채널이 산화물 반도체막(101b)에 형성된다. 또한 전도대의 바닥에서의 에너지는 연속적으로 변화하기 때문에 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)은 U형 웰이라고도 할 수 있다. 또한, 이런 구조를 갖도록 형성된 채널은 매몰 채널이라고 할 수도 있다.

[0089] 또한, 불순물 또는 결함으로 인한 트랩 준위가 산화 실리콘막 등의 절연막과 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각 사이의 계면 주변에 형성될 수 있다. 산화물 반도체막(101a) 및 산화물 반도체막(101c)의 존재 때문에 산화물 반도체막(101b)을 이 트랩 준위로부터 멀리할 수 있다. 하지만 산화물 반도체막(101a) 또는 산화물 반도체막(101c)의 Ec와 산화물 반도체막(101b)의 Ec 사이의 에너지 차이가 작으면, 산화물 반도체막(101b)에서의 전자는 상기 에너지 차이를 넘어 트랩 준위에 도달할 수 있다. 전자가 트랩 준위에 포획되면 절연막과의 계면에 음의 고정 전하가 생겨 트랜지스터의 문턱 전압은 양 방향으로 시프트된다.

[0090] 따라서, 트랜지스터의 문턱 전압에서의 변화를 저감하기 위하여, 산화물 반도체막(101b)의 Ec와 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각의 Ec 사이의 에너지 차이가 필요하다. 상기 에너지 차이는 바람직하게는 0.1eV 이상, 더 바람직하게는 0.15eV 이상이다.

[0091] 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)은 결정부를 포함하는 것이 바람직하다. 특히, c축이 배향되는 결정이 사용될 때, 트랜지스터는 안정된 전기적 특성을 가질 수 있다.

[0092] 도 5의 (B)에 도시된 밴드 구조에서, 산화물 반도체막(101c) 대신에, In-Ga산화물(예컨대, In:Ga=7:93의 원자비율을 가짐)을 산화물 반도체막(101b)과 게이트 절연막(104) 사이에 제공하여도 좋다.

[0093] 산화물 반도체막(101b)에, 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각보다 전자 친화력이 높은 산화물이 사용된다. 예를 들어, 산화물 반도체막(101b)에, 산화물 반도체막(101a) 및 산화물 반도체막(101c) 각각보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 만큼 전자 친화력이 높은 산화물이 사용된다. 또한, 전자 친화력은 진공 준위와 전도대 바닥 사이의 에너지 차이를 말한다.

[0094] 여기서, 산화물 반도체막(101b)의 두께는 적어도 산화물 반도체막(101a)보다 큰 것이 바람직하다. 산화물 반도체막(101b)이 두꺼울수록 트랜지스터의 온 상태 전류를 크게 할 수 있다. 산화물 반도체막(101a)의 두께는 산화물 반도체막(101b)과의 계면에서의 계면 상태의 형성을 억제하기만 하면 적절히 설정될 수 있다. 예를 들어, 산화물 반도체막(101b)의 두께는, 산화물 반도체막(101a)보다 크고, 바람직하게는 산화물 반도체막(101a)의 2배 이상, 더 바람직하게는 4배 이상, 더욱 바람직하게는 6배 이상이다. 또한, 상기는 트랜지스터의 온 상태 전류를 증가시킬 필요가 없는 경우에는 적용되지 않고, 산화물 반도체막(101a)의 두께가 산화물 반도체막(101b) 이상이어도 좋다.

[0095] 산화물 반도체막(101c)의 두께는 산화물 반도체막(101a)과 마찬가지로 산화물 반도체막(101b)과의 계면에서의 계면 상태의 형성을 억제하기만 하면 적절히 설정될 수 있다. 예를 들어, 산화물 반도체막(101c)의 두께는 산화물 반도체막(101a)의 두께보다 작거나 동등하게 설정될 수 있다. 산화물 반도체막(101c)이 두꺼우면 게이트 전극으로부터의 전계가 산화물 반도체막(101b)에 도달되기 어렵게 될 수 있다. 따라서, 산화물 반도체막(101c)이 얇은 것, 예컨대 산화물 반도체막(101b)보다 얇은 것이 바람직하다. 또한, 산화물 반도체막(101c)의 두께는 상술한 것에 한정되지 않고, 게이트 절연막(104)의 내전압을 고려하여 트랜지스터의 구동 전압에 따라 적절히 설정될 수 있다.

[0096] 여기서, 산화물 반도체막(101b)이 상이한 구성 원소를 포함하는 절연막(예컨대 산화 실리콘막을 포함하는 절연

막)에 접촉되는 경우에, 계면 상태가 이 2개의 막들 사이의 계면에 형성되는 경우가 있고 이 계면 상태는 채널을 형성한다. 이 경우, 상이한 문턱 전압을 갖는 제 2 트랜지스터가 형성될 수 있고, 이 트랜지스터의 외견의 문턱 전압이 변화할 수 있다. 하지만 이 구조예의 트랜지스터에서, 산화물 반도체막(101a)은 산화물 반도체막(101b)을 구성하는 1종 이상의 금속 원소를 포함한다. 그러므로, 계면 상태가 산화물 반도체막(101a)과 산화물 반도체막(101b) 사이의 계면에서 형성되기 어렵다. 따라서, 산화물 반도체막(101a)을 제공함으로써 문턱 전압 등의 트랜지스터의 전기적 특성에서의 변동 또는 변화를 저감할 수 있다.

[0097] 채널이 게이트 절연막(104)과 산화물 반도체막(101b) 사이의 계면에 형성될 때, 이 계면에서 계면 산란이 일어나고 트랜지스터의 전계 효과 이동도가 저감되는 경우가 있다. 하지만, 이 구조예의 트랜지스터에서, 산화물 반도체막(101c)은 산화물 반도체막(101b)을 구성하는 1종 이상의 금속 원소를 포함한다. 그러므로 캐리어의 산란이 산화물 반도체막(101b)과 산화물 반도체막(101c) 사이의 계면에 일어나기 어려워, 트랜지스터의 전계 효과 이동도를 증가시킬 수 있다.

[0098] 전극(103a) 및 전극(103b) 중 한쪽은 소스 전극으로서 기능하고, 다른 쪽은 드레인 전극으로서 기능한다.

[0099] 전극(103a) 및 전극(103b) 각각이 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 금속 중 어느 것, 또는 이를 금속 중 어느 것을 주성분으로서 포함하는 합금을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텅스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텅스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 차례로 적층된 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 차례로 적층된 3층 구조 등을 들 수 있다. 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료가 사용되어도 좋다.

[0100] 예를 들어, 게이트 절연막(104)으로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3(BST)$ 등의 소위 high-k 재료를 포함하는 절연막을 사용할 수 있다. 절연막은 단층 구조 또는 적층 구조를 가져도 좋다. 또는, 예컨대 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 절연막에 첨가하여도 좋다. 또는, 절연막에 질화 처리가 수행되어도 좋다. 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘이 상술한 절연막 위에 적층되어도 좋다.

[0101] 게이트 절연막(104)으로서, 절연막(126)과 같이, 화학량론적 조성보다 산소를 더 포함하는 산화 절연막이 사용되는 것이 바람직하다.

[0102] 특정한 재료가 게이트 절연막에 사용되면 전자는 특정한 조건하에서 게이트 절연막에 포획되고, 문턱 전압을 증가시킬 수 있다. 예를 들어, 산화 실리콘 및 산화 하프늄의 적층막과 같이, 게이트 절연막의 일부에는, 산화 하프늄, 산화 알루미늄, 및 산화 탄탈럼 등의 많은 전자 트랩 상태를 갖는 재료를 사용하고, 게이트 전극의 전위가 소스 전극 또는 드레인 전극보다 높은 상태를 1초 이상, 대표적으로는 1분 이상 더 높은 온도(반도체 장치의 동작 온도 또는 저장 온도보다 높은 온도, 또는 $125^\circ C$ 이상 $450^\circ C$ 이하의 온도, 대표적으로는 $150^\circ C$ 이상 $300^\circ C$ 이하의 온도)로 유지한다. 따라서, 전자는 반도체막으로부터 게이트 전극으로 이동하고, 전자의 일부는 전자 트랩 상태로 포획된다.

[0103] 이와 같이 하여, 전자 트랩 상태에 의하여 필요한 양의 전자가 포획되는 트랜지스터에서, 문턱 전압은 양 방향으로 시프트된다. 게이트 전극의 전압을 제어함으로써, 포획되는 전자량을 제어할 수 있어, 문턱 전압을 제어할 수 있다. 또한, 전자를 포획하기 위한 처리는 트랜지스터의 제조 공정에서 수행될 수 있다.

[0104] 예를 들어, 트랜지스터의 소스 전극 또는 드레인 전극에 접속된 배선의 형성 후, 전처리(웨이퍼 처리) 후, 웨이퍼 다이싱 스텝 후, 패키징 후 등의, 공장 출하전의 어느 단계 등에서 처리가 수행되는 것이 바람직하다. 어떤 경우에서도, 트랜지스터는 그 후에 $125^\circ C$ 이상의 온도로 1시간 이상 노출되지 않는 것이 바람직하다.

[0105] 게이트 전극(105)은 예컨대 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 및 텅스텐으로부터 선택된 금속, 이들 금속 중 어느 것을 성분으로서 포함하는 합금, 이들 금속 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성될 수 있다. 또한 망가니즈 및 지르코늄으로부터 선택된 하나 이상의 금속을 사용하여도

좋다. 또는 인 등의 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 예를 들어, 알루미늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 텉스텐막이 적층된 2층 구조, 질화 탄탈럼막 또는 질화 텉스텐막 위에 텉스텐막이 적층된 2층 구조, 타이타늄막, 알루미늄막, 및 타이타늄막이 이 차례로 적층된 3층 구조 등을 들 수 있다. 또는 알루미늄과, 타이타늄, 탄탈럼, 텉스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 금속을 포함하는 합금막 또는 질화막을 사용하여도 좋다.

[0106] 게이트 전극(105)은, 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성될 수 있다. 상술한 투광성 도전 재료 및 상술한 금속을 사용하여 형성된 적층 구조를 가질 수도 있다.

[0107] 플러그(164)와 전기적으로 접속되는 플러그(167)가 절연막(127), 절연막(108), 및 절연막(107)에 매립된다. 게이트 전극(105)과 전기적으로 접속되는 플러그(168)가 절연막(127), 절연막(108), 및 절연막(107)에 매립된다. 플러그(166)와 전기적으로 접속되는 플러그(169)는 절연막(127), 절연막(108), 및 절연막(107)에 매립된다.

[0108] 또한, 게이트 전극(105)과 게이트 절연막(104) 사이에, In-Ga-Zn계 산화질화 반도체막, In-Sn계 산화질화 반도체막, In-Ga계 산화질화 반도체막, In-Zn계 산화질화 반도체막, Sn계 산화질화 반도체막, In계 산화질화 반도체막, 금속 질화물(InN 또는 ZnN 등)의 막 등이 제공되어도 좋다. 이를 막은 각각 산화물 반도체의 전자 친화력 보다 높은, 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖는다. 따라서 산화물 반도체를 포함하는 트랜지스터의 문턱 전압은 양 방향으로 시프트될 수 있고, 소위 노멀리-오프의 스위칭 소자를 달성할 수 있다. 예를 들어, In-Ga-Zn계 산화질화 반도체막을 사용하는 경우, 적어도 산화물 반도체막(101b)보다 질소 농도가 높은 In-Ga-Zn계 산화질화 반도체막, 구체적으로는 7at.% 이상의 질소 농도를 갖는 In-Ga-Zn계 산화질화 반도체막이 사용된다.

[0109] 절연막(107)에는, 배리어막(120)과 같이, 물 또는 수소를 비교적 투과시키지 않는 재료가 사용되는 것이 바람직하다. 특히, 산소를 비교적 투과시키지 않는 재료가 절연막(107)에 사용되는 것이 바람직하다.

[0110] 산소를 비교적 투과시키지 않는 재료를 포함하는 절연막(107)으로 산화물 반도체막(101b)을 덮음으로써, 산소가 산화물 반도체막(101b)으로부터 절연막(107) 위의 부분으로 방출되는 것을 방지할 수 있다. 또한, 절연막(126)으로부터 방출된 산소를 절연막(107) 아래에서 가둘 수 있어, 결과적으로 산화물 반도체막(101b)에 공급되는 산소량이 증가된다.

[0111] 물 또는 수소를 비교적 투과시키지 않는 절연막(107)은, 산화물 반도체에 대하여 불순물인 물 또는 수소가 외부로부터 산화물 반도체막(101b)에 들어가는 것을 억제할 수 있어, 제 2 트랜지스터(100)의 전기적 특성에서의 변화를 억제할 수 있고 상기 트랜지스터는 높은 신뢰성을 가질 수 있다.

[0112] 또한, 절연막(126)과 같은, 가열에 의하여 산소가 방출되는 절연막을 절연막(107) 아래에 제공하여, 게이트 절연막(104)을 통하여 산화물 반도체막(101b) 위의 부분으로부터도 산소를 공급하여도 좋다.

[0113] 여기서, 제 1 트랜지스터(110) 및 제 2 트랜지스터(100)를 포함하는 반도체 장치로 차지되는 면적을 도 2의 (A)~(C)를 참조하여 설명한다.

[0114] 도 2의 (A)는 제 1 트랜지스터(110) 및 제 2 트랜지스터(100)를 포함하는 도 1의 (B)의 부분적인 단면도다. 반도체 장치를 소형화하고 반도체 장치로 차지되는 면적을 저감하기 위하여, 제 1 트랜지스터(110) 및 제 2 트랜지스터(100)가 적층되는 것이 바람직하다. 특히, 제 1 트랜지스터(110)의 게이트 전극(115) 및 제 2 트랜지스터(110)의 게이트 전극(105)이 서로 중첩되는 것이 바람직하다.

[0115] 또한, 도 2의 (A)에 도시된 점(0)이 제 1 트랜지스터(110)의 게이트 전극(115)의 상면의 중심이고 선 B1-B2가 산화물 반도체막(101a)의 저면의 긴 쪽에 대응하면, 도 2의 (A)에서의 삼각형 B1-0-B2의 $\angle B1-0-B2$ 가 120° 이하, 더 바람직하게는 90° 이하, 더욱 바람직하게는 60° 인 것이 바람직하다. $\angle B1-0-B2$ 가 저감됨에 따라, 반도체 장치로 차지되는 면적이 저감된다.

[0116] 도 2의 (B)는 거꾸로 세운 사각 피라미드(이하 역사각 피라미드라고 함)를 도시한 것이다. 역사각 피라미드는 사각형 및 제 1~제 4의 이등변 삼각형을 갖는다. 제 1 트랜지스터(110)의 게이트 전극(115)의 상면의 중심이 하나의 이등변 삼각형의 정점이고, 산화물 반도체막(101a)의 저면이 사각형 내부에 맞고, 제 2 트랜지스터(100)가 하나의 이등변 삼각형의 정각이 120° 이하의 역사각 피라미드 내부에 맞는 것이 바람직하다. 하나의 이

등변 삼각형의 정각이 90° 이하, 더 바람직하게는 60° 이하인 것이 더 바람직하다. 하나의 이등변 삼각형의 정각이 저감될수록, 반도체 장치로 차지되는 면적이 저감된다.

[0117] 도 2의 (C)는 거꾸로 세운 직원뿔(이하 역직원뿔이라고 함)을 도시한 것이다. 역직원뿔의 정점 및 원의 중심을 통하는 면은 이등변 삼각형을 갖는다. 제 1 트랜지스터(110)의 게이트 전극(115)의 상면의 중심이 이등변 삼각형의 정점이고, 산화물 반도체막(101a)의 저면이 원 내부에 맞고, 제 2 트랜지스터(100)가 이등변 삼각형의 정각이 120° 이하의 역직원뿔 내부에 맞는 것이 바람직하다. 이등변 삼각형의 정각이 90° 이하, 더 바람직하게는 60° 이하인 것이 더 바람직하다. 이등변 삼각형의 정각이 저감될수록, 반도체 장치로 차지되는 면적이 저감된다.

[0118] 제 2 트랜지스터(100)로서 사용될 수 있는 트랜지스터의 구조예를 설명한다. 도 6의 (A)는 예로서 이하에서 설명한 트랜지스터의 상면 개략도이고, 도 6의 (B) 및 (C)는 각각 도 6의 (A)에서의 단선 A1-A2 및 B1-B2를 따른 단면 개략도다. 또한 도 6의 (B)는 채널 길이 방향에서의 트랜지스터의 단면에 상당하고, 도 6의 (C)는 채널 폭 방향에서의 트랜지스터의 단면에 상당한다.

[0119] 도 6의 (C)에 도시된 바와 같이, 게이트 전극은, 채널 폭 방향에서의 트랜지스터의 단면에서 산화물 반도체막(101b)의 상면 및 측면과 대향하도록 제공된다. 따라서, 채널은 산화물 반도체막(101b)의 상면 부근뿐만 아니라 측면 부근에도 형성되고 유효 채널 폭이 증가된다. 따라서 온 상태에서의 전류(온 상태 전류)가 증가될 수 있다. 특히, 산화물 반도체막(101b)의 폭이 매우 작은 경우(예컨대 50nm 이하, 바람직하게는 30nm 이하, 더 바람직하게는 20nm 이하), 채널이 형성되는 영역은 산화물 반도체막(101b)의 내부에 연장된다. 따라서, 소형화가 진행될수록 온 상태 전류에 대한 이 구조의 기여가 증가된다.

[0120] 또한 게이트 전극(105)의 폭은 도 7의 (A)~(C)에 도시된 바와 같이 작게 되어도 좋다. 이 경우, 예컨대 아르곤, 수소, 인, 또는 봉소 등의 불순물을, 전극(103a) 및 전극(103b), 게이트 전극(105) 등을 마스크로서 사용하여 산화물 반도체막(101b) 등으로 주입할 수 있다. 결과적으로 저저항 영역(109a) 및 저저항 영역(109b)을 산화물 반도체막(101b) 등에 제공할 수 있다. 또한 저저항 영역(109a) 및 저저항 영역(109b)을 반드시 제공할 필요는 없다. 또한 게이트 전극(105)의 폭은 도 6의 (A)~(C)뿐만 아니라 다른 도면에서도 작게 할 수 있다.

[0121] 도 8의 (A) 및 (B)에 도시된 트랜지스터는, 주로 산화물 반도체막(101c)이 전극(103a) 및 전극(103b)의 저면과 접촉되어 제공되는 점에서 도 6의 (A)~(C)에 도시된 트랜지스터와 상이하다.

[0122] 이런 구조에 의하여, 산화물 반도체막(101a), 산화물 반도체막(101b), 및 산화물 반도체막(101c)에 사용되는 막을 대기에 접촉되지 않고 연속적으로 형성할 수 있어, 각 계면에서의 결함을 저감할 수 있다.

[0123] 산화물 반도체막(101a) 및 산화물 반도체막(101c)이 상술한 구조에서 산화물 반도체막(101b)과 접촉되어 제공되지만, 산화물 반도체막(101a) 및 산화물 반도체막(101c) 중 하나만이 제공되어도 좋고 또는 이를 양쪽 모두가 제공되지 않아도 된다.

[0124] 또한 게이트 전극(105)의 폭은 도 6의 (A)~(C)와 같이 도 8의 (A) 및 (B)에서 작게 할 수 있다. 이 경우의 예를 도 9의 (A) 및 (B)에 도시하였다. 또한 게이트 전극(105)의 폭은 도 6의 (A)~(C) 및 도 8의 (A) 및 (B)뿐만 아니라 다른 도면에서도 작게 할 수 있다.

[0125] 도 10의 (A) 및 (B)에 도시된 바와 같이, 산화물 반도체막(101b)과 전극(103a) 사이에 접촉되는 층(147a) 및 산화물 반도체막(101b)과 전극(103b) 사이에 접촉되는 층(147b)을 제공할 수 있다.

[0126] 층(147a) 및 층(147b)은 예컨대 투명 도전체, 산화물 반도체, 질화물 반도체, 또는 산화질화물 반도체를 사용하여 형성하여도 좋다. 층(147a) 및 층(147b)은 예컨대 인듐, 주석, 및 산소를 포함하는 층, 인듐 및 아연을 포함하는 층, 인듐, 텅스텐, 및 아연을 포함하는 층, 주석 및 아연을 포함하는 층, 아연 및 갈륨을 포함하는 층, 아연 및 알루미늄을 포함하는 층, 아연 및 플루오린을 포함하는 층, 아연 및 봉소를 포함하는 층, 주석 및 안티모니를 포함하는 층, 주석 및 플루오린을 포함하는 층, 타이타늄 및 나이오븀을 포함하는 층 등을 사용하여 형성되어도 좋다. 또는 이들 층 중 어느 것은 수소, 탄소, 질소, 실리콘, 저마늄, 또는 아르곤을 포함하여도 좋다.

[0127] 층(147a) 및 층(147b)은 가시광을 투과시키는 성질을 가져도 좋다. 또는, 층(147a) 및 층(147b)은 가시광, 자외광, 적외광, 또는 X선을 반사 또는 흡수함으로써 투과시키지 않는 성질을 가져도 좋다. 이 경우, 이런 성질은 미광으로 인한 트랜지스터의 전기적 특성에서의 변화를 억제할 수 있다.

[0128] 층(147a) 및 층(147b)은 산화물 반도체막(101b) 등과 쇼트키 장벽을 형성하지 않는 층을 사용하여 형성되는 것

이 바람직한 경우가 있다. 따라서, 트랜지스터의 온 상태 특성을 향상시킬 수 있다.

[0129] 또한 층(147a) 및 층(147b)은 전극(103a) 및 전극(103b)보다 높은 저항을 갖는 층을 사용하여 형성되는 것이 바람직한 경우가 있다. 층(147a) 및 층(147b)은 트랜지스터의 채널보다 낮은 저항을 갖는 층을 사용하여 형성되는 것이 바람직한 경우가 있다. 예를 들어, 층(147a) 및 층(147b)은 $0.1\Omega\text{cm}$ 이상 $100\Omega\text{cm}$ 이하, $0.5\Omega\text{cm}$ 이상 $50\Omega\text{cm}$ 이하, 또는 $1\Omega\text{cm}$ 이상 $10\Omega\text{cm}$ 이하의 저항률을 가질 수 있다. 상술한 범위 내에 있는 저항률을 갖는 층(147a) 및 층(147b)은 채널과 드레인 사이의 경계부에서의 전계 집중을 저감할 수 있다. 그러므로, 트랜지스터의 전기적 특성에서의 변화를 억제할 수 있다. 또한, 드레인으로부터의 전계에 의하여 생기는 편치스루 전류를 저감할 수 있다. 따라서, 채널 길이가 작은 트랜지스터는 바람직한 포화 특성을 가질 수 있다. 또한 소스 및 드레인이 치환되지 않는 회로 구성에서, 층(147a) 및 층(147b) 중 하나(예컨대 드레인 측에 있는 층)만이 제공되는 것이 바람직한 경우가 있다.

[0130] 또한, 채널 길이란, 예컨대 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온일 때에 반도체에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 하나의 트랜지스터에서, 모든 영역에서의 채널 길이가 반드시 같은 값을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭이 반드시 같은 값을 가질 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 길이는 하나의 값에 한정되지 않는 경우가 있다. 그러므로, 본 명세서에서, 채널 길이는 채널이 형성되는 영역에서의, 값들 중 어느 하나, 최대값, 최소값, 또는 평균값이다.

[0131] 채널 폭이란 예컨대 반도체(또는 트랜지스터가 온일 때에 반도체에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에서 소스와 드레인이 서로 대향하는 부분의 길이를 말한다. 하나의 트랜지스터에서, 모든 영역에서의 채널 폭이 반드시 같은 값을 가질 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭은 하나의 값에 고정되지 않는 경우가 있다. 그러므로, 본 명세서에서, 채널 폭은 채널이 형성되는 영역에서의, 값들 중 어느 하나, 최대값, 최소값, 또는 평균값이다.

[0132] 또한, 트랜지스터 구조에 따라, 실제로 채널이 형성되는 영역에서의 채널 폭(이하 유효 채널 폭이라고 함)은 트랜지스터의 상면도에 나타낸 채널 폭(이하 외연 채널 폭이라고 함)과 상이한 경우가 있다. 예를 들어, 3차원 구조를 갖는 트랜지스터에서, 유효 채널 폭은 트랜지스터의 상면도에 나타낸 외연 채널 폭보다 크고, 이 영향을 무시할 수 없는 경우가 있다. 예를 들어, 3차원 구조를 갖는 소형화된 트랜지스터에서, 반도체의 측면에 형성되는 채널 영역의 비율은 반도체의 상면에 형성되는 채널 영역의 비율보다 높은 경우가 있다. 이 경우, 실제로 채널이 형성될 때에 얻어진 유효 채널 폭이 상면도에 나타낸 외연 채널 폭보다 크다.

[0133] 3차원 구조를 갖는 트랜지스터에서, 유효 채널 폭을 측정하기 어려운 경우가 있다. 예를 들어, 유효 채널 폭을 설계값으로부터 어림잡기 위해서는, 반도체의 형상을 알고 있다는 가정이 필요하다. 따라서, 반도체의 형상이 정확히 알리지 않는 경우, 유효 채널 폭을 정확히 측정하기 어렵다.

[0134] 그러므로 본 명세서에서, 트랜지스터의 상면도에서, 소스와 드레인이 반도체와 게이트 전극이 서로 중첩되는 영역에서 서로 대향하는 부분의 길이인 외연 채널 폭을 SCW(Surrounded Channel Width)라고 하는 경우가 있다. 또한, 본 명세서에서, "채널 폭"이란 용어가 단순히 사용되는 경우, SCW 또는 외연 채널 폭을 가리킬 수 있다. 또는 본 명세서에서, "채널 폭"이란 용어가 단순히 사용되는 경우, 유효 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 유효 채널 폭, 외연 채널 폭, SCW 등의 값은 단면 TEM 이미지 등을 얻어 분석함으로써 결정할 수 있다.

[0135] 또한, 트랜지스터의 전계 효과 이동도, 채널 폭당 전류 값 등이 계산에 의하여 얻어지는 경우, SCW가 계산에 사용될 수 있다. 이 경우, 값은 유효 채널 폭을 사용하여 계산된 값과 상이한 경우가 있다.

[0136] 상기는 제 2 트랜지스터(100)의 설명이다.

[0137] 제 2 트랜지스터(100)를 덮는 절연막(127)은 아래층의 요철 면 형상을 덮는 평탄화막으로서 기능한다. 절연막(108)은 절연막(127)이 형성될 때에 보호막으로서 기능하여야도 좋다. 절연막(108)은 반드시 제공될 필요는 없다.

[0138] 플러그(170)는 절연막(128)에 매립되고 플러그(167)에 전기적으로 접속된다. 플러그(171)는 절연막(128)에 매립되고 플러그(168)에 전기적으로 접속된다. 플러그(172)는 절연막(128)에 매립되고 플러그(169)에 전기적으로 접속된다.

[0139] 전극(173)은 플러그(170)에 전기적으로 접속된다. 전극(174)은 플러그(171)에 전기적으로 접속된다. 전극

(175)은 플러그(172)에 전기적으로 접속된다.

[0140] 본 발명의 일 형태에서의 반도체 장치는 제 1 트랜지스터(110) 및 제 1 트랜지스터 위의 제 2 트랜지스터(100)를 포함한다. 이들 트랜지스터가 적층되기 때문에, 소자로 차지되는 면적을 저감할 수 있다. 또한, 제 1 트랜지스터(110)와 제 2 트랜지스터(100) 사이에 제공되는 배리어막(120)은 물 및 수소 등의 불순물이 아래층으로부터 제 2 트랜지스터(100) 측으로 확산되는 것을 억제할 수 있다.

[0141] 상기는 구조예의 설명이다.

[제작 방법의 예]

[0143] 상술한 구조예에 설명된 반도체 장치를 제조하기 위한 방법의 예를 도 11의 (A)~(D), 도 12의 (A)~(C), 도 13의 (A) 및 (B), 도 14의 (A) 및 (B), 도 15의 (A) 및 (B), 및 도 16의 (A) 및 (B)를 참조하여 이하에서 설명한다.

[0144] 먼저, 반도체 기판(111)을 준비한다. 반도체 기판(111)으로서 예컨대 단결정 실리콘 기판(p형 반도체 기판 또는 n형 반도체 기판을 포함함), 탄소화 실리콘 또는 질화 갈륨을 포함하는 화합물 반도체 기판 등을 사용할 수 있다. SOI 기판은 반도체 기판(111)으로서 사용되어도 좋다. 단결정 실리콘이 반도체 기판(111)에 사용되는 경우를 이하에서 설명한다.

[0145] 다음에 소자 분리층(미도시)을 반도체 기판(111)에 형성한다. 소자 분리층은 LOCOS(local oxidation of silicon)법, STI(shallow trench isolation)법 등에 의하여 형성되어도 좋다.

[0146] p채널 트랜지스터 및 n채널 트랜지스터가 같은 기판에 형성되는 경우, n웰 또는 p웰이 반도체 기판(111)의 일부에 형성되어도 좋다. 예를 들어, p웰은 붕소 등의 p형 전도성을 부여하는 불순물 원소를 n형 반도체 기판(111)에 첨가함으로써 형성되어도 좋고 n채널 트랜지스터 및 p채널 트랜지스터가 같은 기판에 형성되어도 좋다.

[0147] 다음에 게이트 절연막(114)이 되는 절연막을 반도체 기판(111) 위에 형성한다. 예를 들어, 표면의 질화 처리 후, 실리콘과 질화 실리콘 사이의 계면을 산화시키기 위하여 산화 처리가 수행됨으로써 산화질화 실리콘막을 형성하여도 좋다. 예를 들어, 열질화 실리콘막을 NH₃ 분위기에서 700°C로 표면 위에 형성한 후, 산소 라디칼 산화(oxygen radical oxidation)를 수행함으로써 산화질화 실리콘막을 얻을 수 있다.

[0148] 상기 절연막은 스퍼터링법, CVD(chemical vapor deposition)법(열CVD법, MOCVD(metal organic CVD)법, PECVD(plasma enhanced CVD)법 등을 포함함), MBE(molecular beam epitaxy)법, ALD atomic layer deposition)법, PLD(pulsed laser deposition)법 등에 의하여 형성되어도 좋다.

[0149] 다음에 게이트 전극(115)이 되는 도전막을 형성한다. 도전막은 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 크로뮴, 나이오븀 등으로부터 선택된 금속, 또는 금속들 중 어느 것을 주성분으로서 포함하는 합금 재료 또는 화합물 재료를 사용하여 형성되는 것이 바람직하다. 또는 인 등의 불순물이 첨가된 다결정 실리콘을 사용할 수 있다. 또는 금속 질화물의 막 및 상술한 금속 중 어느 것의 막을 포함하는 적층 구조를 사용하여도 좋다. 금속 질화물로서 질화 텅스텐, 질화 몰리브데넘, 또는 질화 타이타늄을 사용할 수 있다. 금속 질화물막이 제공되면, 금속막의 접착성을 향상시킬 수 있어 박리를 방지할 수 있다. 게이트 전극(115)의 일함수를 제어하는 금속막을 제공하여도 좋다.

[0150] 도전막은 스퍼터링법, 증착법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함) 등에 의하여 형성될 수 있다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0151] 다음에, 레지스트 마스크를 리소그래피 공정 등에 의하여 상기 도전막 위에 형성하고 이 도전막의 불필요한 부분을 제거한다. 이 후, 레지스트 마스크를 제거한다. 따라서, 게이트 전극(115)을 형성할 수 있다.

[0152] 여기서, 막을 가공하기 위한 방법을 설명한다. 막을 미세하게 가공하는 경우, 다양한 미세 가공 기술을 사용할 수 있다. 예를 들어, 리소그래피 공정 등에 의하여 형성된 레지스트 마스크에 슬리밍 처리를 수행하는 방법을 사용하여도 좋다. 또는 리소그래피 공정 등에 의하여 더미 패턴을 형성하고, 이 더미 패턴에 사이드월을 제공하고 나서 제거하고, 남아 있는 사이드월을 마스크로서 사용하여 막을 에칭하는 방법을 사용하여도 좋다. 높은 종횡비를 달성하기 위하여 비등방성 드라이 에칭을 막의 에칭에 사용하는 것이 바람직하다. 또는 무기막 또는 금속막으로 형성되는 하드 마스크가 사용되어도 좋다.

[0153] 레지스트 마스크를 형성하기 위하여 사용되는 광으로서, i선(365nm의 파장)을 갖는 광, g선(436nm의 파장)을 갖는 광, h선(405nm의 파장)을 갖는 광, 또는 i선, g선, 및 h선이 혼합된 광을 사용할 수 있다. 또는, 자외광, KrF레이저광, ArF레이저광 등을 사용할 수 있다. 노광은 액침 노광 기술에 의하여 수행되어도 좋다. 노광을

위한 광으로서, EUV(extreme ultra-violet light) 또는 X선이 사용되어도 좋다. 노광을 위한 광 대신에, 전자빔을 사용할 수 있다. 굉장히 극미한 가공을 수행할 수 있기 때문에 EUV(extreme ultra-violet light), X선, 또는 전자빔을 사용하는 것이 바람직하다. 또한, 전자빔 등의 빔을 주사함으로써 노광을 수행하는 경우, 포토마스크는 필요 없다.

[0154] 가공되는 막과 레지스트막 사이의 접착을 향상시키는 기능을 갖는 유기 수지막은 레지스트 마스크로서 기능하는 레지스트막이 형성되기 전에 형성되어도 좋다. 이 유기 수지막은 스펜 코팅법 등에 의하여, 막의 아래의 단차를 덮음으로써 표면을 평탄화하도록 형성될 수 있어, 상기 유기 수지막 위의 레지스트 마스크의 두께의 변동을 저감할 수 있다. 특히 미세 가공의 경우, 노광을 위한 광의 반사를 방지하는 기능을 갖는 막으로서 기능하는 재료가 이 유기 수지막에 사용되는 것이 바람직하다. 이런 기능을 갖는 유기 수지막의 예에는 BARC(bottom anti-reflection coating)막이 포함된다. 이 유기 수지막은 레지스트 마스크의 제거와 동시에 또는 레지스트 마스크의 제거 후에 제거될 수 있다.

[0155] 게이트 전극(115)이 형성된 후, 게이트 전극(115)의 측면을 덮는 사이드월이 형성되어도 좋다. 사이드월은, 게이트 전극(115)보다 두꺼운 절연막이 형성되고, 게이트 전극(115)의 측면에서의 절연막 부분만이 남도록 비등방성 에칭을 수행하는 식으로 형성될 수 있다.

[0156] 게이트 절연막(114)이 되는 절연막을 사이드월의 형성과 동시에 에칭함으로써, 게이트 절연막(114)을 게이트 전극(115) 및 사이드월 아래에 형성한다. 또는 게이트 전극(115)이 형성된 후, 게이트 전극(115), 또는 게이트 전극(115)을 형성하기 위한 레지스트 마스크를 에칭 마스크로서 사용하여 이 절연막을 에칭함으로써 게이트 절연막(114)을 형성하여도 좋다. 또는 이 절연막은 에칭에 의한 가공 없이 게이트 절연막(114)으로서 사용될 수 있다.

[0157] 다음에 인 등의 n형 전도성을 부여하는 원소 또는 붕소 등의 p형 전도성을 부여하는 원소를 게이트 전극(115) (및 사이드월)이 제공되지 않는 반도체 기판(111)의 영역에 첨가한다. 도 11의 (A)는 이 단계의 단면 개략도다.

[0158] 다음에 절연막(121)을 형성하고 나서, 제 1 가열 처리를 수행하여 전도성을 부여하는 상술한 원소를 활성화시킨다.

[0159] 절연막(121)은 예컨대 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용한 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 절연막(121)은 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 특히, 덤힘률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 이 절연막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0160] 제 1 가열 처리는, 희가스 분위기 또는 질소 가스 분위기 등의 불활성 가스 분위기 또는 감압 분위기에서, 400 °C 이상 기판의 변형점 미만의 온도로 수행될 수 있다.

[0161] 이 단계에서, 제 1 트랜지스터(110)를 형성한다.

[0162] 다음에 절연막(122) 및 절연막(123)을 형성한다.

[0163] 절연막(122)은, 절연막(121)에 사용될 수 있는 재료 중 어느 것을 사용하여 형성될 수 있고, 가열에 의하여 방출되는 수소량을 증가시킬 수 있기 때문에 산소 및 수소를 포함하는 질화 실리콘(SiNOH)을 사용하여 형성되는 것이 바람직하다. 절연막(123)은 절연막(121)에 사용될 수 있는 재료 중 어느 것을 사용하여 형성될 수 있고, TEOS(tetraethyl orthosilicate), 실레인 등이 산소, 아산화 질소 등과 반응함으로써 형성된, 단차 피복이 높은 산화 실리콘을 사용하여 형성되는 것이 바람직하다.

[0164] 절연막(122) 및 절연막(123)은 예컨대 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 특히, 덤힘률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 절연막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0165] 다음에 절연막(123)의 상면을 CMP법 등에 의하여 평탄화한다.

[0166] 그 후, 제 2 가열 처리를 수행하여 반도체막(112)에서의 댕글링 본드를 절연막(122)으로부터 방출된 수소에 의

하여 종단한다.

[0167] 제 2 가열 처리는 상술한 설명의 제 1 가열 처리에서의 예로서 든 조건하에서 수행할 수 있다.

[0168] 그 후, 절연막(124)을 절연막(123) 위에 형성한다.

[0169] 다음에, 저저항층(113a) 및 저저항층(113b), 케이트 전극(115) 등에 도달하도록 개구를 절연막(121), 절연막(122), 절연막(123), 및 절연막(124)에 형성한다. 그 후, 개구를 채우도록 도전막을 형성하고, 이 도전막에 평탄화 처리를 수행하여 절연막(124)의 상면을 노출함으로써 플러그(161), 플러그(162), 플러그(163) 등을 형성한다. 도전막은 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 도 11의 (B)는 이 단계의 단면 개략도다.

[0170] 전극(136)을 절연막(124) 위에 형성한다(도 11의 (C) 참조).

[0171] 다음에, 절연막(125)을 전극(136)을 덮도록 형성하고, 절연막(125)의 상면은 CMP법 등에 의하여 평탄화한다. 절연막(125)이 되는 절연막을 절연막(121) 등과 비슷한 재료 및 방법을 사용하여 형성할 수 있다.

[0172] 절연막(125)이 형성된 후, 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리에 의하여, 물 및 수소가 각 층으로부터 방출되어, 물 및 수소의 함유량을 저감시킬 수 있다. 나중에 설명되는 배리어막(120)이 형성되기 직전에 제 3 가열 처리를 수행하여, 배리어막(120) 아래의 층으로부터 수소 및 물을 철저히 제거하고 나서 배리어막(120)을 형성하는 경우, 나중의 단계에서 배리어막(120) 아래쪽으로 물 및 수소가 확산 및 방출되는 것을 억제할 수 있다.

[0173] 제 3 가열 처리는 상술한 설명의 제 1 가열 처리에서의 예로서 든 조건하에서 수행할 수 있다.

[0174] 다음에, 배리어막(120)을 절연막(125) 위에 형성한다(도 11의 (D) 참조).

[0175] 배리어막(120)은 예컨대 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 특히, 덮힘률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 상기 배리어막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0176] 배리어막(120)이 형성된 후, 배리어막(120)에 포함되는 물 및 수소를 저감하기 위하여 또는 가스의 방출을 억제하기 위하여 가열 처리를 수행하여도 좋다.

[0177] 절연막(126)이 되는 절연막을 배리어막(120) 위에 형성한다. 절연막(126)이 되는 절연막은 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 특히, 덮힘률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 절연막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0178] 절연막(126)이 되는 절연막에 과잉 산소를 포함시키기 위하여, 예컨대 절연막(126)이 되는 절연막은 산소 분위기에서 형성될 수 있다. 또는 과잉 산소를 포함하는 영역은 형성된 절연막(126)이 되는 절연막으로 산소를 주입함으로써 형성되어도 좋다. 양쪽 방법을 조합하여도 좋다.

[0179] 예를 들어, 형성된 절연막(126)이 되는 절연막으로 산소(산소 라디칼, 산소 원자, 및 산소 이온 중 어느 것을 적어도 포함함)를 주입함으로써 과잉 산소를 포함하는 영역을 형성한다. 산소는 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 플라스마 처리 등에 의하여 주입될 수 있다.

[0180] 산소를 포함하는 가스가 산소 주입 처리에 사용될 수 있다. 산소를 포함하는 가스로서, 산소, 일산화 이질소, 이산화 질소, 이산화 탄소, 일산화 탄소 등을 사용할 수 있다. 또한, 희가스가 산소 주입 처리를 위한 산소를 포함하는 가스에 포함되어도 좋다. 예를 들어, 이산화 탄소, 수소, 및 아르곤의 혼합 가스가 사용될 수 있다.

[0181] 절연막(126)이 되는 절연막이 형성된 후, 절연막(126)은 CMP법 등을 사용하여 평탄화 처리를 수행하여 형성되어, 절연막의 상면의 평면도를 향상시킨다(도 12의 (A) 참조).

[0182] 다음에 산화물 반도체막(101a)이 되는 산화물 반도체막(102a) 및 산화물 반도체막(101b)이 되는 산화물 반도체막(102b)을 순차적으로 형성한다. 상기 산화물 반도체막은 대기에 접촉되지 않고 연속적으로 형성되는 것이 바람직하다.

[0183] 산화물 반도체막(102b)을 형성한 후, 제 4 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로, 불활성 가스 분위기, 10ppm 이상의 산화성 가스를

포함하는 분위기, 또는 감압 상태에서, 수행되어도 좋다. 또는 가열 처리를 불활성 가스 분위기에서 수행하고 나서, 방출된 산소를 보충하기 위하여 또 다른 가열 처리를 10ppm 이상의 산화성 가스를 포함하는 분위기에서 수행하는 식으로 가열 처리를 수행하여도 좋다. 가열 처리는 산화물 반도체막(102b)이 형성된 직후 또는 산화물 반도체막(102b)이 섬형상 산화물 반도체막(101b)으로 가공된 후에 수행되어도 좋다. 가열 처리를 통하여 산소가 절연막(126)으로부터 산화물 반도체막으로 공급될 수 있어, 반도체막에서의 산소 빈자리를 저감할 수 있다.

[0184] 다음에, 하드 마스크가 되는 도전막(103) 및 절연막(106)을 산화물 반도체막(102b) 위에 순차적으로 형성한다 (도 12의 (B) 참조). 도전막(103)은 스펀터링법, 증착법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함) 등에 의하여 형성될 수 있다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다. 절연막(106)은, 예컨대 스펀터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 질화 실리콘막, 산화 실리콘막, 산화질화 실리콘막 등을 사용하여 형성될 수 있다. 특히, 덤힐률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 이 절연막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.

[0185] 이하에서 설명된 것은 플러그(161), 플러그(163), 및 전극(136)에 도달시키기 위하여 절연막(106) 및 도전막(103)의 2층을 하드 마스크로서 사용함으로써 산화물 반도체막(102b), 산화물 반도체막(102a), 절연막(126), 배리어막(120), 및 절연막(125)에 미세한 개구를 형성하기 위한 방법의 예다.

[0186] 레지스트 마스크(141)를 상술한 방법과 비슷한 방법을 사용하여 절연막(106) 위에 형성한다. 유기 수지막을 절연막(106)과 레지스트 마스크 사이의 접착성을 향상시키기 위하여 절연막(106)과 레지스트 마스크 사이에 형성하여도 좋다.

[0187] 다음에, 유기 수지막을 레지스트 마스크(141)를 사용하여 에칭한다(도 12의 (C) 참조). 다음에, 절연막(106)을 에칭함으로써 절연막(106a)을 형성한다. 이때, 레지스트 마스크의 에칭 레이트를 절연막의 에칭 레이트보다 낮게 하는 것이 바람직하다. 바꿔 말하면, 레지스트 마스크의 에칭 레이트가 낮으면, 절연막에서의 개구가 횡 방향으로 확대되는 것을 방지할 수 있다(도 13의 (A) 참조).

[0188] 다음에, 도전막(103a1)을 절연막(106a)을 마스크로서 사용하여 도전막(103)을 드라이 에칭함으로써 형성한다. 여기서, 절연막(106a)의 에칭 레이트는 상술한 바와 같은 이유로 낮은 것이 바람직하다. 드라이 에칭에서, 레지스트 마스크(141) 및 유기 수지막(140a)도 에칭됨으로써 후퇴된 레지스트 마스크(141a) 및 유기 수지막(140b)을 형성한다.

[0189] 상술한 스텝을 거쳐, 절연막(106a) 및 도전막(103)을 포함하는 2층의 하드 마스크를 형성할 수 있다(도 13의 (B) 참조).

[0190] 이 2층의 하드 마스크를 사용하여 산화물 반도체막(102b), 산화물 반도체막(102a), 절연막(126), 배리어막(120), 및 절연막(125)을 드라이 에칭함으로써, 미세한 개구를 플러그(161) 및 플러그(163)에 도달하도록 형성 할 수 있다. 동시에, 산화물 반도체막(146a) 및 산화물 반도체막(146b)을 형성한다. 또한, 레지스트 마스크(141a) 및 유기 수지막(140b)은 드라이 에칭에 의하여 소실된다(도 14의 (A) 참조).

[0191] 2층의 하드 마스크에 포함되는 절연막(106a)은 산화물 반도체막(102b) 및 산화물 반도체막(102a), 절연막(126), 배리어막(120), 및 절연막(125)의 드라이 에칭 동안 소실되어도 좋다. 또한 하드 마스크의 다른 부분인 도전막(103)이 과도하게 에칭되는 것을 방지하기 위하여, 에칭 시간을 절연막(106a) 전체가 에칭에 의하여 바로 소실되거나 또는 절연막(106a)의 두께의 10% 정도 과도하게 에칭이 수행되도록 적절히 조정한다(도 14의 (A) 참조). 또는, 절연막(106a)을 의도적으로 남아도 좋고, 이는 절연막(106a)의 두께를 적절히 조정함으로써 달성할 수 있다. 절연막(106a)이 남을 때, 나중의 스텝에서의 CMP스텝의 마지막이 겸지될 때의 스토퍼막으로서 절연막(106a)은 기능하고, 도전막(103a1)의 두께에서의 저감을 방지할 수 있다. 또는, 트랜지스터(100)의 특성의 면에서, 게이트 전극과 소스 전극 사이의 기생 용량 및 게이트 전극과 드레인 전극 사이의 기생 용량을 저감할 수 있다. 또는, 게이트 전극과 소스 전극 사이의 누설 전류 및 게이트 전극과 드레인 전극 사이의 누설 전류를 저감할 수 있다.

[0192] 여기서, 절연막(106a) 및 도전막(103)을 포함하는 2층의 하드 마스크를 형성할 수 있고, 2층의 하드 마스크를 사용하여 산화물 반도체막(102b) 및 산화물 반도체막(102a), 절연막(126), 배리어막(120), 및 절연막(125)을 드라이 에칭함으로써 플러그(161) 및 플러그(163)에 도달하도록 미세한 개구를 형성할 수 있는 드라이 에칭 장치

를 도 3에서의 에칭 장치의 개략도를 참조하여 설명하겠다.

[0193] 도 3에서의 에칭 장치는 3개의 에칭 체임버와, 기판을 각 에칭 체임버로 이동할 때에 일시적으로 기판을 대기시키기 위하여 만들어진 트랜스퍼 체임버와, 각 에칭 체임버에 에칭 가스 등을 공급하는 가스 공급 시스템과, 도시되지 않은, 전원 공급 시스템, 펌프 시스템, 가스 제해 시스템 등을 포함한다.

[0194] 복수종의 막을 포함하는 다층막에서의 미세한 개구를 형성하기 위하여, 평행 평판 에칭 장치, 특히 고밀도 플라스마 발생원 등을 갖는 에칭 장치를 사용하는 것이 요구된다. 또는, 에칭 장치가 복수의 에칭 체임버를 포함하는 것이 바람직하다. 또는, 에칭 장치가, 최적의 에칭 가스가 각 층의 에칭에 적절히 선택되고 복수의 가스가 조합되어 사용되는 가스 공급 시스템을 포함하는 것이 바람직하다.

[0195] 복수종의 막을 포함하는 다층막에서의 미세한 개구가 하나의 에칭 체임버에 형성되어도 좋다. 이 방법에서, 각 층의 에칭을 위한 최적의 에칭 가스가 에칭 체임버로 주입되어도 좋다. 복수의 에칭 체임버를 포함하는 에칭 장치는 복수의 기판을 동시에 가공할 수 있어 생산 효율을 향상시킬 수 있기 때문에 바람직하다. 도 3은 3개의 에칭 체임버를 갖는 에칭 장치의 예를 도시한 것이다.

[0196] 다층막의 에칭이 하나의 에칭 체임버에서 수행되는 경우, 에칭에 주입되는 에칭 체임버에서의 가스가 에칭되는 막의 종류에 따라 최적의 가스로 전환된다. 그러므로, 다양한 에칭 생성물이 에칭 체임버벽에 부착되고 퇴적되는 경우가 있다. 에칭 동안 에칭 생성물이 벗어나고 입자로서 살포되는 경우가 있다. 기판 상의 입자의 부착은 에칭 불량의 원인이 될 수 있다.

[0197] 이런 입자의 생성을 방지하기 위한 방법 중 하나는 상이한 에칭 체임버에서 상이한 종류의 막을 에칭하는 것이다. 하나의 예로서, 체임버 A에서 하드 마스크가 되는 막을 에칭하는 방법 및 체임버 B에서 다른 막을 에칭하는 방법을 이하에서 설명하겠다.

[0198] 먼저, 기판을 에칭 체임버 A로 도입하고, 유기 수지막, 절연막(106), 및 도전막(103)을 에칭한다. 유기 수지막은 예컨대 CF_4 가스를 사용하여 에칭되어도 좋다. 절연막(106)은 예컨대 O_2 가스가 CHF_3 가스에 첨가된 혼합 가스를 사용하여 에칭되어도 좋다. 도전막(103)이 예컨대 CF_4 가스, Cl_2 가스, 및 O_2 가스의 혼합 가스를 사용하여 에칭되어도 좋다. 그 후, 기판을 에칭 체임버 A로부터 트랜스퍼 체임버를 통하여 에칭 체임버 B로 도입하고, 산화물 반도체막(102b), 산화물 반도체막(102a), 절연막(126), 배리어막(120), 및 절연막(125)을 에칭한다. 산화물 반도체막(102b) 및 산화물 반도체막(102a)은 예컨대 Ar 가스가 CHF_3 가스에 첨가된 혼합 가스를 사용하여 에칭되어도 좋다. 절연막(126)은 예컨대 Ar 가스와 O_2 가스가 혼합된 C_4F_6 가스를 사용하여 에칭되어도 좋다. 배리어막(120) 및 절연막(125)이 예컨대 Ar 가스가 CHF_3 가스에 첨가된 혼합 가스를 사용하여 에칭되어도 좋다. 그 후, 상술한 바와 비슷한 식으로 기판이 에칭 체임버 B로부터 에칭 체임버 C로 이동되고, 애성이 수행된다. 애성 가스로서, 예컨대 O_2 가스가 사용되어도 좋다.

[0199] 상술한 예에 따라, 더 많은 막을 포함하는 다층막에서도 미세한 개구를 형성할 수 있다.

[0200] 상술한 예에서의 에칭 장치는 복수의 에칭 체임버가 필요하다. 하지만, 기판을, 체임버들 사이를 이동하는 동안조차 항상 대기에 노출되지 않고 진공으로 이동함으로써 안정된 에칭을 수행할 수 있다. 또한, 막의 종류에 따라 에칭이 수행되기 때문에, 각 에칭 체임버에서의 처리 시간을 짧게 할 수 있어, 생산 효율을 향상시킬 수 있다.

[0201] 다음에, 도전막을 도전막(103a1) 위 및 상술한 바와 같이 형성된 개구 내에 형성한다. 개구가 도전막으로 채워진다. 상기 도전막은 스퍼터링법, 증착법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함) 등에 의하여 형성될 수 있다. 플라스마 대미지를 저감시키기 위하여 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다. 다음에, 도전막(103a1) 위에 형성된 도전막을 도전막(103a1)의 표면이 노출될 때까지 CMP법에 의하여 연마한다. 이때, 절연막(106a)이 남은 경우, 절연막(106a)은 CMP 스토퍼막으로서 기능한다. 따라서, 플러그(164) 및 플러그(166)를 형성할 수 있다(도 14의 (B) 참조).

[0202] 다음에, 레지스트 마스크를 상술한 바와 비슷한 방법으로 형성하고, 섬형상 도전막(103a2)을 도전막(103a1)의 불필요한 부분을 에칭함으로써 형성한다. 이 후, 산화물 반도체막의 불필요한 부분을 섬형상 도전막(103a2)을 마스크로서 사용하여 에칭함으로써 제거한다. 그 후, 레지스트 마스크를 제거한다. 이와 같이 하여, 섬형상 산화물 반도체막(101a) 및 섬형상 산화물 반도체막(101b)을 포함하는 적층 구조를 형성할 수 있다(도 15의 (A) 참조).

- [0203] 동시에, 전극(103c), 섬형상 산화물 반도체막(131a), 및 섬형상 산화물 반도체막(131b)을 포함하는 적층 구조를 형성할 수 있다.
- [0204] 다음에, 상술한 바와 비슷한 방법에 의하여 레지스트 마스크를 섬형상 도전막(103a2) 위에 형성하고, 섬형상 도전막(103a2)의 불필요한 부분을 상기 마스크를 사용하여 에칭한다. 이와 같이 하여, 소스 및 드레인 전극으로서 기능하는 전극(103a) 및 전극(103b)을 형성할 수 있다(도 15의 (B) 참조).
- [0205] 다음에, 산화물 반도체막(101c), 게이트 절연막(104), 및 게이트 전극(105)을 형성한다(도 16의 (A) 참조).
- [0206] 이 단계에서, 제 2 트랜지스터(100)를 형성한다.
- [0207] 다음에, 절연막(107)을 형성한다. 절연막(107)을 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성할 수 있다. 특히, 덮힘률을 더 향상시킬 수 있기 때문에 CVD법, 더 바람직하게는 플라스마 CVD법에 의하여 이 절연막이 형성되는 것이 바람직하다. 플라스마 대미지를 저감시키기 위하여, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.
- [0208] 절연막(107)을 형성한 후, 제 5 가열 처리를 수행하는 것이 바람직하다. 가열 처리를 통하여, 절연막(126) 등으로부터 산화물 반도체막(101b)으로 산소가 공급될 수 있어, 산화물 반도체막(101b)에서의 산소 빈자리를 저감할 수 있다. 이때, 절연막(126)으로부터 방출되는 산소를 배리어막(120) 및 절연막(107)에 의하여 차단하고 배리어막(120) 아래의 층 및 절연막(107) 위의 층으로 확산되지 않기 때문에, 산소를 효과적으로 거둘 수 있다. 따라서, 산화물 반도체막(101b)에 공급되는 산소의 양이 증가될 수 있어 산화물 반도체막(101b)에서의 산소 빈자리를 효과적으로 저감할 수 있다.
- [0209] 다음에, 절연막(108) 및 절연막(127)을 순차적으로 형성한다(도 16의 (B) 참조). 절연막(108) 및 절연막(127)이 예컨대 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법, APCVD법(atmospheric pressure CVD) 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 형성될 수 있다. 특히, 절연막(108)이 DC 스퍼터링법에 의하여 형성되는 것이 바람직하고, 이 경우 배리어성이 높은 막을 높은 생산성으로 두껍게 형성될 수 있다. 덮힘률을 바람직하게 할 수 있기 때문에 ALD법에 의하여 절연막(108)이 형성되는 것도 바람직하다. 절연막(127)이 유기 수지 등의 유기 절연 재료를 사용하여 형성되는 경우, 스판 코팅법 등의 코팅법이 사용되어도 좋다. 절연막(127)이 형성된 후, 이의 상면에 평탄화 처리가 수행되는 것이 바람직하다. 가열 처리에 의한 유동화를 통하여 평탄화되어도 좋다. 더 높은 평탄성을 달성하기 위하여, 절연막(127)이 형성된 후, 절연막이 CVD법에 의하여 적층되고 이의 상면에 평탄화 처리가 수행되는 것이 바람직하다.
- [0210] 다음에, 상술한 바와 비슷한 방법에 의하여, 절연막(127), 절연막(108), 및 절연막(107)에 개구를 형성하고, 플러그(164)에 도달하는 플러그(167), 게이트 전극(105)에 도달하는 플러그(168), 및 플러그(166)에 도달하는 플러그(169)를 형성한다(도 16의 (B) 참조).
- [0211] 다음에, 절연막(128)을 형성한다. 또한 절연막(127)의 설명은 절연막(128)을 위하여 참조할 수 있다.
- [0212] 다음에, 상술한 바와 비슷한 방법에 의하여, 개구를 절연막(128)에 형성하고, 플러그(167)에 도달하는 플러그(170), 플러그(168)에 도달하는 플러그(171), 및 플러그(169)에 도달하는 플러그(172)를 형성한다.
- [0213] 다음에, 플러그(170)와 전기적으로 접속되는 전극(173), 플러그(171)와 전기적으로 접속되는 전극(174), 및 플러그(172)와 전기적으로 접속되는 전극(175)이 형성된다(도 1의 (B) 참조).
- [0214] 상술한 스텝을 거쳐, 본 발명의 일 형태에서의 반도체 장치를 제조할 수 있다.
- [0215] <변형 예 1>
- [0216] 본 실시형태의 변형예에서, 도 17에 도시된 바와 같이 커패시터(130)를 제 1 트랜지스터(110)와 제 2 트랜지스터(100) 사이에 제공하여도 좋다. 커패시터는 제 2 트랜지스터(100) 위에 위치하여도 좋다. 구체적으로, 커패시터(130)의 한쪽 전극인 전극(136)이 제 2 트랜지스터(100)의 소스 및 드레인 중 한쪽 및 제 1 트랜지스터(110)의 게이트에 전기적으로 접속된다. 절연막(137)이 커패시터(130)의 전극(136) 위에 제공되고, 커패시터(130)의 다른 쪽 전극인 전극(138)이 절연막(137) 위에 제공된다. 또한 전극(138)이 배선(CL)에 전기적으로 접속된다. 전극(136)은 플러그(165)를 통하여 전극(103b)과 전기적으로 접속된다.
- [0217] 상술한 구조에서, 제 2 트랜지스터(100) 및 커패시터(130)가 제 1 트랜지스터(110)로 차지되는 면적 내에 제공되기 때문에, 소자로 차지되는 면적을 저감할 수 있다.

- [0218] 배선(180)은 플러그(161)와 플러그(164) 사이에 제공되어도 좋고, 배선(181)은 플러그(163)와 플러그(166) 사이에 제공되어도 좋다. 다른 플러그들 사이에서, 배선이 마찬가지로 제공되어도 좋다. 이런 구조는 마스크 배향에 높은 정밀도가 필요하지 않고 반도체 장치를 제조하는 수율에서의 저하를 억제할 수 있다.
- [0219] <변형예 2>
- [0220] 본 실시형태의 또 다른 변형예는 도 18에 도시된 구조다. 도 1의 (A) 및 (B)와의 차이는 2층의 하드 마스크 중 절연막(106a)이 의도적으로 남는 점이다. 절연막(106a)은 CMP 스토퍼막으로서 기능하고 도전막(103a1)의 두께에서의 저하를 방지할 수 있다. 또는 게이트 전극과 소스 전극 사이의 기생 용량 및 게이트 전극과 드레인 전극 사이의 기생 용량을 저감할 수 있다. 또는, 게이트 전극과 소스 전극 사이의 누설 전류 및 게이트 전극과 드레인 전극 사이의 누설 전류를 저감할 수 있다.
- [0221] <변형예 3>
- [0222] 본 실시형태의 또 다른 변형예는, 도 19에 도시된 바와 같이 제 1 트랜지스터(110)의 게이트 전극(115)이 제 2 트랜지스터(100)의 게이트 전극(105)과 중첩되지 않는 구조다.
- [0223] <변형예 4>
- [0224] 본 실시형태의 또 다른 변형예는 이하와 같이 얻어진 도 20의 (A)에서의 구조다. 절연막(128)을 형성한 후, 상술한 바와 비슷한 방법에 의하여 저저항층(113a) 및 저저항층(113b) 및 제 2 트랜지스터(100)의 게이트 전극(105)에 도달되도록 개구가 제공되고, 플러그(170), 플러그(171), 및 플러그(172)를 저저항층(113a), 제 2 트랜지스터(100)의 게이트 전극(105), 및 저저항층(113b) 각각에 도달하도록 형성하고, 전극(173), 전극(174), 및 전극(175)을 플러그(170), 플러그(171), 및 플러그(172) 각각에 전기적으로 접속하도록 형성한다. 상술한 바와 같이 개구가 상이한 종류의 막에 형성되는 경우, 막의 일부를 도 20의 (B)에 도시된 바와 같이 단면도에서 움푹 들어갈 수 있다. 이런 형상은 움푹 들어가는 부분의 막의 에칭 레이트가 움푹 들어가는 부분의 위 및 아래의 막보다 높을 때에 형성될 수 있지만, 플러그의 형성에는 영향을 미치지 않는다. 움푹 들어가는 부분은, 전기적 접촉 면적이 넓기 때문에 트랜지스터의 온 상태 특성을 향상시킬 수 있다.
- [0225] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것을 적절히 조합하여 실시할 수 있다.
- [0226] (실시형태 2)
- [0227] 본 실시형태에서, 상술한 실시형태에 설명된 반도체 장치에 포함되는 트랜지스터에서의 산화물 반도체막에 적용될 수 있는 일 형태를 설명한다.
- [0228] 산화물 반도체는 예컨대 비단결정 산화물 반도체와 단결정 산화물 반도체로 분류된다. 또는 산화물 반도체는 예컨대 결정성 산화물 반도체와 비정질 산화물 반도체로 분류된다.
- [0229] 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체가 포함된다. 또한, 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.
- [0230] 먼저, CAAC-OS를 설명한다.
- [0231] CAAC-OS는 복수의 c축이 배향된 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나다.
- [0232] TEM(transmission electron microscope)을 사용하여 얻어지는, CAAC-OS의 명시야상 및 회절 패턴의 결합된 분석 이미지(고해상도 TEM 이미지라고도 함)에서, 복수의 펠릿이 관찰될 수 있다. 하지만 고해상도 TEM 이미지에서, 펠릿들 사이의 경계, 즉 그레인 바운더리는 명료하게 관찰되지 않는다. 따라서, CAAC-OS에서, 그레인 바운더리로 인한 전자 이동도에서의 감소는 일어나기 어렵다.
- [0233] 도 33의 (A)는 샘플 표면에 실질적으로 평행한 방향으로부터 얻어지는 CAAC-OS의 단면의 고해상도 TEM 이미지의 예를 나타낸 것이다. 여기서 TEM 이미지는 구면 수차 보정(Spherical Aberration Corrector) 기능으로 얻어진다. 이하의 설명에서 구면 수차 보정 기능에 의하여 얻어진 고해상도 TEM 이미지는 특히 Cs보정 고해상도 TEM 이미지라고 한다. 또한, Cs보정 고해상도 TEM 이미지는 예컨대 JEOL Ltd. 제의 원자 분해능 전자 현미경 JEM-ARM200F에 의하여 얻어질 수 있다.
- [0234] 도 33의 (B)는 도 33의 (A)에서의 영역 (1)의 확대된 Cs보정 고해상도 TEM 이미지다. 도 33의 (B)는 펠릿에서,

금속 원자가 층상으로 배열된 것을 나타낸 것이다. 금속 원자의 각 층은, 위에 CAAC-OS가 형성되는 면(이하, 이 면을 형성면이라고 함) 또는 CAAC-OS의 상면의 요철을 반영한 구성을 갖고, CAAC-OS의 형성면 또는 상면에 평행하게 배열된다.

[0235] 도 33의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 상기 특징적인 원자 배열은 도 33의 (C)에서의 보조선에 의하여 나타내어진다. 도 33의 (B) 및 (C)는 펠릿의 사이즈가 1nm~3nm 정도이고, 펠릿들의 기울기로 인한 공간의 사이즈가 0.8nm 정도인 것을 입증한다. 그러므로 펠릿은 나노결정(nc)이라고도 할 수 있다.

[0236] 여기서, Cs보정 고해상도 TEM 이미지에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 개략적인 배열은 벽돌 또는 블록이 적층된 구조에 의하여 도시되었다(도 33의 (D) 참조). 도 33의 (C)에 관찰된 바와 같이, 펠릿들이 기운 부분은 도 33의 (D)에 나타낸 영역(5161)에 상당한다.

[0237] 예를 들어, 도 34의 (A)에 나타낸 바와 같이, 샘플 표면에 실질적으로 수직인 방향으로부터 얻어진 CAAC-OS의 평면의 Cs보정 고해상도 TEM 이미지가 관찰된다. 도 34의 (B), (C), 및 (D)는 각각 도 34의 (A)에서의 영역 (1), 영역(2), 및 영역(3)의 확대된 Cs보정 고해상도 TEM 이미지다. 도 34의 (B), (C), 및 (D)는, 금속 원자들이 펠릿에서 삼각형, 사각형, 또는 육각형 구조로 배열되어 있는 것을 가리킨 것이다. 하지만, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 없다.

[0238] 예를 들어, X선 회절(XRD: X-ray diffraction) 장치를 사용하여 out-of-plane법에 의하여 InGaZnO₄ 결정을 포함하는 CAAC-OS의 구조를 분석하면, 도 35의 (A)에 나타낸 바와 같이 회절각(2θ)이 31° 부근에서 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래한 것으로, CAAC-OS의 결정이 c축 배향을 갖고 c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다.

[0239] 또한, out-of-plane법에 의한 InGaZnO₄ 결정을 포함하는 CAAC-OS의 구조 분석에서, 31° 부근의 2θ의 피크에 더하여 2θ가 36° 부근일 때에 또 하나의 피크가 나타날 수 있다. 36° 부근의 2θ의 피크는 CAAC-OS의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS에서는, 2θ가 31° 부근일 때 피크가 나타나고 2θ가 36° 부근일 때 피크가 나타나지 않는 것이 바람직하다.

[0240] 한편, c축에 실질적으로 수직인 방향으로 샘플에 대하여 X선이 입사되는 in-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ가 56° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (110)면에서 유래한다. CAAC-OS의 경우, 2θ를 56° 부근에 고정하고 샘플 표면의 볍선 벡터를 축(ϕ축)으로서 사용하여 샘플을 회전시켜 분석(ϕ 스캔)을 수행하면, 도 35의 (B)에 나타낸 바와 같이 피크가 명확하게 관찰되지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체의 경우, 2θ를 56° 부근에 고정하여 ϕ 스캔을 수행하면, 도 35의 (C)에 나타낸 바와 같이 (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석은, CAAC-OS에서 a축 및 b축의 방향이 상이한 것을 나타낸다.

[0241] 다음에, 도 36의 (A)는 프로브 직경이 300nm인 전자빔이 샘플 표면에 평행한 방향으로 CAAC-OS인 In-Ga-Zn 산화물에 입사되는 바와 같이 하여 얻어진 회절 패턴(제한 시야 투파 전자 회절 패턴이라고도 함)을 나타낸 것이다. 도 36의 (A)에 나타낸 바와 같이, 예컨대 InGaZnO₄ 결정의 (009)면에서 유래하는 스폷이 관찰된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펠릿이 c축 배향을 갖고 c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것도 가리킨다. 한편, 도 36의 (B)는, 프로브 직경이 300nm인 전자빔을 샘플 표면에 수직인 방향으로 샘플 표면에 대하여 입사함으로써 얻어지는 회절 패턴을 나타낸 것이다. 도 36의 (B)에 나타낸 바와 같이 고리형의 회절 패턴이 관찰된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 규칙적인 배향을 갖지 않는 것도 가리킨다. 도 36의 (B)에서의 제 1 고리는 InGaZnO₄ 결정의 (010)면, (100)면 등에서 유래하는 것으로 생각된다. 도 36의 (B)에서의 제 2 고리는 (110)면 등에서 유래하는 것으로 생각된다.

[0242] 상술한 바와 같이 하여 형성면 또는 상면에 펠릿(나노결정)의 c축이 실질적으로 수직의 방향으로 배열되기 때문에, CAAC-OS는 CANC(c-axis aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0243] CAAC-OS는 불순물 농도가 낮은 산화물 반도체다. 불순물이란 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의, 산화물 반도체의 주성분 외의 원소를 의미한다. 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 강한 원소(구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이 결과 산화물 반도체의 원자 배열이 어지러워지고 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등을 원자 반경(또는

분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽혀 결정성을 저하시킨다. 따라서, 산화물 반도체에 포함되는 불순물을 캐리어트랩 또는 캐리어 발생원으로서 기능할 수 있다.

[0244] 또한, CAAC-OS는 결합 상태의 밀도가 낮은 산화물 반도체다. 예를 들어, 산화물 반도체에서의 산소 빈자리는 캐리어 트랩으로서 기능하거나 또는 수소가 이에 포획되면 캐리어 발생원으로서 기능한다.

[0245] CAAC-OS를 사용하는 트랜지스터에서, 가시광 또는 자외광의 조사로 인한 전기적 특성에서의 변화는 작다.

[0246] 다음에, 미결정 산화물 반도체를 설명한다.

[0247] 미결정 산화물 반도체는 고해상도 TEM 이미지에서 결정부가 관찰되는 영역, 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, 미결정 산화물 반도체에 포함되는 결정부의 사이즈는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하다. 1nm 이상 10nm 이하의 사이즈, 또는 1nm 이상 3nm 이하의 사이즈를 갖는 미결정인 나노결정을 포함하는 산화물 반도체를 특히 nc-OS(nanocrystalline oxide semiconductor)라고 한다. nc-OS의 고해상도 TEM 이미지에서, 예컨대 그레인 바운더리가 명확히 관찰되지 않는 경우가 있다. 또한, 나노결정의 기원은 CAAC-OS의 펠릿과 동일한 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펠릿이라고 할 수 있다.

[0248] nc-OS에서 미소한 영역(예컨대 1nm 이상 10nm 이하의 사이즈를 갖는 영역, 특히 1nm 이상 3nm 이하의 사이즈를 갖는 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향이 균일하지 않다. 따라서, 분석 방법에 따라, nc-OS를 비정질 산화물 반도체와 구별할 수 없다. 예를 들어, 펠릿의 사이즈보다 큰 직경을 갖는 X선을 사용하는 XRD 장치로 out-of-plane법에 의하여 nc-OS의 구조 분석이 수행되면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 펠릿의 사이즈보다 큰 프로브 직경(예컨대, 50nm 이상)의 전자빔을 사용하여 nc-OS의 전자 회절(이 전자 회절을 제한 시야 전자 회절이라고도 함)이 수행되면, 헤일로(halo) 패턴과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 펠릿의 사이즈와 가깝거나 펠릿의 사이즈보다 작은 전자빔을 적용하면, nc-OS의 나노빔 전자 회절 패턴에 스포트이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에, 휙도가 높은 원(고리)형 패턴을 갖는 영역이 나타나는 경우가 있다. nc-OS의 나노빔 전자 회절 패턴에서도 고리형 영역에 복수의 스포트이 나타나는 경우가 있다.

[0249] 상술한 바와 같이, 펠릿들(나노결정들) 사이에 결정 배향의 규칙성이 없기 때문에, nc-OS를 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0250] nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체다. 따라서, nc-OS는 비정질 산화물 반도체보다 결합 상태의 밀도가 낮은 경향이 있다. 또한, nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결합 상태의 밀도가 높다.

[0251] 다음에, 비정질 산화물 반도체를 설명한다.

[0252] 비정질 산화물 반도체는 어지러워진 원자 배열을 갖고 결정부를 갖지 않고, 석영과 같은 무정형 상태에 존재하는 산화물 반도체에 의하여 예시되는, 산화물 반도체다.

[0253] 비정질 산화물 반도체의 고해상도 TEM 이미지에서 결정부를 찾을 수 없다.

[0254] XRD 장치에 의하여 out-of-plane법으로 비정질 산화물 반도체의 구조 분석이 수행되면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체에 전자 회절이 수행되면 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체에 나노빔 전자 회절이 수행되면 스포트이 관찰되지 않고 헤일로 패턴이 나타난다.

[0255] 비정질 구조의 견해는 여러 가지 있다. 예를 들어, 원자 배열이 전혀 질서를 갖지 않는 구조를 완전한 비정질 구조(completely amorphous structure)라고 부른다. 한편, 최근접 원자간 거리 또는 제 2 근접 원자간 거리까지 질서를 갖지만 장거리 질서를 갖지 않는 구조를 비정질 구조라고도 부른다. 따라서 가장 엄격한 정의에서는 원자 배열에 무시하여도 될 정도라도 질서가 존재하기만 하면, 산화물 반도체를 비정질 산화물 반도체라고 부르는 것을 인가(認可)하지 않는다. 적어도 장거리 질서를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부를 수는 없다. 따라서, 예컨대 CAAC-OS 및 nc-OS는 결정부가 존재하기 때문에 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 부를 수 없다.

[0256] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체 사이의 중간의 물성을 갖는 구조를 가질 수 있다. 이러한 구조를 갖는 산화물 반도체를 구체적으로 a-like OS(amorphous-like oxide semiconductor)라고 한다.

[0257] a-like OS의 고해상도 TEM 이미지에서는 보이드(void)가 관찰될 수 있다. 또한, 고해상도 TEM 이미지에서 결정

부가 명확히 관찰되는 영역, 및 결정부가 관찰되지 않는 영역이 있다.

[0258] 산화물 반도체의 구조들 사이에서의 전자 조사의 영향의 차이를 이하에서 설명한다.

[0259] a-like OS, nc-OS, 및 CAAC-OS를 준비한다. 각 샘플은 In-Ga-Zn 산화물이다.

[0260] 먼저, 각 샘플의 고해상도 단면 TEM 이미지를 얻는다. 고해상도 단면 TEM 이미지는, 모든 샘플이 결정부를 갖는 것을 나타낸다.

[0261] 그리고, 각 샘플의 결정부의 사이즈를 측정한다. 도 37은 각 샘플의 결정부(22지점~45지점)의 평균 사이즈의 변화를 나타낸 것이다. 도 37은, a-like OS에서의 결정부 사이즈가 누적 전자 선량의 증가에 따라 증대되는 것을 가리킨 것이다. 구체적으로는 도 37에서 (1)로 나타낸 바와 같이, TEM 관찰의 시작에서의 1.2nm 정도의 결정부(이 결정부는 초기 핵이라고도 함)가, 누적 전자 선량이 $4.2 \times 10^8 e^-/\text{nm}^2$ 에서 2.6nm 정도의 사이즈로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부 사이즈는 누적 전자 선량에 상관없이 전자 조사의 시작부터 $4.2 \times 10^8 e^-/\text{nm}^2$ 의 누적 전자 선량까지의 변화가 거의 없는 것을 나타낸다. 구체적으로는, 도 37에서의 (2)로 나타낸 바와 같이 TEM에 의한 관찰 시간에 상관없이 평균 결정 사이즈는 1.4nm 정도다. 또한, 도 37에서의 (3)으로 나타낸 바와 같이 TEM에 의한 관찰 시간에 상관없이 평균 결정 사이즈는 2.1nm 정도다.

[0262] 이와 같이, TEM관찰에 채용되는 미량의 전자빔으로 유발되는 a-like OS의 결정으로 인하여 결정부의 성장이 일어난다. 한편, 양질의 nc-OS 및 CAAC-OS에서, 결정화는 TEM관찰에 사용된 미량의 전자빔에 의하여 일어나기 어렵다.

[0263] 또한, a-like OS 및 nc-OS에서의 결정부 사이즈는 고해상도 TEM 이미지를 사용하여 측정될 수 있다. 예를 들어, InGaZnO_4 결정은 In-0층과 Ga-Zn-0층이 포함되는 층상 구조를 갖는다. InGaZnO_4 결정의 단위 격자는, 3개의 In-0층과 6개의 Ga-Zn-0층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는다. 따라서 인접한 층들 사이의 거리는 (009)면의 격자 간격(d값이라고도 함)과 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 고해상도 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 초점을 맞추면, 격자 줄무늬들 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 각 격자 줄무늬는 InGaZnO_4 결정의 a-b면에 상당한다.

[0264] 또한 산화물 반도체의 밀도는 그 구조에 따라 변동되는 경우가 있다. 예를 들어, 산화물 반도체의 조성이 결정되면, 이 산화물 반도체의 밀도와 이 산화물 반도체와 동일한 조성을 갖는 단결정 산화물 반도체의 밀도를 비교하여 이 산화물 반도체의 구조를 추정할 수 있다. 예를 들어, a-like OS의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 예를 들어, nc-OS 및 CAAC-OS 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 퇴적되기 어렵다.

[0265] 상술한 설명의 구체적인 예를 든다. 예를 들어, 원자수비가 $\text{In:Ga:Zn}=1:1:1$ 인 산화물 반도체의 경우, 능면체정 구조를 갖는 단결정 InGaZnO_4 의 밀도는 $6.357\text{g}/\text{cm}^3$ 이다. 따라서, 원자수비가 $\text{In:Ga:Zn}=1:1:1$ 인 산화물 반도체의 경우, a-like OS의 밀도는 $5.0\text{g}/\text{cm}^3$ 이상 $5.9\text{g}/\text{cm}^3$ 미만이다. 예를 들어, 원자수비가 $\text{In:Ga:Zn}=1:1:1$ 인 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 $5.9\text{g}/\text{cm}^3$ 이상 $6.3\text{g}/\text{cm}^3$ 미만이다.

[0266] 또한, 특정의 조성을 갖는 산화물 반도체가 단결정 구조에 존재할 수 없을 가능성이 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체들을 적절한 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 동등한 밀도를 산출할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이 상이한 단결정 산화물 반도체들의 조합비에 따르는 각종 평균을 사용하여 계산할 수 있다. 또한, 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다.

[0267] 또한 산화물 반도체는 예컨대 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS 중 2개 이상의 막을 포함하는 적층막이어도 좋다.

[0268] 불순물 농도가 낮고 결함 상태의 밀도가 낮은(산소 빈자리의 개수가 적은) 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 따라서 이런 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. CAAC-OS 및 nc-OS는 a-like OS 및 비정질 산화물 반도체에 비하여 불순물 농도가 낮고 결함 상태의 밀도가 낮다. 즉, CAAC-OS 및 nc-OS는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다.

따라서, CAAC-OS 또는 nc-OS를 포함하는 트랜지스터는 좀처럼 음의 문턱 전압을 갖지 않는다(좀처럼 노멀리 온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 따라서 CAAC-OS 또는 nc-OS를 포함하는 트랜지스터는 전기적 특성에서의 변동이 작고 신뢰성이 높다. 산화물 반도체의 캐리어 트랩에 의하여 포획된 전하는 방출될 때까지 긴 시간이 걸린다. 포획된 전하는 고정 전하처럼 작용할 수 있다. 따라서, 불순물 농도가 높고 결함 상태의 밀도가 높은 산화물 반도체를 포함하는 트랜지스터는 불안정한 전기적 특성을 가질 수 있다.

[0269] <퇴적 모델>

[0270] CAAC-OS 및 nc-OS의 퇴적 모델의 예에 대하여 이하에서 설명한다.

[0271] 도 38의 (A)는 스퍼터링법에 의하여 CAAC-OS를 퇴적하는 퇴적 채임버 내의 개략도다.

[0272] 타깃(5130)이 백킹 플레이트(backing plate)에 부착된다. 백킹 플레이트를 개재하여 타깃(5130)과 대향하도록 복수의 마그넷이 제공된다. 복수의 마그넷은 자기장을 생성한다. 마그넷의 자기장을 이용하여 퇴적 속도를 증가시키는 스퍼터링법을 마그네트론 스퍼터링법이라고 한다.

[0273] 타깃(5130)은 벽개(劈開)면이 적어도 하나의 결정 입자에 존재하는 다결정 구조를 갖는다.

[0274] In-Ga-Zn 산화물을 포함하는 타깃(5130)의 벽개면을 예로서 설명한다. 도 39의 (A)는 타깃(5130)에 포함되는 InGaZnO_4 결정의 구조를 나타낸 것이다. 또한 도 39의 (A)는 c축이 상방 방향에 있을 때, b축에 평행한 방향으로부터 InGaZnO_4 결정이 관찰되는 경우의 구조를 나타낸 것이다.

[0275] 도 39의 (A)는 Ga-Zn-O층에서의 산소 원자가 인접한 Ga-Zn-O층에서의 것들과 가까이에 위치하는 것을 가리킨 것이다. 산소 원자는 음의 전하를 갖기 때문에, 2개의 Ga-Zn-O층이 서로 반발한다. 결과적으로, InGaZnO_4 결정은 인접된 2개의 Ga-Zn-O층 사이에 벽개면을 갖는다.

[0276] 기판(5120)은 타깃(5130)과 대향하도록 배치되고, 거리 d (타깃-기판 거리(T-S 거리)라고도 함)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하다. 퇴적 채임버는 대부분이 퇴적 가스(예컨대, 산소 가스, 아르곤 가스, 또는 산소를 5vol% 이상 함유하는 혼합 가스)로 채워져 있고, 퇴적 채임버의 압력은 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 타깃(5130)에 일정한 값 이상의 전압을 인가함으로써 방전이 시작되고, 플라스마가 관찰된다. 자기장은 타깃(5130) 부근에 고밀도 플라스마 영역을 형성한다. 고밀도 플라스마 영역에서는 퇴적 가스가 이온화되어, 이온(5101)이 발생된다. 이온(5101)의 예에는 산소의 양이온(O^+) 및 아르곤의 양이온(Ar^+)이 포함된다.

[0277] 이온(5101)은, 전기장에 의하여 타깃(5130) 쪽으로 가속되어, 타깃(5130)과 충돌한다. 이때, 벽개면으로부터 평판상(펠릿상)의 스퍼터링 입자인 펠릿(5100a) 및 펠릿(5100b)이 분리되어, 스퍼터링된다. 또한, 펠릿(5100a) 및 펠릿(5100b)의 구조는 이온(5101)의 충돌의 충격에 의하여 왜곡될 수 있다.

[0278] 펠릿(5100a)은 삼각형의 평면, 예컨대 정삼각형의 평면을 갖는 평판상(펠릿상)의 스퍼터링 입자다. 펠릿(5100b)은 육각형의 평면, 예컨대 정육각형의 평면을 갖는 평판상(펠릿상)의 스퍼터링 입자다. 또한, 펠릿(5100a) 및 펠릿(5100b) 등의 평판상(펠릿상)의 스퍼터링 입자를 통틀어 펠릿(5100)이라고 부른다. 펠릿(5100)의 평평한 면의 형상은 삼각형 또는 육각형에 한정되지 않는다. 예를 들어, 평평한 면이 2개 이상의 삼각형이 조합되어 형성된 형상을 가져도 좋다. 예를 들어, 2개의 삼각형(예컨대 정삼각형)이 조합되어 사각형(예컨대 마름모)이 형성되어도 좋다.

[0279] 펠릿(5100)의 두께는 퇴적 가스의 종류 등에 따라 결정된다. 펠릿(5100)의 두께는 균일한 것이 바람직하고, 이 이유는 후술한다. 또한, 스퍼터링 입자는 두께가 두꺼운 주사위 형상에 비하여 두께가 얇은 펠릿 형상을 갖는 것이 바람직하다. 예를 들어, 펠릿(5100)의 두께는 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하다. 또한, 예컨대, 펠릿(5100)의 폭은 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하다. 펠릿(5100)은 도 37의 (1)의 설명에서의 초기 핵에 상당한다. 예를 들어, In-Ga-Zn 산화물을 포함하는 타깃(5130)에 이온(5101)이 충돌하는 경우, 도 39의 (B)에 나타낸 바와 같이 Ga-Zn-O층, In-O층, 및 Ga-Zn-O층의 3층을 포함하는 펠릿(5100)이 분리된다. 또한, 도 39의 (C)는 c축에 평행한 방향으로부터 관찰한 펠릿(5100)의 구조를 나타낸 것이다. 따라서 펠릿(5100)은 2개의 Ga-Zn-O층(빵)과 In-O층(속재료)을 포함하는 나노미터 크기의 샌드위치 구조를 갖는다.

[0280] 펠릿(5100)은, 플라스마를 통과할 때에 전하를 받아, 그 측면이 음 또는 양으로 대전될 수 있다. 펠릿(5100)은

측면에 산소 원자를 포함하고 이 산소 원자가 음으로 대전될 수 있다. 이와 같이 측면들이 동일한 극성으로 대전되면 전하들이 서로 반발하기 때문에, 펠릿(5100)이 평판 형상을 유지할 수 있게 된다. CAAC-OS가 In-Ga-Zn 산화물인 경우, 인듐 원자에 결합된 산소 원자가 음으로 대전될 가능성 있다. 인듐 원자, 갈륨 원자, 또는 아연 원자에 결합된 산소 원자가 음으로 대전될 가능성도 있다. 또한 펠릿(5100)은, 플라스마를 통과할 때에 인듐 원자, 갈륨 원자, 아연 원자, 산소 원자 등에 결합됨으로써 성장할 수 있다. 도 37의 (2)와 (1) 사이의 사이즈의 차이는 플라스마에서의 성장의 양에 상당한다. 여기서, 기판(5120)의 온도가 실온 정도인 경우, 펠릿(5100)은 더 이상 성장하지 않기 때문에 nc-OS가 형성된다(도 38의 (B) 참조). nc-OS의 퇴적은 실온 정도의 온도에서 행해지기 때문에, 기판(5120)이 큰 사이즈일 때에 nc-OS를 퇴적할 수 있다. 또한, 펠릿(5100)을 플라스마에서 성장시키기 위해서는, 스퍼터링에서의 퇴적 전력을 증가시키는 것이 효과적이다. 퇴적 전력을 높게 함으로써 펠릿(5100)의 구조를 안정화할 수 있다.

[0281] 도 38의 (A) 및 (B)에 나타낸 바와 같이, 펠릿(5100)은 플라스마에서 연과 같이 날아, 기판(5120)까지 훨훨 날아오른다. 펠릿(5100)은 대전되기 때문에, 펠릿(5100)이, 또 다른 펠릿(5100)이 이미 퇴적된 영역에 가까워지면 반발이 일어난다. 여기서, 기판(5120) 위에서 기판(5120)의 상면에 평행한 방향의 자기장(수평 자기장이라고도 함)이 발생된다. 기판(5120)과 타깃(5130) 사이에 전위차가 주어지고, 이에 따라 기판(5120)으로부터 타깃(5130)을 향하여 전류가 흐른다. 따라서, 펠릿(5100)은 기판(5120) 상면에서 자기장 및 전류의 효과에 의하여 힘(로런츠 힘(Lorentz force))을 받는다. 이것은, 플레밍의 원론 법칙에 의하여 설명할 수 있다.

[0282] 펠릿(5100)의 질량은 원자의 질량보다 크다. 따라서, 펠릿(5100)이 기판(5120)의 상면 위를 이동하게 하기 위해서는 펠릿(5100)에 외부로부터 어떠한 힘을 가하는 것이 중요하다. 그 힘의 1종류는 자기장 및 전류의 작용에 의하여 발생되는 힘일 수 있다. 펠릿(5100)에 인가되는 힘을 증가시키기 위하여, 이 상면에, 기판(5120)의 상면에 평행한 방향의 자기장이 10G 이상, 바람직하게는 20G 이상, 더 바람직하게는 30G 이상, 더욱 바람직하게는 50G 이상인 영역을 제공하는 것이 바람직하다. 또는 이 상면에, 기판(5120)의 상면에 평행한 방향의 자기장이 기판(5120)의 상면에 수직인 방향의 자기장의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상, 더욱 바람직하게는 5배 이상인 영역을 제공하는 것이 바람직하다.

[0283] 이때, 마그넷과 기판(5120)이 상대적으로 이동하거나 또는 회전함으로써, 기판(5120)의 상면에서의 수평 자기장의 방향이 계속해서 변화한다. 따라서, 다양한 방향의 힘을 받음으로써, 펠릿(5100)은 기판(5120)의 상면에서 다양한 방향으로 이동할 수 있다.

[0284] 또한, 도 38의 (A)에 나타낸 바와 같이 기판(5120)이 가열될 때, 마찰 등으로 인한 펠릿(5100)과 기판(5120) 사이의 저항이 낮다. 결과적으로, 펠릿(5100)은 기판(5120)의 상면 위를 활공한다. 펠릿(5100)의 활공은 평평한 평면이 기판(5120)에 면하는 상태에서 일어난다. 그리고 펠릿(5100)이, 이미 퇴적되어 있는 또 다른 펠릿(5100)의 측면에 도달하면, 펠릿(5100)의 측면들이 결합한다. 이때, 펠릿(5100)의 측면 상의 산소 원자가 방출된다. 방출된 산소 원자에 의하여, CAAC-OS에서의 산소 빈자리가 채워지는 경우가 있기 때문에, CAAC-OS가 낮은 결합 상태의 밀도를 갖는다. 또한, 기판(5120)의 상면의 온도는 예컨대 100°C 이상 500°C 미만, 150°C 이상 450°C 미만, 또는 170°C 이상 400°C 미만이다. 따라서, 기판(5120)이 큰 사이즈인 경우에도 CAAC-OS를 퇴적할 수 있다.

[0285] 또한, 기판(5120) 상에서 펠릿(5100)이 가열됨으로써 원자가 재배열되어, 이온(5101)의 충돌에 의하여 발생된 구조 왜곡이 감소될 수 있다. 구조 왜곡이 감소된 펠릿(5100)은, 실질적으로 단결정이다. 펠릿들(5100)이 결합되고 나서 가열되더라도 펠릿(5100)이 실질적으로 단결정으로 되는 것으로 인한, 펠릿(5100) 자체의 팽창 및 축소는 거의 일어나지 않는다. 따라서, 펠릿들(5100) 사이의 간격의 팽창으로 인한 결정립계 등의 결함의 형성을 방지할 수 있어, 크레바스의 생성을 방지할 수 있다.

[0286] CAAC-OS는, 단결정 산화물 반도체의 판(板)과 같은 구조를 갖는 것이 아니라, 펠릿(5100)(나노결정)의 집합이 벽돌 또는 블록이 쌓인 듯한 배열을 갖는다. 또한, 펠릿들 사이에 결정립계가 존재하지 않는다. 따라서, 퇴적 중의 가열, 퇴적 후의 가열 또는 힘으로 인하여 CAAC-OS에 수축 등의 변형이 생겨도, 국부 응력을 완화하거나 또는 왜곡을 풀어주는 것이 가능하다. 따라서, 이 구조는 플렉시블 반도체 장치에 적합하다. 또한, nc-OS는 펠릿(5100)(나노결정)이 무질서하게 쌓인 배열을 갖는다.

[0287] 타깃이 이온으로 스퍼터링될 때에, 펠릿에 더하여 산화 아연 등이 분리될 수 있다. 산화 아연은 펠릿보다 가볍기 때문에, 펠릿보다 먼저 기판(5120) 상면에 도달한다. 결과적으로, 산화 아연이 0.1nm 이상 10nm 이하, 0.2nm 이상 5nm 이하, 또는 0.5nm 이상 2nm 이하의 두께를 갖는 산화 아연층(5102)을 형성한다. 도 40의 (A)~(D)는 단면 개략도다.

- [0288] 도 40의 (A)에 도시된 바와 같이, 산화 아연층(5102) 위에 펠릿(5105a) 및 펠릿(5105b)이 퇴적된다. 여기서, 펠릿(5105a) 및 펠릿(5105b)의 측면들이 서로 접촉된다. 또한, 펠릿(5105c)이 펠릿(5105b) 위에 퇴적되어 펠릿(5105b) 위를 활공한다. 또한, 산화 아연과 함께 타깃으로부터 분리된 복수의 입자(5103)가, 기판(5120)의 옆에 의하여 결정화되어, 펠릿(5105a)의 또 다른 측면에 영역(5105a1)을 형성한다. 또한, 복수의 입자(5103)는 산소, 아연, 인듐, 갈륨 등을 포함할 수 있다.
- [0289] 그리고, 도 40의 (B)에 도시된 바와 같이, 영역(5105a1)이 펠릿(5105a)의 일부로 성장하여 펠릿(5105a2)을 형성한다. 또한, 펠릿(5105c)의 측면은 펠릿(5105b)의 또 다른 측면과 접촉된다.
- [0290] 다음에, 도 40의 (C)에 도시된 바와 같이 펠릿(5105d)이 펠릿(5105a2) 및 펠릿(5105b) 위에 퇴적되고 나서, 펠릿(5105a2) 및 펠릿(5105b) 위를 활공한다. 또한, 펠릿(5105c)의 또 다른 측면을 향하여, 펠릿(5105e)이 산화 아연층(5102) 위에 활공한다.
- [0291] 그리고, 도 40의 (D)에 도시된 바와 같이, 펠릿(5105d)의 측면이 펠릿(5105a2)의 측면과 접촉되도록 펠릿(5105d)이 배치된다. 또한, 펠릿(5105e)의 측면은 펠릿(5105c)의 또 다른 측면과 접촉된다. 산화 아연과 함께 타깃으로부터 분리된 복수의 입자(5103)가, 기판(5120)의 옆에 의하여 결정화되어, 펠릿(5105d)의 또 다른 측면에 영역(5105d1)을 형성한다.
- [0292] 상술한 바와 같이, 퇴적된 펠릿들이 서로 접촉되도록 배치되고 나서, 펠릿의 측면들에서 성장이 일어남으로써, 기판(5120) 위에 CAAC-OS가 형성된다. 따라서, CAAC-OS의 각 펠릿은 nc-OS보다 크다. 도 37의 (3)과 (2) 사이의 사이즈의 차이는 퇴적 후의 성장량에 상당한다.
- [0293] 펠릿들(5100) 사이의 간격이 매우 작으면, 펠릿들이 큰 펠릿을 형성할 수 있다. 큰 펠릿은 단결정 구조를 갖는다. 예를 들어, 큰 펠릿의 사이즈는 위에서 봤을 때 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하일 수 있다. 따라서, 트랜지스터의 채널 형성 영역이 큰 펠릿보다 작으면 단결정 구조를 갖는 영역을 채널 형성 영역으로서 사용할 수 있다. 또한, 펠릿의 사이즈가 증가되면, 단결정 구조를 갖는 영역을 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로서 사용할 수 있다.
- [0294] 이와 같이 하여, 트랜지스터의 채널 형성 영역 등이 단결정 구조를 갖는 영역에 형성되면, 트랜지스터의 주파수 특성이 증가될 수 있는 경우가 있다.
- [0295] 이러한 모델에 나타낸 바와 같이 펠릿(5100)이 기판(5120) 상에 퇴적되는 것으로 생각된다. 따라서, 형성면이 결정 구조를 갖지 않더라도 CAAC-OS를 퇴적할 수 있어, 이것은 에피택셜 성장에 의한 막 퇴적과는 상이하다. 예를 들어, 기판(5120)의 상면(형성면)이 비정질 구조를 갖더라도(예컨대 상면이 비정질 산화 실리콘으로 형성 되더라도), CAAC-OS를 형성할 수 있다.
- [0296] 또한 CAAC-OS의 형성에서, 형성면이 요철을 갖더라도, 펠릿(5100)은 형성면인 기판(5120)의 상면 형상에 따라 배열되는 것을 찾아냈다. 예를 들어, 기판(5120) 상면이 원자 레벨로 평坦한 경우, 펠릿(5100)은 a-b면에 평행한 평평한 면이 아래를 향하도록 배열된다. 펠릿(5100)의 두께가 균일한 경우, 두께가 균일하고 평탄하며 높은 결정성을 갖는 층이 형성된다. n개의 층(n은 자연수)을 적층함으로써, CAAC-OS를 얻을 수 있다.
- [0297] 기판(5120) 상면이 요철을 갖는 경우, 각각에서 펠릿(5100)이 요철을 따라 배열된 n개의 층(n은 자연수)이 적층된 CAAC-OS가 형성된다. 기판(5120)이 요철을 갖기 때문에, CAAC-OS에서 펠릿들(5100) 사이에 틈이 생기기 쉬운 경우가 있다. 또한, 문자간 힘에 의하여, 펠릿들(5100)은 요철 표면에도 펠릿들 사이의 틈이 가능한 한 작아지도록 배열된다. 따라서, 형성면이 요철을 갖더라도 결정성이 높은 CAAC-OS를 얻을 수 있다.
- [0298] 결과적으로, 레이저 결정화가 CAAC-OS의 형성에 필요하지 않고, 균일한 막을 큰 사이즈의 유리 기판 등 위에 조차 형성할 수 있다.
- [0299] 이러한 모델에 따라 CAAC-OS가 퇴적되기 때문에, 스퍼터링 입자는 두께가 얇은 펠릿 형상을 갖는 것이 바람직하다. 또한, 스퍼터링 입자가 두께가 두꺼운 주사위 형상을 가질 때, 기판(5120)에 면하는 평면이 변동되기 때문에 두께 및 결정의 배향이 균일할 수 없는 경우가 있다.
- [0300] 상술한 퇴적 모델에 따라, 결정성이 높은 CAAC-OS를 비정질 구조를 갖는 형성면에 조차 형성할 수 있다.
- [0301] (실시형태 3)
- [0302] 본 실시형태에서, 본 발명의 일 형태의 트랜지스터를 포함하는 회로의 예를 도면을 참조하여 설명한다.

[0303] [회로 구성 예]

[0304] 트랜지스터, 배선, 또는 전극 사이의 접속이 실시형태 1에 설명된 것으로부터 변화하면, 다양한 회로를 형성할 수 있다. 본 발명의 일 형태의 반도체 장치를 사용함으로써 달성할 수 있는 회로 구성의 예를 이하에 나타낸다.

[0305] [CMOS 회로]

[0306] 도 21의 (A)에서의 회로는, p채널 트랜지스터(2200)와 n채널 트랜지스터(2100)가 서로 직렬로 접속되고 이의 게이트가 서로 접속되는 소위 CMOS 회로의 구성을 나타낸 것이다. 또한, 제 2 반도체 재료가 사용되는 트랜지스터는 도면에서 "OS"라고 나타내어진다.

[0307] [아날로그 스위치]

[0308] 도 21의 (B)에서의 회로는 트랜지스터(2100) 및 트랜지스터(2200)의 소스가 서로 접속되고 트랜지스터(2100) 및 트랜지스터(2200)의 드레인이 서로 접속되는 구성을 나타낸 것이다. 이런 구성에 의하여 트랜지스터는 소위 아날로그 스위치로서 기능할 수 있다.

[0309] [기억 장치의 예]

[0310] 전력이 없더라도 저장된 데이터를 유지할 수 있고 기록 사이클의 횟수에 제한이 없는 본 발명의 일 형태의 트랜지스터를 포함하는 반도체 장치(기억 장치)의 예를 도 21의 (C)에 나타냈다.

[0311] 도 21의 (C)에 도시된 반도체 장치는 제 1 반도체 재료를 사용하는 트랜지스터(3200), 제 2 반도체 재료를 사용하는 트랜지스터(3300), 및 커패시터(3400)를 포함한다. 또한, 상술한 실시형태에 설명된 트랜지스터 중 어느 것은 트랜지스터(3300)로서 사용될 수 있다.

[0312] 트랜지스터(3300)는 산화물 반도체를 포함하는 반도체막에 채널이 형성되는 트랜지스터다. 트랜지스터(3300)의 오프 상태 전류가 낮기 때문에 저장된 데이터를 오랜 기간 유지할 수 있다. 바꿔 말하면 리프레시 동작이 필요 없거나 또는 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치가 제공될 수 있기 때문에, 소비 전력을 충분히 저감할 수 있다.

[0313] 도 21의 (C)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극에 전기적으로 접속된다. 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극에 전기적으로 접속된다. 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극과 드레인 전극 중 한쪽에 전기적으로 접속된다. 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(3200)의 게이트 전극 및 트랜지스터(3300)의 소스 전극과 드레인 전극 중 다른 쪽은 커패시터(3400)의 한쪽 전극에 전기적으로 접속된다. 제 5 배선(3005)은 커패시터(3400)의 다른 쪽 전극에 전기적으로 접속된다.

[0314] 도 21의 (C)에서의 반도체 장치는 트랜지스터(3200)의 게이트 전극의 전위가 유지될 수 있다는 특징을 갖기 때문에 다음과 같이 데이터의 기록, 유지, 및 판독을 가능하게 한다.

[0315] 데이터의 기록 및 유지를 설명한다. 먼저, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 온되는 전위로 설정하여, 트랜지스터(3300)를 온으로 한다. 따라서, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극 및 커패시터(3400)에 공급된다. 즉, 트랜지스터(3200)의 게이트 전극에 소정의 전하가 공급된다(기록). 여기서는, 상이한 전위 레벨을 공급하는 2종류의 전하(이하, 로 레벨 전하 및 하이 레벨 전하라고 함) 중 하나를 공급한다. 그 후, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 오프로 되는 전위로 설정하여 트랜지스터(3300)를 오프로 한다. 따라서, 트랜지스터(3200)의 게이트 전극에 공급된 전하가 유지된다(유지).

[0316] 트랜지스터(3300)의 오프 상태 전류는 매우 낮기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 오랜 시간 유지된다.

[0317] 다음으로, 데이터의 판독을 설명한다. 제 1 배선(3001)에 소정의 전위(정 전위)가 공급되면서, 제 5 배선(3005)에 적절한 전위(판독 전위)가 공급됨으로써, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선(3002)의 전위가 변동된다. 이것은 트랜지스터(3200)로서 n 채널 트랜지스터를 사용하는 경우, 트랜지스터(3200)의 게이트 전극에 하이 레벨 전하가 주어질 때의 외연 문턱 전압(V_{th_H})은 트랜지스터(3200)의 게이트 전극에 로 레벨 전하가 주어질 때의 외연 문턱 전압(V_{th_L})보다 낮기 때문이다. 여기서, 외연 문턱 전압이란, 트랜지스터(3200)를 온으로 하기 위하여 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의

전위를 V_{th_H} 와 V_{th_L} 사이에 있는 전위(V_0)로 설정함으로써, 트랜지스터(3200)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록에서 하이 레벨 전하가 트랜지스터(3200)의 게이트 전극에 공급되고 제 5 배선(3005)의 전위가 $V_0(>V_{th_H})$ 인 경우, 트랜지스터(3200)는 온된다. 기록에서 로 레벨 전하가 트랜지스터(3200)의 게이트 전극에 공급되는 경우에는, 제 5 배선(3005)의 전위가 $V_0(<V_{th_L})$ 이더라도, 트랜지스터(3200)는 계속 오프다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 트랜지스터(3200)의 게이트 전극에 유지된 데이터를 판독할 수 있다.

[0318] 또한, 메모리 셀이 정렬되는 경우, 원하는 메모리 셀의 데이터를 판독할 필요가 있다. 이런 판독을 수행하지 않을 경우에서, 제 5 배선(3005)에는 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 오프되는 전위, 즉, V_{th_H} 미만의 전위가 공급될 수 있다. 또는, 제 5 배선(3005)에는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 온되는 전위, 즉, V_{th_L} 보다 높은 전위가 공급될 수 있다.

[0319] 또한 도 22는 도 21의 (A)에서의 회로도의 단면 개략도, 및 도 21의 (C)에서의 배선(3001) 및 배선(3003)이 통합된 구조의 단면 개략도를 도시한 것이다. 또한 도 21의 (A)의 단면 개략도는 파선의 오른쪽에 도시되고, 도 21의 (C)에서의 회로도의 단면 개략도는 파선의 왼쪽에 도시되었다.

[0320] 도면에 도시된 바와 같이, 트랜지스터(3300)는 트랜지스터(3200) 위에 적층되어, 소자에 의하여 차지되는 면적이 저감될 수 있다. 또한, 커패시터(3400)는 트랜지스터(3300) 아래에 위치하여, 소자에 의하여 차지되는 면적이 저감될 수 있다. 더구나, 배선(3005) 및 트랜지스터(3300)의 게이트 전극이 서로 중첩되어, 소자에 의하여 차지되는 면적이 더 저감될 수 있다.

[0321] 또한, 트랜지스터(3300) 및 트랜지스터(2100)는 도 23에 도시된 것과 상이한 스텝에서 형성되어도 좋다.

[0322] 도 21의 (D)에 도시된 반도체 장치는 도 21의 (C)에 도시된 반도체 장치와 트랜지스터(3200)가 제공되지 않는 점에서 주로 상이하다. 또한 이 경우, 데이터의 기록 및 유지 동작이 도 21의 (C)에 도시된 반도체 장치와 비슷한 식으로 수행될 수 있다.

[0323] 다음에, 데이터의 판독을 설명한다. 트랜지스터(3300)가 온될 때, 커패시터(3400)와 부유 상태에 있는 제 3 배선(3003)은 서로 전기적으로 접속되고, 전하는 제 3 배선(3003)과 커패시터(3400) 사이에서 재분배된다. 결과적으로 제 3 배선(3003)의 전위가 변화한다. 제 3 배선(3003)의 전위 변화량은 커패시터(3400)의 한쪽 전극의 전위(또는 커패시터(3400)에 축적된 전하)에 따라 변동된다.

[0324] 예를 들어, 전하 재분배 후의 제 3 배선(3003)의 전위는 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 이고, 여기서 V 는 커패시터(3400)의 한쪽 전극의 전위, C 는 커패시터(3400)의 용량, C_B 는 제 3 배선(3003)의 용량 성분, 및 V_{B0} 은 전하가 재분배되기 전의 제 3 배선(3003)의 전위다. 따라서, 메모리 셀이, 커패시터(3400)의 한쪽 전극의 전위가 V_1 및 $V_0(V_1 > V_0)$ 의 2가지 상태 중 어느 것이라고 가정되면, 전위(V_1)를 유지하는 경우의 제 3 배선(3003)의 전위($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)가 전위(V_0)를 유지하는 경우의 제 3 배선(3003)의 전위($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)보다 높다는 것을 찾아낼 수 있다.

[0325] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써, 데이터를 판독할 수 있다.

[0326] 이 경우, 제 1 반도체 재료를 포함하는 트랜지스터는 메모리 셀을 구동하기 위한 구동 회로에 사용되어도 좋고 제 2 반도체 재료를 포함하는 트랜지스터는 트랜지스터(3300)로서 구동 회로 위에 적층되어도 좋다.

[0327] 채널 형성 영역이 산화물 반도체를 사용하여 형성되고 매우 낮은 오프 상태 전류를 갖는 트랜지스터를 포함하면, 본 실시형태에 설명되는 반도체 장치는 매우 긴 시간 저장된 데이터를 유지할 수 있다. 바꿔 말하면 리프레시 동작이 필요 없게 되거나 또는 리프레시 동작의 빈도를 매우 낮게 할 수 있기 때문에 소비 전력이 충분히 저감된다. 또한, 전력이 공급되지 않더라도(또한, 전위는 고정되는 것이 바람직함) 저장된 데이터를 긴 시간 유지할 수 있다.

[0328] 또한, 본 실시형태에서 설명한 반도체 장치에서, 데이터를 기록하기 위하여 높은 전압이 필요하지 않아, 소자의 열화 문제가 없다. 예를 들어, 종래의 불휘발성 메모리와는 달리, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출이 필요하지 않기 때문에, 게이트 절연층의 열화 등의 문제가 발생하지 않는다. 즉, 개시된 발명의 반도체 장치는, 종래의 불휘발성 메모리의 문제인, 데이터를 재기록할 수 있는 횟수에 제한

이 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 상태(온 또는 오프)에 따라 데이터가 기록되기 때문에, 고속 동작을 쉽게 달성할 수 있다.

[0329] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것을 적절히 조합하여 실시할 수 있다.

[0330] (실시형태 4)

[0331] 본 실시형태에서 상술한 실시형태에서 설명한 트랜지스터 또는 상술한 실시형태에서 설명한 기억 장치를 포함하는 RFID 태그를 도 24를 참조하여 설명한다.

[0332] 본 실시형태의 RFID 태그는 기억 회로를 포함하고, 필요한 데이터를 기억 회로에 저장하고, 비접촉 수단, 예컨대 무선 통신을 사용하여 외부로 데이터를 송신 및 외부로부터 데이터를 수신한다. 이를 특징에 의하여, 예컨대 RFID 태그는, 물건 등이 개인 정보를 판독함으로써 인식되는 개체 인증 시스템에 사용될 수 있다. 또한, RFID 태그는 이 용도에 사용되기 위하여 매우 높은 신뢰성을 가지는 것이 요구된다.

[0333] RFID 태그의 구성을 도 24를 참조하여 설명하겠다. 도 24는 RFID 태그의 구성예를 도시한 블록도다.

[0334] 도 24에 나타낸 바와 같이, RFID 태그(800)는 통신 장치(801)(질문기, 리더/라이터 등이라고도 함)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 포함한다. RFID 태그(800)는 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), 및 ROM(811)을 포함한다. 복조 회로(807)에 포함되는 정류 기능을 갖는 트랜지스터는 역 전류를 충분히 낮게 할 수 있는 재료, 예컨대 산화물 반도체를 사용하여 형성되어도 좋다. 이것에 의하여 역 전류의 발생으로 인하여 정류 기능이 약해지는 현상을 억제할 수 있고, 복조 회로로부터의 출력의 포화를 방지할 수 있다. 바꿔 말하면, 복조 회로로의 입력 및 복조 회로로부터의 출력은 선형 관계에 더 가까운 관계를 가질 수 있다. 또한, 데이터 송신 방법은 이하의 3개의 방법으로 대별된다: 한 쌍의 코일을 서로 대향하도록 제공하여 상호 유도에 의하여 서로 통신하는 전자 결합 방식, 유도 전자계를 사용하여 통신을 수행하는 전자기 유도 방식, 및 전파를 사용하여 통신을 수행하는 전파 방식이다. 이를 방법 중 어느 것은 본 실시형태에 설명된 RFID 태그(800)에 사용될 수 있다.

[0335] 다음에 각 회로의構成을 설명하겠다. 안테나(804)는 통신 장치(801)에 접속된 안테나(802)로 무선 신호(803)를 교환한다. 정류 회로(805)는, 안테나(804)에서 무선 신호를 받음으로써 생성된 입력 교류 신호를 정류, 예컨대 반파 배전압 정류에 의하여, 및 정류 회로(805)의 후단(later stage)에 제공된 커페시터로 정류된 신호를 매끈하게 함으로써 입력 전위를 생성한다. 또한, 리미터 회로가 정류 회로(805)의 입력 측 또는 출력 측에 제공되어도 좋다. 리미터 회로는, 만약 입력 교류 신호의 진폭이 높고 내부 생성 전압이 높으면, 소정의 전력 이상의 전력이 후단에서의 회로에 입력되지 않도록, 전력을 제어한다.

[0336] 정전압 회로(806)는 입력 전위로부터 안정된 전원 전압을 생성하고 각 회로로 공급한다. 또한, 정전압 회로(806)는 리셋 신호 생성 회로를 포함하여도 좋다. 초기 리셋 신호 생성 회로는 안정된 전원 전압의 상승을 이용하여 논리 회로(809)의 리셋 신호를 생성하는 회로다.

[0337] 복조 회로(807)는 포락선 검파에 의하여 입력 교류 신호를 복조하여 복조된 신호를 생성한다. 변조 회로(808)는 안테나(804)로부터 출력되는 데이터에 따라 변조를 수행한다.

[0338] 논리 회로(809)는 복조된 신호를 분석하고 처리한다. 기억 회로(810)는 입력 데이터를 유지하고 로 디코더(row decoder), 칼럼 디코더(column decoder), 기억 영역 등을 포함한다. 또한, ROM(811)은 식별 번호(ID) 등을 저장하고 처리에 따라 출력한다.

[0339] 또한, 상술한 각 회로가 제공되는지 여부는 필요에 따라 적절히 결정될 수 있다.

[0340] 여기서, 상술한 실시형태에서 설명한 기억 회로는 기억 회로(810)로서 사용될 수 있다. 본 발명의 일 형태의 기억 회로는 전원이 없더라도 데이터를 유지할 수 있기 때문에, 기억 회로는 RFID 태그에 바람직하게 사용될 수 있다. 또한, 본 발명의 일 형태의 기억 회로는, 데이터 기록에 필요한 전원(전압)이 종래의 불휘발성 메모리에 필요한 것보다 굉장히 낮은 것이 필요하기 때문에 데이터 판독과 데이터 기록에서의 최대 통신 범위의 차이를 방지할 수 있다. 또한, 데이터 기록에서의 전력 부족으로 인한 기능 불량 또는 부정확한 기록을 억제할 수 있다.

[0341] 본 발명의 일 형태의 기억 회로는 불휘발성 메모리로서 사용될 수 있기 때문에 ROM(811)로서 사용될 수도 있다.

이 경우, 제조자가, 사용자가 데이터를 자유로이 재기록할 수 없도록 ROM(811)에 데이터를 기록하기 위한 커맨드를 별도 준비하는 것이 바람직하다. 제조자가 적하(shipment) 전에 식별 번호를 주고 나서 제품의 적하를 시작하기 때문에, 모든 제조된 RFID 태그에 식별 번호를 붙이는 대신에 양품에만 식별 번호를 붙여 적하할 수 있다. 따라서, 적하된 제품의 식별 번호는 연속되고 적하된 제품에 따른 고객 관리가 쉽게 수행된다.

[0342] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것과 적절히 조합하여 실시될 수 있다.

[0343] (실시형태 5)

[0344] 본 실시형태에서 상술한 실시형태 중 어느 것에 설명된 트랜지스터가 적어도 사용될 수 있고 상술한 실시형태에 설명된 기억 장치가 포함되는 CPU를 설명한다.

[0345] 도 25는 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 구성 요소로서 적어도 부분적으로 포함하는 CPU의 구성예를 도시한 블록도다.

[0346] 도 25에 도시된 CPU는 기판(1190) 위에, ALU(arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(BUS I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 포함한다. 반도체 기판, SOI 기판, 유리 기판 등을 기판(1190)으로서 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 별개의 칩 위에 제공되어도 좋다. 도 25에서의 CPU는 구성을 간략화한 예에 불과하고 실제의 CPU는 용도에 따라 다양한 구성을 가져도 좋은 것은 말할 나위 없다. 예를 들어, CPU는 도 25에 도시된 CPU 또는 연산 회로를 포함하는 구조를 하나의 코어로 생각하고, 복수의 상기 코어가 포함되고, 코어들은 병렬로 동작하는 구성을 가져도 좋다. CPU가 내부 연산 회로 또는 데이터 베스에서 처리할 수 있는 비트 수는, 예컨대 8, 16, 32, 또는 64 일 수 있다.

[0347] 버스 인터페이스(1198)를 통하여 CPU에 입력되는 명령은 인스트럭션 디코더(1193)에 입력되고 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0348] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코드된 명령에 따라 다양한 제어를 수행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. CPU가 프로그램을 실행하는 동안, 인터럽트 컨트롤러(1194)는 우선도 또는 마스크 상태에 기초하여 외부 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 판별하고, 이 요구를 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터 데이터를 판독하고 레지스터(1196)로 데이터를 기록한다.

[0349] 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작 타이밍을 제어하기 위한 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클록 신호(CLK1)를 기초로, 내부 클록 신호(CLK2)를 생성하기 위한 내부 클록 생성기를 포함하며, 내부 클록 신호(CLK2)를 상술한 회로에 공급한다.

[0350] 도 25에 도시된 CPU에서, 메모리 셀을 레지스터(1196)에 제공한다. 레지스터(1196)의 메모리 셀에, 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 사용할 수 있다.

[0351] 도 25에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 명령에 따라, 레지스터(1196)에서 데이터를 유지하는 동작을 선택한다. 즉, 레지스터(1196)에 포함되는 메모리 셀에서 플립플롭에 의하여 또는 커패시터에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면, 레지스터(1196)에서의 메모리 셀에 전원 전압이 공급된다. 커패시터에 의한 데이터 유지가 선택되면, 데이터는 커패시터에서 재기록되고, 레지스터(1196)에서의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0352] 도 26은 레지스터(1196)에 사용될 수 있는 기억 소자의 회로도의 예다. 기억 소자(1200)는 전원이 정지되면 저장된 데이터가 휘발되는 회로(1201), 전원이 정지되더라도 저장된 데이터가 휘발되지 않는 회로(1202), 스위치(1203), 스위치(1204), 논리 소자(1206), 커패시터(1207), 및 선택 기능을 갖는 회로(1220)를 포함한다. 회로(1202)는 커패시터(1208), 트랜지스터(1209), 및 트랜지스터(1210)를 포함한다. 또한, 기억 소자(1200)는 필요에 따라 다이오드, 레지스터, 또는 인덕터 등의 또 다른 소자를 더 포함하여도 좋다.

[0353] 여기서, 회로(1202)로서 상술한 실시형태에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압의 공급이 정지될 때, 대지 전위(0V) 또는 회로(1202)에서의 트랜지스터(1209)가 오프되는 전위가 트랜

지스터(1209)의 게이트에 계속 입력된다. 예를 들어, 트랜지스터(1209)의 게이트는 레지스터 등의 부하를 통하여 접지된다.

[0354] 스위치(1203)가, 하나의 도전형을 갖는 트랜지스터(1213)(예컨대 n채널 트랜지스터)이고 스위치(1204)가, 상기 하나의 도전형과 반대의 도전형을 갖는 트랜지스터(1214)(예컨대 p채널 트랜지스터)인 예를 여기서 나타낸다. 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 상당하며, 스위치(1203)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(1213)의 온/오프 상태)이 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 상당하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 상당하며, 스위치(1204)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(1214)의 온/오프 상태)이 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의하여 선택된다.

[0355] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은 커패시터(1208)의 한 쌍의 전극 중 한쪽과 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속부를 노드(M2)로 한다. 트랜지스터(1210)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속되고, 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽), 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽), 논리 소자(1206)의 입력 단자, 및 커패시터(1207)의 한 쌍의 전극 중 한쪽은 서로 전기적으로 접속된다. 여기서, 접속부를 노드(M1)로 한다. 커패시터(1207)의 한 쌍의 전극 중 다른 쪽에는 일정한 전위가 공급될 수 있다. 예를 들어, 커패시터(1207)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예컨대 GND) 또는 고전원 전위(예컨대 VDD)가 공급될 수 있다. 커패시터(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속된다. 커패시터(1208)의 한 쌍의 전극 중 다른 쪽에는 일정한 전위가 공급될 수 있다. 예를 들어, 커패시터(1208)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예컨대 GND) 또는 고전원 전위(예컨대 VDD)가 공급될 수 있다. 커패시터(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예컨대 GND선)에 전기적으로 접속된다.

[0356] 트랜지스터, 배선의 기생 용량 등을 적극적으로 이용하기만 하면, 커패시터(1207) 및 커패시터(1208)를 반드시 공급할 필요는 없다.

[0357] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에는 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204) 각각에 대하여 말하자면, 제어 신호(WE)와는 상이한 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택된다. 스위치들 중 한쪽이 제 1 단자와 제 2 단자 사이에서 도통 상태에 있을 때 다른 스위치들이 제 1 단자와 제 2 단자 사이에서 비도통 상태에 있다.

[0358] 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에는 회로(1201)에 유지된 데이터에 상당하는 신호가 입력된다. 도 26은 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시한 것이다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호의 논리값은 논리 소자(1206)에 의하여 반전되고, 반전된 신호가 회로(1220)를 통하여 회로(1201)에 입력된다.

[0359] 도 26의 예에서, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리값이 반전되지 않고 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201)가, 입력 단자로부터 입력된 신호의 논리값이 반전됨으로써 얻어진 신호가 유지되는 노드를 포함하는 경우에, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0360] 도 26에서, 트랜지스터(1209)를 뺀, 기억 소자(1200)에 포함되는 트랜지스터들 각각은, 산화물 반도체 이외의 반도체를 사용하여 형성되는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터일 수 있다. 예를 들어, 상기 트랜지스터는 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터일 수 있다. 또는, 채널이 산화물 반도체막에 형성되는 트랜지스터는 기억 소자(1200)에서의 모든 트랜지스터에 사용될 수 있다. 또는, 기억 소자(1200)에서, 트랜지스터(1209) 외에도, 채널이 산화물 반도체막에 형성되는 트랜지스터를 포함할 수도 있고, 나

머지 트랜지스터에 산화물 반도체 외의 반도체를 포함하는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터를 사용할 수도 있다.

[0361] 도 26에서의 회로(1201)로서, 예컨대 플립플롭 회로를 사용할 수 있다. 논리 소자(1206)로서, 예컨대 인버터 또는 클록드 인버터를 사용할 수 있다.

[0362] 본 발명의 일 형태의 반도체 장치는, 기억 소자(1200)에 전원 전압이 공급되지 않는 기간 동안에, 회로(1201)에 저장된 데이터를 회로(1202)에 제공된 커패시터(1208)에 의하여 유지할 수 있다.

[0363] 채널이 산화물 반도체막에 형성되는 트랜지스터의 오프 상태 전류는 매우 낮다. 예를 들어, 산화물 반도체막에 채널이 형성되는 트랜지스터의 오프 상태 전류는 채널이 결정성을 갖는 실리콘에 형성되는 트랜지스터보다 굉장히 낮다. 따라서, 이 트랜지스터를 트랜지스터(1209)로서 사용하면, 기억 소자(1200)에 전원 전압이 공급되지 않는 기간 동안에도 커패시터(1208)에 유지된 신호가 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 공급이 정지되는 기간 동안에도 저장된 내용(데이터)을 유지할 수 있다.

[0364] 상술한 기억 소자는 스위치(1203) 및 스위치(1204)에 의하여 프리차지 동작을 수행하기 때문에, 전원 전압의 공급이 재개된 후에 회로(1201)가 원래의 데이터를 다시 유지하기에 필요한 시간을 짧게 할 수 있다.

[0365] 회로(1202)에서, 커패시터(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 소자(1200)에 대한 전원 전압의 공급이 재개된 후에, 커패시터(1208)에 의하여 유지된 신호를 트랜지스터(1210)의 상태(온 상태 또는 오프 상태)에 상당하는 것으로 변환하여, 회로(1202)로부터 판독할 수 있다. 따라서, 커패시터(1208)에 의하여 유지된 신호에 상당하는 전위가 약간 변동되더라도 원래의 신호를 정확하게 판독할 수 있다.

[0366] 프로세서에 포함되는 레지스터 또는 캐쉬 메모리 등의 기억 장치에 상술한 기억 소자(1200)를 적용함으로써, 전원 전압의 공급 정지로 인하여 기억 장치 내의 데이터가 소실되는 것을 방지할 수 있다. 또한, 전원 전압의 공급이 재개된 직후, 기억 장치는 전원이 정지되기 전과 같은 상태로 돌아갈 수 있다. 따라서, 프로세서, 또는 프로세서에 포함되는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있어, 소비 전력을 낮게 한다.

[0367] 본 실시형태에서 기억 소자(1200)를 CPU에 사용하지만, 기억 소자(1200)는 DSP(Digital Signal Processor), 커스텀 LSI, 또는 PLD(Programmable Logic Device) 등의 LSI, 및 RFID(Radio Frequency Identification)에 사용될 수도 있다.

[0368] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것과 적절히 조합하여 실시될 수 있다.

[0369] (실시형태 6)

[0370] 본 실시형태에서, 본 발명의 일 형태의 표시 패널의 구조예를 설명한다.

[0371] [구조예]

[0372] 도 27의 (A)는 본 발명의 일 형태의 표시 패널의 상면도다. 도 27의 (B)는 본 발명의 일 형태의 표시 패널의 화소에 액정 소자가 사용되는 경우에 사용될 수 있는 화소 회로를 도시한 회로도다. 도 27의 (C)는 본 발명의 일 형태의 표시 패널의 화소에 유기 EL 소자가 사용되는 경우에 사용될 수 있는 화소 회로를 도시한 회로도다.

[0373] 화소부에서의 트랜지스터는 상술한 실시형태에 따라 형성될 수 있다. 상기 트랜지스터는 n채널 트랜지스터로서 쉽게 형성될 수 있어, n채널 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부는, 화소부의 트랜지스터와 같은 기판 위에 형성될 수 있다. 이와 같이, 화소부 또는 구동 회로에 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 사용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0374] 도 27의 (A)는 액티브 매트릭스 표시 장치의 블록도의 예를 도시한 것이다. 표시 장치의 기판(700) 위에, 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 및 신호선 구동 회로(704)가 형성된다. 화소부(701)에는, 신호선 구동 회로(704)로부터 연장된 복수의 신호선이 배열되고, 제 1 주사선 구동 회로(702) 및 제 2 주사선 구동 회로(703)로부터 연장된 복수의 주사선이 배열된다. 또한 주사선과 신호선이 서로 교차하는 영역 각각에서, 표시 소자를 포함하는 화소가 매트릭스로 제공된다. 표시 장치의 기판(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러 또는 칸트롤러 IC라고도 함)에 접속된다.

- [0375] 도 27의 (A)에서, 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 및 신호선 구동 회로(704)는, 화소부(701)가 형성되는 기판(700) 위에 형성된다. 따라서, 구동 회로 등의, 외부에 제공되는 부품수를 감소시킬 수 있어, 비용의 절감을 달성할 수 있다. 또한, 구동 회로가 기판(700) 외부에 제공되면, 배선이 연장될 필요가 있고, 배선의 접속수가 증가된다. 구동 회로가 기판(700) 위에 제공되면, 배선의 접속수를 저감할 수 있다. 따라서, 신뢰성 또는 수율의 향상을 달성할 수 있다.
- [0376] [액정 패널]
- [0377] 도 27의 (B)는 화소의 회로 구성의 예를 도시한 것이다. 여기서는, VA 액정 표시 패널의 화소에 사용할 수 있는 화소 회로가 도시된다.
- [0378] 이 화소 회로는, 하나의 화소가 복수의 화소 전극을 포함하는 구조에 적용될 수 있다. 화소 전극들은 상이한 트랜지스터에 접속되고, 트랜지스터는 상이한 게이트 신호로 구동될 수 있다. 따라서, 멀티 도메인 화소에서의 개개의 화소 전극에 인가되는 신호를 독립적으로 제어할 수 있다.
- [0379] 트랜지스터(716)의 게이트 배선(712)과, 트랜지스터(717)의 게이트 배선(713)은 이들에 상이한 게이트 신호가 공급될 수 있도록 분리된다. 한편, 데이터선으로서 기능하는 소스 또는 드레인 전극(714)은, 트랜지스터(716) 및 트랜지스터(717)에 의하여 공유된다. 트랜지스터(716)와 트랜지스터(717) 각각으로서 상술한 실시형태 중 어느 것에서 설명한 트랜지스터를 적절히 사용할 수 있다. 따라서 신뢰성이 높은 액정 표시 패널을 제공할 수 있다.
- [0380] 트랜지스터(716)에 전기적으로 접속되는 제 1 화소 전극과, 트랜지스터(717)에 전기적으로 접속되는 제 2 화소 전극의 형상을 설명한다. 제 1 화소 전극과 제 2 화소 전극은 슬릿에 의하여 분리된다. 제 1 화소 전극은 V형을 갖고, 제 2 화소 전극은 제 1 화소 전극을 둘러싸도록 제공된다.
- [0381] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)에 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)에 접속된다. 게이트 배선(712)과 게이트 배선(713)에 상이한 게이트 신호가 공급될 때, 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍은 변동될 수 있다. 결과적으로 액정의 배열을 제어할 수 있다.
- [0382] 또한, 용량 커패시터는, 커패시터 배선(710), 유전체로서 기능하는 게이트 절연막, 및 제 1 화소 전극 또는 제 2 화소 전극에 전기적으로 접속되는 커패시터 전극을 사용하여 형성되어도 좋다.
- [0383] 멀티 도메인 화소는 제 1 액정 소자(718)와 제 2 액정 소자(719)를 포함한다. 제 1 액정 소자(718)는 제 1 화소 전극, 상대 전극, 및 이들 사이의 액정층을 포함한다. 제 2 액정 소자(719)는 제 2 화소 전극, 상대 전극, 및 이들 사이의 액정층을 포함한다.
- [0384] 또한, 본 발명의 화소 회로는 도 27의 (B)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 27의 (B)에 도시된 화소에 스위치, 레지스터, 커패시터, 트랜지스터, 센서, 논리 회로 등이 추가되어도 좋다.
- [0385] [유기 EL 패널]
- [0386] 도 27의 (C)는 화소의 회로 구성의 또 다른 예를 도시한 것이다. 여기서는, 유기 EL 소자를 포함하는 표시 패널의 화소 구조를 나타낸다.
- [0387] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극의 한쪽으로부터 발광 유기 화합물을 포함하는 층 내에 전자가 주입되고, 상기 한 쌍의 전극의 다른 쪽으로부터 발광 유기 화합물을 포함하는 층 내에 홀이 주입되어 전류가 흐른다. 전자 및 홀이 재결합되어, 발광 유기 화합물이 여기된다. 발광 유기 화합물이 여기 상태로부터 기저 상태로 돌아감으로써 발광한다. 이와 같은 메커니즘 때문에 이 발광 소자는 전류 여기 발광 소자라고 한다.
- [0388] 도 27의 (C)는 적용 가능한 화소 회로의 예를 도시한 것이다. 여기서, 하나의 화소는 2개의 n채널 트랜지스터를 포함한다. 또한, 본 발명의 일 형태의 금속 산화물막은 n채널 트랜지스터의 채널 형성 영역에 사용될 수 있다. 상기 화소 회로에 디지털 시간 계조 구동이 채용될 수 있다.
- [0389] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 채용하는 화소의 동작을 설명한다.
- [0390] 화소(720)는, 스위칭 트랜지스터(721), 구동 트랜지스터(722), 발광 소자(724), 및 커패시터(723)를 포함한다. 스위칭 트랜지스터(721)의 게이트 전극이 주사선(726)에 접속되고, 스위칭 트랜지스터(721)의 제 1 전극(소스 전극 및 드레인 전극 중 한쪽)은 신호선(725)에 접속되고, 스위칭 트랜지스터(721)의 제 2 전극(소스 전극 및

드레인 전극 중 다른 쪽은 구동 트랜지스터(722)의 게이트 전극에 접속된다. 구동 트랜지스터(722)의 게이트 전극은 커패시터(723)를 통하여 전원선(727)에 접속되고, 구동 트랜지스터(722)의 제 1 전극은 전원선(727)에 접속되고, 구동 트랜지스터(722)의 제 2 전극은 발광 소자(724)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 공통 전극(728)과 같은 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다.

[0391] 스위칭 트랜지스터(721)와 구동 트랜지스터(722)로서 상술한 실시형태 중 어느 것에서 설명한 트랜지스터가 적절히 사용될 수 있다. 이와 같이 하여, 신뢰성이 높은 유기 EL 표시 패널을 제공할 수 있다.

[0392] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정된다. 또한, 저전원 전위는, 전원선(727)에 공급되는 고전원 전위보다 낮다. 예를 들어 저전원 전위는, GND, 0V 등으로 할 수 있다. 고전원 전위 및 저전원 전위가 발광 소자(724)의 순방향 문턱 전압 이상으로 설정되고, 전위들 사이의 차이가 발광 소자(724)에 인가됨으로써 발광 소자(724)에 전류가 공급되어, 발광한다. 발광 소자(724)의 순방향 전압은 원하는 휘도가 얻어지는 전압을 말하고, 적어도 순방향 문턱 전압을 포함한다.

[0393] 또한, 구동 트랜지스터(722)의 게이트 용량은 커패시터(723)를 대신하여 사용되어도 좋아서 커패시터(723)는 생략될 수 있다. 구동 트랜지스터(722)의 게이트 용량은 채널 형성 영역과 게이트 전극 사이에 형성되어도 좋다.

[0394] 다음에 구동 트랜지스터(722)에 입력하는 신호를 설명한다. 전압 입력 전압 구동 방식의 경우, 구동 트랜지스터(722)를 충분히 온 또는 오프로 하기 위한 비디오 신호가 구동 트랜지스터(722)에 입력된다. 구동 트랜지스터(722)를 선형 영역에서 동작시키기 위하여, 전원선(727)의 전압보다 높은 전압이 구동 트랜지스터(722)의 게이트 전극에 인가된다. 또한, 전원선 전압과 구동 트랜지스터(722)의 문턱 전압(V_{th})의 합인 전압 이상의 전압이 신호선(725)에 인가된다.

[0395] 아날로그 계조 구동을 수행하는 경우, 발광 소자(724)의 순방향 전압과 구동 트랜지스터(722)의 문턱 전압(V_{th})의 합인 전압 이상의 전압이 구동 트랜지스터(722)의 게이트 전극에 인가된다. 구동 트랜지스터(722)를 포화 영역에서 동작시키는 비디오 신호가 입력되어, 발광 소자(724)에 전류가 공급된다. 구동 트랜지스터(722)를 포화 영역에서 동작시키기 위하여, 전원선(727)의 전위는 구동 트랜지스터(722)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호가 사용될 때, 비디오 신호에 따라 발광 소자(724)에 전류를 공급할 수 있고, 아날로그 계조 구동을 수행할 수 있다.

[0396] 또한, 본 발명의 화소 회로의 구성은 도 27의 (C)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 27의 (C)에 도시된 화소 회로에 스위치, 레지스터, 커패시터, 센서, 트랜지스터, 논리 회로 등이 추가되어도 좋다.

[0397] 상술한 실시형태 중 어느 것에서 나타낸 트랜지스터가 도 27의 (A)~(C)에 나타낸 회로 중 어느 것에 사용되는 경우, 소스 전극(제 1 전극)은 저전위 측에 전기적으로 접속되고 드레인 전극(제 2 전극)은 고전위 측에 전기적으로 접속된다. 또한, 제 1 게이트 전극의 전위는 제어 회로 등에 의하여 제어되어도 좋고 상술한 예로서 설명한 전위, 예컨대 소스 전극에 인가된 전위보다 낮은 전위가 도시되지 않은 배선을 통하여 제 2 게이트 전극에 입력될 수 있다.

[0398] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것과 적절히 조합하여 실시될 수 있다.

[0399] (실시형태 7)

[0400] 본 발명의 일 형태의 반도체 장치는, 표시 장치, 퍼스널 컴퓨터, 또는 기록 매체가 제공된 영상 재생 장치(대표적으로는 DVD(digital versatile disc) 등의 기록 매체의 내용을 재생하고, 재생된 영상을 표시하기 위한 디스플레이를 갖는 장치)에 사용될 수 있다. 본 발명의 일 형태의 반도체 장치를 갖출 수 있는 전자 장치의 다른 예는 휴대 전화, 휴대형 게임기를 포함하는 게임기, 휴대 데이터 단말, 전자 서적 리더, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(예컨대 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기다. 도 28의 (A)~(F)는 이들 전자 장치의 구체적인 예를 도시한 것이다.

[0401] 도 28의 (A)는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(stylus)(908) 등을 포함하는 휴대형 게임기를 도시한 것이다. 도 28의 (A)의 휴대형 게임기는 2개의 표시부(903 및 904)를 갖지만, 휴대형 게임기에 포함되는 표시부의 개수는 이에 한정되지 않는다.

- [0402] 도 28의 (B)는 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 연결부(915), 조작 키(916) 등을 포함하는 휴대형 데이터 단말을 도시한 것이다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 제 1 하우징(911)과 제 2 하우징(912)은 연결부(915)로 서로 접속되고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 연결부(915)에 의하여 변화할 수 있다. 제 1 표시부(913)에 표시되는 영상이 연결부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환되어도 좋다. 위치 입력 기능을 갖는 표시 장치가 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 한쪽으로서 사용되어도 좋다. 또한, 위치 입력 기능은 표시 장치에 터치 패널을 제공함으로써 추가할 수 있다. 또는, 위치 입력 기능은 포토센서로 불리는 광전 변환 소자를 표시 장치의 핵심부에 제공함으로써 추가할 수 있다.
- [0403] 도 28의 (C)는 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 포함하는 랩탑 개인용 컴퓨터를 도시한 것이다.
- [0404] 도 28의 (D)는 하우징(931), 냉장실 도어(932), 냉동실 도어(933) 등을 포함하는 전기 냉동냉장고를 도시한 것이다.
- [0405] 도 28의 (E)는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 연결부(946) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 제 1 하우징(941)과 제 2 하우징(942)은 연결부(946)에 의하여 서로 접속되고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 연결부(946)에 의하여 바꿀 수 있다. 표시부(943)에 표시되는 영상은 제 1 하우징(941)과 제 2 하우징(942) 사이의 연결부(946)에서의 각도에 따라 전환되어도 좋다.
- [0406] 도 28의 (F)는 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 포함하는 승용차를 도시한 것이다.
- [0407] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 어느 것과 적절히 조합하여 실시될 수 있다.
- [0408] (실시형태 8)
- [0409] 본 실시형태에서, 본 발명의 일 형태의 RFID의 적용예를 도 29의 (A)~(F)를 참조하여 설명하겠다. RFID는 널리 사용되고, 예컨대 지폐, 동전, 증권, 무기명 채권, 증서(예컨대 운전 면허증 또는 주민 카드, 도 29의 (A) 참조), 기록 매체(예컨대 DVD 소프트웨어 또는 비디오 테이프, 도 29의 (B) 참조), 포장용 용기(예컨대 포장지 또는 병, 도 29의 (C) 참조), 탈 것(예컨대 자전거, 도 29의 (D) 참조), 소지품(예컨대 가방 또는 안경), 식품, 식물, 동물, 인체, 의류, 생활용품, 약품 및 약제 등의 의료품, 및 전자 장치(예컨대 액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 제품, 또는 제품의 꼬리표(도 29의 (E) 및 (F) 참조)에 제공될 수 있다.
- [0410] 본 발명의 일 형태의 RFID(4000)는 표면에 붙이거나 또는 매립됨으로써 제품에 고정된다. 예를 들어, RFID(4000)는 책의 종이에 매립되거나 또는 패키지의 유기 수지에 매립됨으로써 각 제품에 고정된다. 본 발명의 일 형태의 RFID(4000)는 사이즈, 두께, 및 무게를 저감할 수 있기 때문에 제품의 디자인이 손상되지 않고 제품에 고정될 수 있다. 또한, 지폐, 동전, 증권, 무기명 채권, 증서 등은 본 발명의 일 형태의 RFID(4000)가 제공됨으로써 식별 기능을 가질 수 있고, 식별 기능은 위조를 방지하기 위하여 이용될 수 있다. 또한, 검사 시스템 등의 시스템의 효율은 본 발명의 일 형태의 RFID를 포장용 용기, 기록 매체, 소지품, 식품, 의류, 생활용품, 전자 장치 등에 제공함으로써 향상시킬 수 있다. 탈 것은 본 발명의 일 형태의 RFID가 제공됨으로써 절도(theft) 등에 대한 보안을 높게 할 수도 있다.
- [0411] 상술한 바와 같이, 본 발명의 일 형태의 RFID를 본 실시형태에서 설명한 각 용도에 사용함으로써, 데이터의 기록 또는 판독 등의 동작에 대한 전력을 저감할 수 있어, 최대 통신 거리를 증가시킨다. 또한, 데이터는 전력이 공급되지 않는 상태라도 매우 긴 기간 유지될 수 있어, RFID는 데이터가 빈번하게 기록 또는 판독되지 않는 용도에 바람직하게 사용될 수 있다.
- [0412] 본 실시형태의 적어도 일부는 본 명세서에서 설명한 다른 실시형태 중 어느 것과 적절히 조합하여 실시할 수 있다.
- [0413] [실시예 1]

- [0414] 본 실시예에서, 절연막 및 산화물 반도체막에 형성된 개구의 단면 관찰을 설명한다.
- [0415] 먼저, 단면 관찰이 수행되는 시료 A를 형성하기 위한 방법을 이하에서 설명한다.
- [0416] 실리콘 웨이퍼를 열산화하기 위하여, 두께 100nm의 열산화막(200)을 실리콘 웨이퍼의 표면에 형성하였다. 열산화는 HCl을 산소에 대하여 3vol% 포함하는 열산화 분위기에서 950°C로 4시간 수행되었다.
- [0417] 다음에 열산화막(200)을 100nm 에칭하였다.
- [0418] 그리고, 압력이 0.8Pa, 기판 온도가 230°C, 타깃과 기판 사이의 거리가 60mm, 및 1.0kW의 전원 전력(DC)이 인가된 조건하에서, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기에서, 텁스텐 타깃을 사용하여 스퍼터링법에 의하여 두께 50nm의 텁스텐막(201)을 형성하였다.
- [0419] 다음에, 유량 15sccm의 TEOS(tetraethoxysilane) 및 유량 750sccm의 산소(O₂)를 원료 가스로서 사용하였고, 기판 온도가 300°C이고, 300W의 고주파 전력을 27MHz의 고주파 전력원을 사용하여 평행 평판 전극에 공급하는 CVD 법에 의하여 두께 100nm의 산화 실리콘막을 형성하였다.
- [0420] 이 후, 유량 25sccm의 아르곤(Ar) 가스 및 유량 25sccm의 산소(O₂) 가스를 성막 가스로서 사용하고, 압력이 0.4Pa, 기판 온도가 250°C, 타깃과 기판 사이의 거리가 60mm이고, 2.5kW의 RF 전력이 인가되는 조건하에서 산화 알루미늄 타깃을 사용하여 스퍼터링법에 의하여 두께 20nm의 산화 알루미늄막을 형성하였다.
- [0421] 이 후, 유량 1sccm의 실레인(SiH₄) 및 유량 800sccm의 일산화 이질소(N₂O)를 원료 가스로서 사용하고, 반응 채임버 내의 압력이 200Pa, 기판 온도가 350°C, 150W의 고주파 전력이 60MHz의 고주파 전원을 사용하여 평행 평판 전극에 공급되는 CVD법에 의하여 두께 50nm의 산화질화 실리콘막을 형성하였다.
- [0422] 이 후, 두께 20nm의 제 1 산화물 반도체막 및 두께 15nm의 제 2 산화물 반도체막을 스퍼터링법에 의하여 적층하였다. 압력이 0.7Pa, 0.5kW의 전원 전력(DC)이 인가되고, 타깃과 기판 사이의 거리가 60mm이고, 기판 온도가 200°C인 조건하에서, 유량 40sccm의 아르곤(Ar)과 유량 5sccm의 산소(O₂)의 혼합 분위기에서 In:Ga:Zn=1:3:4의 원자 비율을 갖는 타깃을 사용하여 제 1 산화물 반도체막을 형성하였다. 압력이 0.7Pa, 0.5kW의 전원 전력(DC)이 인가되고, 타깃과 기판 사이의 거리가 60mm, 기판 온도가 200°C의 조건하에서 유량 30sccm의 아르곤(Ar) 및 유량 15sccm의 산소(O₂)의 혼합 분위기에서 In:Ga:Zn=4:2:4.1의 원자 비율을 갖는 타깃을 사용하여 제 2 산화물 반도체막을 형성하였다.
- [0423] 다음에, 압력이 0.8Pa, 기판 온도가 230°C, 타깃과 기판 사이의 거리가 60mm, 및 1.0kW의 전원 전력(DC)이 인가된 조건하에서, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기에서, 텁스텐 타깃을 사용하여 스퍼터링법에 의하여 두께 30nm의 텁스텐막을 형성하였다. 이 텁스텐막은 제 1 산화물 반도체막 및 제 2 산화물 반도체막이 에칭될 때 하드 마스크로서 기능한다.
- [0424] 다음에, 두께 100nm의 질화 실리콘막을 CVD법에 의하여 형성하였다.
- [0425] 다음에, 두께 20nm의 유기 수지막을 SWK-T7(Tokyo Ohka Kogyo Co., Ltd. 제)의 도포에 의하여 형성하였다. SWK-T7의 도포 전에, 200°C로 120초간 가열함으로써 수분을 제거하고, 1,1,1,3,3,3-헥사메틸다이실라잔(HMDS)을 더 도포하고 나서, 수분을 110°C로 60초간의 가열에 의하여 제거하였다. 이 후, 용매 및 수분을 200°C로 200초간 가열함으로써 제거하였다.
- [0426] 다음에, 레지스트 마스크를 형성하고, 유기 수지막을 부분적으로 에칭하였다. 에칭 가스로서, 염소(Cl₂) 가스를 사용하였다.
- [0427] 다음에, 질화 실리콘막을 레지스트 마스크 및 유기 수지막을 마스크로서 사용하여 부분적으로 에칭하였다. 에칭 가스로서 트라이플루오로메탄(CHF₃) 가스 및 헬륨(He) 가스의 혼합 분위기에서 산화 실리콘막을 가공하였다.
- [0428] 다음에, 텁스텐막을 레지스트 마스크, 유기 수지막, 및 질화 실리콘막을 마스크로서 사용하여 부분적으로 에칭하였다. 에칭 가스로서, 염소(Cl₂) 가스, 사플루오린화 탄소(CF₄) 가스, 및 산소(O₂) 가스의 혼합 분위기에서 텁스텐막을 가공함으로써 텁스텐막(207a) 및 텁스텐막(207b)을 형성하였다. 또한 상술한 에칭 처리에서, 레지스트 마스크 및 유기 수지막도 에칭되고 후퇴시켰다.
- [0429] 다음에, 제 2 산화물 반도체막, 제 1 산화물 반도체막, 산화질화 실리콘막, 및 산화 알루미늄막이 텁스텐막

(207a) 및 텡스텐막(207b)을 마스크로서 사용하여 부분적으로 에칭됨으로써, 산화 알루미늄막(203), 산화질화 실리콘막(204), 제 1 산화물 반도체막(205), 및 제 2 산화물 반도체막(206)을 형성하였다. 에칭 가스로서, 트라이플루오로메탄(CHF₃) 가스 및 헬륨(He) 가스의 혼합 분위기, 또는 헥사플루오로-1,3-뷰타다이엔(C₄F₆) 가스 및 아르곤(Ar) 가스의 혼합 분위기를 사용하였다.

[0430] 다음에, 산화 실리콘막을 텡스텐막(207a) 및 텡스텐막(207b)을 마스크로서 사용하여 부분적으로 에칭함으로써, 텡스텐막(201)에 도달되는 개구를 제공하였고, 산화 실리콘막(202)이 형성되었다. 에칭 가스로서, 헥사플루오로-1,3-뷰타다이엔(C₄F₆) 가스 및 아르곤(Ar) 가스의 혼합 분위기가 사용되었다.

[0431] 다음에, 두께 5nm의 질화 타이타늄막(208a)을 CVD법에 의하여 형성하였다.

[0432] 다음에, 두께 200nm의 텡스텐막(208b)을 CVD법에 의하여 형성하였다.

[0433] 상술한 공정을 거쳐, 시료 A를 형성하였다.

[0434] 또한, 시료 B를 형성하였다. 시료 B를 형성하기 위한 방법을 이하에서 설명하겠다.

[0435] 실리콘 웨이퍼를 열산화함으로써, 두께 100nm의 열산화막을 실리콘 웨이퍼의 표면에 형성하였다. 열산화는 HCl 을 산소에 대하여 3vol% 포함하는 열산화 분위기에서 950°C로 4시간 수행되었다.

[0436] 다음에 열산화막을 깊이 100nm 에칭하였다.

[0437] 그리고, 압력이 0.8Pa, 기판 온도가 230°C, 타깃과 기판 사이의 거리가 60mm, 및 1.0kW의 전원 전력(DC)이 인가된 조건하에서, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기에서, 텡스텐 타깃을 사용하여 스퍼터링법에 의하여 두께 150nm의 텡스텐막(211)을 형성하였다.

[0438] 다음에, 유량 15sccm의 TEOS(tetraethoxysilane) 및 유량 750sccm의 산소(O₂)를 원료 가스로서 사용하였고, 기판 온도가 300°C이고, 300W의 고주파 전력을 27MHz의 고주파 전원을 사용하여 평행 평판 전극에 공급하는 CVD법에 의하여 두께 100nm의 산화 실리콘막을 형성하였다.

[0439] 이 후, 유량 25sccm의 아르곤(Ar) 가스 및 유량 25sccm의 산소(O₂) 가스를 성막 가스로서 사용하고, 압력이 0.4Pa, 기판 온도가 250°C, 타깃과 기판 사이의 거리가 60mm, 2.5kW의 RF 전력이 인가된 조건하에서 산화 알루미늄 타깃을 사용하여 스퍼터링법에 의하여 두께 20nm의 산화 알루미늄막을 형성하였다.

[0440] 이 후, 유량 1sccm의 실레인(SiH₄) 및 유량 800sccm의 일산화 이질소(N₂O)를 원료 가스로서 사용하고, 반응 챔버 내의 압력이 200Pa이고, 기판 온도가 350°C이고, 150W의 고주파 전력이 60MHz의 고주파 전원을 사용하여 평행 평판 전극에 공급되는 CVD법에 의하여 두께 50nm의 산화질화 실리콘막을 형성하였다.

[0441] 이 후, 두께 10nm의 제 1 산화물 반도체막 및 두께 40nm의 제 2 산화물 반도체막을 스퍼터링법에 의하여 적층하였다. 압력이 0.4Pa, 0.5kW의 전원 전력(DC)이 인가되고, 타깃과 기판 사이의 거리가 60mm, 기판 온도가 200°C 인 조건하에서, 유량 40sccm의 아르곤(Ar)과 유량 5sccm의 산소(O₂)의 혼합 분위기에서 In:Ga:Zn=1:3:4의 원자 비율을 갖는 타깃을 사용하여 제 1 산화물 반도체막을 형성하였다. 압력이 0.4Pa, 0.5kW의 전원 전력(DC)이 인가되고, 타깃과 기판 사이의 거리가 60mm이고, 기판 온도가 300°C의 조건하에서 유량 30sccm의 아르곤(Ar)과 유량 15sccm의 산소(O₂)의 혼합 분위기에서 In:Ga:Zn=1:1:1의 원자 비율을 갖는 타깃을 사용하여 제 2 산화물 반도체막을 형성하였다.

[0442] 다음에, 압력이 0.8Pa, 기판 온도가 230°C, 타깃과 기판 사이의 거리가 60mm, 및 1.0kW의 전원 전력(DC)이 인가된 조건하에서, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기에서, 텡스텐 타깃을 사용하여 스퍼터링법에 의하여 두께 30nm의 텡스텐막을 형성하였다. 이 텡스텐막은 제 1 산화물 반도체막 및 제 2 산화물 반도체막이 에칭될 때 하드 마스크로서 기능한다.

[0443] 다음에, 두께 20nm의 유기 수지막을 SWK-T7의 도포에 의하여 형성하였다. SWK-T7의 도포 전에, 200°C로 120초간 가열함으로써 수분을 제거하고, 1,1,1,3,3,3-헥사메틸다이실라잔(HMDS)을 더 도포하고 나서, 수분을 110°C로 60초간의 가열에 의하여 제거하였다. 이 후, 용매 및 수분을 200°C로 200초간 가열함으로써 제거하였다.

[0444] 다음에, 레지스트 마스크를 형성하고, 유기 수지막을 부분적으로 에칭하였다. 에칭 가스로서, 염소(Cl₂) 가스를 사용하였다.

- [0445] 다음에, 텅스텐막을 레지스트 마스크 및 유기 수지막을 마스크로서 사용하여 부분적으로 에칭하였다. 에칭 가스로서, 염소(Cl₂) 가스, 사플루오린화 탄소(CF₄) 가스, 및 산소(O₂) 가스의 혼합 분위기에서 텅스텐막을 가공함으로써 텅스텐막(217a) 및 텅스텐막(217b)을 형성하였다. 또한 상술한 에칭 처리에서, 레지스트 마스크 및 유기 수지막도 에칭되고 후퇴시켰다.
- [0446] 다음에, 제 2 산화물 반도체막, 제 1 산화물 반도체막, 산화질화 실리콘막, 및 산화 알루미늄막이 텅스텐막(217a) 및 텅스텐막(217b)을 마스크로서 사용하여 부분적으로 에칭됨으로써, 산화 알루미늄막(213), 산화질화 실리콘막(214), 제 1 산화물 반도체막(215), 및 제 2 산화물 반도체막(216)을 형성하였다. 에칭 가스로서, 트라이플루오로메탄(CHF₃) 가스 및 헬륨(He) 가스의 혼합 분위기, 또는 헥사플루오로-1,3-뷰타다이엔(C₄F₆) 가스 및 아르곤(Ar) 가스의 혼합 분위기를 사용하였다.
- [0447] 다음에, 산화 실리콘막을 텅스텐막(217a) 및 텅스텐막(217b)을 마스크로서 사용하여 부분적으로 에칭함으로써, 텅스텐막(211)에 도달되는 개구를 제공하였고, 산화 실리콘막(212)이 형성되었다. 에칭 가스로서, 헥사플루오로-1,3-뷰타다이엔(C₄F₆) 가스 및 아르곤(Ar) 가스의 혼합 분위기가 사용되었다.
- [0448] 다음에, 두께 10nm의 질화 타이타늄막(218a)을 CVD법에 의하여 형성하였다.
- [0449] 다음에, 두께 200nm의 텅스텐막(218b)을 CVD법에 의하여 형성하였다.
- [0450] 상술한 공정을 거쳐, 시료 B를 형성하였다.
- [0451] 도 30은 시료 A의 단면 STEM 이미지를 나타낸 것이고, 도 31은 시료 B의 단면 STEM 이미지를 나타낸 것이다.
- [0452] 도 30은 시료 A에서의 개구의 바닥의 폭이 51.5nm인 것을 나타낸 것이다. 도 31은 시료 B에서의 개구의 바닥의 폭이 99.2nm인 것을 나타낸 것이다.
- [0453] 상술한 결과는, 질화 실리콘막이 유기 수지막과 하드 마스크로서 기능하는 텅스텐막 사이에 접촉하여 제공되고, 레지스트 마스크에 대한 질화 실리콘막의 선택성이 높은 조건하에서 에칭이 수행되어 질화 실리콘막의 후퇴가 억제되고, 개구가 상기 질화 실리콘막을 마스크로서 사용하여 형성되면, 레지스트 마스크의 패턴의 길이에서의 증가를 억제할 수 있고 개구의 바닥의 폭(개구의 확대)을 저감할 수 있다는 것을 시사한다.
- [0454] [실시예 2]
- [0455] 본 실시예에서, 단결정 실리콘이 반도체막에 사용되는 제 1 트랜지스터(이 트랜지스터를 Si-FET라고도 함) 및 산화물 반도체가 반도체막에 사용되는 제 2 트랜지스터(이 트랜지스터를 OS-FET라고도 함)를 포함하는 반도체 장치의 단면 관찰을 설명한다. 또한 Si-FET 및 OS-FET를 실시형태 1에 설명된 방법에 의하여 형성하였다.
- [0456] 도 32는 반도체 장치의 단면 STEM 이미지를 나타낸 것이다.
- [0457] 도 32는 OS-FET를 형성하는 공정의 상술한 설명에서의 2층의 하드 마스크를 사용하여 형성된 플러그의 바닥이 Si-FET와 직접 접촉되는 플러그보다 좁은 것을 나타낸다. 바꿔 말하면, 2층의 하드 마스크를 사용하여 형성된 플러그를 위한 개구의 확대가 Si-FET와 직접 접촉되는 플러그로 채워진 개구에 비하여 억제되는 것을 확인할 수 있다.
- [0458] 도 32에 나타낸 Si-FET의 게이트 전극의 상면의 중심이 점 0에 있고 OS-FET에서의 산화물 반도체막의 저면의 긴 쪽이 선 C1-C2에 상당할 때, 도 32에 나타낸 각도 Θ는 118.36°다.
- 부호의 설명**
- [0459] 100: 트랜지스터, 101a: 산화물 반도체막, 101b: 산화물 반도체막, 101c: 산화물 반도체막, 102a: 산화물 반도체막, 102b: 산화물 반도체막, 103: 도전막, 103a: 전극, 103a1: 도전막, 103a2: 섬형상 도전막, 103b: 전극, 103c: 전극, 104: 게이트 절연막, 105: 게이트 전극, 106: 절연막, 106a: 절연막, 107: 절연막, 108: 절연막, 109a: 저저항 영역, 109b: 저저항 영역, 110: 트랜지스터, 111: 반도체 기판, 112: 반도체막, 113a: 저저항층, 113b: 저저항층, 114: 게이트 절연막, 115: 게이트 전극, 115a: 게이트 전극, 115b: 게이트 전극, 120: 배리어막, 121: 절연막, 122: 절연막, 123: 절연막, 124: 절연막, 125: 절연막, 126: 절연막, 127: 절연막, 128: 절연막, 130: 커페시터, 131a: 산화물 반도체막, 131b: 산화물 반도체막, 136: 전극, 137: 절연막, 138: 전극, 140a: 유기 수지막, 140b: 유기 수지막, 141: 레지스트 마스크, 141a: 레지스트 마스크, 146a: 산화물 반도체막, 146b: 산화물 반도체막, 147a: 층, 147b: 층, 160: 트랜지스터, 161: 플러그, 162: 플러그, 163: 플

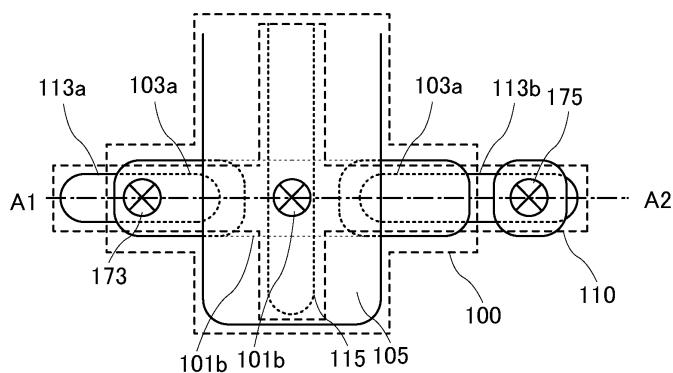
러그, 164: 플러그, 165: 플러그, 166: 플러그, 167: 플러그, 168: 플러그, 169: 플러그, 170: 플러그, 171: 플러그, 172: 플러그, 173: 전극, 174: 전극, 175: 전극, 180: 배선, 181: 배선, 201: 텅스텐막, 202: 산화 실리콘막, 203: 산화 알루미늄막, 204: 산화질화 실리콘막, 205: 산화물 반도체막, 206: 산화물 반도체막, 207a: 텅스텐막, 207b: 텅스텐막, 208a: 질화 타이타늄막, 208b: 텅스텐막, 211: 텅스텐막, 212: 산화 실리콘막, 213: 산화 알루미늄막, 214: 산화질화 실리콘막, 215: 산화물 반도체막, 216: 산화물 반도체막, 217a: 텅스텐막, 217b: 텅스텐막, 218a: 질화 타이타늄막, 218b: 텅스텐막, 700: 기판, 701: 화소부, 702: 주사선 구동 회로, 703: 주사선 구동 회로, 704: 신호선 구동 회로, 710: 커페시터 배선, 712: 게이트 배선, 713: 게이트 배선, 714: 드레인 전극, 716: 트랜지스터, 717: 트랜지스터, 718: 액정 소자, 719: 액정 소자, 720: 화소, 721: 스위칭 트랜지스터, 722: 구동 트랜지스터, 723: 커페시터, 724: 발광 소자, 725: 신호선, 726: 주사선, 727: 전원선, 728: 공통 전극, 800: RFID 태그, 801: 통신 장치, 802: 안테나, 803: 무선 신호, 804: 안테나, 805: 정류 회로, 806: 정전압 회로, 807: 복조 회로, 808: 변조 회로, 809: 논리 회로, 810: 기억 회로, 811: ROM, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크로폰, 906: 스피커, 907: 조작 키, 908: 스타일러스, 911: 하우징, 912: 하우징, 913: 표시부, 914: 표시부, 915: 연결부, 916: 조작 키, 921: 하우징, 922: 표시부, 923: 키보드, 924: 포인팅 디바이스, 931: 하우징, 932: 냉장실 도어, 933: 냉동실 도어, 941: 하우징, 942: 하우징, 943: 표시부, 944: 조작 키, 945: 렌즈, 946: 연결부, 951: 차체, 952: 차륜, 953: 대시보드, 954: 라이트, 1189: ROM 인터페이스, 1190: 기판, 1191: ALU, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1195: 타이밍 컨트롤러, 1196: 레지스터, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 1200: 기억 소자, 1201: 회로, 1202: 회로, 1203: 스위치, 1204: 스위치, 1206: 논리 소자, 1207: 커페시터, 1208: 커페시터, 1209: 트랜지스터, 1210: 트랜지스터, 1213: 트랜지스터, 1214: 트랜지스터, 1220: 회로, 2100: 트랜지스터, 2200: 트랜지스터, 3001: 배선, 3002: 배선, 3003: 배선, 3004: 배선, 3005: 배선, 3200: 트랜지스터, 3300: 트랜지스터, 3400: 커페시터, 4000: RFID, 5100: 펠릿, 5100a: 펠릿, 5100b: 펠릿, 5101: 이온, 5102: 산화 아연층, 5103: 입자, 5105a: 펠릿, 5105a1: 영역, 5105a2: 펠릿, 5105b: 펠릿, 5105c: 펠릿, 5105d: 펠릿, 5105d1: 영역, 5105e: 펠릿, 5120: 기판, 5130: 타깃, 및 5161: 영역.

본 출원은 2014년 5월 30일에 일본 특허청에 출원된 일련 번호 2014-112369의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

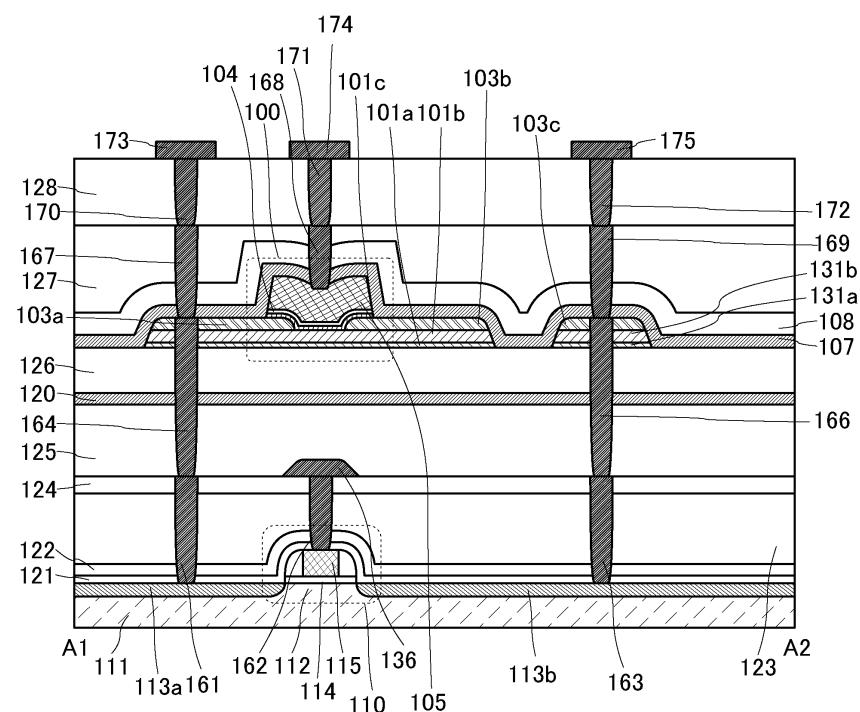
도면

도면1

(A)

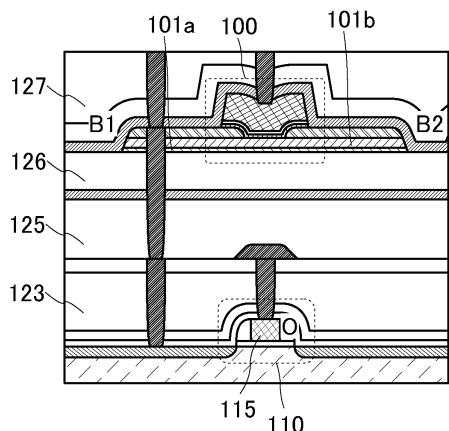


(B)

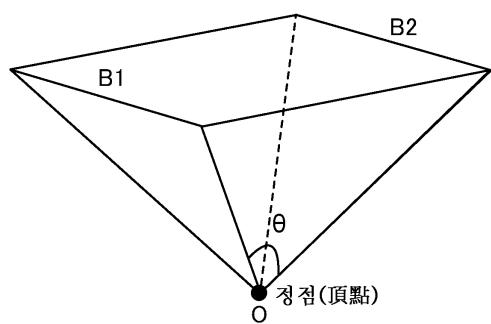


도면2

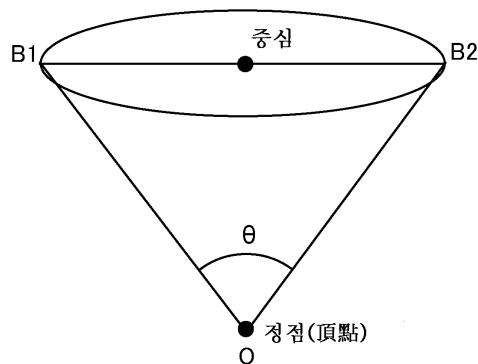
(A)



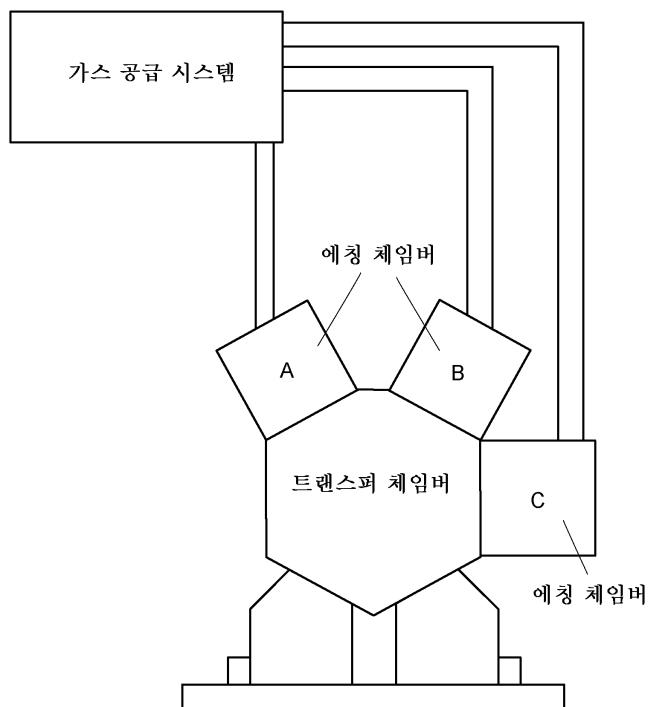
(B)



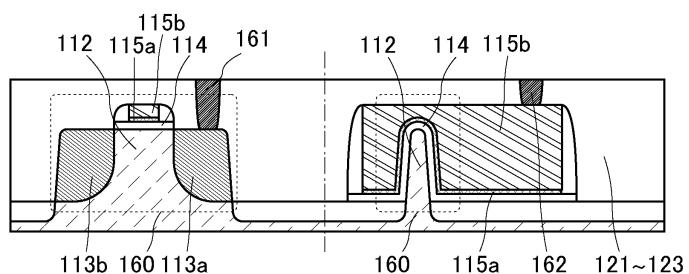
(C)



도면3

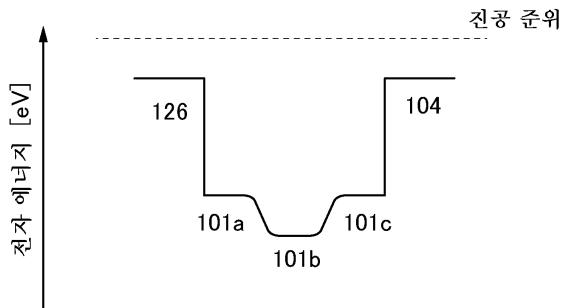


도면4

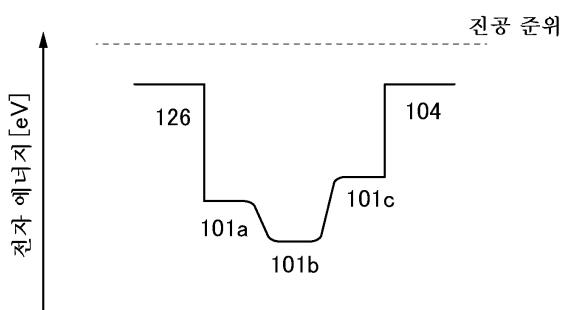


도면5

(A)

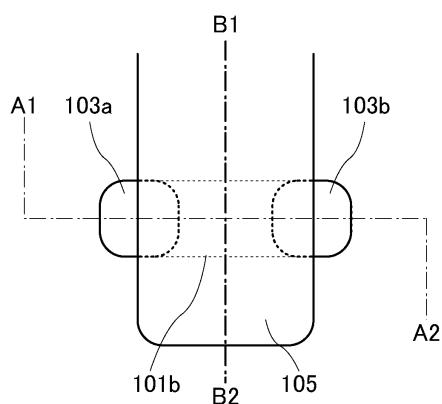


(B)

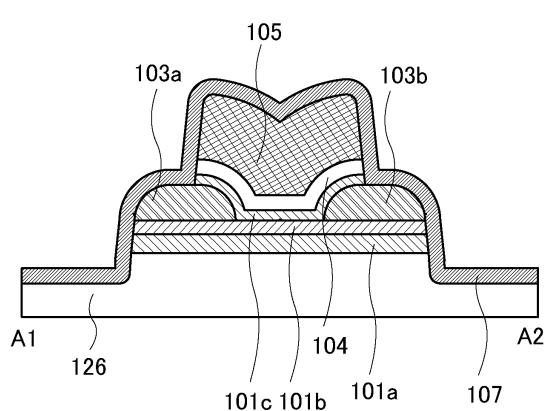


도면6

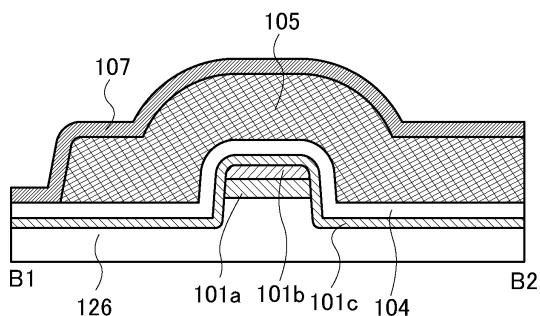
(A)



(B)

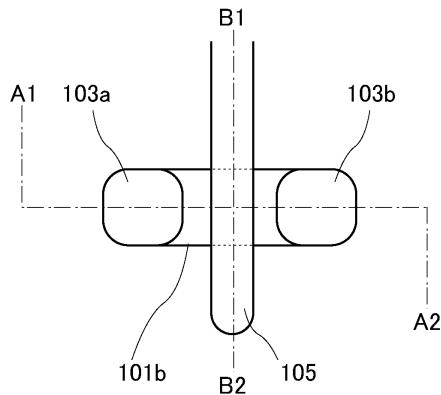


(C)

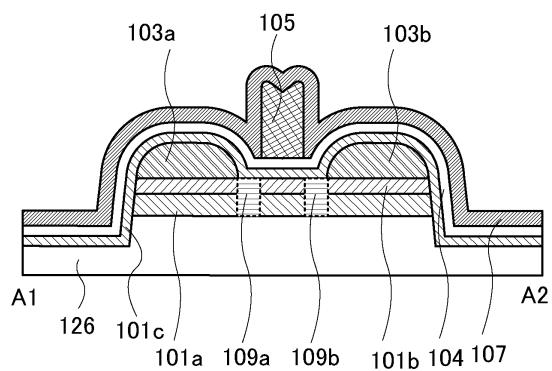


도면7

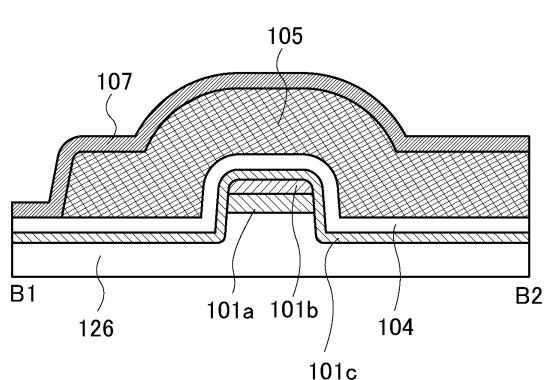
(A)



(B)

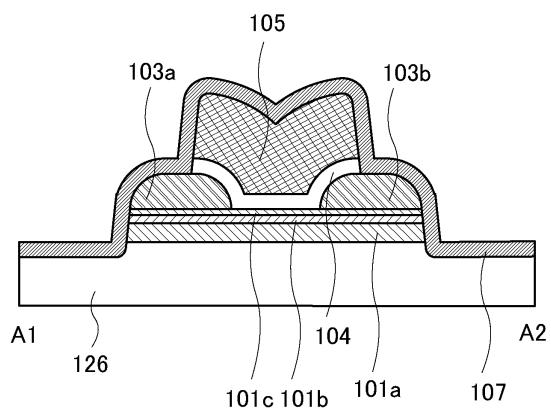


(C)

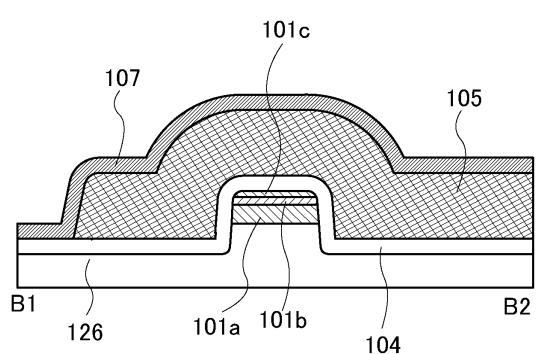


도면8

(A)

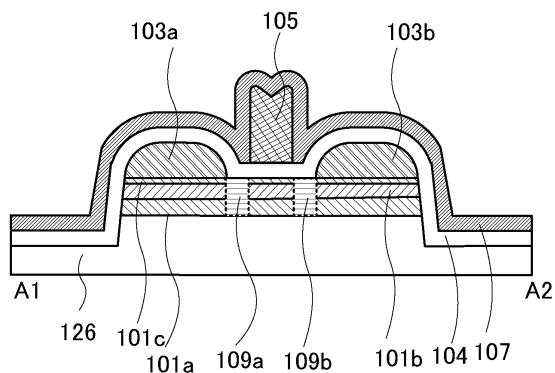


(B)

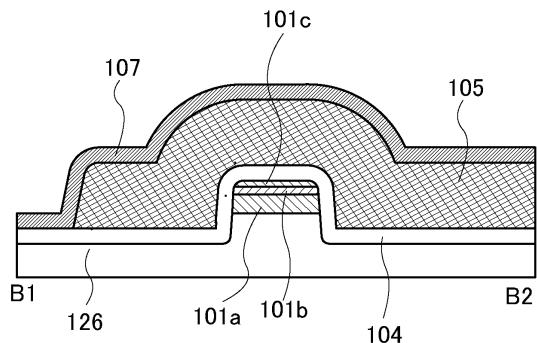


도면9

(A)

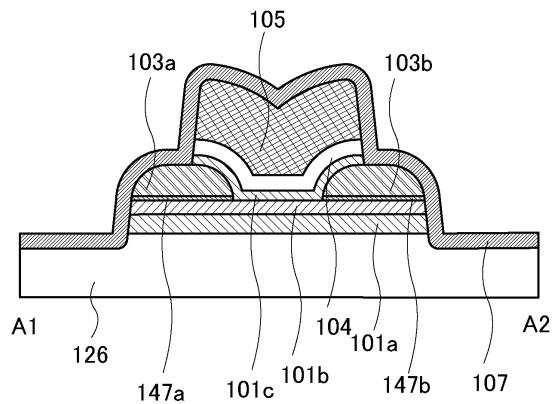


(B)

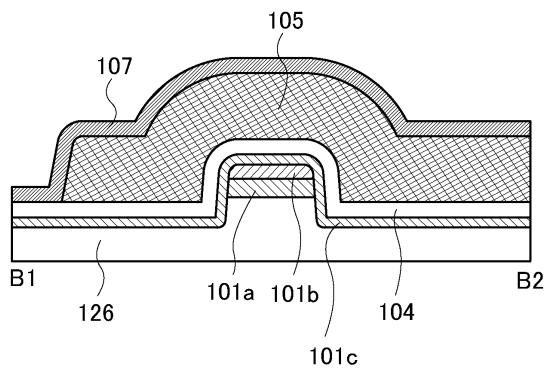


도면10

(A)

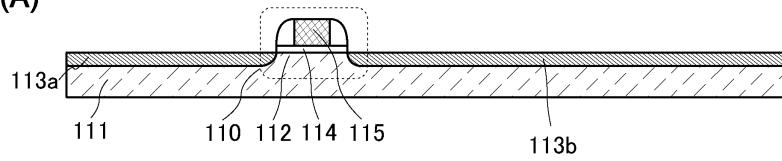


(B)

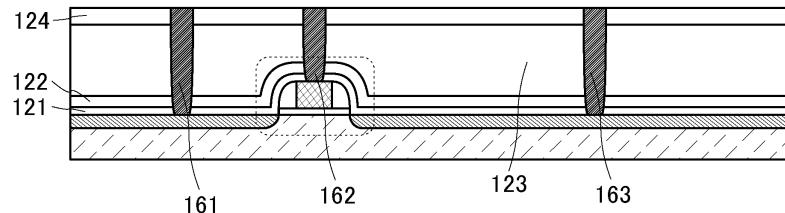


도면11

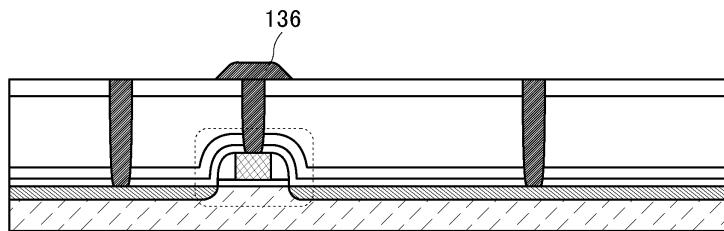
(A)



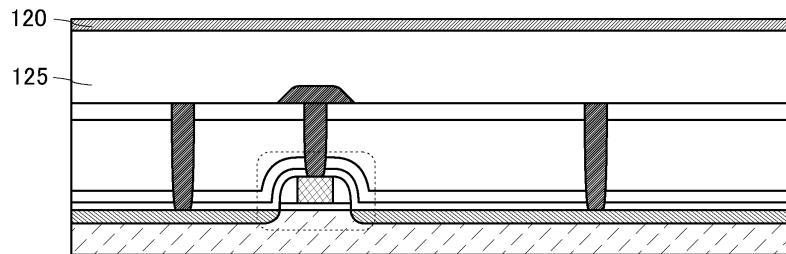
(B)



(C)

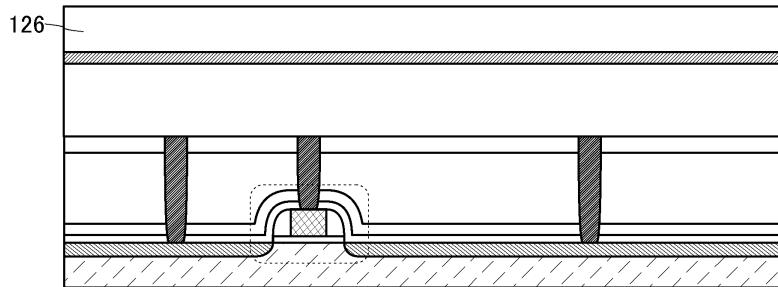


(D)

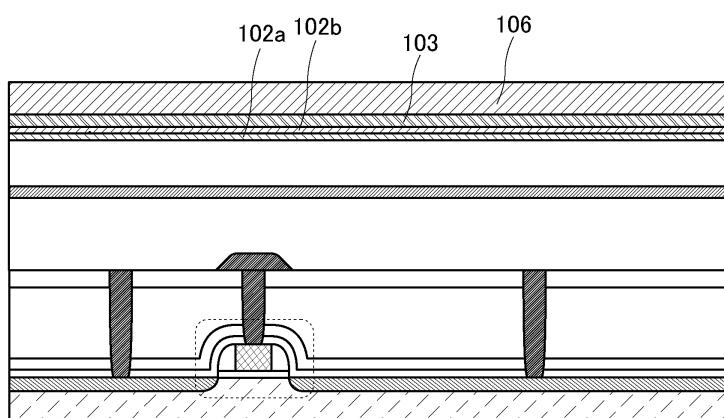


도면12

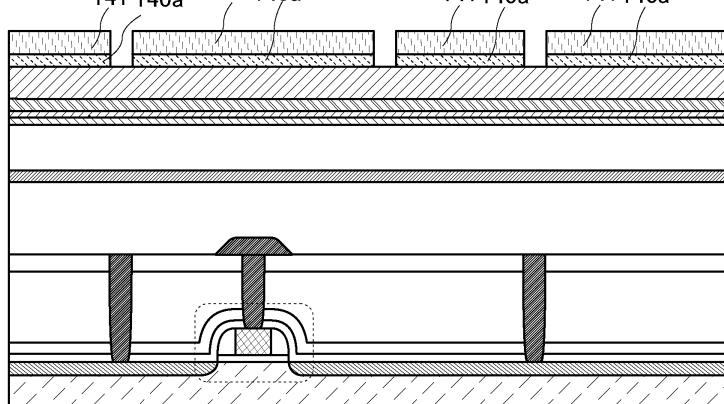
(A)



(B)

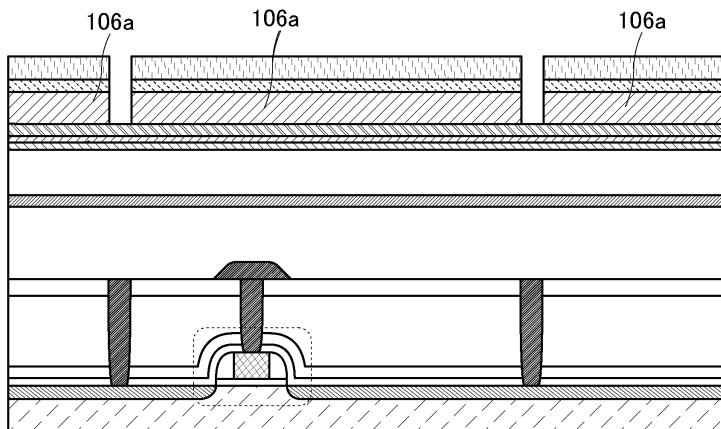


(C)

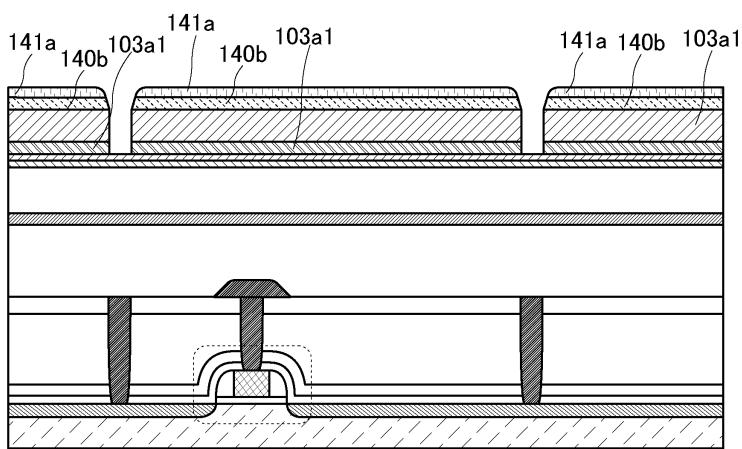


도면13

(A)

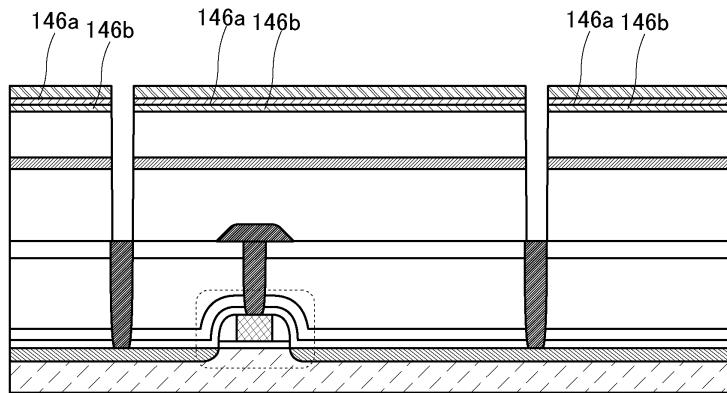


(B)

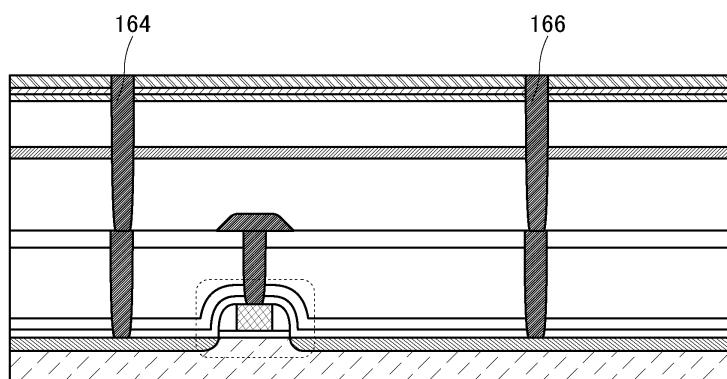


도면14

(A)

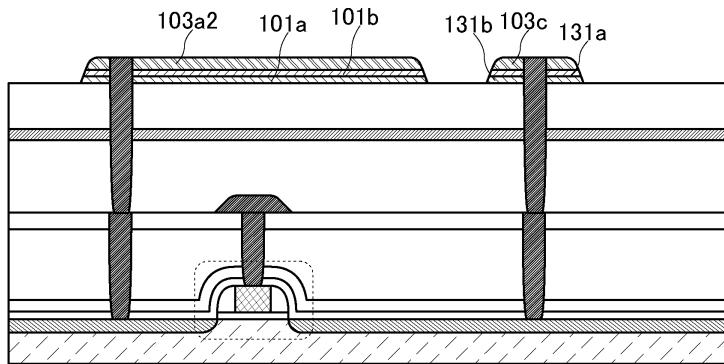


(B)

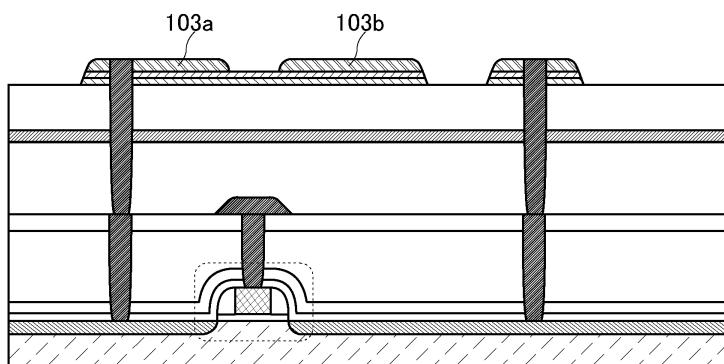


도면15

(A)

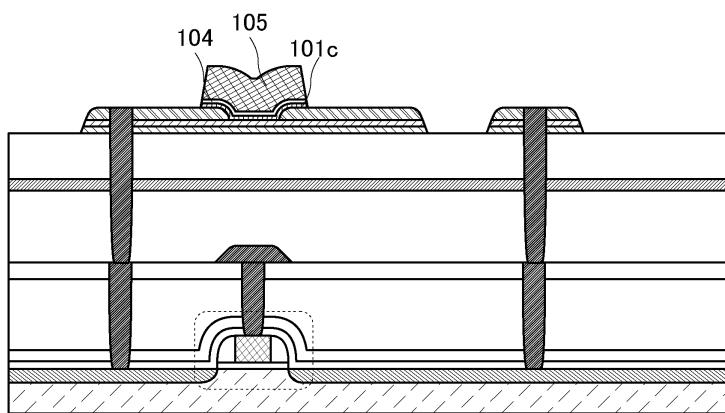


(B)

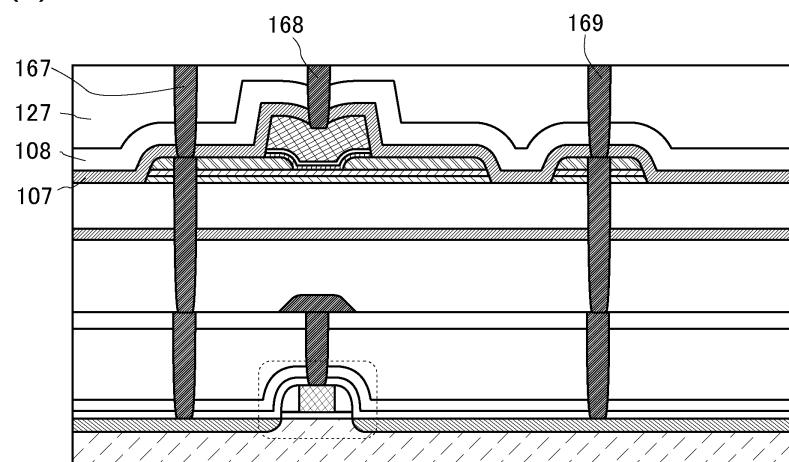


도면16

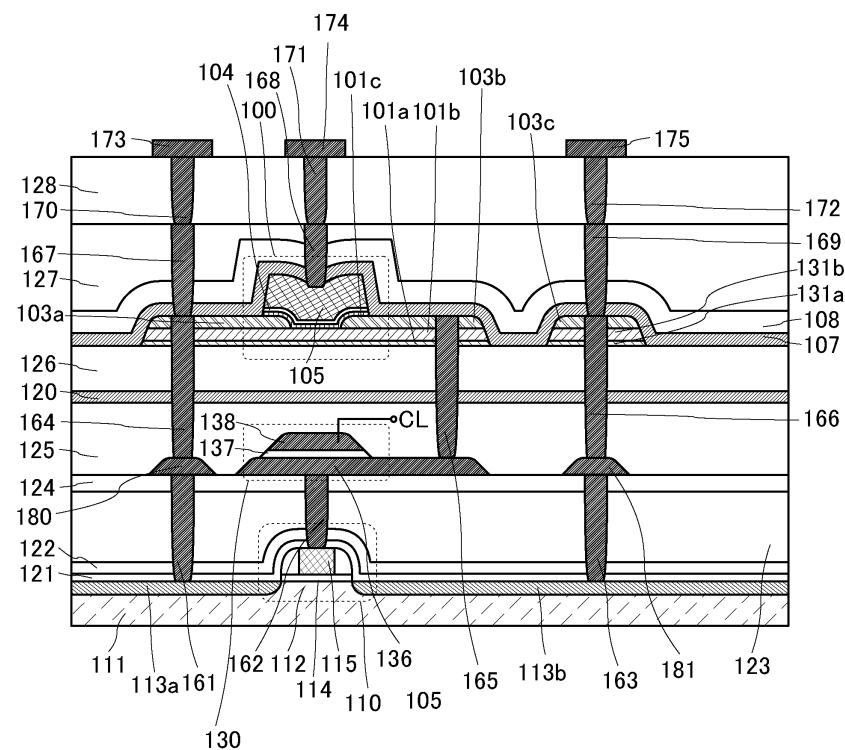
(A)



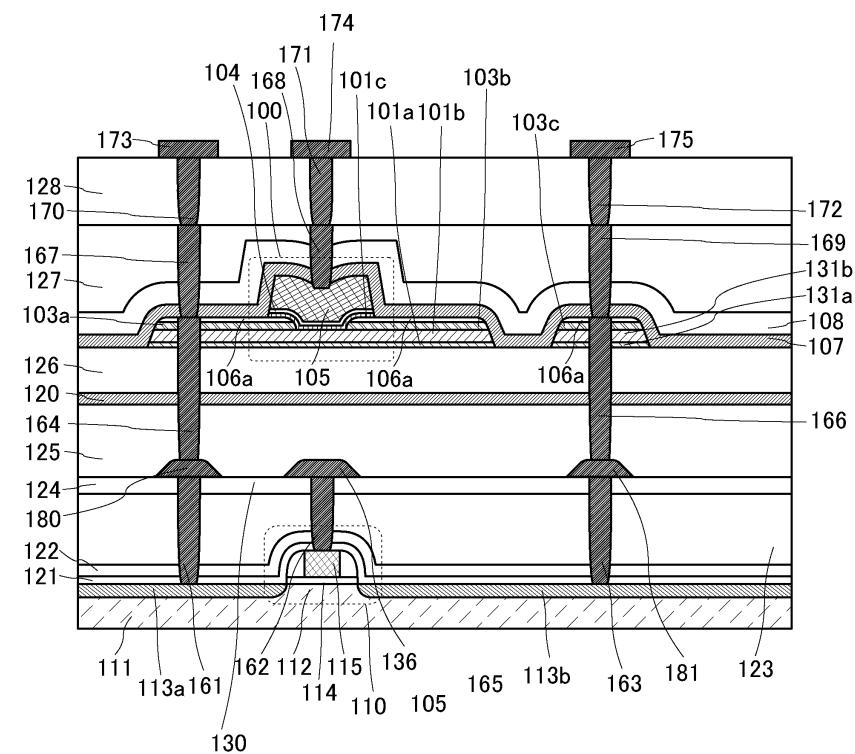
(B)



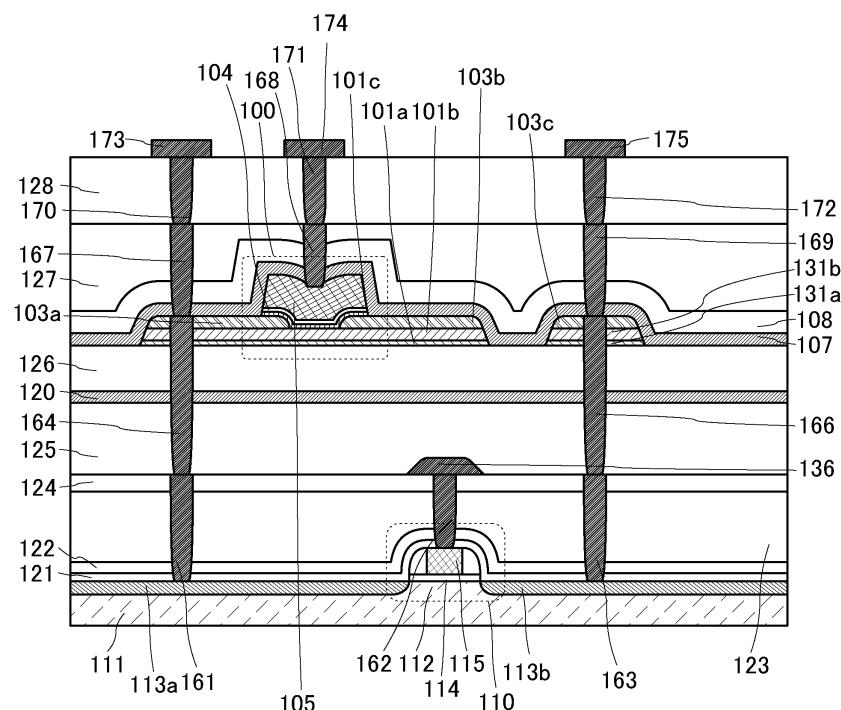
도면17



도면18

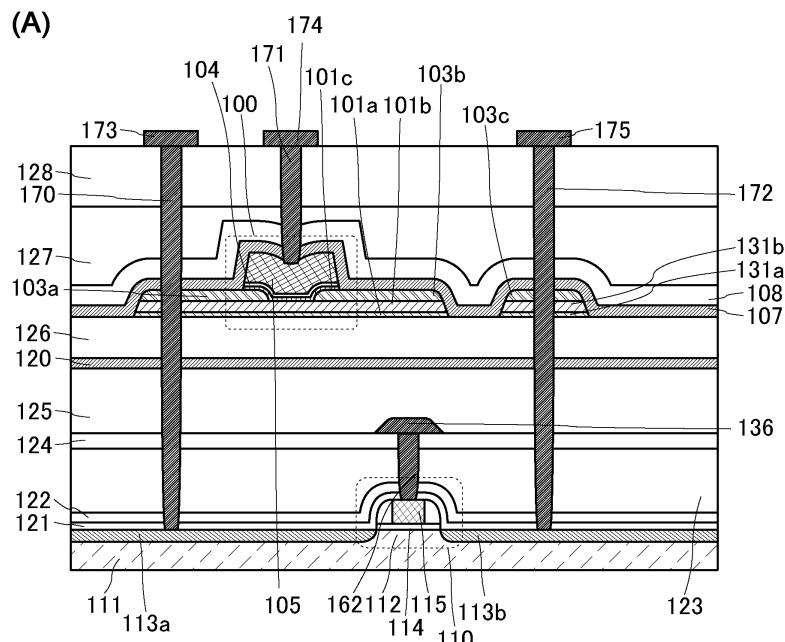


도면19

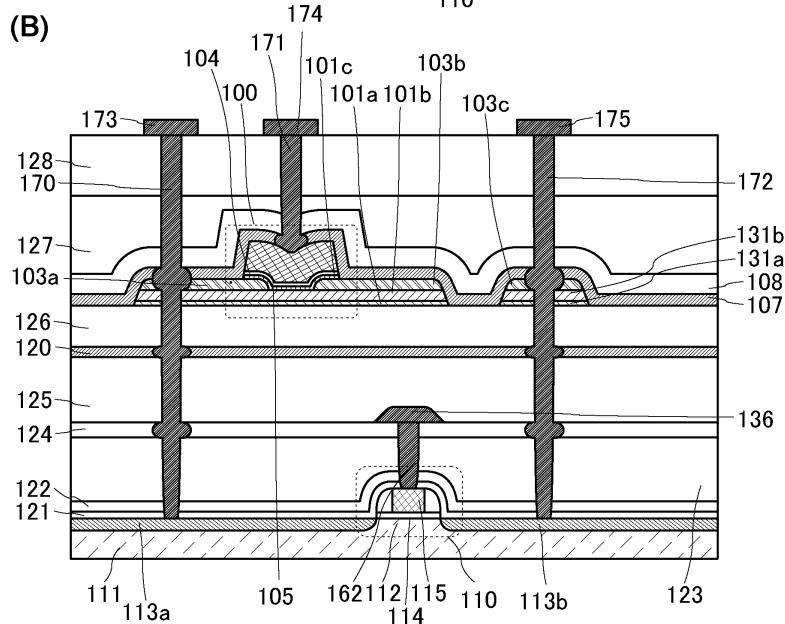


도면20

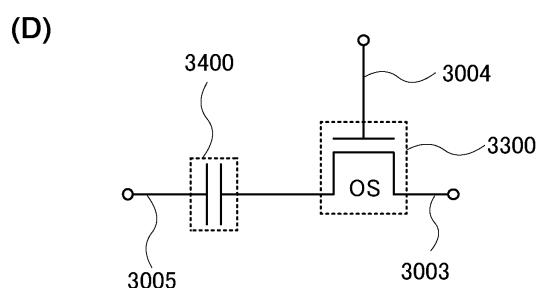
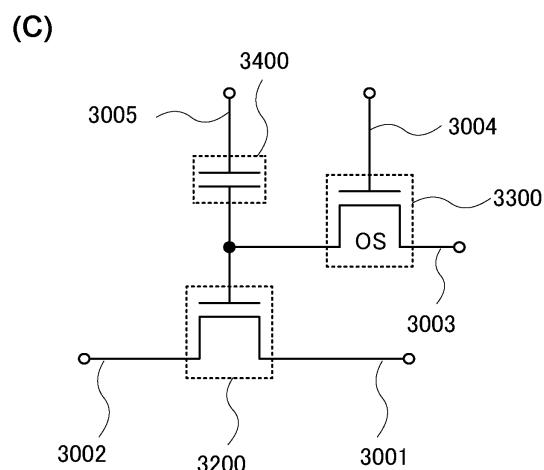
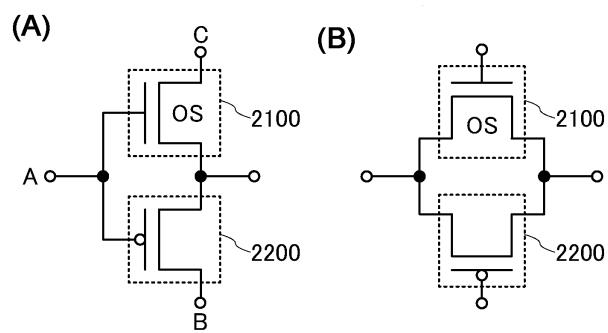
(A)



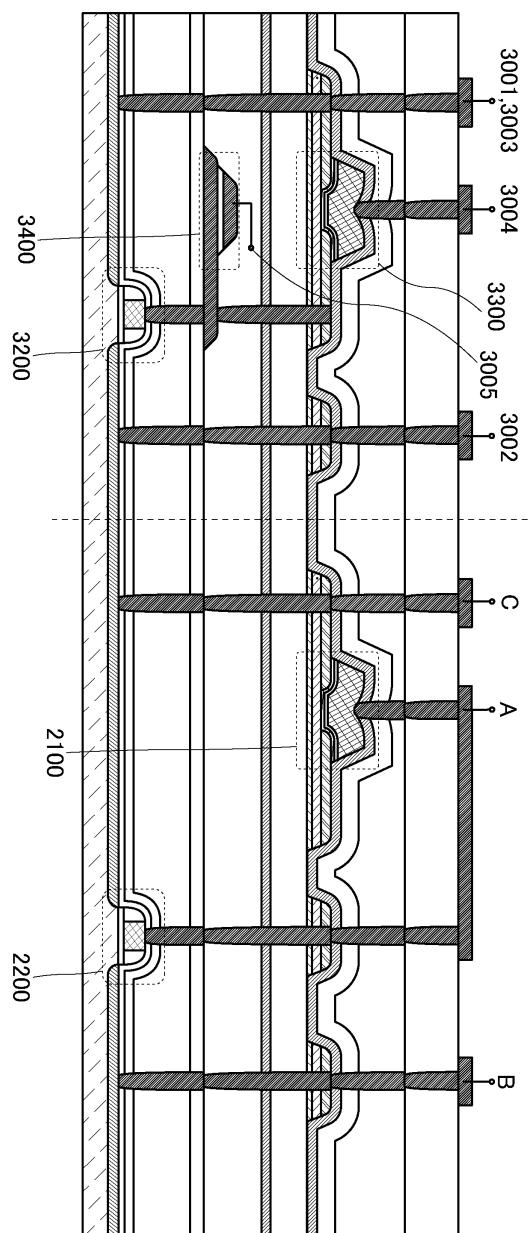
(B)



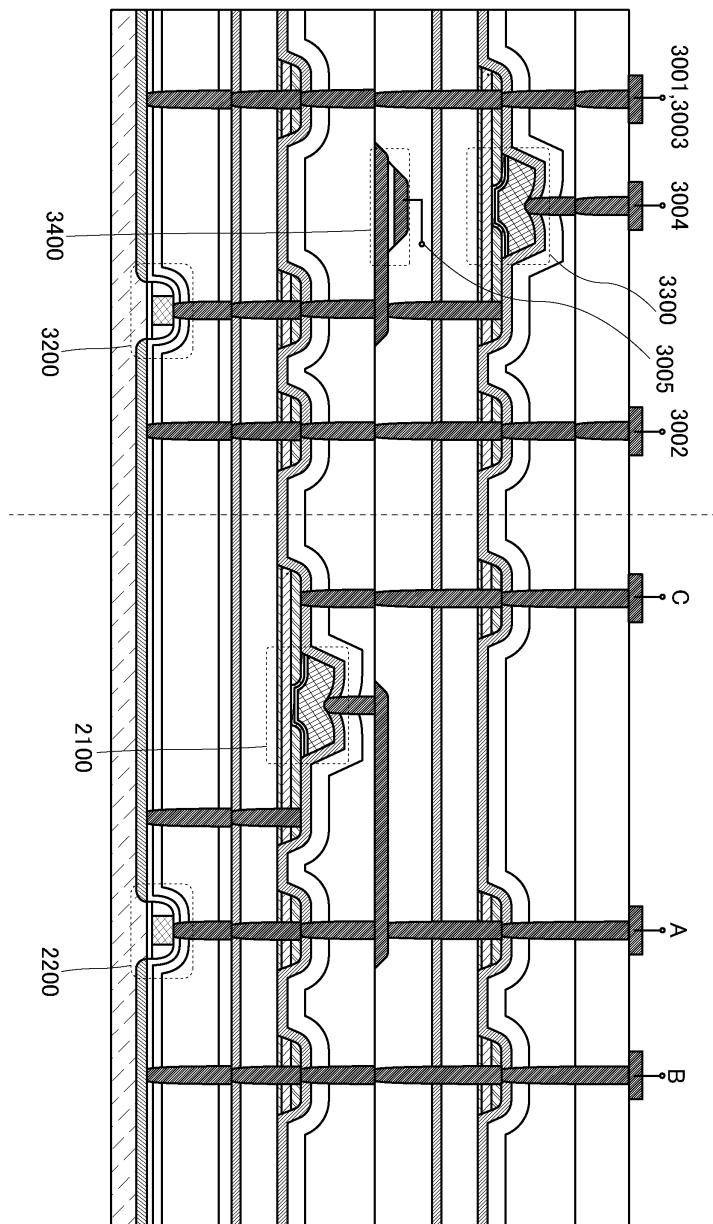
도면21



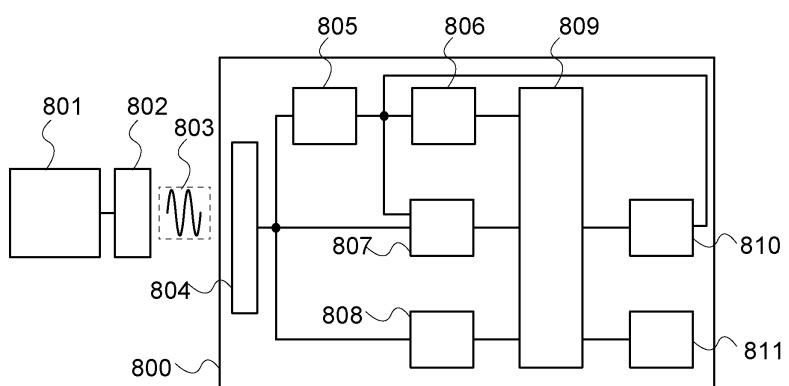
도면22



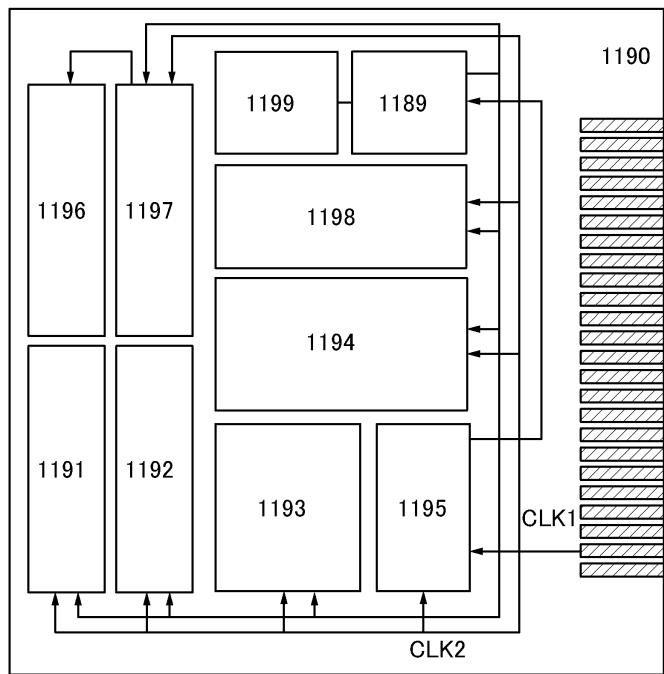
도면23



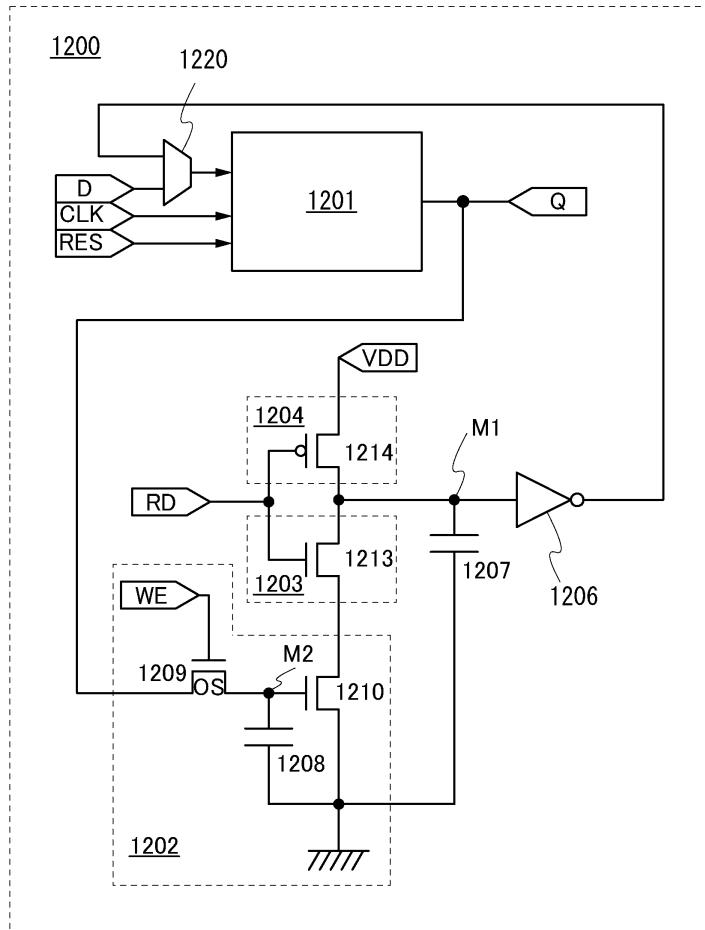
도면24



도면25

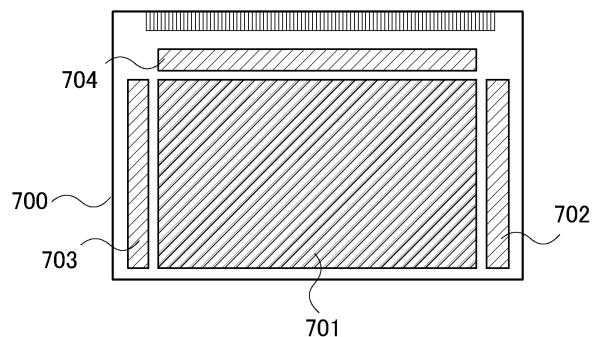


도면26

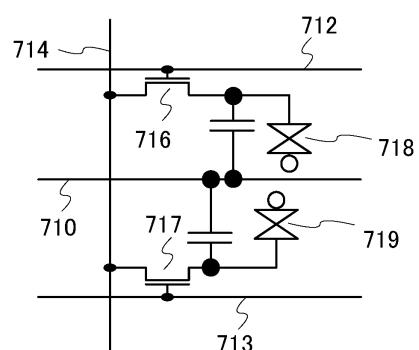


도면27

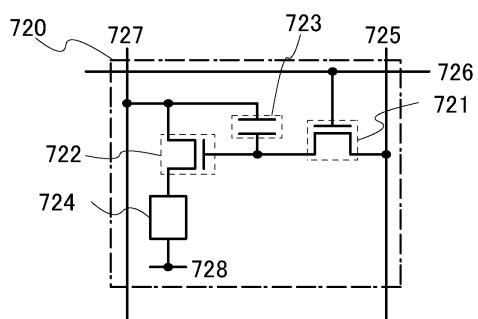
(A)



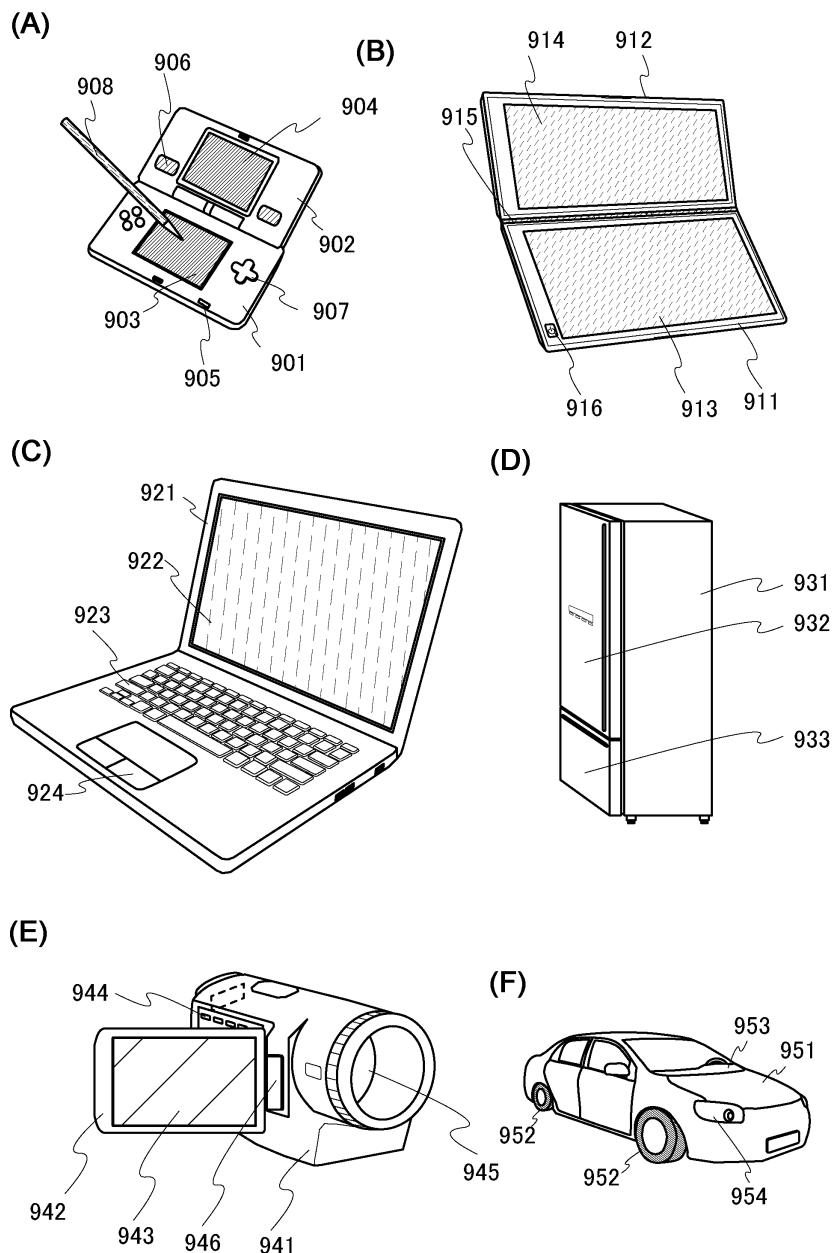
(B)



(C)

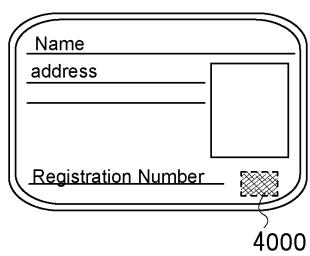


도면28

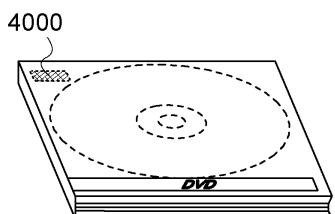


도면29

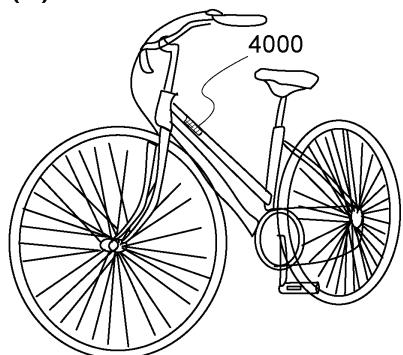
(A)



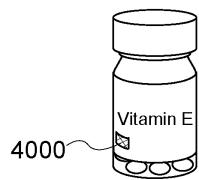
(B)



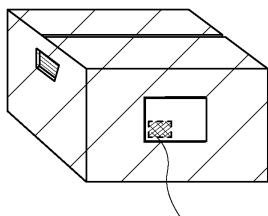
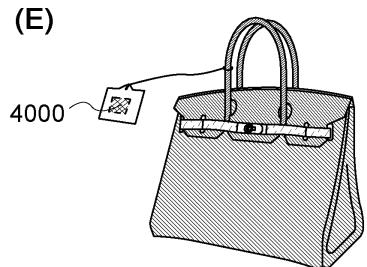
(D)



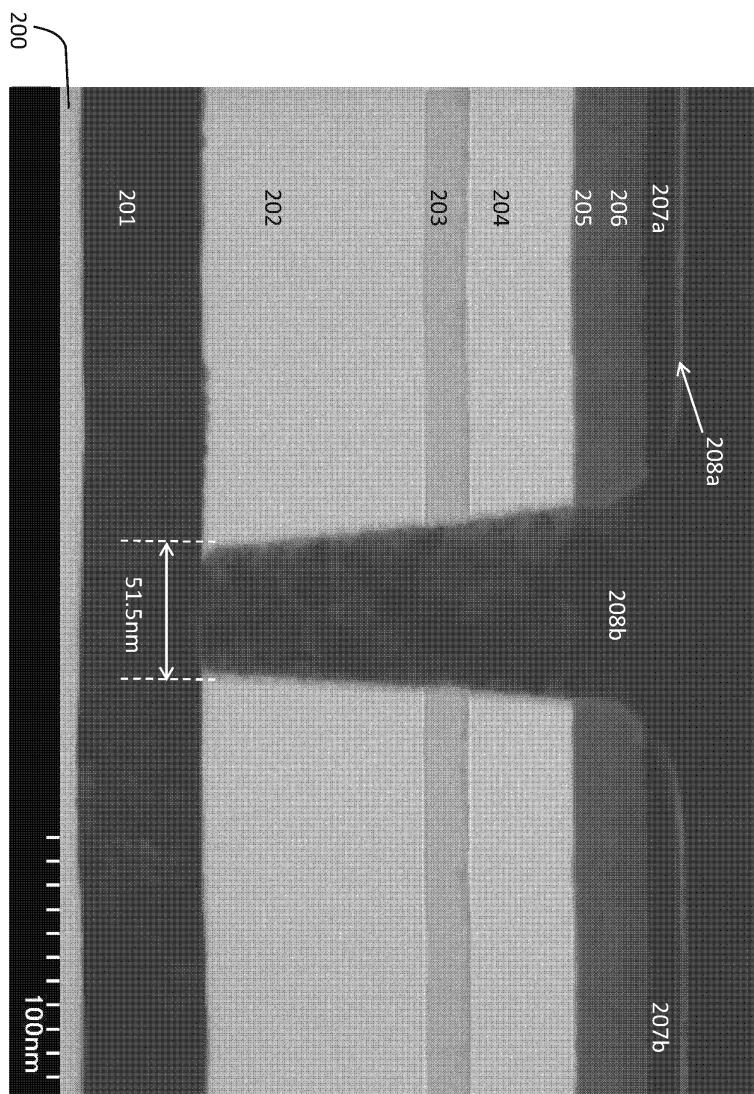
(C)



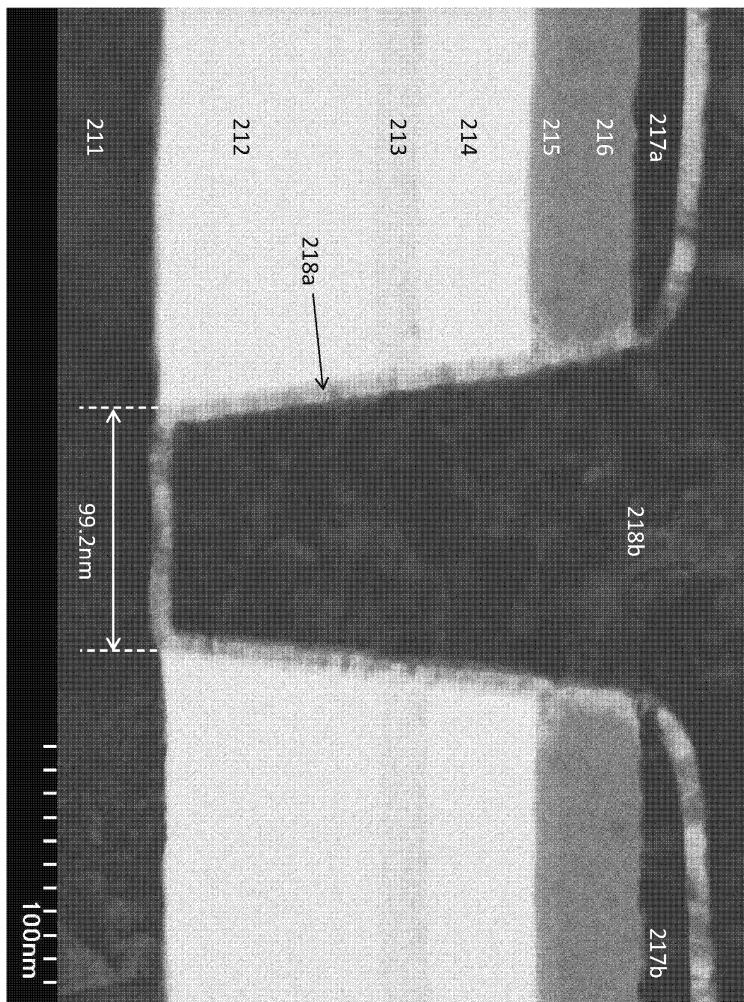
(F)



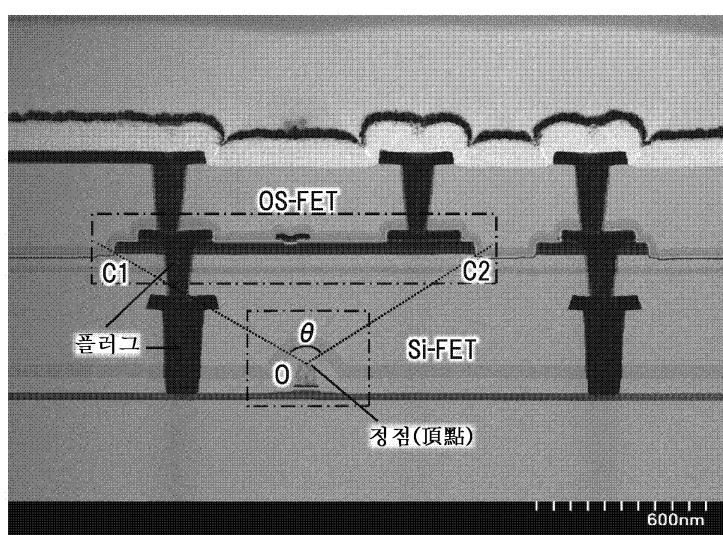
도면30



도면31

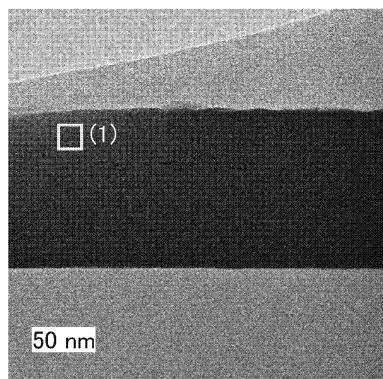


도면32

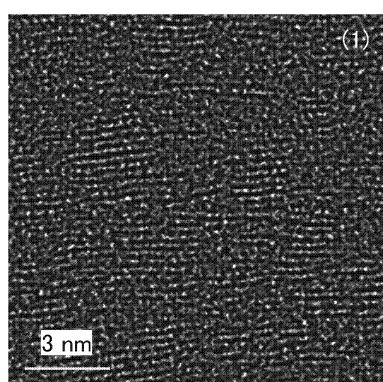


도면33

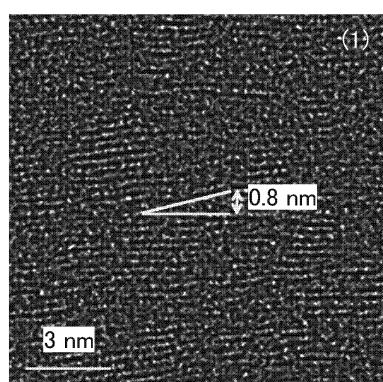
(A)



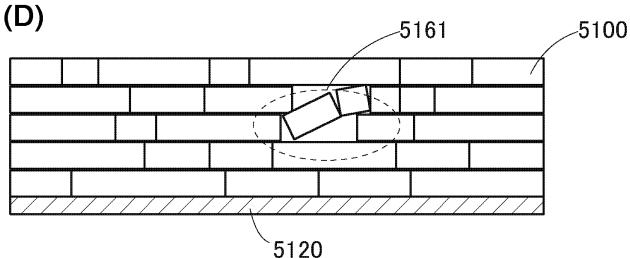
(B)



(C)

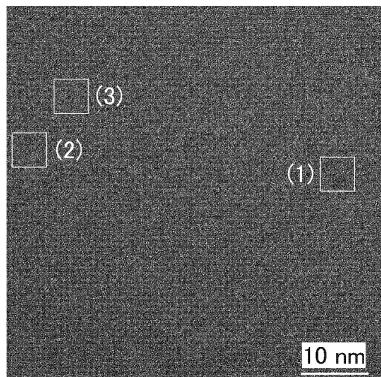


(D)

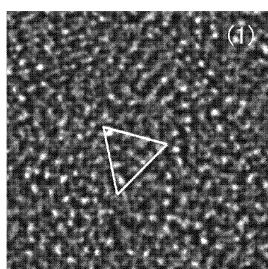


도면34

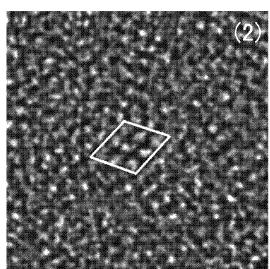
(A)



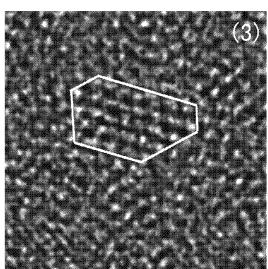
(B)



(C)

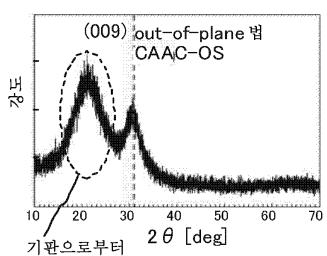


(D)

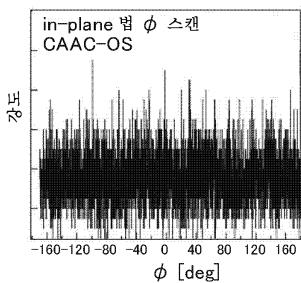


도면35

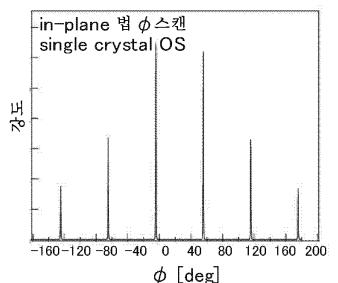
(A)



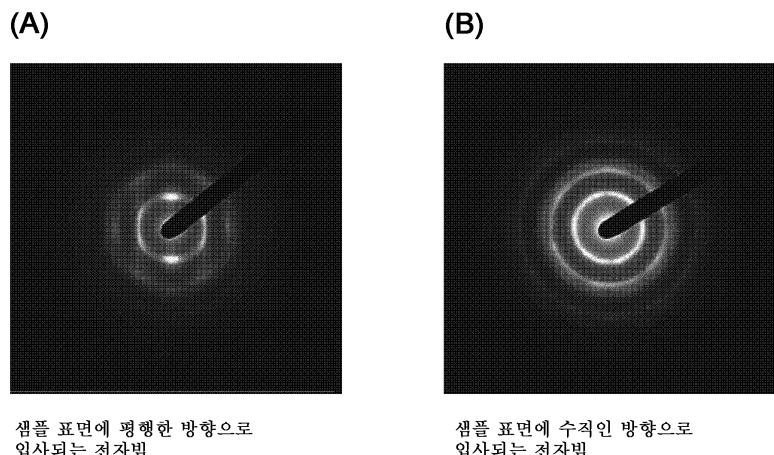
(B)



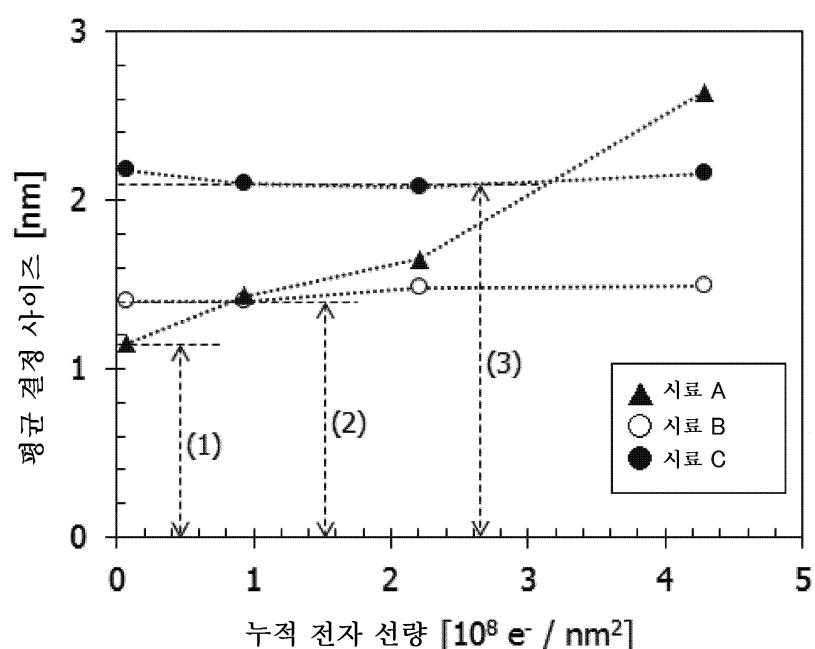
(C)



도면36

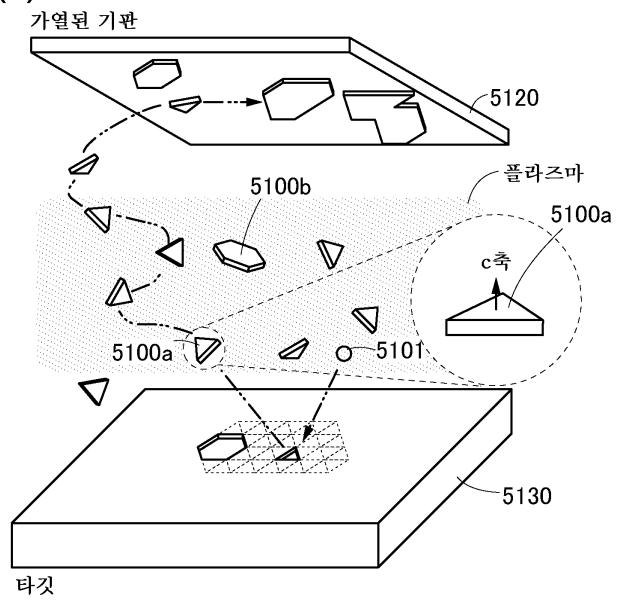


도면37

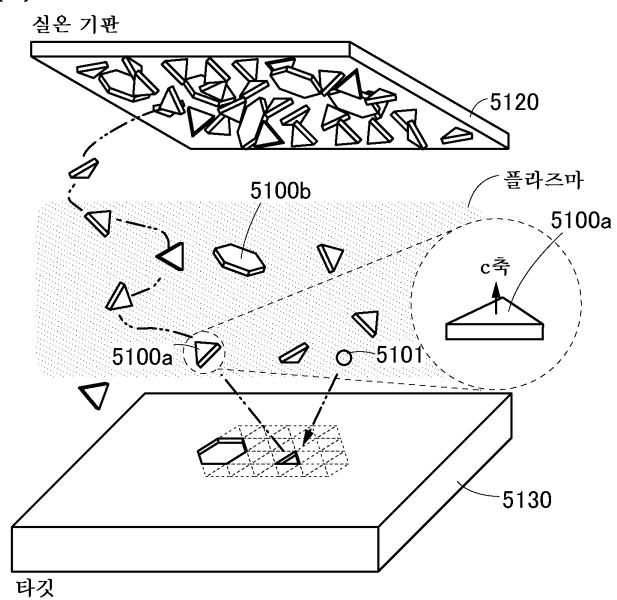


도면38

(A)

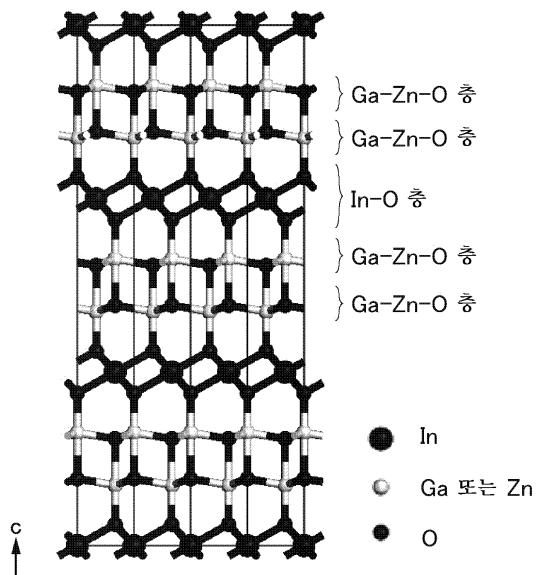


(B)

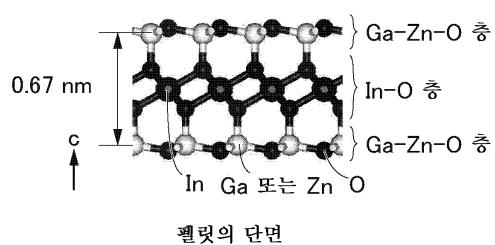


도면39

(A)

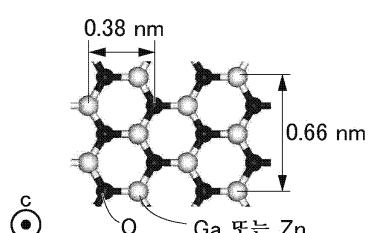


(B)



펠릿의 단면

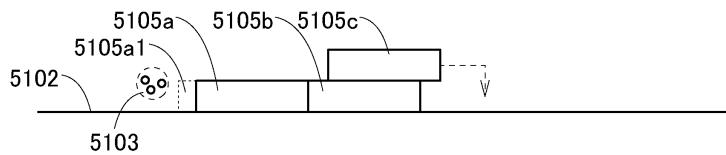
(C)



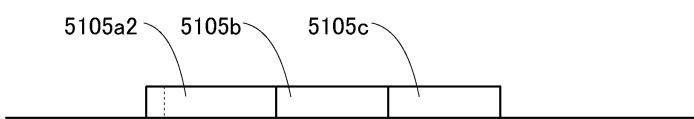
펠릿의 상면도

도면40

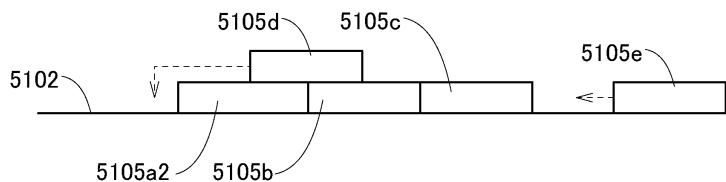
(A)



(B)



(C)



(D)

