



(12) 发明专利

(10) 授权公告号 CN 102361011 B

(45) 授权公告日 2016.06.22

(21) 申请号 201110308347.9

(22) 申请日 2009.05.15

(30) 优先权数据

10-2008-0054886 2008.06.11 KR

10-2008-0054892 2008.06.11 KR

10-2008-0100229 2008.10.13 KR

(62) 分案原申请数据

200910140778.1 2009.05.15

(73) 专利权人 美格纳半导体有限会社

地址 韩国忠清北道清州市

(72) 发明人 车韩燮

(74) 专利代理机构 北京集佳知识产权代理有限

公司 11227

代理人 蔡胜有 顾晋伟

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 21/3065(2006.01)

H01L 29/423(2006.01)

H01L 29/78(2006.01)

(56) 对比文件

US 6767813 B2, 2004.07.27,

US 2004/0089892 A1, 2004.05.13,

CN 1741263 A, 2006.03.01,

US 5391506 A, 1995.02.21,

审查员 张卉

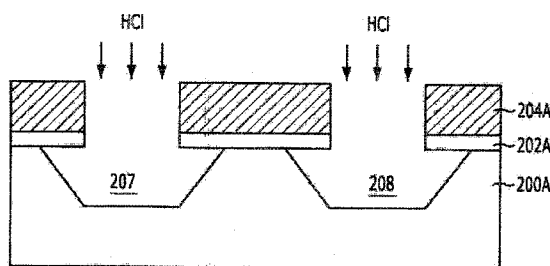
权利要求书2页 说明书7页 附图10页

(54) 发明名称

形成半导体器件的栅极的方法

(57) 摘要

提供一种形成半导体器件的栅极的方法。还提供一种半导体器件。所述半导体器件包括：由支撑衬底、掩埋绝缘层和半导体层组成的衬底；在所述半导体层内彼此间隔形成的第一和第二沟槽以使所述掩埋绝缘暴露出来；和在所述第一和第二沟槽的内侧壁上和在不形成所述沟槽的半导体层上形成的栅极绝缘层；和覆盖所述栅极绝缘层的栅极导电层。



1. 一种半导体器件,包括:
由支撑衬底、掩埋绝缘层和半导体层组成的衬底;
在所述半导体层内彼此间隔形成的向下延伸至所述掩埋绝缘层的第一沟槽和第二沟槽,所述第一沟槽和所述第二沟槽的底部暴露所述掩埋绝缘层;和
在所述第一沟槽和所述第二沟槽的内侧壁上和在不形成所述第一沟槽和所述第二沟槽的半导体层上形成的栅极绝缘层;和
覆盖所述第一沟槽和所述第二沟槽之间的衬底上的所述栅极绝缘层的栅极导电层,
其中所述第一沟槽和所述第二沟槽通过气相蚀刻工艺形成,所述气相蚀刻工艺使在所述第一沟槽和所述第二沟槽的上部边缘部分上集中的电场的强度降低;以及
其中所述栅极导电层与所述栅极绝缘层部分交叠;以及
其中所述栅极导电层从所述栅极绝缘层延伸至所述掩埋绝缘层。
2. 根据权利要求1所述的半导体器件,还包含在所述第一沟槽和所述第二沟槽的所述内侧壁和在所述暴露的掩埋绝缘层上形成的钝化层。
3. 根据权利要求2所述的半导体器件,其中所述钝化层的厚度为**100Å ~ 1000Å**。
4. 根据权利要求1所述的半导体器件,其中所述半导体层的厚度为**300Å ~ 1000Å**。
5. 根据权利要求1所述的半导体器件,其中所述掩埋绝缘层的厚度为**100Å ~ 1000Å**。
6. 根据权利要求1所述的半导体器件,其中所述栅极导电层部分覆盖所述暴露的掩埋绝缘层以与所述掩埋绝缘层接触。
7. 一种半导体器件,包括:
衬底;
在所述衬底内彼此间隔的第一沟槽和第二沟槽;
部分填充所述第一沟槽和所述第二沟槽的内部以覆盖所述第一沟槽和所述第二沟槽的底部的掩埋绝缘层;
在未被所述掩埋绝缘层覆盖的所述第一沟槽和所述第二沟槽的上侧壁上和在未形成所述第一沟槽和所述第二沟槽的所述衬底的表面上形成的栅极绝缘层;和
覆盖所述第一沟槽和所述第二沟槽之间的衬底上的所述栅极绝缘层的栅极导电层,
其中所述第一沟槽和所述第二沟槽通过气相蚀刻工艺形成,所述气相蚀刻工艺使在所述第一沟槽和所述第二沟槽的上部边缘部分上集中的电场的强度降低;以及
其中所述栅极导电层被图案化并且部分覆盖所述第一沟槽和所述第二沟槽,使得图案化的栅极导电层结束于所述第一沟槽和所述第二沟槽中的每一个的中间处。
8. 根据权利要求7所述的半导体器件,还包含:在所述第一沟槽和所述第二沟槽的底部和下壁上形成的钝化层。
9. 根据权利要求8所述的半导体器件,其中所述钝化层的厚度为**100Å ~ 1000Å**。
10. 根据权利要求7所述的半导体器件,其中所述栅极导电层部分覆盖所述掩埋绝缘层以与所述掩埋绝缘层接触。
11. 一种半导体器件,包括:
衬底;
在所述衬底内形成的沟槽;

- 覆盖所述沟槽的内侧壁和底部的栅极绝缘层；
填充所述沟槽以从所述沟槽突出的栅极导电层；
在所述衬底内的所述沟槽的各侧面的在所述栅极导电层的两侧上暴露的衬底内形成的源极和漏极；和
在所述栅极导电层的突出部分的各侧面形成的分别与所述源极和漏极接触的间隔物，
其中所述沟槽通过气相蚀刻工艺形成，所述气相蚀刻工艺使在所述沟槽的上部边缘部分上集中的电场的强度降低；以及
其中所述栅极绝缘层延伸至所述衬底的上表面，使得所述栅极绝缘层覆盖所述上表面的一部分以及所述沟槽的内侧壁和底部；以及
其中所述沟槽的底部比所述源极和所述漏极深。
12. 根据权利要求11所述的半导体器件，其中所述栅极导电层包括多晶硅层或过渡金属层。
13. 根据权利要求11所述的半导体器件，其中所述间隔物包括氧化物层、氮化物层或其堆叠层。
14. 根据权利要求11所述的半导体器件，其中所述栅极绝缘层包括二氧化硅。
15. 根据权利要求14所述的半导体器件，其中所述栅极绝缘层包括在所述二氧化硅和所述衬底之间的界面处的氮化物层。

形成半导体器件的栅极的方法

[0001] 相关申请

[0002] 本申请是2009年5月15日提交的名为“形成半导体器件的栅极的方法”、申请号为200910140778.1之中国专利申请的分案申请。

[0003] 本发明要求2008年6月11日、2008年6月11日和2008年10月13日分别提交的韩国专利申请10-2008-0054886、10-2008-0054892和10-2008-0100229的优先权,通过引用将它们并入本文。

技术领域

[0004] 本发明涉及一种半导体制造技术;更具体涉及形成半导体器件的栅极的方法。

背景技术

[0005] 随着半导体器件集成密度增加,晶体管的沟道长度减小,源极和漏极的密集程度逐渐地增加。因此,源极和漏极之间的严重干扰导致减小阈值电压和增加漏电流的短沟道效应。为了抑制短沟道效应,对于其中晶体管具有多面体沟道(polyhedral channel)的三栅极型晶体管和凹陷栅极型晶体管已经进行了广泛的研究。

[0006] 根据形成凹陷栅极型晶体管的方法,将沟道区的衬底蚀刻至一定深度以形成沟槽,并且沿着沟槽内表面形成栅极绝缘层。然后,在栅极绝缘层上形成栅极以填充沟槽。在这样的结构中,由于抑制了源极和漏极之间的干扰,所以电性能得到显著地改善。

[0007] 然而,在形成凹陷栅极型晶体管的所述方法中,由于通过等离子体蚀刻工艺来蚀刻衬底,所以用于沟道的区域受到等离子体的损伤,导致晶体缺陷如堆垛层错。因此,界面陷阱密度增加。此外,由于等离子体蚀刻的特征,所以表面粗糙度劣化。此外,当通过蚀刻衬底形成沟槽时,上部边缘部分尖锐地形成,电场集中在该尖锐上部边缘部分上,导致器件特性和可靠性的劣化。

[0008] 下面将描述三栅极型晶体管的问题。

[0009] 图1是说明典型三栅极型晶体管的透视图。

[0010] 参考图1,典型的三栅极型晶体管在三个表面,即两个侧面(侧壁)和一个上表面上具有沟道。由于两个侧面形成为沟道,所以在器件具有相同尺寸时可获得大得多的电流。在图1中,附图标记“G”、“D”和“S”分别表示栅电极、漏极区和源极区。

[0011] 图2是说明典型的三栅极型晶体管的问题的透视图。

[0012] 参考图2,蚀刻衬底以使用侧面作为沟道。在此,通常使用等离子体蚀刻工艺。

[0013] 这样的等离子体蚀刻工艺具有如下三个问题。

[0014] 首先,等离子体损伤导致晶体缺陷。如果由等离子体损伤所导致的晶体缺陷发生在用作沟道的侧面A中,那么器件特性劣化。特别地,器件的可靠性降低。

[0015] 第二,等离子体蚀刻工艺的使用劣化表面粗糙度,例如在等离子体蚀刻工艺期间在侧面A中不可避免地形成的条痕。侧面A的表面粗糙度减小载流子迁移率,因此劣化器件特性。

[0016] 第三,在上部边缘部分B中产生电场集中。当边缘部分B的曲率半径小时,施加到栅极氧化物层的电场增加。因此,导致栅极氧化物层的失效,或者使得栅极氧化物层的寿命减少。如图3所示,当曲率半径为7nm时,施加到边缘部分的电场比施加到平坦部分的电场高约9%。

发明内容

[0017] 本发明的一个实施方案涉及提供一种形成半导体器件的栅极的方法,其能够防止器件的特性和可靠性由于等离子体蚀刻工艺而劣化。

[0018] 本发明的另一个实施方案涉及提供一种形成半导体器件的栅极的方法,其能够防止由于等离子体蚀刻工艺导致的在上部边缘部分处发生电场集中。

[0019] 根据本发明的一个方面,提供一种形成半导体器件的三栅极的方法,所述方法包括:准备包括支撑衬底、掩埋绝缘层和半导体层的衬底;通过气相蚀刻工艺来蚀刻所述半导体层以形成彼此间隔的第一和第二沟槽;在包括第一和第二沟槽的所述衬底上形成栅极绝缘层;和在所述栅极绝缘层上形成栅极导电层。

[0020] 根据本发明的另一个方面,提供一种形成半导体器件的三栅极的方法,所述方法包括:在衬底上形成缓冲层和硬掩模;蚀刻所述硬掩模和所述缓冲层以形成硬掩模图案和缓冲图案;利用所述硬掩模图案作为蚀刻阻挡层,通过利用气相蚀刻工艺来部分蚀刻所述衬底而在所述衬底内形成间隔的第一和第二沟槽;形成掩埋绝缘层以填充所述第一和第二沟槽;移除所述硬掩模图案和所述缓冲图案;在所述第一沟槽和所述第二沟槽之间的所述衬底上形成栅极绝缘层;形成导电层以覆盖所述栅极绝缘层;和蚀刻所述导电层以形成栅电极。

[0021] 根据本发明的另一个方面,提供一种形成半导体器件的凹陷栅极的方法,所述方法包括:通过气相蚀刻工艺来蚀刻一部分衬底以形成沟槽;沿着所述沟槽的内表面在所述衬底上形成栅极绝缘层;在所述栅极绝缘层上形成导电层;和蚀刻所述导电层和所述栅极绝缘层以形成栅电极。

[0022] 根据本发明的另一个方面,提供一种形成半导体器件的凹陷栅极的方法,所述方法包括:准备其中形成有缓冲层的衬底;蚀刻一部分所述缓冲层以暴露所述衬底;使用所述缓冲层作为蚀刻停止层,通过气相蚀刻工艺来蚀刻一部分衬底以形成沟槽;移除所述缓冲层;沿着所述沟槽的内表面在所述衬底上形成栅极绝缘层;在所述栅极绝缘层上形成导电层;和蚀刻所述导电层和所述栅极绝缘层以形成栅电极。

[0023] 本发明还涉及以下技术方案:

[0024] 1. 一种用于形成半导体器件的三栅极的方法,所述方法包括:

[0025] 在衬底上形成缓冲层和硬掩模;

[0026] 蚀刻所述硬掩模和所述缓冲层以形成硬掩模图案和缓冲图案;

[0027] 利用所述硬掩模图案作为蚀刻阻挡层,通过气相蚀刻工艺部分地蚀刻所述衬底而在所述衬底内形成间隔开的第一和第二沟槽;

[0028] 形成掩埋绝缘层以填充所述第一和第二沟槽;

[0029] 移除所述硬掩模图案和所述缓冲图案;

[0030] 在所述第一沟槽和所述第二沟槽之间的所述衬底上形成栅极绝缘层;

- [0031] 形成导电层以覆盖所述栅极绝缘层;和
- [0032] 蚀刻所述导电层以形成栅电极。
- [0033] 2.项1的方法,其中使用氯化氢(HCl)或氯气(Cl₂)实施所述气相蚀刻工艺。
- [0034] 3.项2的方法,其中在约600℃~约1100℃的温度下实施所述气相蚀刻工艺。
- [0035] 4.项3的方法,其中在约0.01托~约760托的压力下实施所述气相蚀刻工艺。
- [0036] 5.项1的方法,还包括在形成所述第一和第二沟槽之后:
- [0037] 在所述第一和第二沟槽的内表面上形成钝化层;
- [0038] 部分蚀刻所述硬掩模图案,以使得所述硬掩模图案的两侧与所述第一和第二沟槽的两个边缘对准;和
- [0039] 部分蚀刻所述缓冲图案,以使得所述缓冲图案的两侧与所述第一和第二沟槽的两个边缘对准。
- [0040] 6.项5的方法,其中所述钝化层通过氧化工艺或沉积工艺形成。
- [0041] 7.项5的方法,其中所述钝化层包括形成厚度为约**100Å**~约**1000Å**的热氧化物层。
- [0042] 8.项5的方法,其中所述硬掩模图案包括氮化物层,所述缓冲图案包括氧化物层。
- [0043] 9.项8的方法,其中使用磷酸溶液部分蚀刻所述硬掩模图案,使用缓冲氧化物蚀刻剂(BOE)或稀释的HF(DHF)部分蚀刻所述缓冲图案。
- [0044] 10.项5的方法,其中所述掩埋绝缘层包括高密度等离子体(HDP)层或未掺杂的硅酸盐玻璃(USG)层。
- [0045] 11.项1的方法,还包括在移除所述硬掩模图案和所述缓冲图案之后,使得所述掩埋绝缘层的一部分凹陷,从而部分暴露出所述第一和第二沟槽的内壁。
- [0046] 12.项1的方法,其中所述掩埋绝缘层的形成包括:
- [0047] 沉积掩埋绝缘层以填充所述第一和第二沟槽;和
- [0048] 使用所述硬掩模图案作为抛光停止层来抛光所述掩埋绝缘层。
- [0049] 13.项1的方法,其中所述衬底包括支撑衬底、掩埋绝缘层和半导体衬底。
- [0050] 本发明的其它目的和优点可以通过以下描述来理解,并且通过参考本发明的实施方案将变得显而易见。而且,对本领域技术人员而言显而易见的是:本发明的目的和优点可以通过如权利要求的特征及其组合来实现。

附图说明

- [0051] 图1是说明典型三栅极型晶体管的透视图。
- [0052] 图2是说明典型的三栅极型晶体管的问题的透视图。
- [0053] 图3是显示根据曲率半径的电场集中的图。
- [0054] 图4是通过根据本发明的第一实施方案形成半导体器件的三栅极的方法所形成的三栅极的透视图。
- [0055] 图5A至5G是说明根据本发明的第一实施方案形成半导体器件的三栅极的方法的截面图。
- [0056] 图6A至6J是说明根据本发明的第二实施方案形成半导体器件的三栅极的方法的截面图。

[0057] 图7A至7F是说明根据本发明的第三实施方案形成半导体器件的凹陷栅极的方法的截面图。

具体实施方式

[0058] 通过参考附图对实施方案的以下描述,本发明的优点、特征和各方面将显得显而易见,如下所述。

[0059] 参考附图,对举例说明的层的厚度和区域进行放大以便于说明。当第一层称为在第二层“上”或在衬底“上”的时候,其可表示第一层直接形成在第二层上或衬底上,或也可表示第三层可存在第一层和衬底之间。此外,相同或类似的附图标记表示相同或类似的构成元件,即使它们出现在本发明的不同实施方案或者附图中。

[0060] 实施方案1

[0061] 图4是通过根据本发明的第一实施方案形成半导体器件的三栅极的方法形成的三栅极的透视图。图5A至5G是说明根据本发明的第一实施方案形成半导体器件的三栅极的方法的截面图。

[0062] 参考图5A,准备衬底100。衬底100是绝缘体上硅(SOI)衬底,并且包括支撑衬底101、掩埋绝缘层102和半导体层103。掩埋绝缘层102由氧化物形成为约**100Å**或以上、特别是约**100Å**~**约1000Å**的厚度。半导体层103形成为约**300Å**或以上、特别是约**300Å**~**约1000Å**的厚度。半导体层103可包括外延层。

[0063] 参考图5B,在衬底100上依次地形成缓冲层104和硬掩模105。缓冲层104由氧化物、例如二氧化硅(SiO_2)形成。缓冲层104可通过氧化工艺或沉积工艺形成。在该实施方案中,缓冲层104通过氧化工艺形成。硬掩模105由氮化物、例如氮化硅(SiN 或 Si_3N_4)形成。硬掩模105通过低压化学气相沉积(LPCVD)工艺形成。在硬掩模105上形成光刻胶图案106。

[0064] 参考图5C,使用光刻胶图案106作为蚀刻掩模,通过蚀刻工艺来蚀刻硬掩模105和缓冲层104。因此,形成硬掩模图案105A和缓冲图案104A。这种情况下,通过使用等离子体的干蚀刻工艺,实施用于形成硬掩模图案105A的蚀刻工艺。此外,可通过使用作为HF和 NH_4F 的混合溶液的缓冲氧化物蚀刻剂(BOE)的湿蚀刻工艺来实施用于形成缓冲图案104A的蚀刻工艺。移除光刻胶图案106。

[0065] 参考图5D,使用硬掩模图案105作为蚀刻阻挡层,通过蚀刻工艺形成在衬底100A内相间隔的第一和第二沟槽107和108。通过气相蚀刻工艺实施所述蚀刻工艺。即,使用气态化学材料而不是等离子体实施所述蚀刻。通过蚀刻工艺选择性地蚀刻半导体层103A以暴露掩埋绝缘层102。

[0066] 由于气相蚀刻工艺是使用化学反应的蚀刻,所以选择性极好并且不产生由等离子体所导致的损伤。而且,各向同性蚀刻是可能的。此外,虽然气相蚀刻和湿蚀刻具有相同特性,但是由于没有使用溶液,所以在单个设备内部可容易地组合反应性离子束蚀刻(RIE)反应管和气相蚀刻反应管。

[0067] 使用氯化氢(HCl)和氯气(Cl_2)作为蚀刻气体,在约600~约1100°C温度下实施气相蚀刻工艺。在此,保持压力在约0.01~约760托的范围内。温度热源可使用利用卤素灯的快速温度工艺(RTP)来获得,或可使用加热器获得。

[0068] 参考图5E,在第一和第二沟槽107和108的内表面上可形成钝化层(未显示)。所述

钝化层可通过沉积工艺或热氧化工艺形成。在该实施方案中,钝化层通过热氧化工艺形成。而且,钝化层形成为约**100Å**~约**1000Å**的厚度。钝化层保护衬底100A免受在移除硬掩模图案105(见图5D)的后续工艺中使用的磷酸溶液(H_3PO_4)的影响。

[0069] 移除硬掩模图案105A和缓冲图案104A。使用磷酸溶液(H_3PO_4)移除硬掩模图案105A。使用BOE或稀释的HF(DHF)(其为用 H_2O 稀释的HF溶液)移除缓冲图案104A。在该工艺期间,钝化层也被蚀刻并且部分或全部被移除。

[0070] 参考图5F,在包括第一和第二沟槽107和108的暴露的半导体层103A上形成栅极绝缘层109。栅极绝缘层109由二氧化硅(SiO_2)形成。栅极绝缘层109通过氧化工艺(例如干氧化工艺或湿氧化工艺或使用自由基离子的氧化工艺)形成。此外,在栅极绝缘层109和半导体层103A之间还可形成氮化物层。

[0071] 参考图5G,在栅极绝缘层109上形成栅极导电层110。栅极导电层110可包括多晶硅层、过渡金属层、金属硅化物层、金属氮化物层、或其堆叠结构。

[0072] 蚀刻栅极导电层110和栅极绝缘层109以形成栅电极。

[0073] 在栅电极两侧上暴露的半导体层103A内部形成源极区和漏极区111和112。

[0074] 实施方案2

[0075] 图6A至6J是说明根据本发明的第二实施方案形成半导体器件的三栅极的方法的截面图。

[0076] 参考图6A,在衬底200上形成缓冲层202和硬掩模204。缓冲层202由氧化物、例如二氧化硅(SiO_2)形成。缓冲层202可通过氧化工艺或沉积工艺形成。在该实施方案中,缓冲层202通过氧化工艺形成。硬掩模204由氮化物、例如氮化硅(SiN 或 Si_3N_4)形成。硬掩模204通过低压化学气相沉积(LPCVD)工艺形成。在硬掩模204上形成光刻胶图案206。

[0077] 参考图6B,使用光刻胶图案206作为蚀刻掩模,通过蚀刻工艺来蚀刻硬掩模204和缓冲层202。因此,形成硬掩模图案204A和缓冲图案202A。这种情况下,通过使用等离子体的干蚀刻工艺来实施用于形成硬掩模图案204A的蚀刻工艺。此外,可通过使用缓冲氧化物蚀刻剂(BOE:HF和 NH_4F 的混合溶液)的湿蚀刻工艺来实施用于形成缓冲图案202A的蚀刻工艺。

[0078] 参考图6C,移除光刻胶图案206,通过使用硬掩模图案204A作为蚀刻阻挡层的蚀刻工艺,形成在衬底200A内相间隔的第一和第二沟槽207和208。通过气相蚀刻工艺实施所述蚀刻工艺。即,使用气态化学材料而不是等离子体实施所述蚀刻。由于气相蚀刻工艺是使用化学反应的蚀刻,所以选择性极好并且不产生由等离子体所导致的损伤。

[0079] 此外,各向同性蚀刻是可能的。而且,虽然气相蚀刻和湿蚀刻具有相同特性,但是由于没有使用溶液,所以在单个设备内部可容易地组合反应性离子束蚀刻(RIE)反应管和气相蚀刻反应管。使用氯化氢(HCl)和氯气(Cl_2)作为蚀刻气体,在约600~约1100°C温度下,在约0.01~约760托的压力下,实施所述气相蚀刻工艺。温度热源可采用利用卤素灯的快速温度工艺(RTP)来获得,或可使用加热器获得。

[0080] 参考图6D,在第一和第二沟槽207和208(见图6C)的内表面上形成钝化层210。钝化层210通过氧化工艺由热氧化物层形成。而且,钝化层210形成为约100~约**1000Å**的厚度。钝化层210保护衬底200A免受在蚀刻硬掩模图案204B(见图6E)的后续工艺中使用的磷酸溶液(H_3PO_4)的影响。

[0081] 参考图6E,蚀刻硬掩模图案204B的一部分。在此,实施蚀刻工艺直至硬掩模图案

204B的两侧对准第一和第二沟槽207和208(见图6C)的两个边缘。该蚀刻工艺使用磷酸溶液(H_3PO_4)。

[0082] 参考图6F,蚀刻缓冲图案202B的一部分以使得其两侧与硬掩模图案204B的两侧对准。在此,蚀刻工艺可利用BOE或稀释的HF(DHF),DHF是采用 H_2O 稀释的HF溶液。同时,虽然钝化层210在图6F中保留,但是该钝化层210可被蚀刻并且部分或全部被移除。

[0083] 参考图6G,在硬掩模图案204B上形成掩埋绝缘层212,以填充第一和第二沟槽207和208(见图6C)。掩埋绝缘层212可由高密度等离子体(HDP)层或未掺杂的硅酸盐玻璃(USG)层形成。

[0084] 参考图6H,平坦化掩埋绝缘层212A。通过化学机械抛光(CMP)工艺实施该平坦化工艺。CMP工艺使用硬掩模图案204B作为抛光停止层。

[0085] 参考图6I,移除硬掩模图案204B(见图6H)和缓冲图案202B(见图6H)。移除硬掩模图案204B的工艺使用磷酸溶液,移除缓冲图案202B的工艺使用BOE或DHF。通过这些工艺,掩埋绝缘层212B也被蚀刻至一定厚度,并因此实现凹陷。

[0086] 同时,在移除缓冲图案202B的过程中,当掩埋绝缘层212B的蚀刻量小时,可实施单独的蚀刻工艺以使掩埋绝缘层212B凹陷。在此,实施蚀刻工艺直至第一和第二沟槽207A和207B的内壁的上壁被部分暴露。

[0087] 参考图6J,在没有被掩埋绝缘层212B覆盖的暴露的衬底200A上形成栅极绝缘层214。这种情况下,栅极绝缘层214由二氧化硅(SiO_2)形成。栅极绝缘层214通过氧化工艺例如干氧化工艺或湿氧化工艺或使用自由基离子的氧化工艺来形成。此外,可形成栅极绝缘层214,使得在二氧化硅层和衬底200A之间的界面中形成氮化物层。

[0088] 在栅极绝缘层214上形成导电层216。导电层216可包括多晶硅层或过渡金属层。

[0089] 蚀刻导电层216和栅极绝缘层214以形成栅电极。

[0090] 在栅电极两侧上暴露的半导体层200A内形成源极区和漏极区(未显示)。

[0091] 实施方案3

[0092] 图7A至7F是说明根据本发明的第三实施方案形成半导体器件的凹陷栅极的方法的截面图。

[0093] 参考图7A,通过浅沟槽隔离(STI)工艺在衬底300中形成器件隔离层302,并在衬底300上形成缓冲层304。缓冲层304由氧化物如二氧化硅(SiO_2)形成。特别地,缓冲层304由热氧化物层或原硅酸四乙酯(TEOS)层形成。缓冲层304可通过氧化工艺或沉积工艺形成。氧化工艺包括干氧化工艺或湿氧化工艺。沉积工艺包括CVD工艺或物理气相沉积(PVD)工艺。

[0094] 参考图7B,在缓冲层304上形成光刻胶图案306。使用光刻胶图案306作为蚀刻掩模、通过蚀刻工艺蚀刻缓冲层304。因此,形成缓冲图案304A。这样,限定其中将掩埋一部分凹陷栅极的沟槽区域。

[0095] 参考图7C,移除光刻胶图案306(见图7B)。

[0096] 参考图7D,使用缓冲图案304A作为蚀刻阻挡层,通过蚀刻工艺在衬底300A内形成沟槽308。通过气相蚀刻工艺实施所述蚀刻工艺。即,使用气态化学材料而不是等离子体实施所述蚀刻。由于气相蚀刻工艺是使用化学反应的蚀刻,所以选择性极好并且不产生由等离子体所导致的损伤。此外,各向同性蚀刻是可能的。

[0097] 此外,虽然气相蚀刻和湿蚀刻具有相同特性,但是由于没有使用溶液,所以在单个

设备内部可容易地结合反应性离子束蚀刻(RIE)反应管和气相蚀刻反应管。使用氯化氢(HCl)和氯气(Cl₂)作为蚀刻气体,在约600~约1100℃的温度、约0.01~约760托的压力下,实施所述气相蚀刻工艺。温度热源可使用利用卤素灯的快速温度工艺(RTP)来获得,或可使用加热器获得。

[0098] 参考图7E,通过蚀刻工艺移除缓冲图案304A(见图7A)。在此,可使用缓冲氧化物蚀刻剂(BOE)或稀释的HF(DHF)实施该蚀刻工艺,所述BOE是HF和NH₄F的混合溶液。

[0099] 沿着沟槽308(见图7D)的内表面在衬底300A上形成栅极绝缘层310。这种情况下,栅极绝缘层310由二氧化硅(SiO₂)形成。栅极绝缘层310通过氧化工艺例如干氧化工艺和湿氧化工艺或使用自由基离子的氧化工艺形成。此外,可形成栅极绝缘层310,使得在二氧化硅层和衬底300A之间的界面中形成氮化物层。

[0100] 在栅极绝缘层310上形成栅极导电层312。栅极导电层312可包括多晶硅层或过渡金属层。

[0101] 参考图7F,蚀刻栅极绝缘层310和栅极导电层312,以形成包括栅极导电图案312A和栅极绝缘图案310A的栅电极。

[0102] 在栅电极两侧上暴露的半导体层300A内部形成源极区和漏极区314和316。

[0103] 在栅电极的每个侧壁上形成间隔物318。间隔物318包括氧化物层、氮化物层或其堆叠层。

[0104] 本发明的实施方案可获得以下效果。

[0105] 首先,通过使用气相蚀刻工艺形成沟槽,没有产生由等离子体所导致的损伤,因此改善器件的特性和可靠性。

[0106] 第二,通过使用氯化氢气体(HCl)的气相蚀刻工艺形成沟槽,使得沟槽的侧面20和上表面10由于HCl气相蚀刻工艺的特性而暴露。因此,形成了在横截面中具有接近45°的坡度的表面,由此弱化了在上部边缘部分上集中的电场的强度。

[0107] 第三,由于使用SOI衬底,所以可省略用于形成器件隔离层的STI工艺,简化了制造工艺。即,由于第一和第二沟槽扩展直至掩埋绝缘层,所以器件可彼此隔离。因此不必实施用于形成器件隔离层的单独的STI工艺。

[0108] 虽然本发明已经对于具体的实施方案进行了描述,但是本领域技术人员可显而易见地做出各种变化和改变而不脱离在所附权利要求中限定的本发明的精神和范围。

(现有技术)

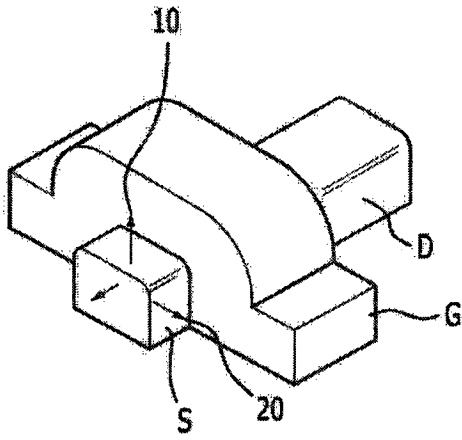


图1

(现有技术)

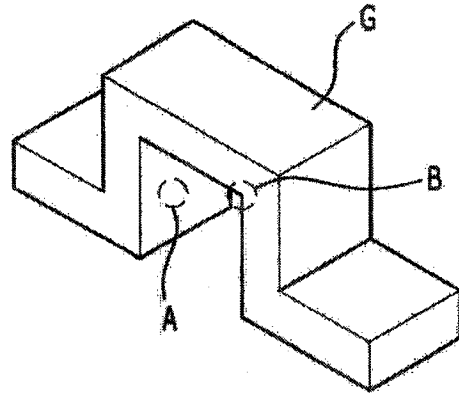


图2

(现有技术)

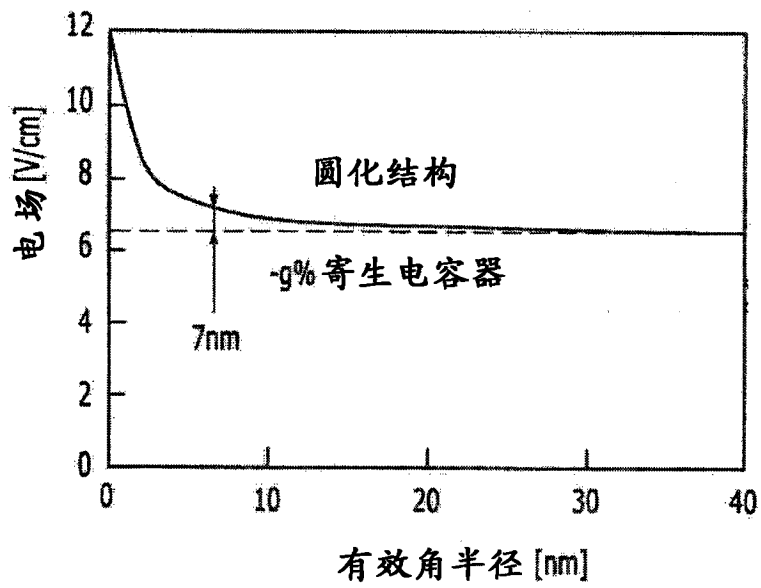


图3

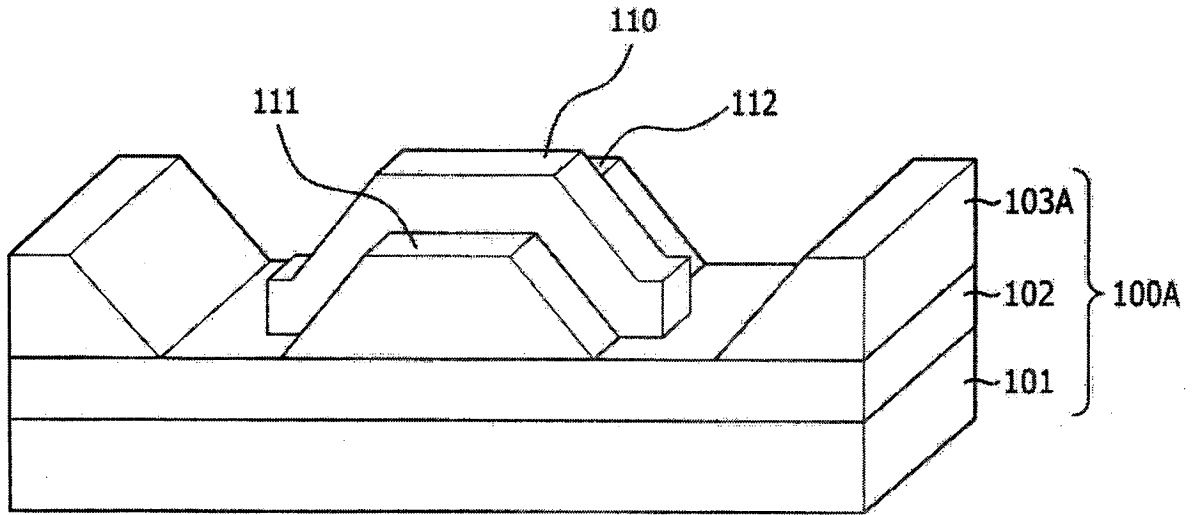


图4

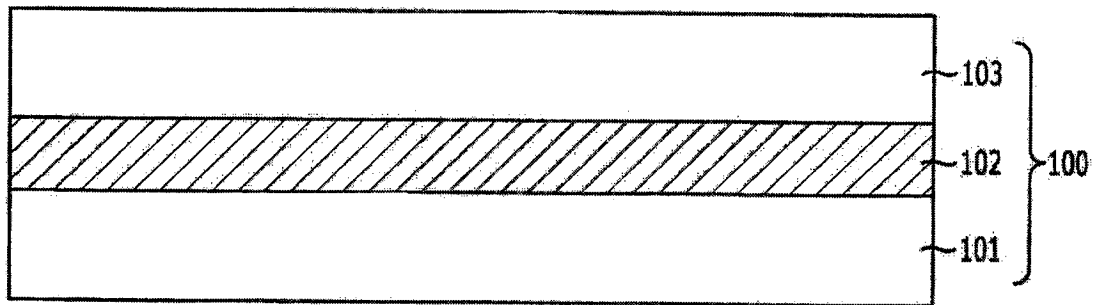


图5A

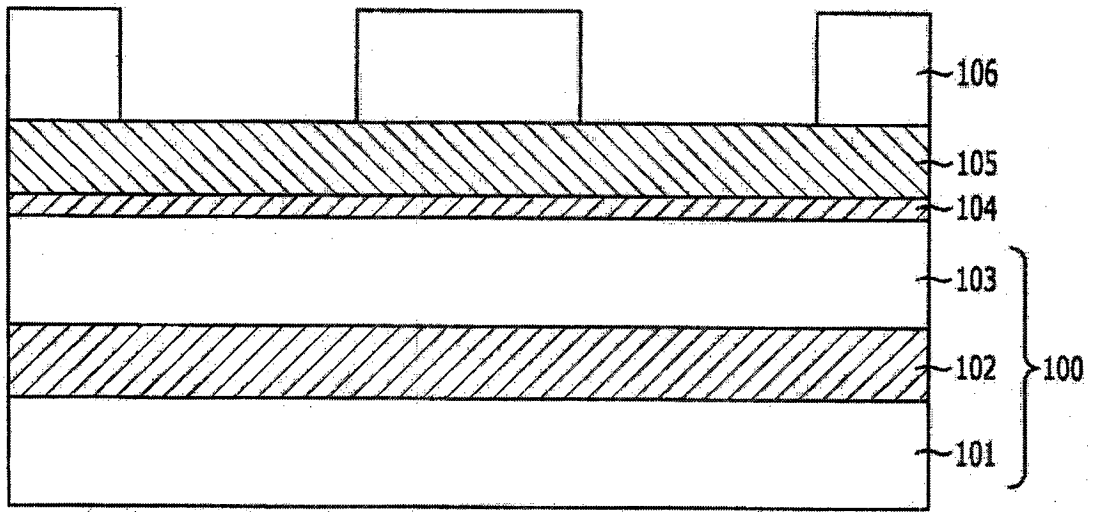


图5B

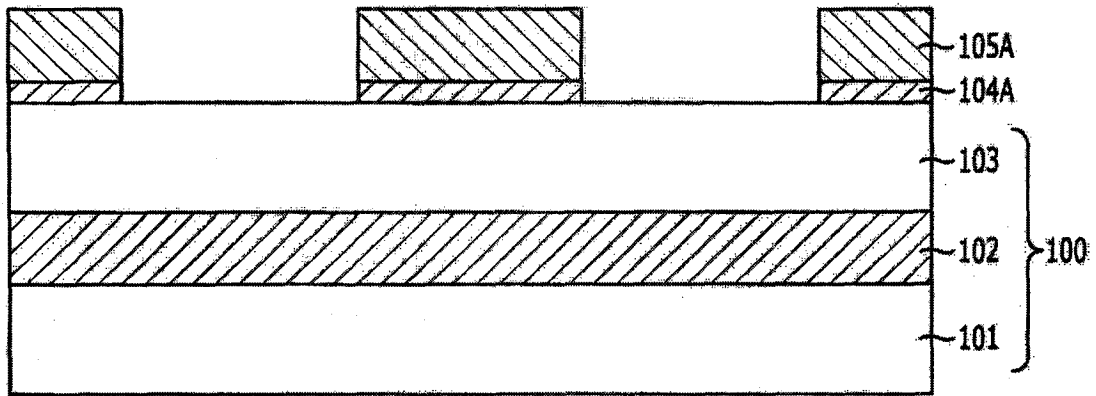


图5C

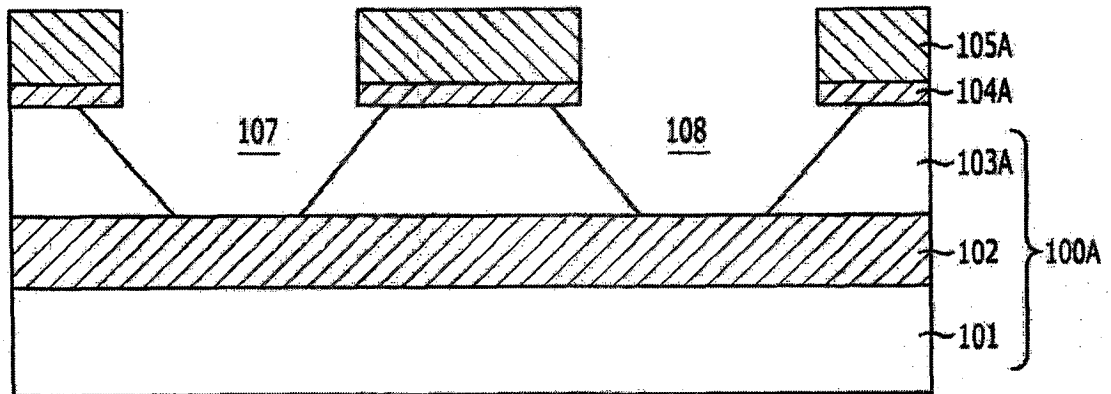


图5D

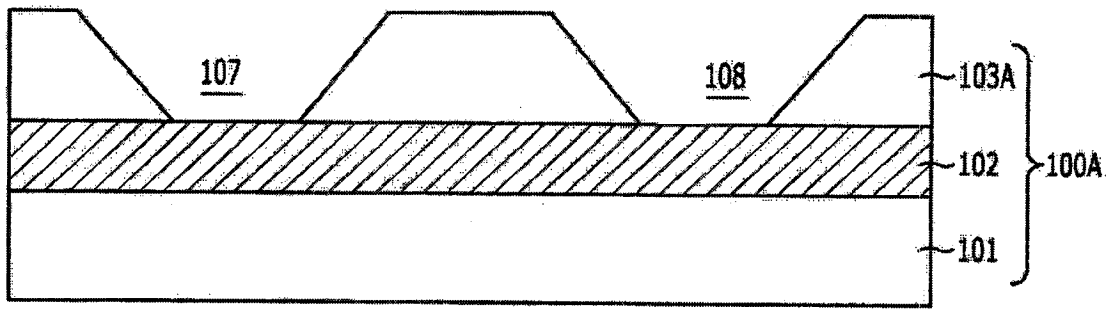


图5E

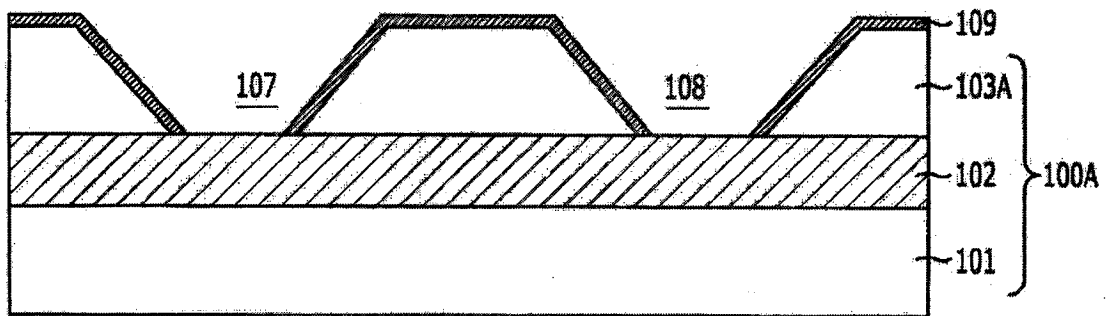


图5F

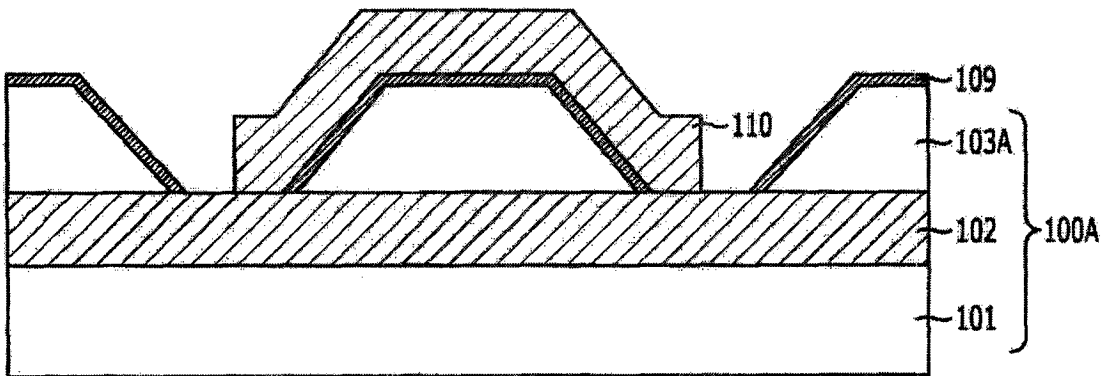


图5G

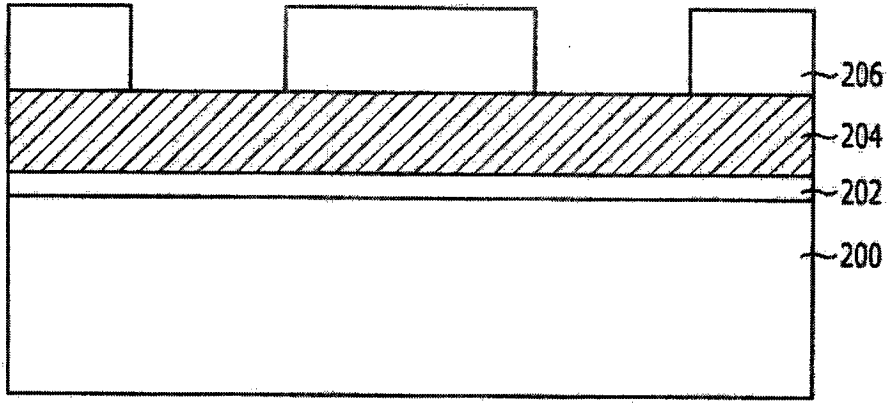


图6A

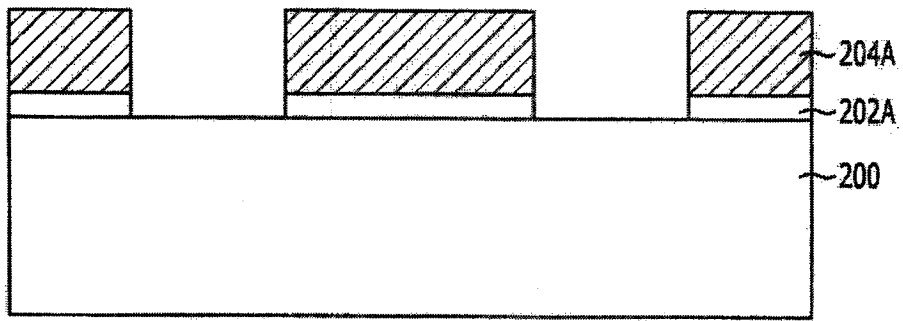


图6B

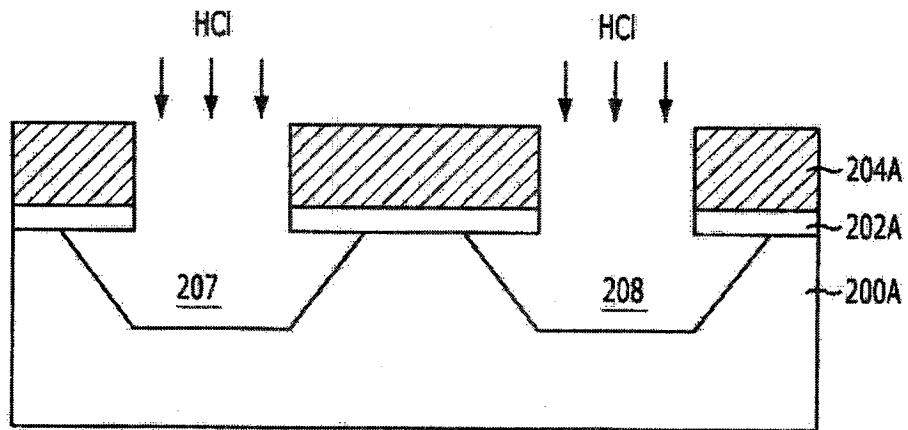


图6C

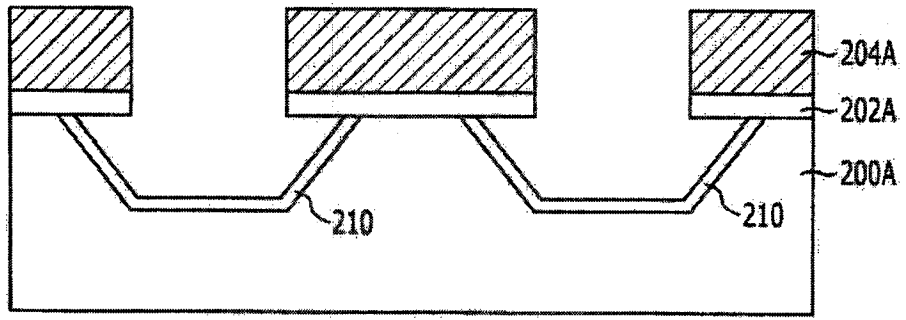


图6D

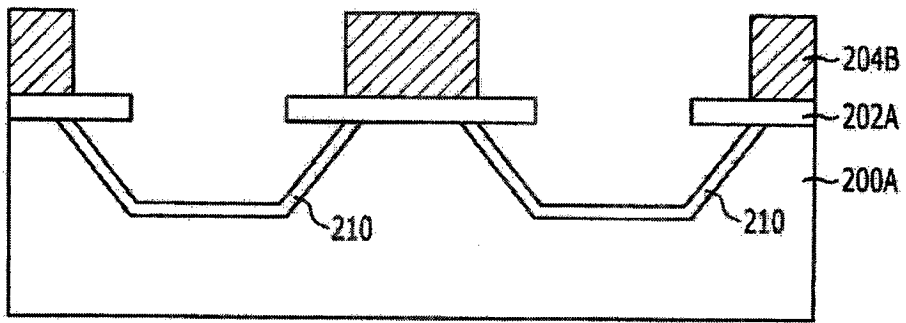


图6E

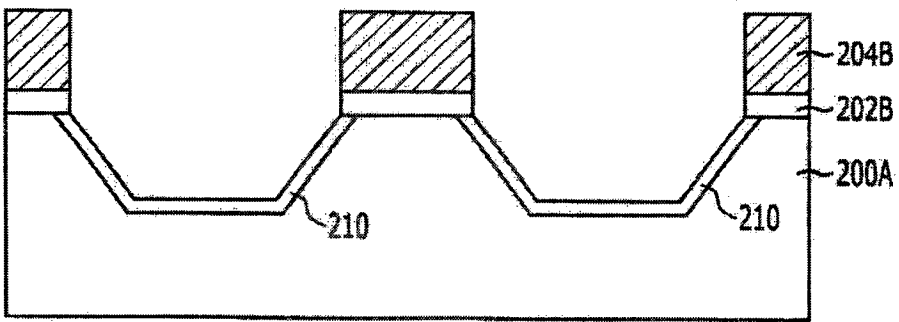


图6F

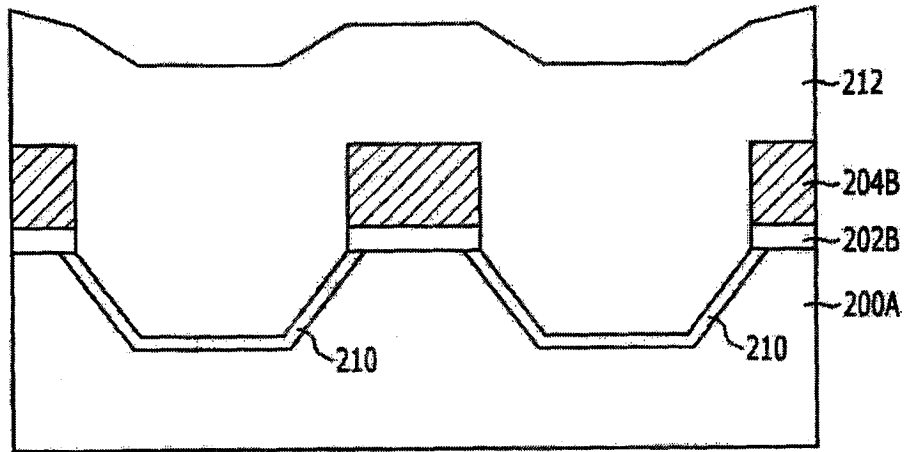


图6G

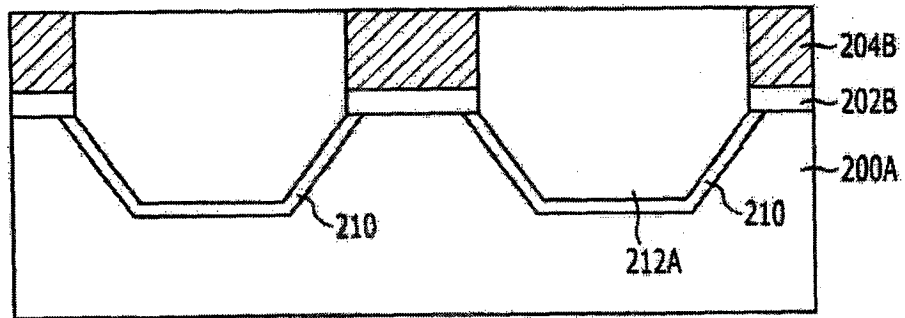


图6H

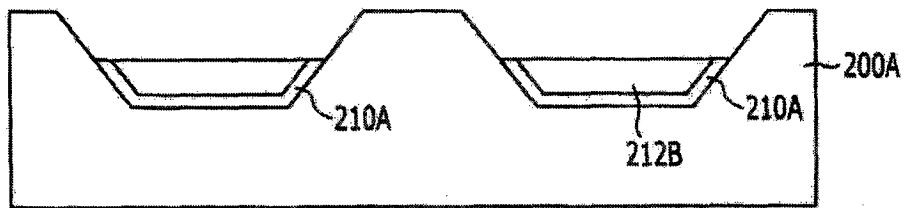


图6I

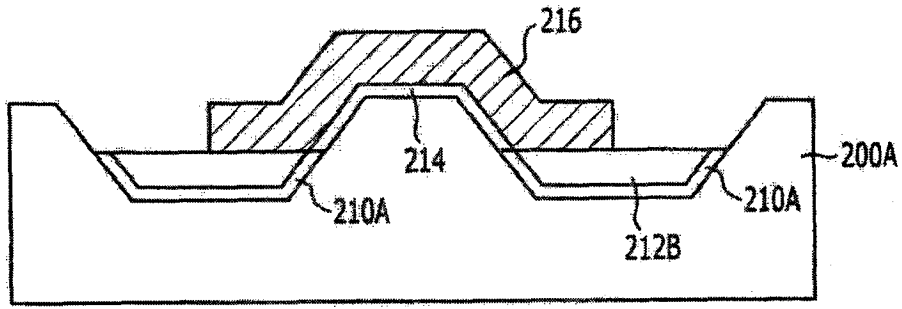


图6J

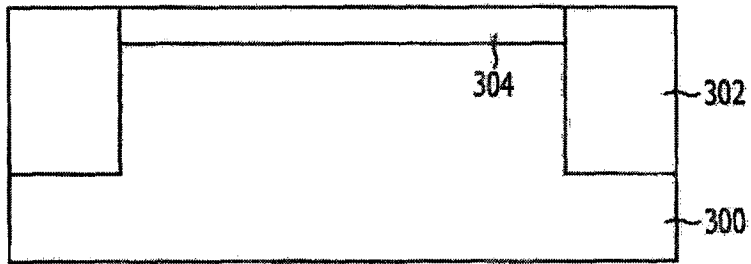


图7A

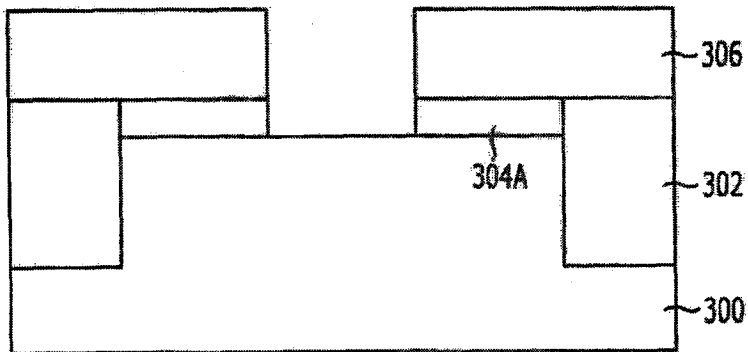


图7B

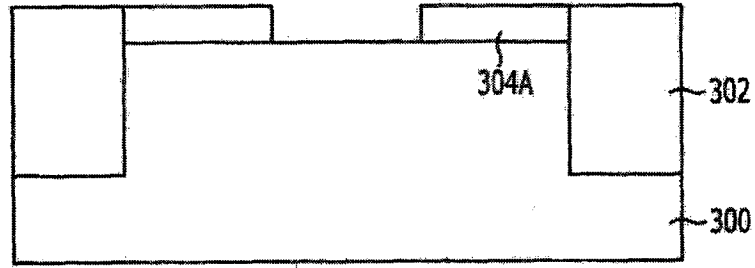


图7C

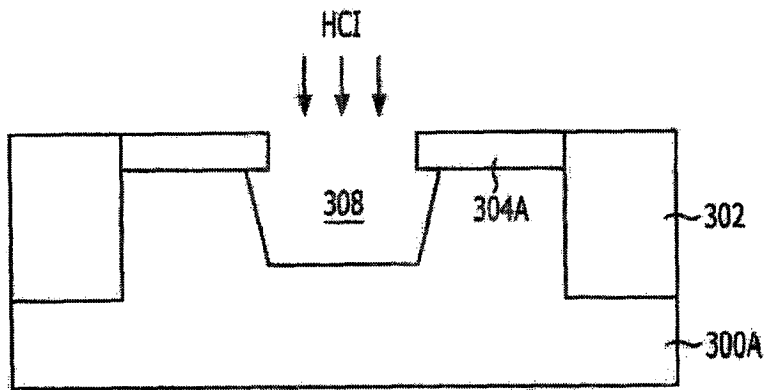


图7D

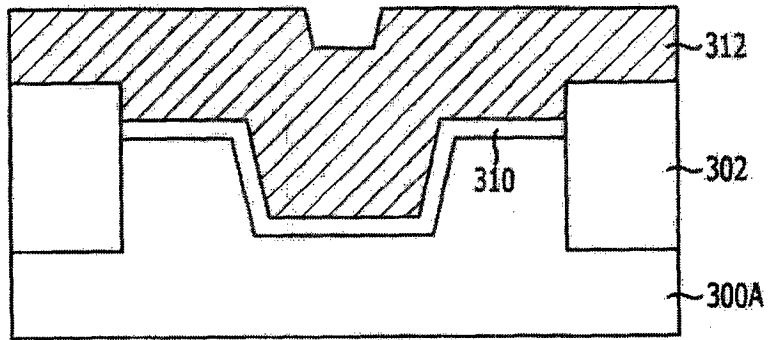


图7E

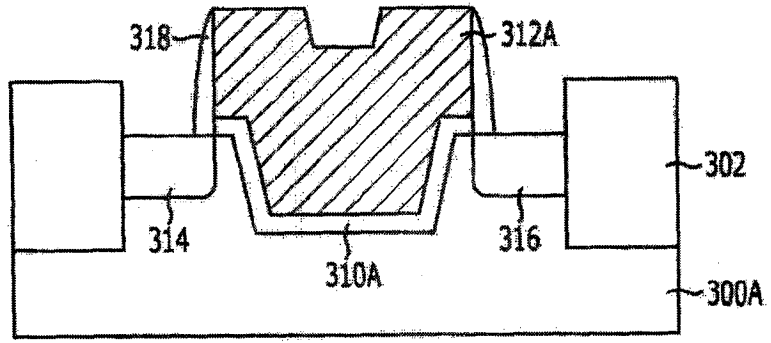


图7F