

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3703544号
(P3703544)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月29日(2005.7.29)

(51) Int. Cl.⁷

H04N 3/227

F I

H04N 3/227

請求項の数 4 (全 11 頁)

<p>(21) 出願番号 特願平7-285350 (22) 出願日 平成7年11月1日(1995.11.1) (65) 公開番号 特開平8-214179 (43) 公開日 平成8年8月20日(1996.8.20) 審査請求日 平成14年10月29日(2002.10.29) (31) 優先権主張番号 333181 (32) 優先日 平成6年11月2日(1994.11.2) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 391000807 アールシーエー トムソン ライセンシン グ コーポレイション RCA THOMSON LICENS I NG CORPORATION アメリカ合衆国 ニュージャージー州 08 540 プリンストン インデペンデンス ・ウェイ 2 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 ローベルト カロリ ディアマン ト スイス国 ツェーハー 8048 チュー リヒ エアレンシュトラーセ 10 審査官 伊東 和重 最終頁に続く</p>
--	--

(54) 【発明の名称】 インターレース形ビデオの垂直パン装置

(57) 【特許請求の範囲】

【請求項 1】

インターレースされたビデオ信号を受信する手段と；

垂直同期周波数及び水平同期周波数を有する各信号を供給する手段と；

該インターレースされたビデオ信号と関係付けられた該水平同期周波数の通倍周波数を有する別の信号を供給する手段と；該供給された水平同期周波数信号に応答する水平ビデオ表示制御回路と；

該供給された通倍水平同期周波数信号と、該供給された垂直同期周波数信号と、パン制御信号とに応答し、固定時間間隔に水平方向の半分のライン間隔の整数倍の期間がプラスされた期間又は該固定時間間隔に水平方向の半分のライン間隔の整数倍の期間がマイナスされた期間の何れか一方の期間だけ、該供給された垂直同期周波数信号に対し位相が遅延

させられた第2の垂直同期周波数信号を発生するデジタル手段と；
 該第2の垂直同期周波数信号に応答する垂直ビデオ表示制御回路とからなる、垂直パン装置。

【請求項 2】

垂直同期周波数及び水平同期周波数を有する各信号を供給する手段と；

該水平同期周波数の通倍周波数を有する別の信号を供給する手段と；

該供給された水平同期周波数信号に応答する水平ビデオ表示制御回路と；

該通倍水平同期周波数信号によりクロック制御され、該垂直周波数信号によって動作を可能にされ、第1のクロック出力信号を発生する第1のデジタル計数手段と；

10

20

該逡倍水平同期周波数信号によってクロック制御され、該第1の出力信号によってセットされ、第2のクロック出力信号を発生する第2のデジタル計数手段と；

該垂直周波数信号によってクロック制御され、該第2の計数手段をプリセットするためパン制御信号に¹⁰ 応答して変化する第3のクロック出力信号を発生する第3のデジタル計数手段と；

該第2のクロック出力信号に¹⁰ 応答し、水平方向の半分のライン間隔に時間的に対応する増分量が異なる複数の遅延の中の何れか一つにより該供給された垂直同期周波数信号に対し位相が遅延させられた第2の垂直同期周波数信号を発生するデジタル復号手段と；

該第2の垂直同期周波数信号に¹⁰ 応答する垂直ビデオ表示制御回路とからなる、インターレースされたビデオ信号用の垂直パン装置。

【請求項3】

上記第2の垂直同期周波数信号は、上記固定時間間隔だけ、前記供給された垂直同期周波数信号に対し位相が選択的に遅延させられていることを特徴とする請求項1記載の垂直パン装置。

【請求項4】

上記固定時間間隔は、上記インターレースされたビデオ信号の1フィールドの時間間隔であることを特徴とする請求項1又は3記載の垂直パン装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テレビジョン受像機において画像を垂直方向にパンさせる分野に係り、特に、²⁰ ワイド画面のテレビジョン受像機等において通常のソース媒体からの拡大された画像を垂直方向にパンさせる分野に関する。

【0002】

【従来の技術】

以下、画像の境界、又は、画像の表示画面の境界の横と縦の比をフォーマット表示比と称する。画像を形成するイメージの横と縦の比はイメージアスペクト比と呼ぶ。フォーマット表示比の不一致によって生じる画像内の像の歪みはイメージアスペクト比歪みと称する。³⁰

【0003】

例えば、4×3のフォーマット表示比を有する従来のソース媒体は、映像信号の速度を上げない限り、例えば、16×9のフォーマット表示比を有するワイド画面のテレビジョン受像機に表示することができない。例えば、上記フォーマット表示比の場合、映像信号は4/3倍で速度を上げることが必要である。これによって表示画面の1/4は空白になり、視聴者は幅の広いテレビジョン受像機の特徴が活かされていない不所望の動作条件であるとみなす。³⁰

【0004】

映像信号の速度を上げる方法の他に、画像を垂直方向に拡大する方法がある。画像の垂直方向の拡大は、映像信号の垂直偏向長さ又は垂直補間を操作することにより得られる。4×3のフォーマット表示比を有する画像の垂直長さが、映像信号の速度を上げることなく⁴⁰ 16×9のフォーマット表示比を有するワイド画面のディスプレイ上で4/3倍に増加されるならば、表示の際、画像にイメージアスペクト比歪みがなく、實際上、映像の各イメージによって画成される画像は、寸法が拡大される。その上、画面は画像で完全に埋め尽くされる。しかし、画像の中の1/4は失われる。画像が拡大又はズームされる際に中央に置かれるならば、上部の1/8と下部の1/8が切り取られ、即ち、失われる。画像の上部の略1/8と下部の略1/8は情報内容のない暗い帯をなすレターボックス形フォーマット中に画像がある場合、上記切り取りは問題ではない。

【0005】

しかし、ソース画像がレターボックス形フォーマットではない場合、画像内容の1/4が失われる。動きの中心が非常に巧みに切り取られる場合がある。このような状況下におい⁵⁰

て、動きの中心に追従するため、必要に応じてズームされた画像を垂直方向にパンさせることが望ましい。垂直パン機能により、視聴者はズームされた画像の中のどの部分を表示し、どの部分を切り取るかを選択し得るようになる。垂直パンは映像信号と共に伝送されたパン制御信号に応じて行うことが可能であり、この場合、例えば、適当なデコーダが受信機に必要とされる。

【 0 0 0 6 】

画像を垂直方向に位置決めする第1のアナログ的手法は直流成分を垂直偏向電流に重ね合わせることである。この手法は直流結合された垂直偏向増幅器と十分な出力電流レンジを必要とする。上記増幅器は発散損が増加する欠点がある。

第2のアナログ的手法は垂直偏向ヨークと並列に結合された浮動直流電流源を使用する。上記電流源の出力電圧のダイナミックレンジはフライバックパルスを補うのに十分な大きさが必要である。

10

【 0 0 0 7 】

電流の重ね合わせを使用する全ての手法に伴う重大な問題は、垂直S字補正及び左-右の補正が垂直方向の移動の全レンジに亘って自動的に調節される必要があることである。

基本水平同期周波数 f_H のインターレース形フィールドで動作する水平偏向装置と共に使用するため適合された第3のアナログ的手法は、アナログパルス遅延法を用いて映像信号に対し垂直偏向を位相偏移させる。そのための周知の回路の一つによれば、3個のワンショットマルチバイブレータが直列接続され、間隔 T_1 、 T_2 及び T_3 を夫々有する各パルスを提供する。垂直ドライブ出力パルスは第1のワンショットへの入力である。最初の2個のワンショットは、 $T_1 + T_2$ の全遅延時間を発生させる。第3のワンショットの出力は間隔 T_3 を有する遅延した垂直ドライブ出力パルスである。移動制御入力信号は、最小値と最大値の間で第2のワンショットの出力パルスである間隔 T_2 を変えるため使用される。これにより、画像は下方向及び上方向夫々に移動する。かかるアナログ回路には、不正確なインターレース及びジッターを誘起する重大な問題がある。

20

【 0 0 0 8 】

デジタル的な手法を利用する垂直パン回路は、 $2f_H$ 、即ち、基本水平同期周波数 f_H の2倍のノンインターレース形フィールドで動作する水平偏向装置と共に使用するため開発されている。

第1のデジタル的手法において、パン制御回路は、拡大された画像領域の中のどの部分が表示され、どの部分が表示されないかを制御するため垂直同期成分に対し位相的に垂直ブランキング期間を調整する。この装置は適切に動作するため直流結合された垂直偏向装置を必要とする。直流結合の結果として、垂直パンのない場合に垂直方向のズームを行うと画像の下部は切り取られる。通常、垂直ズーム表示モードの開始点として必要であると考えられるように画像を中心に位置決めするためには、垂直パンが必要とされる。

30

【 0 0 0 9 】

上記第1のデジタル的手法と共に使用し得るS字補正の自動調整用回路は、垂直鋸波信号を垂直偏向増幅器の入力側に結合するトランジスタペアにより形成された差動増幅器を利用する。トランジスタペアの非線形性により、垂直方向の線形性又はS字補正が得られる。鋸波信号の振幅の調整は垂直長さ制御信号を調整することにより行われる。垂直長さ制御信号は、振幅調整により生じるS字補正の要求の変化を補償するため非線形性を制御するトランジスタペアのエミッタに結合される。

40

【 0 0 1 0 】

フレームベースの垂直パン装置と呼ばれる第2のデジタル的手法によれば、パン制御回路は水平ライン、又は、半分のラインを計数し、映像信号の垂直同期成分に対し可変のパン遅延によって遅延された垂直リセット信号を発生する。1フィールド当たりのライン数がテープ速度と記録モードの関数として変わるビデオカセットレコーダの再生の停止モード中のように順次のフィールドが異なる水平ライン数を有するとき、パン遅延はパンされた映像信号のライン間のフリッカーを制御するため相互に排他的な範囲で変化する。

【 0 0 1 1 】

50

フィールドツウフィールド垂直パン装置と呼ばれる第3のデジタル的手法は、標準のフィールド長と、連続的な水平ラインのグループを連続的なフィールドに分割する垂直同期成分とを有する映像信号に基づいている。パン制御回路は、順次の各フィールドの実際の長さとの間の相違を測定する。垂直リセット信号は、映像信号の垂直同期成分に対するパン遅延によって遅延される。フィールドが標準的ではないフィールド長を有するとき、パンされた映像信号のライン間のフリッカーがあるならば、そのフリッカーを制御するため、パン遅延はフィールド長さの相違に対するフィールドベースの応答によってフィールド上で調整することができる。

【0012】

【発明が解決しようとする課題】

垂直パン回路に定められた明らかな要求は、周波数 f_H で動作するテレビジョン受像機と共に使用できること、インターレースの問題を生じないこと、交流結合及び直流結合された両方の垂直偏向装置と共に使用できること、発散損が増加しないこと、垂直パン中にS字補正と左-右補正の連続的な再調整を必要としないことである。

【0013】

【課題を解決するための手段】

従来技術において指摘された問題を解決する本発明の垂直パン装置は、垂直同期周波数と、水平同期周波数と、水平同期周波数の通倍周波数とを有する各信号を供給する手段と；供給された水平同期周波数信号にตอบสนองし、フィールドをインターレースさせてビデオ信号を表示するビデオディスプレイ用水平表示制御回路と；供給された通倍水平同期周波数信号と、供給された垂直同期周波数信号と、パン制御信号とにตอบสนองし、水平方向の半分のライン間隔に時間的に対応する増分量が異なる複数の遅延の中の何れか一つにより供給された垂直同期周波数信号に対し位相が遅延させられた第2の垂直同期周波数信号を発生するデジタル手段と；第2の垂直同期周波数信号にตอบสนองするビデオディスプレイ用垂直表示制御回路とからなると考えられる。

【0014】

上記第2の垂直同期信号を発生させる手段は、通倍水平同期周波数信号によりクロック制御され、垂直周波数信号によって動作を可能にされ、第1のクロック出力信号を発生する第1のデジタル計数手段と；通倍水平同期周波数信号によってクロック制御され、第1の出力信号によってセットされ、第2のクロック出力信号を発生する第2のデジタル計数手段と；垂直周波数信号によってクロック制御され、第2の計数手段をプリセットするためパン制御信号にตอบสนองして変化する第3のクロック出力信号を発生する第3のデジタル計数手段と；第2のクロック出力信号にตอบสนองし、位相が遅延させられた垂直周波数同期信号を発生するデジタル復号手段とからなると考えられる。

【0015】

或いは、従来技術において指摘された問題を解決する本発明の他の垂直パン装置は、垂直同期周波数と、水平同期周波数と、該水平同期周波数の通倍周波数を有する各信号のソースと；入力ビデオ信号のフィールドがインターレース形フォーマットで表示される動作モードを有するビデオディスプレイと；ビデオディスプレイに結合され、供給された水平同期周波数信号にตอบสนองする水平表示制御回路と；供給された通倍水平同期周波数信号と供給された垂直同期周波数信号とパン制御信号とにตอบสนองし、水平方向の半分のライン間隔に時間的に対応する増分量が異なる複数の遅延の中の何れか一つにより供給された垂直同期周波数信号に対し位相が遅延させられた第2の垂直同期周波数信号を出力として有するデジタル位相遅延回路と；ビデオディスプレイに結合され、第2の垂直同期周波数信号にตอบสนองする垂直表示制御回路とからなると考えられる。

【0016】

上記デジタル位相遅延回路は、通倍水平同期周波数信号によりクロック制御され、垂直周波数信号によって動作を可能にされ、第1のクロック出力信号を発生する第1のデジタル計数手段と；通倍水平同期周波数信号によってクロック制御され、第1の出力信号によって開始カウントにセットされ、第2のクロック出力信号を発生させる第2のディジタ

10

20

30

40

50

ル計数手段と；垂直周波数信号によってクロック制御され、開始カウントとして第2の計数手段に結合された第3のクロック信号であって垂直パン制御信号に応答して変化する第3のクロック出力信号を発生する第3のデジタル計数手段と；第2のクロック出力信号を受信するため結合され、位相が遅延させられた垂直周波数同期信号として復号化出力信号を発生するデジタル復号手段とからなると考えられる。

【0017】

上記の各垂直パン装置によれば、水平同期周波数は、例えば、入力映像信号の水平同期信号の $1f_H$ と対応し、逡倍水平同期周波数は、例えば、入力映像信号の水平同期信号の2倍の $2f_H$ である。

種々の本発明の配置は、異なるレベルの構造的及び機能的な説明を用いて、それに限定されることのない上記配置を含む多数の他の形態で示されることが認められる。

10

【0018】

【発明の実施の形態】

全体的に参照符号10で示された本発明の配置の垂直パン回路のブロック図が図1に示されている。パン回路10は、例えば、垂直ドライブパルスが発生されたポイントにおいて、 f_H で表わされる水平走査周波数の周期の半分の整数倍で垂直同期信号を位相的に遅延させる。位相遅延の量は、1フィールドの時間間隔プラス35.5の水平ライン間隔から1フィールドの時間間隔マイナス36の水平ライン間隔までの範囲でライン走査周期の半分の増分量で調整し得る。上記範囲により、中央位置から35.5ライン上方と、中央位置から36ライン下方の画像の最大の垂直方向移動が得られる。水平走査周期の半分の整数倍で調整可能な時間的遅延を実行することにより、インターレースは正確であり、本質的に安定する利点を得られる。更に、上記回路自体は、カウントダウン法で垂直ドライブパルスを発生させるため使用される形の集積回路への実装に適している。

20

【0019】

ブロック12は水平及び垂直同期周波数を有する各信号のソースを示している。上記各信号は、例えば、同期信号分離回路によって供給された入力複合映像信号の水平及び垂直同期信号である。或いは、上記各信号は、例えば、各々が水平及び垂直出力ドライブ信号である入力複合映像信号の水平及び垂直同期信号から取り出してもよい。

【0020】

垂直同期周波数を有するブロック12の出力信号は V_{IN} で表わされている。信号 V_{IN} は位相遅延回路14と遅延制御回路26の入力である。水平同期周波数を有するブロック12の出力信号は f_H で表わされている。信号 f_H は周波数逡倍回路24と水平表示制御回路28の入力である。信号 V_{IN} 及び f_H は、夫々、入力映像信号の垂直及び水平同期信号と同期した関係にある。

30

【0021】

回路24は、本実施例において信号 $2f_H$ を出力として発生する周波数逡倍回路を表わす。周波数逡倍回路は周知であり、通常、出力信号 $2f_H$ が入力信号 f_H と同期し続けることを保証するためPLL回路25のような位相ロックループを組み込む。表示の際に偶数フィールドと奇数フィールドが互いに横方向に揃わない状況を回避するため、信号 $2f_H$ は信号 f_H の周期と実質的に対称であることが望ましい。信号 $2f_H$ は、受像機でそれ以外に利用可能であれば、発生させる必要はない。

40

【0022】

位相遅延回路14は、第2の垂直同期周波数信号 V_{OUT} を出力信号として発生する。信号 V_{OUT} は信号 V_{IN} に関し位相的に遅延される。本発明の配置によれば、信号 V_{OUT} は、時間的な増分が異なる多数の位相遅延の中の何れか一つによって位相的に遅延される。各増分は時間的に半分のライン間隔に一致する。各半分のライン間隔は、例えば、本実施例において信号 $2f_H$ である逡倍水平周波数信号の各周期に一致する。逡倍水平周波数信号は、半分のライン間隔の位相遅延の増加を可能にする位相遅延回路14にタイミングの基準を供給する。信号 V_{IN} は、位相遅延した信号 V_{OUT} が入力映像信号と同期し続けることを保証する。

50

【 0 0 2 3 】

回路 2 6 は遅延制御回路である。遅延制御回路 2 6 は、位相遅延回路 1 4 において信号 V_{IN} に印加された増加的な遅延の数を調整する出力信号 PCS を発生する。信号 V_{IN} は、遅延制御回路 2 6 が位相遅延回路 1 4 と適切に同期することを保証するクロックソースを供給する。

ブロック 3 2 はマイクロプロセッサ $\mu P 3 2$ を示している。マイクロプロセッサ 3 2 は、UP (アップ)、CENTER (センター)、DOWN (ダウン) のコマンドを遅延制御回路 2 6 に与える。マイクロプロセッサ 3 2 は、パンボタン 3 6、ダウンボタン 3 8、アップボタン 4 0 をその一部 3 4 に含むキーパッドにより作成されたような視聴者のコマンドに応答する。キーパッドは、例えば、配線のまとめ取付け、又は、遠隔制御の赤外線リンクでもよいリンク 4 1 を介してマイクロプロセッサ 3 2 に結合される。キーパッド部 3 4 は、多数の制御装置の中の一例を示し、例えば、アップとダウンのボリューム制御ボタンは、パンボタンが同時に押された場合、アップ及びダウンのパンコマンドを発生させるため使用することが可能である。

10

【 0 0 2 4 】

センターコマンドは 1 フィールドの時間間隔の遅延をセットし、これにより、画像が垂直方向の中央に置かれる。これは、図 2 に示す如く、信号 V_{IN} の各パルスの後、1 垂直周期 $T_{VERTICAL}$ に生じる信号 V_{OUT} の各パルスと一致する。アップコマンドは、1 フィールドの時間間隔プラス 0.5 乃至 35.5 ライン周期の範囲で遅延をセットする。ダウンコマンドは、1 フィールドの時間間隔マイナス 0.5 乃至 36 ライン周期の範囲で遅延をセ

20

【 0 0 2 5 】

もう一度図 1 を参照すると、垂直表示制御回路 2 2 は、位相遅延が調整された信号 V_{OUT} を入力として有する。垂直表示制御回路 2 2 は、陰極線管と共に使用するため適合された垂直偏向回路でもよく、或いは、液晶又はプラズマディスプレイと共に使用するため適合されたラスタマッピング回路でもよい。如何なる適合の場合でも、垂直表示制御回路 2 2 は、画像の垂直サイズを制御するマイクロプロセッサ 3 2 から垂直サイズ制御信号を受ける。垂直方向のパンは、例えば、殆どのワイド画面テレビジョン受像機で見られる垂直ズームの特性によって必要とされる。偏向装置において、画像の垂直方向の長さは垂直偏向電流の勾配を変えることにより調整される。上記回路は現在周知である。ラスタマ

30

【 0 0 2 6 】

水平表示制御回路 2 8 は入力として信号 f_H を有する。水平表示制御回路 2 8 は、陰極線管と共に使用するため適合された水平偏向回路でもよく、或いは、液晶又はプラズマディスプレイと共に使用するため適合されたラスタマッピング回路でもよい。ワイド画面ディスプレイ上で 4×3 のフォーマット表示比の画像を垂直方向にズームする場合、水平走査の幅を調整する必要はない。

【 0 0 2 7 】

水平及び垂直表示制御回路 2 8、2 2 の夫々で生成された水平及び垂直表示制御信号は、ビデオディスプレイ 3 0 に入力される。ビデオディスプレイ 3 0 は、例えば、 16×9 の幅広いフォーマット表示比を有するので、垂直方向のズーム特性を実現するのが適当である。ビデオディスプレイ 3 0 は、陰極線管、液晶ディスプレイ、プラズマディスプレイ、又は、映像信号により表わされた画像を表示する他の適当な配置の何れでも構わない。

40

【 0 0 2 8 】

図 3 は位相遅延回路 1 4 の詳細なブロック図である。位相遅延回路 1 4 は、2 台の同期式デジタルカウンタ及びデコーダとして実現される。カウンタ - 1 と呼ばれる第 1 のカウンタ 1 6 は、9 ビットの 2 進カウンタである。第 1 のカウンタは信号 $2f_H$ によってクロック制御され、信号 V_{IN} に応答してレート $2f_H$ で計数を開始する。カウンタ 1 6 の出力は $CNT 1$ で示されている。カウンタ - 2 と呼ばれる第 2 のカウンタ 1 8 は、8 ビット

50

のプログラム可能なカウンタである。第2のカウンタ18も信号 $2f_H$ によってクロック制御され、第1のカウンタ16の所定の出力カウントでセットされる。第2のカウンタの出力カウントCNT2は、4ビットのデジタルデコーダ20の入力である。デコーダ20の復号化された出力信号は位相遅延された垂直同期信号 V_{OUT} である。遅延制御回路26は、カウンタ-3とも呼ばれる第3のデジタルカウンタ26として実現される。かかる第3のカウンタ26は、信号 V_{IN} でクロック制御された同期式8ビットのプログラム可能な2進アップ/ダウンカウンタである。第3のカウンタ26の出力カウントCNT3は、第2のカウンタ18にプリセットカウント値を供給する。

【0029】

ブロック42は、マイクロプロセッサ32が視聴者によって作成された垂直パン制御信号を適当なデジタルパン制御信号に変換し得るスイッチインタフェースの一例を示している。

10

カウンタ16は、垂直周波数同期信号 V_{IN} が論理的ハイであり、クロックレート $2f_H$ で計数し始めるとき、ゼロにリセットされる。出力OUTは論理的ハイである。カウントが“470”に達するとき、出力OUTは論理的ローに変わる。次のクロックパルス $2f_H$ で、カウンタ18は、カウンタ26からの“0”乃至“143”の範囲の出力カウント値でプリロードされる。カウンタ16は、停止カウント“471”で計数を終了する。

【0030】

カウンタ18はプリロードの値から計数を開始し、停止カウント“240”で計数を終了するまでカウントを進める。カウンタ18の出力カウントの上位4ビットは、4ビットデコーダ20に供給される。位相遅延された信号 V_{OUT} は、“224”から“239”のカウント範囲の16カウントの間隔で遅延された垂直同期パルスを有する。

20

【0031】

カウンタ26に対する垂直パン制御信号アップ(UP)、センター(CENTER)及びダウン(DOWN)は、カウンタ26によりカウンタ18に供給されるプリロードの値を変更するため使用される。例えば、カウンタ26の制御入力の中の別々の入力への論理的ローの信号は、カウンタ26を増加、減少、又は、所定の値にセットさせる。信号 V_{IN} と V_{OUT} の間の位相的な遅延全体は、カウンタ16及び18のカウント周期の合計である。PAL方式において、垂直パルス周波数が50Hzの場合、利用可能な領域全体に亘り画像を移動させるため略2.8秒が必要とされる。

30

【0032】

全パルス遅延時間は、1フィールド足す71カウントから1フィールド引く72カウントまで調整可能である。これは、中央位置の35.5ライン上方から中央位置の36ライン下方までの垂直方向における画像の移動に一致する。

NTSC方式の場合、映像フィールド当たりの水平ライン数が少ないので、絶対的な垂直移動はより大きくなる。従って、NTSC方式の信号と共に使用するため適合された垂直パン装置は、増加させる半分のライン間隔の本数に関し測定される際、異なるパン範囲を必要とする。

【0033】

順次のフィールドが同一のライン数ではないとき、高速の早送り又は巻き戻しサーチのような特定のビデオカセットレコーダのモード中にジッターが生じる可能性がある。本発明の配置によって示された多数の利点を考慮すると、このように稀な条件は、殆ど、或いは、實際上連続しないと考えられる。

40

図4には、位相ロックループを有する周波数逡倍器のブロック図が示されている。位相比較器44は第1の入力として同期信号 f_H を受ける。位相比較器44の出力はローパスフィルタ46への入力である。ローパスフィルタ46の出力は、電圧制御発振器48の制御電圧入力である。発振器48は、Nが整数を表わす場合、公称動作周波数 Nf_H を有する。電圧制御発振器48の出力信号 Nf_H は、例えば、位相遅延回路14のクロック信号として使用できる。図3の実施例において、信号 Nf_H は第1及び第2のカウンタ16及び18のクロック信号である。信号 Nf_H はブロック50で示された $\div N$ 形の除算回路へ

50

の入力である。除算回路50は、位相ロックドループを閉じる位相比較器44への第2の入力として第2の f_H 信号を供給する。位相比較器44の出力は、二つの f_H 信号の間の位相さを表わし、発振器により発生された信号 Nf_H が入力 f_H 信号と位相的にロックされ続けることを保証するため必要に応じて電圧制御発振器の周波数を増加又は減少させる。位相ロックドループと、その構成回路部分は、アナログ回路、デジタル回路、又は、アナログ及びデジタル部品のハイブリッドとして実現することが可能である。発振器及び位相ロックドループは、少なくとも1個の集積回路に実装してもよい。例示した実施例において、 N は2と一致する。

【0034】

【実施例】

図5は回路14、24、26及び42の論理的な形式の詳細な回路図である。第1のプログラマブル論理装置U1は、カウンタ16及びデコーダ20を具現化するため使用される。第2のプログラマブル論理装置U2は、カウンタ18及びカウンタ26を具現化するため使用される。分周器として接続された位相ロックドループ装置U3及びD形フリップフロップU4は、周波数逡倍器24を具現化するため使用される。U3を参照するに、ピン3及び14は、位相比較器への入力である。ピン13は位相比較器の出力である。ローパスフィルタはピン13と9の間に接続されている。ピン9は電圧制御発振器の制御入力である。プルアップ抵抗R1、R2及びR3の回路網は、スイッチインタフェース42を具現化するため使用される。入力信号は、PAL方式標準の50Hzの垂直同期周波数である信号 V_{IN} と、PAL方式標準の15,625Hzの水平同期周波数である信号 f_H である。信号 V_{IN} 及び f_H は、夫々、垂直及び水平ドライブパルス信号でもよい。出力は位相遅延した信号 V_{OUT} である。信号 $2f_H$ が受像機内で別途利用できる場合、信号 $2f_H$ を発生させる必要はない。

【0035】

回路の電源がターンオンされた後、抵抗R1とキャパシタC4は、そのRC時定数によって決まる間隔中、U2のピン23を論理的ローレベルに維持し、画像を垂直方向で中央に位置決めする。ダイオードD1は、回路への電源がターンオフされたとき、キャパシタC4が急速に放電されることを保証する。

プログラマブル論理装置U1及びU2は、夫々、例えば、製造型番5C060として具現化してもよい。位相ロックドループ装置U3は、例えば、製造型番74HC4046として具現化される。D形フリップフロップU4は、例えば、製造型番74HC74として具現化される。

【図面の簡単な説明】

【図1】本発明の配置の垂直パン回路のブロック図である。

【図2】図1の回路の動作を説明するためのタイミングチャートである。

【図3】図1の位相遅延回路の一実施例のブロック図である。

【図4】図1に示された周波数逡倍器及び位相ロックドループの一実施例のブロック図である。

【図5】本発明の配置の垂直パン回路の一実施例の略論理回路的な概略図である。

【符号の説明】

- 10 垂直パン回路
- 12 信号ソース
- 14 位相遅延回路
- 16, 18 カウンタ
- 20 デコーダ
- 22 垂直表示制御回路
- 24 周波数逡倍回路
- 25 PLL回路
- 26 遅延制御回路
- 28 水平表示制御回路

10

20

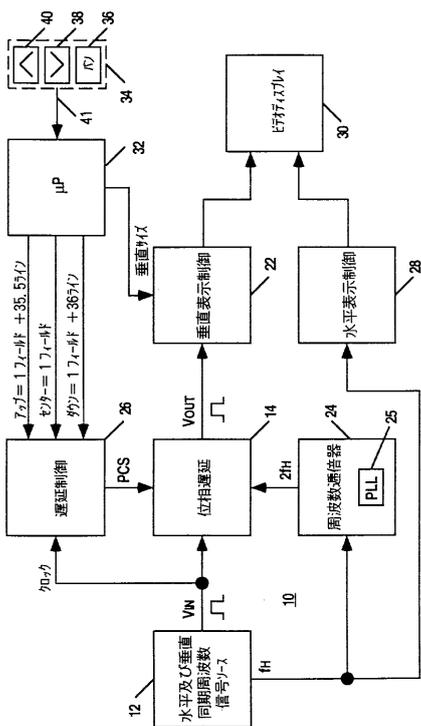
30

40

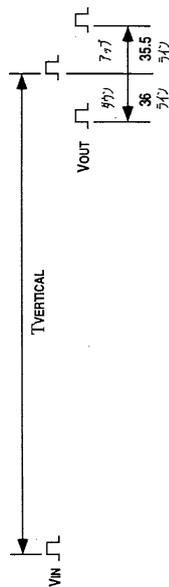
50

- 3 0 ビデオディスプレイ
- 3 2 マイクロプロセッサ
- 3 4 キーパッド部
- 3 6 パンボタン
- 3 8 ダウンボタン
- 4 0 アップボタン
- 4 1 リンク
- 4 2 スイッチインタフェース
- 4 4 位相比較器
- 4 6 ローパスフィルタ
- 4 8 電圧制御発振器
- 5 0 除算 (÷ N) 回路

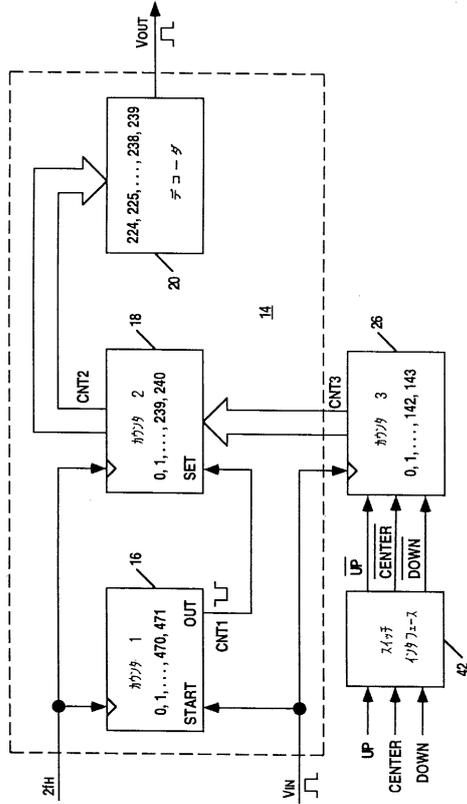
【 図 1 】



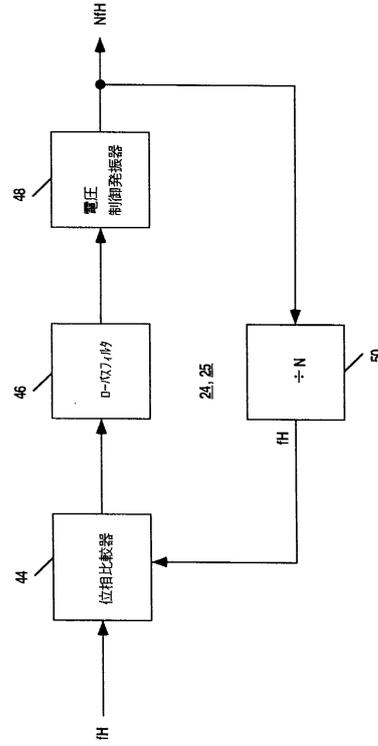
【 図 2 】



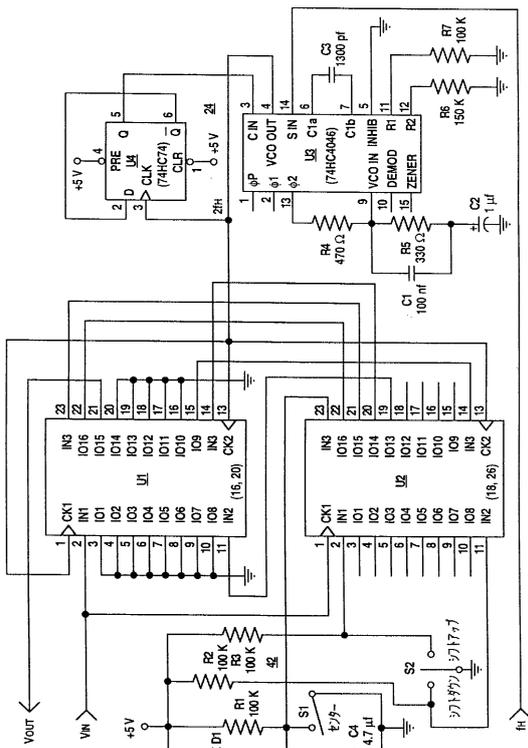
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平04 - 020175 (JP, A)
特開平04 - 003662 (JP, A)
実開平03 - 103493 (JP, U)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04N 3/227
G09G 5/00