

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/04 (2006.01)

H01L 21/82 (2006.01)

H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310103002.5

[45] 授权公告日 2008年9月17日

[11] 授权公告号 CN 100420023C

[22] 申请日 2003.10.28

[21] 申请号 200310103002.5

[30] 优先权

[32] 2002.10.28 [33] JP [31] 313049/2002

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 稗田克彦

[56] 参考文献

US6465320B1 2002.10.15

US2002/0135037A1 2002.9.26

US6467320B1 2002.10.15

US4458295A 1984.7.3

CN1306304A 2001.8.1

US20020135037A1 2002.9.26

JP2001-177057A 2001.6.29

审查员 刘天飞

[74] 专利代理机构 北京市中咨律师事务所

代理人 段承恩 陈海红

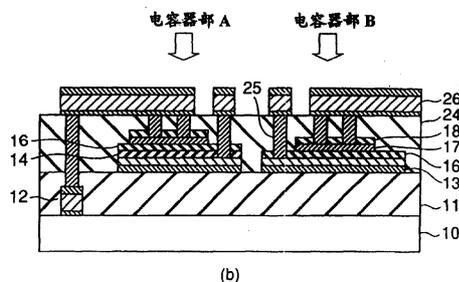
权利要求书4页 说明书18页 附图7页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

通过高频用的 MIM 电容器中在相同的上下电极间具有不同的电容器绝缘膜结构，同时满足了减少漏泄电流的要求和缩小电容器形成用的面积这 2 个要求。通过在低漏泄电流为必要的电容器中插入能抑制漏泄电流的电容器绝缘膜层，实现了低漏泄电流的 MIM 电容器，通过在电容器面积的缩小为必要的电容器中将高介电常数电介质膜用作电容器绝缘膜，实现了电容器面积小的 MIM 电容器。通过使用相同的上下电极(13)、(17)同时形成具有这两种特性的电容器，减少了工艺成本的上升。



1. 一种半导体器件，是在衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：

上述电容器中的一部分，被分成上述电极层的结构彼此相同，且每单位面积的电容器容量不同的2组；

用第1电介质层形成第1组电容器绝缘膜，用其介电常数与第1电介质层的介电常数不同的第2电介质层形成了第2组电容器绝缘膜。

2. 一种半导体器件，是在衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：

上述电容器中的一部分，被分成上述电极层的结构彼此相同，且每单位面积的电容器容量不同的2组；

用第1电介质层形成第1组电容器绝缘膜，用第1电介质层和介电常数与该第1电介质层不同的第2电介质层的层叠结构形成了第2组电容器绝缘膜。

3. 一种半导体器件，是在衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：

上述电容器中的一部分，被分成上述电极层的结构彼此相同，且每单位面积的电容器容量不同的3组；

用第1电介质层形成第1组电容器绝缘膜，用其介电常数与第1电介质层的介电常数不同的第2电介质层形成第2组电容器绝缘膜，用第1电介质层和第2电介质层的层叠结构形成第3组电容器绝缘膜。

4. 一种半导体器件，是在衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：

上述电容器中的一部分，被分成上述电极层的结构彼此相同，且每单位面积的电容器容量不同的2组；

用第1电介质层和其介电常数与该层的介电常数不同的第2电介质层的层叠结构形成第1组电容器绝缘膜，用第1电介质层和其介电常数与该层和与第2电介质层的介电常数不同的第3电介质层的层叠结构形成了第

2 组的电容器绝缘膜。

5. 一种半导体器件，是在衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：

上述电容器中的一部分，被分成上述电极层的结构彼此相同，且每单位面积的电容器容量不同的 2 组；

用第 1 电介质层夹住介电常数与该第 1 电介质层的介电常数不同的第 2 电介质层形成第 1 组的电容器绝缘膜，用第 1 电介质层夹住其介电常数与第 1 和第 2 电介质层的介电常数不同的第 3 电介质层形成第 2 组的电容器绝缘膜。

6. 一种半导体器件，其特征在于，具备：

第 1 电容器，被配置在衬底上，用第 1 上下电极层夹住第 1 电容器绝缘膜而被形成；以及

第 2 电容器，被配置在上述衬底上，用第 2 上下电极层夹住第 2 电容器绝缘膜而被形成，第 2 上下电极层的结构与第 1 上下电极层的结构相同，而每单位面积的电容器容量与第 1 电容器不同；

其中用第 1 电介质层形成第 1 电容器绝缘膜，用其介电常数与第 1 电介质层的介电常数不同的第 2 电介质层形成第 2 电容器绝缘膜。

7. 如权利要求 1~5 的任一项中所述的半导体器件，其特征在于：
在上述衬底中，在半导体衬底上形成了层间绝缘膜。

8. 如权利要求 1~5 的任一项中所述的半导体器件，其特征在于：
上述介电常数不同的绝缘膜的漏泄电流特性不同。

9. 如权利要求 1、2、4、5 的任一项中所述的半导体器件，其特征在于：
第 1 电介质层是氮化硅膜，第 2 电介质层是氧化钽膜。

10. 如权利要求 3 中所述的半导体器件，其特征在于：
第 1 电介质层是氧化铝膜，第 2 电介质层是氮化硅膜，第 3 电介质层是氧化钽膜。

11. 如权利要求 1~6 的任一项中所述的半导体器件，其特征在于：上述电极层是 TiN。

12. 如权利要求 1~6 的任一项中所述的半导体器件，其特征在于：上

述电极层是包含 Pt 膜、Ru 膜或 Ir 膜的膜。

13. 如权利要求 6 中所述的半导体器件，其特征在于：

用氮化硅膜形成了第 1 电容器绝缘膜，用氧化钽膜形成了第 2 电容器绝缘膜。

14. 如权利要求 6 中所述的半导体器件，其特征在于：

用氮化硅膜和氧化钽膜的层叠膜形成了第 1 电容器绝缘膜，用氧化钽膜形成了第 2 电容器绝缘膜。

15. 如权利要求 6 中所述的半导体器件，其特征在于：

用氮化硅膜和氧化钽膜的层叠膜形成了第 1 电容器绝缘膜，用氮化硅膜形成了第 2 电容器绝缘膜。

16. 如权利要求 6 中所述的半导体器件，其特征在于：

用氧化铝膜和氮化硅膜的层叠膜形成了第 1 电容器绝缘膜，用氧化铝膜和氧化钽膜的层叠膜形成了第 2 电容器绝缘膜。

17. 如权利要求 6 中所述的半导体器件，其特征在于：

用氧化铝膜、氮化硅膜和氧化铝膜的层叠膜形成了第 1 电容器绝缘膜，用氧化铝膜、氧化钽膜和氧化铝膜的层叠膜形成了第 2 电容器绝缘膜。

18. 如权利要求 6 中所述的半导体器件，其特征在于：

用氧化铝膜的层叠膜形成了第 1 电容器绝缘膜，用氧化铝膜和氧化钽膜的层叠膜形成了第 2 电容器绝缘膜。

19. 如权利要求 6 中所述的半导体器件，其特征在于：

还具有第 3 电容器，该第 3 电容器被配置在上述衬底上，用第 3 上下电极层夹住第 3 电容器绝缘膜而被形成，第 3 上下电极层的结构与第 1 和第 2 上下电极层的结构相同，而每单位面积的电容器容量与第 1 和第 2 电容器不同，

用氮化硅膜形成了第 1 电容器绝缘膜，用氧化钽膜形成了第 2 电容器绝缘膜，用氮化硅膜和氧化钽膜的层叠膜形成了第 3 电容器绝缘膜。

20. 一种半导体器件的制造方法，其特征在于，包含下述工序：

在半导体衬底上形成构成下部电极的下层导电体膜的工序；

在上述下层导电体膜上形成电容器绝缘膜的工序，所述的电容器绝缘膜

是由单层或多层的电介质层构成的电容器绝缘膜，且是将上述电介质层的材料或膜厚以每单位面积的电容器容量部分地不同的方式构成的电容器绝缘膜；

在上述电容器绝缘膜上形成构成上部电极的上层导电体膜的工序；

将从上述上层导电体膜到上述下层导电体膜的包含电容器绝缘膜的多层膜刻蚀成下部电极图案形状以形成多个下部电极的工序；以及

将上述上层导电体膜刻蚀成上部电极图案形状以形成多个上部电极的工序。

21. 一种半导体器件的制造方法，其特征在于，包含下述工序：

在半导体衬底上形成构成下部电极的下层导电体膜的工序；

在上述下层导电体膜上形成电容器绝缘膜的工序，所述的电容器绝缘膜是由单层或多层的电介质层构成的电容器绝缘膜，且是将上述电介质层的材料或膜厚以每单位面积的电容器容量部分地不同的方式构成的电容器绝缘膜；

在上述电容器绝缘膜上形成构成上部电极的上层导电体膜的工序；

将上述上层导电体膜刻蚀成上部电极图案形状以形成多个上部电极的工序；以及

将从上述电容器绝缘膜到上述下层导电体膜的膜刻蚀成下部电极图案形状以形成多个下部电极的工序。

半导体器件及其制造方法

技术领域

本发明涉及具有电容器容量不同的多个电容器的半导体器件，特别是涉及谋求了 MIM（金属-绝缘体-金属）结构的高频用电容器的改良的半导体器件。

背景技术

高频（RF）用 MIM 电容器是在同一芯片上与数字 CMOS 电路一起混合装载模拟电路方面重要的部件。近年来，为了缩小 MIM 电容器的占有面积，提出了将 Ta_2O_5 膜等的高介电常数电介质膜用作电容器绝缘膜的方案（例如，参照专利文献 1）。

图 13 是示出在现有的 MIM 电容器中使用了 Ta_2O_5 膜的情况的电容器结构的例子的剖面图。在基底衬底 100 上形成有基底布线 112，在其上形成有 SiO_2 膜 111 作为层间绝缘膜。在 SiO_2 膜 111 上形成有由 TiN 膜/Ti 膜构成的基底布线 113，在其上用 CVD 法或溅射法形成有厚度为 50nm 左右的 Ta_2O_5 膜作为电容器绝缘膜 114。

在电容器绝缘膜 114 上形成有由 TiN 膜构成的上部电极 117，在其上形成有作为电极加工时的掩模的 SiN 膜 118。利用由等离子 CVD 法得到的 SiO_2 膜 124 填埋电容器整体，在 SiO_2 膜 124 中设置有与上下电极连接用的接点。然后，在接点内填埋金属栓 125，金属栓 125 与在 SiO_2 膜 124 上形成的上层布线 126 连接。

但是，使用了 Ta_2O_5 膜等的高介电常数电介质 MIM 电容器固然能以小的面积得到与以往相同的电容，但另一方面，由于一般 Ta_2O_5 膜形成时的下部电极表面的氧化或与下部电极材料的反应、上部电极形成时的因等离子气氛导致氧缺损的发生等的缘故，流过 Ta_2O_5 膜的漏泄电流的控制是困难的。因此，存在漏泄电流增加的问题。

作为在半导体器件中使用的电容器，有时必须是大容量的，但除了大容量外，也要求漏泄电流小。因而，在将 Ta_2O_5 用作电容器绝缘膜的情况下，产生不能满足作为电容器所必要的漏泄电流的情况。此外，如果分别制造使用了高介电常数电介质材料的电容器和漏泄电流小的电容器，则解决了上述的问题，但此时制造成本显著地上升了。

[专利文献 1]

特开 2001 - 177057 号公报

发明内容

这样，以往虽然研究了为了缩小电容器面积而使用高介电常数电介质电容器绝缘膜，但在这种绝缘膜中漏泄电流增加了，不能适用于要求低漏泄电流的电容器。此外，如果分别制造使用了高介电常数电介质材料的电容器和漏泄电流小的电容器，则导致制造成本的显著的上升。

本发明是考虑了上述的情况而进行的，其目的在于提供能实现使用了高介电常数电介质材料的电容器面积的缩小和低漏泄电流这两者的、能实现适合于用作高频电路等的 MIM 电容器结构而不使制造成本上升的半导体器件及其制造方法。

(构成)

为了解决上述课题，本发明采用了如下构成。

即本发明是在半导体衬底上形成了用上下的电极层夹住电容器绝缘膜的多个电容器的半导体器件，其特征在于：上述电容器中的一部分是上述电极层的结构彼此相同，且每单位面积的电容器容量不同。

此外，本发明的具有多个电容器的半导体器件，其特征在于具备：第 1 电容器，被配置在衬底上，用第 1 上下电极层夹住第 1 电容器绝缘膜而被形成；以及第 2 电容器，被配置在上述衬底上，用第 2 上下电极层夹住第 2 电容器绝缘膜而被形成，第 2 上下电极层的结构与第 1 上下电极层的结构相同，而每单位面积的电容器容量与第 1 电容器不同。

此外，本发明的具有多个电容器的半导体器件的制造方法，其特征在于，包含下述工序：在半导体衬底上形成构成下部电极的下层导电体膜的工序；

在上述下层导电体膜上形成由单层或多层的电介质层构成、且将上述电介质层的材料或膜厚以每单位面积的电容器容量部分地不同的方式构成的电容器绝缘膜的工序；在上述电容器绝缘膜上形成构成上部电极的上层导电体膜的工序；将从上述上层导电体膜到上述下层导电体膜的包含电容器绝缘膜的多层膜刻蚀成下部电极图案形状以形成多个下部电极的工序；以及将上述上层导电体膜刻蚀成上部电极图案形状以形成多个上部电极的工序。

此外，本发明的具有多个电容器的半导体器件的制造方法，其特征在于，包含下述工序：在半导体衬底上形成构成下部电极的下层导电体膜的工序；在上述下层导电体膜上形成由单层或多层的电介质层构成、且将上述电介质层的材料或膜厚以每单位面积的电容器容量部分地不同的方式构成的电容器绝缘膜的工序；在上述电容器绝缘膜上形成构成上部电极的上层导电体膜的工序；将上述上层导电体膜刻蚀成上部电极图案形状以形成多个上部电极的工序；以及将从上述电容器绝缘膜到上述下层导电体膜的膜刻蚀成下部电极图案形状以形成多个下部电极的工序。

（作用）

按照本发明，在同一衬底上形成的多个电容器中，通过改变电容器绝缘膜的结构或材料，可实现每单位面积的电容器容量不同的电容器。因此，在要求大容量的电容器中和要求低漏泄电流的电容器中，可采用适合于各自的要求的电容器结构，由此，可实现使用了高介电常数电介质材料的电容器面积的缩小和低漏泄电流这两者。此外，通过将上下电极层作成相同的结构，可将制造工艺的增加抑制为最小限度。

如以上详细地描述的那样，按照本发明，在低漏泄电流为必要的电容器区域中，使用能抑制漏泄电流那样的电容器绝缘膜，在有必要缩小电容器面积的MIM型电容器中，使用其介电常数比现有的电容器绝缘膜的介电常数大的材料，由此，可实现低漏泄电流的MIM电容器（电容器部A）和电容器面积小的MIM电容器（电容器部B）。而且，此时，通过使用相同的上下电极同时形成具有这二种特性的电容器，可抑制工艺成本的上升。

即,可实现使用了高介电常数电介质材料的电容器面积的缩小和低漏泄电流这两者而不使制造成本上升,可制造适合用于高频电路等的MIM电容器结构。

附图说明

图 1 是示出第 1 实施例涉及的电容器部的概略结构的平面图和剖面图。

图 2 是示出第 1 实施例中的电容器部的制造工序的剖面图。

图 3 是示出第 1 实施例中的电容器部的制造工序的另一例的剖面图。

图 4 是示出第 2 实施例涉及的电容器部的概略结构的剖面图。

图 5 是示出第 3 实施例涉及的电容器部的概略结构的剖面图。

图 6 是示出第 4 实施例涉及的电容器部的概略结构的剖面图。

图 7 是示出第 5 实施例涉及的电容器部的概略结构的剖面图。

图 8 是示出第 6 实施例涉及的电容器部的概略结构的剖面图。

图 9 是示出第 7 实施例涉及的电容器部的概略结构的剖面图。

图 10 是示出第 8 实施例涉及的电容器部的概略结构的剖面图。

图 11 是示出第 8 实施例中的电容器部的制造工序的剖面图。

图 12 是示出第 9 实施例涉及的电容器部的概略结构的剖面图。

图 13 是示出现有例的 MIM 电容器的概略结构的剖面图。

符号说明

- 10 基板
- 11 P-SiO₂膜
- 12 布线
- 13 下部电极
- 13a Ti 膜
- 13b TiN 膜
- 14 SiN 膜
- 15, 21, 22 抗蚀刻掩模
- 16 Ta₂O₅膜
- 17 TiN 膜
- 18 SiN 膜
- 24 P-SiO₂膜
- 25 金属栓

- 26 布线
- 36 (Ba, Sr)TiO₃膜
- 46 Al₂O₃膜

具体实施方式

以下，根据图示的实施例说明本发明的细节。

(第1实施例)

图1用来说明本发明的第1实施例涉及的MIM型电容器的概略结构，(a)是MIM型电容器的平面图，(b)是(a)的A-A'剖面图。但是，在图面中省略了电容器部以下的多层布线层。此外，在图中示出了2个电容器，但实际上在同一衬底上形成有多个电容器。

图中，10是形成了多层布线的衬底，在该衬底10上形成有布线12的同时，淀积了由等离子CVD法得到的SiO₂膜(以下记为P-SiO₂膜)11。在P-SiO₂膜11上形成有用TiN/Ti的下部电极13和TiN的上部电极17夹住电容器绝缘膜的多个电容器。电容器部A(第1组)的电容器绝缘膜由作为第1电介质层的SiN膜14和作为第2电介质层的Ta₂O₅膜16的层叠结构构成，电容器部B(第2组)的电容器绝缘膜是Ta₂O₅膜16。

以覆盖电容器的方式在P-SiO₂膜11上形成有P-SiO₂膜24。在该P-SiO₂膜24中设置有取得与电极的接触用的接触孔，在各个接触孔中填埋并形成有金属栓25。然后，在P-SiO₂膜24上形成有TiN/Ti/Al等的布线26。

本实施例的MIM型电容器除了电极材料和电容器电介质膜的膜结构外，基本上与图13的现有的MIM型电容器的结构是相同的。本实施例与现有的MIM型电容器的不同点如下所述。

首先，在低漏泄电流为必要的电容器中，选择在下部电极的界面上形成能抑制漏泄电流的电容器绝缘膜那样的结构。只要是这样的结构，就可实现低漏泄电流的MIM电容器(电容器部A)。此外，在有必要缩小电容器面积的MIM型电容器中，使用其介电常数比现有的电容器绝缘膜的介电常数大的材料、例如Ta₂O₅膜等。只要是这样的结构，就可实现电容器面积小

的 MIM 电容器 (电容器部 B)。而且, 通过使用相同的结构的上下电极同时形成具有这二种特性的电容器, 可抑制工艺成本的上升。

其次, 说明同时形成这样的 MIM 型电容器部 A 和 B 的制造方法。图 2 是与图 1 (b) 对应的制造工序的剖面图。在此, 作为代表, 说明使用了电容器部 A 和电容器部 B 这 2 个区域的 MIM 型电容器的情况, 但除此以外在面积或个数不同的电容器的情况下、在所形成的层间膜的种类等不同的情况下, 也是同样的。

首先, 如图 2 (a) 中所示, 在形成了多层布线等的下部的衬底 10 上, 例如使用等离子 CVD 法定积 SiO_2 膜 11, 用 CMP 法进行平坦化。其次, 例如使用溅射法形成构成电容器的下部电极 13 的 Ti 膜 13a 和 TiN 膜 13b。在此, 例如将 Ti 膜 13a 的厚度定为 40nm, 将 TiN 膜 13b 的厚度定为 60nm。

再有, 也可使用其它的成膜方法、例如 CVD 法或涂敷法等, 但由于在下部已形成了布线层, 故在成膜温度方面存在制约, 优选是在 400℃或以下的温度下能成膜的方法。此外, 由于 TiN 膜 13b 与电容器绝缘膜形成界面, 在表面上残留了 Ti 粒子这一情况容易形成 TiO_x , 因此是不优选的, 也可进行由 TiN 膜表面处理、例如 NH_3 (氨) 气氛等中的低温等离子氮化或 H_2/N_2 气氛中的 400℃左右的退火处理。可进行除此以外的迄今为止提出的各种表面处理。

其次, 在整个面上在等离子气氛中形成氮化膜作为第 1 层电容器绝缘膜。具体地说, 以约 30nm 的膜厚形成 P-SiN 膜 14。关于 P-SiN 膜 14 的形成温度, 可使用约 350℃至 370℃。其次, 使用通常的光刻工序形成抗蚀剂掩模 15, 用抗蚀剂覆盖电容器部 A, 使电容器部 B 露出。其次, 使用通常的湿法刻蚀法或干法刻蚀法有选择地除去电容器部 B 区域的 P-SiN 膜 14。在此, 在 SiN 膜 14 的形成中使用了等离子 CVD 法, 但也可用溅射法形成 SiN 膜。

其次, 如图 2 (b) 中所示, 在剥离了抗蚀剂掩模 15 后, 例如在整个面上以约 40nm 的膜厚形成例如 Ta_2O_5 膜 16 作为第 2 层电容器绝缘膜。在该 Ta_2O_5 膜 16 的形成中, 可使用溅射法、CVD 法、涂敷法 (Spin on Dielectric) 等。此外, 也可如众所周知那样在形成了 Ta_2O_5 膜后在臭氧 (O_3) 气氛中进

行约 370℃ 的热处理, 以降低 Ta₂O₅膜 16 的膜中杂质(碳等)等。再者, 也可分成多次形成 Ta₂O₅膜 16。

其次, 如图 2(c) 中所示, 例如用溅射法在整个面上以约 50nm 的膜厚淀积作为上部电极层的 TiN 膜 17。其后, 可在约 350℃ 至 400℃ 的温度下在氮气氛或 H₂/N₂ 气氛中进行热处理, 使电极成膜时的对于电容器绝缘膜的工艺损伤得到恢复。其次, 为了进行构图, 例如以约 50nm 的膜厚淀积 P-SiN 膜或溅射 SiN 膜 18。接着, 使用通常的光刻工序形成抗蚀剂掩模 21, 使用 RIB 法等的干法刻蚀法对 SiN 膜 18 进行选择刻蚀。其次, 在除去了抗蚀剂膜 21 后, 以 SiN 膜 18 为掩模, 一边变更刻蚀气体、气氛等, 一边依次对 TiN 膜 17、Ta₂O₅膜 16、SiN 膜 14、下部电极的 TiN 膜 13b、Ti 膜 13a 进行构图。

其次, 如图 2(d) 中所示, 为了进行上部电极的加工, 使用通常的光刻工序形成抗蚀剂掩模 22, 使用 RIB 法等的干法刻蚀法对 SiN 膜 18 进行选择刻蚀。其次, 在除去了抗蚀剂掩模 22 后, 以 SiN 膜 18 为掩模, 刻蚀构成上部电极的 TiN 膜 17。此时, 用作为电容器绝缘膜的 Ta₂O₅膜 16 来中止 TiN 膜 17 的刻蚀。即, 作成稍微刻蚀电容器绝缘膜的形状。

其次, 如图 2(e) 中所示, 在整个面上淀积了例如等离子 SiO₂膜或涂敷膜等作为层间绝缘膜 24 后, 如果必要的话, 就使用 CMP 法等进行平坦化处理。其后, 使用通常的光刻工序和干法刻蚀法形成导电性地连接到上下电极层或下部的布线用的电极层上用的接触孔, 填埋并形成金属栓 25。

其后, 如图 1 中所示, 在上下电极层上形成必要的布线层 26。在此, 在布线层 26 中使用了 TiN/Ti/Al-Cu/TiN/Ti 的层叠结构, 但也可不限于此, 是使用了 Cu 等的布线层。其后, 虽然未图示, 但为了钝化起见, 淀积 P-SiO₂和 P-SiN 层, 通过在所希望的区域中开出焊盘孔, 完成在布线层的上部具有 MIM 型电容器的半导体器件。

在这样的 MIM 型电容器结构 (Ta₂O₅膜: 40nm, SiN 膜: 30nm) 中, 可实现下述的电容密度 (fF/μm²):

电容器部 A (TiN/Ta₂O₅/SiN/TiN): 1.58fF/μm²

电容器部 B (TiN/Ta₂O₅/TiN): 5.53fF/μm²

在此，示出了 Ta_2O_5 膜的例子作为与 SiN 膜不同的高介电常数膜 (high-K)，但也可使用其它的膜、例如 $(Ba, Sr)TiO_3$ 膜或 $SrTiO_3$ 膜等的 high-K 膜。如果使用这些介电常数大的膜，则可得到更大的电容密度。再者，也可使用 Al_2O_3 膜来代替 SiN 膜。此外，作为电极，说明了使用 TiN 膜的情况，但也可使用例如 Ru 膜、 RuO_2 膜、 $TiON$ 膜、 Pt 膜、 Re 膜、 Ir 膜、 IrO_2 膜、 Os 膜、 Pd 膜、 Rh 膜、 Au 膜等的贵金属类导电膜或这些导电膜的金属氧化膜、 SRO 等的钙钛矿型的金属氧化膜等来代替 TiN 膜。

此外，本发明的要点在于在同一上下电极间具有不同的电容器绝缘膜构成的 MIM 型电容器结构。通过采用能同时形成实现如图 1 所示的低漏泄电流的电容器部 A ($TiN/Ta_2O_5/SiN/TiN$ 结构) 和实现高电容密度的电容器部 B ($TiN/Ta_2O_5/TiN$) 的结构，具有以下的效果。

(1) 在低漏泄电流为必要的电容器中，通过插入能抑制漏泄电流的电容器绝缘膜层，可实现低漏泄电流的 MIM 电容器 (电容器部 A)。

(2) 在电容器面积的缩小为必要的电容器中，通过将高介电常数电介质膜用作电容器绝缘膜，可实现电容器面积小的 MIM 电容器 (电容器部 B)。

(3) 使用相同结构的上下电极同时形成具有这二种特性的电容器。通过这样的电容器结构，由于同时形成电容器部 A 和 B，因此可抑制工艺成本的上升。

再有，在图 2 中，示出了在最初加工下部电极其次加工上部电极的例子，但也可以是相反的顺序。即，在上述图 2 (b) 的工序后，例如利用溅射法等在整个面上以约 50nm 的厚度淀积构成上部电极层的 TiN 膜 17。其后，在约 350℃ 至 400℃ 的温度下在氮气氛或 H_2/N_2 气氛中进行热处理，使电极成膜时的对于电容器绝缘膜的工艺损伤得到恢复。也可省略该工序。其后，为了进行构图，例如以约 50nm 的膜厚淀积 SiN 膜 18。在该 SiN 膜 18 的形成中优选是不变成还原气氛的成膜方法、例如溅射法等。

其次，如图 3 (a) 中所示，使用通常的光刻工序形成上部电极用的抗蚀剂掩模 31，使用 RIE 法等干法刻蚀法对 SiN 膜 18 进行选择刻蚀。其次，在除去了抗蚀剂掩模 31 后，以 SiN 膜 18 为掩模，通过例如使用 RIE 法刻蚀 TiN 膜 17，形成上部电极图形。此时，在尽可能不刻蚀作为电容器

绝缘膜的 Ta_2O_5 膜 16 或 SiN 膜 14 的条件下进行。如果这样做，则可抑制来自上部电极边缘的漏泄电场或因刻蚀残渣物导致的漏泄电流的增加。

其次，如图 3 (b) 中所示，在除去了抗蚀剂掩模 31 后，为了进行下部电极的加工，使用通常的光刻工序形成抗蚀剂掩模 32，使用 RIE 法等的干法刻蚀法对 Ta_2O_5 膜 16 或 SiN 膜 14 进行选择刻蚀。再者，对构成下部电极的 TiN 膜 13 进行选择刻蚀。作为下部电极 13，大多形成约 50nm 的 TiN 膜并在其下形成约 150nm 的 Ti 膜作为层叠的电极来使用。此时，通过使用 RIE 法等刻蚀 TiN/Ti 的层叠结构进行构图，形成下部电极 13。其后，除去抗蚀剂膜，结束了下部电极的加工。

即使是这样的制造工序，最终地制作的电容器结构与上述图 1 相同，可得到与图 2 中示出的那样的制造工序作成的情况同样的效果。

(第 2 实施例)

图 4 是示出本发明的第 2 实施例涉及的 MIM 型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有，对与图 2 相同的部分附以同一符号，省略其详细的说明。

与第 1 实施例的差别只是电容器部 A 和电容器部 B 的电容器绝缘膜结构。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第 1 实施例相同。以下，按照附图来说明。

如图 4 中所示，结构为作为电容器部 A 的电容器绝缘膜是 SiN 膜 14、电容器部 B 的电容器绝缘膜是 Ta_2O_5 膜 16。在第 1 实施例中，在图 2 (b) 中在整个面上淀积了 Ta_2O_5 膜 16 后，通过利用通常的光刻工序和刻蚀工序除去电容器部 A 区域的 Ta_2O_5 膜 16 来实现本结构。

在本实施例中，虽然增加了光刻工序和刻蚀工序，但可提高电容器部 A 的电容密度。

在这样的 MIM 型电容器结构 (Ta_2O_5 膜: 40nm, SiN 膜: 30nm) 中，电容密度为:

电容器部 A ($TiN/SiN/TiN$): $2.21fF/\mu m^2$

电容器部 B ($TiN/Ta_2O_5/TiN$): $5.53fF/\mu m^2$

因而，在本实施例中，也可得到与前面已说明的 (1) ~ (3) 同样的效

果。

(第3实施例)

图5是示出本发明的第3实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有，对与图2相同的部分附以同一符号，省略其详细的说明。

与第1实施例的差别是电容器部A和电容器部B的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下，按照附图来说明。

如图5中所示，作为电容器部A的电容器绝缘膜是SiN膜14(例如30nm的膜厚)、此外电容器部B的电容器绝缘膜是(Ba,Sr)TiO₃膜36(例如40nm的膜厚)。

在第1实施例的图2(b)的工序中，在整个面上淀积了(Ba,Sr)TiO₃膜36以代替Ta₂O₅膜16后，通过利用通常的光刻工序和刻蚀工序除去电容器部A区域的(Ba,Sr)TiO₃膜36来实现本结构。

在本实施例中，虽然增加了光刻工序和刻蚀工序，但减少了电容器部A的漏泄电流并改善了电容-电压的线性。另一方面，由于可提高电容器部B的每单位面积的电容(电容密度fF/μm²)，故可减少电容器形成面积。

在这样的MIM型电容器结构((Ba,Sr)TiO₃膜:40nm, SiN膜:30nm)中，电容密度为：

电容器部A(TiN/SiN/TiN)：2.21fF/μm²

电容器部B(TiN/(Ba,Sr)TiO₃/TiN)：33.18fF/μm²

此外，在此示出了(Ba,Sr)TiO₃膜的例子作为高介电常数膜(high-K)，但也可使用其它的膜、例如SrTiO₃膜作为high-K膜来使用。在这样的MIM型电容器结构(SrTiO₃膜:40nm, SiN膜:30nm)中，电容密度为：

电容器部A(TiN/SiN/TiN)：2.21fF/μm²

电容器部B(TiN/SrTiO₃/TiN)：16.59fF/μm²

因而，在本实施例中，也可得到与前面已说明的(1)~(3)同样的效果。

(第4实施例)

图6是示出本发明的第4实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有，对与图2相同的部分附以同一符号，省略其详细的说明。

与第1、第2实施例的不同点除了电容器部A和电容器部B外还附加了具有电容器绝缘膜结构的差别的电容器部C。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下，按照附图来说明。

如图6中所示，作为电容器部A的电容器绝缘膜是SiN膜14、电容器部B的电容器绝缘膜是Ta₂O₅膜16、作为电容器部C的电容器绝缘膜是Ta₂O₅膜/SiN膜的层叠结构。与第1实施例的图2(a)的工序同样地在整个面上淀积了SiN膜14后，通过利用通常的光刻工序和刻蚀工序选择除去电容器部B区域的SiN膜14，留下电容器部A和C部区域。其后，与图2(b)的工序同样地在整个面上淀积了Ta₂O₅膜16后，通过利用通常的光刻工序和刻蚀工序只除去电容器部A区域的Ta₂O₅膜16、留下电容器部B和C部区域来实现本结构。

在本实施例中，虽然增加了光刻工序和刻蚀工序，但可实现电容器部C，扩展了与电容器特性对应的选择。

在这样的MIM型电容器结构(Ta₂O₅膜: 40nm, SiN膜: 30nm)中，电容密度为：

电容器部A (TiN/SiN/TiN) : 2.21fF/μm²

电容器部B (TiN/Ta₂O₅/TiN) : 5.53fF/μm²

电容器部C (TiN/Ta₂O₅/SiN/TiN) : 1.58fF/μm²

在电容器部A和电容器部C中能以不同的电容密度实现低漏泄电流。

因而，在本实施例中，也可得到与前面已说明的(1)~(3)同样的效果。

(第5实施例)

图7是示出本发明的第5实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有，对与图2相同的部分附以同一符号，省略其详细的说明。

与第1、第2实施例的差别是电容器部A和电容器部B的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下，按照附图来说明。

如图7中所示，作为电容器部A的电容器绝缘膜是SiN膜14、电容器部B的电容器绝缘膜是Ta₂O₅膜16/SiN膜的结构。在第1实施例中的图2(a)的工序中不进行SiN膜14的选择刻蚀，在整个面上淀积了Ta₂O₅膜16后，通过利用通常的光刻工序和刻蚀工序除去电容器部A区域的Ta₂O₅膜16来实现本结构。

在本实施例中，虽然增加了光刻工序和刻蚀工序，但可减少电容器部B的漏泄电流。

在这样的MIM型电容器结构(Ta₂O₅膜: 20nm, SiN膜: 20nm)中，电容密度为：

电容器部A (TiN/SiN/TiN) : 3.23fF/μm²

电容器部B (TiN/Ta₂O₅/SiN/TiN) : 2.55fF/μm²

在低电压(例如, 2.0V 或以下)下且打算抑制漏泄电流那样的用途的电容器中, 可使用电容器部A, 打算在高电压(例如, 2.0V 或以上)下使用的用途中, 可使用电容器部B。

因而, 在本实施例中, 也可得到与前面已说明的(1)~(3)同样的效果。

(第6实施例)

图8是示出本发明的第6实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有, 对与图2相同的部分附以同一符号, 省略其详细的说明。

与第1、第2实施例的差别是电容器部A和电容器部B的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下, 按照附图来说明。

如图8中所示, 作为电容器部A的电容器绝缘膜是SiN膜14(膜厚10nm)/Al₂O₃膜46(例如膜厚10nm)、电容器部B的电容器绝缘膜是Ta₂O₅膜16(膜厚20nm)/Al₂O₃膜46(膜厚10nm)的结构。

在第1实施例中的图2(a)的工序中,在基底电极TiN膜13上形成10nm的膜厚的 Al_2O_3 膜46,在整个面上淀积了10nm的膜厚的SiN膜14后,通过利用通常的光刻工序和刻蚀工序除去电容器部B的SiN膜14。再者,在整个面上形成了约20nm的膜厚的 Ta_2O_5 膜16后,通过利用通常的光刻工序和刻蚀工序除去电容器部A区域的 Ta_2O_5 膜16来实现本结构。

在本实施例中,虽然增加了光刻工序和刻蚀工序,但可减少电容器部B的漏泄电流。

在这样的MIM型电容器结构(Al_2O_3 膜:膜厚10nm, Ta_2O_5 膜:20nm,SiN膜:10nm)中,电容密度为:

电容器部A(TiN/SiN/ Al_2O_3 /TiN): $3.62fF/\mu m^2$

电容器部B(TiN/ Ta_2O_5 / Al_2O_3 /TiN): $4.63fF/\mu m^2$

在低漏泄电流的用途中,可使用电容器部A,在高电容密度的用途中,可使用电容器部B。

因而,在本实施例中,也可得到与前面已说明的(1)~(3)同样的效果。

(第7实施例)

图9是示出本发明的第7实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有,对与图2相同的部分附以同一符号,省略其详细的说明。

与第1、第2实施例的差别是电容器部A和电容器部B的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下,按照附图来说明。

如图9中所示,作为电容器部A的电容器绝缘膜是 Al_2O_3 膜46(例如膜厚10nm)/SiN膜(膜厚10nm)/ Al_2O_3 膜46(例如膜厚10nm)、电容器部B的电容器绝缘膜是 Al_2O_3 膜46(例如膜厚10nm)/ Ta_2O_5 膜16(膜厚20nm)/ Al_2O_3 膜46(膜厚10nm)的结构。

在第1实施例中的图2(a)的工序中,在基底电极TiN膜13上形成10nm的膜厚的 Al_2O_3 膜46a,进而在整个面上淀积了10nm的膜厚的SiN膜14后,通过利用通常的光刻工序和刻蚀工序除去电容器部B的SiN膜14。其次,

在整个面上形成了约 20nm 的膜厚的 Ta_2O_5 膜 16 后, 通过利用通常的光刻工序和刻蚀工序除去电容器部 A 区域的 Ta_2O_5 膜 16。接着, 在整个面上形成例如膜厚 10nm 左右的 Al_2O_3 膜 46b, 在其上形成构成上部电极的 TiN 膜 17。其后, 与第 1 实施例相同, 通过加工下部电极、上部电极来实现本结构。

在本实施例中, 虽然增加了光刻工序和刻蚀工序, 但可减少电容器部 B 的漏泄电流, 上下电极的电容器绝缘膜的对称性变得良好, 改善了 + / - 偏压施加时的对象性。

在这样的 MIM 型电容器结构 (Al_2O_3 膜: 膜厚 10nm, Ta_2O_5 膜: 20nm, SiN 膜: 10nm) 中, 电容密度为:

电容器部 A (TiN/ Al_2O_3 /SiN/ Al_2O_3 /TiN) : $2.49fF/\mu m^2$

电容器部 B (TiN/ Al_2O_3 / Ta_2O_5 / Al_2O_3 /TiN) : $2.93fF/\mu m^2$

在要求偏压极性依存性小的低漏泄电流的用途中, 可使用电容器部 A, 在高电容密度的用途中, 可使用电容器部 B。

这样, 按照本实施例, 当然可得到与前面的第 1 实施例同样的效果, 由于电容器绝缘膜结构成为对于上下电极对称性良好的膜结构, 故可实现电容的电压依存性小的电容器。再者, 通过在电极与电容器绝缘膜之间插入能抑制使电容器特性的离散性增加的与电极的反应的绝缘膜, 可使邻接的电容器的性能类似性 (所谓的成对性) 得到提高。

(第 8 实施例)

图 10 是示出本发明的第 8 实施例涉及的 MIM 型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有, 对与图 2 相同的部分附以同一符号, 省略其详细的说明。

与第 1、第 2 实施例的差别是电容器部 A 和电容器部 B 的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第 1 实施例相同。以下, 按照附图来说明。

如图 10 中所示, 作为电容器部 A 的电容器绝缘膜是 2 层 Al_2O_3 膜 (例如膜厚 10nm 的 Al_2O_3 膜和例如膜厚 10nm 的 Al_2O_3 膜)、电容器部 B 的电容器绝缘膜是 Ta_2O_5 膜 (膜厚 20nm) / Al_2O_3 膜 B (膜厚 10nm) 的结构。以下使用图 11 说明本实施例的制造工序。

如图 11(a) 中所示, 在基底电极 TiN 膜 13 上形成 10nm 的膜厚的 Al_2O_3 膜 46a, 利用使用了抗蚀剂掩模 41 的光刻工序和刻蚀工序有选择地除去电容器部 B 区域的 Al_2O_3 膜 46a。

其次, 如图 11(b) 中所示, 在整个面上再次以约 10nm 的膜厚形成 Al_2O_3 膜 46b。如果这样做, 则层叠了 Al_2O_3 膜 46a 和 46b 形成电容器部 A 的区域, 合计成为 20nm 的膜厚的 Al_2O_3 膜。如果以这种方式层叠地形成, 则可防止因针孔等的影响导致的成品率下降。

其次, 在整个面上以约 20nm 的膜厚形成 Ta_2O_5 膜 16。其次, 如图 11(c) 中所示, 通过利用使用了抗蚀剂掩模 42 的通常的光刻工序和刻蚀工序有选择地除去电容器部 A 区域的 Ta_2O_5 膜 16。其后, 在整个面上形成上部电极 TiN 膜 17。再者, 与第 1 实施例相同, 通过加工电容器绝缘膜层、下部电极、上部电极来实现本结构。

在本实施例中, 虽然增加了光刻工序和刻蚀工序, 但可在减少电容器部 B 的漏泄电流的同时稳定电容器部 B 的漏泄电流, 使邻接的电容器的特性变得一致, 提高了所谓的成对性。

在这样的 MIM 型电容器结构 (Al_2O_3 膜: 膜厚 10nm, Ta_2O_5 膜: 20nm) 中, 电容密度为:

$$\text{电容器部 A (TiN/Al}_2\text{O}_3\text{/Al}_2\text{O}_3\text{/TiN)} : 3.98\text{fF}/\mu\text{m}^2$$

$$\text{电容器部 B (TiN/Ta}_2\text{O}_5\text{/Al}_2\text{O}_3\text{/TiN)} : 4.63\text{fF}/\mu\text{m}^2$$

在要求低漏泄电流的用途中, 可使用电容器部 A, 在高电容密度的用途中, 可使用电容器部 B。

如果进一步使该结构的膜厚变薄, 则例如在 MIM 型电容器结构 (Al_2O_3 膜: 膜厚 5nm, Ta_2O_5 膜: 10nm) 中, 电容密度为:

$$\text{电容器部 A (TiN/Al}_2\text{O}_3\text{/Al}_2\text{O}_3\text{/TiN)} : 7.97\text{fF}/\mu\text{m}^2$$

$$\text{电容器部 B (TiN/Ta}_2\text{O}_5\text{/Al}_2\text{O}_3\text{/TiN)} : 9.27\text{fF}/\mu\text{m}^2$$

如果可实现 Al_2O_3 膜的薄膜化, 则在保持了低漏泄电流的状态下, 可实现进一步的高密度化。

在 Al_2O_3 膜的薄膜化中, 可使用采用了 ALD (原子层沉积) 法等的薄膜的高品质化技术。是利用使用电压的低电压化可充分地实现的领域。

(第9实施例)

图12是示出本发明的第9实施例涉及的MIM型电容器结构的上下电极和电容器绝缘膜结构的概略结构的剖面图。再有，对与图2相同的部分附以同一符号，省略其详细的说明。

与第1实施例的差别是电容器部A和电容器部B的电容器绝缘膜结构的差别。上下电极加工、层间绝缘膜的形成、接点、布线层等的形成工序与第1实施例相同。以下，按照附图来说明。

如图12中所示，作为电容器部A的电容器绝缘膜是由SiN膜(例如28nm的膜厚)、SiN膜(例如6nm的膜厚)和SiN膜(例如6nm的膜厚)构成的层叠膜结构，此外，电容器部B的电容器绝缘膜是由SiN膜(例如6nm的膜厚)、Ta₂O₅膜(例如20nm的膜厚)和SiN膜(例如6nm的膜厚)构成的层叠膜结构。

在第1实施例中的图2(a)的工序之前在整个面上形成了SiN膜14c(膜厚28nm)后，除去电容器部A以外的SiN膜14c。其次，如图2(a)的工序那样形成了SiN膜14a(膜厚6nm)后，在整个面上淀积Ta₂O₅膜16而不除去SiN膜14a。接着，在利用通常的光刻工序和刻蚀工序除去了电容器部A区域的Ta₂O₅膜16后，在整个面上淀积SiN膜14b(膜厚6nm)。其后，在整个面上形成上部电极TiN膜17。再者，与第1实施例相同，通过加工电容器绝缘膜层、下部电极、上部电极来实现本结构。由于以夹住Ta₂O₅膜的方式形成的SiN膜14a、14b的膜防止Ta₂O₅膜16与电极TiN膜的反应，故可减薄膜厚。例如可用溅射法形成该薄膜SiN膜14a、14b。

在本实施例中，虽然增加了光刻工序和刻蚀工序，但减少了电容器部A的漏泄电流并改善了电容-电压的线性。另一方面，由于可提高电容器部B的每单位面积的电容(电容密度： $\text{fF}/\mu\text{m}^2$)，故可减少电容器形成面积。

在这样的MIM型电容器结构(Ta₂O₅膜：20nm，SiN膜A+SiN膜B+SiN膜C：40nm)中，电容密度为：

电容器部A (TiN/SiN(A)+SiN(B)+SiN(C)/TiN)： $1.66\text{fF}/\mu\text{m}^2$

电容器部B (TiN/SiN(A)/Ta₂O₅/SiN(B)/TiN)： $3.69\text{fF}/\mu\text{m}^2$

在此，示出了Ta₂O₅膜的例子作为与SiN膜不同的高介电常数膜

(high-K), 但也可使用其它的膜, 例如 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜或 SrTiO_3 膜等的 high-K 膜。如果使用这些介电常数大的膜, 则可得到更大的电容密度。

图 1

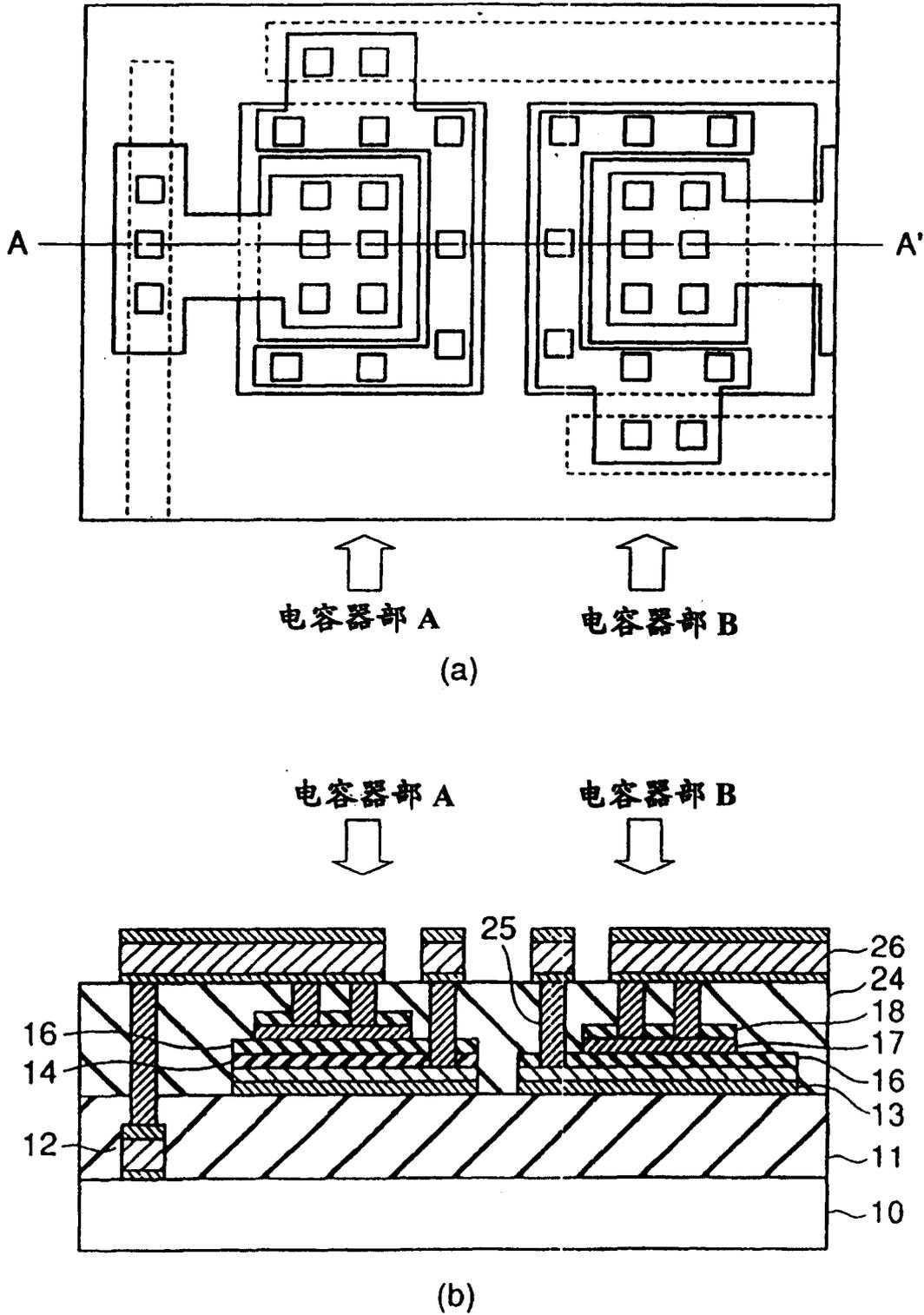


图 2

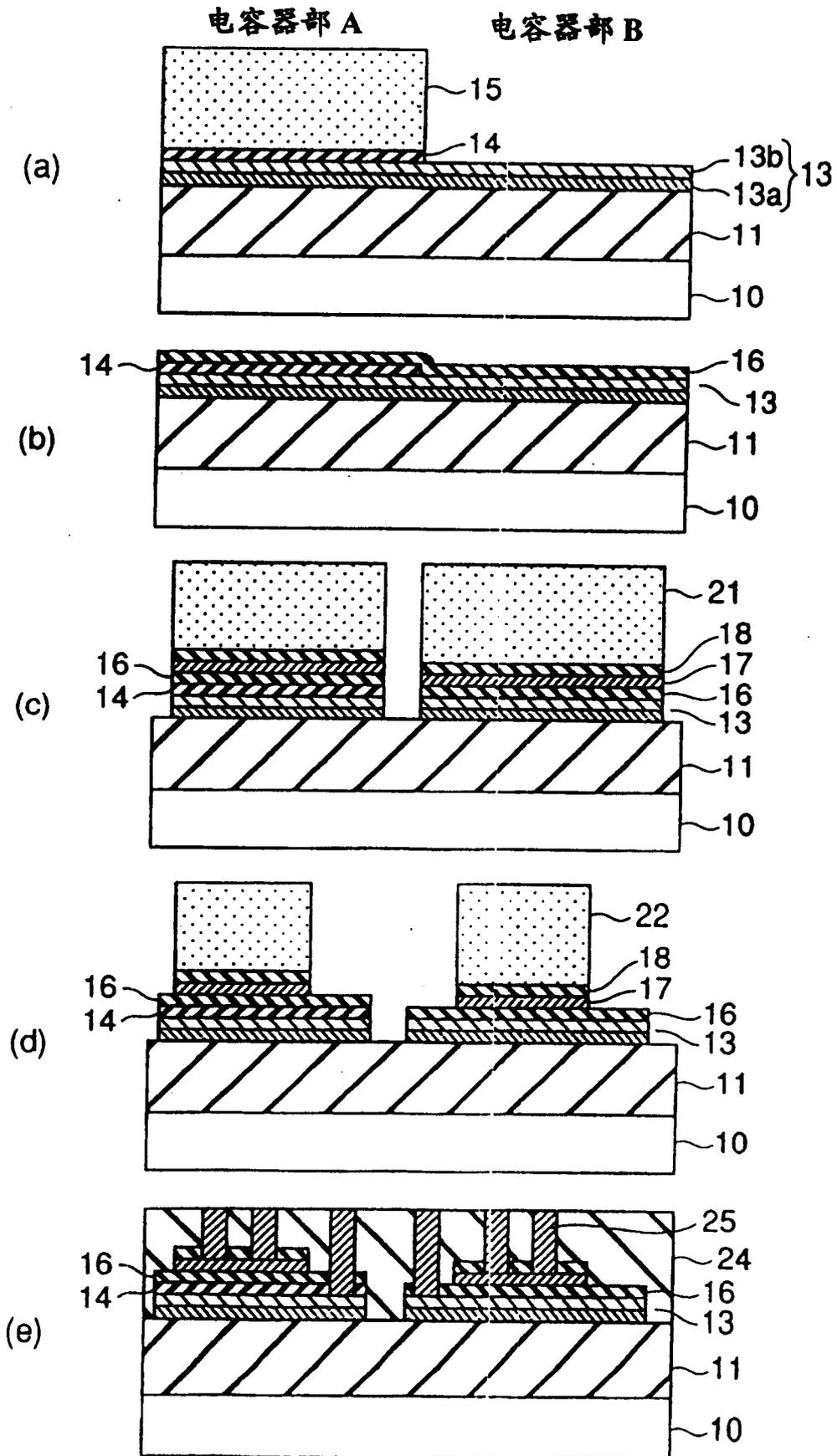


图 3

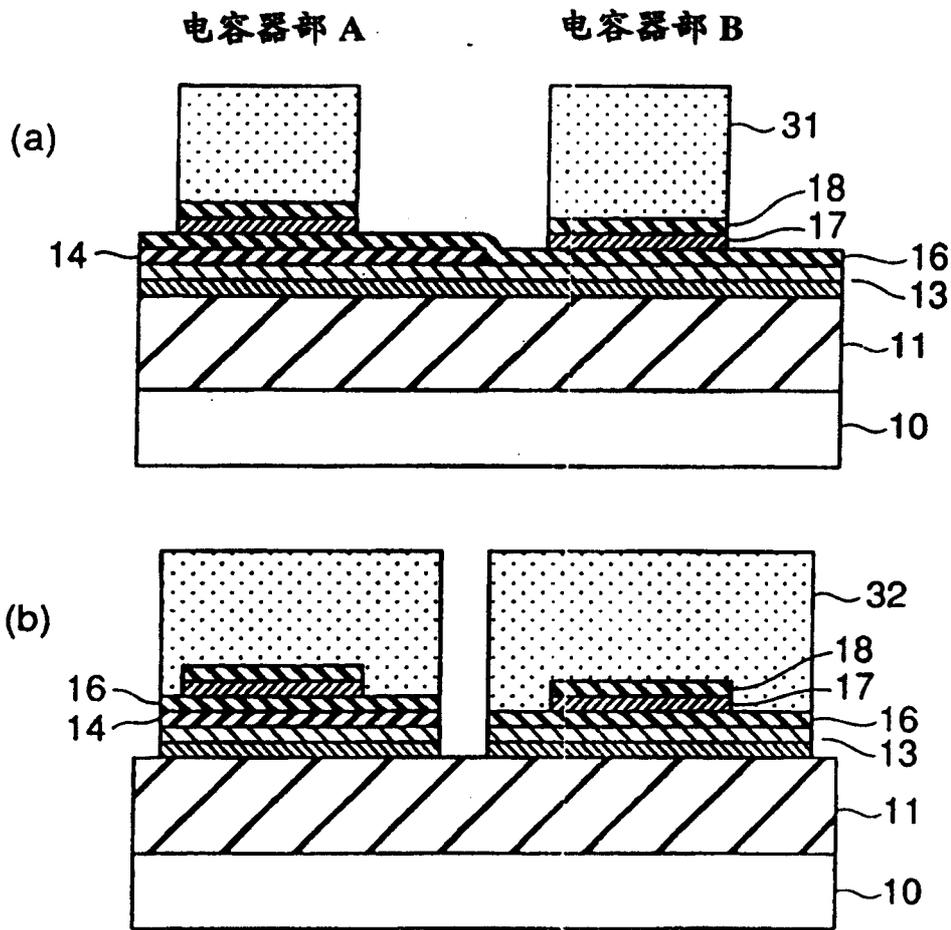


图 4

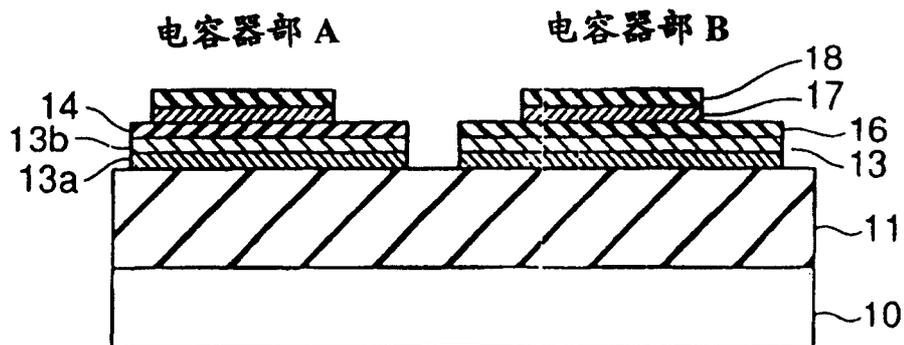


图 5

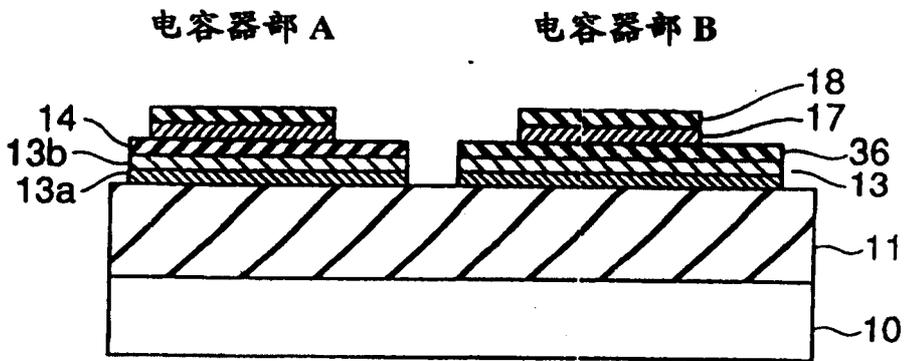


图 6

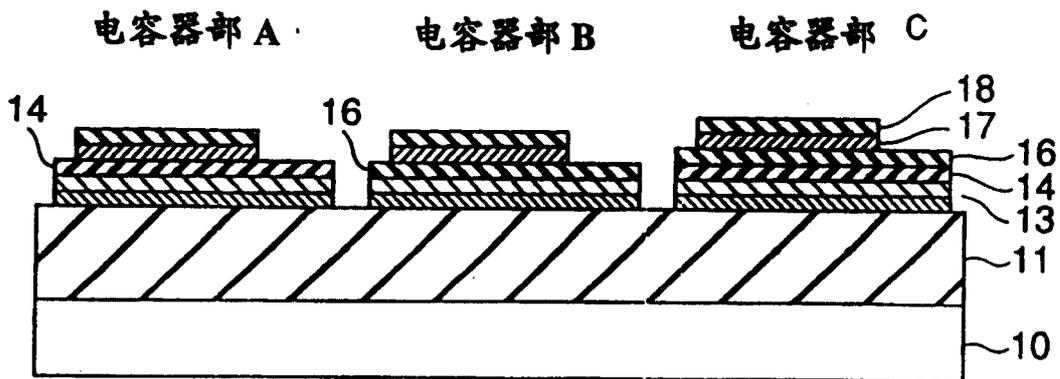


图 7

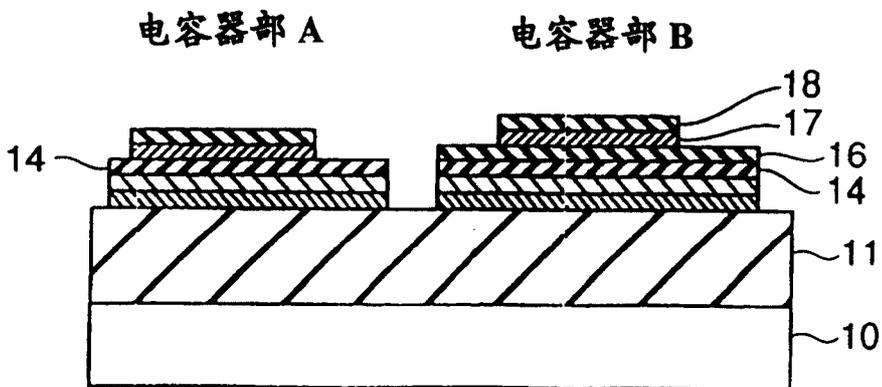


图 8

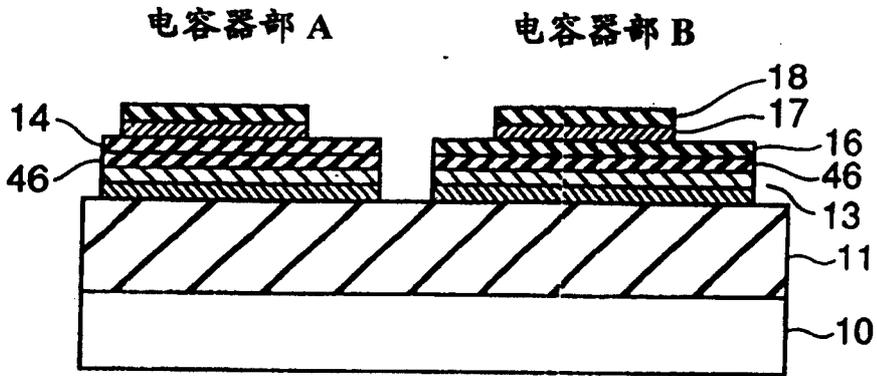


图 9

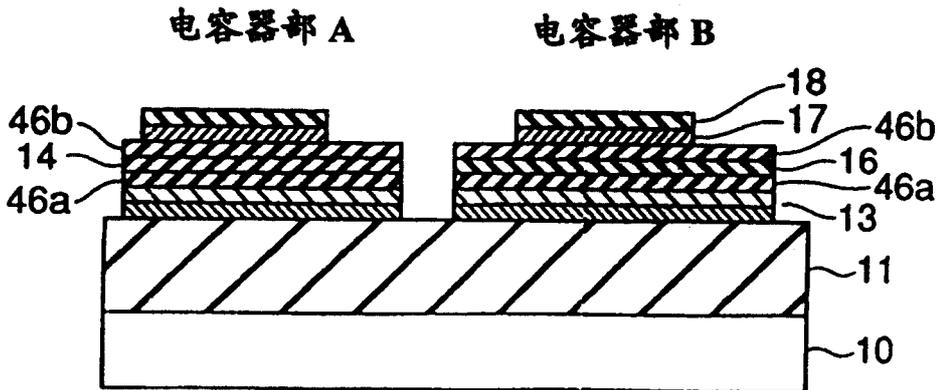


图 10

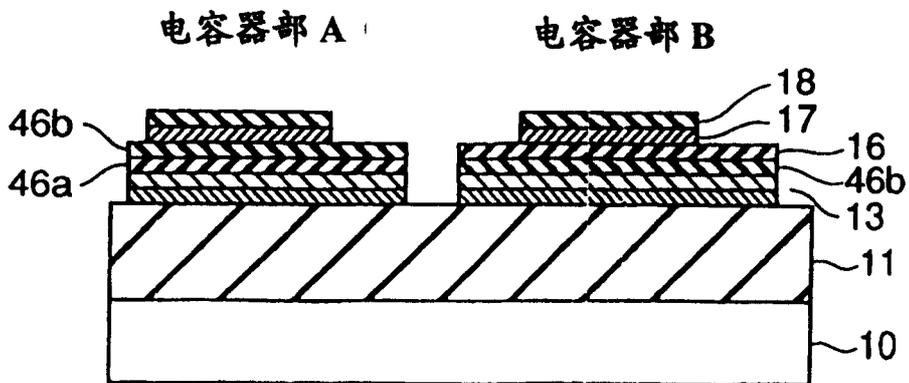


图 11

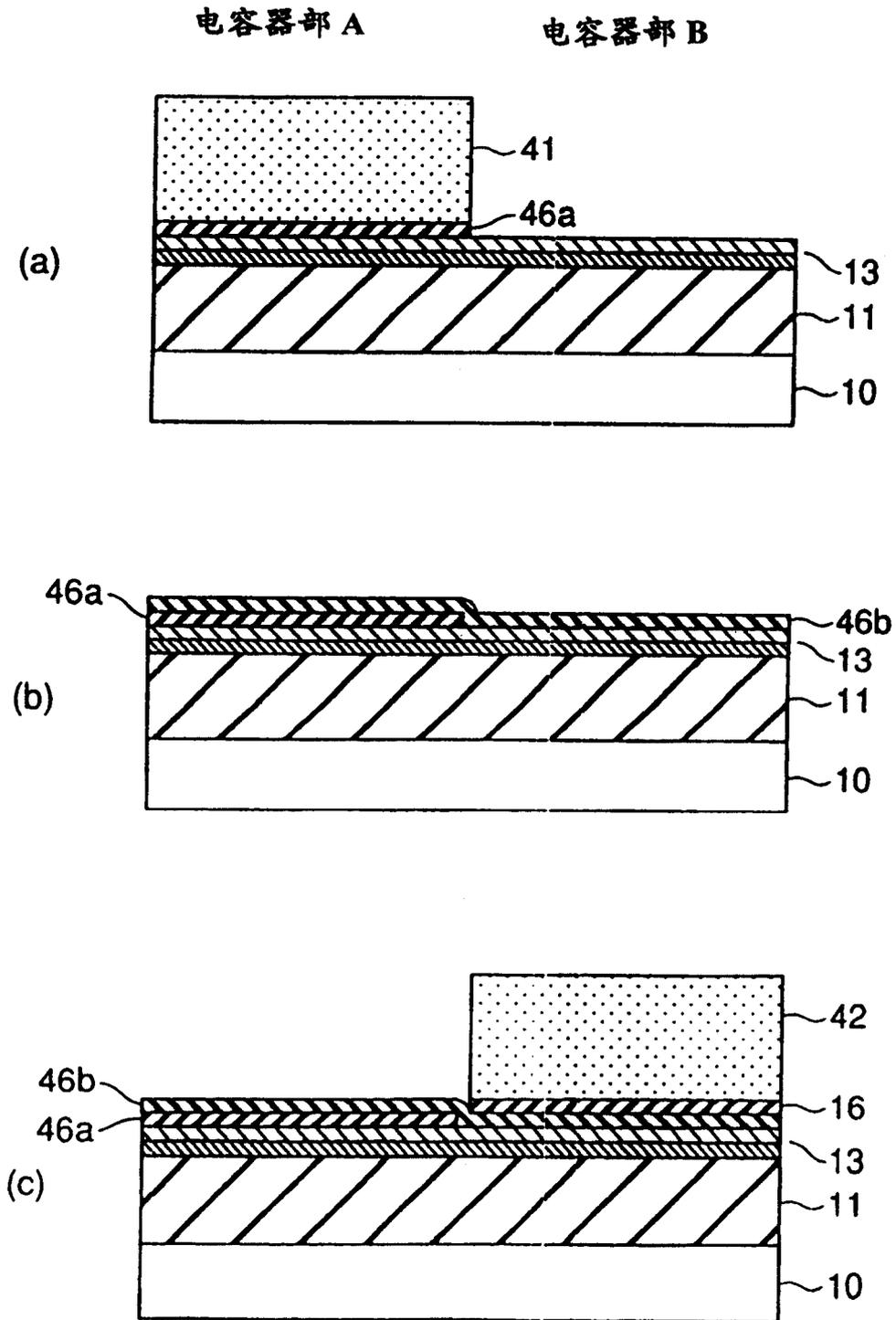


图 12

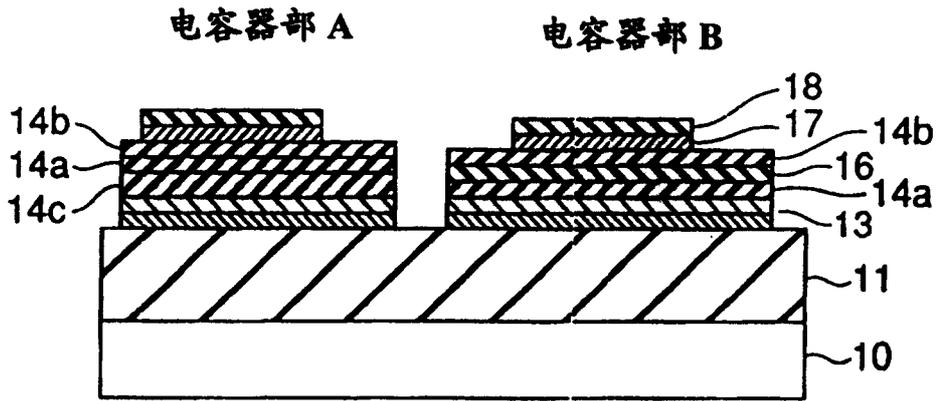


图 13

