



(12) 发明专利

(10) 授权公告号 CN 108053849 B

(45) 授权公告日 2021.12.03

(21) 申请号 201810013684.7

(22) 申请日 2002.10.22

(65) 同一申请的已公布的文献号
申请公布号 CN 108053849 A

(43) 申请公布日 2018.05.18

(30) 优先权数据
324357/2001 2001.10.23 JP

(62) 分案原申请数据
02147101.0 2002.10.22

(73) 专利权人 瑞萨电子株式会社
地址 日本东京

(72) 发明人 山岡雅直 石橋孝一郎 松井重純
長田健一

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

代理人 程晨

(51) Int.Cl.

G11C 5/14 (2006.01)

G11C 11/417 (2006.01)

(56) 对比文件

CN 1135644 A, 1996.11.13

CN 1135644 A, 1996.11.13

CN 1181632 A, 1998.05.13

CN 1278647 A, 2001.01.03

CN 1224898 A, 1999.08.04

US 5264743 A, 1993.11.23

US 6628564 B1, 2003.09.30

JP 2000011644 A, 2000.01.14

US 5140557 A, 1992.08.18

CN 1193846 A, 1998.09.23

审查员 赵晓娟

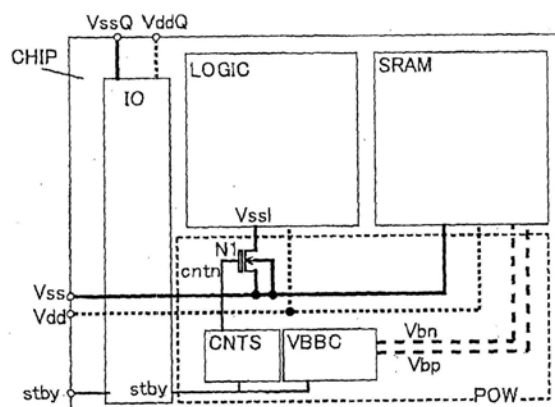
权利要求书1页 说明书13页 附图14页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及半导体器件。本发明涉及混合装配有逻辑电路和SRAM电路的系统LSI,特别是涉及减小漏电流,减小备用状态的功耗的半导体器件。在系统LSI中的逻辑电路上设置电源开关,在备用时,切断该开关以减小漏电流。同时,在SRAM电路中,控制衬底偏压以减小漏电流。



1. 一种半导体器件,具有:

第一存储电路,包括多个第一SRAM单元,

第二存储电路,包括多个第二SRAM单元,

第一电源线,向上述第一存储电路和上述第二存储电路供给第一电压,以及

第一开关电路,其耦合于上述第一存储电路和上述第一电源线之间,

其中,上述第二存储电路直接耦合到上述第一电源线,以及

其中,在使上述半导体器件变成为备用状态的情况下,向上述多个第一SRAM单元的上述第一电压的电源供给被上述第一开关电路切断,而且在上述备用状态的期间,上述多个第二SRAM单元从上述第一电源线被供给上述第一电压,其中,所述备用状态是逻辑电路不动作而SRAM电路保持数据的状态,

在使上述半导体器件从上述备用状态返回到有效状态的情况下,上述第一开关电路导通而向上述多个第一SRAM单元供给上述第一电压。

2. 根据权利要求1所述的半导体器件,还包括:

控制电路,其控制上述多个第二SRAM单元的MIS晶体管的衬底电压。

3. 根据权利要求2所述的半导体器件,其中,

上述控制电路没有耦合到上述第一存储电路。

4. 根据权利要求2所述的半导体器件,其中,

在上述第一开关电路处于断开状态的期间,上述控制电路控制上述衬底电压,使得减少上述多个第二SRAM单元的MIS晶体管的漏电流。

5. 根据权利要求1所述的半导体器件,还包括:

总线,该总线耦合于上述第一存储电路和上述第二存储电路之间,

其中,在上述第一开关电路变为断开状态之前,将在上述多个第一SRAM单元中保持的一部分信息传送到上述多个第二SRAM单元。

6. 根据权利要求1所述的半导体器件,其中,

上述多个第一SRAM单元的每个MIS晶体管的阈值电压小于上述多个第二SRAM单元的每个MIS晶体管的阈值电压。

7. 根据权利要求6所述的半导体器件,其中,

上述多个第一SRAM单元的每个MIS晶体管的栅极绝缘膜的厚度小于上述多个第二SRAM单元的每个MIS晶体管的栅极绝缘膜的厚度。

8. 根据权利要求1所述的半导体器件,其中,

上述多个第一SRAM单元的每个MIS晶体管的栅极绝缘膜的厚度小于上述多个第二SRAM单元的每个MIS晶体管的栅极绝缘膜的厚度。

9. 根据权利要求1所述的半导体器件,还包括:

逻辑电路,对上述第一存储电路和上述第二存储电路进行存取,以及

第二开关电路,其耦合于上述第一电源线和上述逻辑电路之间,

其中,在上述第一开关电路处于断开状态的期间,上述第二开关电路处于断开状态。

半导体器件

[0001] 本分案申请是基于申请号为02147101.0,申请日为2002年10月22日,发明名称为“半导体器件”的中国专利申请的分案申请。更具体说,本分案申请是基于申请号为201510869949.X,申请日为2002年10月22日(分案提交日为2015年12月2日),发明名称为“半导体器件”的分案申请的再次分案申请。

技术领域

[0002] 本发明涉及混合装配逻辑电路和静态存储器(SRAM)的半导体器件。

背景技术

[0003] 在特开平7-86916号中,公开了在逻辑电路中设置电源开关,给构成逻辑电路的MOS晶体管加上背面栅极偏压的构成。此外,在特开平2000-207884号中,公开了对含有静态存储器的应对低电压动作的系统LSI的衬底偏压控制技术。在特开平2001-93275号中公开了在逻辑电路中设置逻辑电源,在存储器电路中设置存储器电源的构成。

[0004] 现在,人们广为制造把SRAM电路和逻辑电路集成于同一半导体芯片上边的被称之为系统LSI的半导体集成电路。在这里,所谓SRAM,指的是含有阵列状地排列起来的SRAM的存储单元和用来对该存储单元进行存取的外围电路的、仅仅用该电路就可以作为存储器起作用的电路。此外,所谓逻辑电路,指的是含有SRAM或动态存储器(DRAM)和非易失性存储器等的阵列状排列的存储单元和用来对存储单元进行存取的电路的存储器电路以外的、对输入进来的信号实施特定的处理并进行输出的电路。因此,即便是在逻辑电路中具有保持触发电路等的数据的电路也把它看作是逻辑电路的一部分。

[0005] 由于对系统LSI的低功耗的要求和LSI中的晶体管已经微细化,故LSI的电源电压已降低下来。例如,用0.13微米工艺,可以制造以电源电压1.2V动作的LSI。当电源电压降下来后,MOS晶体管的电流就会下降,电路性能将劣化。为了抑制该性能劣化,可以制造MOS晶体管的阈值电压降低的LSI。

[0006] 当MOS晶体管的阈值降低后,MOS晶体管的被称之为亚阈值电流的漏电流就会增加。漏电流在电路动作时和不动作时不关闭而继续流动。在备用状态的情况下,在SRAM中,虽然未进行读写动作,但是数据仍要继续保持。因此,在系统LSI的备用状态下的功耗是电路中的MOS晶体管的漏电流,当MOS晶体管的阈值电压下降后,备用状态的功耗增加。在这里,在系统LSI中,把逻辑电路不动作,SRAM电路保持数据的状态,叫做备用状态。

[0007] 在备用时,由于逻辑电路不动作,故对于逻辑电路来说,可以采用用开关切断电源的办法来减小漏电流。此外,由于SRAM的存储单元作成为触发电路构造,故漏电流比较小,此外,在现有的系统LSI中,由于要装载的SRAM电路的容量增大或者用阈值电压高的MOS晶体管制作SRAM的存储单元,故在SRAM电路中的漏电流不成其为问题。但是,当随着MOS晶体管的微细化的进步,在系统LSI中要装载大容量的SRAM、构成SRAM的存储单元的MOS晶体管的阈值电压下降后,就不能再忽视SRAM的存储单元中的漏电流。在逻辑电路中,虽然只要用开关切断电源就可以减小备用时的漏电流,但是由于在SRAM电路中,在备用状态下必须把

数据保持起来,故不能切断电源,因而不能减小漏电流。此外,当低电压化的不断前进,MOS晶体管的阈值电压下降后,在SRAM电路中,为了对存储单元进行存取,附属电路中的漏电流就会增大。

发明内容

[0008] 在本申请中要公开的发明之内代表性发明的概要如下。

[0009] (1) 在混合装配有逻辑电路和SRAM电路的LSI中,对MOS晶体管的衬底电位进行控制,使得在备用时,可以用开关切断逻辑电路的电源,减小SRAM电路的漏电流。

[0010] (2) 分割切断用来对SRAM电路内的存储单元进行存取的控制电路的电源以降低功耗。

[0011] (3) 对SRAM电路进行分割,在一部分的SRAM中在备用时保持数据,不保持数据的SRAM则切断电源,以减小漏电流。

附图说明

[0012] 图1示出了应用本发明的系统LSI的逻辑电路和SRAM电路及其电源的关系的概略。

[0013] 图2是图1的系统LSI的布局的模式图。

[0014] 图3示出了图1所示电路中各个节点电位的变化。

[0015] 图4示出了图1中的控制电路CNTS的电路例。

[0016] 图5是用来使图1中电路的状态发生变化的信号波形图。

[0017] 图6示出了使之产生图5所示信号的电路例。

[0018] 图7示出了应用本发明的SRAM电路的内部构成与其电源的关系。

[0019] 图8示出了应用本发明的逻辑电路的构成。

[0020] 图9示出了应用本发明的系统LSI的晶体管的构造。

[0021] 图10示出了逻辑电路的开关的第1变形例。

[0022] 图11示出了图10所示的电路中的各个节点的电位的变化。

[0023] 图12示出了逻辑电路的开关的第2变形例。

[0024] 图13示出了逻辑电路的开关的第3变形例。

[0025] 图14是图13的应用例。

[0026] 图15示出了把降压电路应用于SRAM电路的情况。

[0027] 图16示出了图15所示的电路中的各个节点的电位的变化。

[0028] 图17是图16中的开关电路CNTV1的电路图。

[0029] 图18是图7的SRAM电路的第1变形例。

[0030] 图19是图7的SRAM电路的第2变形例。

[0031] 图20示出了把衬底偏压控制应用于逻辑电路的情况。

[0032] 图21示出了对SRAM电路部进行分割的第1变形例。

[0033] 图22示出了在图21中存在的构成SRAM电路的多个晶体管的构造。

[0034] 图23示出了图21的发明的系统的应用例。

[0035] 图24示出了对SRAM电路进行分割的第2变形例。

[0036] 图25示出了对SRAM电路进行分割的第3变形例。

[0037] 图26示出了图24中的电源控制电路CNTV2的电路构成例。

具体实施方式

[0038] <实施例1>

[0039] 图1概略地示出了应用本发明的系统LSI的逻辑电路和SRAM电路及其电源的关系。在图1中,作为混合装配LSI的CHIP具备:把来自外部的电源电位线VssQ和VddQ当作动作电位的输入输出电路IO(IO电路);对数据执行规定处理的逻辑电路LOGIC;存储数据的静态存储器电路SRAM;在接地电位线Vss与逻辑电路的低电位一侧的动作电位供给线Vss1之间作为开关的nMOS晶体管N1;输入在备用状态期间输入的信号stby,输出被连接到N1的栅极电极上以控制N1的信号cntn的控制电路CNTS;当输入stby后对SRAM的衬底电位Vbn和Vbp进行控制的衬底偏压控制电路VBBC。以下在没有特别说明的情况下,把标有从Vdd开始的标记的电源定为供给高的电位(高电位)的电源,把标有从Vss开始的标记的电源定为供给低电位(低电位)的电源。另外,供给IO电路的动作电位差(VssQ-VddQ)通常由标准决定,比逻辑电路或SRAM电路的动作电位差(Vss-Vdd)大。作为一个例子可以举出向VddQ供给3.3V,向Vdd供给1.2V,向Vss和VssQ供给0V的例子。在控制电路CNTS中使用的信号stby可以通过IO电路使用。

[0040] 图2示出了图1的电路的半导体芯片上边的布局。在被输入输出电路IO(IO电路)围起来的区域中配置核心电路(逻辑电路或SRAM电路)。IO电路连接到输入输出焊盘上。IO电路可以使用栅极绝缘膜的膜厚比在核心电路中使用的MOS晶体管膜厚还厚的MOS晶体管。因为一般地说在IO电路中由于要加上比核心电路高的电源电压,因而要求耐压的缘故。借助于集中地配置含于图1中的电源控制系统POW中的电源开关、衬底偏压控制电路VBBC、电源开关控制电路CNTS的办法,可以提高集成度。在晶体管的尺寸(沟道长度、沟道宽度)与逻辑电路或SRAM电路不同时是有利的。另外,衬底偏压控制电路可以用控制开关、电荷泵电路等构成。

[0041] 图1中的N1,使用可以在IO电路中使用的绝缘膜厚度厚的nMOS晶体管。电源开关N1的衬底电位被连接到源极一侧。以下,决定只要没有特别说明,构成与电源连接起来的开关的MOS晶体管的衬底电位,N沟型和P沟型MOS晶体管都要连接到该晶体管的源极电位上。归因于使用厚膜的MOS晶体管,对于栅极的隧道漏电流对策是有效的。此外,由于耐压优良,故可以使加在开关N1上的电压比动作电压还要大,因而可以抑制使nMOS变成为非导通的情况下的漏电流。在构成LSI的晶体管的膜厚只有一种的情况下,或在核心部分中不能使用在设计上在IO电路中可以使用的MOS晶体管的情况下等,可以把绝缘膜厚度薄的MOS晶体管用做开关。在该情况下,不可能用开关N1完全地切断漏电流。因此,在该漏电流在允许范围内的情况下,虽然可以仅仅用薄膜的MOS晶体管制作MOS开关,但是,在漏电流已超过了允许值的情况下,则必须采用控制逻辑电路和开关N1或仅仅开关N1的衬底电位以降低漏电流等的方法。

[0042] 此外,作为切断电源的开关之所以使用nMOS晶体管,是因为nMOS与pMOS比较,为了增大可以流动的电流而企图流过相同电流的情况下,可以把开关的尺寸形成得小的缘故。因此,在面积有余裕的情况下等只要不考虑开关的大小,可以插进切断电源Vdd的pMOS的开关而不插进切断接地电源Vss的nMOS的开关。

[0043] 图3示出了电路各个部分的有效状态ACT和备用状态STB的电位的例子。在这里,所谓有效状态ACT,表示逻辑电路和SRAM电路正在动作着的状态。图1中Vdd和Vss,是包括SRAM电路和逻辑电路的核心的电源,Vdd的电压为1.2V,Vss的电压为0.0V。在有效状态的情况下,由于备用信号stby为低,故开关的控制信号为高,nMOS开关变成为ON。此外,作为SRAM电路的nMOS晶体管和pMOS晶体管的衬底电位的Vbn和Vbp则分别变成为0V和1.2V,加在SRAM电路中的MOS晶体管上的衬底偏压Vbs则变成为0V。因此,构成SRAM电路的MOS晶体管的阈值电压,不随着由晶体管的构造(栅极宽度·栅极长度·注入量)决定的值变化。

[0044] 在备用状态的情况下,备用信号stby变成为高。因此,控制nMOS开关的信号cntn变成为低,nMOS开关变成为非导通状态。同时,作为构成SRAM电路的nMOS晶体管和pMOS晶体管的衬底电位的Vbn和Vbp将变成为-1.2V和2.4V。借助于此,给SRAM电路中的MOS晶体管加上1.2V衬底偏压,MOS晶体管的阈值电压上升,MOS晶体管的漏电流减少。

[0045] 使用输入进来的备用信号stby产生控制开关的信号cntn的电路,例如可以用图4那样的简单电路实现。

[0046] 在使用图4电路的情况下,如图3所示,在备用状态STB下,作为备用信号stby必须总是输入高。在这里,例如考虑这样的情况:仅仅在变成为备用状态STB时才输入备用信号stby,在从备用状态STB变化成有效状态ACT时则输入有效信号ack的情况。这时的备用信号stby和有效信号ack和控制信号cntn的电位变化示于图5。当备用信号stby到来时,控制信号cntn变成为低,电源开关被切断因而可以减少漏电流。此外,当有效信号ack到来时,控制信号cntn变成为高,电源开关导通,因而可以向逻辑电路供给电源。

[0047] 图6示出了用来输出图5的波形信号的电路CNTS。为了在电路中预先存储下备用状态STB这一状态,使用了触发电路。在这时,要准备用来返回有效状态ACT的信号。

[0048] 图7示出了图1中的SRAM电路SRAM的构成例。SRAM电路,含有存储单元阵列MAR、用来对存储单元进行存取的外围电路PERI1和PERI2、以及反相器,目的是为了向作为用来切断PERI1或PERI2的电源线Vss和Vdd的开关的MOS晶体管s_sw1和s_sw2的栅极输入传达备用状态的信号stby的反转信号。可以采用把含于SRAM_CIR中的P沟型MOS晶体管的衬底电位连接到Vbp上,把N沟型MOS晶体管的衬底电位连接到Vbn上的办法,控制衬底偏压电位。MAR是把SRAM的存储单元排列在阵列上边的电路。存储单元由一对CMOS反相器的输入和输出彼此连接起来构成的触发电路(用第1和第2P沟型负载MOS晶体管、第1和第2N沟型驱动MOS晶体管构成)、和连接在上述触发电路的2个存储节点与位线(BL、/BL)之间的第1和第2N沟型传送MOS晶体管构成。字线WL连接到N沟型传送MOS晶体管的栅极电极上。存储单元的动作电位由Vddma和Vssma提供。

[0049] 外围电路PERI1含有字线驱动器WDR和行译码器RDEC、用来控制含有存储器控制器MCNT的存储单元的字线WL的电路。含于PERI1中的电路的动作电位由Vddper和Vssper提供。

[0050] 外围电路PERI2,含有预充电电路PRE、用来控制作为连接到位线上的读写控制电路的读放大器·写放大器RWAMP和用来控制含有列译码器CDEC的存储单元的位线BL的电路。读写放大器RWAMP含有作为读出放大器的输出缓冲器的OBUF、写放大器的控制电路WCNT。含于PERI2中的电路的动作电位由Vddamp和Vssamp提供。图中的/stby,在备用时输入低电平的信号。借助于此,在备用时就可以切断向PERI1输入的电源线Vdd,同时,切断向PERI2输入的电源线Vss。此外,还同时使得MOS晶体管的阈值电压的绝对值上升那样地对供

给构成PERI1和PERI2的MOS晶体管的衬底电位的 V_{bn} 和 V_{bp} 进行控制。如上所述,采用除了给SRAM的存储单元加上衬底偏压,给外围电路加上衬底偏压之外,还在电源上设置开关以降低漏电流的办法,就可以降低在备用时的SRAM中的功耗。

[0051] 在图7中,把外围电路一分为二,分别切断 V_{ss} 和 V_{dd} 的理由如下。除了在备用状态下字线变成为低之外,在动作状态中除去被选中的字线之外,也变成为低。因此,驱动字线的电路,可以采用切断作为高电位的电源 V_{dd} 的办法,得益于切断作为低电位的电源 V_{ss} ,就可以减小漏电流,缩短花费在从备用状态的返回上的时间。即,在把开关插入到 V_{dd} 一侧的情况下,用一个比把开关插入到 V_{ss} 一侧的开关小的开关即可。反之,在SRAM的情况下,由于位线通常总是被充电,故放大器等在多数情况下都变成为充电到 V_{dd} 后的状态,变成为稳定的构成。因此,如果在备用时把位线充电到 V_{dd} ,并用开关切断读放大器和写放大器的电源 V_{ss} ,则可以减小漏电流,缩短从备用状态向有效状态的返回时间。采用使位线预充电到 V_{dd} 的电路,虽然切断驱动位线的电路的 V_{ss} 这一方在漏电流和返回时间方面是有利的,但是采用把位线预充电到 V_{ss} 的电路,当然切断 V_{dd} 一侧的开关这一方是有利的,选用该构成也是可能的。

[0052] 图7的电路,虽然设想的是图1那样的系统LSI中的SRAM,但是并不限于系统LSI,在存储器LSI中也可以应用。此外,图7虽然设想对SRAM电路的衬底偏压进行控制,但是只要采用抑制外围电路的漏电流的办法可以充分地减小备用状态的功耗,并不需要非得加上衬底偏压不可。特别是今后MOS晶体管的特性变化,比起被称之为MOS晶体管的亚阈值的漏电流来,被称之为MOS晶体管的结漏电流的漏电流增加的情况下,若采用控制衬底电位的方式,就有可能不能减小漏电流。在该情况下,人们认为那种用开关切断系统LSI内的逻辑电路和SRAM电路的外围电路的电源的构成,将变成为特别重要的技术。

[0053] 图8示出了图1中的逻辑电路LOGIC的构成例。逻辑电路LOGIC_CIR,把用P沟型MOS晶体管和N沟型MOS晶体管构成的反相器、NAND、NOR等的逻辑门电路组合起来,进行多级连接。由于不给逻辑电路内的晶体管加上衬底电位,故P沟型MOS晶体管的衬底电位被连接到动作电位的高电位一侧 V_{dd} ,N沟型MOS晶体管的衬底电位则连接到动作电位的低电位一侧 V_{ss1} 。

[0054] 图9示出了在LSI中的逻辑电路或SRAM电路(CORE)中使用的MOS晶体管、在LSI的输入输出电路IO中使用的MOS晶体管、在切断图1中所示的逻辑电路的电源logic sw中使用的MOS晶体管,和在切断图7中所示的SRAM的外围电路的电源的开关S_SW中使用的MOS晶体管的种类的构造。在P沟型MOS和N沟型MOS晶体管中,阈值电压虽然不同,但是一般地说为了使极性反转设计成同一值,在图16中示出了其绝对值。一般地说LSI的输入输出电路部分,可以使用绝缘膜厚度厚的厚膜晶体管,内部的逻辑电路等则使用绝缘膜厚度薄的晶体管。在该图中,作为绝缘膜厚度厚的MOS晶体管的例子使用绝缘膜厚度6.7nm的晶体管,作为绝缘膜厚度薄的MOS晶体管的例子使用绝缘膜厚度2.0nm的晶体管。此外,作为膜厚薄的MOS晶体管大多使用归因于杂质量的不同而具有2种或2种以上的阈值电压的MOS晶体管。

[0055] 在图9中,举出的是使用阈值电压 V_{th} 为0.40V和0.25V这2种的MOS晶体管的情况的例子。阈值电压低的MOS晶体管这一方虽然动作时的电流大,但是,备用时的漏电流也大。在所有的组合中,在除去控制开关之外的逻辑电路LOGIC_CIR和SRAM电路SRAM_CIR中,使用栅极绝缘膜为薄膜的2种 V_{th} 的MOS晶体管,在IO中则使用栅极绝缘膜为厚膜且 V_{th} 高的MOS晶

体管。在LOGIC_CIR中,关键通路使用低阈值的晶体管,剩下的电路使用高阈值的晶体管。在SRAM_CIR中,为了维持漏电流的削减和静态噪声宽裕度(SNB),存储单元阵列MAR使用高阈值的晶体管。包括预充电电路,读出放大器、字驱动器、译码器在内的外围电路PERI,由于要求高速性,使用低阈值的MOS晶体管。

[0056] 在Pattern1的组合的情况下,逻辑电路的电源开关使用厚膜且 V_{th} 高的MOS晶体管,SRAM电路内的外围电路的电源开关则使用薄膜且 V_{th} 高的MOS晶体管。逻辑电路的电源开关,使用厚膜的MOS晶体管,抑制规模大的电路的漏电流。在SRAM的情况下,由于要控制衬底偏压以抑制漏电流,电源开关要使用漏电流多少大一些的薄膜的MOS晶体管,所以可以抑制总的漏电流。

[0057] 此外,在SRAM电路中占有的外围电路的电路规模不大时,由于被认为外围电路的漏电流不大,故Pattern1的构成是有效的。此外,在要设计为易于再利用SRAM电路的形式的组件的情况下,在设计SRAM电路的情况下,由于可以仅仅考虑薄膜MOS晶体管的特性进行设计,故用薄膜MOS晶体管制作开关的一方设计效率高。

[0058] 如上所述,若用Pattern1的构成,在SRAM电路自身的规模不大的情况下,在SRAM电路中的外围电路的规模不大的情况下,在预计归因于控制衬底偏压而可以大大降低漏电流的情况下,或者在考虑SRAM的设计效率的情况下,是有效的构成。

[0059] 在Pattern2的组合的情况下,逻辑电路的电源开关和SRAM电路内的外围电路的电源开关,都要使用厚膜且 V_{th} 高的MOS晶体管。借助于此,可以减小LSI中的SRAM存储单元以外的电路的漏电流,与Pattern1比较,备用时的功耗减小。但是,在设计SRAM电路时,由于必须考虑厚膜的MOS晶体管的特性,故设计效率要下降。Pattern2的组合,在SRAM电路的规模大的情况下,在SRAM的外围电路的规模大的情况下,或者,在不能预计归因于控制衬底偏压而使漏电流的减小效果大的情况下,则是有效的组合。

[0060] 在Pattern3的组合的情况下,逻辑电路的电源开关和SRAM电路内的电源开关,都要使用薄膜且 V_{th} 高的MOS晶体管。在该情况下,由于使用的是薄膜的MOS晶体管,故与Pattern2比较减小漏电流的效果下降。但是,由于不需要考虑厚膜的MOS晶体管的特性,故设计效率提高。Pattern3的组合,在那些并不是LSI的漏电流的减小效果越大越好,而是需要设计效率的情况下是有效的。

[0061] 如上所述,在备用状态下,可以采用用开关切断逻辑电路的电源,给SRAM电路加上衬底偏压的办法来减小备用状态的功耗。

[0062] <实施例2>

[0063] 在本实施例中,示出了在逻辑电路中使用的电源开关的变形例。图10示出了在图1的电路中仅仅使以装载上逻辑电路部分的电源 V_{ss} 的电源开关加上 V_{dd} 和 V_{ss} 的情况下的电路框图。采用在作为逻辑电路的2个电源的 V_{dd} 和 V_{ss} 上设置开关以切断电源的办法,虽然归因于设置电源开关而产生的面积的增加大,但是却使得更为确实地切断备用时的漏电流成为可能。另外,在图1中虽然画出了I/O电路,但是在图10中却予以省略。以下,在其它的图中,也省略了CHIP内的I/O电路。

[0064] 图11示出了在使用图10的电路时的电路各个部分的电位。该图示出的是给图3的电位加上了对作为用来切断逻辑电路部分的 V_{dd} 的开关的pMOS的P1进行控制的信号cntp后的情况。cntp在有效状态ACT下变成为低,在备用状态STB下则变成为高。因此,虽然没有对

图7中的输出控制信号的电路CNTS2的内部电路特别地进行说明,但是也可以给图4或图6的电路加上输出相反相位信号电路的电路。

[0065] 在图1和图10中,说明的是把图1中的逻辑电路归纳成一个的情况下的电路。在图12中,示出的是把本发明应用于把逻辑电路分割成2个以上的块的LSI的情况下的电路块。在图12中,虽然示出的是把逻辑电路分割成2个块的情况下的例子,但是。即便是在分割成3个以上的块的情况下,也可以应用同样的构成。图12所示的混合装配LSI,由逻辑电路LOGIC1和LOGIC2、LOGIC1和LOGIC2各自的接地电位电源线Vss11和Vss12、和把Vss11和Vss12连接到LSI全体的电源线Vss上的开关N2和N3、静态存储器电路SRAM、对开关的控制电路CNTS和SRAM的衬底电位进行控制的电路VBBC构成。除去逻辑电路为多个之外,与图1的电路构成是同等的,动作与图1的电路相同。采用把逻辑电路分割成多个块,在每个块上都设置切断电源的开关的办法,就可以给各个块附加上最佳的开关。例如,给一部分的逻辑电路附加上切断Vss的nMOS的开关,给别的块附加上切断Vdd的pMOS的开关,或者,还可以在有的块上设置切断Vdd和Vss这2个电源的开关。

[0066] 图13所示的存储器混合装配LSI,与图12的不同之处在于:由给各个逻辑电路的每个块都附加上电源开关,分别用另外的信号cntn1和cntn2控制该电源,以及,可单独地控制控制信号cntn1和cntn2的控制电路CNTS3构成。CNTS3变成为可对电源开关的控制信号cntn1和cntn2进行控制的电路,借助于电路的动作状态,可以进行使开关N2切断使开关N3导通这样的控制。借助于此,就可以使在备用状态下必须动作起来的逻辑电路块动作,以使可以停止动作的逻辑电路块和SRAM电路变成为备用状态,以减小漏电流。

[0067] 在图13中,与图12的情况同样,在有3个以上的逻辑块的情况下,可以在每个块中制作使Vss一侧的电源或Vdd一侧的电源或者使两者切断这样的组合。在图13的构成的情况下,由于可以通过控制每个块的电源的供给而使之变成为备用状态,即,使之变成为低漏电流状态,故即便是在有效状态而不同于备用状态下,也可以通过对电源开关进行控制使得那些不需要进行动作的逻辑电路和SRAM电路变成为备用状态,把漏电流抑制到最小限度。

[0068] 在图14中举出了把图13的实施例应用于装载有中央运算处理装置的系统(微型计算机)中的例子。系统LSI由被称之为中央运算处理装置CPU的可进行各种各样计算的逻辑电路块CPU、数字信号运算专用的逻辑电路块DSP、静态存储器块SRAM电路、把该块连接起来进行数据的授受的总线BUS、控制该总线的电路BSCNT以及与外部进行数据的授受的电路IO构成。每一个块,在有效状态下,数据都可以通过总线进行授受,故可以采用监视总线动作状态的办法,了解该块是否正在进行动作。例如,在电路全体都未动作的情况下,如果从控制总线的电路BSCNT,向开关的控制电路CNTS3,用stat1这个信号,传达所有的块都处于备用状态的信息,则CNTS3就使cntn1和cntn2变成为低,开关N2和N3被切断,因而可以减小逻辑电路的漏电流。同时,如果VBBC控制作为SRAM的衬底电位的Vbn和Vbp使SRAM的漏电流下降,则可以减小电路全体的漏电流。

[0069] 此外,例如,在只有CPU正在动作而不存在通过总线向DSP和SRAM进行存取的情况下,就可以形成这样的状态:BSCNT就通过stat1输出该信息,使SRAM的衬底电位变成为备用状态,切断DSP的电源开关使DSP变成为备用状态,而仅仅使CPU变成为有效状态。

[0070] <实施例3>

[0071] 图15概略地示出了混合装配有使用本发明的逻辑电路和SRAM电路的LSI的整体构

成。作为混合装配LSI的CHIP包括:逻辑电路LOGIC;静态存储器电路SRAM;在来自外部的接地电位线Vss和逻辑电路的接地电位线Vss1之间变成为开关的nMOS晶体管N1;输入在备用状态期间输入的信号stby,连接到N1的栅极电极上输出控制N1的信号cntc的控制电路CNTS;当输入stby后控制SRAM的衬底电位Vbn和Vbp的衬底偏压控制电路VBBC;借助于stby信号控制SRAM的电源线Vddm的电路CNTV1。

[0072] 图15的构成,除去CNTV1之外,采用与图1的电路同样的构成,进行与图1同等的动作。CNTV1,当变成为备用状态并输入了stby信号后,就使SRAM的电源电压从Vdd下降到比可以保持数据的Vdd还低的电压。借助于此,在备用状态的情况下,由于漏电流因SRAM的衬底电位受控制而降低,电源电压下降,故漏电流可以进一步减小,与图1的电路比可以进一步减小备用时的功耗。

[0073] 图15的电路各个部分有效时ACT和备用时STB的电位示于图16。电路的电源Vdd的电压,示出了1.2V的情况下的电位。stby、cntn、Vbn、Vbp与作为图1的动作电位的图3是相同的。SRAM的电源电压Vddm,在有效时ACT与电源电压相同,是1.2V,在备用时STB变成为0.6V,借助于此,可以减小在SRAM中的漏电流。

[0074] 图15中的电源控制电路CNTV1,例如可以用图16的电路实现。CNTV1由降压电路PDC和切换开关构成。在SRAM电路为有效状态时,借助于切换开关把向SRAM的存储单元供给动作电位的电源线Vddm连接到从外部供给的电源Vdd上,SRAM的电源电压变成为与Vdd相等。在备用状态STB的情况下,切换开关借助于信号stby进行切换,把比借助于降压电路产生的比Vdd低,变成为可以保持SRAM电路的存储单元内的数据的电位以上的Vddlow与SRAM电路的电源Vddm连接起来,SRAM电路的电源电压变成为比Vdd还低。另外,在图15中,虽然在高电位一侧进行降压,但是,也可以把电源控制电路CNTV1连接到Vssm与Vss之间,变成为升压电路。采用使低电位一侧升压,或进行升压降压的组合的办法,可以得到相同的效果。

[0075] <实施例4>

[0076] 图18示出了图7的电路的变形例。在图7中,SRAM电路内的电源被分成3个系统:存储单元阵列的电源Vddma和Vssma,包括驱动位线的电路在内的电路RWAMP的电源Vddamp和Vssamp,除此之外的电路的电源Vddper和Vssper,虽然在位线的控制中使用的外围电路PERI2和低电位一侧的电源之间,插入了由N沟型MOS晶体管构成的开关,在字线的控制中使用的外围电路PERI1与高电位一侧的电源之间插入了由P沟型MOS晶体管构成的开关,但是,在这里却作成为这样的构成:向分成3个系统的电源的高电位一侧和低电位一侧都插入开关使得在备用时可以切断各个电源。在该电路中,向所有的电源内都插入了由MOS晶体管构成的开关,在备用时,采用使控制信号cntmp1、cntmp2变成为低,使控制信号cntmp3变成为高,使控制信号cntmn1、cntmn3变成为高,使控制信号cntmn2变成为低的办法,使开关P6、P7、N6和N8导通,使开关P8和N7切断的办法,可以实现图7的构成。此外,P6和N6由虽然为了保持SRAM存储单元的信息即便是在备用时也必须导通,但是在后边要讲的把SRAM电路进行块分割的情况下,在没有必要保持信息的块中,采用切断P6和N6的构成,在低功耗化中也是有效的。

[0077] 在备用时,如果使cntmp2变成为高。来取代使给控制Vssamp的开关加上的信号cntmn2变成为低,则可以实现切断被认为可以在把位线预充电到低的电路中使用的读写放大器的Vdd一侧的电源的电路。如上所述,若使用图18所示的电路,取决于控制信号的控制

方法,可以实现若干种的电路。

[0078] 图19示出了使图7的电路部分进行变更后的电路。列译码器CDEC的电源,连接到Vddper和Vssper上。在图7中,变成为列译码器CDEC切断Vss一侧的电源,这是因为人们认为列译码器配置在放大器的附近,当与放大器用同一开关切断电源时电路设计会变得容易起来的缘故。但是,采用使控制字线的电路与电源变成为共通,切断Vdd一侧的电源的办法,只要电源的配置等的设计不会变得复杂起来,就可以采用切断Vdd一侧的构成。列译码器虽然对位线进行控制,但是,由于与字线驱动器WDR同时动作时,取低电位的节点多(选择线比非选择多),故采用与在高电位一侧使用开关的存储器控制器MNCT同一动作电位Vddper和Vssper的一方是有利的。另外,出于同样的理由,图中虽然未画出来,但是,理想的是写放大器的控制电路WCNT也连接到Vddper和Vssper上。

[0079] 在图19中虽然准备了对图18的3个电源的开关(分别设置在Vdd与Vddma、Vddamp和Vddper之间的由P沟型MOS晶体管形成的开关,和分别设置在Vss与Vssma、Vssamp和Vssper之间的由N沟型MOS晶体管形成的开关)和不通过开关的电源线,但是在构成上,取决于究竟是在低电位一侧还是高电位一侧中的哪一方设置开关为好,采用使SRAM电路内块化的办法,就可以省略与Vddamp连接起来的P沟型MOS晶体管和与Vssper连接起来的N沟型MOS晶体管。

[0080] 在该电路中,与图7不同,连接到行译码器RDEC上的电源不是SRAM电路内的可切断的电源,而是与SRAM电路外的电源Vdd和Vss直接连接起来,在备用时向行译码器供给电源。这是因为要防止归因于从备用状态返回时的电源的供给时间差等,噪声加在字线上,使存储单元内的传送MOS晶体管变成为导通状态的缘故,

[0081] 之所以发生该噪声,是因为字线驱动器的电源,其前级电路的电源上升得早,变成为向字驱动器输入低信号的状态,使得字驱动器输出高的缘故,采用在备用时就预先向行译码器供给电源的办法,就不会向字驱动器输入低的信号,噪声就不可能再加到字线上去。

[0082] 在图19中,虽然把行译码器全体的电源直接连接到从外部供给的电源Vdd和Vss上,但是,若采用该构成,则结果就变成为不能减小行译码器的漏电流。因此,虽然没有特别画出来,但是却可以考虑这样的电路构成:把电源Vdd和Vss仅仅连接到字驱动器的前级的电路例如NAND电路上,把要用开关切断的电源连接到除此之外的行译码器的电路上,而不是把行译码器全体的电源都连接到电源Vdd和Vss上。如果是这样的电路构成,则虽然漏电流可以减小,但是在行译码器内的电源的配置就变得复杂起来,设计难于进行。因此,人们认为在SRAM中的行译码器的规模比较大,且需要抑制行译码器的漏电流的情况下,就要作成为把从外部供给的电源Vdd和Vss仅仅连接到字驱动器的前级的电路上,把借助于电源开关在备用时可以切断电源的电源连接到除此之外的行译码器的电路上的电路构成,而在行译码器的规模不大,行译码器的漏电流的影响小的情况下,把行译码器的电源全部都连接到Vdd和Vss上的本构成是有效的。

[0083] 如图19所示,可以采用根据功能分割控制SRAM的外围电路的电源的办法,减小SRAM的外围电路的漏电流。

[0084] <实施例5>

[0085] 图20示出了在图1的混合装配有逻辑电路和SRAM电路的LSI中,不仅对SRAM电路,对逻辑电路也进行衬底电位控制的构成图。作为混合装配LSI的CHIP,包括:逻辑电路LOGIC

和静态存储器电路SRAM;在逻辑电路的接地电位线 V_{ss1} 之间将变成开关的nMOS晶体管N1;对究竟要把构成逻辑电路和SRAM电路的MOS晶体管的衬底电位 V_{bn1} 、 V_{bp1} 、 V_{bnm} 和 V_{bpm} 连接到 V_{dd} 和 V_{ss} 、 V_{bn} 、 V_{bp} 中的哪一个上进行选择的开关SW1;输出控制N1的信号 $cntn$ 和控制开关SW1的信号 $cntvbb1$ 和 $cntvbb2$ 的控制电路CNTS4;产生衬底偏压 V_{bn} 和 V_{bp} 的衬底偏压控制电路VBBC2。

[0086] 有效时和备用时的各个部分的电压变成为图3所示的电压。在备用时,在切断逻辑电路的电源的同时,控制逻辑电路的衬底电位,因而可以减小逻辑电路的漏电流。

[0087] 该电路,如图9的Pattern3所示,在用低阈值的MOS晶体管制作逻辑电路的电源开关的情况下,在存在着电源开关中的漏电流的情况下,由于采用加上衬底偏压的办法,可以减小逻辑电路的漏电流,故是有效的。若用该电路,则可以独立地控制逻辑电路和SRAM电路的衬底电位。采用仅仅使SRAM电路变成为备用状态,使逻辑电路变成为有效状态的办法,在只有逻辑电路动作时减小在SRAM电路中的漏电流是可能的。

[0088] 此外,也可以给逻辑电路加上衬底偏压,使SRAM电路动作,减小逻辑电路的漏电流。如上所述,采用使逻辑电路和SRAM电路具有可以选择是否要加上衬底偏压的开关的办法,就可以进行根据动作状态减小漏电流的那种动作。

[0089] 此外,采用细微地对控制衬底电位的块进行控制的办法,就可以使加上衬底偏压以使电压变化的负载的量变化。即,如果设置开关不给那些不需要的部分加上衬底偏压,由于将减少必须使电位变化的负载,故可以缩短电位的变化所花费的时间。

[0090] <实施例6>

[0091] 图21示出了把图1的SRAM电路分割成块的第1变形例。在图24中,作为混合装配LSI的CHIP,包括:逻辑电路LOGIC;静态存储器电路SRAM1和SRAM2;在电源 V_{ss} 和逻辑电路的接地电位线 V_{ss1} 之间作为开关的nMOS晶体管N9;在电源 V_{ss} 和SRAM1的接地电位线 V_{ssm1} 之间作为开关的nMOS晶体管N10;输出控制N9和N10的信号 $cntn$ 控制电路CNTS;产生衬底偏压 V_{bn} 和 V_{bp} 的衬底偏压控制电路VBBC。SRAM电路SRAM1和SRAM2可以采用与图7和已经举出过的图7的变形例同样的构成。

[0092] 在该电路中,把图1的SRAM电路分割成SRAM1和SRAM2这2个块,在备用时,切断逻辑电路和SRAM1的电源,给SRAM2加上衬底偏压以减小全体的漏电流,减小备用时的功耗。因此,与图1的电路比较,可以减小SRAM1的电路的漏电流。但是,在该构造的情况下,由于在备用时存储在SRAM1中的数据会消失净尽,故必须使SRAM2存储那些在备用时必须存储起来的数据。在系统LSI中,由于考虑到许多构成混合装配有若干个SRAM块,且混合存在着在备用时需要和不需要预先保持好数据的块,故在这样的电路的情况下,采用使用该电路构成的办法,减小漏电流的效果是很大的。

[0093] 在图22中示出了把SRAM电路一分为二的情况下在每一个SRAM的存储单元电路中使用的MOS晶体管的组合。在该图中,与图9同样,作为绝缘膜厚度厚的MOS晶体管的例子,使用绝缘膜厚度6.7nm的晶体管,作为绝缘膜厚度薄的MOS晶体管的例子,使用绝缘膜厚度2.0nm的晶体管。此外,作为膜厚薄的MOS晶体管具有2种阈值电压的例子,举出了使用阈值电压 V_{th} 为0.40V和0.25V这2种晶体管的情况的例子。MAR1表示可以切断电源的SRAM1的存储单元的MOS晶体管、MAR2表示不切断电源的SRAM2的MOS晶体管。逻辑电路LOGIC_CIR,就如在图9的表中所列举的那样,使用2种阈值的MOS晶体管。逻辑电路内的大约10%,使用低阈

值的MOS晶体管,它们被分配给关键通路路径内的晶体管。

[0094] SRAM的除去存储单元之外的外围电路的MOS晶体管,使用与逻辑电路的低阈值0.25V相同阈值的MOS晶体管,虽然没有画出来。不论哪一者都可以使用薄膜的MOS晶体管。IO表示在输入输出电路中使用的MOS晶体管,不论哪一种组合都可以使用厚膜且阈值电压高的MOS晶体管。

[0095] 在Pattern1中所有的SRAM电路块内的存储单元都使用薄膜且阈值电压高的MOS晶体管。人们认为若采用该构成则不仅存储单元的面积会减小,SRAM的动作稳定性也很出色。

[0096] 在Pattern2中,用厚膜且漏电流小的MOS晶体管制作不附加电源开关的SRAM存储单元,是使漏电流下降的组合。若用该组合,由于构成已插入了电源开关的SRAM1内的存储单元的晶体管,是用薄膜的MOS晶体管制作的,故面积小动作也快。此外,漏电流可以用电源开关进行抑制。

[0097] 此外,采用用厚膜的MOS晶体管制作构成未插入电源开关的SRAM2内的存储单元的晶体管的办法,就可以使备用时的漏电流下降。但是,由于人们认为SRAM2的存储单元的面积会增大,故如果在电路面积不那么放在心上的电路或确实需要减少漏电流的电路中使用,则该电路的优点就更为突出。此外,在SRAM2的电路规模小的情况下,该组合也是有效的。

[0098] Pattern3用薄膜且阈值电压低的MOS晶体管制作SRAM2的存储单元,SRAM2的存储单元,用薄膜且阈值电压高的MOS晶体管制作。在构成SRAM的存储单元的MOS晶体管的阈值下降的情况下,就会存在着漏电流增大备用时的功耗增大的问题,和SRAM自身的动作宽裕度消失,存储单元自身不能动作的问题。前者的问题,可以采用设置电源开关的办法避免。因此,只有在使用后者的问题不会显著地出现的那样的特性的MOS晶体管时,才可以实现该组合。

[0099] Pattern4,在Pattern3的组合之内作为SRAM2的存储单元的MOS晶体管使用厚膜的MOS晶体管。归因于此,电路面积虽然比Pattern3变大,但是漏电流却可以降低。

[0100] 图23示出了图21的应用例。作为混合装配LSI的CHIP,包括:逻辑电路LOGIC;静态存储器电路SRAM1和SRAM2;作为在逻辑电路和SRAM电路之间传送数据的总线的BUS;在电源Vss与逻辑电路的接地电位线Vss1之间将变成为开关的nMOS晶体管N9;在电源Vss和SRAM1的接地电位线Vssm1之间作为开关的nMOS晶体管N10;输出在备用状态下的控制信号cntn和dtran的控制电路CNTS5;产生衬底偏压Vbn和Vbp的衬底偏压控制电路VBBC。

[0101] 通常,在系统LSI中,由于要通过总线在逻辑电路和SRAM电路之间进行数据的授受,故人们认为在图21的LSI电路中也要有总线。因此,图23的电路和图21的电路不同之处,仅仅在于作为备用状态的控制电路的CNTS5,以下对该电路的动作和总线的动作进行说明。

[0102] 在要使LSI变成为备用状态的情况下,由控制电路CNTS5使用控制信号dtran控制逻辑电路,通过总线,使SRAM1中的在备用时必须预先存储好的数据退避到SRAM2中去。当退避结束后,通过dtran把退避已经结束的信息传达给控制电路CNTS5。借助于此,从控制电路CNTS5输出要迁移到备用状态的信号,并借助于开关切断逻辑电路和SRAM1的电源,此外,还要给SRAM2加上使漏电流下降那样的衬底偏压。反之,在要从备用状态返回到有效状态的情况下,则从控制电路CNTS5输出信号,向逻辑电路和SRAM1供给电源,同时把SRAM2的备用状态的彻底品质切换成有效状态的偏压。当逻辑电路和SRAM1的电源电压和SRAM2的衬底电位

稳定后,就控制通过控制信号dtran控制总线的电路,使先前退避到SRAM2中的SRAM1的数据返回到退避前的地方。在该电路中,在备用时必须预先保持起来的数据得以进行保持,而且,得以减少与不需要预先保持起来的数据量对应的那么大的量的存储单元的漏电流。

[0103] 图24示出了把SRAM分割成块的第2变形例的SRAM电路及其电源控制电路部分。在图15中,SRAM电路虽然用1个降压电路用CNTV1控制SRAM电路的高电位一侧的电位,但是借助于进行分割可以对每一个块进行最佳的控制(SRAM1要降压,SRAM2由于要进行读出和写入动作,不降压)。与图15的情况下同样,借助于在高电位一侧不降压,使低电位一侧升压或借助于升压降压组合,可以得到相同的效果。CNTV2可以分别使用图17所示的电路。降压电压必须作成为大于可以进行SRAM的存储保持的最低限的电压。

[0104] 图25示出了把SRAM分割成块的第3变形例的SRAM电路及其电源控制电路部分。由4个SRAM块SRAM 1、SRAM 2、SRAM 3、SRAM 4;用切断各自的块的电源的P沟型MOS晶体管构成的开关P1、P10、P11和P12;和控制该电源开关的控制电路CNTS6构成。在备用时,切断不需要保持数据的块的电源而不切断需要保持数据的块的电源。借助于该电路构成,就可以使SRAM电路的漏电流变成为那些仅仅需保持数据的块的漏电流的量。虽然示出的是P沟型MOS晶体管的例子,从面积效率方面来看,就象先前已经说明的那样,置换成N沟型MOS晶体管的构成的一方是有利的。

[0105] 在图21中,虽然采用的是设置不切断电源的块,以传送虽然需要保持信息但是在备用时却可以切断的别的块的信息的构成,但是,倘采用本构成,则不再需要进行传送数据的处理。但是,结果却变成为要附加检测是否需要保持信息的手段以仅仅切断那些不需要保持信息的块的电源开关。

[0106] 于是,作为控制电路CNTS6的控制方式,例如,可以考虑这样的控制方式:预先存储好存放有必要的数据的块,在要迁移到备用状态时,切断未存放数据的那些块的电源。此外,还可以考虑这样的控制方式:在电路制作时,预先编制好要切断电源的块和不需要切断电源的块的程序,根据该程序切断电源。只要如上所述那样地变更控制电路CNTS6的控制方式,就可以实现各种各样的电源切断图形。

[0107] 图26是把图24的CNTV2作成为连接到3个电源状态中的任一状态上的开关的图。所谓3个电源状态,指的是与从外部供给的电源电压Vdd进行连接的状态、与在SRAM中比可以保持数据的Vdd还低的电压的电源进行连接的状态、和可以切断电源的状态。在可以连接到3个电源状态上的情况下,在有效状态的情况下,所有的块的电源都与Vdd连接,在备用状态下那些需要保持数据的块的电源连接到比Vdd低的电压的电源上,而那些不需要保持数据的块的电源则切断。借助于此,那些需要保持数据的块的漏电流也可以减小。图中的PDC是降压电路,用比电源Vdd还低的电压,输出SRAM的存储单元可以保持数据的电压。若用该电路,根据输入进来的控制信号cntp1的值切换开关就可以把存储器电源Vddm换接到Vdd或使Vdd降压后的电路或者与什么都不连接的状态上。

[0108] 若使用图25的电路,虽然可以减小备用状态的漏电流,但是,例如在有效状态下正在进行存取的SRAM块的电源要连接到Vdd上,未进行存取的块的电源则要连接到比Vdd低的电压的电源上。借助于此,也可以减小有效时的不需要的SRAM块的漏电流。还可以把CNTV2从降压电路改为升压电路,并插入到与存储单元的低电位一侧的电源之间。另外,在图24、图25中,虽然特地把SRAM电路分割成4个块,但是,作为电路构成来说,在有1个以上的块的

情况下也可以应用。

[0109] 以上,虽然说明的是MOS(金属-氧化物-半导体)晶体管,但是即便是置换成不使用氧化膜的MIS(金属-绝缘体-半导体)晶体管,在本发明的效果方面也不会有什么不同。

[0110] 倘采用本发明,则可以用混合装配有逻辑电路和SRAM电路的LSI减小备用时的功耗。

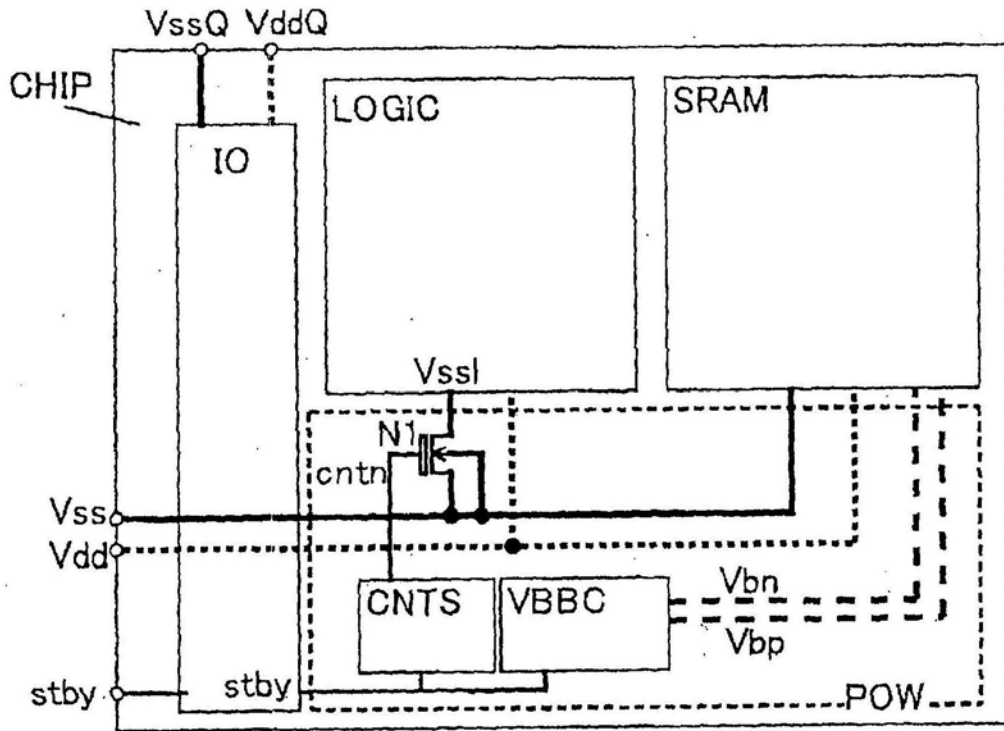


图1

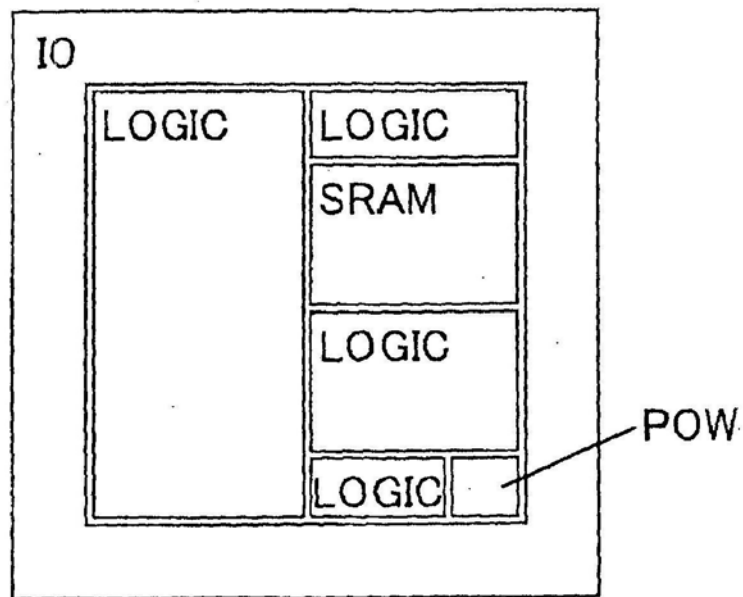


图2

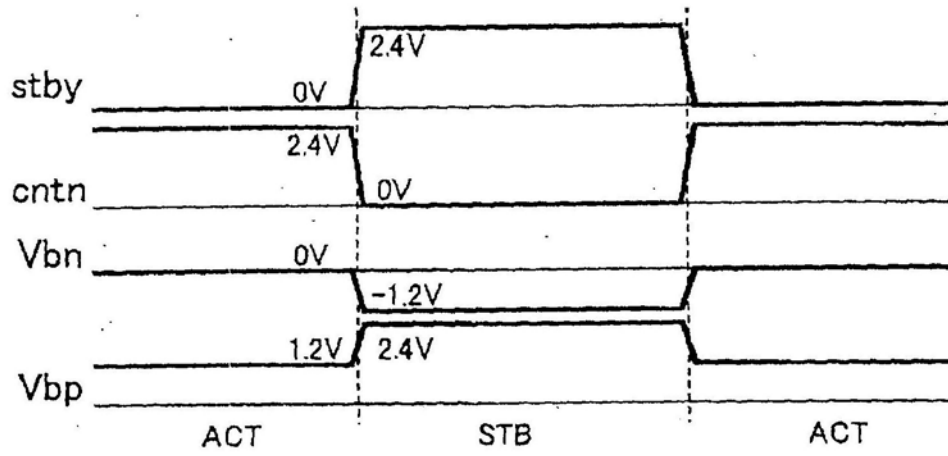


图3

CNTS

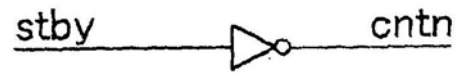


图4

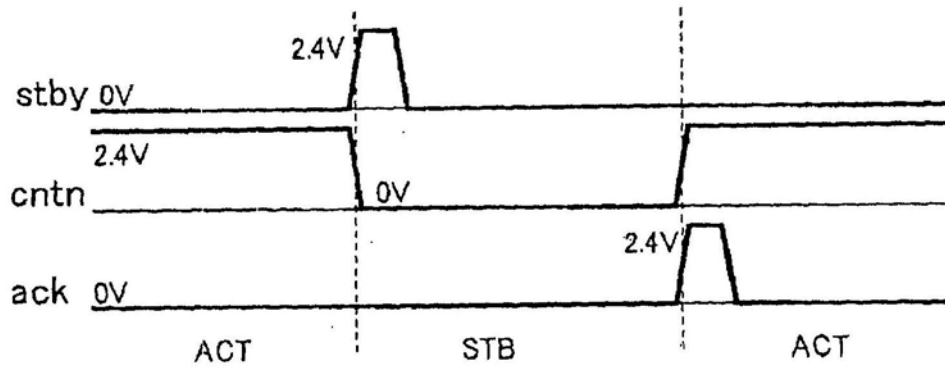


图5

CNTS

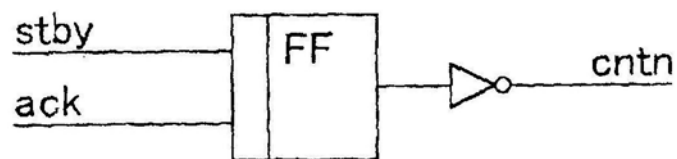


图6

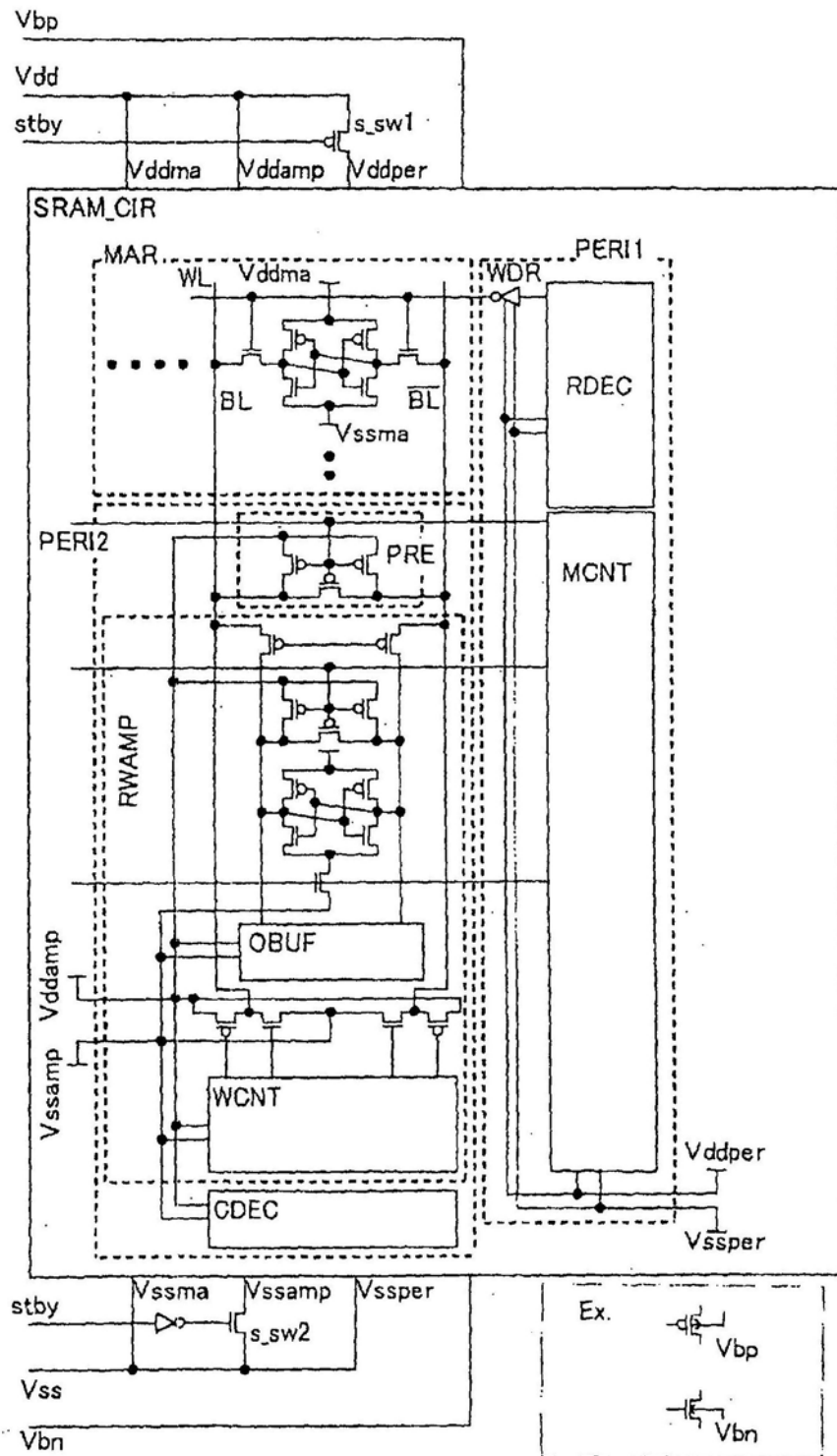


图7

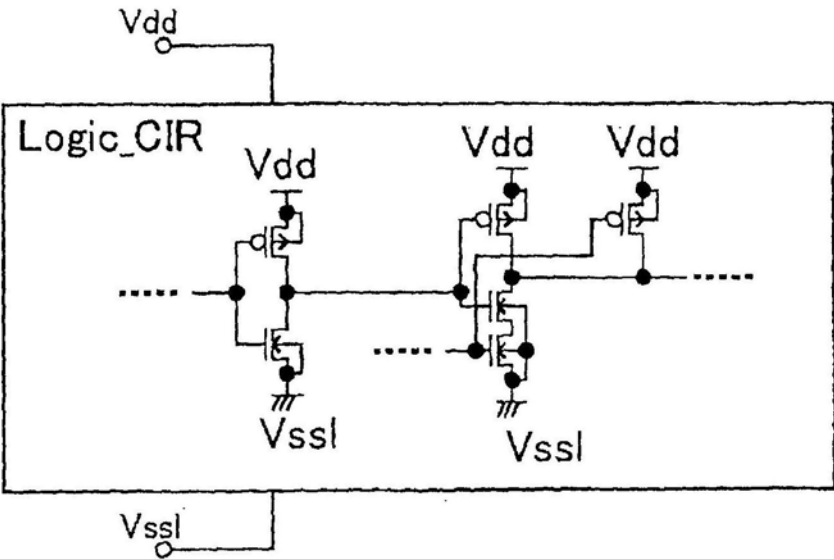


图8

		Logic_CIR	Logic sw (N1)	SRAM_CIR	SRAM sw (s_sw1, s_sw2)	ID
Pattern1	Tox	2.0nm	6.7nm	2.0nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V
Pattern2	Tox	2.0nm	6.7nm	2.0nm	6.7nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V
Pattern3	Tox	2.0nm	6.7nm	2.0nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V

图9

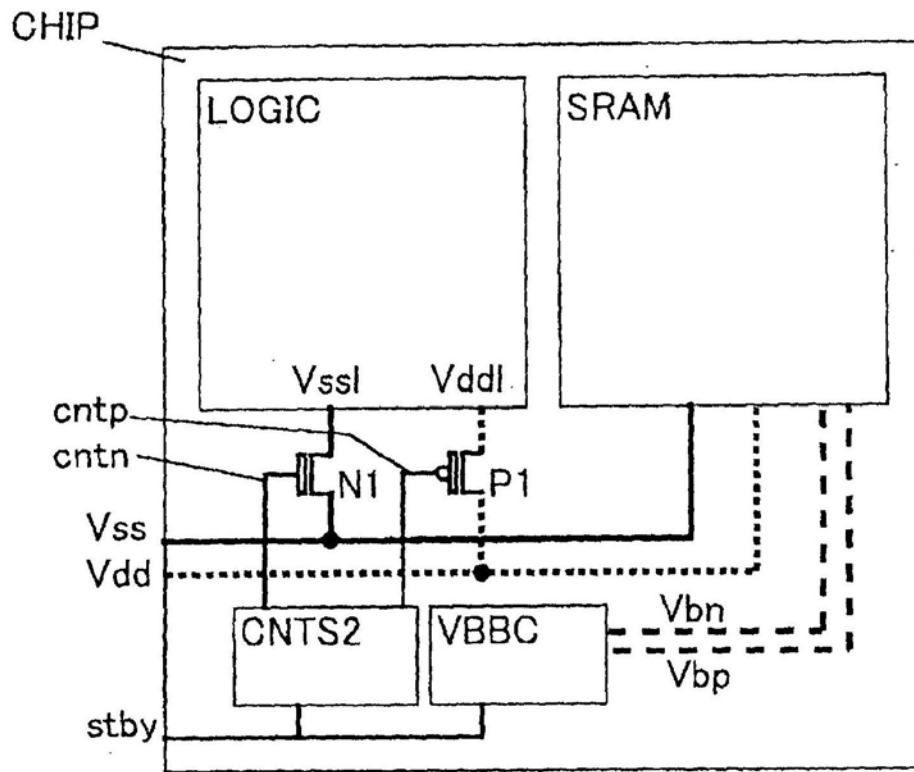


图10

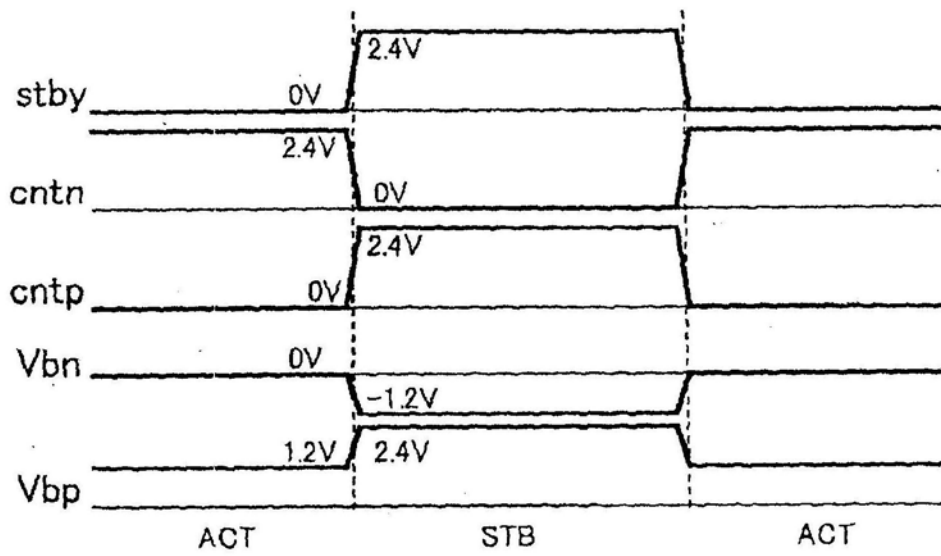


图11

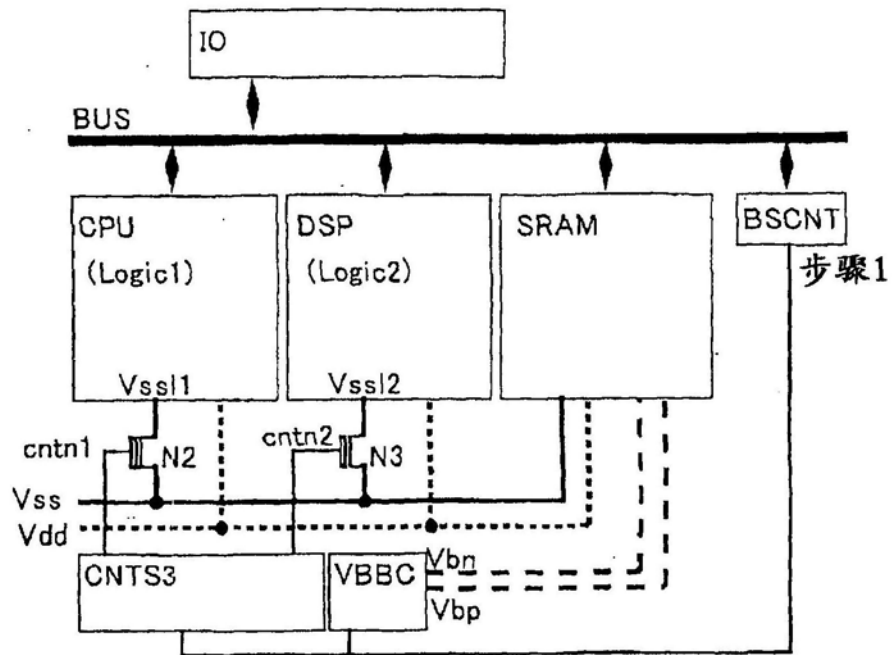


图14

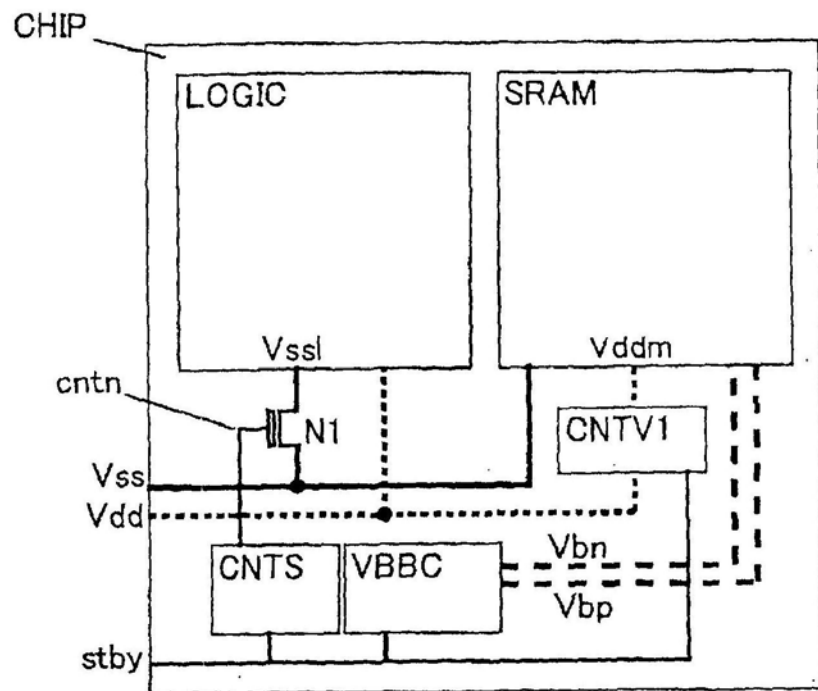


图15

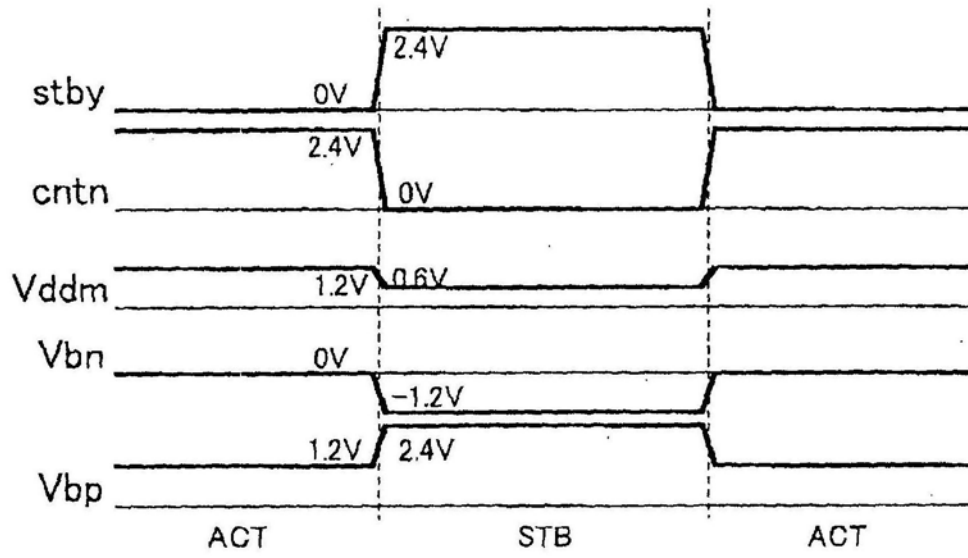


图16

CNTV1

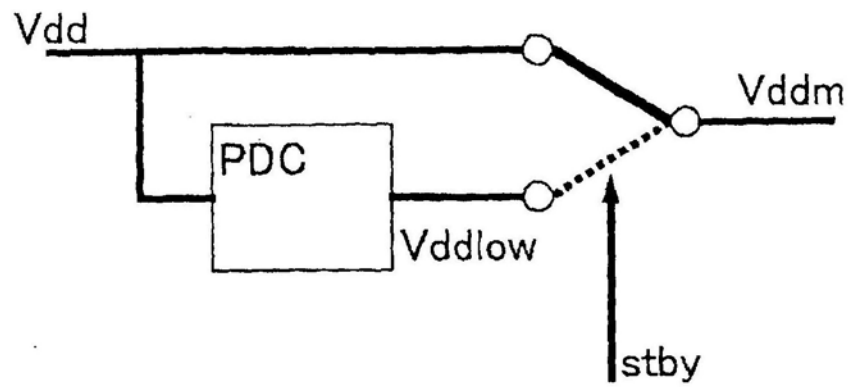


图17

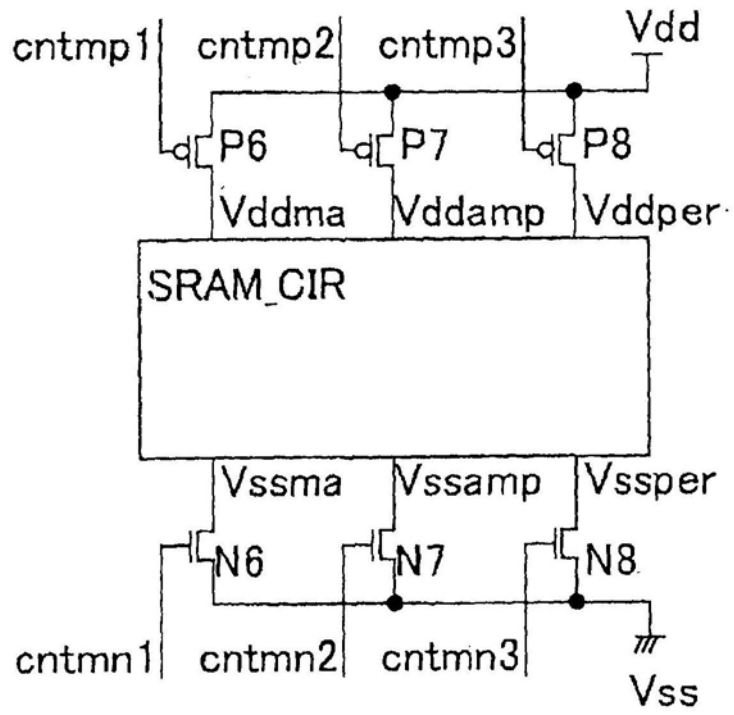


图18

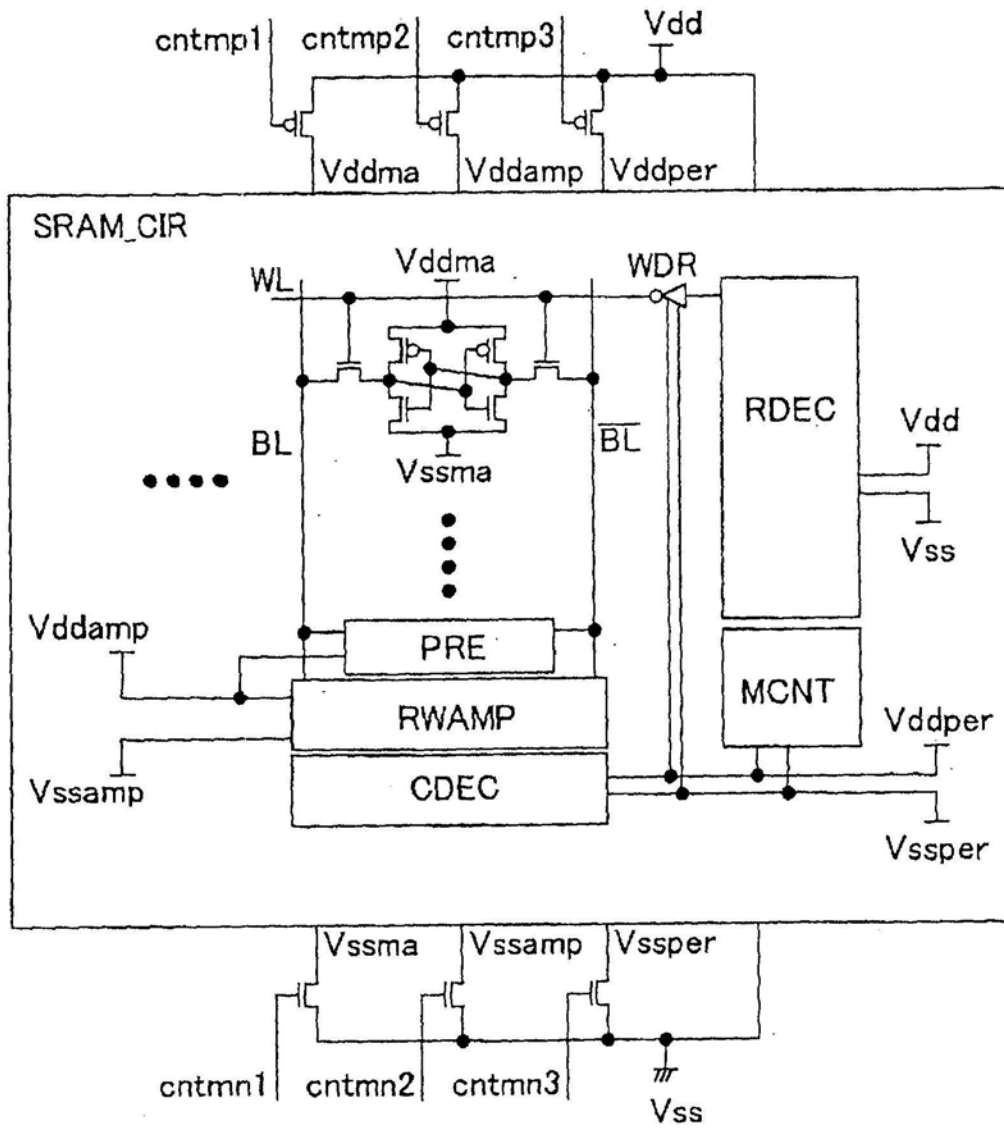


图19

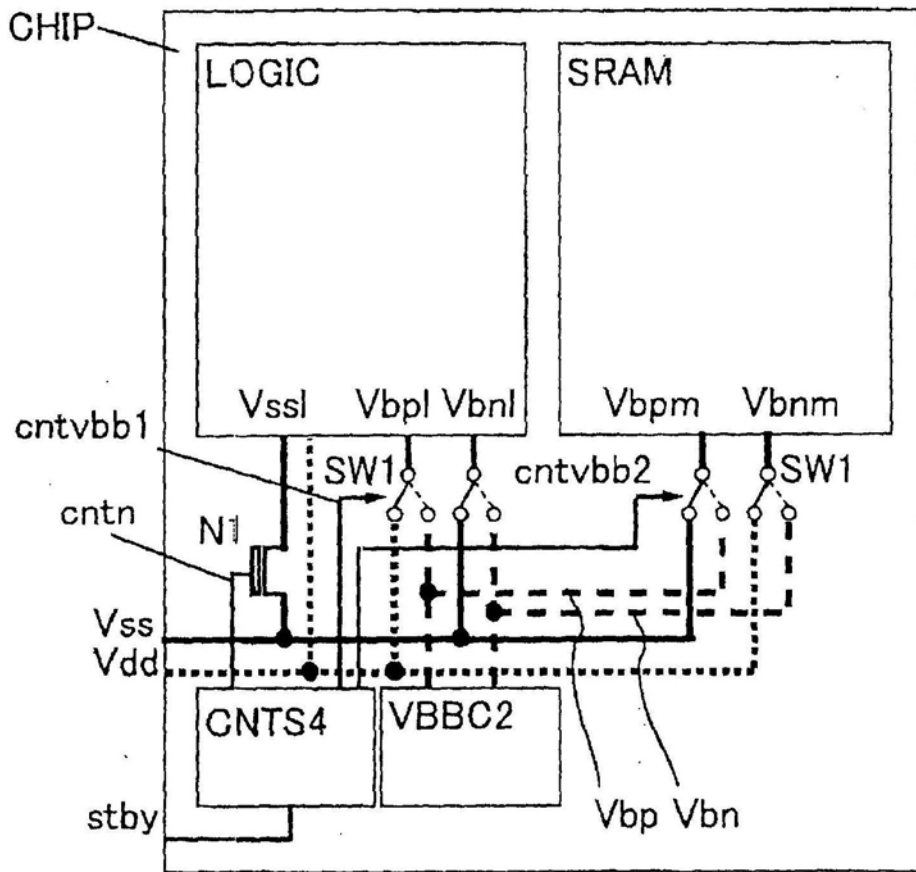


图20

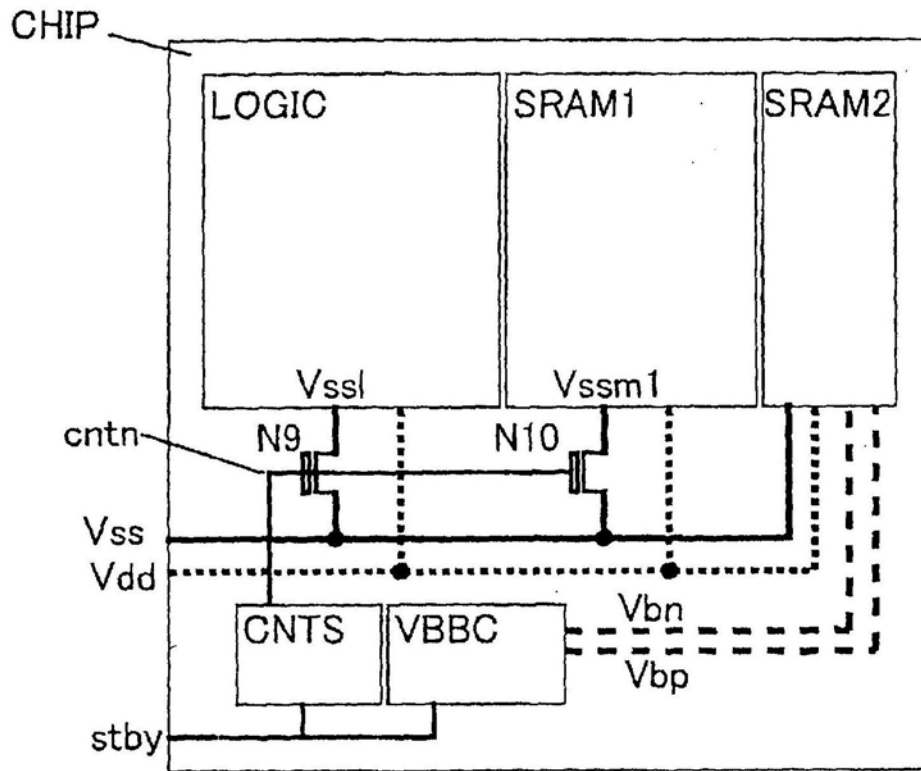


图21

		Logic_CIR	IO	MAR1	MAR2
Pattern1	Tox	2.0nm	6.7nm	2.0nm	2.0nm
	Vth	0.25V, 0.40V	0.80V	0.40V	0.40V
Pattern2	Tox	2.0nm	6.7nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.40V	0.40V
Pattern3	Tox	2.0nm	6.7nm	2.0nm	2.0nm
	Vth	0.25V, 0.40V	0.80V	0.25V	0.40V
Pattern4	Tox	2.0nm	6.7nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V	0.40V

图22

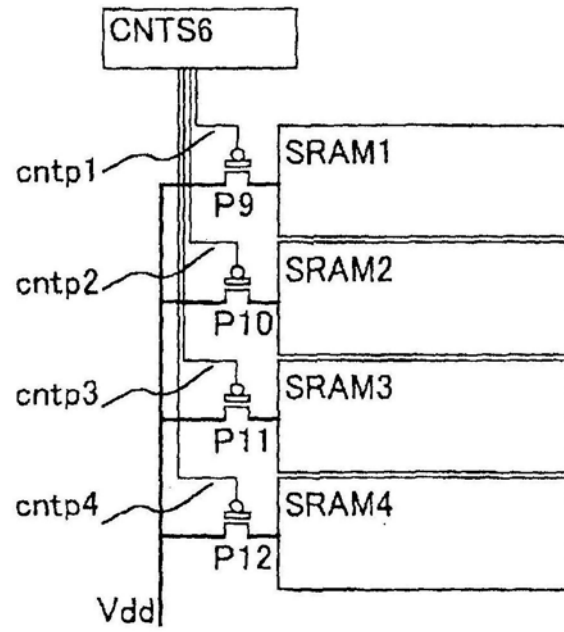


图25

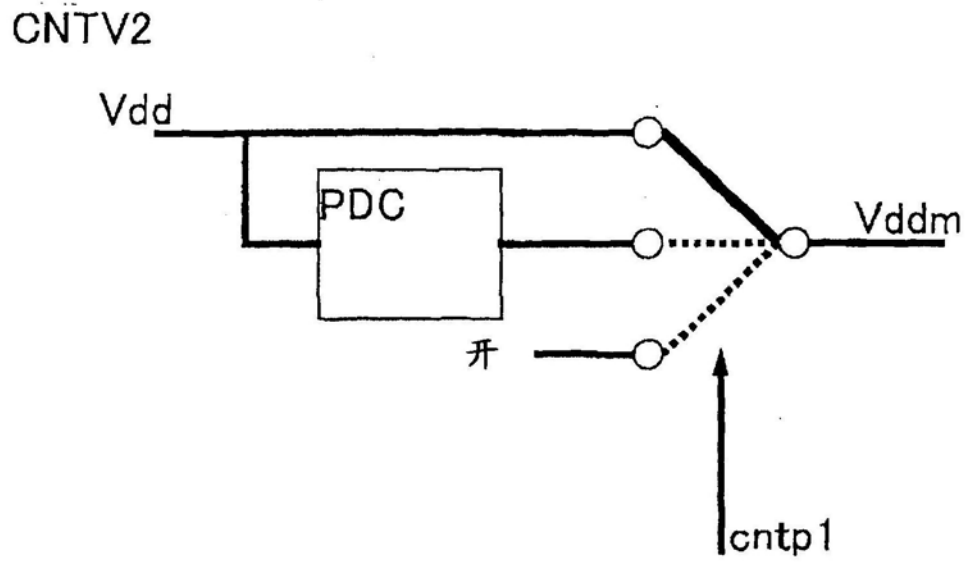


图26