(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월29일
(11) 등록번호 10-1872229
(24) 등록일자 2018년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 21/84* (2006.01)
H01L 27/06 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2012-7009813
(22) 출원일자(국제) 2010년09월27일
심사청구일자 2015년09월10일
(85) 번역문제출일자 2012년04월17일
(65) 공개번호 10-2012-0096469
(43) 공개일자 2012년08월30일
(86) 국제출원번호 PCT/JP2010/067294
(87) 국제공개번호 WO 2011/048929
국제공개일자 2011년04월28일
(30) 우선권주장
JP-P-2009-242689 2009년10월21일 일본(JP)
(56) 선행기술조사문헌
US05112765 A*
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌뻬이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
이마이 게이따로
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

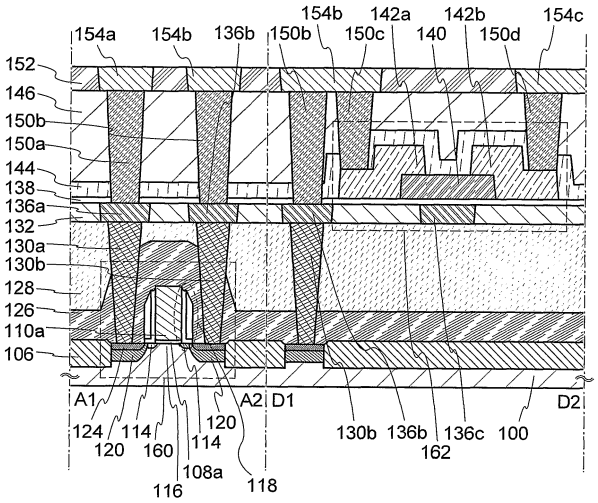
전체 청구항 수 : 총 15 항 심사관 : 이석주

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

본 발명의 목적은 새로운 구조를 갖는 반도체 장치를 제공하는 데 있다. 개시된 내용은, 반도체 재료를 함유하는 기판에 있는 채널 형성 영역, 채널 형성 영역이 그 사이에 개재되도록 형성된 불순물 영역들, 채널 형성 영역 위의 제1 게이트 절연층, 제1 게이트 절연층 위의 제1 게이트 전극, 및 불순물 영역에 전기적으로 접속하는 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 트랜지스터; 및 반도체 재료를 함유하는 기판 위의 제2 게이트 전극, 제2 게이트 전극 위의 제2 게이트 절연층, 제2 게이트 절연층 위의 산화물 반도체층, 및 산화물 반도체층에 전기적으로 접속하는 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 트랜지스터를 포함하는 반도체 장치이다.

대 표 도 - 도1a



(56) 선행기술조사문헌
KR1020080053355 A*
JP2009164393 A*
JP2006165532 A*
JP2009094492 A*
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

반도체 장치로서,

단결정 실리콘 기판;

상기 단결정 실리콘 기판 내의 채널 형성 영역, 상기 채널 형성 영역을 사이에 개재하여 상기 단결정 실리콘 기판에 형성된 불순물 영역들, 상기 채널 형성 영역 위의 제1 게이트 절연층, 상기 제1 게이트 절연층 위의 제1 게이트 전극, 및 상기 불순물 영역들에 전기적으로 접속되는 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 트랜지스터;

상기 제1 게이트 전극 위의 제1 절연층;

상기 제1 절연층 위의 제2 절연층;

상기 제2 절연층에 매립되고, 상기 제2 절연층과 동일한 두께를 가지고, 저면들이 상기 제2 절연층의 저면과 일치하는 매립된 도전층들;

상기 제2 절연층 및 상기 매립된 도전층들 위의 제3 절연층;

상기 제1 절연층 위의 제2 게이트 전극으로서 상기 매립된 도전층들 중 제1 하나, 상기 제2 게이트 전극 위의 제2 게이트 절연층으로서 상기 제3 절연층, 상기 제2 게이트 절연층 위의 산화물 반도체층, 및 상기 산화물 반도체층에 전기적으로 접속되는 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 트랜지스터;

상기 제3 절연층, 상기 산화물 반도체층, 상기 제2 소스 전극, 및 상기 제2 드레인 전극 위의 제4 절연층; 및

상기 제4 절연층 위의 도전층

을 포함하고,

상기 제1 게이트 전극은 상기 매립된 도전층들 중 제2 하나, 상기 도전층, 및 상기 제2 소스 전극과 상기 제2 드레인 전극 중 하나를 포함하는 직렬 접속을 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 트랜지스터는 p형 트랜지스터이고 상기 제2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 2

반도체 장치로서,

단결정 실리콘 기판;

상기 단결정 실리콘 기판의 적어도 일부분 위에 있고, 채널 형성 영역이 상기 단결정 실리콘 기판 내에 포함되고, 게이트 전극을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연층;

상기 제1 절연층 위의 제2 절연층;

상기 제2 절연층에 매립되고, 상기 제2 절연층과 동일한 두께를 가지고, 저면들이 상기 제2 절연층의 저면과 일치하는 매립된 도전층들;

상기 제2 절연층 및 상기 매립된 도전층들 위의 제3 절연층;

상기 단결정 실리콘 기판 위에 있고, 상기 제3 절연층을 사이에 개재하여 상기 매립된 도전층들 중 제1 하나와 중첩하고 상기 제3 절연층 위에 있는 산화물 반도체층과 상기 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 제2 트랜지스터;

상기 제3 절연층, 상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위의 제4 절연층; 및

상기 제4 절연층 위의 도전층

을 포함하고,

상기 게이트 전극은 상기 매립된 도전층들 중 제2 하나, 상기 도전층, 및 상기 소스 전극과 상기 드레인 전극 중 하나를 포함하는 직렬 접속을 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 트랜지스터는 p형 트랜지스터이고 상기 제2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

제5 절연층을 더 포함하고,

상기 제1 절연층과 상기 제5 절연층 각각은 알루미늄과 산소를 포함하고,

상기 제2 절연층과 상기 제4 절연층 각각은 실리콘, 질소, 및 산소를 포함하고,

상기 산화물 반도체층과 상기 제3 절연층은 상기 제2 절연층과 상기 제4 절연층 사이에 위치되고,

상기 산화물 반도체층과 상기 제2 내지 상기 제4 절연층들을 포함하는 층들의 적층체는 상기 제1 절연층과 상기 제5 절연층 사이에 위치되는, 반도체 장치.

청구항 4

반도체 장치로서,

단결정 실리콘 기판;

실리콘을 포함하는 상기 단결정 실리콘 기판 내의 채널 형성 영역, 상기 채널 형성 영역 위의 제1 게이트 절연층, 및 상기 제1 게이트 절연층 위의 제1 게이트 전극을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연층;

상기 제1 절연층 위에 있고, 산화물 반도체층, 제2 게이트 전극, 상기 산화물 반도체층과 상기 제2 게이트 전극 사이의 제2 게이트 절연층, 및 상기 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 제2 트랜지스터;

상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위의 제2 절연층; 및

상기 제2 절연층 위의 도전층

을 포함하고,

상기 제1 게이트 전극은 상기 도전층, 및 상기 소스 전극과 상기 드레인 전극 중 하나를 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 트랜지스터는 p형 트랜지스터이고 상기 제2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 5

제4항에 있어서,

제3 절연층 및 제4 절연층을 더 포함하고,

상기 제1 절연층과 상기 제4 절연층 각각은 알루미늄과 산소를 포함하고,

상기 제2 절연층과 상기 제3 절연층 각각은 실리콘, 질소, 및 산소를 포함하고,

상기 산화물 반도체층과 상기 제2 게이트 절연층은 상기 제2 절연층과 상기 제3 절연층 사이에 위치되고,

상기 산화물 반도체층, 상기 제2 게이트 절연층, 및 상기 제2 및 상기 제3 절연층들을 포함하는 층들의 적층체는 상기 제1 절연층과 상기 제4 절연층 사이에 위치되는, 반도체 장치.

청구항 6

반도체 장치로서,

단결정 실리콘 기판;

상기 단결정 실리콘 기판 내의 채널 형성 영역, 상기 단결정 실리콘 기판 위에 있고 상기 채널 형성 영역과 중첩하는 제1 게이트 절연층, 및 상기 제1 게이트 절연층 위의 제1 게이트 전극을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연층; 및

상기 제1 절연층 위에 있고, 산화물 반도체층, 제2 게이트 전극, 및 상기 산화물 반도체층과 상기 제2 게이트 전극 사이의 제2 게이트 절연층을 포함하는 제2 트랜지스터

를 포함하고,

상기 제1 게이트 전극은 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 트랜지스터는 p형 트랜지스터이고 상기 제2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 7

반도체 장치로서,

단결정 실리콘 기판;

상기 단결정 실리콘 기판 내의 채널 형성 영역, 상기 단결정 실리콘 기판 위에 있고 상기 채널 형성 영역과 중첩하는 제1 게이트 절연층, 및 상기 제1 게이트 절연층 위의 제1 게이트 전극을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터 위의 제1 절연층; 및

상기 제1 절연층 위에 있고, 산화물 반도체층, 제2 게이트 전극, 상기 산화물 반도체층과 상기 제2 게이트 전극 사이의 제2 게이트 절연층, 및 상기 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 제2 트랜지스터

를 포함하고,

상기 제1 게이트 전극은 상기 소스 전극과 상기 드레인 전극 중 하나를 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 제1 트랜지스터는 p형 트랜지스터이고 상기 제2 트랜지스터는 n형 트랜지스터인, 반도체 장치.

청구항 8

제6항 또는 제7항에 있어서,

제2 절연층, 제3 절연층, 및 제4 절연층을 더 포함하고,

상기 제1 절연층과 상기 제4 절연층 각각은 알루미늄과 산소를 포함하고,

상기 제2 절연층과 상기 제3 절연층 각각은 실리콘, 질소, 및 산소를 포함하고,

상기 산화물 반도체층과 상기 제2 게이트 절연층은 상기 제2 절연층과 상기 제3 절연층 사이에 위치되고,

상기 산화물 반도체층, 상기 제2 게이트 절연층, 및 상기 제2 및 상기 제3 절연층들을 포함하는 층들의 적층체는 상기 제1 절연층과 상기 제4 절연층 사이에 위치되는, 반도체 장치.

청구항 9

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In, Ga, 및 Zn을 포함하는, 반도체 장치.

청구항 10

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함하는, 반도체 장치.

청구항 11

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 $In_2Ga_2ZnO_7$ 결정을 포함하는, 반도체 장치.

청구항 12

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 결정 성분을 포함하는, 반도체 장치.

청구항 13

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 미정질(microcrystalline) 또는 다결정인(polycrystalline), 반도체 장치.

청구항 14

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층의 수소 농도는 5×10^{19} 원자/㎤ 이하인, 반도체 장치.

청구항 15

제1항, 제2항, 제4항, 제6항, 및 제7항 중 어느 한 항에 있어서,

상기 제2 트랜지스터의 오프-상태 전류는 1×10^{-13}A 이하인, 반도체 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기 술 분 야

[0001] 본 발명의 기술분야는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다. 여기서, 반도체 장치는 반도체 특성을 이용하여 기능하는 일반적인 소자 및 장치를 의미함을 알아야 한다.

배 경 기 술

[0002] 금속 산화물은 다양하게 존재하고, 금속 산화물은 다양한 용도를 갖는다. 산화인듐은 잘 알려진 재료이고, 액정 표시 장치 등에 필요한 투명 전극에 사용하고 있다.

[0003] 몇몇 금속 산화물은 반도체 특성이 있다. 반도체 특성을 갖는 금속 산화물의 예는, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등을 포함한다. 임의의 이러한 금속 산화물로 제조한 채널 형성 영역을 갖는 박막 트랜지스터는 이미 개시되어 있다(예를 들어, 특허문헌 1 내지 4 및 및 비특허문헌 1 등 참조).

[0004] 그런데 단성분 산화물뿐만 아니라 다성분 산화물도 금속 산화물로서 알려져 있다. 예를 들어, 동족 화합물 $InGaO_3(ZnO)_m$(m은 자연수임)은 In, Ga 및 Zn을 함유하는 다성분 산화물로서 알려져 있다(예를 들어, 비특허문헌 2 내지 4 등 참조).

[0005] 이러한 In-Ga-Zn계 산화물을 포함하는 산화물 반도체도 박막 트랜지스터의 채널 형성 영역에 적용가능한 것으로 알려져 있다(예를 들어, 특허문헌 5, 비특허문헌 5 및 6 등 참조).

선행기술문헌

[0006] <특허문헌>

[0007] [특허문헌 1] 일본공개특허출원번호 S60-198861

[0008] [특허문헌 2] 일본공개특허출원번호 H8-264794

[0009] [특허문헌 3] PCT 국제출원의 일본공표번호 H11-505377

[0010] [특허문헌 4] 일본공개특허출원번호 2000-150900

[0011] [특허문헌 5] 일본공개특허출원번호 2004-103957

[0012] <비특허문헌>

[0013] [비특허문헌 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

[0014] [비특허문헌 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350℃", J. Solid State Chem., 1991, Vol. 93, p. 298-315

[0015] [비특허문헌 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$(m=3, 4, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$(m=7, 8, 9, and 16) in the In_2O_3-$ZnGa_2O_4$-ZnO System", J. Solid State Chem., 1995, Vol. 116, p. 170-178

[0016] [비특허문헌 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($InFeO_3(ZnO)_m$)(m: natural number) and related compounds", (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, p. 317-327

[0017] [비특허문헌 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, p. 1269-1272

[0018] [비특허문헌 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors",

NATURE, 2004, Vol. 432 p. 488-492

발명의 내용

[0019] 반도체 장치의 전형적인 예인 전계 효과 트랜지스터는 일반적으로 실리콘과 같은 재료를 사용하여 형성한다. 그러나 실리콘 등을 사용하는 반도체 장치는 적절한 스위칭 특성을 갖지 않고, 예를 들어 CMOS 인버터 회로를 제조하는 경우 현저히 높은 관통 전류(flow-through current)에 의해 반도체 장치가 손상되는 문제점 및 현저히 높은 관통 전류에 의해 전력 소비가 증가한다는 문제점이 있다.

[0020] 또한, 실리콘 등을 사용하는 반도체 장치의 오프-상태 전류(누설 전류로도 칭함)는 실질적으로 0만큼 작지 않다. 그러므로 반도체 장치의 의도된 작용을 고려하지 않은 약간의 전류의 흐름이 발생하고, 따라서 메모리 또는 액정 디스플레이와 같은 전하 유지 반도체 장치의 제조의 경우 적절한 전하 유지 기간을 확보하는 것이 어렵다. 오프-상태 전류에 의해 전력 소비가 증가한다는 다른 문제점이 있다.

[0021] 이를 고려하여, 본 발명의 한 실시형태의 목적은 상술한 문제점을 해결하는 새로운 구조를 갖는 반도체 장치를 제공하는 데 있다.

[0022] 본 발명의 한 실시형태는 산화물 반도체를 사용하는 트랜지스터와 산화물 반도체 외의 재료를 사용하는 트랜지스터의 적층체를 구비한 반도체 장치이다. 예를 들어, 반도체 장치는 다음의 구조를 이용할 수 있다.

[0023] 본 발명의 한 실시형태는, 반도체 재료를 함유하는 기판 내의 채널 형성 영역, 채널 형성 영역이 그 사이에 개재되도록 형성된 불순물 영역들, 채널 형성 영역 위의 제1 게이트 절연층, 제1 게이트 절연층 위의 제1 게이트 전극, 및 불순물 영역들에 전기적으로 접속하는 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 트랜지스터; 및 반도체 재료를 함유하는 기판 위의 제2 게이트 전극, 제2 게이트 전극 위의 제2 게이트 절연층, 제2 게이트 절연층 위의 산화물 반도체층, 및 산화물 반도체층에 전기적으로 접속하는 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 트랜지스터를 포함하는 반도체 장치이다.

[0024] 바람직하게는, 상술한 구조에서, 제1 게이트 전극 및 제2 게이트 전극은 서로 전기적으로 접속되어 있고, 제1 소스 전극 또는 제1 드레인 전극 중 하나는 제2 소스 전극 또는 제2 드레인 전극 중 하나에 전기적으로 접속되어 있다. 또한, 바람직하게는 제1 트랜지스터는 p형 트랜지스터(p채널 트랜지스터)이고, 제2 트랜지스터는 n형 트랜지스터(n채널 트랜지스터)이다.

[0025] 대안으로, 상술한 구조에서, 제1 게이트 전극은 제2 소스 전극 또는 제2 드레인 전극에 전기적으로 접속되어 있다.

[0026] 바람직하게는, 상술한 구조에서, 반도체 재료를 함유하는 기판은 단결정 반도체 기판 또는 SOI 기판이다. 특히, 반도체 재료는 바람직하게는 실리콘이다.

[0027] 바람직하게는, 상술한 구조에서, 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 함유한다. 특히, 산화물 반도체층은 바람직하게는 $In_2Ga_2ZnO_7$ 결정을 함유한다. 또한, 바람직하게는 산화물 반도체층의 수소 농도는 5×10^{19} 원자/㎤ 이하이다. 또한, 바람직하게는 제2 트랜지스터의 오프-상태 전류는 1×10^{-13}A 이하이다.

[0028] 상술한 구조에서, 제2 트랜지스터는 제1 트랜지스터와 겹치는 영역에 제공할 수 있다.

[0029] 제1 소스 전극 또는 제1 드레인 전극은 제2 소스 전극 또는 제2 드레인 전극과 동일한 도전층을 사용하여 형성할 수 있음을 알아야 한다. 즉, 제2 소스 전극 또는 제2 드레인 전극은 부분적으로 제1 소스 전극 또는 제1 드레인 전극으로서 기능할 수 있고, 제1 소스 전극 또는 제1 드레인 전극은 부분적으로 제2 소스 전극 또는 제2 드레인 전극으로서 기능할 수 있다.

[0030] 본 명세서에서, "위" 및 "아래"와 같은 용어는 각각 구성 요소들 간의 물리적 관계의 기술 시 반드시 "바로 위" 및 "바로 아래"를 의미하지는 않음을 알아야 한다. 예를 들어, "게이트 절연층 위의 제1 게이트 전극"이란 표현은 게이트 절연층과 제1 게이트 전극 사이에 추가의 구성 요소가 존재하는 상황에 대응할 수 있다. "위" 및 "아래"란 용어는 설명의 편의를 위해서 사용할 뿐이고, 다르게 명시하지 않는다면 교환할 수 있다.

[0031] 본 명세서에서, "전극" 또는 "배선"이란 용어는 구성 요소들의 기능을 한정하지 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용할 수 있고, "배선"은 "전극"의 일부로서 사용할 수 있다. 또한, "전극" 또는 "배선"이란 용어는 예를 들어 복수의 "전극" 및 "배선"의 조합을 또한 의미할 수 있다.

[0032] 일반적으로, "SOI 기판"이란 용어는 절연 표면 위에 실리콘 반도체층을 구비한 기판을 의미한다. 본 명세서에서, "SOI 기판"이란 용어는 절연 표면 위에 실리콘 외의 재료를 사용하는 반도체층을 구비한 기판을 또한 의미한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정하지 않는다. 또한, "SOI 기판"에서의 기판은 실리콘 웨이퍼와 같은 반도체 기판에 한정하지 않고, 비반도체 기판, 예컨대 유리 기판, 석영 기판, 사파이어 기판, 및 금속 기판일 수 있다. 즉, "SOI 기판"은 절연 표면을 갖는 도전성 기판 또는 절연 기판 위에 반도체 재료의 층을 갖는 기판을 또한 포함한다. 또한, 본 명세서 등에서, "반도체 기판"은 반도체 재료만의 기판 및 반도체 재료를 포함하는 재료의 일반적인 기판을 의미한다. 즉, 본 명세서에서 "SOI 기판"은 반도체 기판의 넓은 범주에 또한 포함된다.

[0033] 본 발명의 한 실시형태는 산화물 반도체 외의 재료를 사용하는 트랜지스터를 하부에 그리고 산화물 반도체를 사용하는 트랜지스터를 상부에 포함하는 반도체 장치를 제공한다.

[0034] 산화물 반도체 외의 재료를 사용하는 트랜지스터와 산화물 반도체를 사용하는 트랜지스터의 조합은 산화물 반도체를 사용하는 트랜지스터들의 전기적 특성과는 상이한 전기 특성(예를 들어, 소자의 작용에 영향을 미치는 캐리어 특성의 차이점)이 필요한 반도체 장치의 제조를 가능하게 한다.

[0035] 또한, 산화물 반도체를 사용하는 트랜지스터는 스위칭 특성이 양호하고, 따라서 이러한 특성을 이용하여 우수한 반도체 장치를 제조할 수 있다. 예를 들어, CMOS 인버터 회로는 관통 전류를 충분한 정도로 감소시킬 수 있고, 이로 인해 반도체 장치의 전력 소비를 줄이고, 강전류(heavy current)에 기인한 반도체 장치의 손상을 방지할 수 있다. 또한, 산화물 반도체를 사용하는 트랜지스터는 매우 낮은 오프-상태 전류를 갖고, 따라서 이러한 트랜지스터를 사용하여 반도체 장치의 소비 전력을 줄일 수 있다.

도면의 간단한 설명

[0036] 도 1a는 반도체 장치를 도시한 단면도이고, 도 1b는 그 평면도이다.

도 2는 반도체 장치를 도시하는 회로도이다.

도 3의 A는 반도체 장치를 도시한 단면도이고, 도 3의 B는 그 평면도이다.

도 4의 A 내지 H는 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 5의 A 내지 G는 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 6의 A 내지 D는 반도체 장치의 제조 방법을 도시하는 단면도이다.

도 7a는 반도체 장치를 도시하는 단면도이고, 도 7b는 그 평면도이다.

도 8은 반도체 장치를 도시하는 회로도이다.

도 9a는 반도체 장치를 도시하는 단면도이고, 도 9b는 그 평면도이다.

도 10은 반도체 장치를 도시하는 회로도이다.

도 11의 A 내지 F는 반도체 장치를 사용하는 전자 기기를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0037] 이하에서, 본 발명의 실시형태는 도면을 참조하여 설명한다. 본 발명은 이하의 설명에 한정하지 않고, 본 기술분야의 통상의 기술자라면 본 발명의 사상 및 범위를 벗어나지 않으면서 다양한 변경 및 수정이 이루어질 수 있음을 용이하게 이해함을 알아야 한다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하는 것으로 해석해서는 안 된다.

[0038] 몇몇 경우에서, 각 구성 요소의 위치, 크기, 범위는 이해를 용이하게 하기 위하여 도면 등의 실제 위치, 크기, 범위가 아님을 알아야 한다.

[0039] 본 명세서에서, "제1", "제2" 및 "제3"과 같은 서수는 구성 요소들의 혼동을 피하기 위하여 사용하고, 그러한 용어들이 구성 요소들을 수치로 한정하지 않음을 알아야 한다.

[0040] (실시형태 1)

[0041] 본 실시형태에서, 본 발명의 한 실시형태에 따른 반도체 장치의 구조 및 제조 방법은 도 1a 및 1b, 도 2, 도 3,

도 4의 A 내지 H, 도 5의 A 내지 G, 및 도 6의 A 내지 D를 참조하여 설명한다.

[0042] <반도체 장치의 구조>

[0043] 도 1a는 본 실시형태에 따른 반도체 장치의 단면도를 도시한다. 도 1b는 본 실시형태에 따른 반도체 장치의 평면도를 도시한다. 여기서, 도 1a는 도 1b에 도시한 A1-A2 및 D1-D2 부분에 대응한다. 도 1a 및 1b에 도시한 반도체 장치는 하부에 p형 트랜지스터(160)를 그리고 상부에 산화물 반도체를 사용하는 n형 트랜지스터(162)를 포함한다.

[0044] p형 트랜지스터(160)는 반도체 재료를 함유하는 기판(100) 내의 채널 형성 영역(116); 불순물 영역(114)들 및 고농도 도핑된 영역(120)들, 불순물 영역(114)들과 고농도 도핑된 영역(120)들의 조합은 간단히 불순물 영역들로서 칭할 수 있고, 불순물 영역들 사이에 채널 형성 영역(116)이 개재되어 있고; 채널 형성 영역(116) 위의 게이트 절연층(108a); 게이트 절연층(108a) 위의 게이트 전극(110a); 채널 형성 영역(116)의 한쪽에 있는 제1 불순물 영역(114)에 전기적으로 접속된 소스 또는 드레인 전극(130a); 및 채널 형성 영역(116)의 또 다른 쪽에 있는 제2 불순물 영역(114)에 전기적으로 접속된 소스 또는 드레인 전극(130b)을 포함한다.

[0045] 여기서, 측벽 절연층(118)은 게이트 전극(110a)의 양쪽에 형성되어 있다. 또한, 위에서 볼 때, 측벽 절연층(118)의 적어도 일부는 기판(100)의 영역에 형성된 고농도 도핑된 영역(120)들 사이에 구성되어 있고, 금속 화합물 영역(124)들이 고농도 도핑된 영역(120)들 위에 존재한다. 또한, p형 트랜지스터(160)를 둘러싸기 위하여 기판(100) 위에 소자 분리 절연층(106)이 형성되어 있고, p형 트랜지스터(160)를 덮기 위하여 층간 절연층(126) 및 층간 절연층(128)이 형성되어 있다. 층간 절연층(126) 및 층간 절연층(128)의 개구를 통해, 소스 또는 드레인 전극(130a)은 채널 형성 영역(116)의 한쪽에 있는 제1 금속 화합물 영역(124)에 전기적으로 접속되어 있고, 소스 또는 드레인 전극(130b)은 채널 형성 영역(116)의 다른 쪽에 있는 제2 금속 화합물 영역(124)에 전기적으로 접속되어 있다. 즉, 소스 또는 드레인 전극(130a)은 채널 형성 영역(116)의 한쪽에 있는 제1 금속 화합물 영역(124)을 통해 채널 형성 영역(116)의 한쪽에 있는 제1 고농도 도핑된 영역(120) 및 제1 불순물 영역(114)에 전기적으로 접속되어 있고, 소스 또는 드레인 전극(130b)은 채널 형성 영역(116)의 다른 쪽에 있는 제2 금속 화합물 영역(124)을 통해 채널 형성 영역(116)의 다른 쪽에 있는 제2 고농도 도핑된 영역(120) 및 제2 불순물 영역(114)에 전기적으로 접속되어 있다.

[0046] n형 트랜지스터(162)는 층간 절연층(128) 위의 게이트 전극(136c); 게이트 전극(136c) 위의 게이트 절연층(138); 게이트 절연층(138) 위의 산화물 반도체층(140); 및 산화물 반도체층(140) 위에서 산화물 반도체층(140)에 전기적으로 접속되어 있는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 포함한다.

[0047] 여기서, n형 트랜지스터(162)의 게이트 전극(136c)은 층간 절연층(128) 위에 있는 절연층(132)에 매립되도록 형성되어 있다. 또한, 게이트 전극(136c)의 경우처럼, 전극(136a) 및 전극(136b)은 p형 트랜지스터(160)의 소스 전극 및 드레인 전극(130a 및 130b) 위에 있도록 형성되어 있다.

[0048] 보호 절연층(144)은 산화물 반도체층(140)의 일부와 접하도록 n형 트랜지스터(162) 위에 형성되어 있다. 층간 절연층(146)은 보호 절연층(144) 위에 형성되어 있다. 여기서, 보호 절연층(144) 및 층간 절연층(146)은 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)에 도달하는 개구를 구비하고 있다. 전극(150c) 및 전극(150d)은 각각 개구를 통해 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b) 중 하나와 접한다. 전극(150c) 및 전극(150d)의 경우처럼, 전극(150a) 및 전극(150b)은 각각 게이트 절연층(138), 보호 절연층(144) 및 층간 절연층(146) 내 개구를 통해 전극(136a) 및 전극(136b)과 접하여 형성되어 있다.

[0049] 산화물 반도체층(140)은 바람직하게는 수소와 같은 불순물을 적절히 제거함으로써 생성된 고순도이다. 구체적으로, 산화물 반도체층(140)의 수소 농도는 5×10^{19} 원자/㎤ 이하이다. 바람직하게는, 산화물 반도체층(140)의 수소 농도는 5×10^{18} 원자/㎤ 이하, 더욱 바람직하게는 5×10^{17} 원자/㎤ 이하이다. n형 트랜지스터(162)는 수소 농도가 적절히 감소함으로써 생성된 고순도를 갖는 산화물 반도체층(140)을 사용함으로써 우수한 오프-상태 전류 특성을 가질 수 있다. 예를 들어, 드레인 전압 Vd가 +1V 또는 +10V이고 게이트 전압 Vg가 -20V 내지 -5V인 경우, 오프-상태 전류는 1×10^{-13}A 이하이다. 따라서, n형 트랜지스터(162)의 오프-상태 전류는 수소 농도의 적절한 감소로 생성된 고순도의 산화물 반도체층(140)을 사용함으로써 감소하고, 이로 인해 우수한 특성을 갖는 반도체 장치를 야기한다. 상술한 산화물 반도체층의 수소 농도는 SIMS(이차 이온 질량 분석법)으로 측정하였음을 알아야 한다.

[0050] 절연층(152)은 층간 절연층(146) 위에 형성되어 있다. 전극(154a), 전극(154b), 및 전극(154c)은 절연층(15

2)에 매립되도록 형성되어 있다. 여기서, 전극(154a)은 전극(150a)과 접하고, 전극(154b)은 전극(150b 및 150c)과 접하고, 전극(154c)은 전극(150d)과 접한다.

[0051] 즉, 도 1a 및 1b에 도시한 반도체 장치에서, p형 트랜지스터(160)의 소스 또는 드레인 전극(130b)은 전극(136b), 전극(150b), 전극(154b) 및 전극(150c)을 통해 n형 트랜지스터(162)의 소스 또는 드레인 전극(142a)에 전기적으로 접속되어 있다.

[0052] 또한, p형 트랜지스터(160)의 게이트 전극(110a)은 층간 절연층(126) 및 층간 절연층(128)에 구성된 전극들을 통해 n형 트랜지스터(162)의 게이트 전극(136c)에 전기적으로 접속되어 있다.

[0053] p형 트랜지스터(160)의 소스 또는 드레인 전극(130a)은 전극(154a), 전극(150a), 및 전극(136a)을 통해 제1 전위를 공급하기 위한 전원선에 전기적으로 접속되어 있음을 알아야 한다. n형 트랜지스터(162)의 소스 또는 드레인 전극(142b)은 전극(154c) 및 전극(150d)을 통해 제2 전위를 공급하기 위한 전원선에 전기적으로 접속되어 있다.

[0054] 도 2는 p형 트랜지스터(160)가 상보적인 방식으로 n형 트랜지스터(162)에 접속되어 있는 CMOS 인버터 회로의 등가 회로를 도시한다. 도 2는 도 1a 및 1b에 도시한 반도체 장치의 예를 도시하는데, 양 전위(VDD)는 전극(154a)에 인가하고 접지 전위(GND)는 전극(154c)에 인가한다. 접지 전위(GND)는 음 전위(VDL)로도 칭할 수 있음을 알아야 한다.

[0055] 다음으로, 전술한 반도체 장치의 기판과 동일한 기판으로 n형 트랜지스터 또는 p형 트랜지스터를 단독으로 사용하는 반도체 장치는 도 3의 A 및 B를 참조하여 설명한다. 도 3의 A는 하부의 p형 트랜지스터(164) 및 상부의 산화물 반도체를 사용하는 n형 트랜지스터(166)의 단면도를 도시한다. 도 3의 B는 그 평면도를 도시한다. 도 3의 A는 도 3의 B의 B1-B2 부분 및 C1-C2 부분을 도시하는 단면도임을 알아야 한다. 도 3의 A 및 B에서, 도 1a 및 1b와 동일한 구성 요소는 도 1a 및 1b와 동일한 참조부호로 표기한다.

[0056] 우선, p형 트랜지스터(164)의 구조 및 전기 접속을 설명한다. p형 트랜지스터(164)의 소스 또는 드레인 전극(130c) 및 소스 또는 드레인 전극(130d)은 각각 절연층(132)에 매립되도록 형성되어 있는 전극(136d) 및 전극(136e)에 전기적으로 접속되어 있다. 전극(136d) 및 전극(136e)은 각각 게이트 절연층(138), 보호 절연층(144) 및 층간 절연층(146)에 매립되도록 형성되어 있는 전극(150e) 및 전극(150f)에 전기적으로 접속되어 있다. 전극(150e) 및 전극(150f)은 각각 절연층(152)에 매립되도록 형성되어 있는 전극(154d) 및 전극(154e)에 전기적으로 접속되어 있다. 따라서, p형 트랜지스터(164)의 소스 또는 드레인 전극(130c)은 전극(136d), 전극(150e) 및 전극(154d)을 통해 제1 전위를 공급하는 전원선에 전기적으로 접속되어 있고, 소스 또는 드레인 전극(130d)은 전극(136e), 전극(150f) 및 전극(154e)을 통해 제2 전위를 공급하는 전원선에 전기적으로 접속되어 있다. 그러므로 p형 트랜지스터(164)는 단독으로 사용할 수 있다.

[0057] 다음으로, n형 트랜지스터(166)의 구조 및 전기 접속을 설명한다. 게이트 절연층(108b)은 소자 분리 절연층(106) 위에 형성되어 있다. 게이트 배선(110b)은 게이트 절연층(108b) 위에 제공되어 있다. 게이트 배선(110b)은 층간 절연층(126) 및 층간 절연층(128)에 매립되도록 형성된 전극(130e)에 전기적으로 접속되어 있다. 전극(130e)은 절연층(132)에 매립되도록 형성된 게이트 전극(136f)에 전기적으로 접속되어 있다. 따라서, n형 트랜지스터(166)의 게이트 전극(136f)은 전극(130e)을 통해 게이트 배선(110b)에 전기적으로 접속되어 있어 n형 트랜지스터(166)는 단독으로 사용할 수 있다.

[0058] <반도체 장치의 제조 방법>

[0059] 다음으로, 전술한 반도체 장치의 제조 방법의 예를 설명한다. 우선, 하부의 p형 트랜지스터의 제조 방법 및 이어서 상부의 n형 트랜지스터의 제조 방법을 설명한다.

[0060] <p형 트랜지스터의 제조 방법>

[0061] 우선, 반도체 재료를 함유하는 기판(100)을 준비한다(도 4의 A 참조). 반도체 재료를 함유하는 기판(100)으로서, 실리콘, 탄소 실리콘 등의 단결정 반도체 기판; 미정질 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등을 사용할 수 있다. 여기서, 반도체 재료를 함유하는 기판(100)으로서 단결정 실리콘 기판을 사용하는 경우의 예를 기술한다. 일반적으로, "SOI 기판"이란 용어는 절연 표면 위에 실리콘 반도체층을 갖는 반도체 기판을 의미함을 알아야 한다. 본 명세서 등에서, "SOI 기판"이란 용어는 절연 표면 위에 실리콘 외의 재료를 사용하는 반도체층을 갖는 기판을 또한 의미한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 한정하지 않는다. SOI 기판의 예는 표면 위에 반도체층을 갖는 유리와 같은 절연 기판을 포함하는데, 반

도체층과 절연 기판 사이에 절연층을 구비한다.

[0062] 기판(100) 위에 소자 분리 절연층을 형성하기 위한 마스크의 역할을 하는 보호층(102)을 형성한다(도 4의 A 참조). 보호층(102)으로서, 예를 들어 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등의 절연층을 사용할 수 있다. 이러한 공정 전후에, 트랜지스터의 임계 전압을 제어하기 위하여, n형 도전성을 제공하는 불순물 원소 또는 p형 도전성을 제공하는 불순물 원소를 기판(100)에 첨가할 수 있음을 알아야 한다. 반도체로서 실리콘을 사용하는 경우, n형 도전성을 제공하는 불순물로서 인, 비소 등을 사용할 수 있다. 한편, p형 도전성을 제공하는 불순물로서 붕소, 알루미늄, 갈륨 등을 사용할 수 있다.

[0063] 다음으로, 보호층(102)을 마스크로서 사용하여, 보호층(102)으로 덮지 않은 기판(100)의 영역(노출 영역)을 에칭한다. 따라서, 고립된 반도체 영역(104)을 형성한다(도 4의 B 참조). 에칭으로서 바람직하게는 건식 에칭을 이용하지만, 에칭으로서 습식 에칭도 이용할 수 있다. 에칭 가스 및 에천트는 에칭하는 층의 재료에 따라 적절히 선택할 수 있다.

[0064] 다음으로, 반도체 영역(104)을 덮기 위하여 절연층을 형성하고, 반도체 영역(104)과 겹치는 절연층의 영역을 선택적으로 에칭하여 소자 분리 절연층(106)을 형성한다(도 4의 B 참조). 절연층은 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 사용하여 형성된다. 반도체 영역(104) 위의 절연층을 제거하기 위한 방법은 에칭, CMP와 같은 연마 등을 포함하지만, 이들 중 임의의 방법을 적용할 수 있다. 반도체 영역(104)을 형성한 후 또는 소자 분리 절연층(106)을 형성한 후 보호층(102)을 제거함을 알아야 한다.

[0065] 다음으로, 반도체 영역(104) 위에 절연층을 형성하고, 절연층 위에 도전 재료를 함유하는 층을 형성한다.

[0066] 게이트 절연층이 되는 절연층은 CVD법, 스퍼터링법 등으로 얻은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 함유하는 막들의 단층 구조 또는 적층 구조를 갖는 것을 권고한다. 대안으로, 절연층은 고밀도 플라즈마 처리 또는 열 산화 처리로 반도체 영역(104)의 표면을 산화 또는 질화시킴으로써 형성할 수 있다. 고밀도 플라즈마 처리는 예를 들어 희가스, 예컨대 He, Ar, Kr, 또는 Xe 및 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 수행할 수 있다. 절연층의 두께에 대한 특별한 한정은 없지만, 절연층의 두께는 예를 들어 1㎚ 내지 100㎚ 범위일 수 있다.

[0067] 도전 재료를 함유하는 층은 알루미늄, 구리, 티타늄, 탄탈, 및 텅스텐과 같은 금속 재료를 사용하여 형성할 수 있다. 대안으로, 도전 재료를 함유하는 층은 도전 재료를 함유하는 다결정 실리콘과 같은 반도체 재료를 사용하여 형성할 수 있다. 도전 재료를 함유하는 층을 형성하기 위한 방법에 대한 특별한 한정은 없지만, 다양한 성막 방법, 예컨대 증착법, CVD법, 스퍼터링법, 및 스핀 코팅법을 적용할 수 있다. 본 실시형태에서, 도전 재료를 함유하는 층은 금속 재료를 사용하여 형성하는 경우의 예를 기술함을 알아야 한다.

[0068] 그 후, 절연층 및 도전 재료를 함유하는 층을 선택적으로 에칭하여 게이트 절연층(108a) 및 게이트 전극(110a)을 형성한다(도 4의 C 참조). 여기서, 도 3의 A 및 B에 도시한 게이트 배선(110b)을 동일한 형성 공정에서 형성할 수 있다.

[0069] 다음으로, 게이트 전극(110a)을 덮는 절연층(112)을 형성한다(도 4의 C 참조). 이어서, 반도체 영역(104)에 붕소(B), 알루미늄(Al) 등을 첨가하여 얕은 접합 깊이를 갖는 불순물 영역(114)들을 형성한다(도 4의 C 참조). 불순물 영역(114)들을 형성함으로써, 게이트 절연층(108a) 아래에 있는 반도체 영역(104)의 부분은 채널 형성 영역(116)이 됨을 알아야 한다(도 4의 C 참조). 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 그 농도는 바람직하게는 반도체 소자의 소형화 정도에 따라 상승한다. 여기서, 절연층(112)을 형성한 후 불순물 영역(114)을 형성하는 공정을 이용하지만, 불순물 영역(114)을 형성한 후 절연층(112)을 형성하는 공정을 이용할 수 있다.

[0070] 다음으로, 측벽 절연층(118)을 형성한다(도 4의 D 참조). 측벽 절연층(118)은 절연층(112)을 덮는 절연층을 형성한 후 절연층에 대하여 높은 이방성 에칭을 수행함으로써 자기-정합(self-aligned) 방식으로 형성할 수 있다. 여기서, 절연층(112)을 부분적으로 에칭하여 게이트 전극(110a)의 상면 및 불순물 영역(114)의 상면을 노출한다.

[0071] 다음으로, 게이트 전극(110a), 불순물 영역(114), 측벽 절연층(118) 등을 덮기 위하여 절연층을 형성한다. 이어서, 절연층이 불순물 영역(114)과 접하는 영역에 붕소(B), 알루미늄(Al) 등을 첨가하여 고농도 도핑된 영역(120)들을 형성한다(도 4의 E 참조). 그 후, 절연층을 제거하고, 게이트 전극(110a), 측벽 절연층(118), 고농도 도핑된 영역(120) 등을 덮기 위하여 금속층(122)을 형성한다(도 4의 E 참조). 금속층(122)은 다양한 방법, 예컨대 증착법, 스퍼터링법, 스핀 코팅법으로 형성할 수 있다. 금속층(122)은 반도체 영역(104)에 포함된 반도

체 재료와 반응함으로써 낮은 저항을 갖는 금속 화합물이 될 수 있는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이러한 금속 재료의 예는 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 및 백금을 포함한다.

[0072] 다음으로, 가열 처리를 수행하여, 금속층(122)을 반도체 재료와 반응시킨다. 따라서, 고농도 도핑된 영역(120)들과 접하는 금속 화합물 영역(124)들을 형성한다(도 4의 F 참조). 다결정 실리콘 등을 게이트 전극(110a)에 사용하는 경우, 금속 화합물 영역은 게이트 전극(110a)이 금속층(122)과 접하는 부분에 또한 형성됨을 알아야 한다.

[0073] 예를 들어, 플래시 램프를 사용한 조사를 상술한 가열 처리에 이용할 수 있다. 물론, 또 다른 가열 처리를 적용할 수 있고, 금속 화합물의 형성에 관한 화학 반응의 제어성을 개선하기 위하여 짧은 기간의 가열 처리를 실현하는 방법을 이용하는 것이 바람직하다. 금속 화합물 영역은 금속 재료와 반도체 재료의 반응으로 형성되기 때문에 적절하게 높은 도전성을 가짐을 알아야 한다. 금속 화합물 영역은 전기 저항을 적절히 감소시킬 수 있고, 소자 특성을 개선할 수 있다. 금속 화합물 영역(124)을 형성한 후 금속층(122)은 제거함을 알아야 한다.

[0074] 다음으로, 상술한 공정으로 형성한 구성 요소들을 덮기 위하여 층간 절연층(126) 및 층간 절연층(128)을 형성한다(도 4의 G 참조). 층간 절연층(126 및 128)은 무기 절연 재료, 예컨대 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 및 산화 탄탈을 포함하는 재료를 사용하여 형성할 수 있다. 대안으로, 유기 절연 재료, 예컨대 폴리이미드 및 아크릴을 사용할 수 있다. 여기서, 층간 절연층(126) 및 층간 절연층(128)은 2층 구조를 형성하지만, 층간 절연층들의 구조는 이에 한정하지 않는다. 층간 절연층(128)을 형성한 후, 그 표면을 바람직하게는 CMP, 에칭 등으로 평탄화한다.

[0075] 다음 공정에서, 금속 화합물 영역(124)에 도달하는 개구를 층간 절연층들에 형성하고, 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)(각각 소스 배선 또는 드레인 배선으로도 칭함)을 개구에 형성한다(도 4의 H 참조). 예를 들어, 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)은 다음의 방식으로 형성하는데, 개구를 포함하는 영역에 PVD법, CVD법 등으로 도전층을 형성하고, 이어서 에칭 또는 CMP로 도전층을 부분적으로 제거한다.

[0076] 도전층의 일부를 제거함으로써 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 형성하는 경우, 그 표면을 편평하게 가공하는 것이 바람직함을 알아야 한다. 예를 들어, 개구를 포함하는 영역에 얇은 티타늄막 또는 얇은 질화 티타늄막을 형성한 후 개구에 매립된 텅스텐막을 형성하는 경우, 나중에 수행한 CMP는 텅스텐막, 티타늄막, 질화 티타늄막 등의 불필요한 부분을 제거할 수 있고, 표면의 편평도를 개선할 수 있다. 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)의 표면의 이러한 편평도 개선을 통해 후속 공정에서 적절한 전극, 배선, 절연층, 반도체층 등을 형성할 수 있다.

[0077] 여기서, 금속 화합물 영역(124)과 접하는 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)만을 도시하지만, 게이트 전극(110a) 등과 접하는 배선을 동일한 형성 공정에서 형성할 수 있다. 또한, 이때, 도 3의 A 및 B에 도시한 게이트 배선(110b)과 접하는 접속 전극(130e)을 형성할 수 있다. 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 위한 재료에 대한 특별한 한정은 없지만, 다양한 도전 재료를 적용할 수 있다. 예를 들어, 도전 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐을 적용할 수 있다.

[0078] 상술한 공정은 반도체 재료를 함유하는 기판(100)을 사용하는 p형 트랜지스터를 형성하게 한다. 상술한 공정 후, 추가의 배선 등을 형성할 수 있다. 층간 절연층과 도전층의 적층 구조를 이용하는 다층 상호접속 구조는 고도로 집적화된 반도체 장치를 제공한다.

[0079] <n형 트랜지스터의 제조 방법>

[0080] 다음으로, 층간 절연층(128) 위에 n형 트랜지스터를 형성하는 방법은 도 5의 A 내지 G 및 도 6의 A 내지 D를 참조하여 설명한다. 도 5의 A 내지 G 및 도 6의 A 내지 D는 n형 트랜지스터의 제조 방법을 나타내고, 도 1a 및 1b의 A1-A2 부분 및 D1-D2 부분에 따른 단면도를 도시한다. n형 트랜지스터 아래에 있는 p형 트랜지스터는 도 5의 A 내지 G 및 도 6의 A 내지 D에서 생략함을 알아야 한다.

[0081] 우선, 층간 절연층(128), 소스 또는 드레인 전극(130a), 및 소스 또는 드레인 전극(130b) 위에 절연층(132)을 형성한다(도 5의 A 참조). 절연층(132)은 PVD법, CVD법 등으로 형성할 수 있다. 절연층(132)은 무기 절연 재료, 예컨대 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 및 산화 탄탈을 함유하는 재료를 사용하여 형성할 수 있다.

[0082] 다음으로, 소스 또는 드레인 전극(130a)에 도달하는 개구 및 소스 또는 드레인 전극(130b)에 도달하는 개구를 절연층(132)에 형성한다. 이때, 게이트 전극이 형성될 영역에 추가의 개구를 형성한다. 이어서, 개구를 충전하기 위하여 도전층(134)을 형성한다(도 5의 B 참조). 개구는 마스크를 사용한 에칭 등으로 형성할 수 있다. 마스크는 예를 들어 포토마스크를 사용한 노광으로 제조할 수 있다. 에칭으로서 습식 에칭 또는 건식 에칭을 이용할 수 있고, 미세 가공의 관점에서 건식 에칭이 바람직하다. 도전층(134)은 PVD법 및 CVD법과 같은 성막법으로 형성할 수 있다. 도전층(134)을 위한 재료의 예는 도전 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐; 임의의 이러한 재료의 합금 및 화합물(예를 들어 질화물)을 포함한다.

[0083] 구체적으로, 본 방법은 개구를 포함하는 영역에 PVD법으로 형성한 얇은 티타늄막, CVD법으로 형성한 얇은 질화 티타늄막, 및 개구를 충전하도록 형성한 텅스텐막을 이용할 수 있다. 여기서, PVD법으로 형성한 티타늄막은 하부 전극(여기서, 소스 또는 드레인 전극(130a) 혹은 소스 또는 드레인 전극(130b))과의 계면에서 산화물 막을 환원하는 기능이 있고, 따라서 하부 전극에 대한 접촉 저항을 감소시킨다. 나중에 형성되는 질화 티타늄막은 도전 재료의 확산을 차단하는 장벽 기능이 있다.

[0084] 도전층(134)을 형성한 후, 에칭 또는 CMP로 도전층(134)의 일부를 제거하고, 따라서 절연층(132)을 노출시켜 전극(136a), 전극(136b), 및 게이트 전극(136c)을 형성한다(도 5의 C 참조). 도전층(134)의 일부를 제거함으로써 전극(136a), 전극(136b), 및 게이트 전극(136c)을 형성하는 경우, 절연층(132), 전극(136a), 전극(136b), 및 게이트 전극(136c)의 표면을 편평하게 가공하는 것이 바람직함을 알아야 한다. 절연층(132), 전극(136a), 전극(136b), 및 게이트 전극(136c)의 표면의 편평도의 이러한 개선을 통해 후속 공정에서 적절한 전극, 배선, 절연층, 반도체층 등을 형성할 수 있다.

[0085] 다음으로, 절연층(132), 전극(136a), 전극(136b), 및 게이트 전극(136c)을 덮기 위하여 게이트 절연층(138)을 형성한다(도 5의 D 참조). 게이트 절연층(138)은 CVD법, 스퍼터링법 등으로 형성할 수 있다. 게이트 절연층(138)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄 등을 함유한다. 게이트 절연층(138)은 단층 구조 또는 적층 구조를 가짐을 알아야 한다. 예를 들어, 소스 가스로서 실란(SiH_4), 산소, 및 질소를 사용하는 플라즈마 CVD법으로 산화 질화 실리콘의 게이트 절연층(138)을 형성할 수 있다. 게이트 절연층(138)의 두께에 대한 특별한 한정은 없지만, 두께는 예를 들어 20㎚ 내지 500㎚ 범위일 수 있다. 적층 구조를 이용하는 경우, 게이트 절연층(138)은 바람직하게는 50㎚ 내지 200㎚ 범위의 두께를 갖는 제1 게이트 절연층 및 제1 게이트 절연층 위에 있고 5㎚ 내지 300㎚ 범위의 두께를 갖는 제2 게이트 절연층을 구비한다.

[0086] 불순물의 제거로 이루어진 i형 또는 실질적으로 i형 산화물 반도체(고순도 산화물 반도체)는 계면 상태 밀도 또는 계면 전하에 매우 민감하다. 그러므로 이러한 산화물 반도체를 산화물 반도체층에 사용하는 경우 산화물 반도체층과 게이트 절연층 간의 계면은 중요한 인자이다. 즉, 고순도의 산화물 반도체층과 접하는 게이트 절연층(138)은 높은 품질이 요구된다.

[0087] 예를 들어, 마이크로파(2.45㎓)를 이용하는 고밀도 플라즈마 CVD법은 높은 내전압의 치밀한 고품질 게이트 절연층(138)을 제공한다는 점에서 바람직하다. 이는, 고순도의 산화물 반도체층과 고품질 게이트 절연층 간의 근접 접촉이 계면 상태 밀도를 감소시키고, 적절한 계면 특성을 제공하기 때문이다.

[0088] 물론, 고순도의 산화물 반도체층을 사용하는 경우이더라도, 양호한 품질의 게이트 절연층을 제공할 수 있다면 스퍼터링법 및 플라즈마 CVD법과 같은 또 다른 방법을 적용할 수 있다. 대안으로, 절연층의 성막 후 수행한 가열 처리를 통해, 게이트 절연층의 품질 또는 게이트 절연층과 산화물 반도체층 간의 계면 특성이 개선되도록 절연층을 형성할 수 있다. 어떤 경우이든지, 층이 게이트 절연층으로 사용될 수 있고, 게이트 절연층과 산화물 반도체층 간의 계면 상태 밀도를 감소시킬 수 있고, 양호한 계면을 제공할 수 있다면 적용가능하다.

[0089] 또한, 불순물이 산화물 반도체에 함유되어 있는 경우, 85℃에서 2×10^{6}V/㎝의 전계 강도로 12시간 동안의 바이어스 열 시험(BT 시험)에서, 불순물과 산화물 반도체의 주성분 간의 결합은 강전계(B: 바이어스)와 고온(T: 온도)에 의해 절단되고, 따라서 임계 전압(Vth)의 시프트를 야기하는 단글링 본드(dangling bond)를 발생시킨다.

[0090] 한편, 본 발명의 한 실시형태는 산화물 반도체의 불순물, 특히 수소 또는 물을 제거하고, 상술한 바와 같이 게이트 절연층과 산화물 반도체층 간의 양호한 계면 특성을 제공함으로써, BT 시험을 수행한 경우에도 안정한 트랜지스터를 제공할 수 있다.

[0091] 다음으로, 게이트 절연층(138) 위에 산화물 반도체층을 형성하고, 마스크를 사용한 에칭 등으로 산화물 반도체층을 가공하여 섬 형상의 산화물 반도체층(140)을 형성한다(도 5의 E 참조).

[0092] 이러한 산화물 반도체층은 바람직하게는 산화물 반도체층, 특히 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 및 Zn-O계 산화물 반도체 중 하나를 사용하는 비정질 산화물 반도체층이다. 본 실시형태에서, In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 비정질 산화물 반도체층을 산화물 반도체층으로서 형성한다. 비정질 산화물 반도체층에 대한 실리콘의 첨가는 층의 결정화를 억제하고, 그러므로 SiO_2를 2 내지 10 중량% 함유하는 타깃을 사용하여 산화물 반도체층을 형성할 수 있다.

[0093] 스퍼터링법으로 산화물 반도체층을 형성하기 위한 이러한 타깃은, 산화물 반도체의 성막을 위하여 의도되고, 주성분이 산화 아연인 타깃, 또는 산화물 반도체의 성막을 위하여 의도되고, In, Ga 및 Zn을 함유하는(조성비는 In_2O_3:Ga_2O_3:ZnO=1:1:1(몰비)) 타깃일 수 있다. 산화물 반도체의 성막을 위하여 의도되고, In, Ga 및 Zn을 함유하는 타깃의 조성비는 In_2O_3:Ga_2O_3:ZnO=1:1:2(몰비) 또는 In_2O_3:Ga_2O_3:ZnO=1:1:4(몰비)일 수 있다. 산화물 반도체의 성막을 위하여 의도된 타깃의 충전율은 90% 내지 100%, 바람직하게는 95% 내지 99.9%이다. 산화물 반도체의 성막을 위하여 의도된 높은 충전율의 타깃은 치밀한 산화물 반도체층을 제공한다.

[0094] 성막을 위한 분위기는 바람직하게는 희가스(일반적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(일반적으로 아르곤)와 산소의 혼합 분위기이다. 구체적으로, 불순물, 예컨대 수소, 물, 수산기, 및 수소화물의 농도가 대략 수 ppm(바람직하게는 수 ppb)으로 감소한 고순도 가스가 바람직하다.

[0095] 산화물 반도체층의 성막을 위하여, 기판은 감압 상태로 챔버에 세팅하고, 기판 온도는 100℃ 내지 600℃, 바람직하게는 200℃ 내지 400℃로 이루어지도록 세팅한다. 기판을 가열하면서 성막하는 것은 성막된 산화물 반도체층에 함유된 불순물의 농도를 감소시키고, 또한 스퍼터링에 기인한 층에 대한 손상을 감소시킨다. 이어서, 금속 산화물을 타깃으로서 사용하는 처리 챔버에 수소 및 수분이 제거된 스퍼터링 가스를 도입함과 동시에 처리 챔버에 남아있는 수분을 제거하여 산화물 반도체층을 형성한다. 처리 챔버의 잔류 수분을 제거하기 위하여 바람직하게는 수착 진공 펌프를 사용한다. 크라이오펌프(cryopump), 이온 펌프, 또는 티타늄 서블리메이션(sublimation) 펌프를 사용할 수 있다. 배기 유닛은 콜드 트랩(cold trap)을 구비한 터보 펌프일 수 있다. 크라이오펌프로 배기할 때 성막 챔버로부터 수소 원자, 수소 원자를 함유하는 화합물, 예컨대 물(H_2O)(더욱 바람직하게는 탄소 원자를 함유하는 화합물) 등을 제거하고, 이로 인해 성막 챔버에서 형성된 산화물 반도체층의 불순물 농도를 감소시킨다.

[0096] 예를 들어, 성막 조건은 다음과 같은데, 기판과 타깃 사이의 거리는 100㎜이고, 압력은 0.6Pa이고, 직류(DC) 전력은 0.5㎾이고, 분위기는 산소 분위기(산소 유량의 산소 백분율은 100%임)이다. 펄스 직류(DC) 전원의 사용은 성막 시 발생하는 분말 물질(파티클 또는 분진으로도 칭함)을 줄인다는 점에서 그리고 막 두께를 고르게 한다는 점에서 바람직함을 알아야 한다. 산화물 반도체층의 두께는 바람직하게는 2㎚ 내지 200㎚, 바람직하게는 5㎚ 내지 30㎚ 범위이다. 적절한 두께는 사용된 산화물 반도체 재료에 따라 변하고, 따라서 두께는 사용된 재료에 따라 적절히 선택함을 알아야 한다.

[0097] 산화물 반도체층을 스퍼터링법으로 형성하기 전에, 게이트 절연층(138)의 표면에 부착된 분진은 바람직하게는 아르곤 가스의 도입으로 플라즈마가 발생하는 역 스퍼터링법으로 제거함을 알아야 한다. 여기서, 역 스퍼터링법은 표면에 충돌하는 이온에 의해 표면의 품질을 개선하기 위한 방법을 의미하는 한편 일반적인 스퍼터링법은 스퍼터 타깃에 충돌하는 이온에 의해 이루어진다. 이온을 표면에 충돌시키기 위한 방법은 아르곤 분위기하에서 고주파 전압을 표면에 인가하고, 기판 부근에 플라즈마를 발생시키는 방법을 포함한다. 아르곤 분위기 대신 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있음을 알아야 한다.

[0098] 산화물 반도체층의 에칭은 건식 에칭 또는 습식 에칭일 수 있다. 물론, 에칭은 대안으로 건식 에칭과 습식 에칭의 조합일 수 있다. 재료를 원하는 형상으로 에칭하기 위하여 에칭 조건(예컨대 에칭 가스, 에천트, 에칭 시간, 및 온도)은 재료에 따라 적절히 조절한다.

[0099] 예를 들어, 염소를 함유하는 가스(염소계 가스, 예컨대 염소(Cl_2), 트리보론 클로라이드(BCl_3), 테트라실리콘 클로라이드($SiCl_4$), 또는 테트라카본 테트라클로라이드(CCl_4))를 건식 에칭을 위한 에칭 가스로서 사용할 수 있다.

대안으로, 불소를 함유하는 가스(불소계 가스, 예컨대 탄소 테트라플루오라이드(CF_4), 황 플루오라이드(SF_6), 질소 플루오라이드(NF_3), 또는 트리플루오로메탄(CHF_3)); 수소 브로마이드(HBr); 산소(O_2); 이러한 가스에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스를 첨가한 임의의 가스 등을 사용할 수 있다.

[0100] 건식 에칭으로서, 평행 평판형 RIE(반응성 이온 에칭) 또는 ICP(유도 결합 플라즈마) 에칭을 이용할 수 있다. 막을 원하는 형상으로 에칭하기 위하여 에칭 조건(코일 형상 전극에 인가되는 전력량, 기판 측 전극에 인가되는 전력량, 기판 측 전극의 온도 등)은 적절히 조절한다.

[0101] 습식 에칭에 사용하는 에천트로서, 인산, 아세트산, 및 질산의 혼합 용액 등을 사용할 수 있다. 대안으로, ITO07N(Kanto Chemical Co., Inc.) 등을 사용할 수 있다.

[0102] 다음으로, 산화물 반도체층을 제1 가열 처리한다. 제1 가열 처리는 산화물 반도체층이 탈수화 또는 탈수소화되게 한다. 제1 가열 처리를 위한 온도는 300℃ 내지 750℃로 이루어지고, 바람직하게는 400℃ 이상 기판의 왜곡점(strain point) 미만이다. 예를 들어, 저항 발열체 등을 사용하는 전기로에 기판을 도입하고, 산화물 반도체층(140)을 질소 분위기하에서 450℃에서 1시간 동안 가열 처리한다. 처리중에, 산화물 반도체층(140)을 대기에 노출하지 않아 대기에 존재하는 물 또는 수소에 의한 오염을 방지한다.

[0103] 가열 처리 장치는 전기로에 한정하지 않고, 가열 처리 장치는 가열된 가스 등과 같은 매체에 의해 제공된 열 전도 또는 열 복사를 이용하여 대상을 가열하는 장치일 수 있다. 예를 들어, RTA(금속 열 어닐링) 장치, 예컨대 GRTA(가스 급속 열 어닐링) 장치 또는 LRTA(램프 급속 열 어닐링) 장치가 적용가능하다. LRTA 장치는 램프, 예컨대 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사로 대상을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 수행하는 장치이다. 가열 처리 동안에도 대상과 반응하지 않는 불활성 가스, 예컨대 질소 또는 아르곤과 같은 희가스를 사용한다.

[0104] 예를 들어, 제1 가열 처리는 GRTA를 이용할 수 있는데, 기판을 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 이동시키고, 수 분 동안 가열하고, 이어서 기판을 불활성 가스로부터 이동시킨다. GRTA는 단시간 고온 가열 처리를 가능하게 한다. 또한, 이러한 단시간 가열 처리는 기판의 왜곡점을 초과하는 온도에서도 적용가능하다.

[0105] 제1 가열 처리에서는 바람직하게는 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로서 함유하고, 물, 수소 등을 함유하지 않는 분위기를 이용함을 알아야 한다. 예를 들어, 가열 처리 장치에 도입하는 질소 또는 희가스, 예컨대 헬륨, 네온, 또는 아르곤의 순도는 바람직하게는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하임)이다.

[0106] 산화물 반도체층은 제1 가열 처리의 조건 및 산화물 반도체층의 조성에 따라 미정질 또는 다결정으로 결정화된다. 예를 들어, 산화물 반도체층은 몇몇 경우에서 90% 이상 또는 80% 이상의 결정화 등급을 갖는 미정질 산화물 반도체층으로 결정화된다. 또한, 산화물 반도체층은 제1 가열 처리의 조건 및 산화물 반도체층의 조성에 따라 결정 성분을 함유하지 않는 비정질 산화물 반도체층이 된다.

[0107] 몇몇 경우, 산화물 반도체층은 비정질 산화물 반도체(예를 들어, 산화물 반도체층의 표면)에 미정질 부분(1㎚ 내지 20㎚, 일반적으로 2㎚ 내지 4㎚의 입경을 가짐)이 혼합되어 있는 산화물 반도체층이 된다. 예를 들어, 산화물 반도체의 성막을 위하여 의도된 In-Ga-Zn-O계 타깃을 사용하여 산화물 반도체층을 형성하는 경우, 산화물 반도체층의 전기적 특성은 전기적 이방성을 갖는 $In_2Ga_2ZnO_7$의 결정립이 배열되어 있는 미정질 부분을 제공함으로써 변할 수 있다. $In_2Ga_2ZnO_7$의 결정립이 배열되어 있는 미정질 부분을 산화물 반도체층의 표면에 형성함으로써, 산화물 반도체층은 표면에 평행한 방향에서 향상된 전기 전도도를 나타내고, 표면에 수직인 방향에서 향상된 전기 저항률을 나타낸다. 또한, 이러한 미정질 부분은 물 및 수소와 같은 불순물이 산화물 반도체층에 침입하는 것을 방지하는 기능이 있다. 상술한 산화물 반도체층은 GRTA로 산화물 반도체층의 표면을 가열함으로써 얻을 수 있음을 알아야 한다. Zn보다 In 또는 Ga를 더욱 함유하는 스퍼터 타깃의 사용은 상술한 산화물 반도체층을 바람직한 방식으로 형성하게 한다.

[0108] 산화물 반도체층(140)에 수행한 제1 가열 처리는 섬 형상의 산화물 반도체층(140)으로 아직 가공되지 않은 산화물 반도체층에 수행할 수 있다. 이 경우, 제1 가열 처리 후 가열 처리 장치로부터 기판을 꺼내고, 이어서 포토리소그래피 공정을 수행한다.

[0109] 제1 가열 처리는 산화물 반도체층(140)을 탈수화 또는 탈수소화하는 데 효과적이기 때문에 탈수화 공정 또는 탈

수소화 공정으로도 부를 수 있음을 알아야 한다. 이러한 탈수화 공정 또는 탈수소화 공정은 산화물 반도체층을 형성한 후, 산화물 반도체층(140) 위에 소스 또는 드레인 전극층을 형성한 후, 또는 소스 또는 드레인 전극 위에 보호 절연층을 형성한 후 수행할 수 있다. 이러한 탈수화 공정 또는 탈수소화 공정은 1회 초과 수행할 수 있다.

[0110] 다음으로, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)은 산화물 반도체층(140)과 접하도록 형성한다(도 5의 F 참조). 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)은 도전층을 형성함으로써 형성하는데, 도전층으로 산화물 반도체층(140)을 덮고, 이어서 도전층을 선택적으로 에칭한다.

[0111] 도전층은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법으로 형성할 수 있다. 도전층을 위한 재료의 예는 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소; 및 임의의 이러한 원소를 성분으로서 포함하는 합금을 포함한다. 대안으로, 망간, 마그네슘, 지르코늄, 베릴륨, 및 토륨으로부터 선택된 하나 이상의 재료를 도전층에 사용할 수 있다. 대안으로, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소와 조합한 알루미늄을 도전층에 사용할 수 있다. 도전층은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예로서, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되어 있는 2층 구조, 제1 티타늄막, 알루미늄막, 및 제2 티타늄막이 이러한 순서로 적층되어 있는 3층 구조 등을 제공할 수 있다.

[0112] 여기서, 자외선, KrF 레이저 빔, 또는 ArF 레이저 빔은 바람직하게는 에칭 마스크를 제조하기 위한 노광에 이용한다. 트랜지스터의 채널 길이(L)는 산화물 반도체층(140) 위의 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 분리하는 거리에 의해 결정된다. 채널 길이(L)가 25㎚ 미만인 경우, 마스크를 제조하기 위한 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장의 극자외선(extreme ultraviolet) 범위에서 수행한다. 극자외선 범위에서의 노광은 높은 해상도 및 깊은 초점 깊이를 제공한다. 그러므로 나중에 형성되는 트랜지스터의 채널 길이(L)가 10㎚ 내지 1000㎚일 수 있고, 따라서 회로의 동작 속도가 증가할 수 있다. 또한, 오프-상태 전류가 매우 낮으므로, 미세 패터닝의 경우에도 전력 소비가 증가하지 않는다.

[0113] 도전층의 에칭 시 산화물 반도체층(140)이 제거되지 않을 수 있도록 각 재료 및 에칭 조건을 적절히 조절한다. 이 공정에서, 산화물 반도체층의 조성 및 에칭 조건에 따라 산화물 반도체층(140)을 부분적으로 에칭하여 그루브(오목부)를 갖는 산화물 반도체층이 될 수 있다.

[0114] 산화물 도전층은 산화물 반도체층(140)과 소스 또는 드레인 전극(142a) 사이 또는 산화물 반도체층(140)과 소스 또는 드레인 전극(142b) 사이에 형성할 수 있다. 산화물 도전층 및 소스 또는 드레인 전극(142a) 혹은 소스 또는 드레인 전극(142b)이 되는 금속층을 연속적으로 형성할 수 있다(연속 성막). 산화물 도전층은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층은 소스 영역 또는 드레인 영역의 전기적 저항의 감소를 야기하고, 따라서 트랜지스터의 고속 동작을 달성한다.

[0115] 제조 공정에 사용한 마스크의 수 또는 제조 공정의 수를 줄이기 위하여, 마스크에 의해 투과된 광이 복수의 세기를 갖도록 노광 마스크인 그레이-톤(gray-tone) 마스크에 의해 제조된 레지스트 마스크를 사용하여 에칭을 수행할 수 있다. 그레이-톤 마스크에 의해 제조된 레지스트 마스크는 복수의 두께를 갖고, 애싱(ashing)에 의해 형상을 더욱 변화시킬 수 있고, 따라서 이러한 레지스트 마스크는 상이한 패턴을 위한 복수의 에칭 공정에 사용할 수 있다. 즉, 적어도 둘 이상의 종류의 상이한 패턴에 적용가능한 레지스트 마스크는 단일 그레이-톤 마스크에 의해 제조될 수 있다. 이는 노광 마스크의 수 및 대응하는 포토리소그래피 공정의 수도 감소시키고, 이로 인해 공정을 간소화한다.

[0116] 상술한 공정 후, 바람직하게는 N_2O, N_2 및 Ar과 같은 가스를 사용하여 플라즈마 처리를 수행함을 알아야 한다. 플라즈마 처리는 산화물 반도체층의 노출된 표면에 부착된 물 등을 제거한다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용할 수 있다.

[0117] 다음으로, 형성 공정 동안 대기에 노출시키지 않으면서 산화물 반도체층(140)의 일부와 접하는 보호 절연층(144)을 형성한다(도 5의 G 참조).

[0118] 보호 절연층(144)은 1㎚ 이상의 두께로 형성하고, 물 또는 수소와 같은 불순물이 보호 절연층(144)에 침입하는 것을 방지하는 스퍼터링법과 같은 방법을 적절히 이용하여 형성할 수 있다. 보호 절연층(144)을 위한 재료의 예는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 및 질화 산화 실리콘을 포함한다. 그 구조는 단층 구조 또는 적층 구조일 수 있다. 보호 절연층(144)의 성막을 위한 기판 온도는 바람직하게는 실온 이상 300℃ 이하이다. 보호 절연층(144)의 성막을 위한 분위기는 바람직하게는 희가스(일반적으로 아르곤) 분위기, 산소 분위기

또는 희가스(일반적으로 아르곤)와 산소의 혼합 분위기이다.

[0119] 보호 절연층(144)에의 수소의 혼합은 수소에 의한 산화물 반도체층의 오염, 수소에 기인한 산화물 반도체층으로부터의 산소의 스트리핑(stripping) 등을 야기하고, 이로 인해 산화물 반도체층의 백채널(backchannel)의 저항이 감소할 수 있고, 기생 채널이 형성될 수 있다. 그러므로 보호 절연층(144)에의 수소의 침입을 최소화하기 위하여 보호 절연층(144)을 형성할 때 수소를 사용하지 않는 것이 중요하다.

[0120] 처리 챔버에 남아있는 수분을 제거하면서 보호 절연층(144)을 형성하는 것이 바람직하다. 이는, 수소, 수산기 또는 물이 산화물 반도체층(140) 및 보호 절연층(144)에 침입하는 것을 방지하기 위해서이다.

[0121] 처리 챔버에 남아있는 수분을 제거하기 위하여, 바람직하게는 수착 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛은 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프로 배기할 때 성막 챔버로부터 수소 원자, 수소 원자를 함유하는 화합물, 예컨대 물(H_2O) 등이 제거되고, 이로 인해 성막 챔버에서 형성된 보호 절연층(144)의 불순물 농도를 감소시킨다.

[0122] 보호 절연층(144)의 성막을 위한 스퍼터링 가스는 바람직하게는 수소, 물, 수산기 및 수소화물과 같은 불순물의 농도가 대략 수 ppm(바람직하게는 대략 수 ppb)으로 감소한 고순도 가스이다.

[0123] 다음으로, 제2 가열 처리는 바람직하게는 불활성 가스 분위기 또는 산소 가스 분위기(바람직하게는 200℃ 내지 400℃, 예를 들어 250℃ 내지 350℃에서)에서 수행한다. 예를 들어, 제2 가열 처리는 질소 분위기에서 250℃에서 1시간 동안 수행한다. 제2 가열 처리는 트랜지스터들 간의 전기적 특성의 변동을 줄일 수 있다.

[0124] 가열 처리는 대기에서 1시간 내지 30시간 동안 100℃ 내지 200℃에서 수행할 수 있다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있거나, 온도가 반복적으로 실온으로부터 100℃ 내지 200℃의 가열 온도로 상승하고 가열 온도로부터 실온으로 하강하는 온도 사이클을 따를 수 있다. 이러한 가열 처리는 감압하에서 보호 절연층의 성막 전에 수행할 수 있다. 감압하에서의 가열 처리는 가열 시간을 단축한다. 이러한 가열 처리는 제2 가열 처리 대신 또는 제2 가열 처리 후에 수행할 수 있음을 알아야 한다.

[0125] 다음으로, 보호 절연층(144) 위에 층간 절연층(146)을 형성한다(도 6의 A 참조). 층간 절연층(146)은 PVD법, CVD법 등으로 형성할 수 있다. 또한, 층간 절연층(146)은 무기 절연 재료, 예컨대 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 및 산화 탄탈을 함유하는 재료를 사용하여 형성할 수 있다. 층간 절연층(146)을 형성한 후, 그 표면은 바람직하게는 CMP, 에칭 등으로 평탄화한다.

[0126] 다음으로, 전극(136a), 전극(136b), 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)에 도달하는 개구를 층간 절연층(146), 보호 절연층(144) 및 게이트 절연층(138)에 형성한다. 이어서, 개구에 매립되도록 도전층(148)을 형성한다(도 6의 B 참조). 개구는 마스크를 사용한 에칭으로 형성할 수 있다. 마스크는 예를 들어 포토마스크를 사용한 노광에 의해 제조될 수 있다. 에칭으로서 습식 에칭 또는 건식 에칭을 이용할 수 있고, 미세 패터닝의 경우에는 바람직하게는 건식 에칭을 이용한다. 도전층(148)은 PVD법 및 CVD법과 같은 성막법으로 형성할 수 있다. 도전층(148)을 위한 재료의 예는 도전 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐; 및 임의의 이러한 재료의 합금 및 화합물(예를 들어 질화물)을 포함한다.

[0127] 구체적으로, 본 방법은 개구를 포함하는 영역에 PVD법으로 형성한 얇은 티타늄막, CVD법으로 형성한 얇은 질화 티타늄막, 및 개구를 충전하도록 형성한 텅스텐막을 사용할 수 있다. 여기서, PVD법으로 형성한 티타늄막은 하부 전극(여기서, 전극(136a), 전극(136b), 소스 또는 드레인 전극(142a), 혹은 소스 또는 드레인 전극(142b))과의 계면에서 산화물 막을 환원하는 기능이 있고, 따라서 하부 전극에 대한 접촉 저항을 감소시킨다. 나중에 형성되는 질화 티타늄막은 도전 재료의 확산을 차단하는 장벽 기능이 있다.

[0128] 도전층(148)을 형성한 후, 에칭 또는 CMP로 도전층(148)의 일부를 제거하고, 따라서 절연층(146)을 노출시켜 전극(150a), 전극(150b), 전극(150c), 및 전극(150d)을 형성한다(도 6의 C 참조). 도전층(148)의 일부를 제거함으로써 전극(150a), 전극(150b), 전극(150c), 및 전극(150d)을 형성하는 경우, 표면을 편평하게 가공하는 것이 바람직함을 알아야 한다. 층간 절연층(146), 전극(150a), 전극(150b), 전극(150c), 및 전극(150d)의 표면의 편평도의 이러한 개선을 통해 후속 공정에서 적절한 전극, 배선, 절연층, 반도체층 등을 형성할 수 있다.

[0129] 또한, 절연층(152)을 형성하고, 전극(150a), 전극(150b), 전극(150c), 및 전극(150d)에 도달하는 개구를 절연층(152)에 형성한다. 이어서, 개구를 매립하도록 도전층을 형성한다. 그 후, 에칭 또는 CMP로 도전층의 일부를

제거하고, 따라서 절연층(152)을 노출시켜 전극(154a), 전극(154b) 및 전극(154c)을 형성한다(도 6의 D 참조). 이러한 공정은 전술한 전극(150a) 등을 형성하는 공정과 유사하고, 그 세부 사항은 생략한다.

[0130] 상술한 방식으로 n형 트랜지스터(162)를 형성하는 경우, 산화물 반도체층(140)의 수소 농도는 5×10^{19} 원자/㎤ 이하이고, n형 트랜지스터(162)의 오프-상태 전류는 1×10^{-13}A 이하, 바람직하게는 100zA/㎛ 이하이다. 수소 농도의 적절한 감소로 생성된 고순도의 산화물 반도체층(140)을 사용하는 것은 우수한 특성을 갖는 n형 트랜지스터(162)를 제공하고, 또한 하부에 p형 트랜지스터를 구비하고, 상부에 산화물 반도체를 사용하는 n형 트랜지스터를 구비하는, 우수한 특성을 갖는 반도체 장치를 제공한다.

[0131] 산화물 반도체 외의 재료를 사용하는 트랜지스터와 산화물 반도체를 사용하는 트랜지스터의 조합은 산화물 반도체를 사용하는 트랜지스터들의 전기적 특성과는 상이한 전기적 특성(예를 들어, 소자의 작용에 영향을 미치는 캐리어 특성의 차이점)이 필요한 반도체 장치의 제조를 가능하게 한다.

[0132] 산화물 반도체를 사용하는 트랜지스터는 양호한 스위칭 특성을 갖고, 따라서 이러한 특성을 이용하는 우수한 반도체 장치를 제조할 수 있다. 예를 들어, CMOS 인버터 회로는 관통 전류를 적절하게 감소시킬 수 있어, 반도체 장치의 소비 전력을 줄이고, 강전류에 기인한 반도체 장치에 대한 손상을 방지한다. 한편, 산화물 반도체를 사용하는 트랜지스터는 매우 낮은 오프-상태 전류를 갖고, 이로 인해 반도체 장치의 소비 전력을 줄인다.

[0133] 본 실시형태에서, p형 트랜지스터(160) 및 n형 트랜지스터(162)가 적층되어 있는 경우를 예로서 기술하지만, 본 실시형태에 따른 반도체 장치는 이에 한정하지 않고, p형 트랜지스터(160) 및 n형 트랜지스터(162)는 동일한 기판 위에 형성할 수 있음을 알아야 한다. 또한, 본 실시형태에서, p형 트랜지스터(160)의 채널 길이 방향이 n형 트랜지스터(162)의 채널 길이 방향에 수직인 경우를 예로서 기술하지만, p형 트랜지스터(160)와 n형 트랜지스터(162) 간의 물리적 관계는 이에 한정하지 않는다. 또한, p형 트랜지스터(160) 및 n형 트랜지스터(162)는 서로 겹칠 수 있다.

[0134] 본 실시형태에서 기술한 방법 및 구조는 다른 실시형태에서 기술하는 임의의 방법 및 구조와 적절히 조합할 수 있다.

[0135] (실시형태 2)

[0136] 본 실시형태에서, 본 발명의 또 다른 실시형태에 따른 반도체 장치의 구조는 도 7a 및 7b와 도 8을 참조하여 설명한다. 본 실시형태에서, 메모리 소자로서 사용할 수 있는 반도체 장치의 구조를 기술함을 알아야 한다.

[0137] 도 7a는 본 실시형태에 따른 반도체 장치의 단면도를 도시한다. 도 7b는 본 실시형태에 따른 반도체 장치의 평면도를 도시한다. 여기서, 도 7a는 도 7b의 부분 E1-E2 및 부분 F1-F2를 도시한다. 도 7a 및 도 7b에 도시한 반도체 장치는 산화물 반도체 외의 재료를 사용하여 형성한 트랜지스터(260)를 하부에 그리고 산화물 반도체를 사용하여 형성한 트랜지스터(262)를 상부에 포함한다.

[0138] 산화물 반도체 외의 재료를 사용하는 트랜지스터(260)는, 반도체 재료를 함유하는 기판(200) 내의 채널 형성 영역(216), 채널 형성 영역(216)이 그 사이에 개재되어 있고, 집합적으로는 간단히 불순물 영역들로 불리는 불순물 영역(214)들 및 고농도 도핑된 영역(220)들, 채널 형성 영역(216) 위의 게이트 절연층(208a); 게이트 절연층(208a) 위의 게이트 전극(210a); 채널 형성 영역(216)의 한쪽에 있는 제1 불순물 영역(214)에 전기적으로 접속하는 소스 또는 드레인 전극(230a); 및 채널 형성 영역(216)의 또 다른 쪽에 있는 제2 불순물 영역(214)에 전기적으로 접속하는 소스 또는 드레인 전극(230b)을 포함한다. 바람직하게는, 소스 또는 드레인 전극(230a)은 채널 형성 영역(216)의 한쪽에 있는 제1 금속 화합물 영역(224)을 통해 채널 형성 영역(216)의 한쪽에 있는 제1 불순물 영역(214)에 전기적으로 접속되어 있고, 소스 또는 드레인 전극(230b)은 채널 형성 영역(216)의 다른 쪽에 있는 제2 금속 화합물 영역(224)을 통해 채널 형성 영역(216)의 다른 쪽에 있는 제2 불순물 영역(214)에 전기적으로 접속되어 있음을 알아야 한다. 상술한 바와 같이, 트랜지스터(260)의 구조는 실시형태 1에서 기술한 p형 트랜지스터(160)의 구조와 유사하고, 따라서 트랜지스터(260)의 다른 세부 사항은 실시형태 1을 참조할 수 있다. 트랜지스터(260)는 p형 트랜지스터 또는 n형 트랜지스터일 수 있음을 알아야 한다.

[0139] 산화물 반도체를 사용하는 트랜지스터(262)는, 절연층(228) 위의 게이트 전극(236c), 게이트 전극(236c) 위의 게이트 절연층(238), 게이트 절연층(238) 위의 산화물 반도체층(240), 및 산화물 반도체층(240) 위에서 산화물 반도체층(240)에 전기적으로 접속되어 있는 소스 또는 드레인 전극(242a 및 242b)을 포함한다. 상술한 바와 같이, 트랜지스터(262)의 구조는 실시형태 1에서 기술한 n형 트랜지스터(162)의 구조와 유사하고, 따라서 트랜지스터(262)의 다른 세부 사항은 실시형태 1을 참조할 수 있다. 트랜지스터(262)는 n형 트랜지스터 또는 p형 트

랜지스터일 수 있음을 알아야 한다.

[0140] 다음으로, 트랜지스터(260)와 트랜지스터(262)의 전기적 접속을 설명한다. 트랜지스터(260)의 소스 또는 드레인 전극(230a)은 전극(236a), 전극(250a), 전극(254a) 등을 통해 제1 배선에 전기적으로 접속되어 있다. 트랜지스터(260)의 소스 또는 드레인 전극(230b)은 전극(236b), 전극(250b), 전극(254b) 등을 통해 제2 배선에 전기적으로 접속되어 있다.

[0141] 트랜지스터(262)의 소스 또는 드레인 전극(242a)은 전극(250d), 전극(254c), 전극(250c), 전극(236b), 전극(230c)을 통해 트랜지스터(260)의 게이트 전극(210a)에 전기적으로 접속되어 있다. 트랜지스터(262)의 소스 또는 드레인 전극(242b)은 전극(250e), 전극(254d) 등을 통해 제3 배선에 전기적으로 접속되어 있다.

[0142] 도 7a 및 7b에서, 소자 분리 절연층(206)은 실시형태 1의 소자 분리 절연층(106)에; 측벽 절연층(218)은 실시형태 1의 측벽 절연층(118)에; 층간 절연층(226)은 실시형태 1의 층간 절연층(126)에; 절연층(232)은 실시형태 1의 절연층(132)에; 보호 절연층(244)은 실시형태 1의 보호 절연층(144)에; 층간 절연층(246)은 실시형태 1의 층간 절연층(146)에; 절연층(252)은 실시형태 1의 절연층(152)에 대응함을 알아야 한다.

[0143] 도 8은 상술한 반도체 장치를 메모리 소자로서 사용하는 회로도의 예를 도시한다.

[0144] 산화물 반도체 외의 재료를 사용하는 트랜지스터(260)의 소스 전극은 제1 소스 배선(Source 1)에 전기적으로 접속되어 있다. 산화물 반도체 외의 재료를 사용하는 트랜지스터(260)의 드레인 전극은 드레인 배선(Drain)에 전기적으로 접속되어 있다. 산화물 반도체 외의 재료를 사용하는 트랜지스터(260)의 게이트 전극은 산화물 반도체를 사용하는 트랜지스터(262)의 드레인 전극에 전기적으로 접속되어 있다.

[0145] 산화물 반도체를 사용하는 트랜지스터(262)의 소스 전극은 제2 소스 배선(Source 2)에 전기적으로 접속되어 있다. 산화물 반도체를 사용하는 트랜지스터(262)의 게이트 전극은 게이트 배선(Gate)에 전기적으로 접속되어 있다.

[0146] 여기서, 산화물 반도체를 사용하는 트랜지스터(262)는 매우 낮은 오프-상태 전류를 특징으로 한다. 그러므로 트랜지스터(262)를 오프 상태로 하는 경우, 트랜지스터(260)의 게이트 전극의 전위는 매우 긴 시간 동안 유지될 수 있다.

[0147] 반도체 장치는 게이트 전극의 전위를 유지하는 트랜지스터(262)의 특성을 이용함으로써, 예를 들어 다음의 동작을 수행함으로써 메모리 소자로서 기능할 수 있다. 우선, 게이트 배선(Gate)의 전위는 트랜지스터(262)를 온 상태로 하는 전위가 되고, 따라서 트랜지스터(262)가 온 상태로 된다. 이는, 제2 소스 배선(Source 2)의 전위를 트랜지스터(260)의 게이트 전극에 인가하게 한다(기입 동작). 그 후, 게이트 배선(Gate)의 전위는 트랜지스터(262)를 오프 상태로 하는 전위가 되고, 따라서 트랜지스터(262)가 오프 상태로 된다.

[0148] 트랜지스터(262)의 오프-상태 전류가 매우 낮으므로, 트랜지스터(260)의 게이트 전극의 전위는 매우 긴 시간 동안 유지될 수 있다. 구체적으로, 예를 들어 트랜지스터(260)의 게이트 전극의 전위가 트랜지스터(260)를 온 상태로 하는 전위인 경우, 트랜지스터(260)는 긴 시간 동안 온 상태로 유지된다. 한편, 트랜지스터(260)의 게이트 전극의 전위가 트랜지스터(260)를 오프 상태로 하는 전위인 경우, 트랜지스터(260)는 긴 시간 동안 오프 상태로 유지된다.

[0149] 그러므로 드레인 배선(Drain)의 전위 값은 트랜지스터(260)의 게이트 전극에 의해 유지되는 전위에 따라 변한다. 예를 들어, 트랜지스터(260)의 게이트 전극의 전위가 트랜지스터(260)를 온 상태로 하는 전위인 경우 트랜지스터(260)는 온 상태로 유지되고, 따라서 드레인 배선(Drain)의 전위는 제1 소스 배선(Source 1)의 전위와 동일하게 된다. 상술한 바와 같이, 드레인 배선(Drain)의 전위 값은 트랜지스터(260)의 게이트 전극의 전위에 따라 변하고, 반도체 장치는 이러한 변경 값을 판독함으로써(판독 동작) 메모리 소자로서 기능한다.

[0150] 본 실시형태에 따른 반도체 장치는 트랜지스터(262)의 오프-상태 전류 특성을 이용하여 매우 긴 시간 동안 데이터를 유지할 수 있기 때문에 실질적인 비휘발성 메모리 소자로서 사용할 수 있다.

[0151] 본 실시형태에서, 이해의 용이함을 위하여 메모리 소자의 기본 단위만을 기술하지만, 반도체 장치의 구조는 이에 한정하지 않음을 알아야 한다. 서로 적절하게 상호접속된 복수의 메모리 소자를 구비한 더욱 발전한 반도체 장치를 또한 제조할 수 있다. 예를 들어, 하나 초과의 상술한 메모리 소자를 사용함으로써 NAND형 또는 NOR형 반도체 장치를 제조할 수 있다. 또한, 배선 접속은 도 8의 배선 접속에 한정하지 않고, 적절히 변경할 수 있다.

[0152] 상술한 바와 같이, 본 발명의 한 실시형태는 트랜지스터(262)의 오프-상태 전류 특성을 이용하여 실질적으로 비휘발성 메모리 소자를 형성한다. 따라서, 본 발명의 한 실시형태는 새로운 구조를 구비한 반도체 장치를 제공한다.

[0153] 본 실시형태에서 기술한 방법 및 구조는 다른 실시형태에서 기술하는 임의의 방법 및 구조와 적절히 조합할 수 있다.

[0154] (실시형태 3)

[0155] 본 실시형태에서, 본 발명의 또 다른 실시형태에 따른 반도체 장치의 구조는 도 9a 및 9b와 도 10을 참조하여 설명한다. 본 실시형태에서, 메모리 소자로서 사용할 수 있는 반도체 장치의 구조를 기술함을 알아야 한다.

[0156] 도 9a는 본 실시형태에 따른 반도체 장치의 단면도를 도시한다. 도 9b는 본 실시형태에 따른 반도체 장치의 평면도를 도시한다. 여기서, 도 9a는 도 9b의 부분 G1-G2 및 부분 H1-H2을 도시한다. 도 9a 및 도 9b에 도시한 반도체 장치는 산화물 반도체 외의 재료를 사용하여 형성한 p형 트랜지스터(460) 및 n형 트랜지스터(464)를 하부에 포함하고, 산화물 반도체를 사용하는 트랜지스터(462)를 상부에 포함한다.

[0157] 산화물 반도체 외의 재료를 사용하여 형성한 p형 트랜지스터(460) 및 n형 트랜지스터(464)는 실시형태 1 및 2의 p형 트랜지스터(160), 트랜지스터(260) 등과 유사한 구조를 갖는다. 산화물 반도체를 사용하는 트랜지스터(462)는 실시형태 1 및 2의 n형 트랜지스터(162), 트랜지스터(262) 등과 유사한 구조를 갖는다. 그러므로 이러한 트랜지스터의 구성 요소들은 실시형태 1 및 2의 트랜지스터의 구성 요소들에 또한 기초한다. 세부 사항은 실시형태 1 및 2를 참조할 수 있다.

[0158] 도 9a 및 9b에서, 기판(400)은 실시형태 1의 기판(100)에; 소자 분리 절연층(406)은 실시형태 1의 소자 분리 절연층(106)에; 게이트 절연층(408a)은 실시형태 1의 게이트 절연층(108a)에; 게이트 전극(410a)은 실시형태 1의 게이트 전극(110a)에; 게이트 배선(410b)은 실시형태 1의 게이트 배선(110b)에; 불순물 영역(414)은 실시형태 1의 불순물 영역(114)에; 채널 형성 영역(416)은 실시형태 1의 채널 형성 영역(116)에; 측벽 절연층(418)은 실시형태 1의 측벽 절연층(118)에; 고농도 도핑된 영역(420)은 실시형태 1의 고농도 도핑된 영역(120)에; 금속 화합물 영역(424)은 실시형태 1의 금속 화합물 영역(124)에; 층간 절연층(426)은 실시형태 1의 층간 절연층(126)에; 층간 절연층(428)은 실시형태 1의 층간 절연층(128)에; 소스 또는 드레인 전극(430a)은 실시형태 1의 소스 또는 드레인 전극(130a)에; 소스 또는 드레인 전극(430b)은 실시형태 1의 소스 또는 드레인 전극(130b)에; 소스 또는 드레인 전극(430c)은 실시형태 2의 소스 또는 드레인 전극(130e)에 대응함을 알아야 한다.

[0159] 또한, 절연층(432)은 실시형태 1의 절연층(132)에; 전극(436a)은 실시형태 1의 전극(136a)에; 전극(436b)은 실시형태 1의 전극(136b)에; 게이트 전극(436c)은 실시형태 1의 게이트 전극(136c)에; 게이트 절연층(438)은 실시형태 1의 게이트 절연층(138)에; 산화물 반도체층(440)은 실시형태 1의 산화물 반도체층(140)에; 소스 또는 드레인 전극(442a)은 실시형태 1의 소스 또는 드레인 전극(142a)에; 소스 또는 드레인 전극(442b)은 실시형태 1의 소스 또는 드레인 전극(142b)에; 보호 절연층(444)은 실시형태 1의 보호 절연층(144)에; 층간 절연층(446)은 실시형태 1의 층간 절연층(146)에; 전극(450a)은 실시형태 1의 전극(150a)에; 전극(450b)은 실시형태 1의 전극(150b)에; 전극(450c)은 실시형태 1의 전극(150b)에; 전극(450d)은 실시형태 1의 전극(150c)에; 전극(450e)은 실시형태 1의 전극(150d)에; 절연층(452)은 실시형태 1의 절연층(152)에; 전극(454a)은 실시형태 1의 전극(154a)에; 전극(454b)은 실시형태 1의 전극(154b)에; 전극(454c)은 실시형태 1의 전극(154b)에; 전극(454d)은 실시형태 1의 전극(154c)에 대응한다.

[0160] 본 실시형태에 따른 반도체 장치는 트랜지스터(462)의 드레인 전극, p형 트랜지스터(460)의 게이트 전극, 및 n형 트랜지스터(464)의 게이트 전극이 서로 전기적으로 접속되어 있다는 점에서 실시형태 1 또는 2에 따른 반도체 장치와 상이하다(도 9a 및 9b 참조). 이러한 구조는 CMOS 인버터 회로의 입력 신호(INPUT)를 일시적으로 유지하게 한다.

[0161] 본 실시형태에서 기술한 방법 및 구조는 다른 실시형태에서 기술하는 임의의 방법 및 구조와 적절히 조합할 수 있다.

[0162] (실시형태 4)

[0163] 본 실시형태에서, 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치를 장착한 전자 기기의 예는 도 11의 A 내지 F를 참조하여 설명한다. 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치는 양호한 스위칭 특성을 갖는 산화물 반도체를 사용하는 트랜지스터를 포함하고, 따라서 전자 기기의 전력 소비를 줄일 수

있다. 또한, 산화물 반도체의 특성을 이용하는 새로운 구조를 갖는 반도체 장치(예를 들어, 메모리 소자)는 새로운 구조를 갖는 기기의 달성을 가능하게 한다. 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치는 단독으로 또는 다른 구성 요소와 집적하여 회로 기판 등에 장착할 수 있고, 따라서 전자 기기로 구성될 수 있음을 알아야 한다.

[0164] 많은 경우, 반도체 장치가 집적되어 있는 집적 회로는 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치 외에 다양한 회로 컴포넌트, 예컨대 저항기, 커패시터, 및 코일을 포함한다. 집적 회로의 예는 연산 회로, 변환 회로, 증폭 회로, 메모리 회로, 및 임의의 이러한 회로에 관한 회로가 고도로 집적되어 있는 회로이다. MPU(마이크로프로세서 유닛) 및 CPU(중앙 처리 유닛)는 상술한 예 중 전형적인 예라고 말할 수 있다.

[0165] 반도체 장치는 표시 장치의 스위칭 소자 등에 적용가능하다. 이 경우, 반도체 장치 및 구동 회로는 바람직하게는 동일한 기판 위에 제공한다. 물론, 반도체 장치를 표시 장치의 구동 회로를 위해서만 또한 사용할 수 있다.

[0166] 도 11의 A는 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 노트북 PC를 도시한다. 노트북 PC는 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함한다.

[0167] 도 11의 B는 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 휴대 정보 단말기(PDA)를 도시한다. 휴대 정보 단말기는 표시부(313)를 구비한 본체(311), 외부 인터페이스(315), 조작 키(314) 등을 포함한다. 또한, 휴대 정보 단말기는 조작을 위한 액세서리인 스타일러스(312)를 포함한다.

[0168] 도 11의 C는 실시형태 1, 2 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 전자 페이퍼의 예인 전자북(320)을 도시한다. 전자북(320)은 하우징(321) 및 하우징(323)의 2개의 하우징을 포함한다. 하우징(321)은 힌지(337)로 하우징(323)과 결합하고, 따라서 전자북(320)은 힌지(337)를 축으로서 사용하여 개폐할 수 있다. 이러한 구조는 종이책의 용도와 동일한 전자북(320)의 용도를 가능하게 한다.

[0169] 하우징(321)은 표시부(325)를 포함하고, 하우징(323)은 표시부(327)를 포함한다. 표시부(325) 및 표시부(327)는 연속 화상 또는 상이한 화상을 표시할 수 있다. 상이한 화면을 표시하기 위한 구조는 우측 표시부(도 11의 C에서 표시부(325))에 텍스트를 표시하게 하고, 좌측 표시부(도 11의 C에서 표시부(327))에 화상을 표시하게 한다.

[0170] 도 11의 C는 하우징(321)이 조작부를 포함하는 경우의 예를 도시한다. 예를 들어, 하우징(321)은 전원 버튼(331), 조작 키(333), 스피커(335) 등을 포함한다. 조작 키(333)는 페이지를 넘길 수 있다. 키보드, 포인팅 디바이스 등은 표시부와 동일한 면에 또한 제공할 수 있음을 알아야 한다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 각종 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등은 하우징의 뒷면 또는 측면에 제공할 수 있다. 전자북(320)은 또한 전자 사전으로서 기능할 수 있다.

[0171] 또한, 전자북(320)은 무선으로 정보를 송신 및 수신할 수 있다. 무선 통신으로, 전자북 서버로부터 원하는 책 데이터 등을 구입 및 다운로드할 수 있다.

[0172] 전자 페이퍼는 데이터를 표시한다면 모든 분야의 전지 기기에 사용할 수 있음을 알아야 한다. 예를 들어, 데이터를 표시하기 위하여, 전자 페이퍼는 전자북 외에 포스터, 기차와 같은 운송수단의 광고, 신용 카드와 같은 각종 카드 등에 적용할 수 있다.

[0173] 도 11의 D는 실시형태 1, 2, 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 휴대 전화를 도시한다. 휴대 전화는 하우징(340) 및 하우징(341)의 2개의 하우징을 포함한다. 하우징(341)은 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라 렌즈(347), 외부 접속 단자(348) 등을 포함한다. 하우징(340)은 휴대 전화를 충전하는 태양 전지(349), 외부 메모리 슬롯(350) 등을 포함한다. 안테나는 하우징(341)에 포함되어 있다.

[0174] 표시 패널(342)은 터치 패널을 포함한다. 화상으로서 표시하는 복수의 조작 키(345)는 도 11의 D에서 점선으로 도시한다. 휴대 전화는 태양 전지(349)로부터 출력된 전압을 각 회로에 필요한 전압으로 증가시키기 위한 부스터 회로를 포함함을 알아야 한다. 휴대 전화는 상술한 구조 외에 비접촉 IC 칩, 소형 기록 장치 등이 형성되어 있는 구조를 가질 수 있다.

[0175] 표시 패널(342)의 표시 방향은 사용 형태에 따라 적절히 변한다. 또한, 카메라 렌즈(347)는 표시 패널(342)과 동일한 면에 제공하고, 따라서 휴대 전화는 영상 전화로서 사용할 수 있다. 스피커(343) 및 마이크로폰(344)은 음성 통화뿐만 아니라 영상 통화, 녹음, 및 음향 재생에 사용할 수 있다. 또한, 도 11의 D에서 접히지 않은 채로 도시되어 있는 하우징(340 및 341)은 슬라이딩(sliding)으로 서로 중첩될 수 있다. 따라서, 휴대 전화는 휴

대에 적합한 크기일 수 있다.

[0176] 외부 접속 단자(348)는 휴대 전화의 충전 및 휴대 전화와 퍼스널 컴퓨터 등의 데이터 통신을 가능하게 하는 AC 어댑터 및 다양한 케이블, 예컨대 USB 케이블에 접속가능하다. 또한, 외부 메모리 슬롯(350)에 기록 매체를 삽입함으로써, 대량의 데이터를 보존 및 이동시킬 수 있다. 휴대 전화는 상술한 점 외에 적외선 통신, 텔레비전 수신 등이 가능하다.

[0177] 도 11의 E는 실시형태 1, 2, 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 디지털 카메라를 도시한다. 디지털 카메라는 본체(361), 표시부 A(367), 접안부(363), 조작 스위치(364), 표시부 B(365), 배터리(366) 등을 포함한다.

[0178] 도 11의 F는 실시형태 1, 2, 및 3 중 임의의 실시형태에 따른 반도체 장치를 포함하는 텔레비전 세트이다. 텔레비전 세트(370)는 표시부(373)를 포함하는 하우징(371)을 구비한다. 화상은 표시부(373)에 표시할 수 있다. 여기서, 하우징(371)은 스탠드(375)로 지지한다.

[0179] 텔레비전 세트(370)는 하우징(371)에 포함된 조작 스위치 또는 원격 조작기(380)로 작동시킬 수 있다. 채널 및 음량은 원격 조작기(380)에 포함된 조작 키(379)로 조작할 수 있고, 표시부(373)에 표시하는 화상도 이와 같이 조작할 수 있다. 또한, 원격 조작기(380)는 원격 조작기(380)로부터의 데이터를 표시하는 표시부(377)를 구비할 수 있다.

[0180] 텔레비전 세트(370)는 바람직하게는 수신기, 모뎀 등을 포함함을 알아야 한다. 수신기는 텔레비전 세트(370)가 일반적인 텔레비전 방송을 수신하게 한다. 또한, 텔레비전 세트(370)는 모뎀을 통해 유선 또는 무선 접속으로 통신 네트워크에 접속하는 경우 단방향(송신자로부터 수신자에게) 또는 양방향(송신자와 수신자 사이, 또는 수신자들 사이 등) 데이터 통신이 가능하다.

[0181] 본 실시형태에서 기술한 방법 및 구조는 다른 실시형태에서 기술하는 임의의 방법 및 구조와 적절히 조합할 수 있다.

[0182] 본원은 그 전반적인 내용이 본원에 참조로서 포함되는, 일본특허청에 2009년 10월 21일에 출원한 일본특허출원 번호 2009-242689에 기초한다.

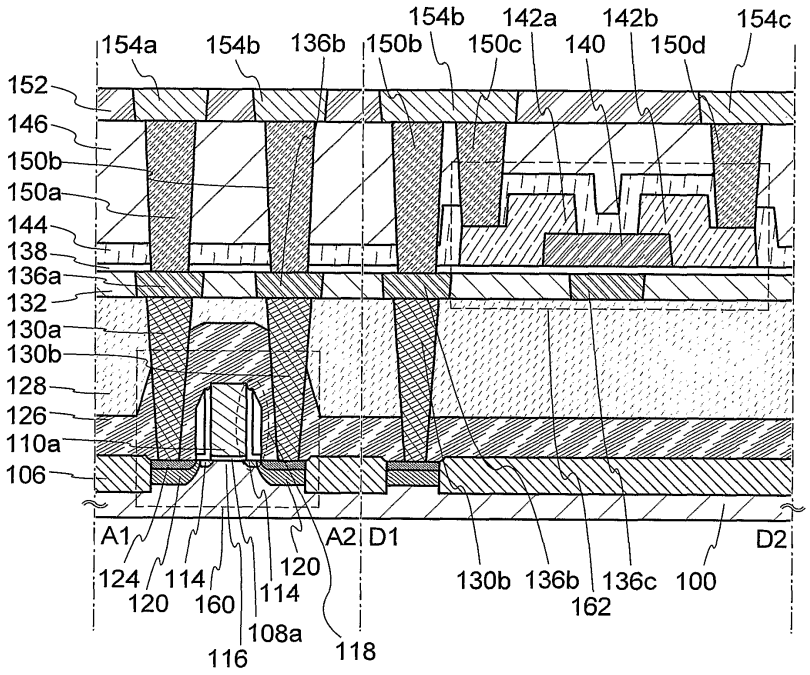
부호의 설명

[0183] 100: 기판, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 108b: 게이트 절연층, 110a: 게이트 전극, 110b: 게이트 배선, 110c: 배선, 112: 절연층, 114: 불순물 영역, 116: 채널 형성 영역, 118: 측벽 절연층, 120: 고농도 도핑된 영역, 122: 금속층, 124: 금속 화합물 영역, 126: 층간 절연층, 128: 층간 절연층, 130a: 소스 또는 드레인 전극, 130b: 소스 또는 드레인 전극, 130c: 소스 또는 드레인 전극, 130d: 소스 또는 드레인 전극, 130e: 전극, 132: 절연층, 134: 도전층, 136a: 전극, 136b: 전극, 136c: 게이트 전극, 136d: 전극, 136e: 전극, 136f: 게이트 전극, 138: 게이트 절연층, 140: 산화물 반도체층, 142a: 소스 또는 드레인 전극, 142b: 소스 또는 드레인 전극, 144: 보호 절연층, 146: 층간 절연층, 148: 도전층, 150a: 전극, 150b: 전극, 150c: 전극, 150d: 전극, 150e: 전극, 150f: 전극, 152: 절연층, 154a: 전극, 154b: 전극, 154c: 전극, 154d: 전극, 154e: 전극, 160: p형 트랜지스터, 162: n형 트랜지스터, 164: p형 트랜지스터, 166: n형 트랜지스터, 200: 기판, 206: 소자 분리 절연층, 208a: 게이트 절연층, 210a: 게이트 전극, 214: 불순물 영역, 216: 채널 형성 영역, 218: 측벽 절연층, 220: 고농도 도핑된 영역, 224: 금속 화합물 영역, 226: 층간 절연층, 228: 절연층, 230a: 소스 또는 드레인 전극, 230b: 소스 또는 드레인 전극, 230c: 전극, 232: 절연층, 236a: 전극, 236b: 전극, 236c: 게이트 전극, 238: 게이트 절연층, 240: 산화물 반도체층, 242a: 소스 또는 드레인 전극, 242b: 소스 또는 드레인 전극, 244: 보호 절연층, 246: 층간 절연층, 250a: 전극, 250b: 전극, 250c: 전극, 250d: 전극, 250e: 전극, 252: 절연층, 254a: 전극, 254b: 전극, 254c: 전극, 254d: 전극, 260: 트랜지스터, 262: 트랜지스터, 301: 본체, 302: 하우징, 303: 표시부, 304: 키보드, 311: 본체, 312: 스타일러스, 313: 표시부, 314: 조작 키, 315: 외부 인터페이스, 320: 전자북, 321: 하우징, 323: 하우징, 325: 표시부, 327: 표시부, 331: 전원 버튼, 333: 조작 키, 335: 스피커, 337: 힌지, 340: 하우징, 341: 하우징, 342: 표시 패널, 343: 스피커, 344: 마이크로폰, 345: 조작 키, 346: 포인팅 디바이스, 347: 카메라 렌즈, 348: 외부 접속 단자, 349: 태양 전지, 350: 외부 메모리 슬롯, 361: 본체, 363: 접안부, 364: 조작 스위치, 365: 표시부 B, 366: 배터리, 367: 표시부 A, 370: 텔레비전 세트, 371: 하우징, 373: 표시부, 375: 스탠드, 377: 표시부, 379: 조작 키, 380: 원격 조작기, 400: 기판, 406: 소자 분리 절연층, 408a: 게이트 절연층, 410a: 게이트 전극, 410b: 게이트 배선, 414: 불순물 영역, 416: 채널 형성 영역, 418: 측벽 절연층, 420: 고

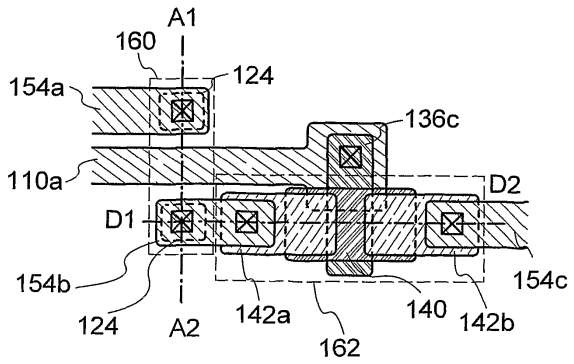
농도 도핑된 영역, 424: 금속 화합물 영역, 426: 층간 절연층, 428: 층간 절연층, 430a: 소스 또는 드레인 전극, 430b: 소스 또는 드레인 전극, 430c: 소스 또는 드레인 전극, 432: 절연층, 436a: 전극, 436b: 전극, 436c: 게이트 전극, 438: 게이트 절연층, 440: 산화물 반도체층, 442a: 소스 또는 드레인 전극, 442b: 소스 또는 드레인 전극, 444: 보호 절연층, 446: 층간 절연층, 450a: 전극, 450b: 전극, 450c: 전극, 450d: 전극, 450e: 전극, 452: 절연층, 454a: 전극, 454b: 전극, 454c: 전극, 454d: 전극, 460: p형 트랜지스터, 462: 트랜지스터, 464: n형 트랜지스터.

도면

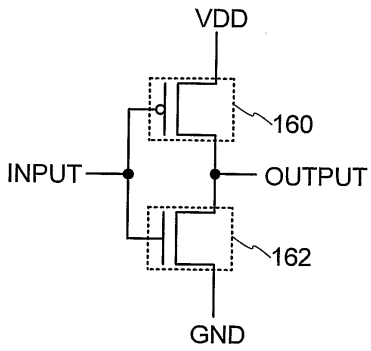
도면1a



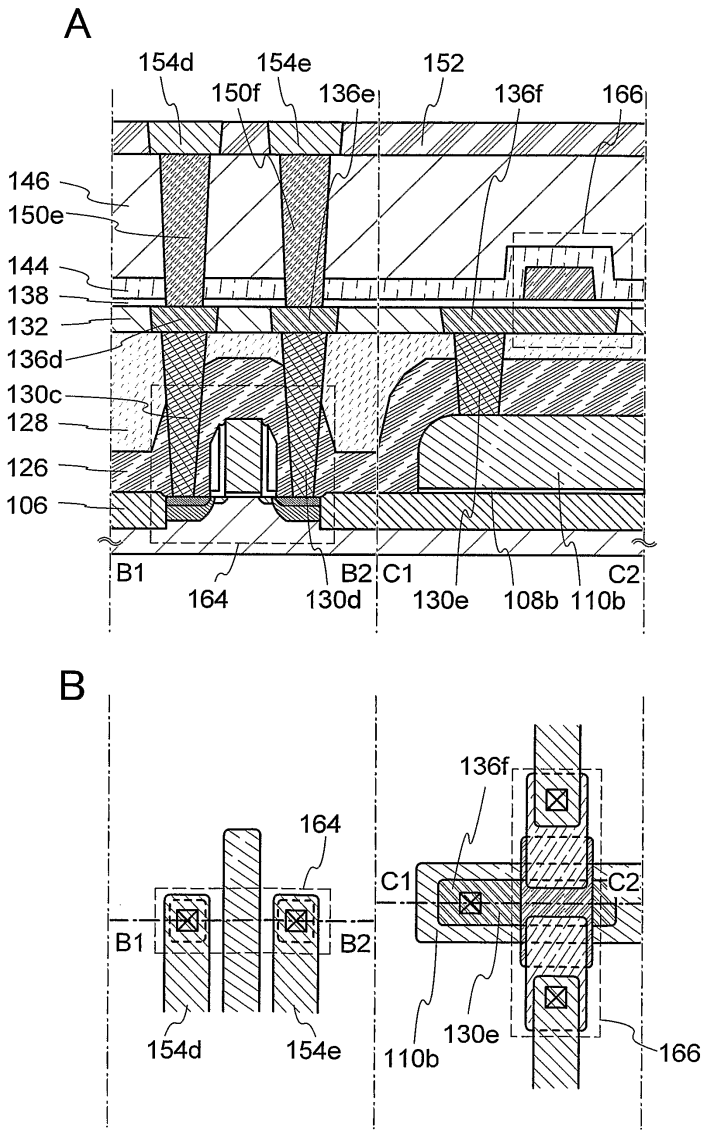
도면1b



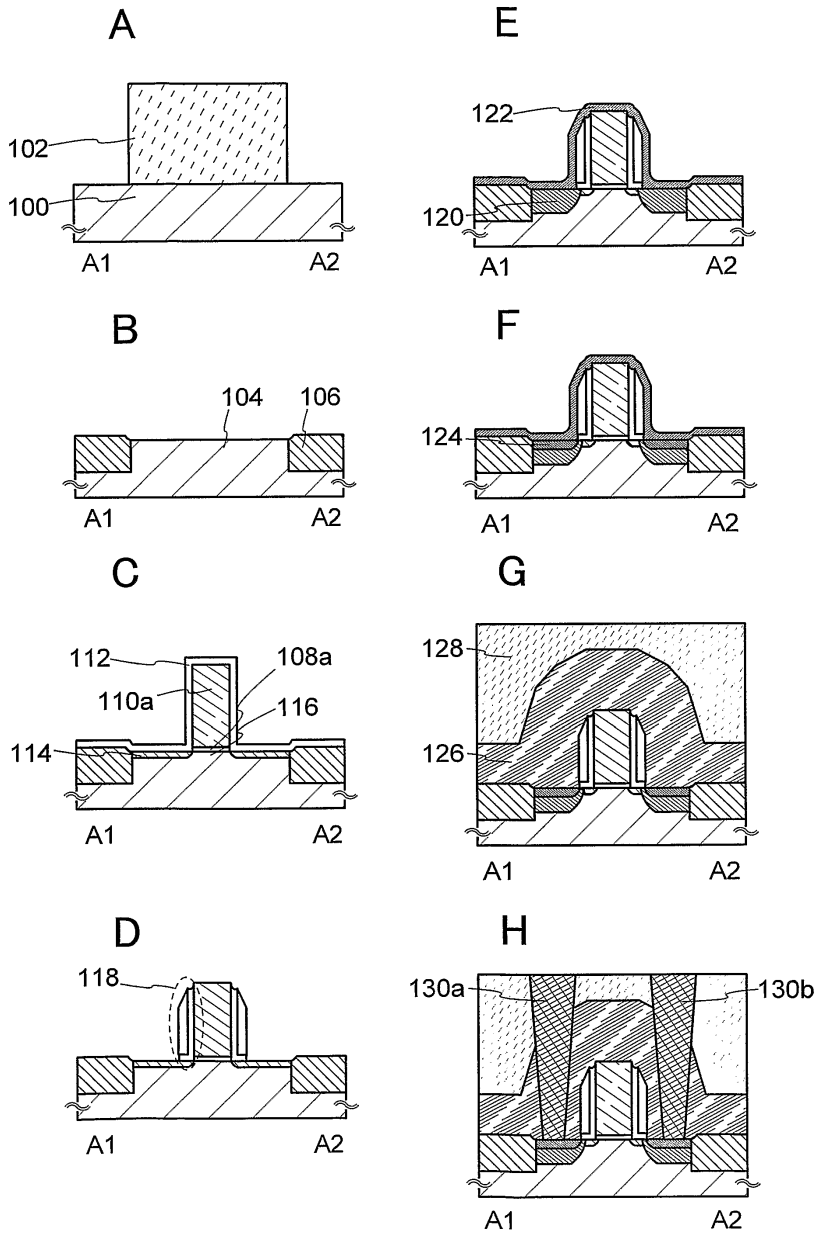
도면2


VDD
160
INPUT
OUTPUT
162
GND

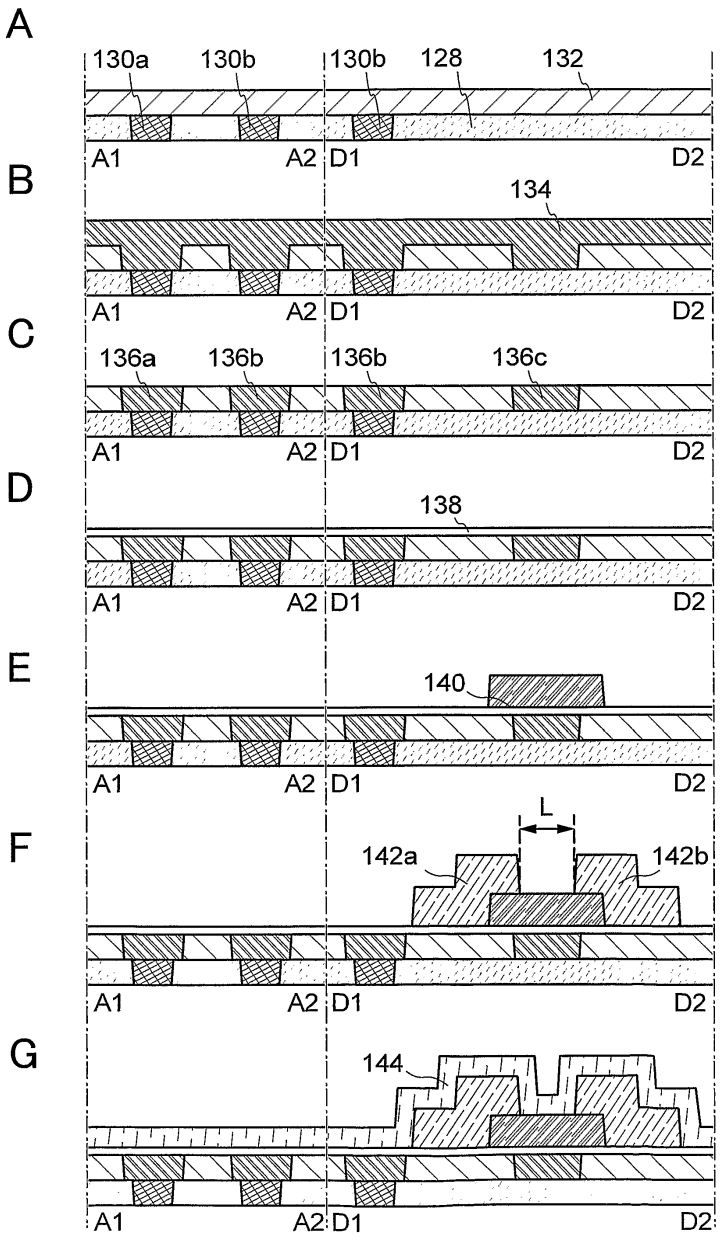
도면3


A
154d
154e
152
150f
136e
136f
166
146
150e
144
138
132
136d
130c
128
126
106
B1
164
B2
130d
C1
130e
108b
110b
C2
B
136f
164
C1
C2
B1
B2
154d
154e
110b
130e
166

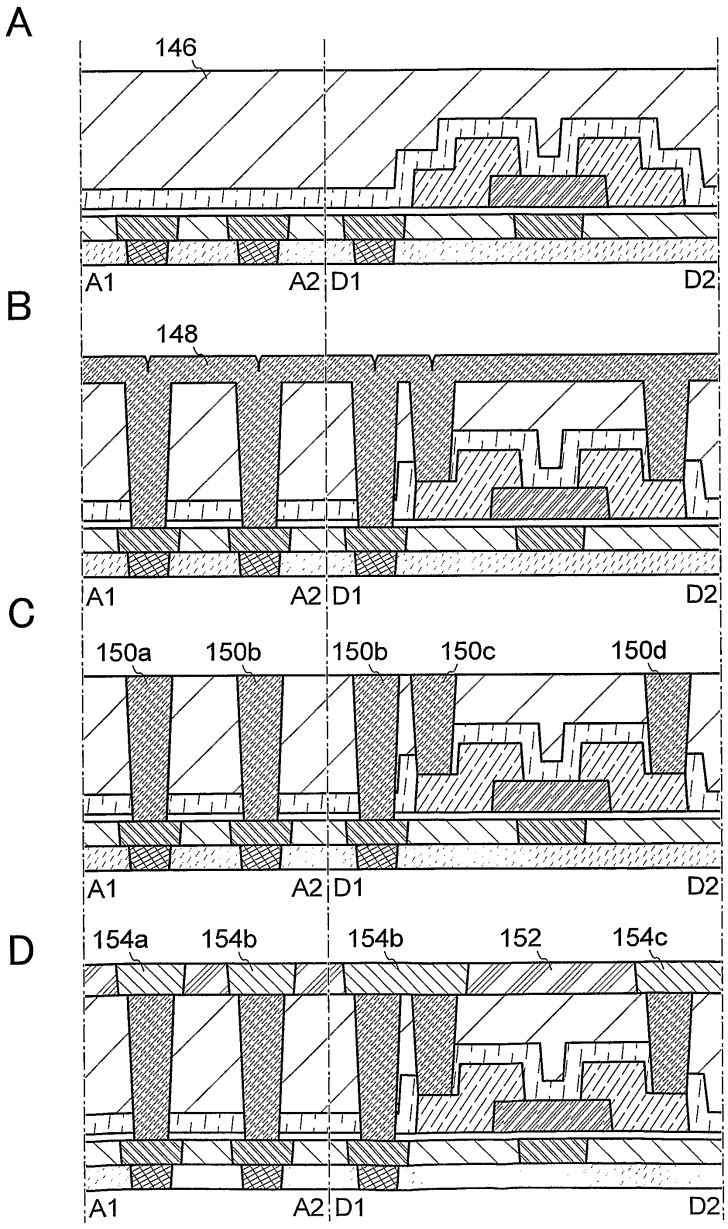
도면4


A
102
100
A1
A2
E
122
120
A1
A2
B
104
106
A1
A2
F
124
A1
A2
C
112
108a
110a
116
114
A1
A2
G
128
126
A1
A2
D
118
A1
A2
H
130a
130b
A1
A2

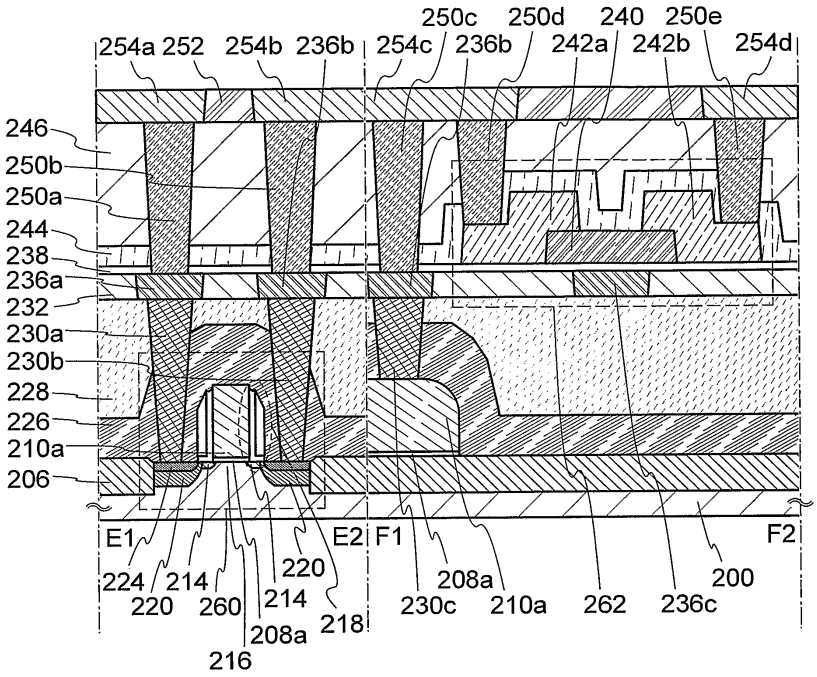
도면5


A
130a
130b
130b
128
132
A1
A2
D1
D2
B
134
A1
A2
D1
D2
C
136a
136b
136b
136c
A1
A2
D1
D2
D
138
A1
A2
D1
D2
E
140
A1
A2
D1
D2
F
L
142a
142b
A1
A2
D1
D2
G
144
A1
A2
D1
D2

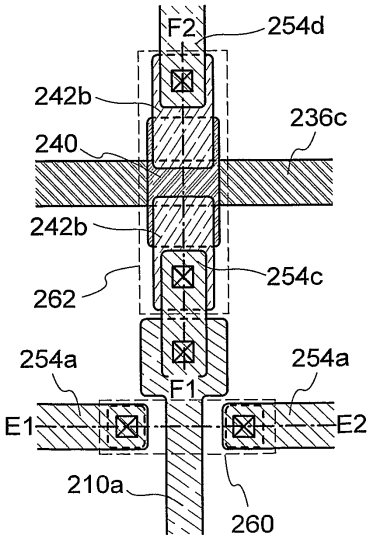
도면6


A
146
A1
A2
D1
D2
B
148
A1
A2
D1
D2
C
150a
150b
150b
150c
150d
A1
A2
D1
D2
D
154a
154b
154b
152
154c
A1
A2
D1
D2

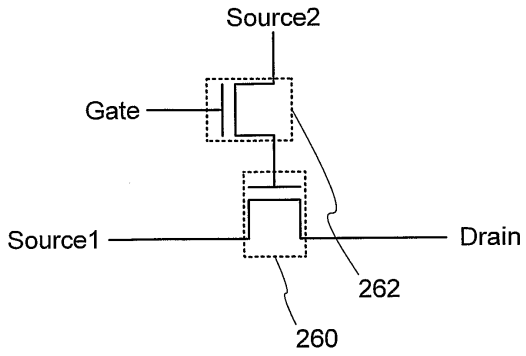
도면7a


254a
252
254b
236b
254c
250c
236b
250d
242a
240
242b
250e
254d
246
250b
250a
244
238
236a
232
230a
230b
228
226
210a
206
E1
E2
F1
F2
224
214
220
260
216
208a
214
220
218
230c
208a
210a
262
236c
200

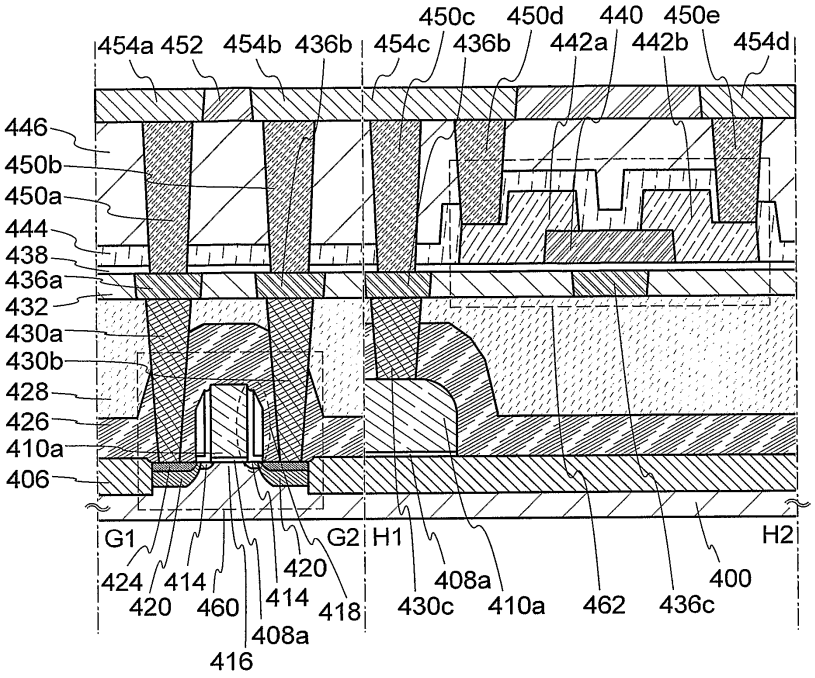
도면7b


F2
254d
242b
236c
240
242b
262
254c
254a
254a
F1
E1
E2
210a
260

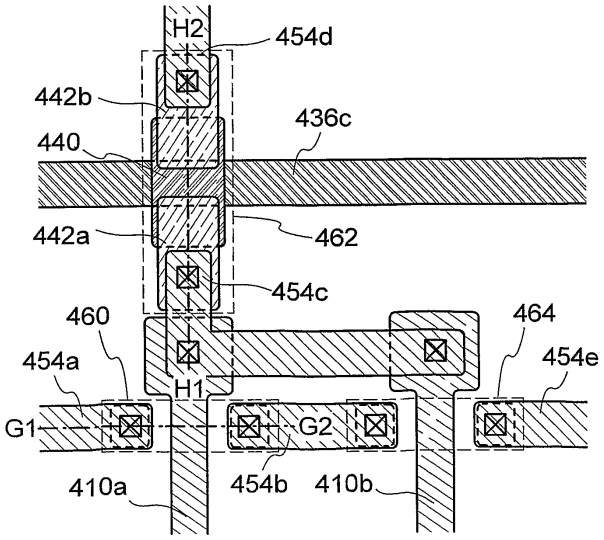
도면8


Source2
Gate
Source1
Drain
262
260

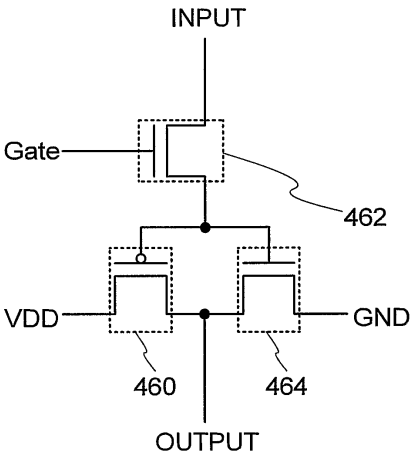
도면9a


450c
450d
440
450e
454a
452
454b
436b
454c
436b
442a
442b
454d
446
450b
450a
444
438
436a
432
430a
430b
428
426
410a
406
G1
G2
H1
H2
424
414
420
460
420
414
418
408a
416
430c
410a
462
436c
400
408a

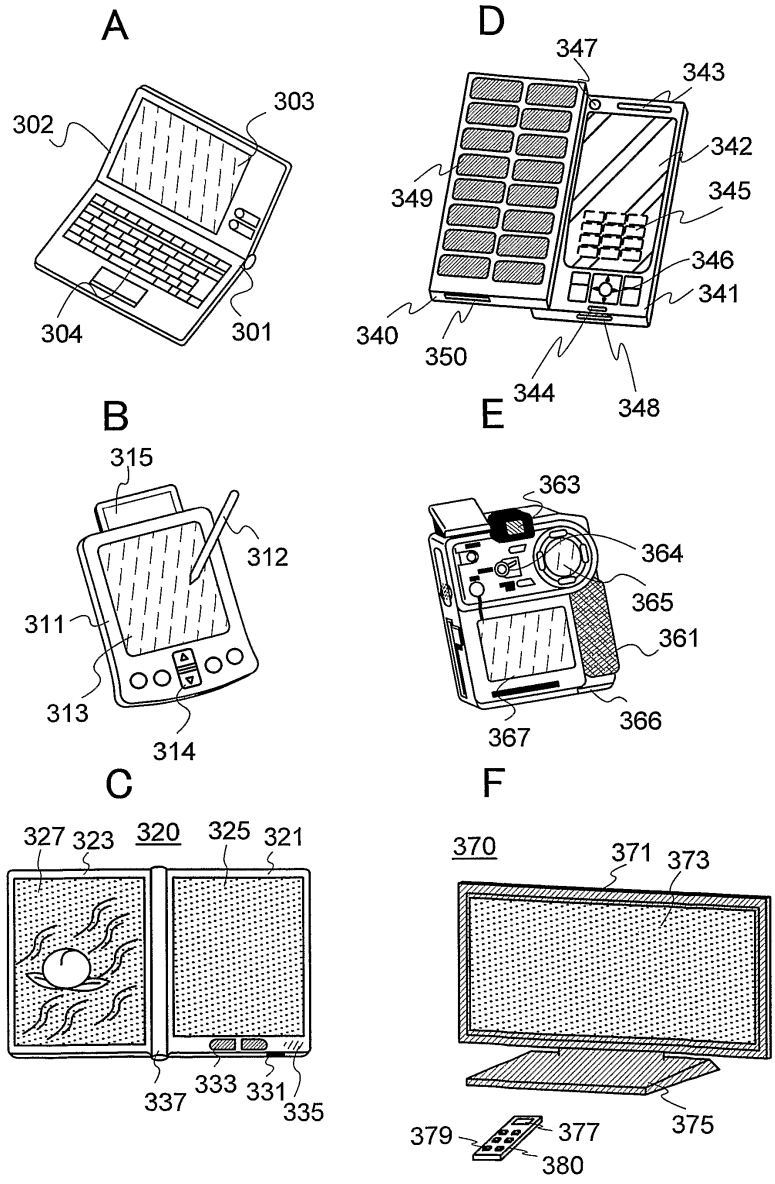
도면9b


H2
454d
442b
436c
440
442a
462
454c
460
464
454a
454e
H1
G1
G2
410a
454b
410b

도면10


INPUT
Gate
462
VDD
GND
460
464
OUTPUT

도면11


A
302
303
304
301
D
347
343
342
349
345
346
341
340
350
344
348
B
315
312
311
313
314
E
363
364
365
361
367
366
C
327
323
320
325
321
337
333
331
335
F
370
371
373
375
379
377
380