

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月15日(15.10.2020)



(10) 国際公開番号

WO 2020/209028 A1

(51) 国際特許分類:

G01C 3/06 (2006.01) *H04N 5/369* (2011.01)
H01L 31/107 (2006.01) *G01S 7/481* (2006.01)
H01L 31/10 (2006.01) *G01S 7/486* (2020.01)
H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2020/012220

(22) 国際出願日: 2020年3月19日(19.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-076106 2019年4月12日(12.04.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 伊東 恭佑(ITO, Kyosuke); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社

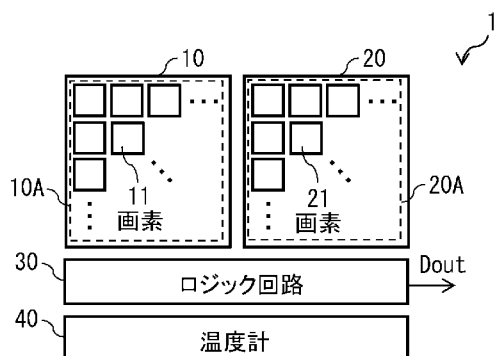
内 Kanagawa (JP). 大竹 悠介(OTAKE, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LIGHT RECEIVING DEVICE, IMAGING DEVICE, AND RANGING DEVICE

(54) 発明の名称: 受光装置、撮像装置および距離測定装置



11, 21 Pixel
30 Logic circuit
40 Thermometer

(57) Abstract: A light receiving device according to an embodiment of the present disclosure comprises a pixel array in which each of pixels is provided with a light receiving element having a high electric field region and a photoelectric conversion region. The plurality of light receiving elements of the respective pixels include a plurality of types of elements having high PDE temperature ranges that differ from one another but partially overlap one another.

(57) 要約: 本開示の一実施の形態に係る受光装置は、高電界領域および光電変換領域を含む受光素子が画素ごとに設けられた画素アレイを備えている。画素ごとに設けられた複数の受光素子には、高PDEの温度領域が互いに異なるとともに高PDEの温度領域の一部が互いに重なり合う複数種類の素子が含まれている。

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：受光装置、撮像装置および距離測定装置

技術分野

[0001] 本開示は、受光装置に関し、例えば、アバランシェフォトダイオードに適用して好適な受光装置に関する。また、本開示は、受光装置を備えた撮像装置および距離測定装置に関する。

背景技術

[0002] アバランシェフォトダイオード (avalanche photodiode : A P D) には、ブレイクダウン電圧よりも高いバイアス電圧で動作させるガイガーモードと、ブレイクダウン電圧近傍の少し高いバイアス電圧で動作させるリニアモードとがある。ガイガーモードのアバランシェフォトダイオードは、シングルフォトンアバランシェフォトダイオード (S P A D) とも呼ばれている。

[0003] S P A D は、光電変換により発生したキャリアを画素毎に設けられた高電界の P N 接合領域で増倍させることで、1 個のフォトン画素毎に検出することができるデバイスである。下記の特許文献 1 には、高電界領域での発光による隣接画素へのクロストークを低減し、暗電流の発生によるダークカウントレートの悪化を抑制することの可能な S P A D が開示されている。

先行技術文献

特許文献

[0004] 特許文献 1 : 国際公開 W O 2 0 1 7 / 0 7 4 5 3 0

発明の概要

[0005] ところで、S P A D では、ブレイクダウン電圧の温度依存性から、低温での電荷読み出しが難しい。また、高温では、増倍領域の空乏化に伴うアバランシェ確率が低下する。つまり、検出効率 (Photon Detection Efficiency : P D E) は、特定の温度範囲でしか保証できない。P D E の保証範囲を広げることの可能な受光装置、ならびにそのような受光装置を備えた撮像装置および距離測定装置を提供することが望ましい。

- [0006] 本開示の一実施の形態に係る受光装置は、高電界領域および光電変換領域を含む受光素子が画素ごとに設けられた画素アレイを備えている。画素ごとに設けられた複数の受光素子には、高検出効率（Photon Detection Efficiency : P D E）の温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う複数種類の素子が含まれている。
- [0007] 本開示の一実施の形態に係る撮像装置は、上記画素アレイと、上記画素アレイから出力された信号に基づいて撮像画像を生成する信号処理部とを備えている。
- [0008] 本開示の一実施の形態に係る距離測定装置は、上記画素アレイと、上記画素アレイから出力された信号に基づいて被検体までの距離を計測する信号処理部とを備えている。
- [0009] 本開示の一実施の形態に係る受光装置、撮像装置および距離測定装置では、画素ごとに設けられた複数の受光素子には、P D Eの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う複数種類の素子が含まれている。これにより、例えば、低温での電荷読み出しの際には、複数種類の受光素子のうち、高検出効率の温度領域が相対的に低温側に分布する受光素子を用い、高温での電荷読み出しの際には、複数種類の受光素子のうち、高検出効率の温度領域が相対的に高温側に分布する受光素子を用いることにより、低温時および高温時のいずれにおいても、P D Eの低下が抑制される。

図面の簡単な説明

- [0010] [図1]本開示の第1の実施形態に係る受光装置の概略構成例を表す図である。
- [図2]図1の受光装置を複数のチップで構成した例を表す図である。
- [図3]図1の受光装置を複数のチップで構成した例を表す図である。
- [図4]図1の受光装置を1つのチップで構成した例を表す図である。
- [図5]図1のロジック回路の概略構成例を表す図である。
- [図6]（A）図1の低温用受光部の各画素の回路構成例を表す図である。（B）図1の高温用受光部の各画素の回路構成例を表す図である。
- [図7]光子の入射に応じたA P Dのカソード電圧および検出信号の変化を表す

図である。

[図8]図1の低温用受光部の各画素の断面構成例を表す図である。

[図9]図1の低温用受光部の上面構成例を表す図である。

[図10]図1の高温用受光部の各画素の断面構成例を表す図である。

[図11]図1の高温用受光部の上面構成例を表す図である。

[図12]図6(A)、図6(B)のAPDにおけるPDEの温度依存性の一例を表す図である。

[図13]図1の受光装置における各受光部の切り換え手順の一例を表す図である。

[図14]図6(A)、図6(B)のAPDにおけるPDEの温度依存性の一例を表す図である。

[図15]図1の受光装置における各受光部の切り換え手順の一例を表す図である。

[図16]図1の受光装置の概略構成の一変形例を表す図である。

[図17]図16の受光装置のAPDにおけるPDEの温度依存性の一例を表す図である。

[図18]図16の受光装置における各受光部の切り換え手順の一例を表す図である。

[図19]本開示の第2の実施形態に係る受光装置の概略構成例を表す図である。

[図20]図19の受光装置を複数のチップで構成した例を表す図である。

[図21]図19の受光装置を複数のチップで構成した例を表す図である。

[図22]図19の受光装置を1つのチップで構成した例を表す図である。

[図23]図19のロジック回路の概略構成例を表す図である。

[図24](A)図19の低温用画素の回路構成例を表す図である。(B)図19の高温用画素の回路構成例を表す図である。

[図25]図19の低温用画素の断面構成例を表す図である。

[図26]図19の高温用画素の断面構成例を表す図である。

[図27]図19の受光部の上面構成例を表す図である。

[図28]図19の受光装置のAPDにおけるPDEの温度依存性の一例を表す図である。

[図29]図19の受光装置における出力信号の切り換え手順の一例を表す図である。

[図30]図19の受光装置のAPDにおけるPDEの温度依存性の一例を表す図である。

[図31]図19の受光装置における出力信号の切り換え手順の一例を表す図である。

[図32]本開示の第3の実施形態に係る受光装置の概略構成例を表す図である。

[図33]図32の受光装置を複数のチップで構成した例を表す図である。

[図34]図32の受光装置を複数のチップで構成した例を表す図である。

[図35]図32の受光装置を1つのチップで構成した例を表す図である。

[図36]図32のロジック回路の概略構成例を表す図である。

[図37] (A) 図32の低温用副画素の回路構成例を表す図である。(B) 図32の高温用副画素の回路構成例を表す図である。

[図38]図32の各画素の断面構成例を表す図である。

[図39]図32の受光部の上面構成例を表す図である。

[図40]図32の受光装置のAPDにおけるPDEの温度依存性の一例を表す図である。

[図41]図32の受光装置における各副画素の切り換え手順の一例を表す図である。

[図42]図32の受光装置のAPDにおけるPDEの温度依存性の一例を表す図である。

[図43]図32の受光装置における各副画素の切り換え手順の一例を表す図である。

[図44]図5の受光装置の概略構成の一変形例を表す図である。

[図45]図 2 3 の受光装置の概略構成の一変形例を表す図である。

[図46]図 3 6 の受光装置の概略構成の一変形例を表す図である。

[図47]図 1 の受光装置の概略構成の一変形例を表す図である。

[図48]図 1 9 の受光装置の概略構成の一変形例を表す図である。

[図49]図 3 2 の受光装置の概略構成の一変形例を表す図である。

[図50]受光部、出力信号もしくは副画素の切り換え方法の一例を表す図である。

[図51]図 4 4 の受光装置の概略構成の一変形例を表す図である。

[図52]図 4 5 の受光装置の概略構成の一変形例を表す図である。

[図53]図 4 6 の受光装置の概略構成の一変形例を表す図である。

[図54]上記各実施の形態およびその変形例に係る受光装置の撮像装置への適用例を表す図である。

[図55]上記各実施の形態およびその変形例に係る受光装置の距離測定装置への適用例を表す図である。

[図56]車両制御システムの概略的な構成の一例を示すブロック図である。

[図57]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0011] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（受光装置）…図 1 ～図 1 5
2. 第 1 の実施の形態の変形例（受光装置）…図 1 6 ～図 1 8
3. 第 2 の実施の形態（受光装置）…図 1 9 ～図 3 1
4. 第 3 の実施の形態（受光装置）…図 3 2 ～図 4 3
5. 各実施の形態に共通の変形例（受光装置）…図 4 4 ～図 5 3
6. 適用例
 - 適用例 1（撮像装置）…図 5 4
 - 適用例 2（距離測定装置）…図 5 5
7. 応用例

応用例（移動体）…図56、図57

[0012] 以下に説明する本技術は、受光装置に適用できる。また、受光装置として特にアバランシェフォトダイオード（APD）に適用できるため、ここでは、APDを例に挙げて説明する。APDには、ブレイクダウン電圧よりも高いバイアス電圧で動作させるガイガーモードと、ブレイクダウン電圧近傍の少し高いバイアス電圧で動作させるリニアモードとがある。ガイガーモードのアバランシェフォトダイオードは、シングルフォトンアバランシェフォトダイオード（SPAD）とも呼ばれている。

[0013] SPADは、光電変換により発生したキャリアを画素毎に設けられた高電界のPN接合領域で増倍させることで、1個のフォトン画素毎に検出することができるデバイスである。本技術は、APDのうちSPADに適用することで、より高い効果を得ることができる。

[0014] <1. 第1の実施の形態>

[構成]

本開示の第1の実施形態に係る受光装置1について説明する。図1は、受光装置1の概略構成例を表したものである。受光装置1は、例えば、2つの受光部（低温用受光部10、高温用受光部20）と、ロジック回路30と、温度計40とを備えている。低温用受光部10は、画素アレイ10Aを有している。画素アレイ10Aには、複数の画素11が含まれている。高温用受光部20は、画素アレイ20Aを有している。画素アレイ10Aには、複数の画素21が含まれている。画素アレイ10A、20Aが、本開示の「画素アレイ」の一具体例に相当する。画素アレイ10Aと画素アレイ20Aとは互いに隣り合って配置されている。ロジック回路30は、2つの受光部（低温用受光部10、高温用受光部20）からの出力信号に基づいて得られた出力信号Doutを外部へ出力する。画素11、21については、後に詳述する。

[0015] 受光装置1において、2つの受光部（低温用受光部10、高温用受光部20）は、例えば、図2に示したように、別々のチップ（チップ1A、チップ

1 B) に形成されている。チップ 1 A には低温用受光部 1 0 が形成され、チップ 1 B には高温用受光部 2 0 が形成されている。チップ 1 A, 1 B は、例えば、シリコン基板を含んで構成されている。低温用受光部 1 0 は、チップ 1 A のシリコン基板（第 1 半導体基板）に形成されており、高温用受光部 2 0 は、チップ 1 B のシリコン基板、つまり、低温用受光部 1 0 に含まれるシリコン基板とは別体のシリコン基板（第 2 半導体基板）に形成されている。

[0016] また、受光装置 1 において、ロジック回路 3 0 は、例えば、チップ 1 A, 1 B とは別体のチップ 1 C に形成されており、温度計 4 0 は、例えば、チップ 1 A, 1 B, 1 C とは別体のチップ 1 D に形成されている。このとき、チップ 1 A, 1 B が、チップ 1 C 上に貼り合わされていてもよいし、チップ 1 A, 1 B, 1 C, 1 D が共通の支持基板上に貼り合わされていてもよい。チップ 1 D は、チップ 1 C の裏面に貼り合わされていてもよい。

[0017] なお、受光装置 1 において、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）が、例えば、図 3 に示したように、共通のチップ 1 E に形成されていてもよい。このとき、チップ 1 E は、例えば、シリコン基板を含んで構成されており、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）が、共通のシリコン基板に形成されている。また、受光装置 1 において、ロジック回路 3 0 は、例えば、図 3 に示したように、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）と同じチップ 1 E に形成されていてもよい。このとき、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）およびロジック回路 3 0 が、共通のシリコン基板に形成されている。

[0018] また、受光装置 1 において、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）、ロジック回路 3 0 および温度計 4 0 が、例えば、図 4 に示したように、共通のチップ 1 F に形成されていてもよい。このとき、チップ 1 F は、例えば、シリコン基板を含んで構成されており、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）、ロジック回路 3 0 および温度計 4 0 が、共通のシリコン基板に形成されている。

[0019] 温度計 4 0 は、2 つの受光部（低温用受光部 1 0、高温用受光部 2 0）の

温度を計測し、計測結果をロジック回路30に出力する。チップ1D、1Fがシリコン基板を含んで構成されている場合、温度計40は、例えば、シリコンダイオード温度センサで構成されている。温度計40がチップ1Dに形成されている場合、温度計40は、例えば、シリコンダイオード温度センサで構成されていてもよいし、他の温度センサで構成されていてもよい。

[0020] 図5は、ロジック回路30の概略構成例を表したものである。図6(A)は、各画素11の回路構成例を表したものである。図6(B)は、各画素21の回路構成例を表したものである。ロジック回路30は、例えば、画素駆動部31、MUX(マルチプレクサ)32、信号処理部33および入出力部34を有している。画素駆動部31は、低温用受光部10内の各画素11を駆動する。MUX32、信号処理部33および入出力部34は、低温用受光部10からの出力を処理する。以下、入出力部34の出力を出力信号D1と称する。ロジック回路30は、例えば、さらに、画素駆動部35、MUX(マルチプレクサ)36、信号処理部37、入出力部38、制御部39および電源部41、42を有している。画素駆動部35は、高温用受光部20内の各画素21を駆動する。MUX36、信号処理部37および入出力部38は、高温用受光部20からの出力を処理する。以下、入出力部38の出力を出力信号D2と称する。電源部41は、各画素11に所定の電圧(例えば、電源電圧 V_a 、 V_e)を供給する。電源部42は、各画素21に所定の電圧(例えば、電源電圧 V_b 、 V_e)を供給する。

[0021] 低温用受光部10は、上述したように、2次元配置された複数の画素11を有している。各画素11は、例えば、APD(avalanche photodiode)12と、APD12のノードに電氣的に接続されたトランジスタ T_r1 とを含んでいる。APD12が、本開示の「第1受光素子」の一具体例に相当する。トランジスタ T_r1 は、ゲートに入力される制御信号に応じてオン状態となることにより、APD12で生成された検出信号を信号線DTL(後述)に出力する。トランジスタ T_r1 は、例えば、電界効果型の薄膜トランジスタ(TFT)で構成されている。

[0022] 高温用受光部20は、上述したように、2次元配置された複数の画素21を有している。各画素21は、例えば、APD (avalanche photodiode) 22と、APD 22のノードに電氣的に接続されたトランジスタTr2とを含んでいる。APD 22が、本開示の「第2受光素子」の一具体例に相当する。トランジスタTr2は、ゲートに入力される制御信号に応じてオン状態となることにより、APD 22で生成された検出信号を信号線DTLに出力する。トランジスタTr2は、例えば、電界効果型の薄膜トランジスタ (TFET) で構成されている。

[0023] APD 12, 22は、入射光が入射されたとき、発生する電荷をアバランシェ増幅させ、それにより得られた検出信号を出力するフォトダイオード (単一光子アバランシェフォトダイオード) である。APD 12のアノードに供給される電源電圧Vaは、例えば、-20V程度の負バイアス (負の電位) である。APD 22のアノードに供給される電源電圧Vbは、例えば、-20V程度の負バイアス (負の電位) である。電源電圧Vaと電源電圧Vbとは、互いに等しくなってもよいし、互いに異なってもよい。APD 12, 22のカソードには、トランジスタTr1, Tr2のソース・ドレインを介して、電源電圧Veが供給される。電源電圧Veは、例えば、3V程度の正の電位である。トランジスタTr1, Tr2は、飽和領域で動作する定電流源であり、クエンチング抵抗として働くことにより、パッシブクエンチを行う。

[0024] 低温用受光部10および高温用受光部20は、それぞれ、さらに、複数の信号線DTLおよび複数のゲート線GTLを有している。低温用受光部10および高温用受光部20は、それぞれ、さらに、複数の電源線PWL1, PWL2およびグラウンド線GNDを有している。低温用受光部10は、さらに、スイッチ素子SW1、インバータINV1, INV2およびラッチ回路18を有している。高温用受光部20は、さらに、スイッチ素子SW2、インバータINV3, 4およびラッチ回路28を有している。

[0025] 信号線DTLは、APD 12, 22から検出信号を読み出すための配線で

ある。ゲート線GTLは、トランジスタTr1, Tr2をオンオフ制御する制御信号をトランジスタTr1, Tr2のゲートに入力するための配線である。電源線PWL1は、APD12, 22のアノード電位を決めるための配線である。電源線PWL2は、APD12, 22のカソード電位を決めるための配線である。トランジスタTr1, Tr2のゲートがゲート線GTLに接続されている。トランジスタTr1, Tr2のソースまたはドレインがAPD12, 22のカソードと、インバータINV1, INV3の入力端子とに接続されている。インバータINV1, INV3の出力端子が信号線DTLに接続されている。トランジスタTr1, Tr2のソースおよびドレインのうちカソードに未接続の電極が電源線PWL2に接続されている。APD12, 22のカソードがトランジスタTr1, Tr2のソースまたはドレインに接続され、APD12, 22のアノードが電源線PWL1に接続されている。インバータINV2, INV4の入力端子がラッチ回路18, 28に接続され、インバータINV2, INV4の出力端子がスイッチ素子SW1, SW2のオンオフ制御端子に接続されている。スイッチ素子SW1はAPD12に並列に接続されている。スイッチ素子SW2はAPD22に並列に接続されている。

[0026] スイッチ素子SW1, SW2は、例えば、ラッチ回路18, 28の出力であるゲーティング制御信号を、インバータINV2, INV4で反転させたゲーティング反転信号に応じてオンオフさせる。ラッチ回路18, 28は、画素駆動部31, 35から供給されるトリガ信号SETと、アドレスデータDECとに基づいて、画素11, 21をアクティブ画素または非アクティブ画素のいずれかに制御するゲーティング制御信号をインバータINV2, INV4に供給する。インバータINV2, INV4は、ゲーティング制御信号を反転させたゲーティング反転信号を生成し、スイッチ素子SW1, SW2に供給する。

[0027] トリガ信号SETは、ゲーティング制御信号を切り替えるタイミングを示すタイミング信号であり、アドレスデータDECは、画素アレイ10A, 2

OA内の行列状に配置された複数の画素11, 21のうち、アクティブ画素に設定する画素のアドレスを示すデータである。トリガ信号SETとアドレスデータDECは、画素駆動部31, 35から供給される。

[0028] ラッチ回路18, 28は、トリガ信号SETが示す所定のタイミングで、アドレスデータDECを読み込む。そして、ラッチ回路18, 28は、アドレスデータDECが示す画素アドレスに自分（の画素11, 21）の画素アドレスが含まれている場合には、自身の画素11, 21をアクティブ画素に設定するためのHi（1）のゲーティング制御信号を出力する。一方、アドレスデータDECが示す画素アドレスに自分（の画素11, 21）の画素アドレスが含まれていない場合には、自身の画素11, 21を非アクティブ画素に設定するためのLo（0）のゲーティング制御信号を出力する。これにより、画素11, 21がアクティブ画素とされる場合には、インバータINV2, INV4によって反転されたLo（0）のゲーティング反転信号がスイッチ素子SW1, SW2に供給される。一方、画素11, 21が非アクティブ画素とされる場合には、Hi（1）のゲーティング反転信号がスイッチ素子SW1, SW2に供給される。したがって、スイッチ素子SW1, SW2は、画素11, 21がアクティブ画素に設定される場合にオフ（非接続とされ）、非アクティブ画素に設定される場合にオンされる（接続される）。インバータINV2, INV4は、入力信号としてのカソード電圧がLoのとき、Hiの検出信号を出力し、カソード電圧がHiのとき、Loの検出信号を出力する。インバータINV2, INV4は、APD12, 22への光子の入射を検出信号として出力する出力部である。

[0029] 次に、各画素11, 21の動作について説明する。図7は、光子の入射に応じたAPD12, 22のカソード電圧VSおよび検出信号PFOutの変化を示すグラフである。まず、画素11, 21がアクティブ画素である場合、上述したように、スイッチ素子SW1, SW2はオフに設定される。

[0030] APD12, 22のカソードには電源電圧Veが供給され、アノードには電源電圧Va, Vbが供給されることから、APD12, 22に降伏電圧V

BDより大きい逆電圧が印加されることにより、APD12, 22がガイガーモードに設定される。この状態では、APD12, 22のカソード電圧 V_S は、例えば図7の時刻 t_0 のように、電源電圧 V_e と同じである。

[0031] ガイガーモードに設定されたAPD12, 22に光子が入射すると、アバランシェ増倍が発生し、APD12, 22に電流が流れる。

[0032] 図7の時刻 t_1 において、アバランシェ増倍が発生し、APD12, 22に電流が流れたとすると、時刻 t_1 以降、APD12, 22に電流が流れることにより、トランジスタ T_{r1} , T_{r2} にも電流が流れ、トランジスタ T_{r1} , T_{r2} の抵抗成分により電圧降下が発生する。

[0033] 時刻 t_2 において、APD12, 22のカソード電圧 V_S が0Vよりも低くなると、APD12, 22のアノード・カソード間電圧が降伏電圧 V_{BD} よりも低い状態となるので、アバランシェ増幅が停止する。ここで、アバランシェ増幅により発生する電流がトランジスタ T_{r1} , T_{r2} に流れることで電圧降下を発生させ、発生した電圧降下に伴って、カソード電圧 V_S が降伏電圧 V_{BD} よりも低い状態となることで、アバランシェ増幅を停止させる動作がクエンチ動作である。

[0034] アバランシェ増幅が停止するとトランジスタ T_{r1} , T_{r2} の抵抗に流れる電流が徐々に減少して、時刻 t_4 において、再びカソード電圧 V_S が元の電源電圧 V_e まで戻り、次の新たなフォトンを検出できる状態となる（リチャージ動作）。

[0035] インバータINV2, INV4は、入力電圧であるカソード電圧 V_S が所定の閾値電圧 V_{th} 以上のとき、 L_o の検出信号 P_{out} を出力し、カソード電圧 V_S が所定の閾値電圧 V_{th} 未満のとき、 H_i の検出信号 P_{out} を出力する。従って、APD12, 22に光子が入射し、アバランシェ増倍が発生してカソード電圧 V_S が低下し、閾値電圧 V_{th} を下回ると、検出信号 P_{out} は、ローレベルからハイレベルに反転する。一方、APD12, 22のアバランシェ増倍が収束し、カソード電圧 V_S が上昇し、閾値電圧 V_{th} 以上になると、検出信号 P_{out} は、ハイレベルからローレベル

に反転する。

[0036] なお、画素 1 1, 2 1 が非アクティブ画素とされる場合には、 $H_i(1)$ のゲーティング反転信号がスイッチ素子 SW 1, SW 2 に供給され、スイッチ素子 SW 1, SW 2 がオンされる。スイッチ素子 SW 1, SW 2 がオンされると、APD 1 2, 2 2 のカソード電圧 V_S が 0 V となる。その結果、APD 1 2, 2 2 のアノード・カソード間電圧が降伏電圧 V_{BD} 以下となるので、APD 1 2, 2 2 に光子が入ってきても反応しない状態となる。

[0037] 画素駆動部 3 1 は、例えば、シフトレジスタやアドレスデコーダ等によって構成され、各画素 1 1 を、例えば行単位で駆動する。画素駆動部 3 1 によって選択走査された画素行の各画素 1 1 から出力された検出信号は、各信号線 DTL を介して MUX 3 2 に供給される。画素駆動部 3 5 は、例えば、シフトレジスタやアドレスデコーダ等によって構成され、各画素 2 1 を、例えば行単位で駆動する。画素駆動部 3 5 によって選択走査された画素行の各画素 2 1 から出力された検出信号は、各信号線 DTL を介して MUX 3 6 に供給される。

[0038] MUX 3 2, 3 6 は、画素アレイ 1 0 A, 2 0 A 内のアクティブ画素と非アクティブ画素の切替えにしたがい、アクティブ画素からの出力を選択する。そして、MUX 3 2, 3 6 は、選択したアクティブ画素から入力される画素信号を信号処理部 3 3, 3 7 へ出力する。

[0039] 信号処理部 3 3, 3 7 は、例えば、時間計測部である。時間計測部は、MUX 3 2, 3 6 から供給されるアクティブ画素の画素信号と、光源（後述）の発光タイミングを示す発光タイミング信号とに基づいて、光源が光を発光してからアクティブ画素が光を受光するまでの時間に対応するカウント値を生成する。時間計測部は、TDC (Time to Digital Converter) とも呼ばれる。発光タイミング信号は、入出力部 3 4, 3 8 を介して外部から供給される。

[0040] なお、信号処理部 3 3, 3 7 は、カウンタ部であってもよい。カウンタ部は、例えば、所定の期間、MUX 3 2, 3 6 から入力される検出信号の数を

カウントし、それにより得られた画素ごとのカウント値を出力する。

[0041] 電源部41は、各画素11に接続された各電源線PWL1に接続されており、各画素11が接続された各電源線PWLに負バイアス電圧（電源電圧V_a）を印加する。電源部41は、さらに、各画素11に接続された各電源線PWL2に接続されており、各画素11が接続された各電源線PWL2に所定の電圧（電源電圧V_e）を印加する。電源部42は、各画素21に接続された各電源線PWL1に接続されており、各画素21に接続された各電源線PWL1に負バイアス電圧（電源電圧V_b）を印加する。電源部42は、さらに、各画素21に接続された各電源線PWL2に接続されており、各画素21に接続された各電源線PWL2に所定の電圧（電源電圧V_e）を印加する。電源電圧V_aは、APD12のPDEが最大となる値となっていることが好ましい。電源電圧V_bは、APD22のPDEが最大となる値となっていることが好ましい。

[0042] 入出力部34は、制御部39からの制御に従って、信号処理部33から出力された出力信号D1を出力信号D_{out}として出力するか否かを選択する。入出力部38は、制御部39からの制御に従って、信号処理部37から出力された出力信号D2を出力信号D_{out}として出力するか否かを選択する。入出力部34は、温度計40の温度に応じて、信号処理部33から出力された出力信号D1を出力信号D_{out}として出力するか否かを選択する。入出力部38は、温度計40の温度に応じて、信号処理部37から出力された出力信号D2を出力信号D_{out}として出力するか否かを選択する。信号処理部33、37が時間計測部である場合、入出力部34、38は、制御部39から供給される発光タイミング信号を画素駆動部31、35および信号処理部33、37に供給する。

[0043] 制御部39は、外部から与えられるクロックなどを受け取り、また、受光装置1の内部情報などのデータを出力する。制御部39は、さらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に、画素駆動部31、

35、MUX32、36、信号処理部33、37、入出力部34、38および電源部41、42などの駆動制御を行う。制御部39は、ロジック回路30からの出力を制御する。本実施の形態では、制御部39は、出力信号D1および出力信号D2のいずれか一方を、出力信号Doutとしてロジック回路30から出力させる。制御部39は、温度計40の温度に応じて、画素駆動部31、MUX32、信号処理部33および入出力部34、ならびに、画素駆動部35、MUX36、信号処理部37および入出力部38のいずれか一方だけを駆動するようロジック回路30を制御してもよい。制御部39は、温度計40の温度に応じて、各APD12および各APD22のいずれか一方にだけ負バイアス電圧を印加するよう電源部41、42を制御してもよい。

[0044] 図8は、低温用受光部10の各画素11の断面構成例を表したものである。低温用受光部10は、例えば、n型半導体領域12aおよびp型半導体領域12bを有している。p型半導体領域12bは、n型半導体領域12aの下部に接して形成されている。n型半導体領域12aおよびp型半導体領域12bは、ウェル層12c内に形成されている。ウェル層12cは、n型半導体層であってもよいし、p型半導体層であってもよい。ウェル層12cは、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度のn型半導体層またはp型半導体層であることが好ましい。この場合、ウェル層12cは空乏化しやすく、APD12のPDEの向上を図ることができる。

[0045] n型半導体領域12aは、例えば、Si（シリコン）からなり、高不純物濃度のn型半導体領域である。p型半導体領域12bは、例えば、Si（シリコン）からなり、高不純物濃度のp型半導体領域である。p型半導体領域12bは、n型半導体領域12aとの界面でpn接合を構成している。このpn接合を含む領域が高電界領域となり、n型半導体領域12aが光電変換領域となる。p型半導体領域12bは、被検出光の入射によって生じたキャリアをアバランシェ増幅する増倍領域を有する。p型半導体領域12bは、空乏化していることが好ましい。この場合、APD12のPDEの向上を図

ることができる。n型半導体領域12aは、カソードとして機能し、コンタクト16を介して、回路に接続されている。カソードに対するアノード12dは、n型半導体領域12aと同層であり、n型半導体領域12aと分離領域13との間に形成されている。アノード12dは、コンタクト17を介して回路に接続されている。

[0046] APD12同士を分離するための分離領域13が形成されており、分離領域13とウェル層12cとの間にはホール(hole)蓄積領域12eが形成されている。ホール蓄積領域12eは、アノード12dの下側に形成され、アノード12dと電氣的に接続された状態で形成されている。また、ホール蓄積領域12eは、ウェル層12cと分離領域13との間に形成されている。さらに、ホール蓄積領域12eは、ウェル層12cの下部にも接して形成されている。ホール蓄積領域12eは、異なる材質が接する部分に形成される。図8に示した例では、分離領域13は、例えばシリコン酸化膜からなり、ウェル層12cとは異なる材料で構成されている。この場合、界面で発生する暗電流を抑制するためにホール蓄積領域12eが形成されている。ホール蓄積領域12eは、例えば、p型半導体領域として形成することができる。

[0047] 分離領域13は、互いに隣接する2つのAPD12の間に形成され、各APD12を分離する。すなわち、分離領域13は、各APD12と1対1に対応して増倍領域が形成されるように形成される。分離領域13は、各APD12の周囲を完全に囲うように2次元格子状に形成される。分離領域13は、積層方向でウェル層12cの上面側から下面側まで貫通して形成されている。なお、分離領域13は、上面側から下面側まで全部貫通する構成以外、例えば、一部分のみ貫通し、基板の途中まで挿入されている構成となってもよい。

[0048] 図9は、低温用受光部10の平面構成例を表したものである。図9には、2×2の4個のAPD12が配置されている例が示されている。上述したように、各APD12は、格子状に形成された分離領域13によって互いに分

離されている。分離領域 1 3 の内側には、アノード 1 2 d が形成されている。A P D 1 2 の中央部分には、n 型半導体領域 1 2 a が形成されており、アノード 1 2 d と n 型半導体領域 1 2 a との間には、ウェル層 1 2 c が形成されている。n 型半導体領域 1 2 a は、例えば、四角形状となっている。n 型半導体領域 1 2 a の平面形状は、四角形状に限られるものではなく、例えば、円形状となってもよい。n 型半導体領域 1 2 a を四角形状とした場合、増倍領域の面積を広く確保することができるので、P D E を向上させることができる。n 型半導体領域 1 2 a を円形状とした場合、A P D 1 2 内での電界集中を抑制することができ、意図しないブレイクダウンを低減することができる。

[0049] 図 1 0 は、高温用受光部 2 0 の各画素 2 1 の断面構成例を表したものである。高温用受光部 2 0 は、例えば、n 型半導体領域 2 2 a および p 型半導体領域 2 2 b を有している。p 型半導体領域 2 2 b は、n 型半導体領域 2 2 a の下部に接して形成されている。n 型半導体領域 2 2 a および p 型半導体領域 2 2 b は、ウェル層 2 2 c 内に形成されている。ウェル層 2 2 c は、n 型半導体層であってもよいし、p 型半導体層であってもよい。ウェル層 2 2 c は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度の n 型半導体層または p 型半導体層であることが好ましい。この場合、ウェル層 2 2 c は空乏化しやすく、A P D 2 2 の P D E の向上を図ることができる。

[0050] n 型半導体領域 2 2 a は、例えば、S i (シリコン) からなり、高不純物濃度の n 型半導体領域である。p 型半導体領域 2 2 b は、例えば、S i (シリコン) からなり、高不純物濃度の p 型半導体領域である。p 型半導体領域 2 2 b は、n 型半導体領域 2 2 a との界面で p n 接合を構成している。この p n 接合を含む領域が高電界領域となり、n 型半導体領域 2 2 a が光電変換領域となる。p 型半導体領域 2 2 b は、被検出光の入射によって生じたキャリアをアバランシェ増幅する増倍領域を有する。p 型半導体領域 2 2 b は、空乏化していることが好ましい。この場合、A P D 2 2 の P D E の向上を図ることができる。n 型半導体領域 2 2 a は、カソードとして機能し、コンタ

クト26を介して、回路に接続されている。カソードに対するアノード22dは、n型半導体領域22aと同層であり、n型半導体領域22aと分離領域23との間に形成されている。アノード22dは、コンタクト27を介して回路に接続されている。

[0051] APD22同士を分離するための分離領域23が形成されており、分離領域23とウェル層22cとの間にはホール(hole)蓄積領域22eが形成されている。ホール蓄積領域22eは、アノード22dの下側に形成され、アノード22dと電氣的に接続された状態で形成されている。また、ホール蓄積領域22eは、ウェル層22cと分離領域23との間に形成されている。さらに、ホール蓄積領域22eは、ウェル層22cの下部にも接して形成されている。ホール蓄積領域22eは、異なる材質が接する部分に形成される。図10に示した例では、分離領域23は、例えばシリコン酸化膜からなり、ウェル層22cとは異なる材料で構成されている。この場合、界面で発生する暗電流を抑制するためにホール蓄積領域22eが形成されている。ホール蓄積領域22eは、例えば、p型半導体領域として形成することができる。

[0052] 分離領域23は、互いに隣接する2つのAPD22の間に形成され、各APD22を分離する。すなわち、分離領域23は、各APD22と1対1に対応して増倍領域が形成されるように形成される。分離領域23は、各APD22の周囲を完全に囲うように2次元格子状に形成される。分離領域23は、積層方向でウェル層22cの上面側から下面側まで貫通して形成されている。なお、分離領域23は、上面側から下面側まで全部貫通する構成以外、例えば、一部分のみ貫通し、基板の途中まで挿入されている構成となってもよい。

[0053] 図11は、高温用受光部20の平面構成例を表したものである。図11には、2×2の4個のAPD22が配置されている例が示されている。上述したように、各APD22は、格子状に形成された分離領域23によって互いに分離されている。分離領域23の内側には、アノード22dが形成されて

いる。APD 22の中央部分には、n型半導体領域22aが形成されており、アノード22dとn型半導体領域22aとの間には、ウェル層22cが形成されている。n型半導体領域22aは、例えば、四角形状となっている。n型半導体領域22aの平面形状は、四角形状に限られるものではなく、例えば、円形状となってもよい。n型半導体領域22aを四角形状とした場合、増倍領域の面積を広く確保することができるので、PDEを向上させることができる。n型半導体領域22aを円形状とした場合、APD 22内の電界集中を抑制することができ、意図しないブレイクダウンを低減することができる。

[0054] 図12は、APD 12, 22のPDEの温度依存性の一例を表したものである。APD 12は、低温域において高いPDEを有している。一方、APD 22は、高温域において高いPDEを有している。APD 12では、高PDEの温度領域が相対的に低温側に分布している。APD 22では、高PDEの温度領域が相対的に高温側に分布している。

[0055] APD 12の高PDEの温度領域と、APD 22の高PDEの温度領域とが互いに異なっており、さらに、APD 12の高PDEの温度領域の一部と、APD 22の高PDEの温度領域の一部とが、互いに重なり合っている。

「高PDEの温度領域」とは、PDEの温度分布において、ピーク値の半分の値よりも大きな温度領域を指している。図12に示したように、APD 12, 22における高PDEの重なり領域OLにおいて、APD 12の高PDEの温度領域のうち高温側の領域と、APD 22の高PDEの温度領域のうち低温側の領域とが互いに重なり合っている。

[0056] APD 12とAPD 22とでは、例えば、増倍領域（p型半導体領域12d, 22d）に含まれる不純物濃度、増倍領域（p型半導体領域12d, 22d）に含まれる不純物の種類、増倍領域（p型半導体領域12d, 22d）の厚さ、および増倍領域（p型半導体領域12d, 22d）の面積の少なくとも1つが互いに異なっている。これにより、APD 12の高PDEの温度領域と、APD 22の高PDEの温度領域とが互いに異なっている。

[0057] [動作]

次に、低温用受光部 10 および高温用受光部 20（出力信号 D 1，D 2）の切り換え手順について説明する。

[0058] 図 13 は、低温用受光部 10 および高温用受光部 20（出力信号 D 1，D 2）の切り換え手順の一例を表したものである。制御部 39 は、温度計 40 の温度が、重なり領域 OL 内の所定の温度（閾値 T_{th} ）以上か否かを判定する（ステップ S 101）。温度計 40 の温度が閾値 T_{th} 以上となっている場合には、制御部 39 は、例えば画素駆動部 31、MUX 32、信号処理部 33 および入出力部 34 の動作を停止するなどして低温用受光部 10 の動作を停止するとともに、画素駆動部 35、MUX 36、信号処理部 37 および入出力部 38 を動作させるなどして高温用受光部 20 を駆動する（ステップ S 102）。このとき、制御部 39 は、各 APD 22 にだけ負バイアス電圧を印加するよう電源部 41，42 を制御してもよい。その結果、低温用受光部 10 からは出力信号 D 1 が出力されず、高温用受光部 20 からは出力信号 D 2 が出力される。このとき、制御部 39 は、出力信号 D_{out} として、出力信号 D 2 をロジック回路 30 から出力させる（ステップ S 103）。

[0059] ステップ S 101 において、温度計 40 の温度が閾値 T_{th} 未満となっている場合には、制御部 39 は、例えば画素駆動部 31、MUX 32、信号処理部 33 および入出力部 34 を動作させるなどして低温用受光部 10 を駆動するとともに、画素駆動部 35、MUX 36、信号処理部 37 および入出力部 38 の動作を停止するなどして高温用受光部 20 の動作を停止する（ステップ S 104）。このとき、制御部 39 は、各 APD 12 にだけ負バイアス電圧を印加するよう電源部 41，42 を制御してもよい。その結果、低温用受光部 10 からは出力信号 D 1 が出力され、高温用受光部 20 からは出力信号 D 2 が出力されない。このとき、制御部 39 は、出力信号 D_{out} として、出力信号 D 1 をロジック回路 30 から出力させる（ステップ S 105）。

[0060] 制御部 39 は、受光装置 1 による計測を終了する指示がない限り、上記のステップ S 101 からステップ S 105 を実行する（ステップ S 106）。

制御部 39 は、受光装置 1 による計測を終了する指示があった場合には、例えばロジック回路 30 の動作を停止するなどして低温用受光部 10 および高温用受光部 20 の動作を停止する（ステップ S 107）。

[0061] なお、例えば、図 14 に示したように、重なり領域 OL の下限および上限にそれぞれ閾値 T_{th1} , T_{th2} が設定されている場合には、制御部 39 は、以下の切り換え手順を実行してもよい。

[0062] 図 15 は、低温用受光部 10 および高温用受光部 20（出力信号 D1 および出力信号 D2）の切り換え手順の一例を表したものである。制御部 39 は、温度計 40 の温度が、重なり領域 OL の上限の温度（閾値 T_{th2} ）以上か否かを判定する（ステップ S 201）。温度計 40 の温度が閾値 T_{th2} 以上となっている場合には、制御部 39 は、例えば画素駆動部 31、MUX 32、信号処理部 33 および入出力部 34 の動作を停止するなどして低温用受光部 10 の動作を停止するとともに、画素駆動部 35、MUX 36、信号処理部 37 および入出力部 38 を動作させるなどして高温用受光部 20 を駆動する（ステップ S 202）。このとき、制御部 39 は、各 APD 22 にだけ負バイアス電圧を印加するよう電源部 41、42 を制御してもよい。その結果、低温用受光部 10 からは出力信号 D1 が出力されず、高温用受光部 20 からは出力信号 D2 が出力される。このとき、制御部 39 は、出力信号 D_{out} として、出力信号 D2 をロジック回路 30 から出力させる（ステップ S 203）。

[0063] ステップ S 201 において、温度計 40 の温度が閾値 T_{th2} 未満となっている場合には、制御部 39 は、温度計 40 の温度が重なり領域 OL の下限の温度（閾値 T_{th1} ）以下か否かを判定する（ステップ S 204）。温度計 40 の温度が閾値 T_{th1} 以下となっている場合には、制御部 39 は、例えば画素駆動部 31、MUX 32、信号処理部 33 および入出力部 34 を動作させるなどして低温用受光部 10 を駆動するとともに、画素駆動部 35、MUX 36、信号処理部 37 および入出力部 38 の動作を停止するなどして高温用受光部 20 の動作を停止する（ステップ S 205）。このとき、制御

部 3 9 は、各 A P D 1 2 にだけ負バイアス電圧を印加するよう電源部 4 1, 4 2 を制御してもよい。その結果、低温用受光部 1 0 からは出力信号 D 1 が出力され、高温用受光部 2 0 からは出力信号 D 2 が出力されない。このとき、制御部 3 9 は、出力信号 D o u t として、出力信号 D 1 をロジック回路 3 0 から出力させる（ステップ S 2 0 6）。

[0064] ステップ S 2 0 4 において、温度計 4 0 の温度が閾値 T t h 1 よりも大きい場合には、制御部 3 9 は、例えば画素駆動部 3 1、M U X 3 2、信号処理部 3 3 および入出力部 3 4 を動作させるなどして低温用受光部 1 0 を駆動するとともに、画素駆動部 3 5、M U X 3 6、信号処理部 3 7 および入出力部 3 8 を動作させるなどして高温用受光部 2 0 を駆動する（ステップ S 2 0 7）。このとき、制御部 3 9 は、各 A P D 1 2, 2 2 に負バイアス電圧を印加するよう電源部 4 1, 4 2 を制御する。その結果、低温用受光部 1 0 からは出力信号 D 1 が出力され、高温用受光部 2 0 からは出力信号 D 2 が出力される。このとき、制御部 3 9 は、出力信号 D o u t として、出力信号 D 1 と出力信号 D 2 とを足し合わせた信号をロジック回路 3 0 から出力させる（ステップ S 2 0 8）。

[0065] 制御部 3 9 は、受光装置 1 による計測を終了する指示がない限り、上記のステップ S 2 0 1 からステップ S 2 0 8 を実行する（ステップ S 2 0 9）。制御部 3 9 は、受光装置 1 による計測を終了する指示があった場合には、例えばロジック回路 3 0 の動作を停止するなどして低温用受光部 1 0 および高温用受光部 2 0 の動作を停止する（ステップ S 2 1 0）。このとき、制御部 3 9 は、例えば、各 A P D 1 2, 2 2 に負バイアス電圧を印加しないよう電源部 4 1, 4 2 を制御する。

[0066] なお、制御部 3 9 は、温度計 4 0 の温度によらず、常に、低温用受光部 1 0 および高温用受光部 2 0 を駆動し、出力信号 D o u t として、出力信号 D 1 と出力信号 D 2 とを足し合わせた信号をロジック回路 3 0 から出力させてもよい。

[0067] [効果]

次に、本実施の形態に係る受光装置 1 の効果について説明する。

[0068] アバランシェフォトダイオード（APD）には、ブレイクダウン電圧よりも高いバイアス電圧で動作させるガイガーモードと、ブレイクダウン電圧近傍の少し高いバイアス電圧で動作させるリニアモードとがある。ガイガーモードのアバランシェフォトダイオードは、シングルフォトンアバランシェフォトダイオード（SPAD）とも呼ばれている。SPADは、光電変換により発生したキャリアを画素毎に設けられた高電界のPN接合領域で増倍させることで、1個のフォトン画素毎に検出することができるデバイスである。

[0069] ところで、SPADでは、ブレイクダウン電圧の温度依存性から、低温での電荷読み出しが難しい。また、高温では、増倍領域の空乏化に伴うアバランシェ確率が低下する。つまり、PDEは、特定の温度範囲でしか保証できない。

[0070] 一方、本実施形態では、画素 1 1, 2 1 ごとに設けられた複数の受光素子には、PDEの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う2種類の受光素子（APD 1 2, 2 2）が含まれている。これにより、例えば、低温での電荷読み出しの際には、2種類の受光素子のうち、高検出効率の温度領域が相対的に低温側に分布するAPD 1 2を用い、高温での電荷読み出しの際には、2種類の受光素子のうち、高検出効率の温度領域が相対的に高温側に分布するAPD 2 2を用いることにより、低温時および高温時のいずれにおいても、PDEの低下が抑制される。その結果、APD 1 2およびAPD 2 2のいずれかだけを用いた場合と比べて、PDEの保証範囲を広げることができる。

[0071] また、本実施形態において、複数のAPD 1 2がチップ 1 Aの半導体基板に形成され、複数のAPD 2 2がチップ 1 Bの半導体基板に形成されている場合には、チップ 1 Aとチップ 1 Bを別々の工程で製造することができる。これにより、複数のAPD 1 2および複数のAPD 2 2を共通のチップに形成する場合と比べて、製造工程を簡素化することができ、歩留まりを向上さ

せることができる。

[0072] また、本実施形態において、複数のAPD12, 22が共通の半導体基板に形成されている場合には、複数のAPD12および複数のAPD22を別々の半導体基板に形成した場合と比べて、複数のAPD12が形成された画素アレイ10Aと、複数のAPD22が形成された画素アレイ20Aとの間隙を狭く形成することができる。これにより、画素アレイ10Aの光軸と画素アレイ20Aの光軸を近づけることができるので、入射光を画素アレイ10Aおよび画素アレイ20Aに導く光学系の設計が容易となる。

[0073] また、本実施形態では、各APD12, 22に負バイアス電圧を印加する電源部41, 42が設けられている。これにより、各APD12, 22のPDEを向上させることができる。

[0074] また、本実施形態において、温度計40の温度に応じて、各APD12および各APD22のいずれか一方にだけ負バイアス電圧を印加するよう電源部41, 42が制御されている場合には、各APD12, 22に負バイアス電圧を印加した場合と比べて、電力消費量を低減することができる。

[0075] また、本実施形態において、温度計40の温度に応じて、各APD12および各APD22に負バイアス電圧を印加するよう電源部41, 42が制御されている場合には、出力信号Doutとして、出力信号D1と出力信号D2とを足し合わせた信号を出力することができる。その結果、出力信号Doutとして、出力信号D1および出力信号D2のいずれか一方だけを出力した場合と比べて、信号レベルが高く、S/N比の低い信号を出力することが可能となる。

[0076] また、本実施形態において、電源部41, 42が各APD12および各APD22に共通の負バイアス電圧を印加する場合、電源部41, 42を1つの電源部で構成することができる。その場合、受光装置1を小型化することができる。

[0077] また、本実施形態において、電源部41, 42が各APD12および各APD22に、各APD12および各APD22に応じた値の負バイアス電圧

を印加する場合、電源部41、42は、負バイアス電圧を、各APD12および各APD22のPDEが最大となる値に設定することが可能となる。従って、負バイアス電圧を、各APD12および各APD22のPDEが最大となる値に設定することにより、負バイアス電圧を各APD12および各APD22で共通とした場合と比べて、PDEの保証範囲を広げることができる。

[0078] <2. 第1の実施の形態の変形例>

[[変形例A]]

[構成]

上記実施の形態において、受光装置1は、例えば、図16に示したように、中温用受光部50を更に備えていてもよい。中温用受光部50は、画素アレイ50Aを有している。画素アレイ50Aには、複数の画素51が含まれている。本変形例では、画素アレイ10A、20A、50Aが、本開示の「画素アレイ」の一具体例に相当する。画素アレイ10Aおよび画素アレイ20Aの少なくとも一方と画素アレイ50Aとが互いに隣り合って配置されている。

[0079] 本変形例に係る受光装置1において、3つの受光部（低温用受光部10、高温用受光部20、中温用受光部50）は、別々のチップ（半導体基板（例えばシリコン基板））に形成されていてもよい。本変形例に係る受光装置1において、3つの受光部（低温用受光部10、高温用受光部20、中温用受光部50）は、例えば、共通のチップ（半導体基板（例えばシリコン基板））に形成されていてもよい。

[0080] 本変形例に係る受光装置1において、温度計40は、3つの受光部（低温用受光部10、高温用受光部20、中温用受光部50）の温度を計測し、計測結果をロジック回路60に出力する。本変形例では、ロジック回路30の代わりにロジック回路60が設けられている。ロジック回路60は、ロジック回路30に含まれる構成の他に、さらに、複数の画素51を駆動するための回路を有している。複数の画素51を駆動するための回路は、例えば、画

素駆動部 31、MUX 32、信号処理部 33、入出力部 34 および電源部 41 と共通の回路で構成されている。

[0081] 中温用受光部 50 は、上述したように、2次元配置された複数の画素 51 を有している。各画素 51 は、例えば、APD (avalanche photodiode) 52 と、APD 52 のノードに電氣的に接続されたトランジスタとを含んでいる。トランジスタは、ゲートに入力される制御信号に応じてオン状態となることにより、APD 52 で生成された検出信号を信号線 DTL に出力する。トランジスタは、例えば、電界効果型の薄膜トランジスタ (TFET) で構成されている。

[0082] 本変形例に係る受光装置 1 において、制御部 39 は、ロジック回路 30 からの出力を制御する。本変形例では、制御部 39 は、出力信号 D1、出力信号 D2 および出力信号 D3 のいずれかを、出力信号 Dout としてロジック回路 30 から出力させる。出力信号 D3 は、中温用受光部 50 において画素駆動部で選択された画素行の各画素 51 から出力された検出信号に対応するデータである。制御部 39 は、温度計 40 の温度に応じて、3つの受光部（低温用受光部 10、高温用受光部 20、中温用受光部 50）のいずれかを駆動するための各種回路だけを駆動するようロジック回路 60 を制御してもよい。制御部 39 は、温度計 40 の温度に応じて、3つの受光部（低温用受光部 10、高温用受光部 20、中温用受光部 50）のいずれかに含まれる各 APD にだけ負バイアス電圧を印加するよう電源部を制御してもよい。

[0083] 図 17 は、APD 12、22、52 の PDE の温度依存性の一例を表したものである。APD 12 は、低温域において高い PDE を有している。APD 22 は、高温域において高い PDE を有している。APD 52 は、中温域において高い PDE を有している。APD 12 では、高 PDE の温度領域が相対的に低温側に分布している。APD 22 では、高 PDE の温度領域が相対的に高温側に分布している。APD 52 では、高 PDE の温度領域が相対的に中温側に分布している。

[0084] APD 12 の高 PDE の温度領域と、APD 22 の高 PDE の温度領域と

、APD52の高PDEの温度領域とが互いに異なっている。さらに、APD12の高PDEの温度領域の一部と、APD52の高PDEの温度領域の一部とが、互いに重なり合っており、APD52の高PDEの温度領域の一部と、APD22の高PDEの温度領域の一部とが、互いに重なり合っている。図17に示したように、APD12, 52における高PDEの重なり領域OL1において、APD12の高PDEの温度領域のうち高温側の領域と、APD52の高PDEの温度領域のうち低温側の領域とが互いに重なり合っている。また、図17に示したように、APD52, 22における高PDEの重なり領域OLにおいて、APD52の高PDEの温度領域のうち高温側の領域と、APD22の高PDEの温度領域のうち低温側の領域とが互いに重なり合っている。

[0085] APD12、APD22およびAPD52では、例えば、増倍領域に含まれる不純物濃度、増倍領域に含まれる不純物の種類、増倍領域の厚さ、および増倍領域の面積の少なくとも1つが互いに異なっている。これにより、APD12の高PDEの温度領域と、APD22の高PDEの温度領域と、APD52の高PDEの温度領域とが互いに異なっている。

[0086] [動作]

次に、低温用受光部10、高温用受光部20および中温用受光部50（出力信号D1, D2, D3）の切り換え手順について説明する。

[0087] 図18は、低温用受光部10、高温用受光部20および中温用受光部50（出力信号D1, D2, D3）の切り換え手順の一例を表したものである。制御部39は、温度計40の温度が、重なり領域OL2内の所定の温度（閾値 T_{th4} ）以上か否かを判定する（ステップS301）。温度計40の温度が閾値 T_{th4} 以上となっている場合には、制御部39は、例えば低温用受光部10および中温用受光部50を駆動する各種回路の動作を停止するなどして低温用受光部10および中温用受光部50の動作を停止する。さらに、制御部39は、例えば高温用受光部20を駆動する各種回路を動作させるなどして高温用受光部20を駆動する（ステップS302）。このとき、制

制御部39は、各APD22にだけ負バイアス電圧を印加するよう電源部を制御してもよい。その結果、低温用受光部10および中温用受光部50からは出力信号D1, D3が出力されず、高温用受光部20からは出力信号D2が出力される。このとき、制御部39は、出力信号Doutとして、出力信号D2をロジック回路30から出力させる（ステップS303）。

[0088] ステップS301において、温度計40の温度が閾値Tth4未満となっている場合には、制御部39は、温度計40の温度が重なり領域OL1内の所定の温度（閾値Tth3）以下か否かを判定する（ステップS304）。温度計40の温度が閾値Tth3以下となっている場合には、制御部39は、例えば中温用受光部50および高温用受光部20を駆動する各種回路の動作を停止するなどして中温用受光部50および高温用受光部20の動作を停止する。さらに、制御部39は、例えば低温用受光部10を駆動する各種回路を動作させるなどして低温用受光部10を駆動する（ステップS305）。このとき、制御部39は、各APD12にだけ負バイアス電圧を印加するよう電源部を制御してもよい。その結果、中温用受光部50および高温用受光部20からは出力信号D2, D3が出力されず、低温用受光部10からは出力信号D1が出力される。このとき、制御部39は、出力信号Doutとして、出力信号D1をロジック回路30から出力させる（ステップS306）。

[0089] ステップS304において、温度計40の温度が閾値Tth3よりも大きい場合には、制御部39は、例えば低温用受光部10および高温用受光部20を駆動する各種回路の動作を停止するなどして低温用受光部10および高温用受光部20の動作を停止する。さらに、制御部39は、例えば中温用受光部50を駆動する各種回路を動作させるなどして中温用受光部50を駆動する（ステップS307）。このとき、制御部39は、各APD52にだけ負バイアス電圧を印加するよう電源部を制御してもよい。その結果、低温用受光部10および高温用受光部20からは出力信号D1, D2が出力されず、中温用受光部50からは出力信号D3が出力される。このとき、制御部3

9は、出力信号Doutとして、出力信号D3をロジック回路30から出力させる（ステップS308）。

[0090] 制御部39は、受光装置1による計測を終了する指示がない限り、上記のステップS301からステップS308を実行する（ステップS309）。制御部39は、受光装置1による計測を終了する指示があった場合には、例えばロジック回路30の動作を停止するなどして低温用受光部10、中温用受光部50および高温用受光部20の動作を停止する（ステップS310）。

[0091] [効果]

次に、本変形例に係る受光装置1の効果について説明する。本変形例では、画素11、21、51ごとに設けられた複数の受光素子には、PDEの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う3種類の受光素子（APD12、22、52）が含まれている。これにより、例えば、低温での電荷読み出しの際には、3種類の受光素子のうち、高検出効率の温度領域が相対的に低温側に分布するAPD12を用いる。また、例えば、中温での電荷読み出しの際には、3種類の受光素子のうち、高検出効率の温度領域が相対的に中温側に分布するAPD52を用いる。また、例えば、高温での電荷読み出しの際には、3種類の受光素子のうち、高検出効率の温度領域が相対的に高温側に分布するAPD22を用いる。これにより、低温時、中温時および高温時のいずれにおいても、PDEの低下が抑制される。その結果、APD12、APD22およびAPD52のいずれかだけを用いた場合と比べて、PDEの保証範囲を広げることができる。

[0092] <3. 第2の実施の形態>

[構成]

次に、本開示の第2の実施形態に係る受光装置2について説明する。図19は、受光装置2の概略構成例を表したものである。受光装置2は、例えば、1つの受光部70と、ロジック回路80と、温度計40とを備えている。受光部70は、画素アレイ70Aを有している。画素アレイ70Aには、複

数の画素 71, 72 が含まれている。画素アレイ 70A が、本開示の「画素アレイ」の一具体例に相当する。ロジック回路 80 は、受光部 70 からの出力信号 $Dout'$ に基づいて生成した出力信号 $Dout$ を外部へ出力する。画素 71, 72 については、後に詳述する。

[0093] 受光装置 2 において、受光部 70 は、例えば、図 20 に示したように、ロジック回路 80 や温度計 40 が設けられたチップとは別体のチップ 2A に形成されている。チップ 2A は、例えば、シリコン基板を含んで構成されている。受光部 70 は、チップ 2A のシリコン基板（第 1 半導体基板）に形成されている。

[0094] また、受光装置 2 において、ロジック回路 80 は、例えば、チップ 2A とは別体のチップ 2B に形成されており、温度計 40 は、例えば、チップ 2A, 2B とは別体のチップ 2C に形成されている。このとき、チップ 2A が、チップ 2B 上に貼り合わされていてもよいし、チップ 2A, 2B, 2C が共通の支持基板上に貼り合わされていてもよい。チップ 2C は、チップ 2B の裏面に貼り合わされていてもよい。

[0095] なお、受光装置 2 において、受光部 70 およびロジック回路 80 が、例えば、図 21 に示したように、共通のチップ 2D に形成されていてもよい。このとき、チップ 2D は、例えば、シリコン基板を含んで構成されており、受光部 70 およびロジック回路 80 が、共通のシリコン基板に形成されている。また、受光装置 2 において、受光部 70、ロジック回路 80 および温度計 40 が、例えば、図 22 に示したように、共通のチップ 2E に形成されていてもよい。このとき、チップ 2E は、例えば、シリコン基板を含んで構成されており、受光部 70、ロジック回路 80 および温度計 40 が、共通のシリコン基板に形成されている。

[0096] 温度計 40 は、受光部 70 の温度を計測し、計測結果をロジック回路 80 に出力する。チップ 2E がシリコン基板を含んで構成されている場合、温度計 40 は、例えば、シリコンダイオード温度センサで構成されている。温度計 40 がチップ 2C に形成されている場合、温度計 40 は、例えば、シリコ

ンダイオード温度センサで構成されていてもよいし、他の温度センサで構成されていてもよい。

[0097] 図23は、ロジック回路80の概略構成例を表したものである。図24(A)は、各画素71の回路構成例を表したものである。図24(B)は、各画素72の回路構成例を表したものである。ロジック回路80は、例えば、画素駆動部81、MUX82、信号処理部83、入出力部84、制御部85および電源部86を有している。画素駆動部81は、受光部70内の各画素71、72を駆動する。MUX82、信号処理部83および入出力部84は、受光部70からの出力を処理する。以下、入出力部84の出力を出力信号Doutと称する。電源部86は、各画素71、72に所定の電圧（電源電圧Vc、Ve）を供給する。

[0098] 受光部70は、上述したように、2次元配置された複数の画素71、72を有している。複数の画素71、72は、例えば、画素アレイ70Aにおいて行方向および列方向において交互に配置されている。

[0099] 各画素71は、例えば、APD (avalanche photodiode) 73と、APD 73のノードに電氣的に接続されたトランジスタTr1とを含んでいる。APD 73が、本開示の「第1受光素子」の一具体例に相当する。トランジスタTr1は、ゲートに入力される制御信号に応じてオン状態となることにより、APD 73で生成された検出信号を信号線DTLに出力する。トランジスタTr1は、例えば、電界効果型の薄膜トランジスタ(TFT)で構成されている。

[0100] 各画素72は、例えば、APD (avalanche photodiode) 74と、APD 74のノードに電氣的に接続されたトランジスタTr2とを含んでいる。APD 74が、本開示の「第2受光素子」の一具体例に相当する。トランジスタTr2は、ゲートに入力される制御信号に応じてオン状態となることにより、APD 74で生成された検出信号を信号線DTLに出力する。トランジスタTr2は、例えば、電界効果型の薄膜トランジスタ(TFT)で構成されている。

- [0101] APD 73, 74は、入射光が入射されたとき、発生する電荷をアバランシェ増幅させ、それにより得られた検出信号を出力するフォトダイオード（単一光子アバランシェフォトダイオード）である。APD 73, 74のアノードに供給される電源電圧 V_c は、例えば、 $-20V$ 程度の負バイアス（負の電位）である。APD 73, 74のカソードには、トランジスタ Tr_1 , Tr_2 のソース・ドレインを介して、電源電圧 V_e が供給される。電源電圧 V_e は、例えば、 $3V$ 程度の正の電位である。トランジスタ Tr_1 , Tr_2 は、飽和領域で動作する定電流源であり、クエンチング抵抗として働くことにより、パッシブクエンチを行う。
- [0102] 受光部70は、さらに、複数の信号線DTLおよび複数のゲート線GTLを有している。受光部70は、さらに、複数の電源線PWL1, PWL2およびグラウンド線GNDを有している。受光部70は、さらに、各画素71において、スイッチ素子SW1、インバータINV1, INV2およびラッチ回路18を有しており、各画素72において、スイッチ素子SW2、インバータINV3, INV4およびラッチ回路28を有している。
- [0103] 信号線DTLは、APD 73, 74から検出信号を読み出すための配線である。ゲート線GTLは、トランジスタ Tr_1 , Tr_2 をオンオフ制御する制御信号をトランジスタ Tr_1 , Tr_2 のゲートに入力するための配線である。電源線PWL1は、APD 73, 74のアノード電位を決めるための配線である。電源線PWL2は、APD 73, 74のカソード電位を決めるための配線である。トランジスタ Tr_1 , Tr_2 のゲートがゲート線GTLに接続されている。トランジスタ Tr_1 , Tr_2 のソースまたはドレインがAPD 73, 74のカソードと、インバータINV1, INV3の入力端子とに接続されている。インバータINV1, INV3の出力端子が信号線DTLに接続されている。トランジスタ Tr_1 , Tr_2 のソースおよびドレインのうちカソードに未接続の電極が電源線PWL2に接続されている。APD 73, 74のカソードがトランジスタ Tr_1 , Tr_2 のソースまたはドレインに接続され、APD 73, 74のアノードが電源線PWL1に接続されて

いる。インバータINV2, INV4の入力端子がラッチ回路18, 28に接続され、インバータINV2, INV4の出力端子がスイッチ素子SW1のオンオフ制御端子に接続されている。スイッチ素子SW1はAPD73に並列に接続されている。スイッチ素子SW2はAPD74に並列に接続されている。

[0104] スwitch素子SW1, SW2は、例えば、ラッチ回路18, 28の出力であるゲーティング制御信号を、インバータINV2, INV4で反転させたゲーティング反転信号に応じてオンオフさせる。ラッチ回路18, 28は、画素駆動部81から供給されるトリガ信号SETと、アドレスデータDECとに基づいて、画素71, 72をアクティブ画素または非アクティブ画素のいずれかに制御するゲーティング制御信号をインバータINV2, INV4に供給する。インバータINV2, INV4は、ゲーティング制御信号を反転させたゲーティング反転信号を生成し、スイッチ素子SW1, SW2に供給する。

[0105] トリガ信号SETは、ゲーティング制御信号を切り替えるタイミングを示すタイミング信号であり、アドレスデータDECは、画素アレイ70A内の行列状に配置された複数の画素71, 72のうち、アクティブ画素に設定する画素のアドレスを示すデータである。トリガ信号SETとアドレスデータDECは、画素駆動部81から供給される。

[0106] ラッチ回路18, 28は、トリガ信号SETが示す所定のタイミングで、アドレスデータDECを読み込む。そして、ラッチ回路18, 28は、アドレスデータDECが示す画素アドレスに自分（の画素71, 72）の画素アドレスが含まれている場合には、自身の画素71, 72をアクティブ画素に設定するためのHi（1）のゲーティング制御信号を出力する。一方、アドレスデータDECが示す画素アドレスに自分（の画素71, 72）の画素アドレスが含まれていない場合には、自身の画素71, 72を非アクティブ画素に設定するためのLo（0）のゲーティング制御信号を出力する。これにより、画素71, 72がアクティブ画素とされる場合には、インバータIN

V₂, I_{NV4}によって反転されたL_o (0)のゲーティング反転信号がスイッチ素子SW₁, SW₂に供給される。一方、画素7₁, 7₂が非アクティブ画素とされる場合には、H_i (1)のゲーティング反転信号がスイッチ素子SW₁, SW₂に供給される。したがって、スイッチ素子SW₁, SW₂は、画素7₁, 7₂がアクティブ画素に設定される場合にオフし（非接続とされ）、非アクティブ画素に設定される場合にオンされる（接続される）。インバータI_{NV2}, I_{NV4}は、入力信号としてのカソード電圧がL_oのとき、H_iの検出信号を出力し、カソード電圧がH_iのとき、L_oの検出信号を出力する。インバータI_{NV2}, I_{NV4}は、APD 7₃, 7₄への光子の入射を検出信号として出力する出力部である。

[0107] 次に、各画素7₁, 7₂の動作について説明する。まず、画素7₁, 7₂がアクティブ画素である場合、上述したように、スイッチ素子SW₁, SW₂はオフに設定される。

[0108] APD 7₃, 7₄のカソードには電源電圧V_eが供給され、アノードには電源電圧V_a, V_bが供給されることから、APD 7₃, 7₄に降伏電圧V_{BD}より大きい逆電圧が印加されることにより、APD 7₃, 7₄がガイガーモードに設定される。この状態では、APD 7₃, 7₄のカソード電圧V_Sは、例えば図7の時刻t₀のように、電源電圧V_eと同じである。

[0109] ガイガーモードに設定されたAPD 7₃, 7₄に光子が入射すると、アバランシェ増倍が発生し、APD 7₃, 7₄に電流が流れる。

[0110] 図7の時刻t₁において、アバランシェ増倍が発生し、APD 7₃, 7₄に電流が流れたとすると、時刻t₁以降、APD 7₃, 7₄に電流が流れることにより、トランジスタT_{r1}, T_{r2}にも電流が流れ、トランジスタT_{r1}, T_{r2}の抵抗成分により電圧降下が発生する。

[0111] 時刻t₂において、APD 7₃, 7₄のカソード電圧V_Sが0Vよりも低くなると、APD 7₃, 7₄のアノード・カソード間電圧が降伏電圧V_{BD}よりも低い状態となるので、アバランシェ増幅が停止する。ここで、アバランシェ増幅により発生する電流がトランジスタT_{r1}, T_{r2}に流れること

で電圧降下を発生させ、発生した電圧降下に伴って、カソード電圧 V_S が降伏電圧 V_{BD} よりも低い状態となることで、アバランシェ増幅を停止させる動作がクエンチ動作である。

[0112] アバランシェ増幅が停止するとトランジスタ T_{r1} 、 T_{r2} の抵抗に流れる電流が徐々に減少して、時刻 t_4 において、再びカソード電圧 V_S が元の電源電圧 V_e まで戻り、次の新たなフォトンを検出できる状態となる（リチャージ動作）。

[0113] インバータ I_{NV2} 、 I_{NV4} は、入力電圧であるカソード電圧 V_S が所定の閾値電圧 V_{th} 以上のとき、 L_o の検出信号 P_{Fout} を出力し、カソード電圧 V_S が所定の閾値電圧 V_{th} 未満のとき、 H_i の検出信号 P_{Fout} を出力する。従って、 APD_{73} 、 74 に光子が入射し、アバランシェ増倍が発生してカソード電圧 V_S が低下し、閾値電圧 V_{th} を下回ると、検出信号 P_{Fout} は、ローレベルからハイレベルに反転する。一方、 APD_{73} 、 74 のアバランシェ増倍が収束し、カソード電圧 V_S が上昇し、閾値電圧 V_{th} 以上になると、検出信号 P_{Fout} は、ハイレベルからローレベルに反転する。

[0114] なお、画素 71 、 72 が非アクティブ画素とされる場合には、 $H_i(1)$ のゲーティング反転信号がスイッチ素子 $SW1$ 、 $SW2$ に供給され、スイッチ素子 $SW1$ 、 $SW2$ がオンされる。スイッチ素子 $SW1$ 、 $SW2$ がオンされると、 APD_{73} 、 74 のカソード電圧 V_S が $0V$ となる。その結果、 APD_{73} 、 74 のアノード・カソード間電圧が降伏電圧 V_{BD} 以下となるので、 APD_{73} 、 74 に光子が入ってきても反応しない状態となる。

[0115] 画素駆動部 81 は、例えば、シフトレジスタやアドレスデコーダ等によって構成され、各画素 71 、 72 を、例えば行単位で駆動する。画素駆動部 81 によって選択走査された画素行の各画素 71 、 72 から出力された検出信号は、各信号線 D_{TL} を介して MUX_{82} に供給される。

[0116] MUX_{82} は、画素アレイ $70A$ 内のアクティブ画素と非アクティブ画素の切替えにしたがい、アクティブ画素からの出力を選択する。そして、 MU

X 8 2 は、選択したアクティブ画素から入力される画素信号を信号処理部 8 3 へ出力する。

[0117] 信号処理部 8 3 は、例えば、時間計測部である。時間計測部は、M U X 8 2 から供給されるアクティブ画素の画素信号と、光源（後述）の発光タイミングを示す発光タイミング信号とに基づいて、光源が光を発光してからアクティブ画素が光を受光するまでの時間に対応するカウント値を生成する。時間計測部は、T D C（Time to Digital Converter）とも呼ばれる。発光タイミング信号は、入出力部 8 4 を介して外部から供給される。

[0118] なお、信号処理部 8 3 は、カウンタ部であってもよい。カウンタ部は、例えば、所定の期間、M U X 8 2 から入力される検出信号の数をカウントし、それにより得られた画素ごとのカウント値を出力する。

[0119] 電源部 8 6 は、各画素 7 1，7 2 に接続された各電源線 P W L 1 に接続されており、各画素 7 1，7 2 が接続された各電源線 P W L 1 に負バイアス電圧（電源電圧 V c）を印加する。電源部 8 6 は、さらに、各画素 7 1，7 2 に接続された各電源線 P W L 2 に接続されており、各画素 7 1，7 2 が接続された各電源線 P W L 2 に所定の電圧（電源電圧 V e）を印加する。電源電圧 V c は、A P D 7 3，7 4 の P D E がともに最大となる値となっていることが好ましい。

[0120] 入出力部 8 4 は、制御部 8 5 からの制御に従って、信号処理部 8 3 から出力された出力信号 D o u t' から、各画素 7 1 から得られた出力信号 D 1 および各画素 7 2 から得られた出力信号 D 2 のいずれかを抽出する。入出力部 8 4 は、抽出により得られた信号を出力信号 D o u t として出力する。入出力部 8 4 は、温度計 4 0 の温度に応じて、出力信号 D 1 および出力信号 D 2 のいずれかを選択する。信号処理部 8 3 が時間計測部である場合、入出力部 8 4 は、制御部 8 5 から供給される発光タイミング信号を画素駆動部 8 1 および信号処理部 8 3 に供給する。

[0121] 制御部 8 5 は、外部から与えられるクロックなどを受け取り、また、受光装置 2 の内部情報などのデータを出力する。制御部 8 5 は、さらに、各種の

タイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に、画素駆動部 81、MUX 82、信号処理部 83、入出力部 84 および電源部 86 などの駆動制御を行う。制御部 85 は、ロジック回路 80 からの出力を制御する。本実施の形態では、制御部 85 は、出力信号 D1 および出力信号 D2 のいずれかを含み出力信号 D_{out} を入出力部 84 から出力させる。制御部 85 は、温度計 40 の温度に応じて、出力信号 D1 および出力信号 D2 のいずれを選択するか、入出力部 84 に指示する。

[0122] 図 25 は、低温用の各画素 71 の断面構成例を表したものである。各画素 71 は、例えば、n 型半導体領域 73a および p 型半導体領域 73b を有している。p 型半導体領域 73b は、n 型半導体領域 73a の下部に接して形成されている。n 型半導体領域 73a および p 型半導体領域 73b は、ウェル層 73c 内に形成されている。ウェル層 73c は、n 型半導体層であってもよいし、p 型半導体層であってもよい。ウェル層 73c は、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度の n 型半導体層または p 型半導体層であることが好ましい。この場合、ウェル層 73c は空乏化しやすく、APD 73 の PDE の向上を図ることができる。

[0123] n 型半導体領域 73a は、例えば、Si（シリコン）からなり、高不純物濃度の n 型半導体領域である。p 型半導体領域 73b は、例えば、Si（シリコン）からなり、高不純物濃度の p 型半導体領域である。p 型半導体領域 73b は、n 型半導体領域 73a との界面で pn 接合を構成している。この pn 接合を含む領域が高電界領域となり、n 型半導体領域 73a が光電変換領域となる。p 型半導体領域 73b は、被検出光の入射によって生じたキャリアをアバランシェ増幅する増倍領域を有する。p 型半導体領域 73b は、空乏化していることが好ましい。この場合、APD 73 の PDE の向上を図ることができる。n 型半導体領域 73a は、カソードとして機能し、コンタクト 78 を介して、回路に接続されている。カソードに対するアノード 73d は、n 型半導体領域 73a と同層であり、n 型半導体領域 73a と分離領

域 7 5 との間に形成されている。アノード 7 3 d は、コンタクト 7 9 を介して回路に接続されている。

[0124] 互いに隣接する 2 つの A P D 7 3, 7 4 同士を分離するための分離領域 7 5 が形成されており、分離領域 7 5 とウェル層 7 3 c との間にはホール (hole) 蓄積領域 7 3 e が形成されている。ホール蓄積領域 7 3 e は、アノード 7 3 d の下側に形成され、アノード 7 3 d と電氣的に接続された状態で形成されている。また、ホール蓄積領域 7 3 e は、ウェル層 7 3 c と分離領域 7 5 との間に形成されている。さらに、ホール蓄積領域 7 3 e は、ウェル層 7 3 c の下部にも接して形成されている。ホール蓄積領域 7 3 e は、異なる材質が接する部分に形成される。図 2 5 に示した例では、分離領域 7 5 は、例えばシリコン酸化膜からなり、ウェル層 7 3 c とは異なる材料で構成されている。この場合、界面で発生する暗電流を抑制するためにホール蓄積領域 7 3 e が形成されている。ホール蓄積領域 7 3 e は、例えば、p 型半導体領域として形成することができる。

[0125] 分離領域 7 5 は、互いに隣接する 2 つの A P D 7 3, 7 4 の間に形成され、各 A P D 7 3, 7 4 を分離する。すなわち、分離領域 7 5 は、各 A P D 7 3, 7 4 と 1 対 1 に対応して増倍領域が形成されるように形成される。分離領域 7 5 は、各 A P D 7 3, 7 4 の周囲を完全に囲うように 2 次元格子状に形成される。分離領域 7 5 は、積層方向でウェル層 7 3 c の上面側から下面側まで貫通して形成されている。なお、分離領域 7 5 は、上面側から下面側まで全部貫通する構成以外、例えば、一部分のみ貫通し、基板の途中まで挿入されている構成となってもよい。

[0126] 図 2 6 は、高温用の各画素 7 2 の断面構成例を表したものである。各画素 7 2 は、例えば、n 型半導体領域 7 4 a および p 型半導体領域 7 4 b を有している。p 型半導体領域 7 4 b は、n 型半導体領域 7 4 a の下部に接して形成されている。n 型半導体領域 7 4 a および p 型半導体領域 7 4 b は、ウェル層 7 4 c 内に形成されている。ウェル層 7 4 c は、n 型半導体層であってもよいし、p 型半導体層であってもよい。ウェル層 7 4 c は、例えば、1 ×

$1.0 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度のn型半導体層またはp型半導体層であることが好ましい。この場合、ウェル層74cは空乏化しやすく、APD74のPDEの向上を図ることができる。

[0127] n型半導体領域74aは、例えば、Si（シリコン）からなり、高不純物濃度のn型半導体領域である。p型半導体領域74bは、例えば、Si（シリコン）からなり、高不純物濃度のp型半導体領域である。p型半導体領域74bは、n型半導体領域74aとの界面でpn接合を構成している。このpn接合を含む領域が高電界領域となり、n型半導体領域74aが光電変換領域となる。p型半導体領域74bは、被検出光の入射によって生じたキャリアをアバランシェ増幅する増倍領域を有する。p型半導体領域74bは、空乏化していることが好ましい。この場合、APD74のPDEの向上を図ることができる。n型半導体領域74aは、カソードとして機能し、コンタクト78を介して、回路に接続されている。カソードに対するアノード74dは、n型半導体領域74aと同層であり、n型半導体領域74aと分離領域75との間に形成されている。アノード73dは、コンタクト79を介して回路に接続されている。

[0128] 互いに隣接する2つのAPD73, 74同士を分離するための分離領域75が形成されており、分離領域75とウェル層74cとの間にはホール（hole）蓄積領域74eが形成されている。ホール蓄積領域74eは、アノード74dの下側に形成され、アノード74dと電氣的に接続された状態で形成されている。また、ホール蓄積領域74eは、ウェル層74cと分離領域75との間に形成されている。さらに、ホール蓄積領域74eは、ウェル層74cの下部にも接して形成されている。ホール蓄積領域74eは、異なる材質が接する部分に形成される。図26に示した例では、分離領域75は、例えばシリコン酸化膜からなり、ウェル層74cとは異なる材料で構成されている。この場合、界面で発生する暗電流を抑制するためにホール蓄積領域74eが形成されている。ホール蓄積領域74eは、例えば、p型半導体領域として形成することができる。

[0129] 図27は、受光部70の平面構成例を表したものである。図27には、2×2の4個のAPD（2個のAPD73および2個のAPD74）が配置されている例が示されている。上述したように、各APD73、74は、格子状に形成された分離領域75によって互いに分離されている。分離領域75の内側には、アノード73d、74dが形成されている。APD73、74の中央部分には、n型半導体領域73a、74aが形成されており、アノード73d、74dとn型半導体領域73a、74aとの間には、ウェル層73c、74cが形成されている。n型半導体領域73a、74aは、例えば、四角形状となっている。n型半導体領域73a、74aの平面形状は、四角形状に限られるものではなく、例えば、円形状となってもよい。n型半導体領域73a、74aを四角形状とした場合、増倍領域の面積を広く確保することができるので、PDEを向上させることができる。n型半導体領域73a、74aを円形状とした場合、APD73、74内での電界集中を抑制することができ、意図しないブレイクダウンを低減することができる。

[0130] 図28は、APD73、74のPDEの温度依存性の一例を表したものである。APD73は、低温域において高いPDEを有している。一方、APD74は、高温域において高いPDEを有している。APD73では、高PDEの温度領域が相対的に低温側に分布している。APD74では、高PDEの温度領域が相対的に高温側に分布している。

[0131] APD73の高PDEの温度領域と、APD74の高PDEの温度領域とが互いに異なり、さらに、APD73の高PDEの温度領域の一部と、APD74の高PDEの温度領域の一部とが、互いに重なり合っている。

「高PDEの温度領域」とは、PDEの温度分布において、ピーク値の半分の値よりも大きな温度領域を指している。図28に示したように、APD73、74における高PDEの重なり領域OLにおいて、APD73の高PDEの温度領域のうち高温側の領域と、APD74の高PDEの温度領域のうち低温側の領域とが互いに重なり合っている。

[0132] APD73とAPD74とでは、例えば、増倍領域（p型半導体領域73

b, 74 b) に含まれる不純物濃度、増倍領域 (p 型半導体領域 73 b, 74 b) に含まれる不純物の種類、増倍領域 (p 型半導体領域 73 b, 74 b) の厚さ、および増倍領域 (p 型半導体領域 73 b, 74 b) の面積の少なくとも 1 つが互いに異なっている。これにより、APD 73 の高 PDE の温度領域と、APD 74 の高 PDE の温度領域とが互いに異なっている。

[0133] [動作]

次に、出力信号 D1, D2 の切り換え手順について説明する。

[0134] 図 29 は、出力信号 D1, D2 の切り換え手順の一例を表したものである。制御部 85 は、温度計 40 の温度が、重なり領域 OL 内の所定の温度 (閾値 T_{th}) 以上か否かを判定する (ステップ S401)。温度計 40 の温度が閾値 T_{th} 以上となっている場合には、制御部 85 は、出力信号 D2 の選択を指示する制御信号を入出力部 84 に出力する。入出力部 84 は、制御部 85 からの制御信号に基づいて、信号処理部 83 から出力された出力信号 D_{out}' から出力信号 D2 を抽出する (ステップ S402)。入出力部 84 は、抽出により得られた出力信号 D2 を出力信号 D_{out} として出力する (ステップ S403)。

[0135] ステップ S401 において、温度計 40 の温度が閾値 T_{th} 未満となっている場合には、制御部 85 は、出力信号 D1 の選択を指示する制御信号を入出力部 84 に出力する。入出力部 84 は、制御部 85 からの制御信号に基づいて、信号処理部 83 から出力された出力信号 D_{out}' から出力信号 D1 を抽出する (ステップ S404)。入出力部 84 は、抽出により得られた出力信号 D2 を出力信号 D_{out} として出力する (ステップ S405)。

[0136] 制御部 85 は、受光装置 2 による計測を終了する指示がない限り、上記のステップ S401 からステップ S405 を実行する (ステップ S406)。制御部 85 は、受光装置 2 による計測を終了する指示があった場合には、例えばロジック回路 80 の動作を停止するなどして受光部 70 の動作を停止する (ステップ S407)。

[0137] なお、例えば、図 30 に示したように、重なり領域 OL の下限および上限

にそれぞれ閾値 T_{th1} , T_{th2} が設定されている場合には、制御部 85 は、以下の切り換え手順を実行してもよい。

[0138] 図 31 は、出力信号 $D1$, $D2$ の切り換え手順の一例を表したものである。制御部 85 は、温度計 40 の温度が、重なり領域 OL の上限の温度（閾値 T_{th2} ）以上か否かを判定する（ステップ $S501$ ）。温度計 40 の温度が閾値 T_{th2} 以上となっている場合には、制御部 85 は、出力信号 $D2$ の選択を指示する制御信号を入出力部 84 に出力する。入出力部 84 は、制御部 85 からの制御信号に基づいて、信号処理部 83 から出力された出力信号 D_{out}' から出力信号 $D2$ を抽出する（ステップ $S502$ ）。入出力部 84 は、抽出により得られた出力信号 $D2$ を出力信号 D_{out} として出力する（ステップ $S503$ ）。

[0139] ステップ $S501$ において、温度計 40 の温度が閾値 T_{th2} 未満となっている場合には、制御部 85 は、温度計 40 の温度が閾値 T_{th1} 以下か否かを判定する（ステップ $S504$ ）。温度計 40 の温度が閾値 T_{th1} 以下となっている場合には、制御部 85 は、出力信号 $D1$ の選択を指示する制御信号を入出力部 84 に出力する。入出力部 84 は、制御部 85 からの制御信号に基づいて、信号処理部 83 から出力された出力信号 D_{out}' から出力信号 $D1$ を抽出する（ステップ $S505$ ）。入出力部 84 は、抽出により得られた出力信号 $D1$ を出力信号 D_{out} として出力する（ステップ $S506$ ）。

[0140] ステップ $S504$ において、温度計 40 の温度が閾値 T_{th1} よりも大きい場合には、制御部 85 は、出力信号 $D1$, $D2$ の選択を指示する制御信号を入出力部 84 に出力する。入出力部 84 は、制御部 85 からの制御信号に基づいて、信号処理部 83 から出力された出力信号 D_{out}' から出力信号 $D1$, $D2$ を抽出する（ステップ $S507$ ）。入出力部 84 は、抽出により得られた出力信号 $D1$, $D2$ を出力信号 D_{out} として出力する（ステップ $S508$ ）。

[0141] 制御部 85 は、受光装置 2 による計測を終了する指示がない限り、上記の

ステップS501からステップS508を実行する（ステップS509）。制御部85は、受光装置2による計測を終了する指示があった場合には、例えばロジック回路80の動作を停止するなどして受光部70の動作を停止する（ステップS510）。このとき、制御部85は、例えば、各APD73、74に負バイアス電圧を印加しないよう電源部86を制御する。

[0142] なお、制御部85は、温度計40の温度によらず、常に、受光部70を駆動し、出力信号Doutとして、出力信号D1、D2を含む信号をロジック回路80から出力させてもよい。

[0143] [効果]

次に、本実施の形態に係る受光装置2の効果について説明する。

[0144] 本実施の形態では、画素71、72ごとに設けられた複数の受光素子には、PDEの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う2種類の受光素子（APD73、74）が含まれている。これにより、例えば、低温での電荷読み出しの際には、2種類の受光素子のうち、高検出効率の温度領域が相対的に低温側に分布するAPD73を用い、高温での電荷読み出しの際には、2種類の受光素子のうち、高検出効率の温度領域が相対的に高温側に分布するAPD74を用いることにより、低温時および高温時のいずれにおいても、PDEの低下が抑制される。その結果、APD73およびAPD74のいずれかだけを用いた場合と比べて、PDEの保証範囲を広げることができる。

[0145] また、本実施形態では、複数のAPD73、74が画素アレイ70Aにおいて交互に配置されている。これにより、複数のAPD73および複数のAPD74をそれぞれ別々の領域に形成した場合と比べて、共通の座標に位置するAPD73およびAPD74間の距離を縮めることができる。その結果、複数のAPD73の光軸と複数のAPD74の光軸を近づけることができるので、入射光を画素アレイ70Aに導く光学系の設計が容易となる。

[0146] また、本実施形態では、各APD73、74に負バイアス電圧Vcを印加する電源部86が設けられている。これにより、各APD73、74のPD

Eを向上させることができる。

[0147] また、本実施形態では、各APD73, 74に共通の負バイアス電圧V_cが電源部86によって印加される。これにより、各APD73, 74に互いに異なる負バイアス電圧を印加する場合と比べて、受光装置2を小型化することができる。

[0148] <4. 第3の実施の形態>

[構成]

次に、本開示の第3の実施形態に係る受光装置3について説明する。図32は、受光装置3の概略構成例を表したものである。受光装置3は、例えば、1つの受光部110と、ロジック回路120と、温度計130とを備えている。受光部110は、画素アレイ110Aを有している。画素アレイ110Aには、複数の画素P_xが含まれている。画素アレイ110Aが、本開示の「画素アレイ」の一具体例に相当する。ロジック回路120は、受光部110からの出力に基づいて生成された出力信号D_{out}を外部へ出力する。各画素P_xは、低温用の副画素P_aと、高温用の副画素P_bとを含んで構成されている。副画素P_a, P_bについては、後に詳述する。

[0149] 受光装置3において、受光部110は、例えば、図33に示したように、ロジック回路120や温度計130が設けられたチップとは別体のチップ3Aに形成されている。チップ3Aは、例えば、シリコン基板を含んで構成されている。受光部110は、チップ3Aのシリコン基板（半導体基板）に形成されている。

[0150] また、受光装置3において、ロジック回路120は、例えば、チップ3Aとは別体のチップ3Bに形成されており、温度計130は、例えば、チップ3A, 3Bとは別体のチップ3Cに形成されている。このとき、チップ3Aが、チップ3B上に貼り合わされていてもよいし、チップ3A, 3B, 3Cが共通の支持基板上に貼り合わされていてもよい。チップ3Cは、チップ3Bの裏面に貼り合わされていてもよい。

[0151] なお、受光装置3において、受光部110およびロジック回路120が、

例えば、図34に示したように、共通のチップ3Dに形成されていてもよい。このとき、チップ3Dは、例えば、シリコン基板を含んで構成されており、受光部110およびロジック回路120が、共通のシリコン基板に形成されている。また、受光装置3において、受光部110、ロジック回路120および温度計130が、例えば、図35に示したように、共通のチップ3Eに形成されていてもよい。このとき、チップ3Eは、例えば、シリコン基板を含んで構成されており、受光部110、ロジック回路120および温度計130が、共通のシリコン基板に形成されている。

[0152] 温度計130は、受光部110の温度を計測し、計測結果をロジック回路120に出力する。チップ3Eがシリコン基板を含んで構成されている場合、温度計130は、例えば、シリコンダイオード温度センサで構成されている。温度計130がチップ3Cに形成されている場合、温度計130は、例えば、シリコンダイオード温度センサで構成されていてもよいし、他の温度センサで構成されていてもよい。

[0153] 図36は、ロジック回路120の概略構成例を表したものである。図37(A)は、各画素P_aの回路構成例を表したものである。図37(B)は、各画素P_bの回路構成例を表したものである。ロジック回路120は、例えば、画素駆動部121、MUX122、信号処理部123、入出力部124、制御部125および電源部126を有している。画素駆動部121は、受光部110内の各画素P_xを駆動する。MUX122、信号処理部123および入出力部124は、受光部110からの出力を処理する。以下、入出力部124の出力を出力信号D_{out}と称する。電源部126は、各画素P_xに所定の電圧（電源電圧V_a、V_b、V_e）を供給する。

[0154] 受光部110は、上述したように、画素P_xごとに副画素P_a、P_bを有している。

[0155] 副画素P_aは、例えば、APD (avalanche photodiode) 111と、APD 111のノードに電氣的に接続されたトランジスタT_{r1}とを含んでいる。APD 111が、本開示の「第1受光素子」の一具体例に相当する。トラ

ンジスタ T_{r1} は、ゲートに入力される制御信号に応じてオン状態となることにより、 APD_{111} で生成された検出信号を信号線 D_{TL} に出力する。トランジスタ T_{r1} は、例えば、電界効果型の薄膜トランジスタ（TFET）で構成されている。

[0156] 副画素 P_b は、例えば、 APD （avalanche photodiode） 112 と、 APD_{112} のノードに電氣的に接続されたトランジスタ T_{r2} とを含んでいる。 APD_{112} が、本開示の「第2受光素子」の一具体例に相当する。トランジスタ T_{r2} は、ゲートに入力される制御信号に応じてオン状態となることにより、 APD_{112} で生成された検出信号を信号線 D_{TL} に出力する。トランジスタ T_{r2} は、例えば、電界効果型の薄膜トランジスタ（TFET）で構成されている。

[0157] APD_{111} 、 112 は、入射光が入射されたとき、発生する電荷をアバランシェ増幅させ、それにより得られた検出信号を出力するフォトダイオード（単一光子アバランシェフォトダイオード）である。 APD_{111} のアノードに供給される電源電圧 V_a は、例えば、 $-20V$ 程度の負バイアス（負の電位）である。 APD_{112} のアノードに供給される電源電圧 V_b は、例えば、 $-20V$ 程度の負バイアス（負の電位）である。電源電圧 V_a と電源電圧 V_b とは、互いに等しくなってもよいし、互いに異なってもよい。 APD_{111} 、 112 のカソードには、トランジスタ T_{r1} 、 T_{r2} のソース・ドレインを介して、電源電圧 V_e が供給される。電源電圧 V_e は、例えば、 $3V$ 程度の正の電位である。トランジスタ T_{r1} 、 T_{r2} は、飽和領域で動作する定電流源であり、クエンチング抵抗として働くことにより、パッシブクエンチを行う。

[0158] 受光部 110 は、さらに、複数の信号線 D_{TL} および複数のゲート線 G_{TL} を有している。受光部 110 は、さらに、複数の電源線 PWL_1 、 PWL_2 およびグラウンド線 GND を有している。受光部 110 は、さらに、副画素 P_a において、スイッチ素子 SW_1 、インバータ INV_1 、 INV_2 およびラッチ回路 18 を有しており、副画素 P_b において、スイッチ素子 SW_2

、インバータINV3、INV4およびラッチ回路28を有している。

[0159] 信号線DTLは、APD111、112から検出信号を読み出すための配線である。ゲート線GTLは、トランジスタTr1、Tr2をオンオフ制御する制御信号をトランジスタTr1、Tr2のゲートに入力するための配線である。電源線PWL1は、APD111、112のアノード電位を決めるための配線である。電源線PWL2は、APD111、112のカソード電位を決めるための配線である。トランジスタTr1、Tr2のゲートがゲート線GTLに接続され、トランジスタTr1、Tr2のソースまたはドレインがAPD111、112のノードに接続され、トランジスタTr1、Tr2のソースおよびドレインのうちノードに未接続の電極が信号線DTLに接続されている。APD111、112のノードがトランジスタTr1、Tr2のソースまたはドレインに接続され、APD111、112のアノードが電源線PWL1に接続されている。インバータINV2、INV4の入力端子がラッチ回路18、28に接続され、インバータINV2、INV4の出力端子がスイッチ素子SW1のオンオフ制御端子に接続されている。スイッチ素子SW1はAPD111、112に並列に接続されている。

[0160] スwitch素子SW1、SW2は、例えば、ラッチ回路18、28の出力であるゲーティング制御信号を、インバータINV2、INV4で反転させたゲーティング反転信号に応じてオンオフさせる。ラッチ回路18、28は、画素駆動部121から供給されるトリガ信号SETと、アドレスデータDECとに基づいて、副画素Pa、Pbをアクティブ画素または非アクティブ画素のいずれかに制御するゲーティング制御信号をインバータINV2、INV4に供給する。インバータINV2、INV4は、ゲーティング制御信号を反転させたゲーティング反転信号を生成し、スイッチ素子SW1、SW2に供給する。

[0161] トリガ信号SETは、ゲーティング制御信号を切り替えるタイミングを示すタイミング信号であり、アドレスデータDECは、画素アレイ110A内の行列状に配置された複数の副画素Pa、Pbのうち、アクティブ画素に設

定する画素のアドレスを示すデータである。トリガ信号SETとアドレスデータDECは、画素駆動部121から供給される。

[0162] ラッチ回路18, 28は、トリガ信号SETが示す所定のタイミングで、アドレスデータDECを読み込む。そして、ラッチ回路18, 28は、アドレスデータDECが示す画素アドレスに自分（の副画素Pa, Pb）の画素アドレスが含まれている場合には、自身の副画素Pa, Pbをアクティブ画素に設定するためのHi（1）のゲーティング制御信号を出力する。一方、アドレスデータDECが示す画素アドレスに自分（の副画素Pa, Pb）の画素アドレスが含まれていない場合には、自身の副画素Pa, Pbを非アクティブ画素に設定するためのLo（0）のゲーティング制御信号を出力する。これにより、副画素Pa, Pbがアクティブ画素とされる場合には、インバータINV2, INV4によって反転されたLo（0）のゲーティング反転信号がスイッチ素子SW1, SW2に供給される。一方、副画素Pa, Pbが非アクティブ画素とされる場合には、Hi（1）のゲーティング反転信号がスイッチ素子SW1, SW2に供給される。したがって、スイッチ素子SW1, SW2は、副画素Pa, Pbがアクティブ画素に設定される場合にオフし（非接続とされ）、非アクティブ画素に設定される場合にオンされる（接続される）。インバータINV2, INV4は、入力信号としてのカソード電圧がLoのとき、Hiの検出信号を出力し、カソード電圧がHiのとき、Loの検出信号を出力する。インバータINV2, INV4は、APD12, 22への光子の入射を検出信号として出力する出力部である。

[0163] 次に、各副画素Pa, Pbの動作について説明する。まず、副画素Pa, Pbがアクティブ画素である場合、上述したように、スイッチ素子SW1, SW2はオフに設定される。

[0164] APD111, 112のカソードには電源電圧Veが供給され、アノードには電源電圧Va, Vbが供給されることから、APD111, 112に降伏電圧VBDより大きい逆電圧が印加されることにより、APD111, 112がガイガーモードに設定される。この状態では、APD111, 112

のカソード電圧 V_S は、例えば図7の時刻 t_0 のように、電源電圧 V_e と同じである。

[0165] ガイガーモードに設定されたAPD111, 112に光子が入射すると、アバランシェ増倍が発生し、APD111, 112に電流が流れる。

[0166] 図7の時刻 t_1 において、アバランシェ増倍が発生し、APD111, 112に電流が流れたとすると、時刻 t_1 以降、APD111, 112に電流が流れることにより、トランジスタ T_{r1} , T_{r2} にも電流が流れ、トランジスタ T_{r1} , T_{r2} の抵抗成分により電圧降下が発生する。

[0167] 時刻 t_2 において、APD111, 112のカソード電圧 V_S が0Vよりも低くなると、APD111, 112のアノード・カソード間電圧が降伏電圧 V_{BD} よりも低い状態となるので、アバランシェ増幅が停止する。ここで、アバランシェ増幅により発生する電流がトランジスタ T_{r1} , T_{r2} に流れることで電圧降下を発生させ、発生した電圧降下に伴って、カソード電圧 V_S が降伏電圧 V_{BD} よりも低い状態となることで、アバランシェ増幅を停止させる動作がクエンチ動作である。

[0168] アバランシェ増幅が停止するとトランジスタ T_{r1} , T_{r2} の抵抗に流れる電流が徐々に減少して、時刻 t_4 において、再びカソード電圧 V_S が元の電源電圧 V_e まで戻り、次の新たなフォトンを検出できる状態となる（リチャージ動作）。

[0169] インバータINV2, INV4は、入力電圧であるカソード電圧 V_S が所定の閾値電圧 V_{th} 以上のとき、 L_o の検出信号 P_{out} を出力し、カソード電圧 V_S が所定の閾値電圧 V_{th} 未満のとき、 H_i の検出信号 P_{out} を出力する。従って、APD111, 112に光子が入射し、アバランシェ増倍が発生してカソード電圧 V_S が低下し、閾値電圧 V_{th} を下回ると、検出信号 P_{out} は、ローレベルからハイレベルに反転する。一方、APD111, 112のアバランシェ増倍が収束し、カソード電圧 V_S が上昇し、閾値電圧 V_{th} 以上になると、検出信号 P_{out} は、ハイレベルからローレベルに反転する。

- [0170] なお、副画素 P_a 、 P_b が非アクティブ画素とされる場合には、 H_i (1) のゲーティング反転信号がスイッチ素子 SW_1 、 SW_2 に供給され、スイッチ素子 SW_1 、 SW_2 がオンされる。スイッチ素子 SW_1 、 SW_2 がオンされると、 APD_{111} 、 112 のカソード電圧 V_S が0Vとなる。その結果、 APD_{111} 、 112 のアノード・カソード間電圧が降伏電圧 V_{BD} 以下となるので、 APD_{111} 、 112 に光子が入ってきても反応しない状態となる。
- [0171] 画素駆動部121は、例えば、シフトレジスタやアドレスデコーダ等によって構成され、各副画素 P_a 、 P_b を、例えば行単位で駆動する。画素駆動部121によって選択走査された画素行の各副画素 P_a 、 P_b から出力された検出信号は、各信号線 D_{TL} を介して MUX_{122} に供給される。
- [0172] MUX_{122} は、画素アレイ110A内のアクティブ画素と非アクティブ画素の切替えにしたがい、アクティブ画素からの出力を選択する。そして、 MUX_{122} は、選択したアクティブ画素から入力される画素信号を信号処理部123へ出力する。
- [0173] 信号処理部123は、例えば、時間計測部である。時間計測部は、 MUX_{122} から供給されるアクティブ画素の画素信号と、光源（後述）の発光タイミングを示す発光タイミング信号とに基づいて、光源が光を発光してからアクティブ画素が光を受光するまでの時間に対応するカウント値を生成する。時間計測部は、 TDC (Time to Digital Converter) とも呼ばれる。発光タイミング信号は、入出力部124を介して外部から供給される。
- [0174] なお、信号処理部123は、カウンタ部であってもよい。カウンタ部は、例えば、所定の期間、 MUX_{122} から入力される検出信号の数をカウントし、それにより得られた画素ごとのカウント値を出力する。
- [0175] 電源部126は、各副画素 P_a に接続された各電源線 PWL_1 に接続されており、各副画素 P_a に接続された各電源線 PWL_1 に負バイアス電圧（電源電圧 V_a ）を印加する。電源部126は、さらに、各副画素 P_a に接続された各電源線 PWL_2 に接続されており、各副画素 P_a に接続された各電源

線PWL 2に所定の電圧（電源電圧V_e）を印加する。電源部126は、各副画素P_bに接続された各電源線PWL 1に接続されており、各副画素P_bに接続された各電源線PWL 1に負バイアス電圧（電源電圧V_b）を印加する。電源部126は、さらに、各副画素P_bに接続された各電源線PWL 2に接続されており、各副画素P_bに接続された各電源線PWL 2に所定の電圧（電源電圧V_e）を印加する。電源電圧V_aは、APD 111のPDEが最大となる値となっていることが好ましい。電源電圧V_bは、APD 112のPDEが最大となる値となっていることが好ましい。

[0176] 入出力部124は、制御部125からの制御に従って、信号処理部123から出力された出力信号D_{out}'から、各副画素P_aから得られた出力信号D₁および各副画素P_bから得られた出力信号D₂のいずれかを抽出する。入出力部124は、抽出により得られた信号を出力信号D_{out}として出力する。入出力部124は、温度計130の温度に応じて、出力信号D₁および出力信号D₂のいずれかを選択する。信号処理部123が時間計測部である場合、入出力部124は、制御部125から供給される発光タイミング信号を画素駆動部121および信号処理部123に供給する。

[0177] 制御部125は、外部から与えられるクロックなどを受け取り、また、受光装置3の内部情報などのデータを出力する。制御部125は、さらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に、画素駆動部121、MUX 122、信号処理部123、入出力部124および電源部126などの駆動制御を行う。制御部125は、入出力部124を制御することにより、出力信号D₁および出力信号D₂のいずれかを含む出力信号D_{out}を入出力部124から出力させる。制御部125は、温度計130の温度に応じて、出力信号D₁および出力信号D₂のいずれを選択するか、入出力部124に指示する。

[0178] 図38は、各画素P_xの断面構成例を表したものである。各画素P_xは、例えば、n型半導体領域113aおよびp型半導体領域113b、113f

を有している。p型半導体領域113b, 113fは、n型半導体領域113aの下部に接して形成されている。p型半導体領域113bは、副画素PaのAPD111に属しており、p型半導体領域113fは、副画素PbのAPD112に属している。n型半導体領域113aおよびp型半導体領域113bは、副画素PaのAPD111に属するウェル層113c内に形成されている。n型半導体領域113aおよびp型半導体領域113fは、副画素PbのAPD112に属するウェル層113g内に形成されている。ウェル層113c, 113gは、n型半導体層であってもよいし、p型半導体層であってもよい。ウェル層113c, 113gは、例えば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の低不純物濃度のn型半導体層またはp型半導体層であることが好ましい。この場合、ウェル層113c, 113gは空乏化しやすく、APD111, 112のPDEの向上を図ることができる。

[0179] n型半導体領域113aは、例えば、Si（シリコン）からなり、高不純物濃度のn型半導体領域である。p型半導体領域113b, 113fは、例えば、Si（シリコン）からなり、高不純物濃度のp型半導体領域である。p型半導体領域113b, 113fは、n型半導体領域113aとの界面でpn接合を構成している。このpn接合を含む領域が高電界領域となり、n型半導体領域113aが光電変換領域となる。p型半導体領域113b, 113fは、被検出光の入射によって生じたキャリアをアバランシェ増幅する増倍領域を有する。p型半導体領域113b, 113fは、空乏化していることが好ましい。この場合、APD111, 112のPDEの向上を図ることができる。n型半導体領域113aは、カソードとして機能し、コンタクト116aを介して、回路に接続されている。カソードに対する、副画素PaのAPD111に属するアノード113dは、n型半導体領域113aと同層であり、n型半導体領域113aと分離領域114との間に形成されている。アノード113dは、コンタクト116bを介して回路に接続されている。カソードに対する、副画素PbのAPD112に属するアノード113hは、n型半導体領域113aと同層であり、n型半導体領域113aと

分離領域 114 との間に形成されている。アノード 113h は、コンタクト 116c を介して回路に接続されている。

[0180] 各画素 P_x を分離するための分離領域 114 が形成されている。分離領域 114 とウェル層 113c との間にはホール (hole) 蓄積領域 113e が形成されている。分離領域 114 とウェル層 113g との間にはホール (hole) 蓄積領域 113i が形成されている。ホール蓄積領域 113e は、アノード 113d の下側に形成され、アノード 113d と電氣的に接続された状態で形成されている。ホール蓄積領域 113i は、アノード 113h の下側に形成され、アノード 113h と電氣的に接続された状態で形成されている。また、ホール蓄積領域 113e は、ウェル層 113c と分離領域 114 との間に形成されている。さらに、ホール蓄積領域 113e は、ウェル層 113c の下部にも接して形成されている。また、ホール蓄積領域 113i は、ウェル層 113g と分離領域 114 との間に形成されている。さらに、ホール蓄積領域 113i は、ウェル層 113g の下部にも接して形成されている。ホール蓄積領域 113e, 113i は、異なる材質が接する部分に形成される。図 38 に示した例では、分離領域 114 は、例えばシリコン酸化膜からなり、ウェル層 113c, 113g とは異なる材料で構成されている。この場合、界面で発生する暗電流を抑制するためにホール蓄積領域 113e, 113i が形成されている。ホール蓄積領域 113e, 113i は、例えば、p 型半導体領域として形成することができる。

[0181] さらに、各画素 P_x において、副画素 P_a, P_b を分離するための分離領域 115 が形成されている。分離領域 115 は、n 型半導体領域 113a の下部に接して形成されている。分離領域 115 は、副画素 P_a の APD 111 に属する p 型半導体領域 113b、ウェル層 113c およびホール蓄積領域 113e と、副画素 P_b の APD 112 に属する p 型半導体領域 113f、ウェル層 113g およびホール蓄積領域 113i との間に形成されている。分離領域 115 は、副画素 P_a の APD 111 に属する p 型半導体領域 113b、ウェル層 113c およびホール蓄積領域 113e と、副画素 P_b の

A P D 1 1 2 に属する p 型半導体領域 1 1 3 f、ウェル層 1 1 3 g およびホール蓄積領域 1 1 3 i とを分離している。

[0182] 分離領域 1 1 4, 1 1 5 は、各画素 P x の間に形成され、各 A P D 1 1 1, 1 1 2 を分離する。すなわち、分離領域 1 1 4, 1 1 5 は、各 A P D 1 1 1, 1 1 2 と 1 対 1 に対応して増倍領域が形成されるように形成される。分離領域 1 1 4, 1 1 5 は、各 A P D 1 1 1, 1 1 2 の周囲を囲うように 2 次元格子状に形成される。分離領域 1 1 4 は、積層方向でウェル層 1 1 3 c, 1 1 3 g の上面側から下面側まで貫通して形成されている。なお、分離領域 1 1 4 は、上面側から下面側まで全部貫通する構成以外、例えば、一部分のみ貫通し、基板の途中まで挿入されている構成となってもよい。

[0183] 図 3 9 は、受光部 1 1 0 の平面構成例を表したものである。図 3 9 には、2 × 2 の 4 個の画素 P x が配置されている例が示されている。上述したように、各 A P D 1 1 1, 1 1 2 は、格子状に形成された分離領域 1 1 4, 1 1 5 によって互いに分離されている。分離領域 1 1 4, 1 1 5 の内側には、アノード 1 1 3 d, 1 1 3 h が形成されている。各画素 P x の中央部分には、n 型半導体領域 1 1 3 a が形成されており、アノード 1 1 3 d, 1 1 3 h と n 型半導体領域 1 1 3 a との間には、ウェル層 1 1 3 c, 1 1 3 g が形成されている。n 型半導体領域 1 1 3 a は、例えば、四角形状となっている。n 型半導体領域 1 1 3 a 平面形状は、四角形状に限られるものではなく、例えば、円形状となってもよい。n 型半導体領域 1 1 3 a を四角形状とした場合、増倍領域の面積を広く確保することができるので、P D E を向上させることができる。n 型半導体領域 1 1 3 a を円形状とした場合、A P D 1 1 1, 1 1 2 内での電界集中を抑制することができ、意図しないブレイクダウンを低減することができる。

[0184] 図 4 0 は、A P D 1 1 1, 1 1 2 の P D E の温度依存性の一例を表したものである。A P D 1 1 1 は、低温域において高い P D E を有している。一方、A P D 1 1 2 は、高温域において高い P D E を有している。A P D 1 1 1 では、高 P D E の温度領域が相対的に低温側に分布している。A P D 1 1 2

では、高PDEの温度領域が相対的に高温側に分布している。

[0185] APD111の高PDEの温度領域と、APD112の高PDEの温度領域とが互いに異なっており、さらに、APD111の高PDEの温度領域の一部と、APD112の高PDEの温度領域の一部とが、互いに重なり合っている。「高PDEの温度領域」とは、PDEの温度分布において、ピーク値の半分の値よりも大きな温度領域を指している。図40に示したように、APD111、112における高PDEの重なり領域OLにおいて、APD111の高PDEの温度領域のうち高温側の領域と、APD112の高PDEの温度領域のうち低温側の領域とが互いに重なり合っている。

[0186] APD111とAPD112とでは、例えば、増倍領域（p型半導体領域113b、113f）に含まれる不純物濃度、増倍領域（p型半導体領域113b、113f）に含まれる不純物の種類、増倍領域（p型半導体領域113b、113f）の厚さ、および増倍領域（p型半導体領域113b、113f）の面積の少なくとも1つが互いに異なっている。これにより、APD111の高PDEの温度領域と、APD112の高PDEの温度領域とが互いに異なっている。

[0187] [動作]

次に、出力信号D1、D2の切り換え手順について説明する。

[0188] 図41は、出力信号D1、D2の切り換え手順の一例を表したものである。制御部125は、温度計130の温度が、重なり領域OL内の所定の温度（閾値 T_{th} ）以上か否かを判定する（ステップS601）。温度計130の温度が閾値 T_{th} 以上となっている場合には、制御部125は、出力信号D2の選択を指示する制御信号を入出力部124に出力する。入出力部124は、制御部125からの制御信号に基づいて、信号処理部123から出力された出力信号 D_{out}' から出力信号D2を抽出する（ステップS602）。入出力部124は、抽出により得られた出力信号D2を出力信号 D_{out} として出力する（ステップS603）。

[0189] ステップS601において、温度計130の温度が閾値 T_{th} 未滿となっ

ている場合には、制御部 125 は、出力信号 D1 の選択を指示する制御信号を入出力部 124 に出力する。入出力部 124 は、制御部 125 からの制御信号に基づいて、信号処理部 123 から出力された出力信号 D_{out}' から出力信号 D1 を抽出する（ステップ S604）。入出力部 124 は、抽出により得られた出力信号 D2 を出力信号 D_{out} として出力する（ステップ S605）。

[0190] 制御部 125 は、受光装置 3 による計測を終了する指示がない限り、上記のステップ S601 からステップ S605 を実行する（ステップ S606）。制御部 125 は、受光装置 3 による計測を終了する指示があった場合には、例えばロジック回路 120 の動作を停止するなどして受光部 110 の動作を停止する（ステップ S607）。

[0191] なお、例えば、図 42 に示したように、重なり領域 OL の下限および上限にそれぞれ閾値 T_{th1}, T_{th2} が設定されている場合には、制御部 125 は、以下の切り換え手順を実行してもよい。

[0192] 図 43 は、出力信号 D1, D2 の切り換え手順の一例を表したものである。制御部 125 は、温度計 130 の温度が、重なり領域 OL の上限の温度（閾値 T_{th2}）以上か否かを判定する（ステップ S701）。温度計 130 の温度が閾値 T_{th2} 以上となっている場合には、制御部 125 は、出力信号 D2 の選択を指示する制御信号を入出力部 124 に出力する。入出力部 124 は、制御部 125 からの制御信号に基づいて、信号処理部 123 から出力された出力信号 D_{out}' から出力信号 D2 を抽出する（ステップ S702）。入出力部 124 は、抽出により得られた出力信号 D2 を出力信号 D_{out} として出力する（ステップ S703）。

[0193] ステップ S701 において、温度計 130 の温度が閾値 T_{th2} 未満となっている場合には、制御部 125 は、温度計 130 の温度が閾値 T_{th1} 以下か否かを判定する（ステップ S704）。温度計 130 の温度が閾値 T_{th1} 以下となっている場合には、制御部 125 は、出力信号 D1 の選択を指示する制御信号を入出力部 124 に出力する。入出力部 124 は、制御部 1

25からの制御信号に基づいて、信号処理部123から出力された出力信号Dout'から出力信号D1を抽出する(ステップS705)。入出力部124は、抽出により得られた出力信号D1を出力信号Doutとして出力する(ステップS706)。

[0194] ステップS704において、温度計130の温度が閾値Tth1よりも大きい場合には、制御部125は、出力信号D1、D2の選択を指示する制御信号を入出力部124に出力する。入出力部124は、制御部125からの制御信号に基づいて、信号処理部123から出力された出力信号Dout'から出力信号D1、D2を抽出する(ステップS707)。入出力部124は、抽出により得られた出力信号D1、D2を出力信号Doutとして出力する(ステップS708)。

[0195] 制御部125は、受光装置3による計測を終了する指示がない限り、上記のステップS701からステップS708を実行する(ステップS709)。制御部125は、受光装置3による計測を終了する指示があった場合には、例えばロジック回路120の動作を停止するなどして受光部110の動作を停止する(ステップS710)。このとき、制御部125は、例えば、各APD111、112に負バイアス電圧を印加しないよう電源部126を制御する。

[0196] なお、制御部125は、温度計130の温度によらず、常に、受光部110を駆動し、出力信号Doutとして、出力信号D1、D2を含む信号をロジック回路120から出力させてもよい。

[0197] [効果]

次に、本実施の形態に係る受光装置3の効果について説明する。

[0198] 本実施の形態では、副画素Pa、Pbごとに設けられた複数の受光素子には、PDEの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う2種類の受光素子(APD111、112)が含まれている。これにより、例えば、低温での電荷読み出しの際には、2種類の受光素子のうち、高検出効率の温度領域が相対的に低温側に分布するAPD111を用い、高

温での電荷読み出しの際には、２種類の受光素子のうち、高検出効率の温度領域が相対的に高温側に分布するAPD112を用いることにより、低温時および高温時のいずれにおいても、PDEの低下が抑制される。その結果、APD111およびAPD112のいずれかだけを用いた場合と比べて、PDEの保証範囲を広げることができる。

[0199] また、本実施形態では、各画素Pxには、副画素Pa、Pbが含まれており、副画素PaにはAPD111が含まれ、副画素PbにはAPD112が含まれている。これにより、複数のAPD111および複数のAPD112をそれぞれ別々の領域に形成した場合と比べて、共通の座標に位置するAPD111およびAPD112間の距離を縮めることができる。その結果、複数のAPD111の光軸と複数のAPD112の光軸を近づけることができるので、入射光を画素アレイ110Aに導く光学系の設計が容易となる。

[0200] また、本実施形態では、各APD111、112に負バイアス電圧を印加する電源部126が設けられている。これにより、各APD111、112のPDEを向上させることができる。

[0201] また、本実施形態において、各APD111、112に共通の負バイアス電圧が電源部126によって印加される場合には、各APD111、112に互いに異なる負バイアス電圧を印加する場合と比べて、受光装置3を小型化することができる。

[0202] <5. 各実施の形態に共通の変形例>

次に、各実施の形態に共通の変形例について説明する。

[0203] [[変形例B]]

上記各実施の形態およびその変形例において、ロジック回路30、80、120が、出力信号D1と、出力信号D2とを含む出力信号Doutを出力する場合があった。この場合に、ロジック回路30、80、120が、出力信号D1と、出力信号D2とを所定のブレンド比率でブレンドした信号を出力信号Doutとして出力してもよい。

[0204] 例えば、第1の実施の形態において、ロジック回路30が、例えば、図4

4 に示したように、出力信号 D 1 と、出力信号 D 2 とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号 D o u t として出力する出力制御部 4 3 を有していてもよい。この場合、制御部 3 9 は、A P D 1 2, 2 2 の双方に負バイアスが印加されているときに、出力信号 D 1 と出力信号 D 2 とを所定のブレンド比率でブレンドすることを指示する制御信号（以下、「制御信号 c t l」と称する。）を出力制御部 4 3 に出力する。制御部 3 9 は、例えば、温度計 4 0 の温度が閾値 T t h 1 より大きく閾値 T t h 2 よりも小さいとき、制御信号 c t l を出力制御部 4 3 に出力する。

[0205] また、例えば、第 2 の実施の形態において、ロジック回路 8 0 が、例えば、図 4 5 に示したように、出力信号 D 1 と、出力信号 D 2 とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号 D o u t として出力する出力制御部 8 7 を有していてもよい。この場合、制御部 8 5 は、A P D 7 3, 7 4 の双方に負バイアスが印加されているときに、制御信号 c t l を出力制御部 8 7 に出力する。制御部 8 5 は、例えば、温度計 4 0 の温度が閾値 T t h 1 より大きく閾値 T t h 2 よりも小さいとき、制御信号 c t l を出力制御部 8 7 に出力する。

[0206] また、例えば、第 3 の実施の形態において、ロジック回路 1 2 0 が、例えば、図 4 6 に示したように、出力信号 D 1 と、出力信号 D 2 とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号 D o u t として出力する出力制御部 1 2 7 を有していてもよい。この場合、制御部 1 2 5 は、例えば、温度計 1 3 0 の温度が閾値 T t h 1 より大きく閾値 T t h 2 よりも小さいとき、制御信号 c t l を出力制御部 1 2 7 に出力する。

[0207] このように、本変形例では、出力信号 D 1 と、出力信号 D 2 とを所定のブレンド比率でブレンドした信号が出力信号 D o u t として出力される。これにより、出力信号 D o u t として、出力信号 D 1 および出力信号 D 2 のいずれか一方だけを出力した場合と比べて、信号レベルが高く、S/N 比の低い信号を出力することが可能となる。

[0208] [[変形例 C]]

上記各実施の形態およびその変形例において、例えば、図47、図48、図49に示したように、温度計40、130が省略されていてもよい。なお、図47には、図1の受光装置1の一変形例が示されている。図48には、図19の受光装置2の一変形例が示されている。図49には、図32の受光装置3の一変形例が示されている。

[0209] この場合、ロジック回路30は、出力信号D1、D2に基づいて、APD12およびAPD22のいずれか一方にだけ負バイアスを印加するよう電源部41、42を制御する。ロジック回路30は、例えば、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号D1、D2のS/N比の大小関係に基づいて、APD12およびAPD22のいずれか一方にだけ負バイアスを印加するよう電源部41、42を制御する。

[0210] ロジック回路30は、例えば、図13のステップS101において、出力信号D2の信号レベルが出力信号D1の信号レベル以上の場合、または、出力信号D2のS/N比が出力信号D1のS/N比以上の場合、ステップS102を実行する。一方、ロジック回路30は、例えば、図13のステップS101において、出力信号D2の信号レベルが出力信号D1の信号レベルよりも小さい場合、または、出力信号D2のS/N比が出力信号D1のS/N比よりも小さい場合、ステップS104を実行する。

[0211] このように、ロジック回路30では、出力信号D1、D2に基づいて、APD12およびAPD22のいずれか一方にだけ負バイアスを印加するよう電源部41、42の制御が行われる。これにより、温度計40がなくても、PDEの保証範囲を広げることができる。

[0212] また、ロジック回路80は、出力信号D1、D2に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部84を制御する。ロジック回路80は、例えば、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号D1、D2のS/N比の大小関係に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部84を制御する。

- [0213] ロジック回路80は、例えば、図29のステップS401において、出力信号D2の信号レベルが出力信号D1の信号レベル以上の場合、または、出力信号D2のS/N比が出力信号D1のS/N比以上の場合、ステップS402を実行する。一方、ロジック回路80は、例えば、図29のステップS401において、出力信号D2の信号レベルが出力信号D1の信号レベルよりも小さい場合、または、出力信号D2のS/N比が出力信号D1のS/N比よりも小さい場合、ステップS404を実行する。
- [0214] このように、本変形例では、出力信号D1、D2に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部84が制御される。これにより、温度計40がなくても、PDEの保証範囲を広げることができる。
- [0215] また、ロジック回路120は、出力信号D1、D2に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部124を制御する。ロジック回路120は、例えば、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号D1、D2のS/N比の大小関係に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部124を制御する。
- [0216] ロジック回路120は、例えば、図41のステップS601において、出力信号D2の信号レベルが出力信号D1の信号レベル以上の場合、または、出力信号D2のS/N比が出力信号D1のS/N比以上の場合、ステップS602を実行する。一方、ロジック回路120は、例えば、図41のステップS601において、出力信号D2の信号レベルが出力信号D1の信号レベルよりも小さい場合、または、出力信号D2のS/N比が出力信号D1のS/N比よりも小さい場合、ステップS604を実行する。
- [0217] このように、本変形例では、出力信号D1、D2に基づいて、出力信号D1、D2のいずれかを出力信号Doutとして出力するよう入出力部124が制御される。これにより、温度計130がなくても、PDEの保証範囲を広げることができる。

[0218] [[変形例D]]

上記変形例Bにおいて、例えば、図51、図52、図53に示したように、温度計40、130が省略されていてもよい。なお、図51には、図44の受光装置1の一変形例が示されている。図52には、図45の受光装置2の一変形例が示されている。図53には、図46の受光装置3の一変形例が示されている。

[0219] ロジック回路30が、例えば、図51に示したように、出力信号D1と、出力信号D2とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号Doutとして出力する出力制御部43を有しているとする。この場合、制御部39は、出力信号D1、D2に基づいて、制御信号ctlを出力制御部43に出力する。制御部39は、例えば、例えば、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号D1、D2のS/N比の大小関係に基づいて、制御信号ctlを出力制御部43に出力する。

[0220] ロジック回路80が、例えば、図52に示したように、出力信号D1と、出力信号D2とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号Doutとして出力する出力制御部87を有していてもよい。この場合、制御部85は、出力信号D1、D2に基づいて、制御信号ctlを出力制御部87に出力する。制御部85は、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号D1、D2のS/N比の大小関係に基づいて、制御信号ctlを出力制御部87に出力する。

[0221] ロジック回路120が、例えば、図53に示したように、出力信号D1と、出力信号D2とを所定のブレンド比率でブレンドした信号を生成し、生成した信号を出力信号Doutとして出力する出力制御部127を有していてもよい。この場合、制御部125は、出力信号D1、D2に基づいて、制御信号ctlを出力制御部127に出力する。制御部125は、図50に示したように、出力信号D1、D2の信号レベルの大小関係、または、出力信号

D 1, D 2 の S / N 比の大小関係に基づいて、制御信号 c t l を出力制御部 1 2 7 に出力する。

[0222] このように、本変形例では、出力信号 D 1, D 2 に基づいて、出力信号 D 1 と、出力信号 D 2 とを所定のブレンド比率でブレンドした信号が出力信号 D o u t として出力される。これにより、出力信号 D o u t として、出力信号 D 1 および出力信号 D 2 のいずれか一方だけを出力した場合と比べて、信号レベルが高く、S / N 比の低い信号を出力することが可能となる。

[0223] < 6. 適用例 >

以下に、上記各実施の形態およびそれらの変形例に係る受光装置 1, 2, 3 (以下、単に「受光装置 1, 2, 3」と称する。)の適用例について説明する。

[0224] [適用例 1]

図 5 4 は、受光装置 1, 2, 3 を備えた撮像装置 4 の概略構成の一例を表したものである。撮像装置 4 は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像装置 4 は、例えば、受光装置 1, 2, 3、光学系 6 1、シャッタ装置 6 2、制御回路 6 3、DSP 回路 6 4、フレームメモリ 6 5、表示部 6 6、記憶部 6 7、操作部 6 8 および電源部 6 9 を備えている。撮像装置 4 において、受光装置 1, 2, 3、DSP 回路 6 4、フレームメモリ 6 5、表示部 6 6、記憶部 6 7、操作部 6 8 および電源部 6 9 は、バスライン 5 3 を介して相互に接続されている。撮像装置 4 において、受光装置 1, 2, 3 に設けられた信号処理部 3 3, 3 7, 8 3, 1 2 3 は、上述のカウンタ部となっている。

[0225] 光学系 6 1 は、1 枚または複数枚のレンズを有して構成され、被写体からの光 (入射光) を受光装置 1, 2, 3 に導き、受光装置 1, 2, 3 の受光面に結像させる。シャッタ装置 6 2 は、光学系 6 1 および受光装置 1, 2, 3 の間に配置され、制御回路 6 3 の制御に従って、受光装置 1, 2, 3 への光照射期間および遮光期間を制御する。受光装置 1, 2, 3 は、光学系 6 1 お

よびシャッタ装置 6 2 を介して受光面に結像される光に応じて、一定期間、検出信号を蓄積する。受光装置 1, 2, 3 に蓄積された検出信号（画素ごとのカウンタ値）は、画素信号として、制御回路 6 3 から供給される駆動信号（タイミング信号）に従って DSP 回路 6 4 に転送される。つまり、受光装置 1, 2, 3 は、光学系 6 1 およびシャッタ装置 6 2 を介して入射された像光（入射光）を受光し、受光した像光（入射光）に応じた画素信号を DSP 回路 6 4 に出力する。制御回路 6 3 は、受光装置 1, 2, 3 の転送動作、および、シャッタ装置 6 2 のシャッタ動作を制御する駆動信号を出力して、受光装置 1, 2, 3 およびシャッタ装置 6 2 を駆動する。

[0226] DSP 回路 6 4 は、受光装置 1, 2, 3 から出力される画素信号に基づいて、撮像画像を生成する信号処理回路である。フレームメモリ 6 5 は、DSP 回路 6 4 により生成された撮像画像を、フレーム単位で一時的に保持する。表示部 6 6 は、例えば、液晶パネルや有機 EL (Electro Luminescence) パネル等のパネル型表示装置からなり、受光装置 1, 2, 3 で撮像された動画又は静止画を表示する。記憶部 6 7 は、受光装置 1, 2, 3 で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部 6 8 は、ユーザによる操作に従い、撮像装置 4 が有する各種の機能についての操作指令を発する。電源部 6 9 は、受光装置 1, 2, 3、DSP 回路 6 4、フレームメモリ 6 5、表示部 6 6、記憶部 6 7 および操作部 6 8 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0227] 本適用例では、受光装置 1, 2, 3 が撮像装置 4 に適用される。これにより、撮像装置 4 を幅広い温度範囲で保証することが可能となる。

[0228] [適用例 2]

図 5 5 は、受光装置 1, 2, 3 を備えた距離測定装置 5 の概略構成の一例を表したものである。距離測定装置 5 は、TOF (Time of Flight) 方式により被検体 1 0 0 までの距離を測定するものである。距離測定装置 5 は、光源として光源 9 1 を備えており、受光部として受光装置 1, 2, 3 を備えて

いる。距離測定装置 5 は、例えば、光源 9 1、受光装置 1、2、3、レンズ 9 2、9 4、ドライバ 9 3、信号処理部 9 5、制御部 9 6、表示部 9 7 および記憶部 9 8 を備えている。距離測定装置 5 において、受光装置 1、2、3 に設けられた信号処理部 3 3、3 7、8 3、1 2 3 は、上述の時間計測部となっている。

[0229] 受光装置 1、2、3 は、被検体 1 0 0 で反射された光を検出する。レンズ 9 2 は、光源 9 1 から出射された光を平行光化するためのレンズであり、コリメートレンズである。レンズ 9 4 は、被検体 1 0 0 で反射された光を集光し、受光装置 1、2、3 に導くためのレンズであり、集光レンズである。

[0230] ドライバ 9 3 は、光源 9 1 を駆動するためのドライバ回路である。信号処理部 9 5 は、受光装置 1、2、3 から入力された信号と、制御部 9 6 から参照信号との差分に対応する信号を生成するための回路である。制御部 9 6 は、例えば、Time to Digital Converter (TDC)を含んで構成されている。参照信号は、制御部 9 6 から入力される信号であってもよいし、光源 9 1 の出力を直接検出する検出部の出力信号であってもよい。制御部 9 6 は、例えば、受光装置 1、2、3、ドライバ 9 3、信号処理部 9 5、表示部 9 7 および記憶部 9 8 を制御するプロセッサである。制御部 9 6 は、信号処理部 9 5 で生成された信号に基づいて、被検体 1 0 0 までの距離を計測する回路である。制御部 9 6 は、被検体 1 0 0 までの距離についての情報を表示するための映像信号を生成し、表示部 9 7 に出力する。表示部 9 7 は、制御部 9 6 から入力された映像信号に基づいて、被検体 1 0 0 までの距離についての情報を表示する。制御部 9 6 は、被検体 1 0 0 までの距離についての情報を記憶部 9 8 に格納する。

[0231] 本適用例では、受光装置 1、2、3 が距離測定装置 5 に適用される。これにより、距離測定装置 5 を幅広い温度範囲で保証することが可能となる。

[0232] < 7. 応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車

、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0233] 図56は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0234] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図56に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0235] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0236] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

- [0237] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0238] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0239] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0240] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0241] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0242] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検出した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0243] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 56 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0244] 図 57 は、撮像部 12031 の設置位置の例を示す図である。

[0245] 図 57 は、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0246] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックド

アに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0247] なお、図 57 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0248] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0249] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0250] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 1

2104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0251] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0252] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、受光装置1, 2, 3は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、撮像部12031を幅広い温度範囲で保証することが可能と

なる。

[0253] 以上、複数の実施の形態およびそれらの変形例、適用例および応用例を挙げて本開示を説明したが、本開示は実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

[0254] また、例えば、本開示は以下のような構成を取ることができる。

(1)

高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率 (Photon Detection Efficiency: PDE) の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子が含まれる画素アレイを備えた

受光装置。

(2)

複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、

前記複数の第1受光素子は、第1半導体基板に形成され、

前記複数の第2受光素子は、前記第1半導体基板とは別体の第2半導体基板に形成されている

(1)に記載の受光装置。

(3)

複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、

前記複数の第1受光素子および前記複数の第2受光素子は、共通の半導体

基板に形成されている

(1) に記載の受光装置。

(4)

複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、

前記複数の第1受光素子および前記複数の第2受光素子は、前記画素アレイにおいて交互に配置されている

(1) に記載の受光装置。

(5)

複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、

各前記画素には、1つの前記第1受光素子および1つの前記第2受光素子がそれぞれ副画素として含まれている

(1) に記載の受光装置。

(6)

各前記受光素子に負バイアス電圧を印加する電源部を更に備えた

(1) ないし(5)のいずれか1つに記載の受光装置。

(7)

前記画素アレイの温度を計る温度計と、

前記温度計の温度に応じて、前記第1受光素子および前記第2受光素子のいずれか一方にだけ前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

(6) に記載の受光装置。

(8)

前記第1受光素子および前記第2受光素子から出力された信号に基づいて

、前記第 1 受光素子および前記第 2 受光素子のいずれか一方にだけ前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

(6) に記載の受光装置。

(9)

前記画素アレイの温度を計る温度計と、

前記温度計の温度に応じて、前記第 1 受光素子および前記第 2 受光素子の双方に前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

(6) に記載の受光装置。

(10)

前記第 1 受光素子および前記第 2 受光素子から出力された信号に基づいて、前記第 1 受光素子および前記第 2 受光素子の双方に前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

(6) に記載の受光装置。

(11)

前記第 1 受光素子および前記第 2 受光素子の双方に前記負バイアスが印加されているときに、前記第 1 受光素子から出力された信号と、前記第 2 受光素子から出力された信号とのブレンド比率を制御する出力制御部を更に備えた

(9) に記載の受光装置。

(12)

前記第 1 受光素子および前記第 2 受光素子から出力された信号に基づいて、前記第 1 受光素子から出力された信号と、前記第 2 受光素子から出力された信号とのブレンド比率を制御する出力制御部を更に備えた

(10) に記載の受光装置。

(13)

前記電源部は、各前記受光素子に共通の負バイアス電圧を印加する

(6)に記載の受光装置。

(14)

前記電源部は、各前記受光素子に、前記受光画素に応じた値の負バイアス電圧を印加する

(6)に記載の受光装置。

(15)

高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率 (Photon Detection, Efficiency: PDE) の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子が含まれる画素アレイと、

前記画素アレイから出力された信号に基づいて撮像画像を生成する信号処理部と

を備えた

撮像装置。

(16)

高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率 (Photon Detection, Efficiency: PDE) の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子が含まれる画素アレイと、

前記画素アレイから出力された信号に基づいて被検体までの距離を計測する信号処理部と

を備えた

距離測定装置。

[0255] 本開示の一実施の形態に係る受光装置、撮像装置および距離測定装置によれば、画素ごとに設けられた複数の受光素子に、PDEの温度領域が互いに異なるとともに温度領域の一部が互いに重なり合う複数種類の素子が含まれるようにしたので、低温時および高温時のいずれにおいても、PDEの低下

を抑制することが可能である。その結果、PDEの保証範囲を広げることが可能である。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0256] 本出願は、日本国特許庁において2019年4月12日に出願された日本特許出願番号第2019-076106号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0257] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率 (Photon Detection Efficiency: PDE) の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子が含まれる画素アレイを備えた受光装置。
- [請求項2] 複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、
前記複数の第1受光素子は、第1半導体基板に形成され、
前記複数の第2受光素子は、前記第1半導体基板とは別体の第2半導体基板に形成されている
請求項1に記載の受光装置。
- [請求項3] 複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、
前記複数の第1受光素子および前記複数の第2受光素子は、共通の半導体基板に形成されている
請求項1に記載の受光装置。
- [請求項4] 複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に高温側に分布する複数の第2受光素子が含まれ、
前記複数の第1受光素子および前記複数の第2受光素子は、前記画素アレイにおいて交互に配置されている
請求項1に記載の受光装置。
- [請求項5] 複数の前記受光素子には、高検出効率の温度領域が相対的に低温側に分布する複数の第1受光素子と、高検出効率の温度領域が相対的に

高温側に分布する複数の第2受光素子が含まれ、

各前記画素には、1つの前記第1受光素子および1つの前記第2受光素子がそれぞれ副画素として含まれている

請求項1に記載の受光装置。

[請求項6] 各前記受光素子に負バイアス電圧を印加する電源部を更に備えた
請求項1に記載の受光装置。

[請求項7] 前記画素アレイの温度を計る温度計と、
前記温度計の温度に応じて、前記第1受光素子および前記第2受光素子のいずれか一方にだけ前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

請求項6に記載の受光装置。

[請求項8] 前記第1受光素子および前記第2受光素子から出力された信号に基づいて、前記第1受光素子および前記第2受光素子のいずれか一方にだけ前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

請求項6に記載の受光装置。

[請求項9] 前記画素アレイの温度を計る温度計と、
前記温度計の温度に応じて、前記第1受光素子および前記第2受光素子の双方に前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

請求項6に記載の受光装置。

[請求項10] 前記第1受光素子および前記第2受光素子から出力された信号に基づいて、前記第1受光素子および前記第2受光素子の双方に前記負バイアスを印加するよう前記電源部を制御する制御部と

を更に備えた

請求項6に記載の受光装置。

- [請求項11] 前記第1受光素子および前記第2受光素子の双方に前記負バイアスが印加されているときに、前記第1受光素子から出力された信号と、前記第2受光素子から出力された信号とのブレンド比率を制御する出力制御部を更に備えた
- 請求項9に記載の受光装置。
- [請求項12] 前記第1受光素子および前記第2受光素子から出力された信号に基づいて、前記第1受光素子から出力された信号と、前記第2受光素子から出力された信号とのブレンド比率を制御する出力制御部を更に備えた
- 請求項10に記載の受光装置。
- [請求項13] 前記電源部は、各前記受光素子に共通の負バイアス電圧を印加する
- 請求項6に記載の受光装置。
- [請求項14] 前記電源部は、各前記受光素子に、前記受光画素に応じた値の負バイアス電圧を印加する
- 請求項6に記載の受光装置。
- [請求項15] 高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率（Photon Detection Efficiency：PDE）の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子が含まれる画素アレイと、
- 前記画素アレイから出力された信号に基づいて撮像画像を生成する信号処理部と
- を備えた
- 撮像装置。
- [請求項16] 高電界領域および光電変換領域を含む受光素子が画素ごとに設けられ、かつ前記画素ごとに設けられた複数の前記受光素子には高検出効率（Photon Detection Efficiency：PDE）の温度領域が互いに異なるとともに前記温度領域の一部が互いに重なり合う複数種類の素子

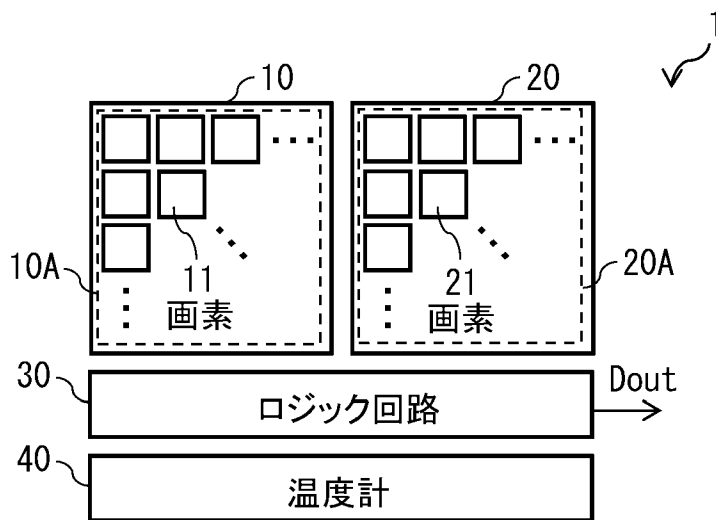
が含まれる画素アレイと、

前記画素アレイから出力された信号に基づいて被検体までの距離を
計測する信号処理部と

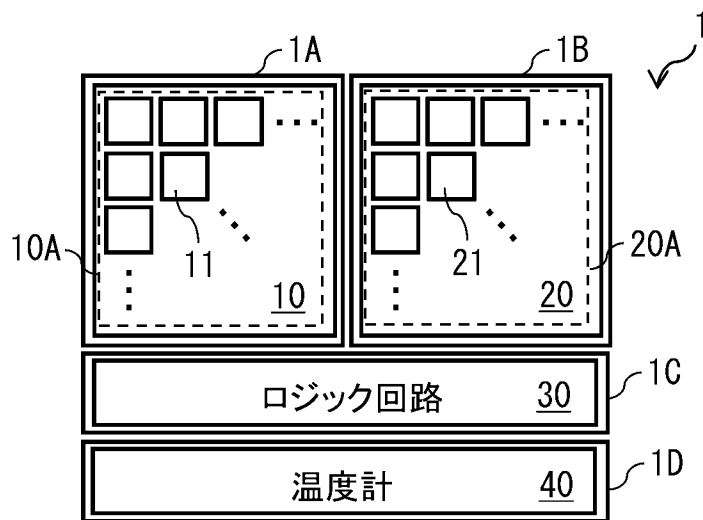
を備えた

距離測定装置。

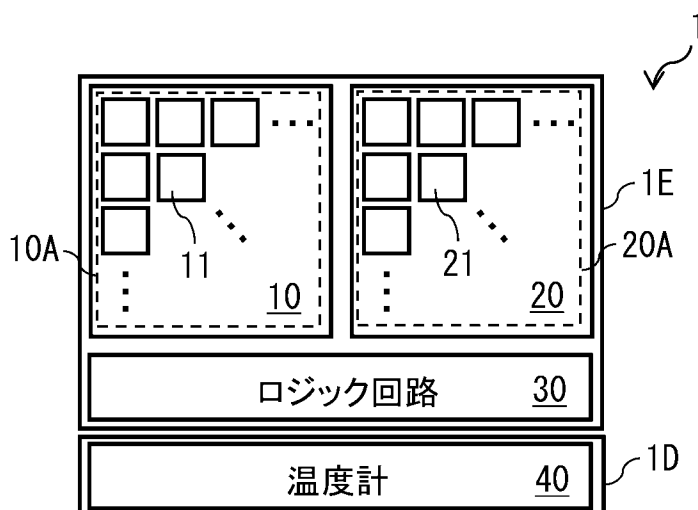
[図1]



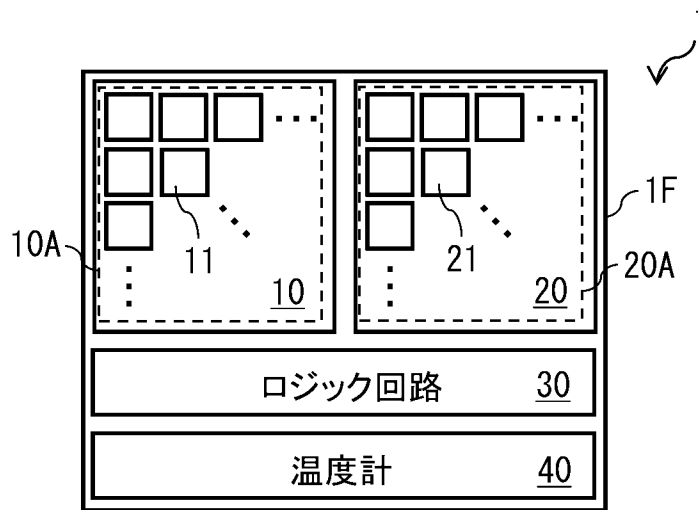
[図2]



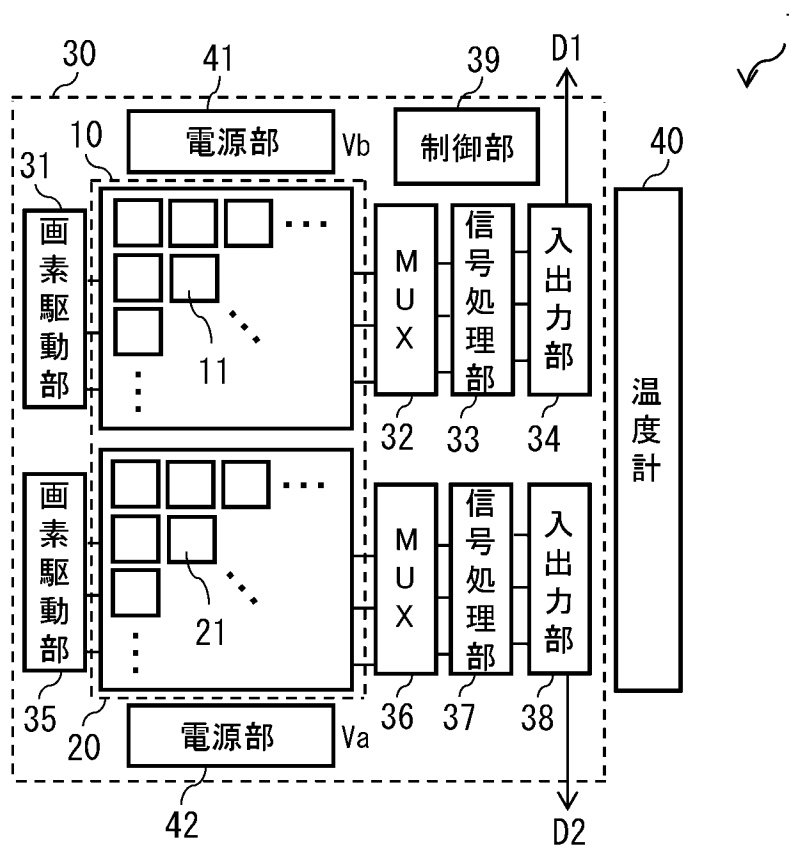
[図3]



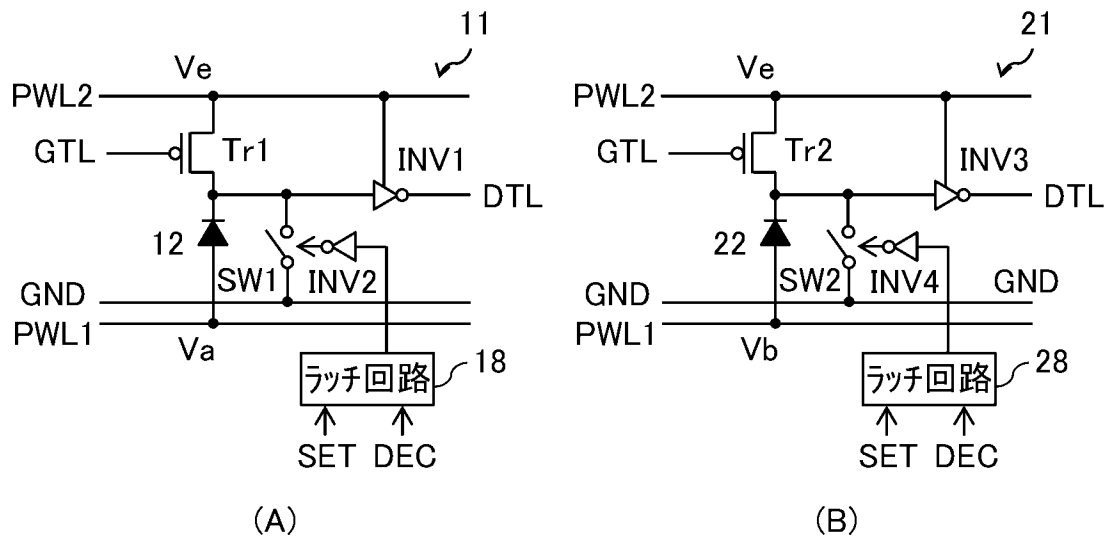
[図4]



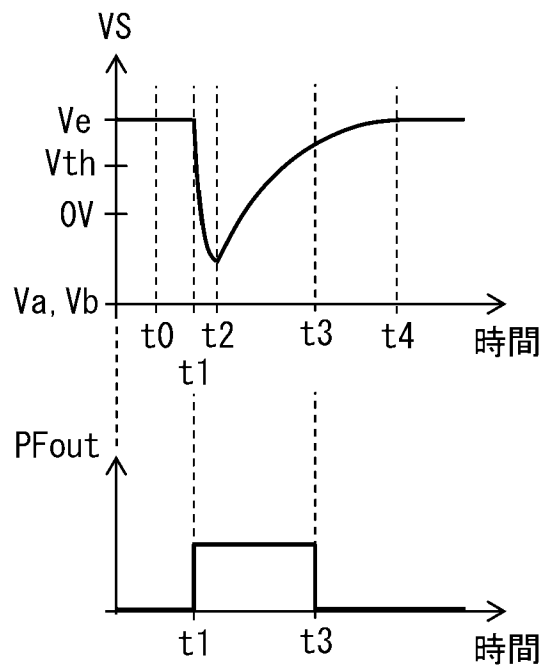
[図5]



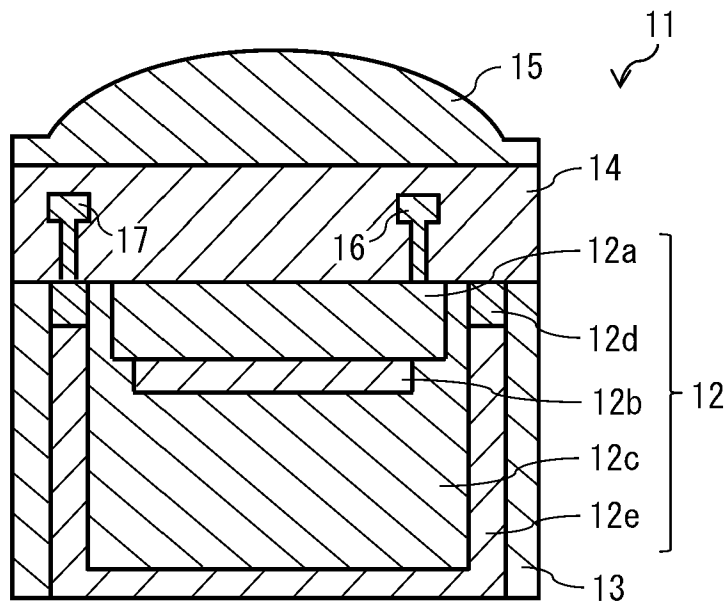
[図6]



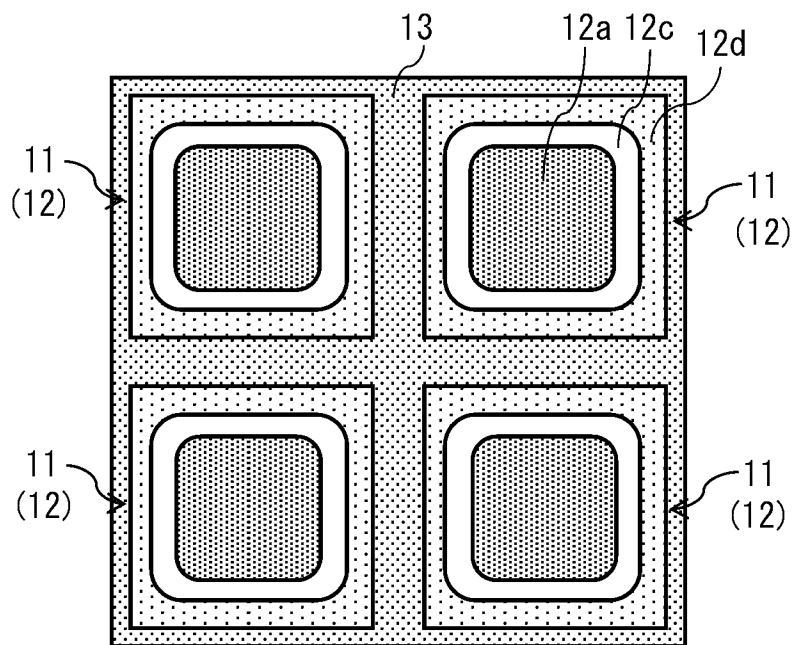
[図7]



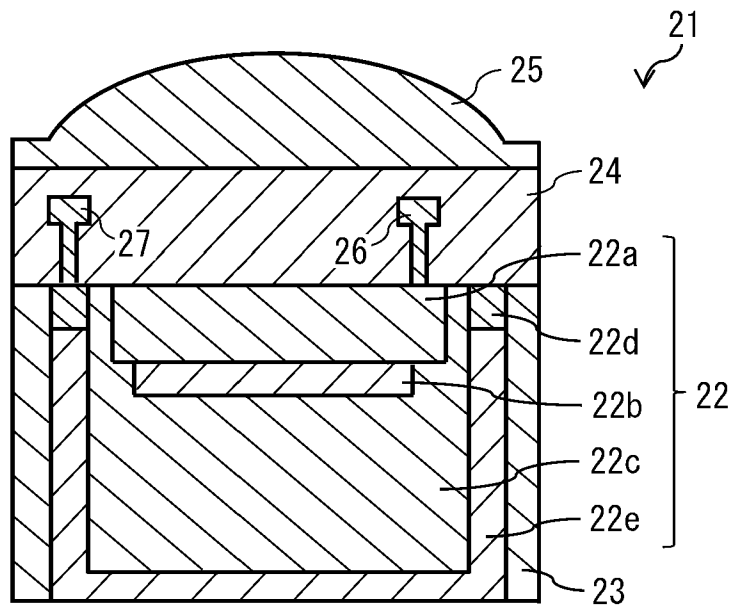
[図8]



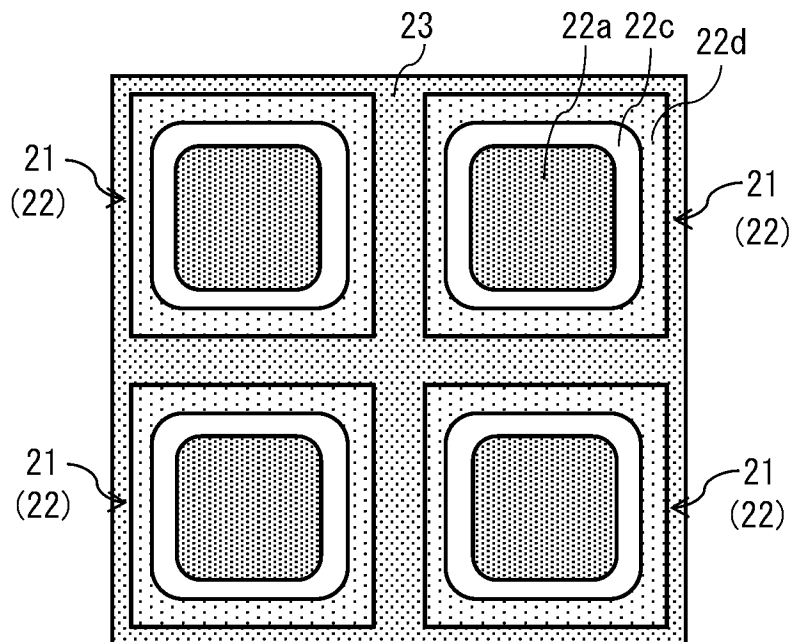
[図9]



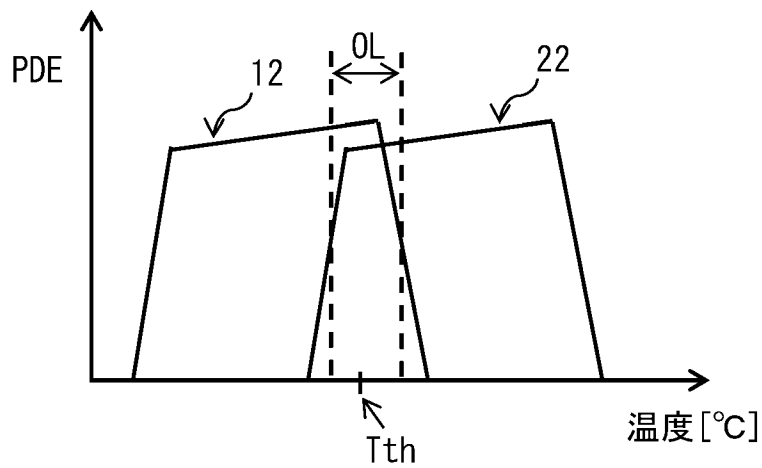
[図10]



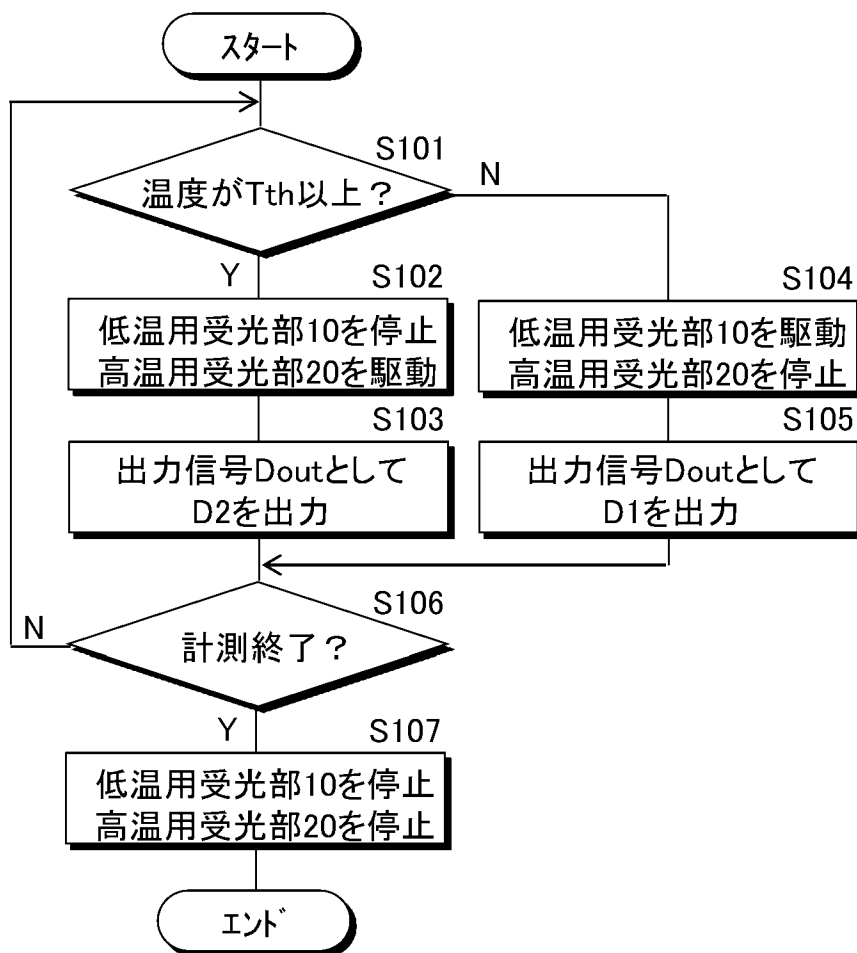
[図11]



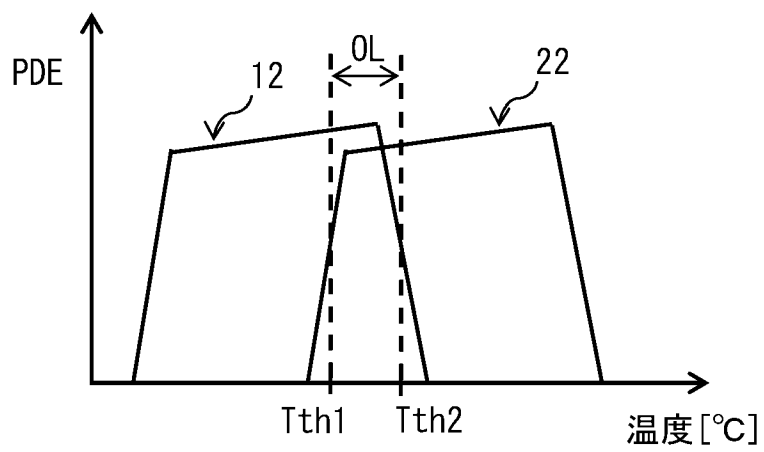
[図12]



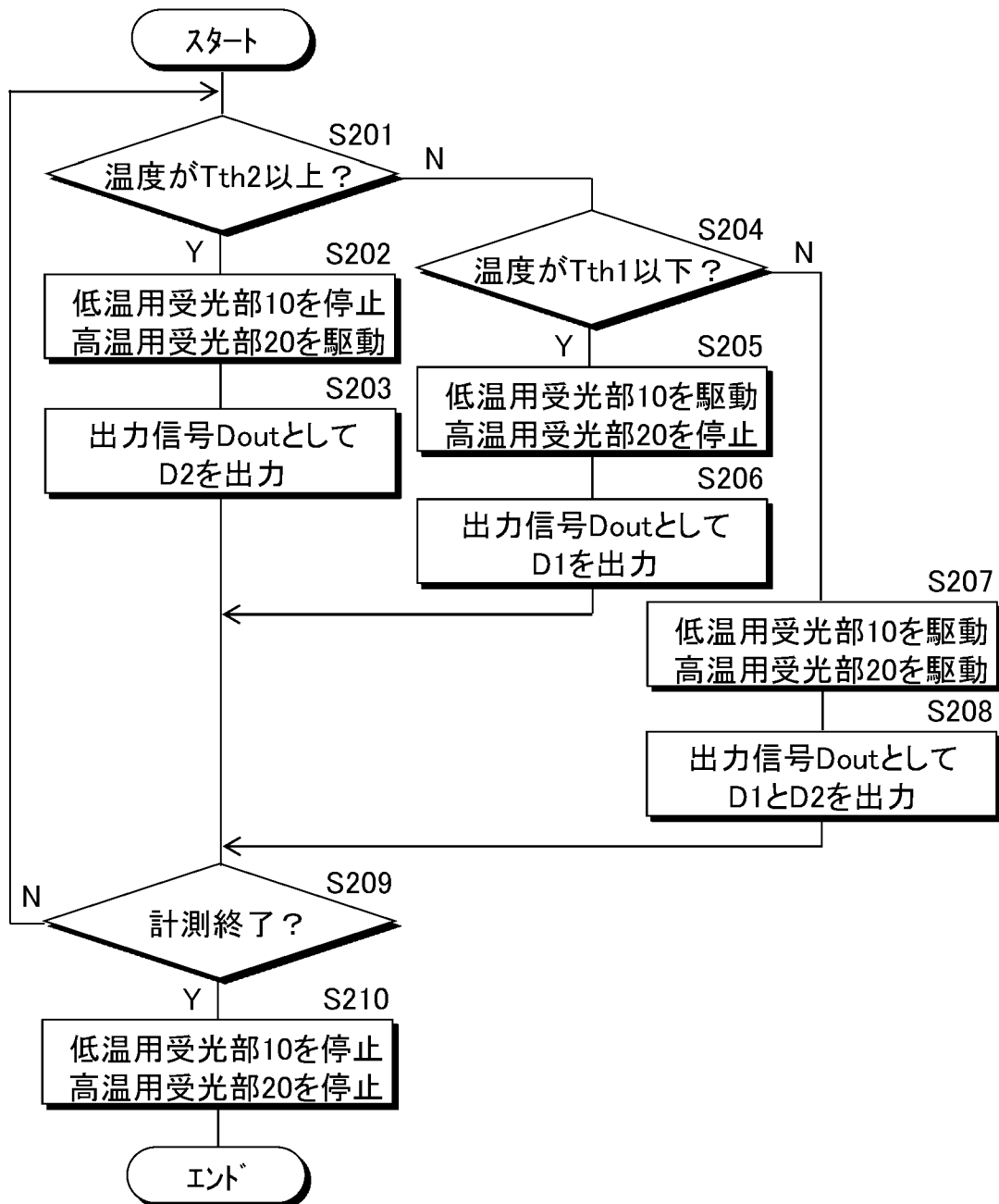
[図13]



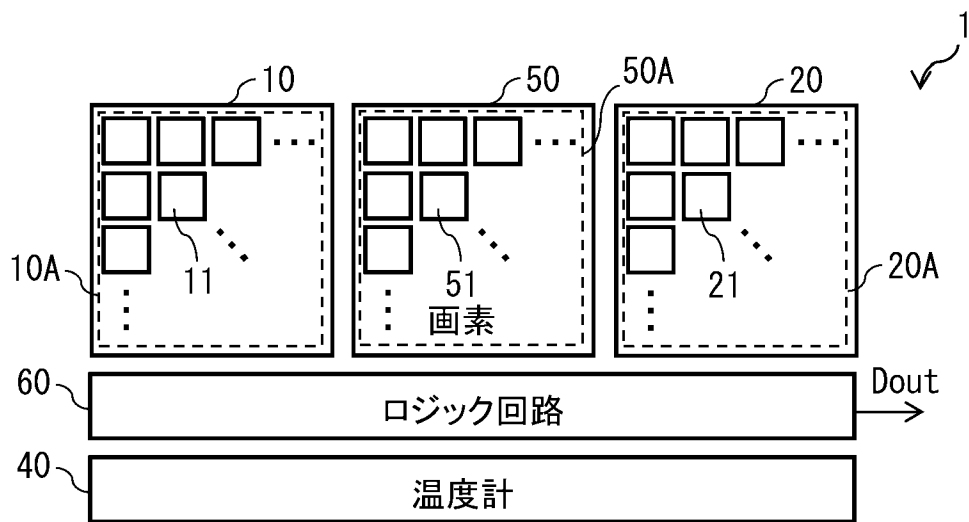
[図14]



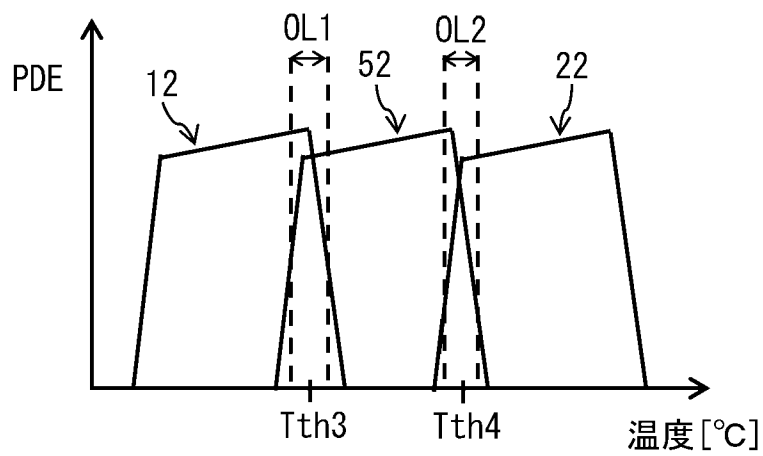
[図15]



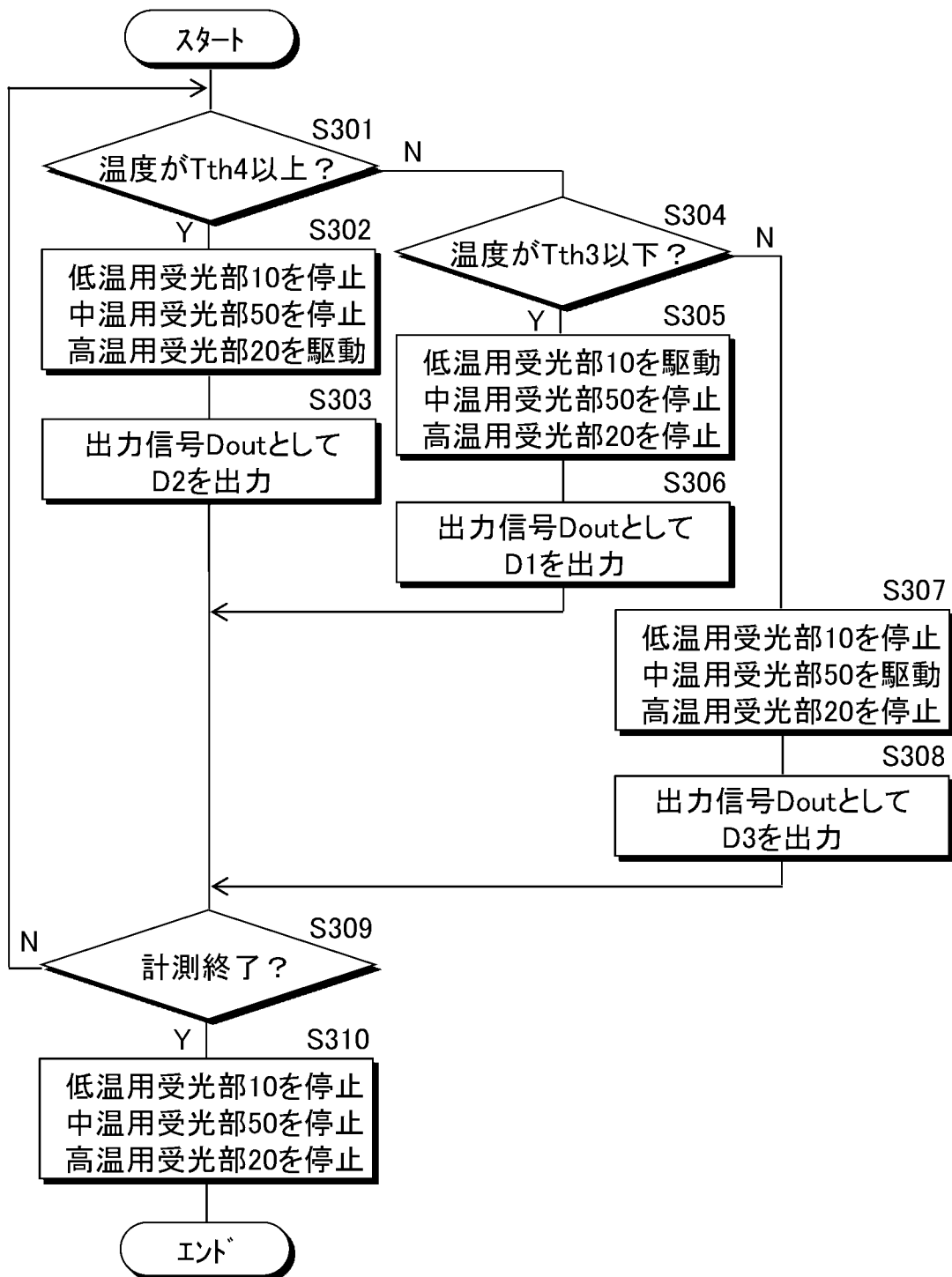
[図16]



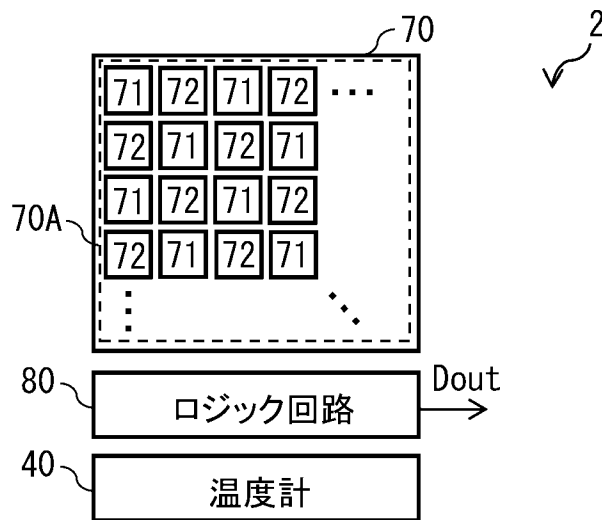
[図17]



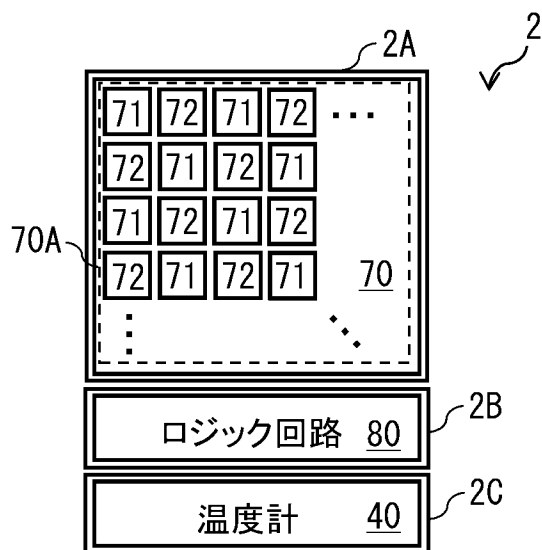
[図18]



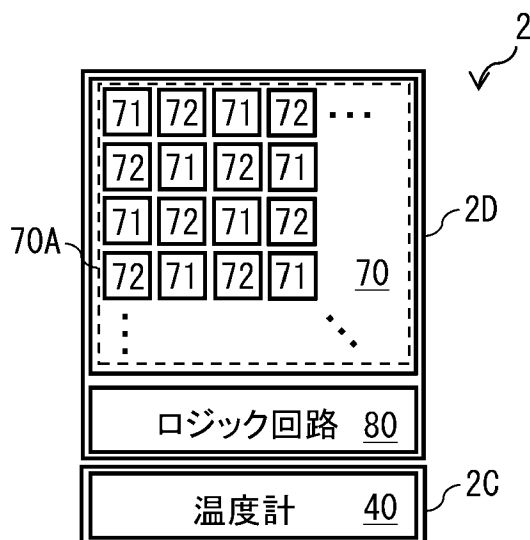
[図19]



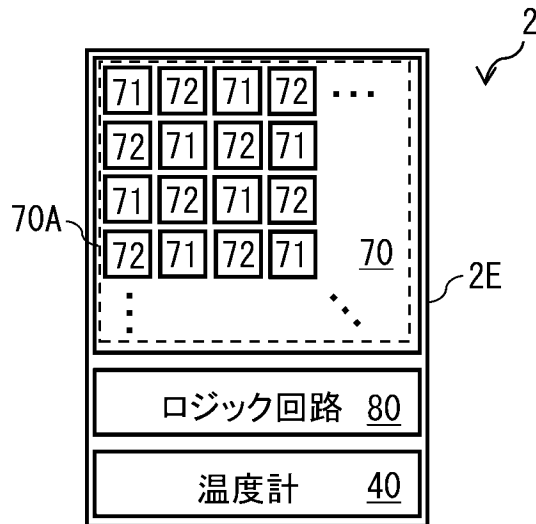
[図20]



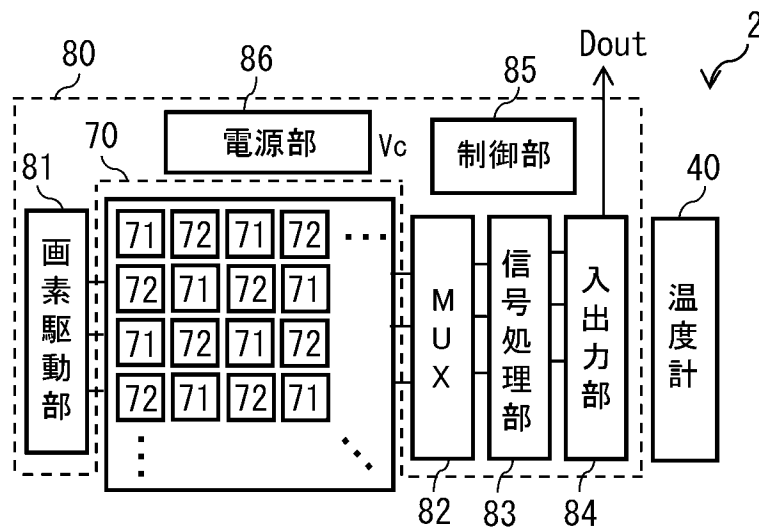
[図21]



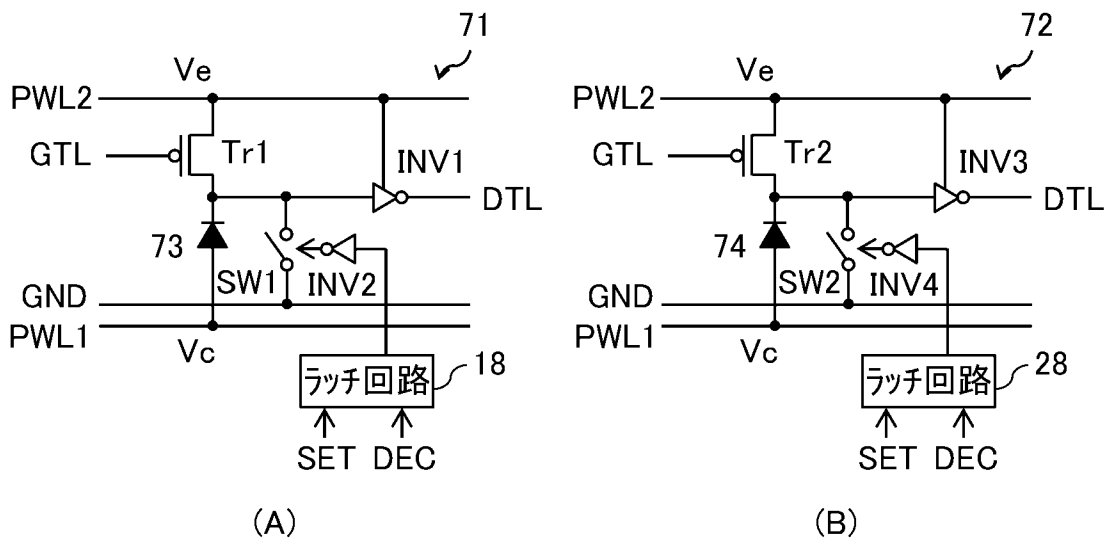
[図22]



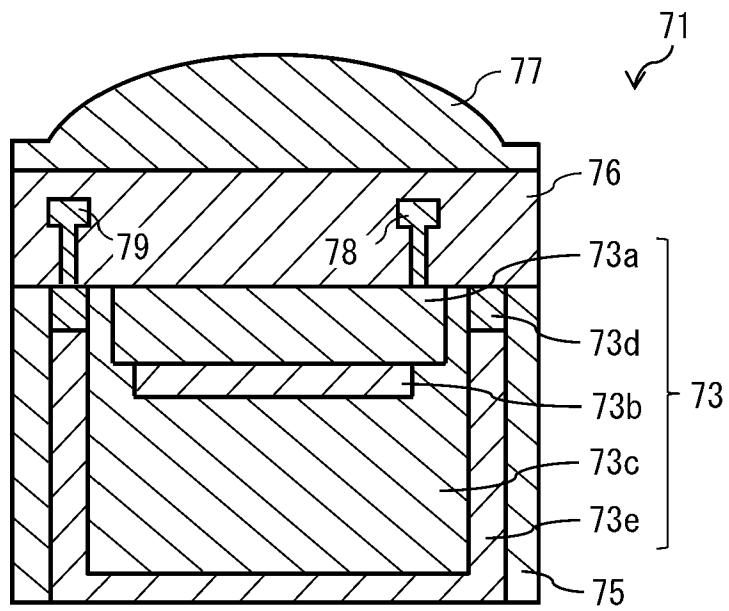
[図23]



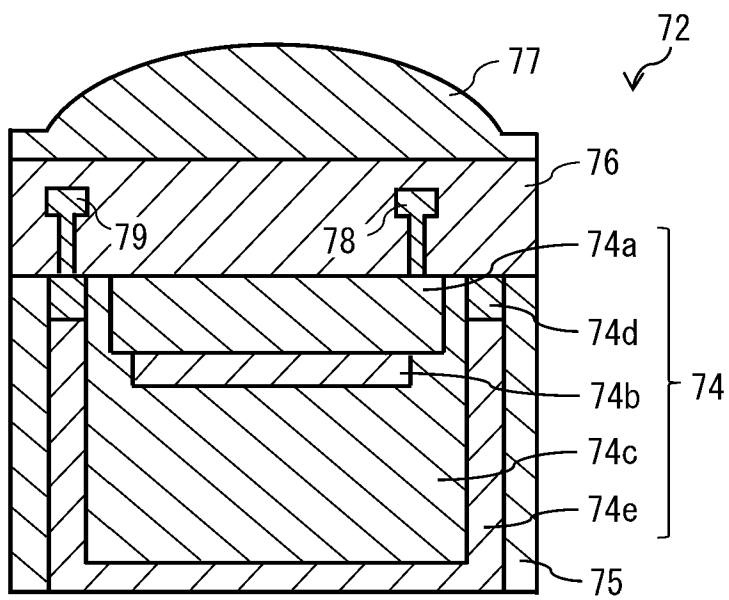
[図24]



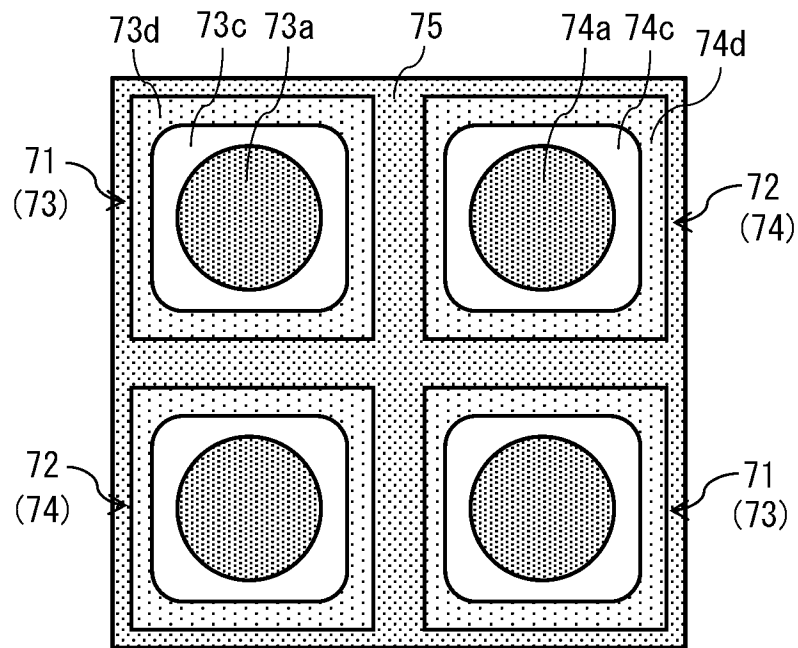
[図25]



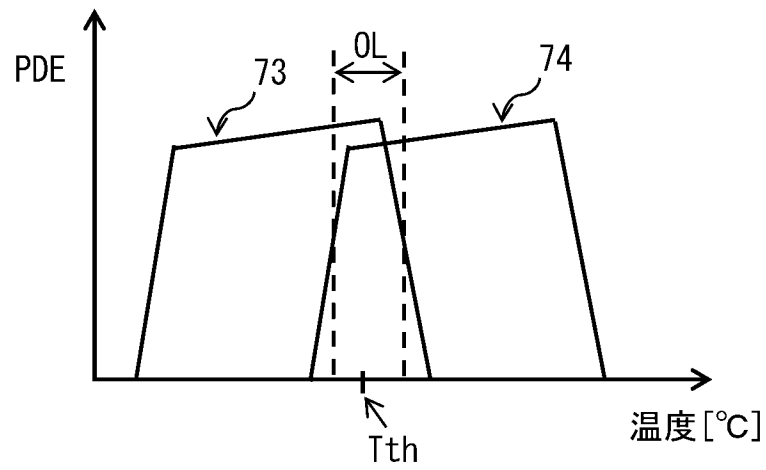
[図26]



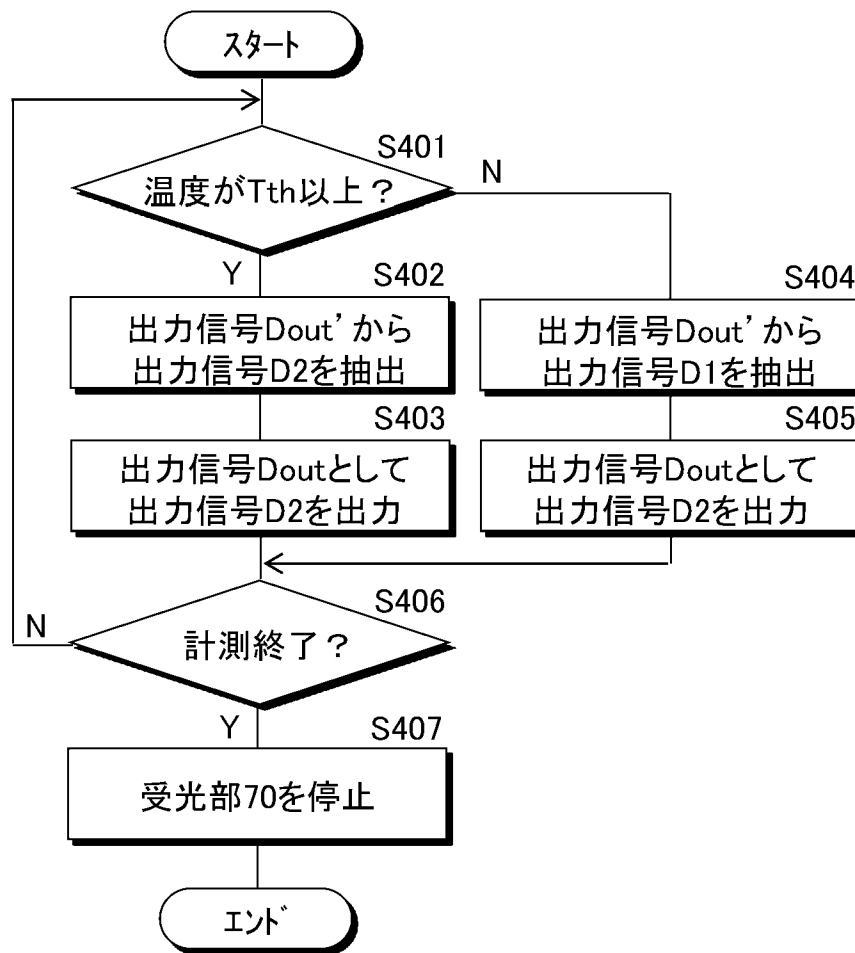
[図27]



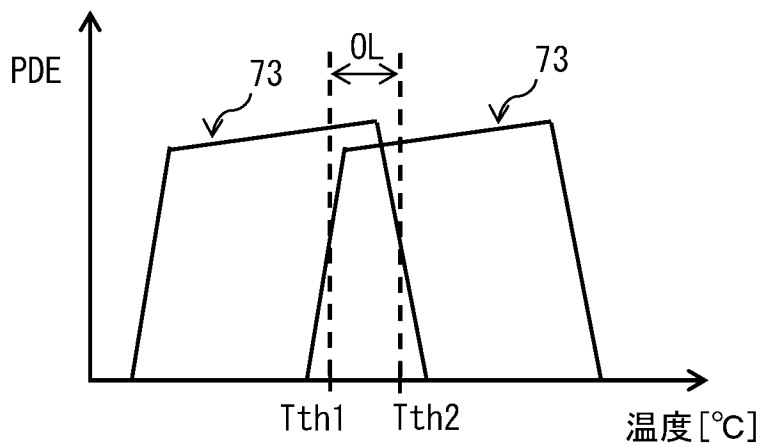
[図28]



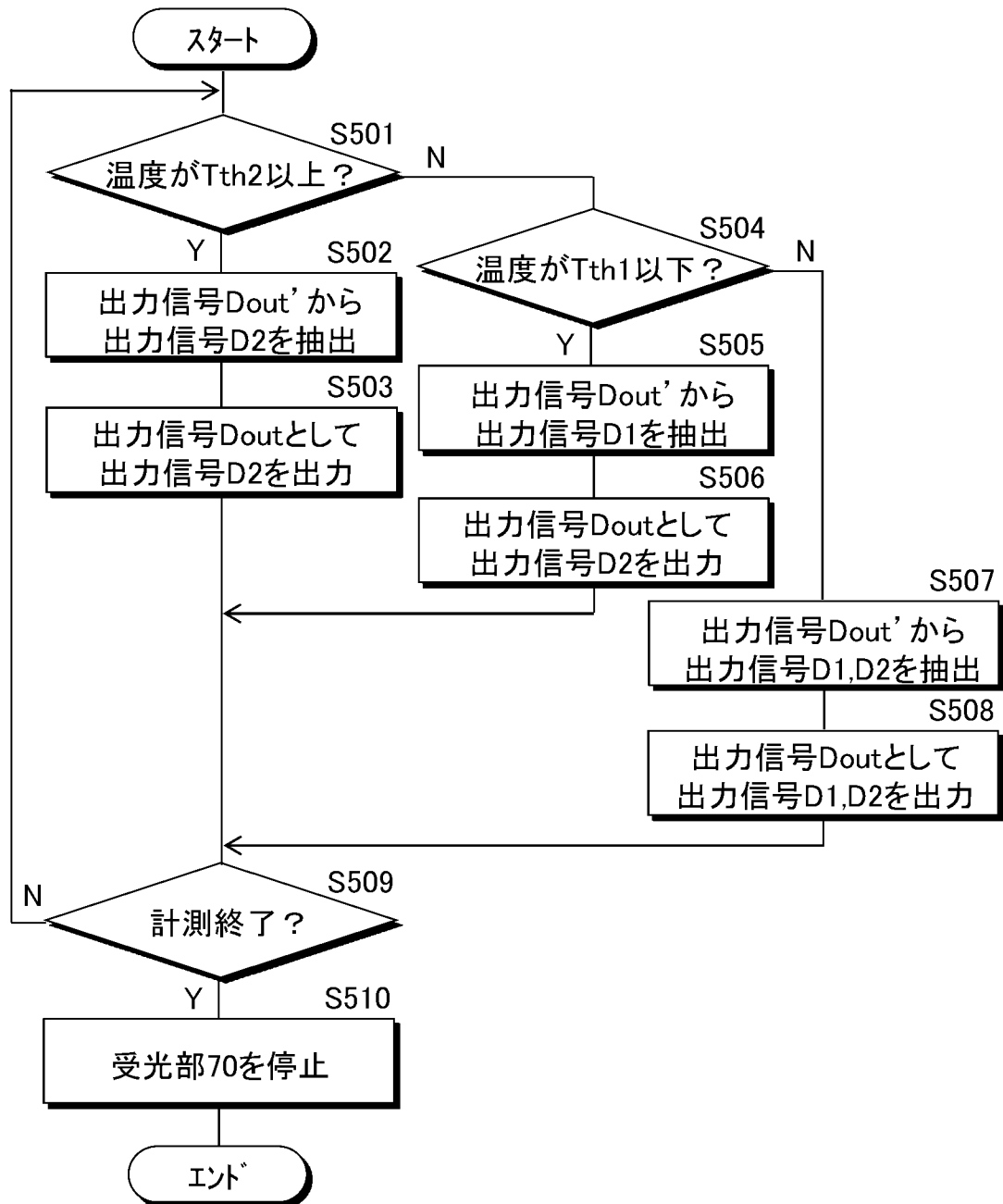
[図29]



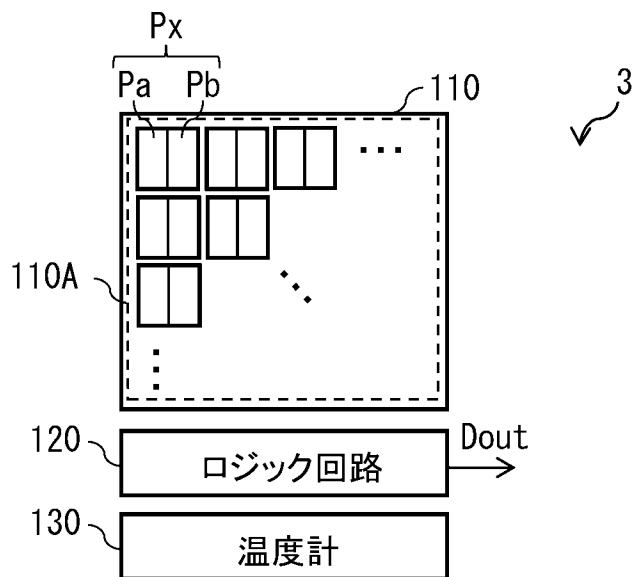
[図30]



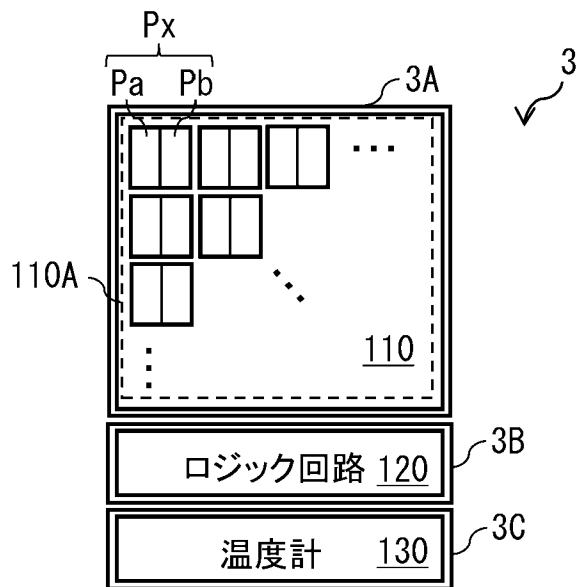
[図31]



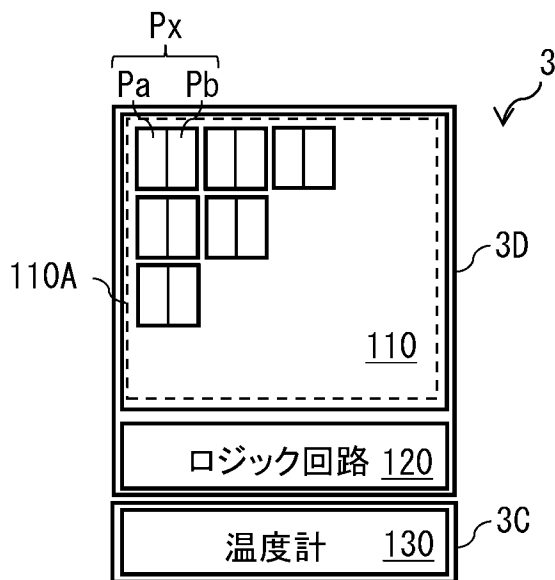
[図32]



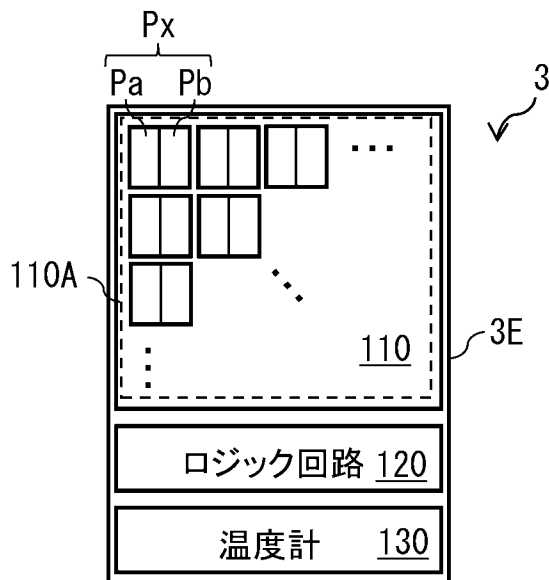
[図33]



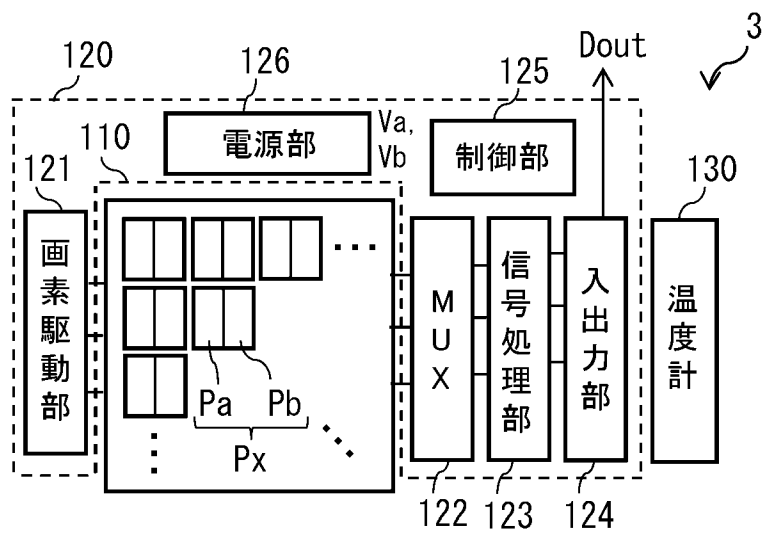
[図34]



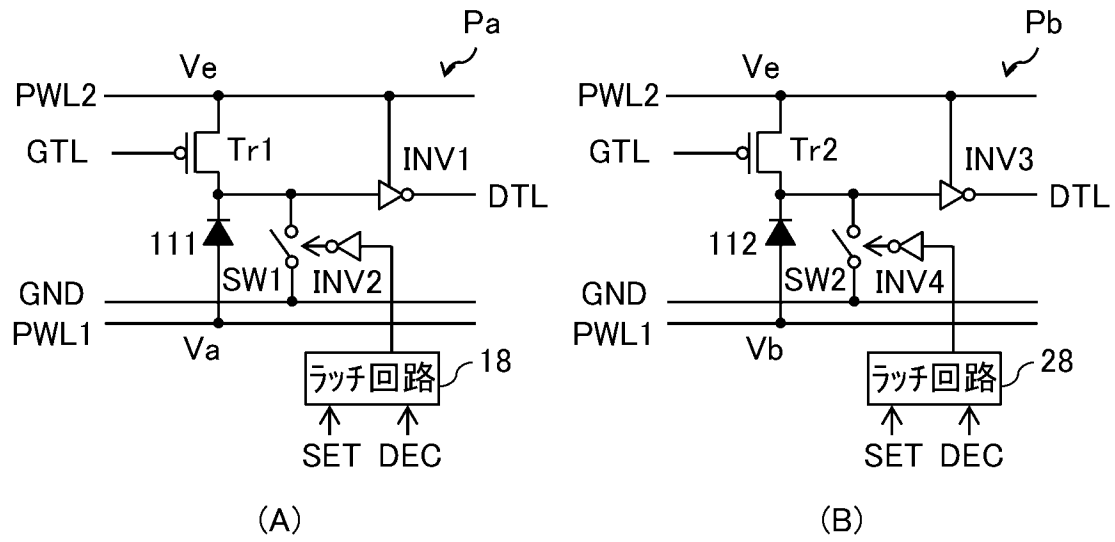
[図35]



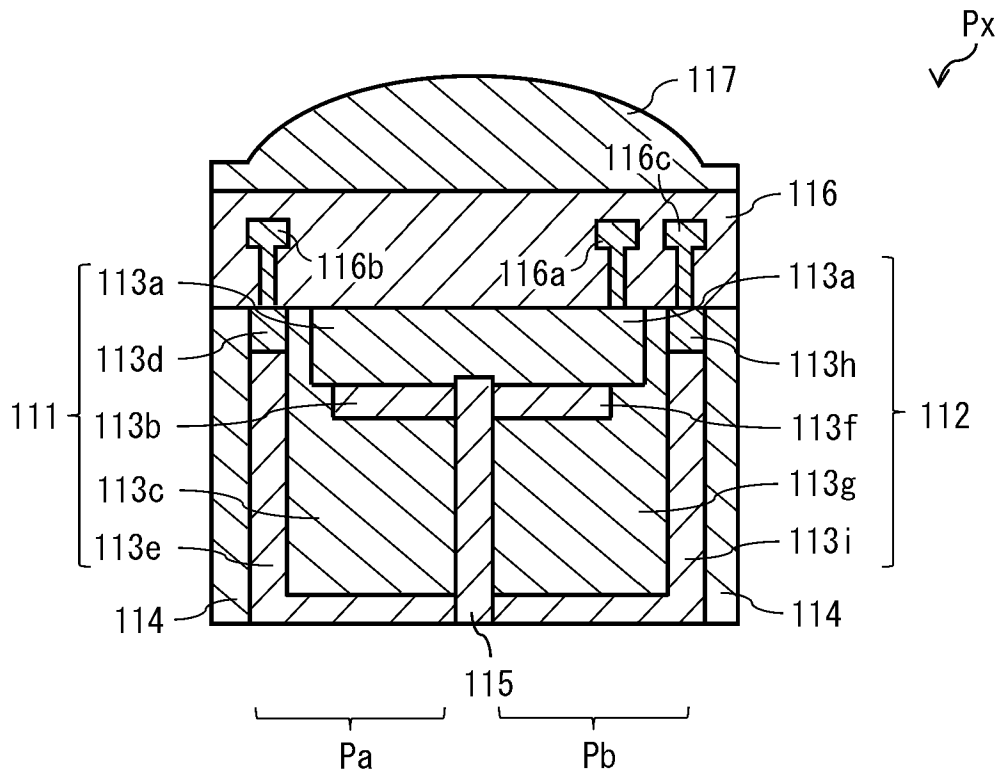
[図36]



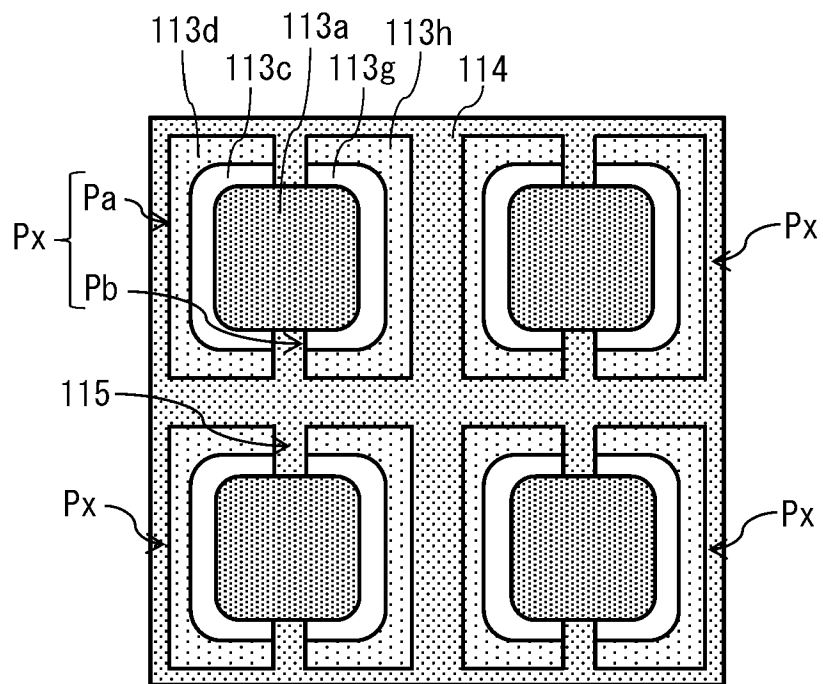
[図37]



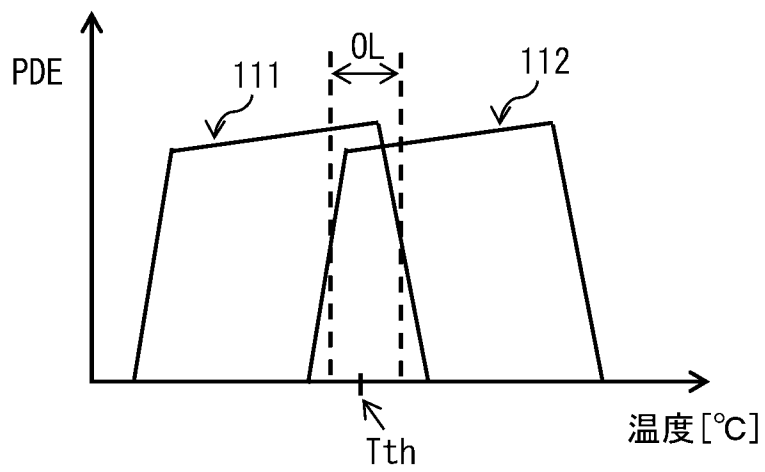
[図38]



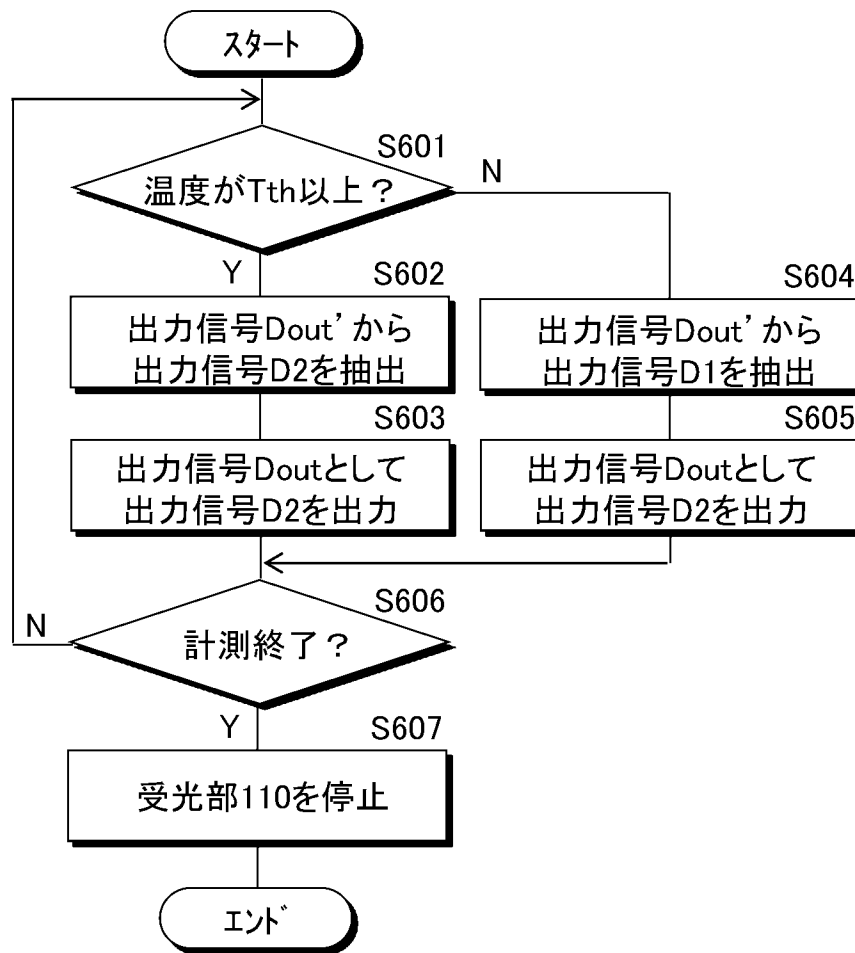
[図39]



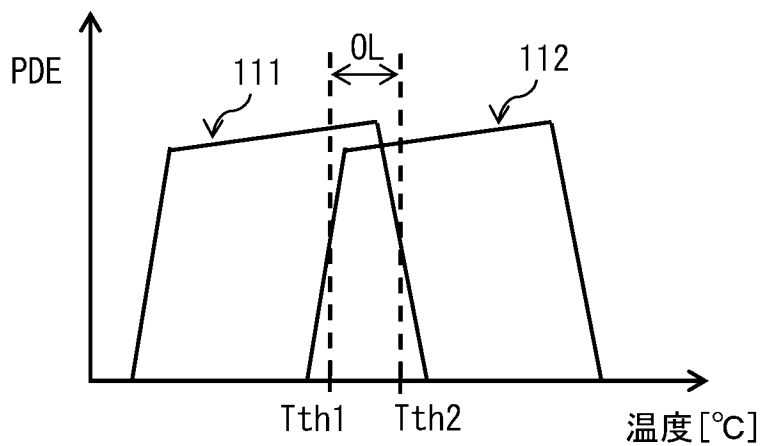
[図40]



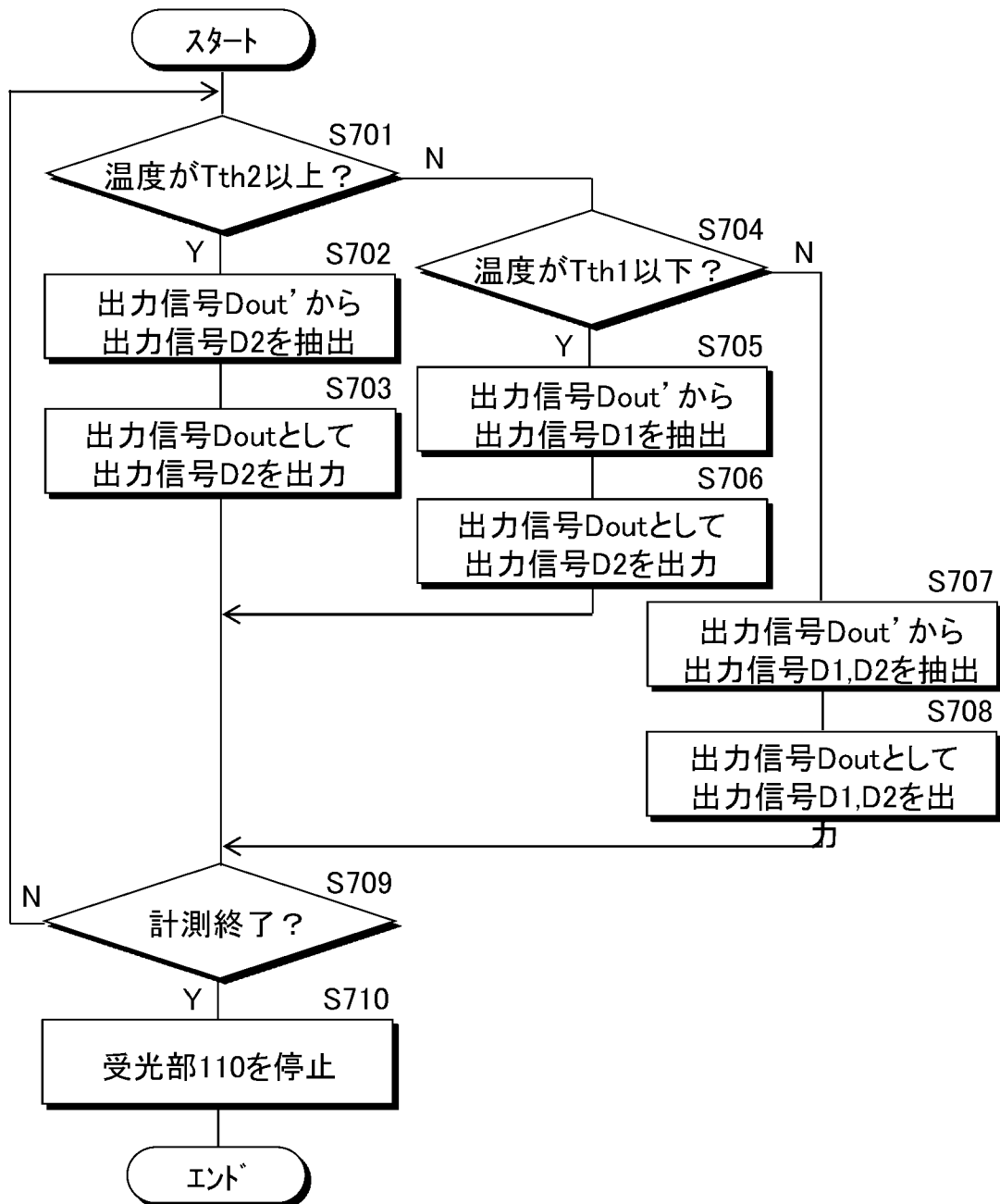
[図41]



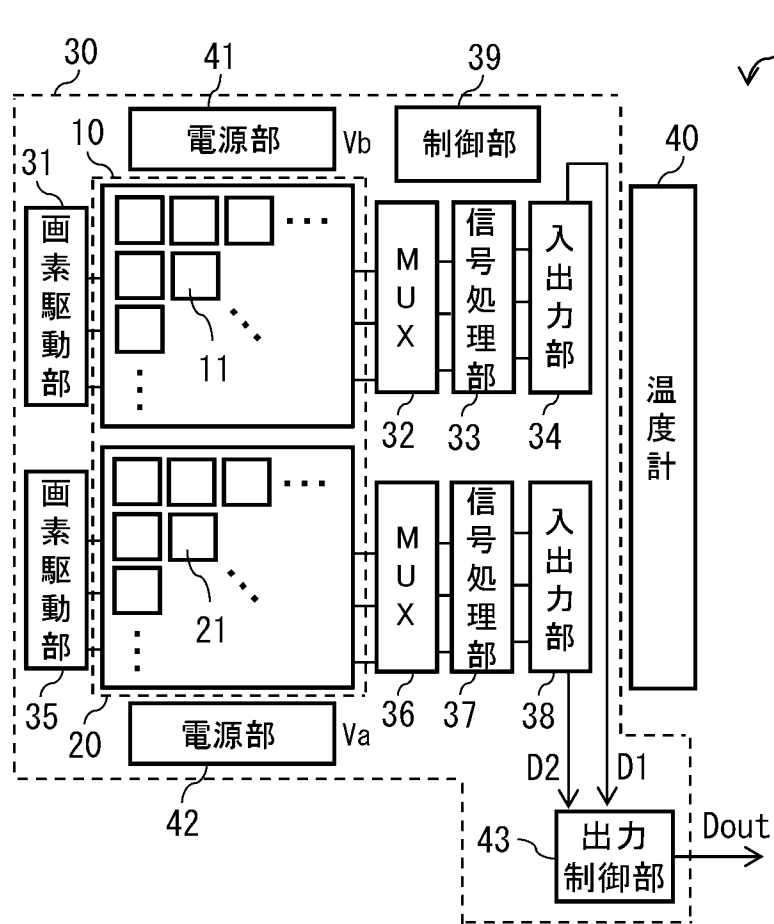
[図42]



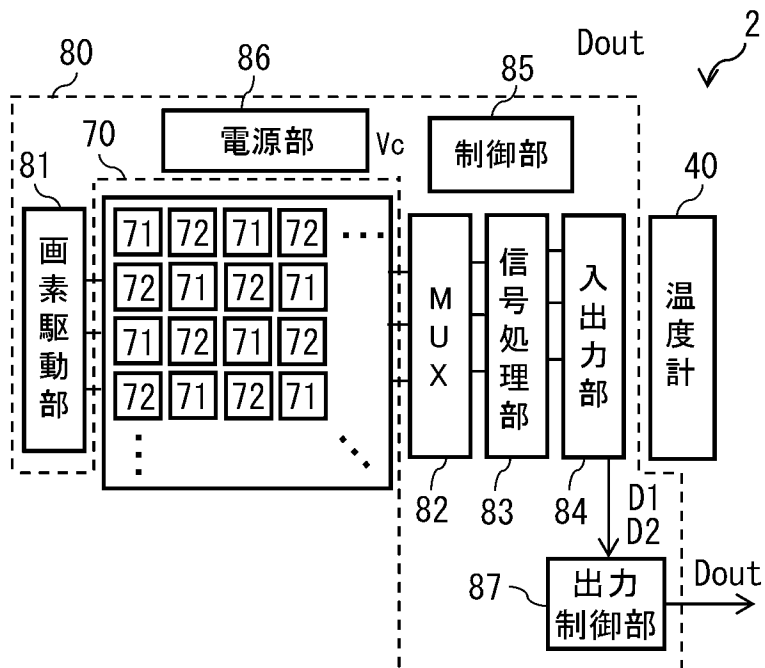
[図43]



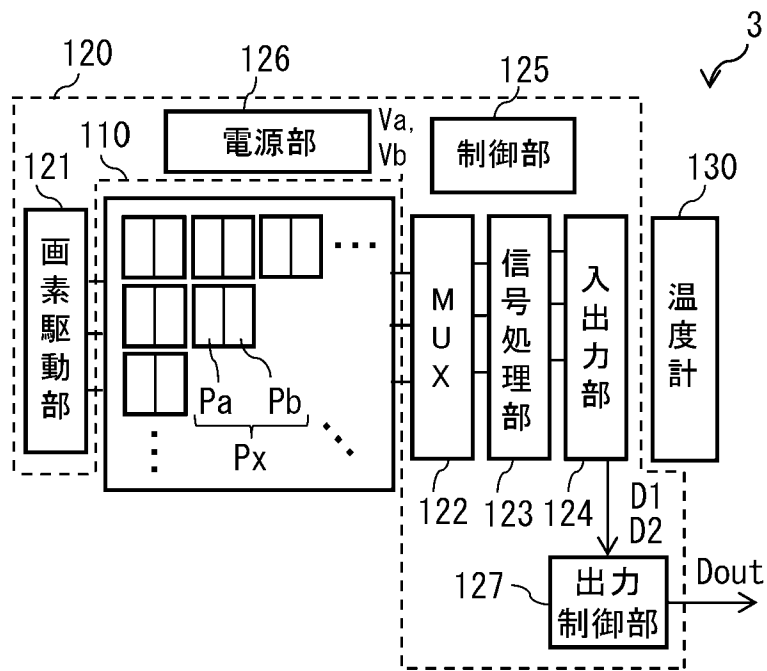
[図44]



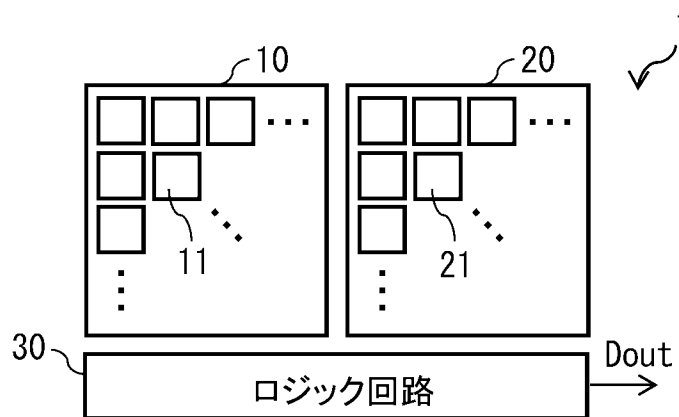
[図45]



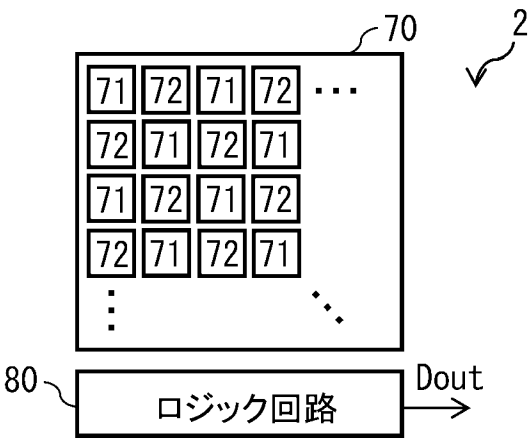
[図46]



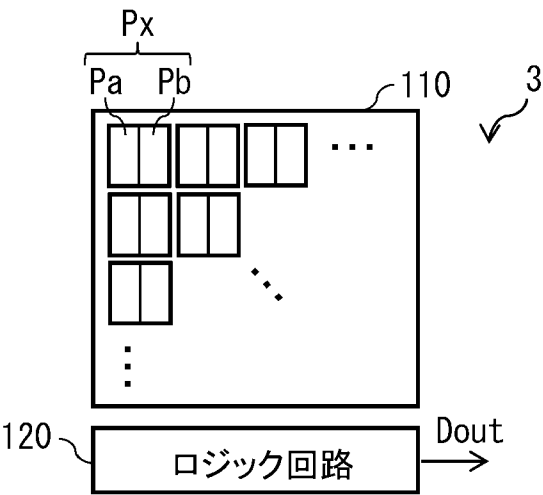
[図47]



[図48]



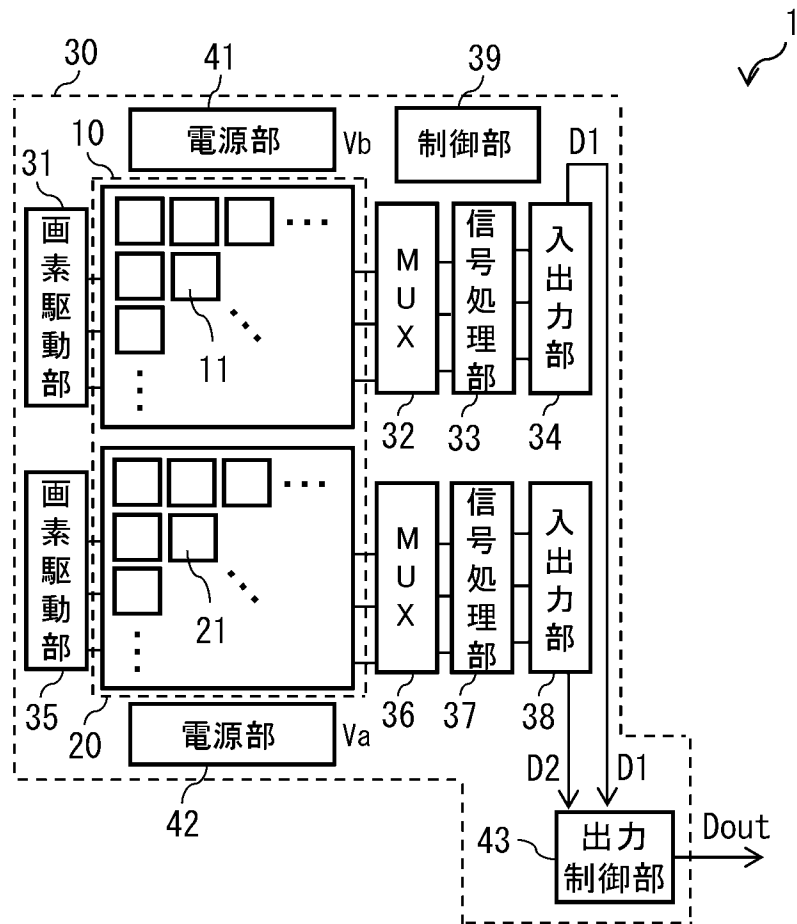
[図49]



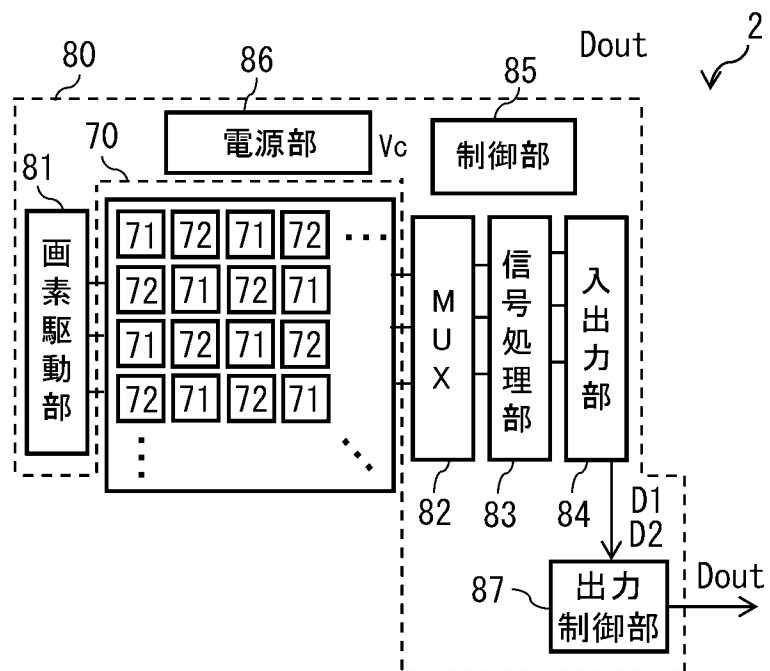
[図50]

1	D1,D2の信号レベルの大小関係
2	D1,D2のS/N比の大小関係

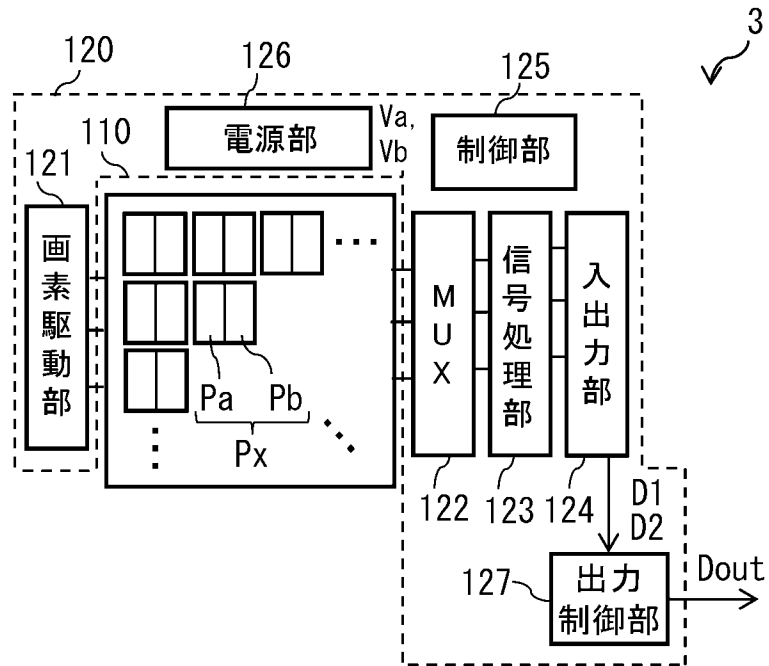
[図51]



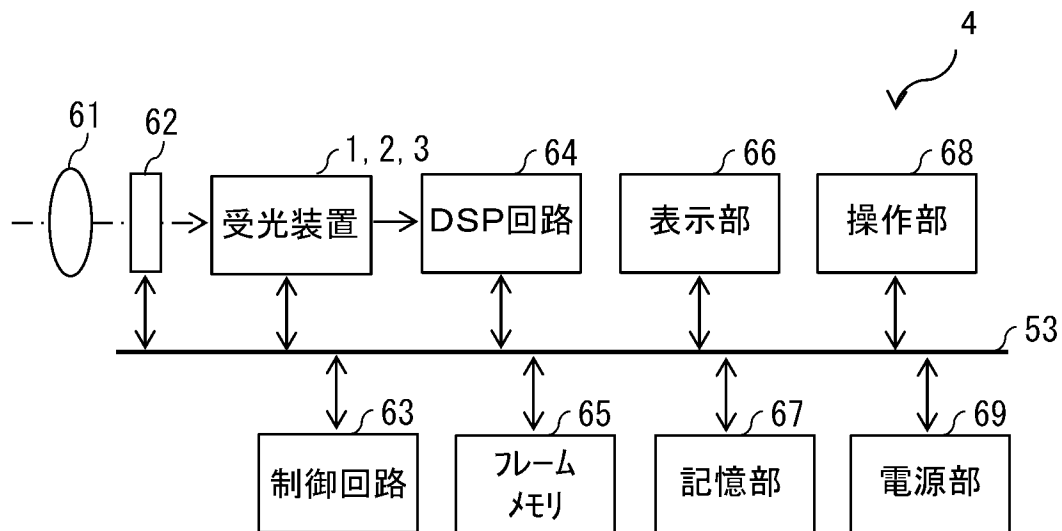
[図52]



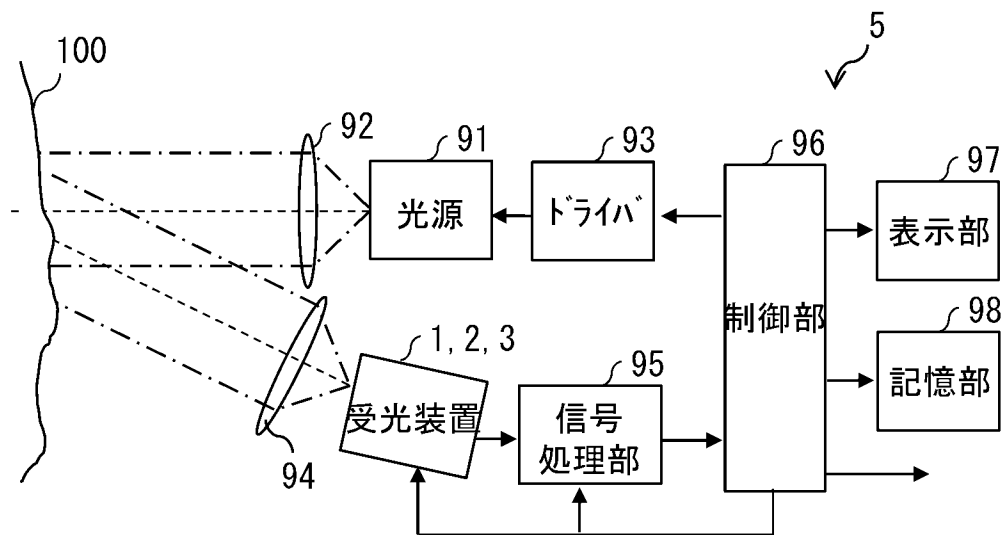
[図53]



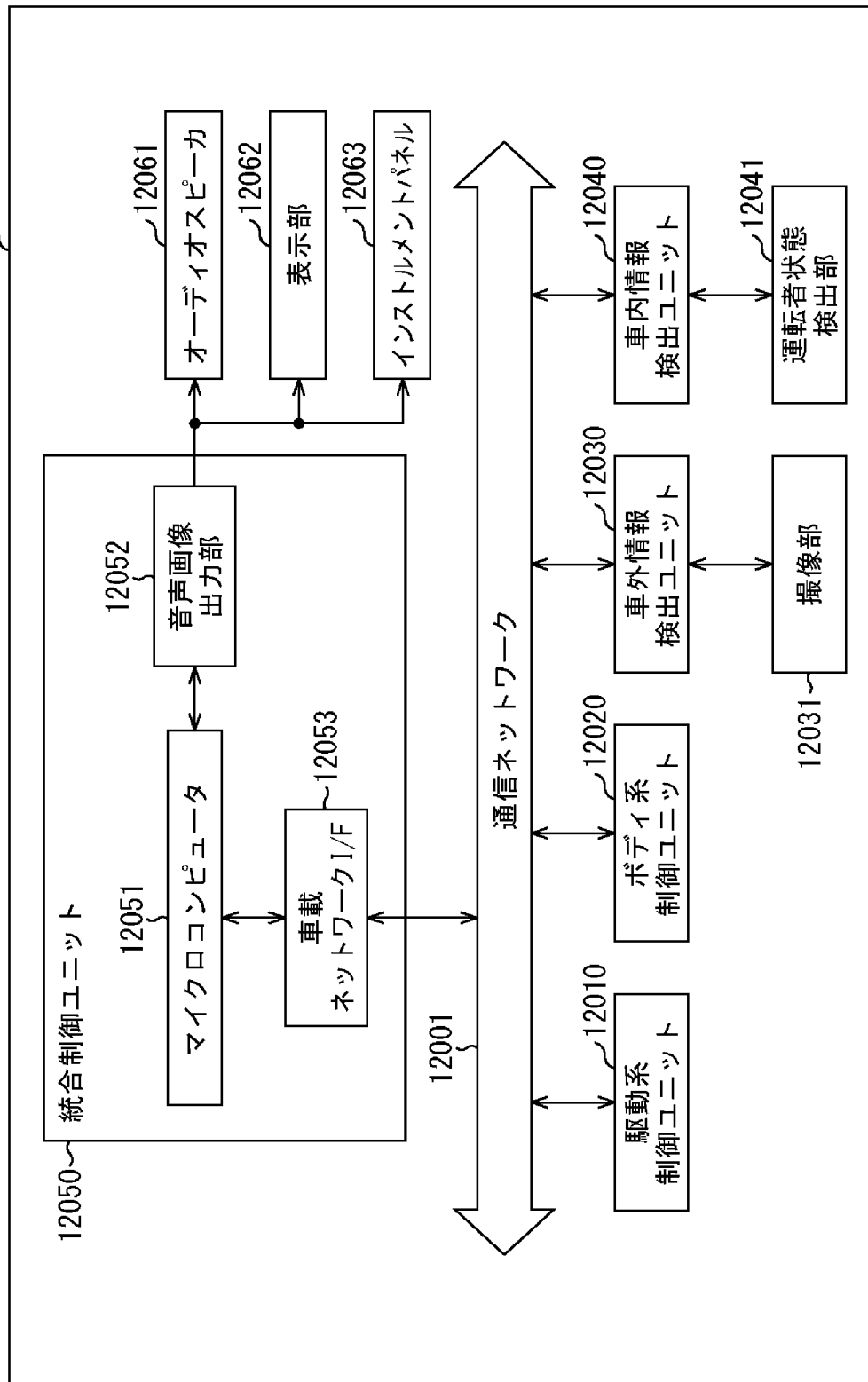
[図54]



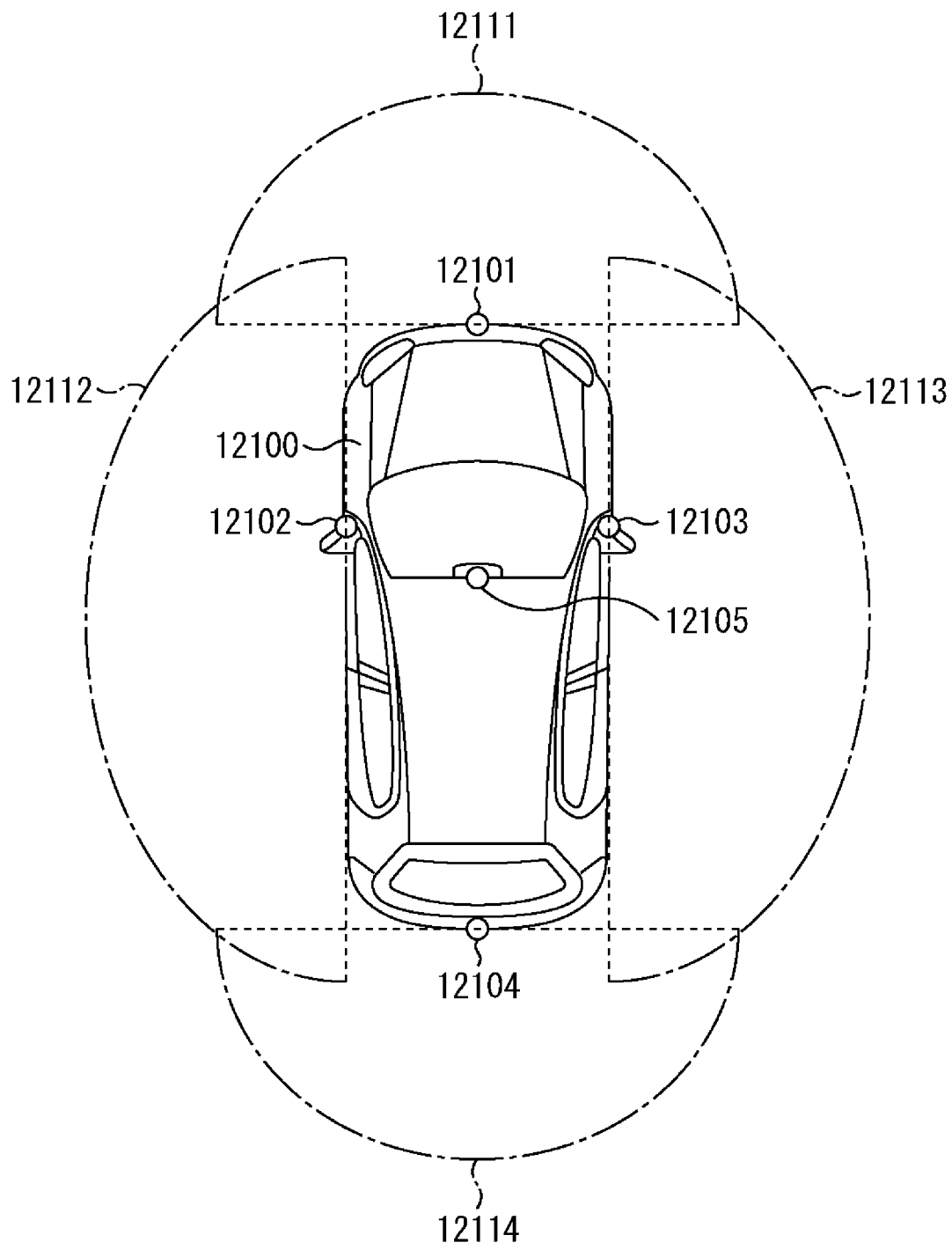
[図55]



[図56]



[図57]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/012220

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G01C3/06(2006.01)i, H01L31/107(2006.01)i, H01L31/10(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, G01S7/481(2006.01)i, G01S7/486(2020.01)i
FI: H01L27/146 A, H01L31/10 B, H01L31/10 G, G01S7/481 A, G01C3/06 120Q, G01S7/486, H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G01C3/06, H01L31/107, H01L31/10, H01L27/146, H04N5/369, G01S7/481, G01S7/486

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-21826 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 07 February 2019, entire text, all drawings	1-16
A	JP 2018-157032 A (TOSHIBA CORP.) 04 October 2018, entire text, all drawings	1-16
A	US 2010/0328508 A1 (TRIXELL S.A.S.) 30 December 2010, entire text, all drawings	1-16
A	JP 2018-166242 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 25 October 2018, entire text, all drawings	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10.06.2020

Date of mailing of the international search report
23.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/012220

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-16638 A (HAMAMATSU PHOTONICS KABUSHIKI KAISHA) 24 January 2013, entire text, all drawings	1-16
A	JP 9-266552 A (CANON INC.) 07 October 1997, entire text, all drawings	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/012220

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2019-21826 A	07.02.2019	(Family: none)	
JP 2018-157032 A	04.10.2018	US 2018/0266881 A1 entire text, all drawings	
US 2010/0328508 A1	30.12.2010	WO 2009/053494 A1 EP 2235933 A1 FR 2923121 A1 CA 2704033 A	
JP 2018-166242 A	25.10.2018	US 2020/0014865 A1 entire text, all drawings WO 2018/180528 A1 CN 110447221 A KR 10-2019-0133663 A	
JP 2013-16638 A	24.01.2013	(Family: none)	
JP 9-266552 A	07.10.1997	US 6271880 B1 entire text, all drawings EP 792066 A2 HK 1002479 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01C 3/06(2006.01)i; H01L 31/107(2006.01)i; H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; G01S 7/481(2006.01)i; G01S 7/486(2020.01)i FI: H01L27/146 A; H01L31/10 B; H01L31/10 G; G01S7/481 A; G01C3/06 120Q; G01S7/486; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01C3/06; H01L31/107; H01L31/10; H01L27/146; H04N5/369; G01S7/481; G01S7/486		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-21826 A（株式会社豊田中央研究所）07.02.2019（2019-02-07） 全文、全図	1-16
A	JP 2018-157032 A（株式会社東芝）04.10.2018（2018-10-04） 全文、全図	1-16
A	US 2010/0328508 A1（TRIXELL S.A.S.）30.12.2010（2010-12-30） 全文、全図	1-16
A	JP 2018-166242 A（ソニーセミコンダクタソリューションズ株式会社）25.10.2018 （2018-10-25） 全文、全図	1-16
A	JP 2013-16638 A（浜松ホトニクス株式会社）24.01.2013（2013-01-24） 全文、全図	1-16
A	JP 9-266552 A（キヤノン株式会社）07.10.1997（1997-10-07） 全文、全図	1-16
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.06.2020		国際調査報告の発送日 23.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/012220

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-21826	A	07.02.2019	(ファミリーなし)	
JP	2018-157032	A	04.10.2018	US 2018/0266881	A1
				全文, 全図	
US	2010/0328508	A1	30.12.2010	WO 2009/053494	A1
				EP 2235933	A1
				FR 2923121	A1
				CA 2704033	A
JP	2018-166242	A	25.10.2018	US 2020/0014865	A1
				全文, 全図	
				WO 2018/180528	A1
				CN 110447221	A
				KR 10-2019-0133663	A
JP	2013-16638	A	24.01.2013	(ファミリーなし)	
JP	9-266552	A	07.10.1997	US 6271880	B1
				全文, 全図	
				EP 792066	A2
				HK 1002479	A