



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I459722 B

(45)公告日：中華民國 103 (2014) 年 11 月 01 日

(21)申請案號：099128113

(22)申請日：中華民國 99 (2010) 年 08 月 23 日

(51)Int. Cl. : H03L7/081 (2006.01) G11C8/18 (2006.01)

(30)優先權：2009/08/27 美國 12/548,883

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
美國

(72)發明人：馬炎濤 MA, YANTAO (US)

(74)代理人：陳長文

(56)參考文獻：

US 2008/0204091A1

Chunghyun Ryu; Daehyun Chung; ChoonHeung Lee; Jinhan Kim; KiCheol Bae; Jiheon Yu; SeungJae Lee; Joungho Kim, "A Three-Dimensional Stacked-Chip Star-Wiring Interconnection for a Digital Noise-Free and Low-Jitter I/O Clock Distribution Network," Microwave and Wireless Components Letters, IEEE , vol.16, no.12, pp.651,653, Dec. 2006.

Jinn-Shyan Wang; Yi-Ming Wang; Chin-Hao Chen; Yu-Chia Liu, "An ultra-low-power fast-lock-in small-jitter all-digital DLL," Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International , vol., no., pp.422,607 Vol. 1, 10-10 Feb. 2005.

Daehyun Chung; Chunghyun Ryu; Hyungsoo Kim; ChoonHeung Lee; Jinhan Kim; KiCheol Bae; Jiheon Yu; Hoijun Yoo; Joungho Kim, "Chip-package hybrid clock distribution network and DLL for low jitter clock delivery," Solid-State Circuits, IEEE Journal of , vol.41, no.1, pp.274,286, Jan. 2006.

審查人員：鄭凱旭

申請專利範圍項數：27 項 圖式數：7 共 37 頁

(54)名稱

晶粒位置補償

DIE LOCATION COMPENSATION

(57)摘要

本發明闡述對一半導體裝置之隨一晶粒在一裝置中之位置而變之一特性(例如，效能或操作)的差異進行補償的實施例。在一個實施例中，一時脈電路可產生具有隨一晶粒之位置而變化之一定時的時脈信號，使得同時將信號自該晶粒耦合至一基板而不論該基板與各種晶粒之間之信號傳播時間的差異如何。在其他實施例中，舉例而言，可對由一晶粒在一堆疊中之位置的差異而引起之終端阻抗或驅動器驅動強度的差異進行補償。本發明亦揭示其他實施例。

Embodiments are described that compensate for a difference in a characteristic (e.g., of performance or operation) of a semiconductor device that is a function of the location of a die in a device. In one embodiment, a clock circuit may generate a clock signal having a timing that varies with the location of a die so that signals are coupled from the die to a substrate at the same time despite differences in the signal propagation time between the substrate and the various die. In other embodiments, for example, differences in the termination impedance or driver drive-strength resulting from differences in the location of a die in a stack may be compensated for. Other embodiments are also disclosed.

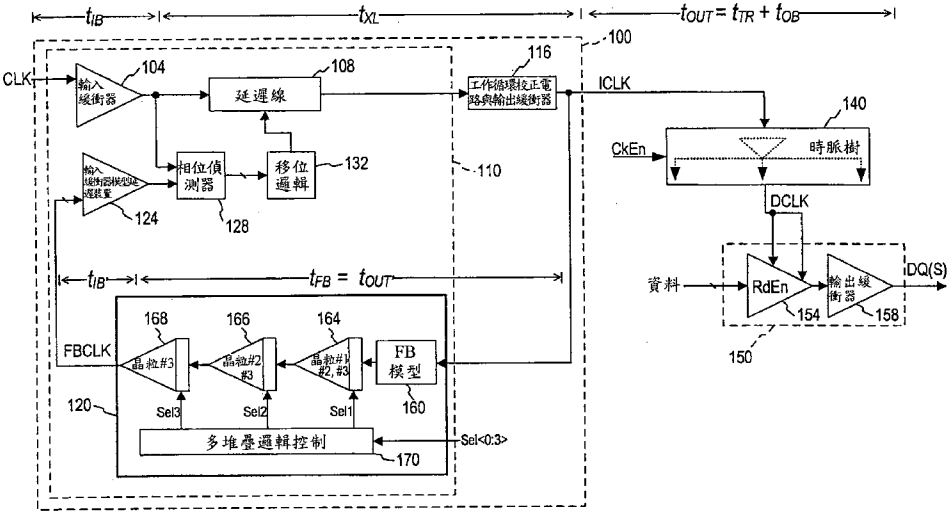


圖 3

- 100 . . . 時脈電路
- 104 . . . 輸入緩衝器
- 108 . . . 延遲線
- 110 . . . 延遲鎖定迴路
- 116 . . . 工作循環校正電路與輸出緩衝器
- 120 . . . FB 模型延遲單元
- 124 . . . 輸入緩衝器模型延遲裝置
- 128 . . . 相位偵測器
- 132 . . . 移位邏輯
- 140 . . . 時脈樹
- 150 . . . 輸出緩衝器
- 154 . . . 資料暫存器
- 158 . . . 輸出緩衝器電路
- 160 . . . FB 模型電路
- 164 . . . 可切換延遲裝置
- 166 . . . 可切換延遲裝置
- 168 . . . 可切換延遲裝置
- 170 . . . 多堆疊邏輯控制電路

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99128113

※申請日：99-08-23

※IPC 分類：H03L 7/081 (2006.01)  
G11C 8/18 (2006.01)

# 一、發明名稱：(中文/英文)

晶粒位置補償

DIE LOCATION COMPENSATION

## 二、中文發明摘要：

本發明闡述對一半導體裝置之隨一晶粒在一裝置中之位置而變之一特性(例如，效能或操作)的差異進行補償的實施例。在一個實施例中，一時脈電路可產生具有隨一晶粒之位置而變化之一定時的時脈信號，使得同時將信號自該晶粒耦合至一基板而不論該基板與各種晶粒之間之信號傳播時間的差異如何。在其他實施例中，舉例而言，可對由一晶粒在一堆疊中之位置的差異而引起之終端阻抗或驅動器驅動強度的差異進行補償。本發明亦揭示其他實施例。

## 三、英文發明摘要：

Embodiments are described that compensate for a difference in a characteristic (e.g., of performance or operation) of a semiconductor device that is a function of the location of a die in a device. In one embodiment, a clock circuit may generate a clock signal having a timing that varies with the location of a die so that signals are coupled from the die to a substrate at the same time despite differences in the signal propagation time between the substrate and the various die. In other embodiments, for example, differences in the termination impedance or driver drive-strength resulting from differences in the location of a die in a stack may be compensated for. Other embodiments are also disclosed.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件符號簡單說明：

|     |                |
|-----|----------------|
| 100 | 時脈電路           |
| 104 | 輸入緩衝器          |
| 108 | 延遲線            |
| 110 | 延遲鎖定迴路         |
| 116 | 工作循環校正電路與輸出緩衝器 |
| 120 | FB模型延遲單元       |
| 124 | 輸入緩衝器模型延遲裝置    |
| 128 | 相位偵測器          |
| 132 | 移位邏輯           |
| 140 | 時脈樹            |
| 150 | 輸出緩衝器          |
| 154 | 資料暫存器          |
| 158 | 輸出緩衝器電路        |
| 160 | FB模型電路         |
| 164 | 可切換延遲裝置        |
| 166 | 可切換延遲裝置        |
| 168 | 可切換延遲裝置        |
| 170 | 多堆疊邏輯控制電路      |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

此發明之實施例係關於具有複數個半導體晶粒之裝置，且更特定而言，在一個或多個實施例中係關於堆疊之積體電路晶粒及時脈信號。

### 【先前技術】

週期性信號用於多種電子裝置中。一種類型之週期性信號係一時脈信號，其可用於建立一信號之定時或對一信號實施一操作之定時。舉例而言，資料信號通常與一時脈信號或資料選通信號同步地耦合至諸如同步動態隨機存取記憶體(「SDRAM」)裝置之記憶體裝置及自其耦合。更具體而言，讀取資料信號通常與一時脈信號或一讀取資料選通信號(其可與一時脈信號同步)同步地自一記憶體裝置耦合。該讀取資料選通信號通常由正輸出該等讀取資料信號之相同記憶體裝置產生。寫入資料信號通常與一時脈信號或一寫入資料選通信號(其亦可與一時脈信號同步)同步地被鎖存至一記憶體裝置中。在諸如記憶體裝置或記憶體控制器之電子裝置中產生之其他信號通常藉由一內部時脈信號來同步化或觸發。舉例而言，可在一記憶體裝置中使用一時脈信號來鎖存寫入資料及/或輸出讀取資料。該時脈信號通常係在該記憶體裝置中使用一延遲鎖定迴路自一內部時脈信號產生。

在一積體電路中使用一延遲鎖定迴路來產生一內部時脈信號之優點中之一個優點係一積體電路中之各種延遲可藉

由延遲模型電路建模且在一延遲鎖定迴路之回饋路徑中用於對此等延遲進行補償。舉例而言，在使一時脈信號透過一時脈樹而耦合至一讀取資料鎖存器中之延遲可藉由產生該時脈信號之一延遲鎖定迴路之回饋路徑中之一模型延遲裝置來建模。因此，可鎖存讀取資料且因此大致與一時脈信號同步地自記憶體裝置輸出該讀取資料，而不論一時脈信號透過該時脈樹之一傳播延遲如何。

儘管各種技術(諸如含有一模型延遲裝置之一延遲鎖定迴路)可在某一程度上減輕由積體電路中之傳播延遲而引起之問題，但在使用多個半導體晶粒之一半導體裝置中信號傳播延遲之問題可變得更嚴重，諸如在堆疊多個晶粒之情形下。更具體而言，即使可在每一晶粒中對傳播延遲進行補償，但在積體電路裝置之每一晶粒與外部電連接器(例如，端子)之間耦合信號中仍可存在傳播延遲。參照圖1，一半導體裝置10可包括4個半導體晶粒12、14、16及18，其中某些半導體晶粒可彼此相同或彼此不同。晶粒12至18可安裝於一基板24之一表面20上，且呈一球柵陣列28之形式之外部端子可安裝於基板24之一相對表面30上。球柵陣列28之球32中之一者可接收一時脈信號(「CLK」)，且複數個其他球34(僅顯示一個球)可接收及發射資料信號。球柵陣列28之個別球可透過各別內部球38而耦合至晶粒12至18，該等各別內部球抵靠著晶粒12至18之每一表面而定位在毗鄰晶粒之間或晶粒12與基板24之間。信號可藉由內部電連接器(諸如貫通矽通孔(「tsv」)40)自晶粒12至

18之一個表面耦合至一相對表面。

圖2顯示一半導體裝置52，其亦包括堆疊之晶粒12至18。半導體裝置52可大致類似於圖1之半導體裝置10。因此，為簡潔及清晰起見，相同參考編號將用於識別相同組件。裝置52藉由使用接合線62、64、66、68作為內部電連接器以將全部或某些信號自基板24耦合至晶粒12至18而不同於裝置10。然而，裝置52亦可使用內部球38在晶粒12至18之間耦合信號。

不論是使用圖1或圖2中所顯示之信號耦合技術還是使用某一其他技術，在外部電連接器28與晶粒12至18之間耦合信號中之傳播延遲可因不同晶粒而不同。舉例而言，CLK信號將由晶粒12至18接收而自晶粒12至晶粒18之延遲越來越大。因此，舉例而言，可自距電連接器28增加之距離處之晶粒12至18輸出讀取資料。此外，將讀取資料自晶粒12至18中之每一者耦合至電連接器28中之傳播延遲可自晶粒12至晶粒18增加。由於來自裝置10、50之讀取資料可與CLK信號或某一其他信號同步地由一外部裝置鎖存，因此在其期間該讀取資料係有效之「資料眼」可對於較遠離電連接器28之晶粒12至18變得越來越遲。更重要地，來自晶粒12至18之各別資料眼中之重疊可設定裝置12至18之總體資料眼，在該總體資料眼期間來自裝置10、50之讀取資料有效而不論是哪一個晶粒始發該讀取資料。因此，隨著來自晶粒12至18之各別資料眼中之共同資料有效時間重疊變得更小，資料眼之大小可變得更小。一較小資料眼可使一

外部裝置較難以正確地鎖存來自裝置10、50之讀取資料。當存在工作循環畸變時，此歪斜之資料眼問題變得更糟。對於其他類型之信號(諸如寫入資料信號)，可存在類似類型之問題。

由電連接器28與晶粒12至18中之每一者之間的連接之差異而引起之問題亦可導致除信號傳播問題之外的問題，諸如輸出轉換速率歪斜、ZQ校準終端阻抗不匹配等等。舉例而言，電連接器28與較遠離電連接器28之晶粒之間的較長信號路徑可增加電連接器與較遠離該等電連接器之晶粒12至18之間的電阻。因此，晶粒12至18上之信號發射器之「驅動強度」可遠離電連接器28而變得越來越弱。電連接器28與較遠離電連接器28之晶粒12至18之間的增加之電阻亦可致使球柵陣列之球之終端阻抗(舉例而言)對於較遠離球柵陣列之晶粒12至18而言係更大。

### 【實施方式】

可使用一鎖定迴路(諸如一延遲鎖定迴路)，對諸如球柵陣列28(圖1及圖2)之外部電連接器(例如，端子、觸點等等)與複數個晶粒之間的不同信號傳播延遲進行補償。如圖3中所顯示，一時脈電路100可使用接收一輸入時脈(「CLK」)信號之一延遲鎖定迴路(「DLL」)110來提供一內部時脈信號(「ICLK」)至一時脈樹140。當藉由一有效CkEn信號而啟用時，時脈樹140可將ICLK信號分配至用於多種用途的多種電路。舉例而言，如圖3中所顯示，ICLK信號可用於提供一資料時脈(「DCLK」)信號至一輸出緩



衝器 150。輸出緩衝器 150 可包括一資料暫存器 154，其由 DCLK 信號及 / 或其互補信號定時，以提供資料信號 (「Data」) 至一輸出緩衝器電路 158，以輸出讀取資料 (「DQ」) 信號 (僅顯示一個)。如以上參照圖 1 及圖 2 所解釋，讀取 DQ 信號可自晶粒 12 至 18 中的每一者路由至包括時脈電路 100 之一裝置 (諸如裝置 10 及裝置 52) 的電連接器。

時脈電路 100 亦可包括一工作循環校正 (DCC) 電路與輸出緩衝器 116，以確保 ICLK 信號之工作循環處於大致 50%。ICLK 信號亦可透過可包括一回饋 FB 模型延遲單元 120 之一回饋路徑來耦合。一回饋時脈 (「FBCLK」) 信號 (其可係 ICLK 信號之一經延遲版本) 可透過一輸入緩衝器 (「IB」) 模型延遲裝置 124 耦合至一相位偵測器 128 之一輸入。相位偵測器 128 偵測施加至其輸入之信號之間的相位差，且輸出指示該等輸入信號之間之相位差的相位誤差信號。此相位誤差信號可提供至移位邏輯 132，其基於該相位誤差信號產生一控制信號以調整 CLK 信號施加至之一 DLL 延遲線 108 的延遲。可增加或減小延遲線 108 之延遲，以同步化相位偵測器 128 之輸入。當被同步化時，稱 DLL 110 係「鎖定的」。

時脈電路 100 之目標係與施加至一外部可接達端子 (諸如球柵陣列 28 之一各別球) 之一 CLK 信號同步地輸出 DQ 信號至各別外部可接達端子 (諸如球柵陣列 28 之各別球)。如以上所提及，當鎖定 DLL 110 時，施加至相位偵測器 128 之信號將彼此同步。然而，讀取資料 DQ 可在等於透過時脈樹

140之一傳播延遲 $t_{TR}$ 與透過輸出緩衝器電路150之一延遲 $t_{OB}$ 之和的延遲之後，自輸出緩衝器150輸出。然後DQ信號可被輸出，但被延遲自晶粒12至18中之一者至外部端子(諸如球柵陣列28)之一傳播延遲 $t_O$ 。因此，DQ信號可在自輸入緩衝器104施加至延遲線108之信號 $t_{TR}+t_{OB}+t_O$ 的延遲之後，自半導體裝置10輸出。施加至裝置10之外部端子的DQ信號相對於施加至外部端子之CLK信號的延遲可進一步增加CLK信號自外部端子至晶粒12至18的傳播延遲 $t_I$ 以及透過輸入緩衝器104的傳播延遲 $t_{IB}$ 。IB模型延遲裝置124及FB模型延遲單元120的功能係對此等延遲進行補償，因此使在裝置之外部DQ端子處的DQ信號同步化至在裝置之外部CLK端子處的CLK信號，諸如裝置10或52中之一者。IB模型延遲裝置124對輸入緩衝器104之傳播延遲進行建模，使得若同步化施加至相位偵測器128之輸入的信號，則FBCLK信號將被同步化至CLK信號。以上討論之剩餘延遲係藉由FB模型延遲單元120進行補償。具體而言，若FB模型延遲裝置之延遲等於 $t_{TR}+t_{OB}+t_O+t_I$ 且將FBCLK信號同步化至在緩衝器104之輸入處之CLK信號，則ICLK信號將落後CLK信號 $t_{XL}=N*t_{CK}-(t_{TR}+t_{OB}+t_O+t_I)$ ，其中N係DLL總時脈迴路數目。因此，DQ信號可係與施加至裝置之外部端子的CLK信號同步地施加至裝置的外部端子。

遺憾地，儘管時脈樹140之傳播延遲 $t_{TR}$ 及輸出緩衝器150之傳播延遲 $t_{OB}$ 可對於所有晶粒12至18係大致相同，但來自裝置之外部DQ端子之CLK信號之傳播延遲 $t_I$ 及自裝置之晶

粒12至18至外部DQ端子之傳播延遲 $t_0$ 可對於晶粒12至18之每一位置而不同。具體而言，針對晶粒12 CLK信號之傳播延遲將係 $t_{I\_0}$ ，針對晶粒14之傳播延遲將係 $t_{I\_0}+t_{I\_1}$ ，針對晶粒16之傳播延遲將係 $t_{I\_0}+t_{I\_1}+t_{I\_2}$ ，且針對晶粒18之傳播延遲將係 $t_{I\_0}+t_{I\_1}+t_{I\_2}+t_{I\_3}$ 。針對晶粒12 DQ信號之傳播延遲將係 $t_{O\_0}$ ，針對晶粒14之傳播延遲將係 $t_{O\_0}+t_{O\_1}$ ，針對晶粒16之傳播延遲將係 $t_{O\_0}+t_{O\_1}+t_{O\_2}$ ，且針對晶粒18之傳播延遲將係 $t_{O\_0}+t_{O\_1}+t_{O\_2}+t_{O\_3}$ 。FB模型延遲單元120可藉由包括一FB模型電路160及可選擇性地啟用之複數個可切換延遲裝置164、166、168來對傳播延遲之所有此等差異進行補償。當被啟用時，可切換延遲裝置164可提供 $t_{I\_1}+t_{O\_1}$ 之一延遲，可切換延遲裝置166可提供 $t_{I\_2}+t_{O\_2}$ 之一延遲，且可切換延遲裝置168可提供 $t_{I\_3}+t_{O\_3}$ 之一延遲。可藉由來自一多堆疊邏輯控制電路170之各別選擇信號Sel 1至Sel 3啟用可切換延遲裝置164至168，多堆疊邏輯控制電路170又可接收一4位元Sel<0:3>信號。以下將提供用於產生Sel<0:3>信號之技術之實例，應理解亦可使用其他技術。

FB模型電路160之延遲可(舉例而言)等於CLK信號自裝置10、52之一外部端子至晶粒12之傳播延遲 $t_{I\_0}$ 、DQ信號自該裝置之晶粒12至一外部端子之傳播延遲 $t_{O\_0}$ 、時脈樹140之延遲 $t_{TR}$ 及輸出緩衝器150之延遲 $t_{OB}$ 之和。

在操作中，Sel<0:3>信號可識別該裝置(諸如裝置10、52中之一者)之晶粒12至18相對於外部電連接器之位置。舉例而言，可如以下表A中所顯示的那樣來解碼Sel<0:3>信

號。

表 A

| 堆疊位置 | Sel<0:3> | Sel1 | Sel2 | Sel3 |
|------|----------|------|------|------|
| 0    | 000      | 0    | 0    | 0    |
| 1    | 100      | 1    | 0    | 0    |
| 2    | 010      | 1    | 1    | 0    |
| 3    | 001      | 1    | 1    | 1    |

如表 A 中所顯示，針對在堆疊位置 0 之晶粒 12 不啟用可切換延遲裝置，針對在堆疊位置 1 中之晶粒 14 僅啟用可切換延遲裝置 164，針對在堆疊位置 2 中之晶粒 16 啟用可切換延遲裝置 164 及 166 兩者，且針對在堆疊位置 3 中之晶粒 18 啟用所有可切換延遲裝置 164 至 168。因此，由 FB 模型延遲單元 120 提供之延遲如以下表 B 中所顯示。

表 B

| 晶粒 | 延遲                                                                                      |
|----|-----------------------------------------------------------------------------------------|
| 12 | $t_{TR}+t_{OB}+t_{I\_0}+t_{O\_0}$                                                       |
| 14 | $t_{TR}+t_{OB}+t_{I\_0}+t_{I\_1}+t_{O\_0}+t_{O\_1}$                                     |
| 16 | $t_{TR}+t_{OB}+t_{I\_0}+t_{I\_1}+t_{I\_2}+t_{O\_0}+t_{O\_1}+t_{O\_2}$                   |
| 18 | $t_{TR}+t_{OB}+t_{I\_0}+t_{I\_1}+t_{I\_2}+t_{I\_3}+t_{O\_0}+t_{O\_1}+t_{O\_2}+t_{O\_3}$ |

FB 模型延遲單元 120 之可變延遲可因此允許與施加至裝置之一外部端子(諸如球柵陣列 28 之球中之一者)之 CLK 信號同步地自裝置之外部端子(諸如球柵陣列 28 之各別球)輸出 DQ 信號。

在圖 3 中所顯示之時脈電路 100 之實施例中，可切換延遲裝置 14 至 18 彼此串聯耦合，且其等之延遲可彼此大致相



等，此乃因自一個晶粒12至18至下一個晶粒之延遲可大致相等。在另一實施例中，彼此串聯耦合之可切換延遲裝置14至18在被啟用時可提供越來越大之延遲。在此一實施例中，若不啟用可切換延遲裝置，則其等大致不提供延遲。因此，一第一可切換延遲裝置之延遲可係 $t_{I\_1}+t_{O\_1}$ ，一第二可切換延遲裝置之延遲可係 $t_{I\_1}+t_{O\_1}+t_{I\_2}+t_{O\_2}$ ，且一第三可切換延遲裝置之延遲可係 $t_{I\_1}+t_{O\_1}+t_{I\_2}+t_{O\_2}+t_{I\_3}+t_{O\_3}$ 。對此實施例而言，可如以下表C中所顯示的那樣來解碼Sel<0:3>信號。

表 C

| 堆疊位置 | Sel<0:3> | Sel1 | Sel2 | Sel3 |
|------|----------|------|------|------|
| 0    | 000      | 0    | 0    | 0    |
| 1    | 100      | 1    | 0    | 0    |
| 2    | 010      | 0    | 1    | 0    |
| 3    | 001      | 0    | 0    | 1    |

由FB模型延遲裝置提供之所得延遲將因此與表B中所顯示的相同。

儘管FB模型延遲單元120之先前所闡述實施例使用可彼此串聯耦合之可切換延遲裝置，但在圖4中所顯示之一時脈電路200之另一實施例中，FB模型延遲單元120可使用彼此並聯耦合之可切換延遲裝置。時脈電路200使用圖3之時脈電路100中所使用之相同組件中之諸多組件。因此，為簡潔及清晰起見，已為對應組件提供相同參照編號，且將不重複對其等之功能及操作之闡述。時脈電路200藉由包

括一FB模型延遲單元220而不同於時脈電路100，FB模型延遲單元220使用可彼此並聯耦合於一FB模型222之輸出與一4輸入多工器230之間的可切換延遲裝置224、226、228。多工器230可具有一4位元控制輸入，其接收Sel<0:3>信號以選擇來自FB模型160或可切換延遲裝置224、226、228中之一者中之任一者之輸出。該等可切換延遲裝置之延遲可係與如以上所解釋具有越來越大之延遲之串聯耦合之可切換延遲裝置中所使用之可切換延遲裝置相同之延遲。具體而言，一第一可切換延遲裝置224之延遲可係 $t_{I\_1}+t_{O\_1}$ ，一第二可切換延遲裝置226之延遲可係 $t_{I\_1}+t_{O\_1}+t_{I\_2}+t_{O\_2}$ ，且一第三可切換延遲裝置228之延遲可係 $t_{I\_1}+t_{O\_1}+t_{I\_2}+t_{O\_2}+t_{I\_3}+t_{O\_3}$ 。

FB模型222亦可提供與時脈電路100中所使用之FB模型160相同之延遲，只不過FB模型160可提供對應於透過多工器230之傳播延遲之一額外延遲 $T_{MUX}$ 。除額外延遲 $T_{MUX}$ 外，由FB模型延遲單元220提供之所得延遲將因此與由FB延遲單元120提供之延遲相同。

儘管前文闡述呈延遲鎖定迴路之形式之鎖定迴路之具體實施例，但在其他實施例中亦可使用其他類型之鎖定迴路(諸如相位鎖定迴路)來對信號傳播延遲之差異進行補償。

可使用各種技術來產生Sel<0:3>信號以提供一裝置之每一晶粒12至18相對於外部電連接器之位置之指示(例如，以提供一晶粒在一堆疊內之位置之一指示)。舉例而言，使用時脈電路100、200或根據某一其他實施例之一時脈電

路之一積體電路可包括一可程式化選項(諸如一反熔絲陣列)，其可在封裝一半導體裝置時被程式化以指定晶粒12至18中之每一者之位置。可使用其他技術來自動地產生Sel<0:3>信號以指示晶粒位置。

舉例而言，可用於產生Sel<0:3>信號之另一技術顯示於圖5中。如圖5中所顯示，一半導體裝置300可包括4個半導體晶粒312、314、316及318，其等可各自包括一時脈電路，諸如圖1中所顯示之時脈電路100或一時脈電路之某一其他實施例。晶粒312可安裝於一基板324上，基板324包括複數個電觸點，諸如觸點338(圖5中僅顯示其中5個)。此等觸點338中之四者(亦即，340、342、344、346)可耦合至製造於晶粒312之一個表面上之各別觸點350、352、354、356。觸點350至354中之每一者可耦合至一各別tsv 360、362、364，該等各別tsv可與觸點350至354中之各別觸點偏移各別橫向延伸之導體370、372、374。然而，觸點356不連接至任一tsv。

晶粒314、316、318中之每一者可與晶粒312相同。晶粒314至318中之每一者可藉由一各別球柵陣列耦合至一下伏晶粒。然而，陣列380之每一者中分別用於將觸點350至356耦合至下伏晶粒312至316之tsv 360至364之球382至386的數目可自晶粒312至晶粒316連續地減少。因此，可使用三個球382至386將晶粒312之tsv 360至364耦合至晶粒314之各別觸點352至356，但可僅使用兩個球384、386將晶粒314之tsv 362、364耦合至晶粒316之各別觸點354、356。

類似地，可僅使用一個球386將晶粒316之tsv 364耦合至晶粒318之觸點356。因此，晶粒312之所有4個觸點350至356皆耦合至基板324之觸點340至346，晶粒314之僅3個觸點352至356耦合至觸點342至346，且晶粒316之僅兩個觸點354、356耦合至觸點342至346，且晶粒318之僅1個觸點356耦合至觸點342至346。若將觸點340至346偏壓至一第一電壓(諸如一供應電壓 $V_{CC}$ )以表示一邏輯「1」，且施加表示一邏輯「0」之一特定偏壓電壓(諸如0伏)至基板324之觸點340至346中之每一者，則存在於觸點350至356中之每一者上的4個電壓位準可用於提供Sel<0:3>信號的4個位元(圖3及圖4)。在此情形中，針對晶粒312之Sel<0:3>信號將係「0000」，針對晶粒314之Sel<0:3>信號將係「1000」，針對晶粒316之Sel<0:3>信號將係「1100」，且針對晶粒318之Sel<0:3>信號將係「0111」。因此，可自動地產生識別每一晶粒312至318在堆疊中之位置的Sel<0:3>信號。然而，可替代地使用其他技術來產生Sel<0:3>信號。

以上闡述之實施例對由晶粒在一裝置(諸如一堆疊裝置10、52)中之位置的差異引起之基板24與晶粒12至18之間的信號傳播時間的變化進行補償。然而，對於堆疊中之不同晶粒12至18，可存在除信號傳播延遲變化以外的變化。因此，更廣泛地來看，實施例可對由晶粒12至18之位置的差異所引起的此等其他變化進行補償。更具體而言，在其他實施例中，一信號(諸如Sel<0:3>信號)可提供一晶粒在堆疊中之位置之一指示。一補償電路(諸如時脈電路100、



200)可接收位置指示信號且可調整製造於晶粒上之一個或多個電路的特性(例如，操作)，以對位置誘發的變化進行補償。舉例而言，一晶粒之一外部可接達端子的終端阻抗可隨該晶粒在一堆疊中的不同位置而變化，此乃因導體阻抗可隨延伸於一晶粒與一基板之間的信號路徑對較遠離基板的晶粒變得較長而增加。同樣地，對於因較大之導體長度而較遠離基板之一晶粒，一輸出驅動器(諸如一資料輸出緩衝器)之「驅動強度」、轉換速率可減小。可使用各種實施例對此等終端阻抗及/或驅動強度變化進行補償。

圖6中顯示一補償電路400之一個實施例，補償電路400可對由晶粒位置差異而引起之終端阻抗及驅動強度變化兩者進行補償。電路400可包括複數個PMOS上拉電晶體402至410，其等可使其等之各別源極耦合至一第一電壓(諸如一供應電壓 $V_{CC}$ 或 $VDDQ$ )。電晶體402至410之汲極可透過各別電阻422至430耦合至一輸出端子420。所有或某些電阻422至430可具有相同電阻值，但其等皆亦可彼此不同。電晶體402、404之閘極可經耦合以接收各別有效低上拉信號 $PUPEnF<0:1>$ 而其他電晶體406、408、410之閘極可耦合至各別「OR」閘436、438、440之一輸出。「OR」閘436、438、440可各自具有接收一有效低上拉信號 $PUPEnF$ 之一第一輸入及接收一各別有效低選擇信號 $Self<1:3>$ 之一第二輸入。

以一類似方式，複數個NMOS下拉電晶體452至460可使其等之各別源極耦合至一第二電壓(諸如接地)。電晶體452

至460之汲極亦可透過各別電阻472至480耦合至輸出端子420，諸如離散暫存器。同樣，所有或某些電阻472至480可具有相同或不同電阻值。電晶體452、454之閘極可經耦合以接收各別有效高下拉信號PDNEn<0:1>而其他電晶體456、458、460之閘極可耦合至各別「AND」閘466、468、470之一輸出。如同「OR」閘436、438、440一樣，「AND」閘466、468、470中之每一者可具有可接收一有效高下拉信號PDNEn之一第一輸入及可接收一各別有效高選擇信號Sel<1:3>之一第二輸入。

在操作中，上拉信號PUPEnF<0:1>、PUPENF信號中之一者或多者可由適當構件(諸如一記憶體裝置)驅動為低以將輸出端子420驅動為高。另一選擇係，下拉信號PDNEn<0:1>、PDNEN信號中之一者或多者可由適當構件驅動為高以將輸出端子420驅動為低。分別由上拉信號或下拉信號接通之電晶體404至410或452至460之數目確定該等電晶體之終端阻抗及驅動強度兩者。若補償電路400位於最接近於基板之晶粒(亦即，晶粒#0)上，則可將上拉信號PUPEnF<0:1>中之一者或兩者驅動為低以將輸出端子420驅動為高，且可將下拉信號PDNEn<0:1>中之一者或兩者驅動為高以將輸出端子420驅動為低。亦可將PUPEnF信號或PDNEn信號分別驅動為低或高，但SefF<1:3>信號可係無效高且Sef<1:3>信號係無效低以使得不接通各別電晶體406至410或456至460。另一方面，若補償電路400位於晶粒#1上，則SefF<1>信號可係低以啟用「OR」閘436且

Sef<1>信號可係高以啟用「AND」閘466以使得接通3個電晶體402至406以將輸出端子420驅動為高或接通3個電晶體455至456以將輸出端子420驅動為低。類似地，若補償電路400位於晶粒#2上，則亦可將SefF<2>信號驅動為低(連同SefF<1>信號一起)以啟用「OR」閘436、438，且亦可將Sef<1>及Sef<2>信號驅動為高以啟用「AND」閘466、468。因此，可接通4個電晶體402至408以將輸出端子420驅動為高或可接通4個電晶體452至458以將輸出端子420驅動為低。最後，若補償電路400位於晶粒#3上，則SefF<3>信號亦可係低且Sef<3>信號亦可係高以使得接通所有5個電晶體402至410以將輸出端子420驅動為高或接通所有5個電晶體452至460以將輸出端子420驅動為低。以此方式，較遠離基板之晶粒可具備一較大驅動強度及一減小之終端阻抗。

根據各種實施例之補償電路可結合寬廣範圍之半導體裝置使用。舉例而言，圖7圖解說明一記憶體晶粒500之一部分之一實施例。記憶體晶粒500中可包括一時脈電路550之一實施例。如同時脈電路100、200一樣，可依據晶粒500在一裝置(諸如一堆疊裝置)中之位置來調整由時脈電路550產生之一內部時脈信號ICLK之定時。記憶體晶粒500可包括一記憶體胞陣列502，其可係(舉例而言)DRAM記憶體胞、SRAM記憶體胞、快閃記憶體胞或某些其他類型之記憶體胞。記憶體晶粒500可包括一命令解碼器506，其可透過一命令匯流排508接收記憶體命令且可在記憶體晶粒500

內產生對應控制信號以實施各種記憶體操作。可透過一位址匯流排520將列及行位址信號施加至記憶體裝置500且提供至一位址鎖存器510。然後該位址鎖存器可輸出一單獨行位址及一單獨列位址。

列及行位址可由位址鎖存器510分別提供至一列位址解碼器522及一行位址解碼器528。行位址解碼器528可選擇延伸透過陣列502的對應於各別行位址之位元線。列位址解碼器522可連接至字線驅動器524，字線驅動器524可激活陣列502中對應於所接收之列位址之各別記憶體胞列。對應於一所接收之行位址之選定資料線(例如，一位元線或若干位元線)可耦合至讀取/寫入電路530以經由一輸入-輸出資料匯流排540將讀取資料提供至一資料輸出緩衝器534。時脈電路550可將一ICLK信號提供至時脈樹電路140。回應於ICLK信號，時脈樹電路140可提供用於定時之一DCLK信號(舉例而言)以對輸出緩衝器534進行計時。儘管未具體顯示於圖7中，但由時脈樹電路140輸出之DCLK信號輸出亦可用於對不同組件進行定時。可透過一資料輸入緩衝器544及記憶體陣列讀取/寫入電路530將寫入資料施加至記憶體陣列502。命令解碼器506可回應於施加至命令匯流排508之記憶體命令以對記憶體陣列502實施各種操作。特定而言，命令解碼器506可用於產生內部控制信號以自記憶體陣列502讀取資料及將資料寫入至記憶體陣列502。記憶體晶粒500中亦可使用對記憶體晶粒500之一特性(例如，效能)(諸如其終端阻抗及/或驅動強度)之

其他位置誘發之變化進行補償之電路。舉例而言，此電路可提供複數個半導體晶粒中之每一者之位置之一指示。回應於此指示，可調整晶粒之一電路之一特性以對一位置誘發之變化進行補償。儘管已揭示具體實施例，但熟習此項技術者將認識到可在不背離本發明之前提下在形式上及細節上做出改變。此等修改恰好在彼等熟習此項技術者之技能範圍內。因此，本發明不受除隨附申請專利範圍以外之限制。

### 【圖式簡單說明】

圖1係使用複數個堆疊之晶粒之一半導體裝置之一示意性剖視圖。

圖2係使用複數個堆疊之晶粒之另一半導體裝置之一示意性剖視圖。

圖3係顯示一半導體晶粒中可提供一內部時脈信號至一時脈樹之一時脈電路之一實施例之一示意圖。

圖4係顯示一半導體晶粒中可提供一內部時脈信號至一時脈樹之一時脈電路之另一實施例之一示意圖。

圖5係經組態以產生指示一晶粒在一堆疊中之位置之信號之一實施例之一示意性剖視圖。

圖6係顯示可用於對由堆疊之半導體晶粒之位置之差異而引起之驅動強度及終端阻抗變化進行補償之一補償電路之一實施例之一示意圖。

圖7係包括一時脈電路之一實施例之一記憶體晶粒之一實施例之一方塊圖。

【主要元件符號說明】

|     |                             |
|-----|-----------------------------|
| 10  | 半 導 體 裝 置                   |
| 12  | 半 導 體 晶 粒                   |
| 14  | 半 導 體 晶 粒                   |
| 16  | 半 導 體 晶 粒                   |
| 18  | 半 導 體 晶 粒                   |
| 20  | 表 面                         |
| 24  | 基 板                         |
| 28  | 球 柵 陣 列                     |
| 30  | 表 面                         |
| 32  | 球                           |
| 34  | 球                           |
| 38  | 內 部 球                       |
| 40  | 矽 通 道                       |
| 52  | 半 導 體 裝 置                   |
| 62  | 接 合 線                       |
| 64  | 接 合 線                       |
| 66  | 接 合 線                       |
| 68  | 接 合 線                       |
| 100 | 時 脈 電 路                     |
| 104 | 輸 入 緩 衝 器                   |
| 108 | 延 遲 線                       |
| 110 | 延 遲 鎖 定 迴 路                 |
| 116 | 工 作 循 環 校 正 電 路 與 輸 出 緩 衝 器 |

|     |             |
|-----|-------------|
| 120 | FB模型延遲單元    |
| 124 | 輸入緩衝器模型延遲裝置 |
| 128 | 相位偵測器       |
| 132 | 移位邏輯        |
| 140 | 時脈樹         |
| 150 | 輸出緩衝器       |
| 154 | 資料暫存器       |
| 158 | 輸出緩衝器電路     |
| 160 | FB模型電路      |
| 164 | 可切換延遲裝置     |
| 166 | 可切換延遲裝置     |
| 168 | 可切換延遲裝置     |
| 170 | 多堆疊邏輯控制電路   |
| 222 | FB模型        |
| 224 | 可切換延遲裝置     |
| 226 | 可切換延遲裝置     |
| 228 | 可切換延遲裝置     |
| 230 | 多工器         |
| 300 | 半導體裝置       |
| 312 | 半導體晶粒       |
| 314 | 半導體晶粒       |
| 316 | 半導體晶粒       |
| 318 | 半導體晶粒       |
| 324 | 基板          |

|     |       |
|-----|-------|
| 340 | 觸點    |
| 342 | 觸點    |
| 344 | 觸點    |
| 346 | 觸點    |
| 350 | 觸點    |
| 352 | 觸點    |
| 354 | 觸點    |
| 356 | 觸點    |
| 360 | 貫通矽通道 |
| 362 | 貫通矽通道 |
| 364 | 貫通矽通道 |
| 370 | 導體    |
| 372 | 導體    |
| 374 | 導體    |
| 380 | 陣列    |
| 382 | 球     |
| 384 | 球     |
| 386 | 球     |
| 400 | 補償電路  |
| 402 | 上拉電晶體 |
| 404 | 上拉電晶體 |
| 406 | 上拉電晶體 |
| 408 | 上拉電晶體 |
| 410 | 上拉電晶體 |



|     |        |
|-----|--------|
| 420 | 輸出端子   |
| 422 | 電阻     |
| 424 | 電阻     |
| 426 | 電阻     |
| 428 | 電阻     |
| 430 | 電阻     |
| 436 | 「OR」閘  |
| 438 | 「OR」閘  |
| 440 | 「OR」閘  |
| 452 | 下拉電晶體  |
| 454 | 下拉電晶體  |
| 456 | 下拉電晶體  |
| 458 | 下拉電晶體  |
| 460 | 下拉電晶體  |
| 466 | 「AND」閘 |
| 468 | 「AND」閘 |
| 470 | 「AND」閘 |
| 472 | 電阻     |
| 474 | 電阻     |
| 476 | 電阻     |
| 478 | 電阻     |
| 480 | 電阻     |
| 500 | 記憶體晶粒  |
| 502 | 記憶體胞陣列 |

|     |            |
|-----|------------|
| 506 | 命令解碼器      |
| 508 | 命令匯流排      |
| 510 | 位址鎖存器      |
| 520 | 位址匯流排      |
| 522 | 列位址解碼器     |
| 524 | 字線驅動器      |
| 528 | 行位址解碼器     |
| 530 | 讀取/寫入電路    |
| 540 | 輸入-輸出資料匯流排 |
| 544 | 資料輸入緩衝器    |

## 七、申請專利範圍：

103年8月5日修正頁(本)  
對線 P.1-7

### 1. 一種半導體裝置，其具有：

複數個半導體晶粒；

一電連接器；及

一補償電路，該補償電路經組態以對該等半導體晶粒中之每一者與該電連接器之間耦合信號之方式的差異進行補償，

其中該補償電路包含：

一鎖定迴路，其接收一輸入週期性信號且經組態以產生一輸出週期性信號，該鎖定迴路包括一相位偵測器及經組態以將一回饋信號耦合至該相位偵測器之一回饋路徑；及

一延遲單元，其耦合於該回饋路徑中以使該回饋信號延遲一延遲，該延遲單元經組態以接收一選擇信號且依據該選擇信號來調整延遲電路之該延遲，

其中該延遲單元包含複數個延遲電路，該複數個延遲電路之每一者由一各別選擇信號啟用以提供一各別延遲。

### 2. 如請求項1之半導體裝置，其中該補償電路經組態以對該裝置之該等半導體晶粒中之每一者與該等電連接器之間之信號傳播延遲的差異進行補償。

### 3. 如請求項1之半導體裝置，其中該鎖定迴路包含一延遲鎖定迴路。

### 4. 如請求項1之半導體裝置，其中該複數個延遲電路之每

一者以一串聯組態耦合。

5. 如請求項4之半導體裝置，其中該等延遲電路中之每一者之該延遲對應於相對於該等半導體晶粒中之一毗鄰半導體晶粒與該電連接器之間之該信號傳播延遲之該等半導體晶粒中之一各別半導體晶粒與該電連接器之間的該信號傳播延遲。
6. 如請求項1之半導體裝置，其中該複數個延遲電路以一並聯組態耦合。
7. 如請求項1之半導體裝置，進一步包含經耦合以自該鎖定迴路接收該輸出週期性信號之一時脈樹。
8. 如請求項7之半導體裝置，其中該延遲單元進一步經組態以對透過該時脈樹之至少一部分耦合該輸出週期性信號中之該延遲進行補償。
9. 如請求項1之半導體裝置，其中該補償電路經組態以對製造於該等半導體晶粒中之每一者中且耦合至該電連接器之信號驅動器之驅動強度的差異進行補償。
10. 如請求項1之半導體裝置，其中該補償電路經組態以對該電連接器相對於該等半導體晶粒中之每一者之阻抗的差異進行補償。
11. 如請求項1之半導體裝置，其中該補償電路包含：

複數個電阻，其等耦合至電連接器；及

一各別電晶體，其使其源極及汲極與該複數個電阻中之每一者串聯耦合於一第一電壓與該電連接器之間，該等電晶體中之每一者經組態以藉由一各別選擇信號切換

至一導電狀態。

12. 如請求項11之半導體裝置，進一步包含複數個邏輯電路，該等邏輯電路中之每一者具有耦合至該等電晶體中之一個各別電晶體之一輸出、經耦合以接收一啟用信號之一第一輸入，及經耦合以接收該各別選擇信號之一第二輸入。

13. 如請求項11之半導體裝置，其中該補償電路進一步包含：

第二複數個電阻，其等耦合至該電連接器；及

一各別第二電晶體，其使其源極及汲極與該第二複數個電阻中之每一者串聯耦合於該端子與一第二電壓之間，該第二電壓與該第一電壓互補，該等第二電晶體中之每一者經組態以藉由一各別選擇信號切換至一導電狀態。

14. 如請求項1之半導體裝置，其中該補償電路經組態以回應於提供各別半導體晶粒在該裝置中之位置之一指示之一選擇信號而對該等半導體晶粒中之一者與該電連接器之間耦合信號之該方式的差異進行補償。

15. 如請求項14之半導體裝置，進一步包含經組態以產生該選擇信號之一可程式化選項。

16. 如請求項14之半導體裝置，其中該等半導體晶粒中之每一者經組態以基於施加至該等各別半導體晶粒之複數個電連接器中之各別電連接器之電壓位準之一組合來提供該選擇信號，且其中該等各別半導體晶粒之該等電連接

器之一第一組位於該等各別半導體晶粒之一第一表面上，且該等各別半導體晶粒之該等電連接器之一第二組位於該等各別半導體晶粒之與該第一表面相對之一第二表面上，該等半導體晶粒中在該第二組中具有至少一個電連接器的至少某些半導體晶粒連接至該等半導體晶粒中之一毗鄰半導體晶粒之該第一組中的至少一個電連接器，該第二組中連接至該第一組中之各別電連接器之電連接器的數目隨該等各別半導體晶粒在一半導體晶粒堆疊中的該位置而變。

17. 如請求項1之半導體裝置，其中該電連接器係一外部電連接器，且其中一第一半導體晶粒之一第一組中之電連接器中之至少某些電連接器耦合至一基板之一第二表面上的各別電連接器，且其中該基板之該第二表面上之一電連接器耦合至該外部電連接器，其中該外部電連接器位於該基板之一第一表面上。

18. 如請求項16之半導體裝置，其中該第二組中之該等電連接器透過一球柵陣列連接至該等半導體晶粒中之該毗鄰半導體晶粒之該第一組中的各別電連接器。

19. 如請求項18之半導體裝置，其中該球柵陣列包含複數個導電球，且其中該球柵陣列中之球的數目隨該等半導體晶粒在該半導體晶粒堆疊中的該位置而變。

20. 一種半導體晶粒，其包含：

一延遲線，其具有一輸入及一輸出，該延遲線經組態以提供一延遲量值；

一相位偵測器，其具有第一輸入及第二輸入，該第一輸入耦合至該延遲線之該輸入，該相位偵測器可運作以導致該延遲線之該延遲量值之一調整；及

一延遲單元，其具有耦合至該延遲線之該輸出之一輸入及耦合至該相位偵測器之該第二輸入之一輸出，該延遲單元經組態以選擇性地調整該延遲單元之該延遲，

其中該延遲單元包含複數個延遲電路，該複數個延遲電路之每一者由一各別選擇信號啟用以提供一各別延遲。

21. 如請求項20之半導體晶粒，其中該半導體晶粒經組態以基於施加至該半導體晶粒中之複數個電連接器中之各別電連接器之電壓位準之一組合來選擇性地調整該延遲單元之該延遲，且其中該半導體晶粒之該等電連接器之一第一組位於該半導體晶粒之一第一表面上，且該半導體晶粒之該等電連接器之一第二組位於該半導體晶粒之與該第一表面相對之一第二表面上，其中當堆疊於一毗鄰半導體晶粒上時，該半導體晶粒在該第二組中具有連接至該毗鄰半導體晶粒之一第一組電連接器中之至少一個電連接器的至少一個電連接器，該第二組中連接至該毗鄰晶粒之該第一組電連接器中之各別電連接器之電連接器的數目隨該半導體晶粒在一半導體晶粒堆疊中的位置而變。

22. 一種在複數個半導體晶粒與各別外部可接達電連接器之間耦合信號的方法，該方法包含使用一補償電路對在該

等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之方式的差異進行補償，使得在該等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之一特性對該等半導體晶粒中之每一者係大致相同，

其中該補償電路包含：

一鎖定迴路，其接收一輸入週期性信號且經組態以產生一輸出週期性信號，該鎖定迴路包括一相位偵測器及經組態以將一回饋信號耦合至該相位偵測器之一回饋路徑；及

一延遲單元，其耦合於該回饋路徑中以使該回饋信號延遲一延遲，該延遲單元經組態以接收一選擇信號且依據該選擇信號來調整延遲電路之該延遲，

其中該延遲單元包含複數個延遲電路，該複數個延遲電路之每一者由一各別選擇信號啟用以提供一各別延遲。

23. 如請求項22之方法，其中對在該等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之該方式的差異進行補償的該動作包含依據該半導體晶粒相對於該等外部可接達電連接器中之一者的位置來調整將一信號自該等半導體晶粒中之每一者發射至該等外部可接達電連接器中之該一者的定時。

24. 如請求項22之方法，其中對在該等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之該方式



的差異進行補償的該動作包含依據該等半導體晶粒相對於該等外部可接達電連接器之該位置來調整在該等半導體晶粒中捕獲由該等半導體晶粒中之每一者接收之該信號的該定時。

25. 如請求項22之方法，其中對在該等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之該方式的差異進行補償的該動作包含依據該等半導體晶粒相對於該等外部可接達電連接器中之一者之該位置來調整將該信號自該等半導體晶粒中之每一者發射至該等外部可接達電連接器中之該一者的驅動強度。

26. 如請求項22之方法，其中對在該等半導體晶粒中之每一者與該等外部可接達電連接器之間耦合一信號之該方式的差異進行補償的該動作包含依據該等半導體晶粒相對於該等外部可接達電連接器中之一者之該位置來調整該等半導體晶粒中之每一者之該等外部可接達電連接器中之該一者耦合至之一節點的終端電阻。

27. 一種在複數個半導體晶粒與各別外部可接達電連接器之間耦合信號的方法，該方法包含：

提供該複數個半導體中之每一者之位置之一指示；及

回應於該指示，調整該等晶粒之一電路之一特性以對一位置誘發之變化進行補償。

八、圖式：

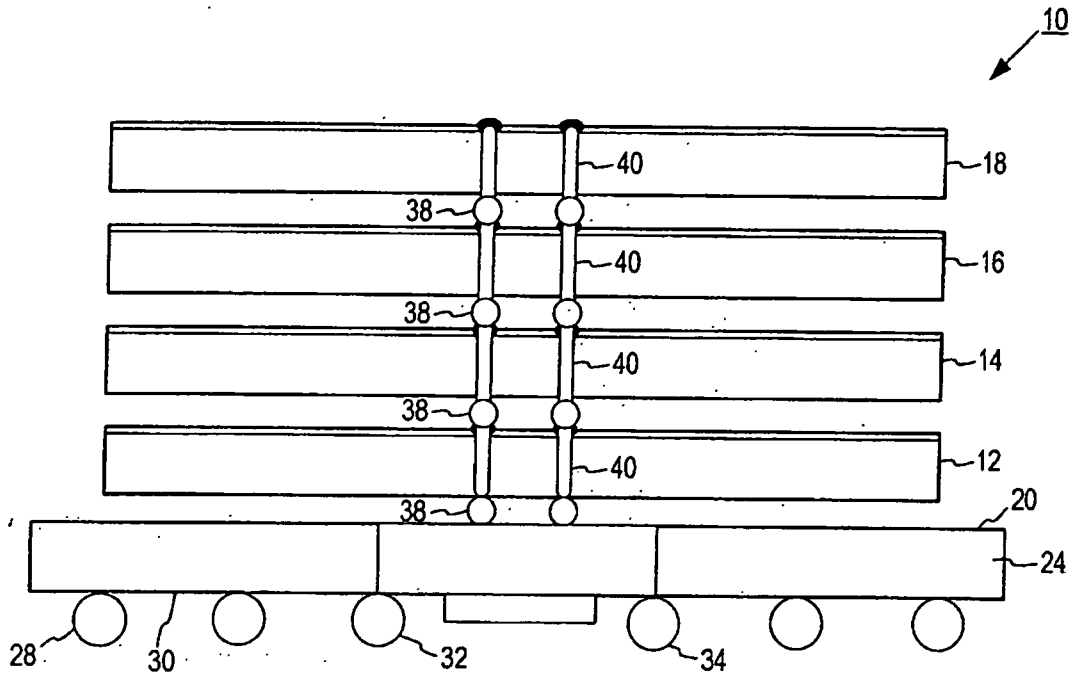


圖 1

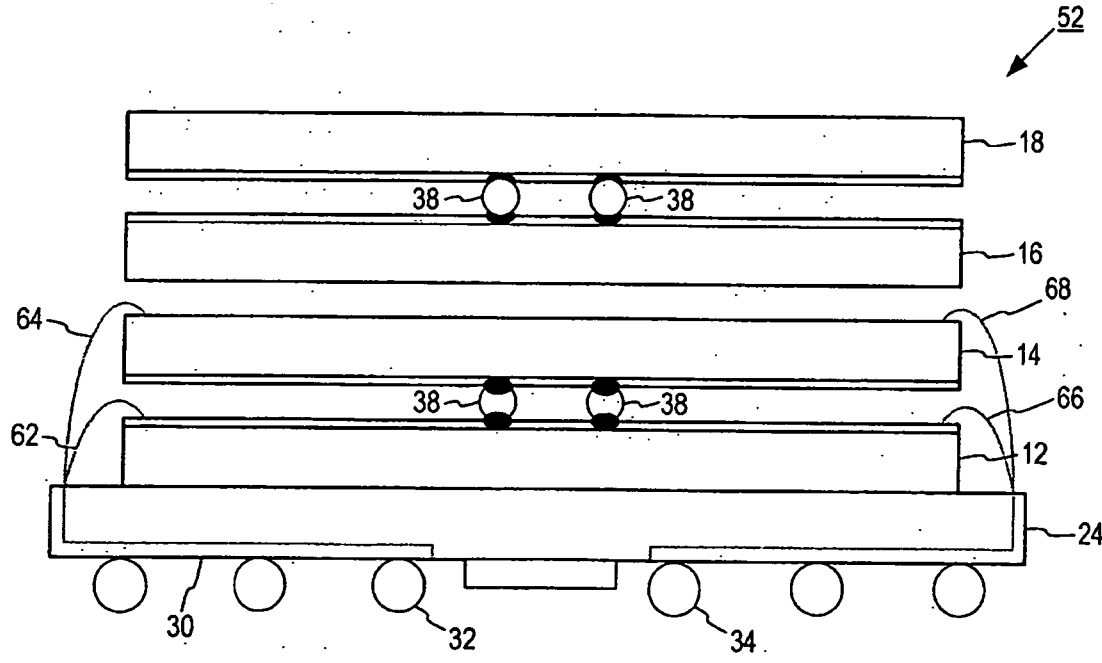
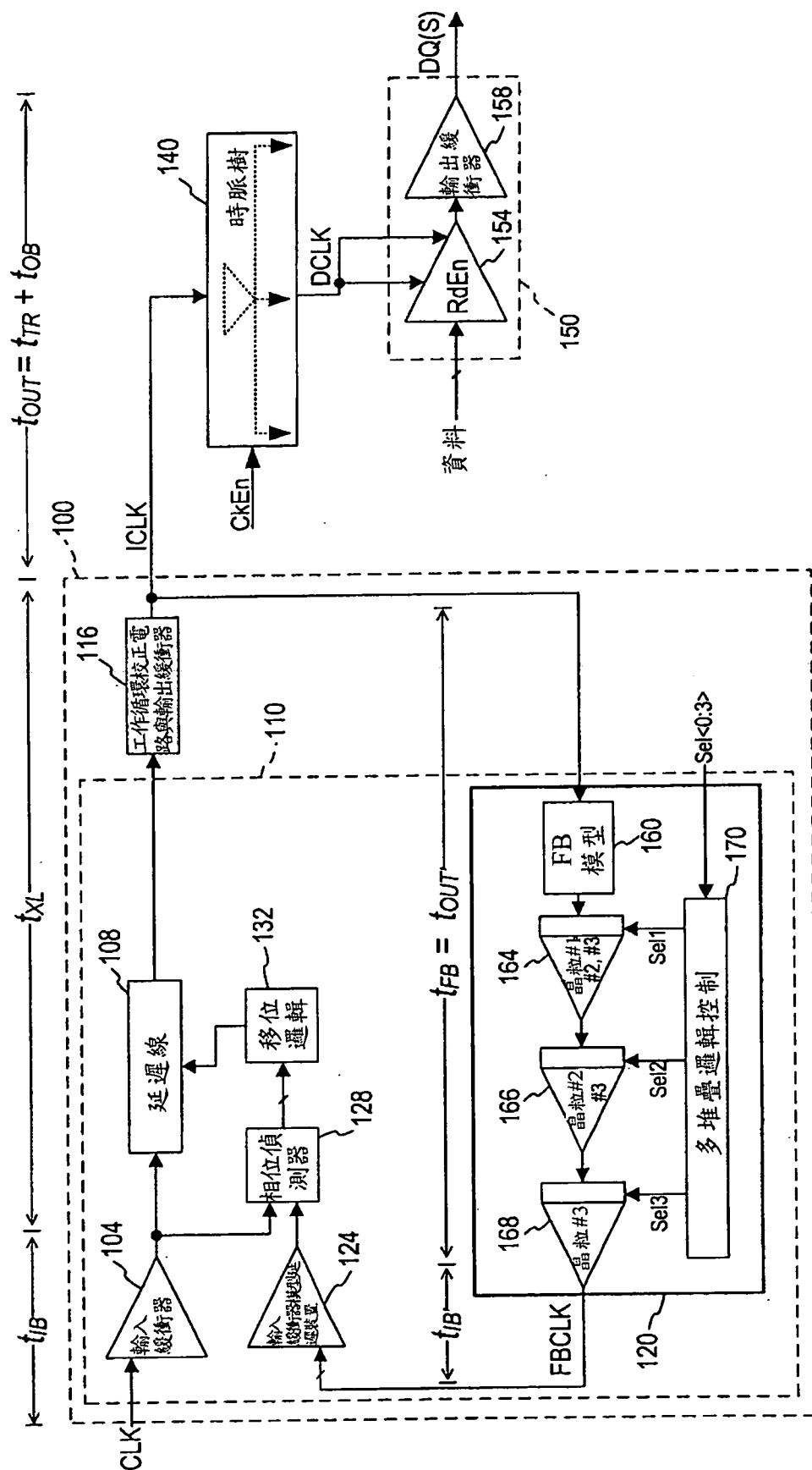


圖 2



103年8月15日 修正 劃線 頁(本)

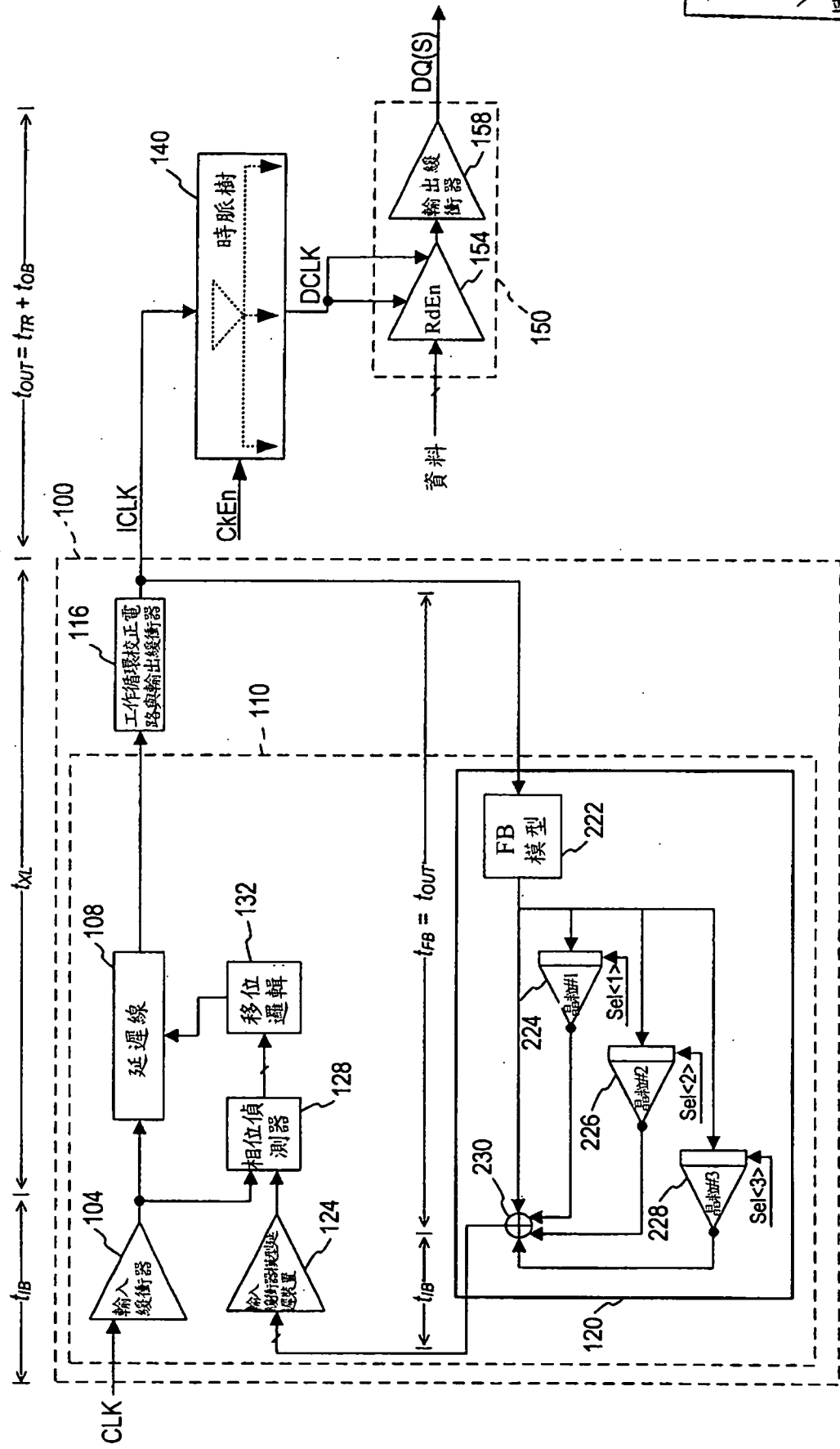


圖 4

103年8月15日 修正 頁(本)  
製絲

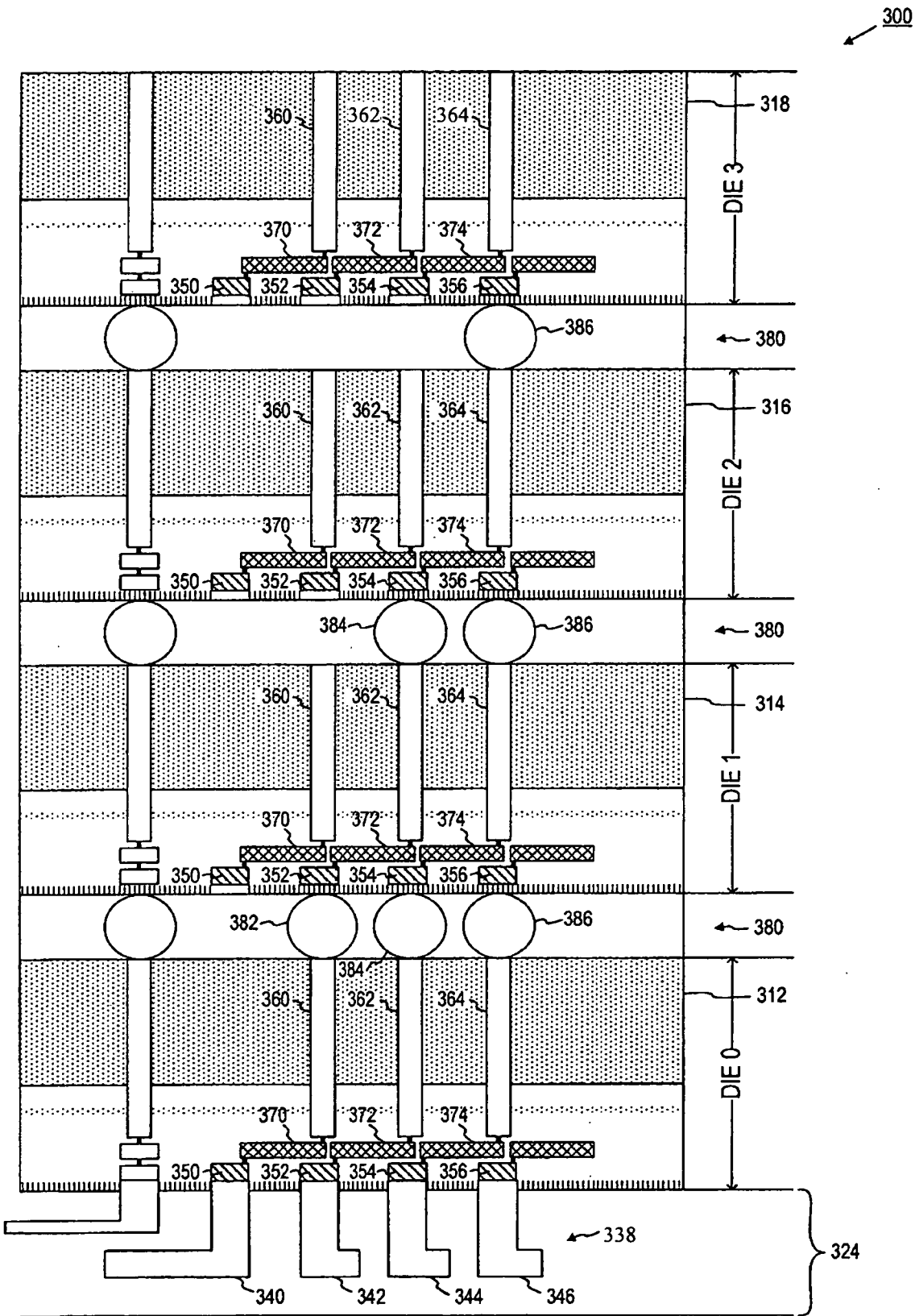


圖 5

400

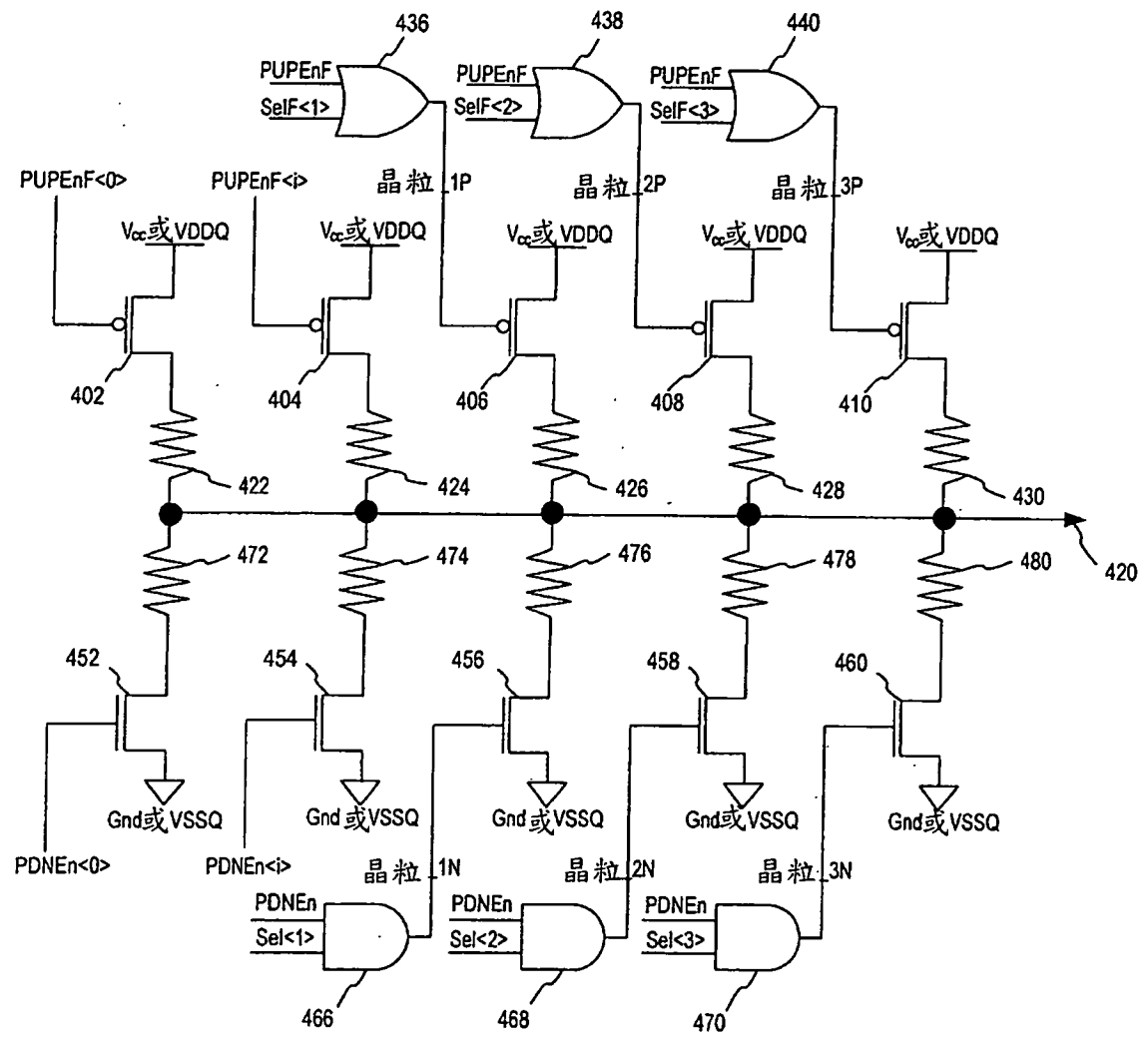


圖 6

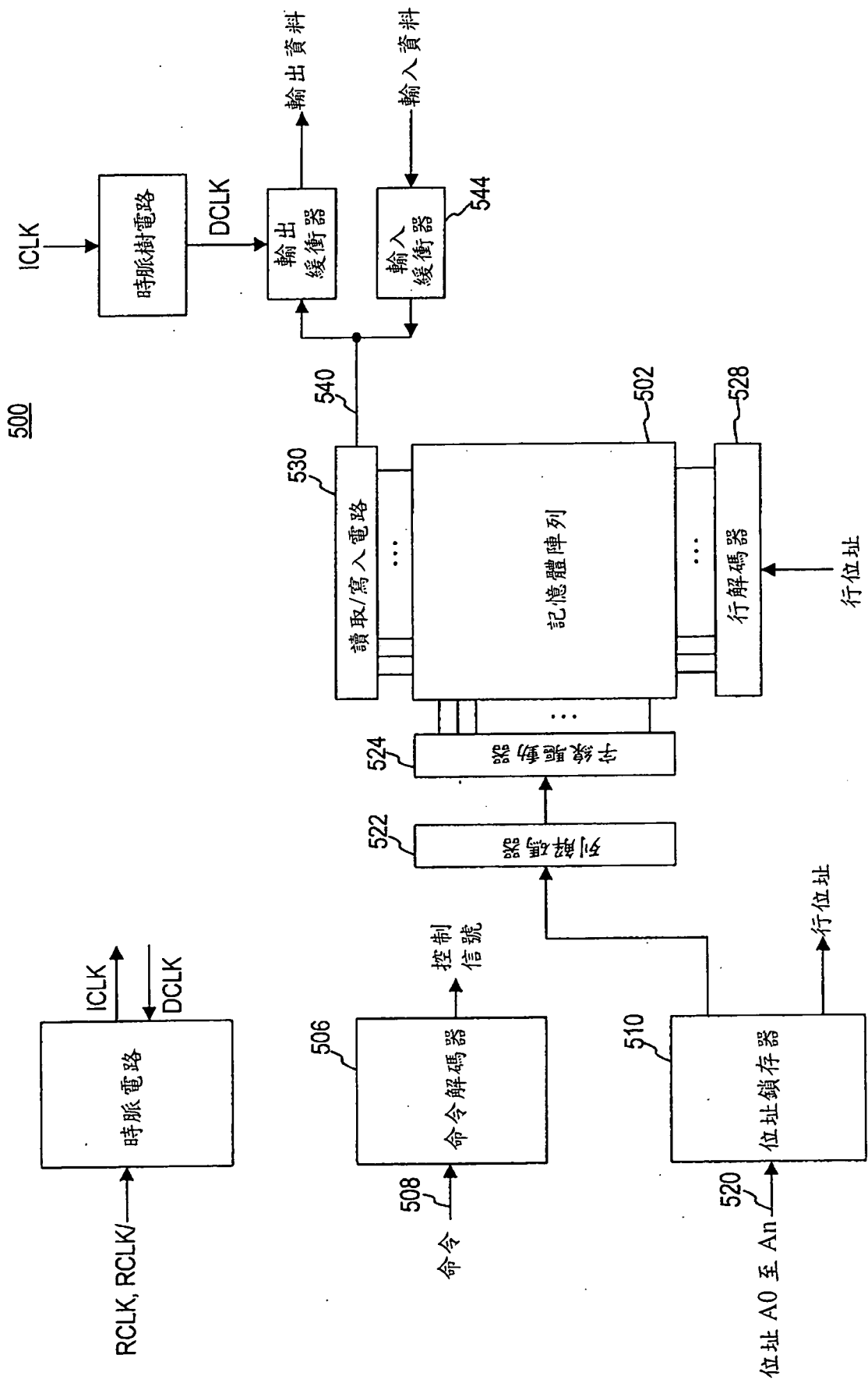


圖 7

