

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-134799
(P2004-134799A)

(43) 公開日 平成16年4月30日(2004.4.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 B O 2 5
G 1 1 C 16/02	HO 1 L 27/10 4 3 4	5 F O 8 3
G 1 1 C 16/04	G 1 1 C 17/00 6 2 1 B	5 F 1 O 1
HO 1 L 27/115	G 1 1 C 17/00 6 2 2 Z	
HO 1 L 29/788	G 1 1 C 17/00 6 1 1 E	

審査請求 有 請求項の数 16 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2003-348166 (P2003-348166)	(71) 出願人	501209070
(22) 出願日	平成15年10月7日 (2003. 10. 7)		インフィネオン テクノロジーズ アクチ エンゲゼルシャフト
(31) 優先権主張番号	60/416, 610		ドイツ連邦共和国 8 1 6 6 9 ミュンヘ ン ザンクト マルティン シュトラーセ 5 3
(32) 優先日	平成14年10月7日 (2002. 10. 7)	(74) 代理人	100080034
(33) 優先権主張国	米国 (US)		弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	ヤン, ホウト
			ベルギー 3 4 6 0 ベッケフォールト スタートスバーン 3 5 1

最終頁に続く

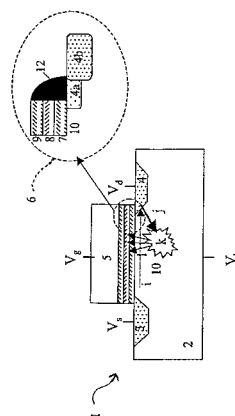
(54) 【発明の名称】 単一ビット不揮発性メモリーセル、および、その書き込み方法および消去方法

(57) 【要約】

【課題】 超低電圧で駆動できる単一ビット非伝導性浮遊ゲートメモリーセルを提供する。

【解決手段】 キャリアを浮遊ゲートに注入するために、基板バイアスを使用する。その結果、メモリーセルを書き込みおよび消去するための電圧はより低くなる。メモリーセルは、書き込み線、および、ワード線に対して垂直に延びているビット線の配列に配置されている。各列において隣り合うメモリーセルは、共通のソース接続点、または、共通のドレイン接続点を共有している。ビット線は、各列におけるソース接続点を接続する一方、書き込み線は、各線において対応する位置でメモリーセルのドレイン接続点を接続している。書き込み電圧の減少により、ビット線を書き込み抑制電圧がより低くなる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

金属誘電性半導体技術によってチップ上に集積された単一ビット不揮発性メモリーセルに対する書き込み方法であって、

ソース領域(3)、ドレイン領域(4)、および、上記ソース領域(3)と上記ドレイン領域(4)との間に位置するチャンネル領域(10)を含む半導体領域(2)と、

少なくとも1つの電荷蓄積誘電層(8)を含む誘電性積層体(6)と、上記誘電性積層体(6)によって上記チャンネル領域(10)から分離されているゲート電極(5)とかならなる制御ゲートとを含む上記メモリーセルにおいて、

ソース領域(3)を接地するために、当該ソース領域(3)にバイアスをかける工程と 10

、
第1極性の第1電圧を、上記ドレイン領域(4)に印加する工程と、

上記第1電圧と同じ極性の第2電圧を、上記ゲート電極(5)に印加する工程と、

上記第1電圧および上記第2電圧の極性とは逆の極性の第3電圧を、上記半導体領域(2)に印加する工程とを含み、

上記第1、上記第2、上記第3電圧を協調させながら、二次衝突電離機構によって生成されるホットキャリアを、上記メモリーセル(1)のドレイン(4)側において、上記少なくとも1つの電荷蓄積誘電層(8)に注入することにより、上記セル(1)に対して書き込む方法。

【請求項 2】

上記第1、上記第2、上記第3電圧が、5V以下である、請求項1に記載の方法。 20

【請求項 3】

上記第1、上記第2、上記第3電圧のうちの2つの電圧の絶対値の差が、それぞれ、1.5V以下である、請求項1または2に記載の方法。

【請求項 4】

上記第2電圧、および、上記第3電圧の実効値の差が、少なくとも4Vである、請求項1に記載の方法。

【請求項 5】

上記第2電圧の絶対値、および、上記第3電圧の絶対値が、5V以下である、請求項4に記載の方法。 30

【請求項 6】

上記電荷蓄積誘電層(8)が、2つの酸化物層(7, 9)の間に挟まれている、請求項1~5のいずれかに記載の方法。

【請求項 7】

上記電荷蓄積誘電層(8)が窒化物からなる、請求項1~6のいずれかに記載の方法。

【請求項 8】

金属誘電性半導体技術によってチップ上に集積された単一ビット不揮発性メモリーセルに対する消去方法であって、

ソース領域(3)、ドレイン領域(4)、および、上記ソース領域(3)と上記ドレイン領域(4)との間に位置するチャンネル領域(10)を含む半導体領域(2)と、 40

少なくとも1つの電荷蓄積誘電層(8)を含む誘電性積層体(6)と、上記誘電性積層体(6)によって上記チャンネル領域(10)から分離されているゲート電極(5)とかならなる制御ゲートとを含む上記メモリーセルにおいて、

ソース領域(3)を接地するために、当該ソース領域(3)にバイアスをかける工程と

、
第1極性の第1電圧を上記ドレイン領域(4)に印加する工程と、

上記第1電圧と逆の極性の第2電圧を上記ゲート電極(5)に印加する工程と、

上記第2電圧の極性と同じ極性の第3電圧を上記半導体領域(2)に印加する工程とを含み、

上記第 1、上記第 2、上記第 3 電圧を協調させながら、基板強化帯間トンネリング誘起ホットキャリアを、上記メモリーセル(1)のドレイン(4)側において、上記少なくとも1つの電荷蓄積誘電性層(8)に注入することにより、上記セル(1)に対する消去を行う方法。

【請求項 9】

上記第 1、第 2、第 3 電圧の絶対値が 5 V 以下である、請求項 8 に記載の方法。

【請求項 10】

上記第 1、第 2、および、第 3 電圧のうちの 2 つの電圧の絶対値の差が、1.5 V 以下である、請求項 9 に記載の方法。

【請求項 11】

金属誘電体半導体技術によってチップ上に集積された単一ビット不揮発性メモリーセルに対する反対方向への書き込みおよび/または読み出し方法であって、

ソース領域(3)、ドレイン領域(4)、および、上記ソース領域(3)と上記ドレイン領域(4)との間に位置するチャンネル領域(10)を含む半導体領域(2)と、

少なくとも1つの電荷蓄積誘電層(8)を含む誘電性積層体(6)と、上記誘電性積層体(6)によって上記チャンネル領域(10)から分離されているゲート電極(5)とかならなる制御ゲートとを含む上記メモリーセルにおいて、

上記書き込み方法が、ソース領域(3)を接地するために、当該ソース領域(3)にバイアスをかける工程と、

第 1 極性の第 1 電圧を、上記ドレイン領域(4)に印加する工程と、

上記第 1 電圧と同じ極性の第 2 電圧を、上記ゲート電極(5)に印加する工程と、

上記第 1 および第 2 電圧の極性とは逆の極性の第 3 電圧を、上記半導体領域(2)に印加する工程とを含み、

上記第 1、第 2、第 3 電圧を協調させながら、上記メモリーセル(1)のドレイン(4)側で、二次衝突電離機構によって生成されたホットキャリアを、上記少なくとも1つの電荷蓄積誘電層(8)に注入することによって、上記セル(1)に対する書き込みを行うものであり、

上記書き込まれたメモリーセルの反対側への読み出し方法が、

上記ドレイン領域(4)および半導体領域(2)を接地するために、当該ドレイン領域(4)および半導体領域(2)にバイアスをかける工程と、

第 1 極性の第 1 電圧を、上記ソース領域(3)に印加する工程と、

上記第 1 電圧と同じ極性の第 2 電圧を、上記ゲート電極(5)に印加する工程と、その後、

電流が上記ドレイン領域(4)から上記ソース領域(3)の方向へ流れるかどうかを検知する工程とを含む、書き込みおよび/または読み出し方法。

【請求項 12】

メモリー回路が単一ビット不揮発性メモリーセル(1)の配列からなり、

ソース領域(3)、ドレイン領域(4)、および、上記ソース領域(3)と上記ドレイン領域(4)との間に位置するチャンネル領域(10)を含む半導体領域(2)と、

少なくとも1つの電荷蓄積誘電層(8)を含む誘電性積層体(6)と、上記誘電性積層体(6)によって上記チャンネル領域(10)から分離されているゲート電極(5)とかならなる制御ゲートとを含む上記メモリーセルにおいて、

周辺回路構成が、5 V 以下の絶対値を有する電圧を用いて、上記各単一ビット不揮発性メモリーセル(1)に書き込みおよび/または消去するための手段を含んでいることを特徴とする、メモリー回路。

【請求項 13】

上記書き込みおよび/または消去手段が、5 V 以下の絶対値を有する、チップ上電圧を生成できる回路構成のみを含む、請求項 12 に記載のメモリー回路。

【請求項 14】

列に編成された単一ビット不揮発性メモリーセル(1)の配列を含むメモリー回路であ

10

20

30

40

50

って、

上記メモリーセルが、ソース領域(3)、ドレイン領域(4)、および、上記ソース領域(3)と上記ドレイン領域(4)との間に位置するチャンネル領域(10)を含む半導体領域(2)と、

少なくとも1つの電荷蓄積誘電層(8)を含む誘電性積層体(6)と、上記誘電性積層体(6)によって上記チャンネル領域(10)から分離されているゲート電極(5)とかならなる制御ゲートとを含み、

各列(C)において隣接する2つのメモリーセルが、ソース領域(3)またはドレイン領域(4)を共通に有しており、

各列(C)内における全てのソース領域(3)が、この列(C)と平行に延びる同じビット線(BL)に接続されており、 10

各列(C)内における上記共通のドレイン領域(4)が、列(C)に対して垂直に延びるそれぞれのワード線(WL)に接続されており、

各列(C)内における上記各ゲート電極(5)が、上記列(C)に対して垂直に延びるそれぞれの書き込み線(PL)に接続されていることを特徴とする、メモリー回路。

【請求項15】

請求項14に記載のメモリー回路におけるメモリーセル(1)に対する書き込み方法であって、

上記メモリーセル(1)のソース領域(3)に接続されたビット線(BL)を、接地するために、当該ソース領域(3)にバイアスをかける工程と、 20

第1極性の第1電圧を、上記メモリーセル(1)のドレイン領域(4)に接続されたワード線(WL)に印加する工程と、

上記第1電圧と同じ極性の第2電圧を、上記メモリーセル(1)のゲート電極(5)に接続された書き込み線(PL)に印加する工程と、

上記第1および第2電圧の極性とは反対の極性の第3電圧を、上記半導体領域(2)に印加する工程と、

上記第1電圧と同じ極性の第4電圧を、上記メモリー回路の他の全てのビット線(BL)に印加する工程とを含む書き込み方法。

【請求項16】

上記第1、第2、および、第3電圧の絶対値が、5V以下であり、上記第4電圧の絶対値が2V以下である、請求項15に記載の方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、電氣的書き込み消去可能型ROM(EEPROM)素子に関するものであり、特に、注入された電荷の単一ビット(single bit)を局所的に蓄積および保持するための誘電層を有する単一ゲートメモリー素子に関するものである。

【0002】

さらに、本発明は、特に、ホットキャリア注入法を用いて低減した電圧で、上記メモリー素子への書き込み(programming)方法(プログラムする方法)および消去(erasing)方法(プログラムのためにメモリーセルに蓄積された電荷を消去する方法)に関するものである。 40

【背景技術】

【0003】

フラッシュ(Flash)EEPROMメモリーは、電氣的に変更可能な不揮発性の半導体メモリーの中で、最も大きな種類(the largest class)である。また、これらのフラッシュEEPROMメモリーは、全ての半導体メモリーの中で最も急発展している部門(the fastest growing segment)であり、集積密度が高く、読み出しアクセスが速い。また、フラッシュEEPROMメモリーは、電氣的書き込みおよび消去が可能であり、永続的に 50

データを記憶することもできる。また、フラッシュEEPROMメモリーによって、メモリーセルの全ての集合あるいは選択された集合を消去する能力がある。さらに、電荷が、浮遊ゲート(floating gate)に蓄積される。浮遊ゲートは、自身の下に位置するMOSチャネルの伝導性を調節するものである。この浮遊ゲートは、高品質な誘電体(例えば SiO_2)によって周囲から電氣的に絶縁されたものである。また、この浮遊ゲートに容量結合(capacitively coupled)された制御ゲートが、浮遊ゲートの電位を調節するために用いられる。この浮遊ゲートは、注入された電荷が伝導性浮遊ゲートの全面上に分配される場合、例えば多結晶シリコンなどの伝導性物質から形成される。

【0004】

あるいは、例えば窒化物などの非伝導性物質が、電荷を蓄積するために用いられる。非伝導性ゲートに注入された電荷は、大部分がその注入箇所にとどめられる。その結果、限られた量の電荷だけが、メモリーセルに書き込む(program、プログラムする)ために必要とされる。特許文献1には、上端および下端の酸化層の間に挟まれた窒化物層を用いた、2ビットの不揮発性EEPROMが開示されている。上記メモリーセルは、電子を窒化物層に注入するために従来のチャンネルホット電子注入法(channel-hot-electron-injection)を用いて、書き込まれる。チャンネルホット電子注入法を行うには、ドレインとウェル(well、窪み)との間の冶金接合部(metallurgical junction)に相当する最大電界の位置にホットキャリアが注入されるように、窒化物層と重なり合う接合領域が必要である。したがって、鮮明でよく制御されたドーピング(不純物添加部)形状(doping profile)を実現する必要もある。

【0005】

また、素子を対称的に配置すれば、電圧を適切に選択することによって、非伝導性浮遊ゲートの方側(either side)への電子の注入が可能となる。それゆえ、浮遊ゲートの反対側には、2ビットのデータをビットごとに蓄積できる。セルからの消去は、ファウラーノルドハイムトンネルリング(FNトンネルリング、Fowler-Nordheim tunneling)を用いて、上端または下端電極を介して、捕獲電子(trapped electrons)を除去することによって行われる。蓄積されたビットは、「反対方向」に読み出される。つまり、ドレイン側のビットが読み出される。つまり、この位置でのしきい値電圧の変化が、ドレインを接地し、ソースにバイアスをかけるとともに、ソース付近のチャンネル領域に飽和状態が到達するようなゲート電圧によって、測定される。この飽和領域は、ソース接合部近傍に蓄積された電荷の影響を防止するものである。通常、ドレインビットを読み出す場合、セル電流のドレイン接合部近傍に蓄積された電荷の影響のみが測定される。したがって、ドーピング形状を、キャリアの局所的注入を可能にするように形成する必要があるだけでなく、感知されているビットの反対側に位置するビットを遮蔽(screening)できるように形成する必要がある。

【0006】

フラッシュメモリーが高性能な論理回路と一体化されると、セルへの書き込み、読み出しまたは書き出し用に必要な電圧は、チップ上の論理回路の供給電圧との互換性がなければならない。そうでなければ、例えば復号器の回路構成(decoder circuitry)に用いられる、複雑で領域を消費するチャージポンプ回路および高圧回路を、フラッシュメモリーを駆動するために必要な内部電圧またはチップ上(on-chip)電圧を供給するためにチップ上に配置する必要がある。しかし、トランジスタの寸法の尺度(scaling)が0.35マイクロメートルおよびそれ以下である場合、使用できる供給電圧も、5Vから3.3Vまたはそれに低減される。メモリーセルを駆動するための十分な電力を供給することは、供給電圧が決まるとともにメモリー配列密度(memory array density)が増加するときには、なおさら困難になり、列駆動装置(column drivers)用の領域がわずかに残る。さらに、書き込みおよび消去するための高いメモリー駆動電圧を低い供給電圧から生成するチャージポンプ回路は、それほど効果的ではなく供給電圧が低減するとともに、領域がより多く消費される。

【0007】

10

20

30

40

50

従来のチャネルホット電子注入法 (CHE) を用いるには、8 - 9 V またはそれ以上のゲート電圧が必要である。このような書き込み電圧は、ミクロン以下の (submicron) CMOS 技術によって提供される供給電圧よりもはるかに高い。書き込み方法 (programming method、プログラムする方法) は、必要な書き込み電圧 (programming voltage) を低減するために発展した。非特許文献 1 には、積層ゲートメモリーセル (stacked gate memory cell) のゲート電圧を 5 - 6 V に低減するために、CHISEL (割り込み) と呼ばれる場合のある、基板強化ホット電子注入法 (substrate-enhanced-hot-electron) を用いた低電圧書き込み技術が開示されている。この文献で提案された素子では、ポリシリコン浮遊ゲートを介したキャリア (carrier) を引き付ける、高い書き込み電圧がなおも必要である。

10

【0008】

特許文献 2 には、他の低電圧書き込み技術が開示されている。ドレイン誘起二次衝突電離 (drain-induced-secondary-impact-ionisation) 手法が、ホット電子を分割ゲート (split-gate) メモリーセルの浮遊ゲートに注入するために、用いられている。この浮遊ゲートがドレイン接合部の上に重なるので、ドレイン電圧は、浮遊ゲートと容量結合され、浮遊ゲートの方へ二次電子 (secondary electron) を引き付けることを補助する。

【0009】

また、書き込み電圧を幾分下げる方法があるが、消去電圧の低減は依然として困難である。浮遊ゲートメモリー素子の消去のために FN トンネリングを用いるには、浮遊ゲートを電氣的に絶縁している誘電層を、対応する電圧が大幅に低下するのと同じ程度に調整 (scaled) できないので、大きな電界を使用する必要がある。負電圧がゲートに印加されるときでさえ、メモリーセルの消去工程の間に用いられる電圧は、十分に調整されていない (poor scaled) 上端及び下端酸化層を、蓄積された電子が通り抜けなければならないので、まだ 6 V より高い。ビットの変化および応力が引き起こす漏れ電流に関する信頼性が、これらの酸化層に下限を与える。

20

【特許文献 1】国際特許出願公開番号 WO 99 / 07000 (公開日 1999 年 2 月 11 日)

【特許文献 2】ヨーロッパ特許出願公開番号 EP 1, 096, 572 (公開日 2001 年 5 月 2 日)

【非特許文献 1】S. Mahapatra, S. Shukuri, J. Bude 他、「割り込み (chisel) フラッシュ EEPROM パート 1 : 性能および寸法」(「IEEE, Trans. 電子装置」, 2002 年 7 月, 1296-1301 ページ)

30

【発明の開示】

【0010】

〔発明の目的〕

本発明の目的は、チップ上の埋め込み型フラッシュ EEPROM 単一ゲートメモリーセルおよびその配列 (array) の、低電圧駆動を可能にすることにある。

【0011】

また、本発明の目的は、単一ゲート (電荷蓄積誘電体 (charge-storing dielectric) からなる単一ビットメモリーセル) 用の低電圧書き込み方法を開示することにある。

【0012】

また、本発明の目的は、電荷蓄積誘電体を含んだ単一ポリ単一ビットメモリーセル (single poly single bit memory cell) 用の低電圧書き込み方法を開示することにある。

40

【0013】

また、本発明の目的は、単一ゲート (電荷蓄積誘電体 (charge-storing dielectric) からなる単一ビットメモリーセル) 用の低電圧消去方法を開示することにある。

【0014】

また、本発明の目的は、書き込みおよび消去方法が少なくとも従来技術で使用されたものと同じように効果的であるにもかかわらず、非常に小さな電圧しか必要としない単一ビット EEPROM 素子を提供することにある。

【0015】

50

また、本発明の目的は、特に、集積 E E P R O M だけではなく論理回路が製造される、C M O S 技術をさらに微細化 (downscaling) するとき、チップ領域を効果的に使用できることにある。

【 0 0 1 6 】

また、本発明の目的は、浮遊ゲートとして非伝導性物質層を用いたフラッシュ単一ビットメモリーセルのさらなる微細化を可能とすることにある。

【 0 0 1 7 】

本発明の他の目的は、C M O S 工程における集積フラッシュメモリーセルのコストを削減することにある。このことは、メモリーセルの製造に関する工程段階 (process steps) を、チップ製造用に利用可能な C M O S 工程と一致させる必要がある、いわゆる埋め込み型メモリー応用機器 (embedded memory applications) にとって、特に重要である。 10

【 0 0 1 8 】

本発明の他の目的は、無配線チップ上応用機器 (wireless System-On-a-Chip applications) 用の埋め込み型フラッシュ技術に使用できるメモリーセルの概念 (concept) を開示することにある。

〔 発明の概要 〕

本発明の 1 つの観点では、単一ビット (金属酸化物半導体技術でチップ上に集積された単一ゲート不揮発性メモリーセル) に対する書き込み方法が開示されている。上記メモリーセル 1 は、ソース 3、ドレイン 4、および、上記ソース 3 と上記ドレイン 4 との間のチャンネル領域 1 0 を含んだ半導体基板 2 と、誘電性積層体 (dielectric stack) 6 によって上記チャンネル領域と分離されたゲート電極 5 とを含んでいる。また、上記誘電性積層体は、少なくとも 1 つの電荷蓄積誘電層 8 を含んでいる。上記書き込み方法は、ソース 3 を接地するために、ソース 3 にバイアスをかける工程と、第 1 符号 (first sign) の第 1 電圧を上記ドレイン 4 に印加する工程と、第 1 符号の第 2 電圧を上記ゲート 5 に印加する工程と、逆の符号の第 3 電圧を上記半導体基板 2 に印加する工程とを含み、上記第 1、第 2、第 3 電圧を協調させながら、二次衝突電離媒体 (secondary-impact-ionization-carriers) を用いて、上記セルへの書き込みを成立させる (establishing)。書き込まれている間ドレイン、ゲート、および、バルク (bulk) にそれぞれ印加されている第 1、第 2、第 3 電圧の絶対値の差は、1.5 V 以下、好ましくは 1 V 以下である。書き込まれている間にドレイン、ゲート、および、バルクにそれぞれ印加される第 1、第 2、第 3 電圧の絶対値は、ほぼ同じ値である。好ましくは、この絶対値は、5 V 以下であり、より好ましくはこの絶対値は 4.5 V 以下である。 20 30

【 0 0 1 9 】

本発明の他の観点では、単一ビット (金属酸化物半導体技術でチップ上に集積された単一ゲート不揮発性メモリーセル) に対する消去方法が開示されている。上記メモリーセル 1 は、ソース 3、ドレイン 4、および、ソース 3 とドレイン 4 との間のチャンネル領域 1 0 を含んだ半導体基板 2、誘電性積層体 6 によって上記チャンネル領域から分離されたゲート電極 5、少なくとも 1 つの電荷記憶誘電層 8 を含んだ上記誘電性積層体を含んでいる。上記消去方法は、上記ソース 3 を接地するために、ソース 3 にバイアスをかける工程と、第 1 符号の第 1 電圧を上記ドレイン 4 に印加する工程と、逆の符号の第 2 電圧を上記ゲート 5 に印加する工程と、逆の符号の第 3 電圧を上記半導体基板 2 に印加する工程を含んでいる。なお、上記第 1、第 2、および、第 3 電圧を協調させながら、帯間トンネリング誘起ホットキャリア注入法 (band-to-band-tunneling-induced-hot-carrier injection) を用いて、上記セルへの書き込みを成立させる。書き込まれている間ドレイン、ゲート、および、バルクにそれぞれ印加される第 1、第 2、第 3 電圧の絶対値の差は、1.5 V 以下、好ましくは 1 V 以下である (上述したものと同一)。書き込まれている間ドレイン、ゲート、および、バルクにそれぞれ印加される第 1、第 2、第 3 電圧の絶対値は、ほぼ同じ値である。この絶対値は、好ましくは 5 V 以下であり、さらに好ましくは 4.5 V 以下である。 40

【 0 0 2 0 】

本発明の第3の観点では、本発明のメモリー用の効果的な配列構造が開示されている。従来の観点のメモリーセルは、列に配置されている。各列の隣り合う2つのメモリーセルは、ドレイン4またはソース3接続点も持っている。各列の隣り合う2つのメモリーセルのドレイン4接続点は、セル列に対して垂直に延びる書き込み線PLを形成するように接続されている。この書き込みPLは、ドレイン接合部に対する接触部またはビアを介して接続される金属の第1相互接続層(first interconnect layer)に形成されることが好ましい。各列のメモリーセルのソース接続点3は、セル列に対して平行に延びるビット線を形成するように接続されている。このビット線は、ソース接合部に対する接触部またはビアを介して接続される金属のより高い位置の第2相互接続層(second, higher, interconnect layer)に形成されていることが好ましい。各列から、各列の同一の水平位置に位置するメモリーセルのゲート5は、セル列に対して垂直に延びるワード線WLによって接続されている。このワード線は、各メモリーセルのゲート電極4を形成するために用いられる多結晶シリコンに形成されることが好ましい。したがって、ワード線および書き込み線は、水平に配置されている。

10

〔図面の簡単な説明〕

全ての図面は、本発明のいくつかの観点と実施形態とを示すことを目的としたものである。素子は、明確化のために、簡易化して記載されている。全ての代替例、および、選択肢が記載されているわけではない。従って、本発明は、記載された図面の内容に制限されない。異なる図面において、同じ部分を参照するために、同じ番号を使用している。

20

【0021】

図1は、本発明に基づくメモリー素子の概略的な断面図配置である。
図2は、しきい値電圧表示部、より詳細には、基板バイアスの影響を示す、本発明に基づく素子の書き込み特性である。

図3は、従来技術(CEH)および本発明(SEHE)に基づくビット間(bit-bit)の干渉の比較である。

図4は、しきい値電圧表示部、より詳細には、基板バイアスの影響を示す、本発明に基づく素子の消去特性である。

図5は、本発明の実施形態に基づいて書き込みおよび消去されたメモリー素子の耐久特性である。

図6は、本発明の実施形態に基づくメモリー素子に書き込み、および、消去するときのセル性能である。

30

図7は、本発明の実施形態に基づくメモリー素子に適切なメモリー配列構造である。

図8は、本発明の実施形態に基づくメモリー構成(memory architecture)の書き込み抑制特性である。

〔発明の詳細な説明〕

本発明を、本発明のいくつかの実施形態の詳しい説明によって、順次説明する。本発明の他の実施形態を、当業者の知識に基づいて、本発明の純粋な精神に反することなく形成できるということが明らかである。

【0022】

供給電圧とは、不揮発性メモリーセルが組み込まれたCMOS技術によって製造される、チップ上の論理回路に電力を供給するために使用される電圧のことを意味している。上記で定義した供給電圧以外の外部から印加される全ての電圧を、本明細書では、単に「外部電圧」と呼ぶ。「内部電圧」とは、チャージポンプ回路(charge pump circuits)を使用することによって低い供給電圧から生成される、チップ上で利用可能な電圧を意味している。

40

【0023】

図1は、本発明の実施形態に基づく単一ゲート装置1の概略的な断面図を示している。例えば、シリコン基板である半導体基板2において、高度にドーブ(不純物添加)された(highly doped)ソース3およびドレイン4接合部は、単一ゲートに自己整合して形成されている。この単一ゲートは、誘電性層の積層体6の上に伝導性ゲート5を備えているもの

50

である。核心となるCMOS (core CMOS)技術において利用できるMOSFET構造が使用されているので、接合部領域3, 4は、基本的に、ゲート領域には重なっていない。ミクロン以下の(submicron) CMOS技術において一般的なように、高ドーピングされている接合部4bとチャンネル領域10との間に伝導経路を形成するため、図1の挿入図に示すように、ドレイン側におけるスペーサー(spacer)12の下側にドーピングされた拡張部4a(潜在的に低くドーピングされている拡張部)が存在していてもよい。ソース3およびドレイン4接合部のドーピングの種類は、基板1またはウェルのドーピングの種類とは反対である。本発明を説明するために、nチャンネル装置を使用する。従って、n型接合部は、p型基板またはp型のウェルに形成されている。当業者には、本出願において開示された方法、セル構造、および、配列を、pチャンネル素子にも適用できるということが認識されるであろう。ソースおよびドレイン接合部とは、この単一ゲートに隣接して形成される高ドーピングされた接合部領域のことを意味している。素子の構造は対称的であるが、「ドレイン」という言葉は、ビットを書き込むデバイス側を表すために使用される。

10

20

30

40

50

【0024】

伝導性ゲート5を、下部FET構造にバイアスをかけるためのゲート電極として使用する。下側にある誘電性層の積層体6は、このFET構造のゲート誘電体としての役割を果たし、第1誘電層7、第2誘電層8、および、第3誘電層9が交互に重なり合うものであってもよい。第1誘電層7、および、第3誘電層9は、中間層8を電氣的に絶縁している。この中間層8は、電荷捕獲層または電荷蓄積層として使用されている。誘電性層の積層体は、下側のチャンネル領域10から注入される電荷キャリアを受け取れるものでなければならぬ。注入された電荷キャリアは、非伝導性の中間層8に蓄積され、保持されていなければならない。電荷捕獲層8は、窒化物層、分離された島状のポリシリコンが埋め込まれており、この島状の伝導性ポリシリコン内に電荷が蓄積されている酸化層、電荷を蓄積することができる分離されたシリコン微結晶を含む層、シリコンを多く含む酸化物、 HfO_2 、 Al_2O_3 、 ZrO_2 などの高k誘電体であってもよい。半導体基板2の大部分の表面上に、第1誘電体7を堆積することによって、誘電層7, 8, 9を形成できる。第1誘電体7は、一般的に、シリコン基板1を熱酸化することによって形成されるシリコン二酸化物である。あるいは、第1誘電体7を、様々なCVD (chemical vapour deposition) 技術により堆積させることができる(例えば、低圧CVDにより形成されたTEOS、原子層(atomic layer)CVDにより形成される酸化物)。一般的に、この第1誘電体の厚さは、3~20nmの間であり、好ましくは、3~10nmの間である。第2誘電体8は、第1誘電体7の上に形成されている。第1誘電体7は、この第2誘電体8を、下側のチャンネル領域10から電氣的に絶縁しているものである。一般的に、第2誘電体8は、2~20nm、好ましくは、5~12nmの厚さを有する窒化シリコンである。第2誘電体8の上には、例えばCVDによって、第3誘電層9を形成する。この第3誘電層9は、第2絶縁体8を、ゲート5から電氣的に絶縁するものである。一般的に、この第3誘電体9は、3~20nm、好ましくは、3~10nmの厚さを有する酸化シリコンである。このように形成されたONO(酸化物-窒化物-酸化物(oxide-nitride-oxide)の積層体6において、窒化物層8は、メモリーセルに書き込むための電荷保存機構を提供する。第3誘電層8の上に、伝導性ゲート5を形成する。一般的に、100~400ナノメートル(nm)の範囲の厚さを有する多結晶シリコンを、ゲート材料として使用する。この場合、素子を、単一ポリ素子(single poly device)と呼ぶことができる。伝導性ゲート5は、ソース3およびドレイン4接合部と同じドーピングの種類からなる。

【0025】

本発明の実施形態に基づく素子の利点は、遮蔽工程を加えるだけで、核心となるCMOS技術において既に利用可能であるMOSFET構造を使用して製造できることである。図1に示す素子は、ゲート5、ソース3およびドレイン4端子、および、ソース3とドレイン4領域の間のチャンネル領域10からゲート5を分離している誘電層6といったMOSFET要素を含んでいる。この付加的な遮蔽工程は、メモリー配列に配置されたチップ上の領域の外側において、不均一に堆積した非伝導性の電荷蓄積層を取り除くために必要で

ある。本発明の好ましい実施形態では、誘電性の積層体 6 の形成を、まず遮蔽工程によって、基板 (wafer) 全体に均一に形成し、次に、メモリー領域の外側を取り除く。非メモリーまたは論理素子のゲート誘電体 (例えば、酸化シリコン) は、基板全体に均一に形成されている。この論理ゲート誘電体を形成した後、ゲート電極層 (例えば、多結晶層) が、基板全体に堆積される。このゲート電極層は、メモリーセルのゲートのみならず、論理素子のゲートを形成するために、パターン化される。核心となる CMOS 技術において利用できるほかの全ての工程、および、当業者に公知である工程を、チップの論理部分およびメモリー部分の双方の MOSFET 構造をさらに完全なものとするために適用することができる。

【0026】

10

本発明の実施形態に基づく素子置の他の利点は、提案された素子が、特に、局所的なホットキャリア注入を確実にするための精巧な接合技術を必要としないことである。

【0027】

本出願に記載の結果は、 $0.18 \mu\text{m}$ の CMOS 技術によって得られたものである。この SONOS (半導体 - ONO - 半導体 (semiconductor-ONO-semiconductor)) 素子の ONO 積層体 6 の厚さは、下部酸化物 7 が 5.5 nm 、窒化物層 8 が 8.5 nm 、上部酸化物層が 5.5 nm である。n 型のソース 2 およびドレイン 3 接合部は、 $0.12 \mu\text{m}$ の深さであり、 $3 \times 10^{17} \text{ cm}^{-2}$ のドーピングを有する逆方向のウェル (retrograde well) に形成されている。セルの大きさは、幅割る長さの比である W/L が $0.25 \mu\text{m} / 0.18 \mu\text{m}$ を備えた $0.54 \mu\text{m}^2$ である。この特許申請において開示される方法は、CMOS 20
S 技術に含まれるどのような不揮発性メモリー技術にも適用することができる。しかし、当業者は、不揮発性メモリーを論理回路構成素子に集積する CMOS 技術をミクロン以下の寸法に小型化する場合に、記載された実施形態の利点を認識するであろう。

【0028】

本発明の第 1 の観点として、電荷蓄積誘電層を含む単一ゲート不揮発性メモリーセルに対する書き込み方法を開示する。第 1 符号の第 1 電圧をドレイン接合部 4 に印加し、第 1 符号の第 2 電圧をゲート 5 に印加し、逆の符号の第 3 電圧を基板 2 に印加し、ソース結合部 3 を接地するために、ソース結合部 3 にバイアスがかかることによって、ドレイン側からメモリーセルに書き込む。ここで、第 1 のキャリア (この説明では電子) は、ソース 3 からチャンネル 10 を通ってドレイン 4 へ移動し (矢印 i)、ドレイン内、またはドレイン 30
の付近において一次衝突電離機構によって電子 - 正孔対を形成するので、ドレイン - ソース電圧からエネルギーを得る。このように形成されたキャリアの 1 種類、すなわち、この説明では正孔である「一次衝突キャリア」は、衝突点 (point of impact) から、素子のバルク 2 へと移動し (矢印 j)、二次衝突電離の発生によってバルク内に電子 - 正孔対を形成するので、ドレイン - バルク電圧からエネルギーを得る。二次衝突電離が起こる場所は、多くの媒介変数 (parameters) (特に、一次衝突キャリアのエネルギー、その拡散寿命 (diffusion life-time)、バルクのドーピング、そのドーピング形状およびドレイン接合部の深さなど) に依存しているので、衝突の位置を表すことはできないが、雲形 k (cloud k) によって示されるように衝突の領域を表すことができる。このように形成されたキャリアの 1 種類、すなわち、この説明では、電子である「二次衝突キャリア」は、ゲート 40
電圧によってゲート 5 の方向へ引き寄せられ、誘電性の積層体 6 に注入される (矢印 l)。雲形 k として示されているように、この処理の統計的な特性のせいで、二次衝突キャリアは、従来のホット電子注入法の場合のようにチャンネルに沿った 1 つだけの位置から誘電性の積層体 6 に注入されるのではなく、統計的に分散された点の集合から注入される。この実施形態において利用される書き込み機構は、素子のバルクにおいて生じる二次衝突電離機構によって形成されたホットキャリアを、非局所的に注入することによって、電荷蓄積層を充電するものである。注入される電荷の大部分を、誘電性の積層体 6 における基本的には同じ場所に蓄積しておく代わりに、注入される電荷は、この誘電性の積層体の範囲内の領域全体に拡散される。この領域は、全体的なキャリア形成処理の統計によって決定される。

50

【0029】

第1の電子は、一次衝突キャリアを形成するために十分なエネルギーを得るためだけに必要なので、ソース3とドレイン4との間のより低い電圧差を利用できる。一次衝突キャリアは、二次衝突キャリアを形成するために十分なエネルギーを得る必要があるため、ドレイン4と基板2との間の中間の電圧差を利用できる。二次衝突キャリアが、基板誘電体エネルギー障壁 (substrate-dielectric energy barrier) を横切るのに十分なエネルギーを得るように、ゲート5から基板2への電圧は、十分に大きくなければならない。ここで、第1誘電体7として酸化物が使用されている場合、このエネルギー障壁は、電子に対しては3.2 eVであり、正孔に対しては4.8 eVである。従来技術の箇所で説明したように、J. Budeが提案した素子の場合、注入された電荷が、本発明の実施形態において開示されたような非伝導性電荷蓄積誘電体6ではなく、伝導性浮遊ゲートに蓄積される。形成されたキャリアを、この浮遊ゲートの方へ引き寄せるために、Budeは、非常に高い電圧を、ゲート電極5に印加しなければならない。なぜなら、基板2、浮遊ゲート、および、ゲート電極5の間に形成される容量分割器 (capacitive divider) が原因で、このゲート電極の一部しか、浮遊ゲートにおいて利用できないからである。本発明において開示される素子には、このような容量分割器が存在しないので、ゲート5から基板2への電圧をより低くできる。

10

【0030】

書き込みの間にドレイン、ゲート、バルクにそれぞれ印加される第1および第2電圧の絶対値の差は、1.5 V以下であり、好ましくは、1 V以下である。書き込みの間にドレイン、ゲート、バルクにそれぞれ印加される第1、第2、および、第3電圧の絶対値の差は、1.5 V以下、好ましくは、1 V以下である。書き込みの間にドレイン、ゲート、バルクにそれぞれ印加される第1、第2、第3電圧の絶対値は、ほぼ同じである。この絶対値は、1.5 V以下あることが好ましく、4.5 V以下であることがより好ましい。

20

【0031】

好ましい実施形態では、ドレインが3.5 Vにバイアスされ、ゲートが3.5 Vにバイアスされる一方、基板は-3 Vにバイアスされる。図2は、書き込みメモリーセルのしきい値電圧 V_t の変化 (V) を、4つの異なる値のバルクバイアス ($V_b = 0, -1, -2, -3$ V) について、時間 (秒) の関数として示している。ただし、3.5 Vのドレイン電圧 V_d およびゲート電圧 V_g が与えられる一方、ソース電圧 V_s が0に設定されている場合に対するものである。この実施形態では、第1および第2電圧が正の符号を有している一方、第3電圧は負の符号を有している。バルクバイアスが負であるほど、書き込み効率が上昇する。なぜなら、任意の書き込み時間 (例えば、1 m秒) 後のしきい値電圧の変化は、バルクバイアスの上昇に伴ってより大きくなるからである。従って、基板バイアスは、ドレイン接合部の付近におけるホット電子の形成および/または加速に寄与する。従って、本発明の書き込み機構は、基板強化ホット電子注入法 (substrate-enhanced-hot-electron-injection, SEHE) と呼ばれる。この書き込み機構の1つの特徴は、従来のチャンネルホット電子注入法 (channel-hot-electron, CHE) メカニズムとは対照的に、キャリアが、明確に規定された位置から浮遊ゲート6に注入されないことである。本発明に基づくキャリアの注入は、はるかに拡散された注入特性を示す非局所的な注入現象 (injection phenomenon) である。図3は、図1の素子に書き込むときの、注入位置の拡散に関する、本発明とチャンネルホット電子法との間の差を表している。本発明では、「書き込みビット」であるドレイン側に書き込むとき、トランジスタの「反対側のビット」であるソース側におけるしきい値電圧 V_t (V) の電荷を観測する。2つのビットが読まれる。すなわち、しきい値電圧の変化を、ソースおよびドレインの間の読み出し電圧 V_{ds} の2つの値 (1 V、および、1.6 V) で測定する。従来のチャンネルホット電極 (CHE) を使用すると、特許出願1の2ビットメモリーセルの場合のように、ソース側において、しきい値電圧の小さな変化しか生じない。この非常に局所的なホット電子注入機構は、2ビット素子を開発するために、特許文献1において利用されており、2ビットのデータが、浮遊ゲート6の2つの端点 (extreme positions) に蓄積される。基板強化ホット電子

30

40

50

注入法を使用すると、浮遊ゲートにおけるこれら位置の間の干渉を表す、ドレイン側に与えられるしきい値電圧の変化に対して、より大きなしきい値電圧の変化がソース側で観測される。ドレイン側におけるビットを読み出すために、ソース側において $V_{ds} = 1.6$ V のビット線読み出し電圧を使用する場合でさえ、ソース側において使用するしきい値電圧の上昇を防止することはできない。本実施形態では、浮遊ゲートに単一ビットのデータを蓄積するだけで、この効果を利用できる。その結果、開示された効果である、低電圧での書き込み機構を、この素子に使用できる。この実施形態の単一ビット素子は、非対称の電荷蓄積機構を有している。電荷は、ドレイン側からその先へ蓄積されるが、ドレイン側にのみ存在していない。メモリーセルは、ドレイン側から書き込みされ、ソース側から読まれるので、より低いビット線読み出し電圧、例えば、特許文献 1 の 2 ビットメモリー素子における 1.5 V を使用できる。従来技術において使用されるより高い読み出し電圧は、読み出されない隣り合うビットを遮蔽するための接合部の空乏領域を拡張することを必要とする。しかし、読み出し電圧がより高い結果、いわゆるソフト書き込み誤り (soft write error) が生じることがある。すなわち、読み出し電流のキャリアが、この被覆されたビット内に注入されたために十分なエネルギーを得ることがあり、それゆえ、このビットに望ましくない電荷を加えることがある。

10

【0032】

チャンネル長をさらに縮小する場合、ビット間の潜在的な干渉 (latent bit-bit interference) は考えられない。なぜなら、1 ビットだけが書き込みされているからである。チャンネル長を縮小すること (scaling) により、従来技術の 2 ビットの素子は、これら 2 ビットの間の干渉の可能性がより高くなるということを伴う。本出願に開示するように、1 ビットだけを書き込むことにより、提案された素子をさらに小型化でき、操作電圧が低いことにより、素子の寸法をさらに小さくすることができる。電圧が低いほど、ソースおよびドレイン接合部を接近して集結させることができる。なぜなら、チャンネル長が短くても破壊が起こりにくいからである。

20

【0033】

本発明の第 2 の観点として、電荷蓄積誘電層を含む単一ゲート不揮発性メモリーセルに対する消去方法 (書き込み時にメモリーセルに蓄積された電荷を消去する方法) を開示する。第 1 符号の第 1 電圧をドレイン接合部 4 に印加し、逆の符号の第 2 電圧を書き込みゲート 5 に印加し、逆の符号の第 3 電圧を基板 2 に印加し、ソース接合部 3 を接地するためにソース接合部 3 にバイアスがかかることによって、ドレイン側からメモリーセルを消去する。消去機構は、ホットキャリアを、電荷蓄積誘電体 8 に注入することを含んでいる。これらキャリアは、書き込むために使用されるキャリアと逆の型である。例えば、この説明では、電子が書き込みの間に注入される一方、正孔が消去の間に注入される。負の電圧を、ゲート 5 に印加することによって、ドレイン 4 は深い空乏 (deep depletion) となり、ドレイン 4 とチャンネル領域 10 との間の帯間トンネリング (band-to-band tunneling) によって、「コールド (cold)」正孔を形成できる。これら「コールド」正孔は、ホットになって基板誘電体エネルギー障壁を横断するのに十分なエネルギーを、側表面の電界 (surface lateral electrical field) から得る。酸化物を第 1 誘電体 7 として使用する場合、このエネルギー障壁は、電子に対しては 3.2 eV であり、正孔に対しては 4.8 eV である。深い空乏領域をドレイン側に形成し、消去のために使用されるキャリアが帯間トンネリングできるように、ゲート - ドレイン電圧は十分なものでなければならない。ゲート 5 から基板 2 への電圧は、これらキャリアが、基板誘電体エネルギー障壁を横断するために十分なエネルギーを得るように、十分に大きなものでなければならない。

30

40

【0034】

書き込みの間に、ドレイン、ゲート、および、バルクにそれぞれ印加される第 1、第 2、および、第 3 電圧の絶対値の差は、 1.5 V 以下であり、好ましくは 1 V 以下である。書き込みの間に、ドレイン、ゲート、およびバルクにそれぞれ印加される第 1、第 2、および、第 3 電圧の絶対値は、ほぼ同じ値である。この絶対値は、 5 V 以下であることが好ましく、 4.5 V 以下であることがより好ましい。

50

【0035】

好ましい実施形態では、ドレイン4が3.5Vにバイアスされ、ゲート5が3.5Vにバイアスされる一方、基板2は-3Vにバイアスされ、ソース3は0Vに設定されている。図4は、消去されるメモリーセルのしきい値電圧 V_t の変化(V)を、4つの異なる値のバルクバイアス($V_b = 0, -1, -2, -3V$)について、時間(秒)の関数として示している。ただし、図4は、3.5Vのドレイン電圧、3.5Vのゲート電圧が与えられる一方、ソース電圧 V_s が0に設定されている場合に対するものである。この実施形態では、第1電圧が正の符号を有している一方、第2および第3電圧は負の符号を有している。バルクバイアスが負であるほど、消去効率が上昇する。なぜなら、任意の消去時間の後、しきい値電圧の変化は、バルクバイアスの上昇に伴ってより小さくなるからである。従って、基板バイアスは、ドレイン接合部の付近におけるホット正孔の形成および/または加速に寄与する。従って、本発明の消去機構は、基板強化帯間トンネリング誘起ホット正孔注入法(substrate-enhanced-band-to-band-tunneling-induced-hot-hole-injection, SEBBHH)と呼ばれる。負のバイアスを印加することにより、側表面電界(surface lateral field)が強化される。表面の帯間トンネリング(surface band to band tunneling)によって形成される「コールド」正孔は、この強化された側面電界からエネルギーを得て、「ホット」になることができ、浮遊ゲート6に注入される。消去方法は、ホットキャリアの注入に基づいているので、消去効率は下部酸化物の厚さとは無関係である。この実施形態に基づく消去方法の1つの利点は、消去を可能とするために下部酸化物を小さくする必要が無く、良好な維持能力を保証するための厚さを維持することができることである。

10

20

【0036】

図5は、本発明の実施例に基づいて書き込まれ、読み出されたセルの耐久特性を示している。100000を越える周期を得ることができる。

【0037】

前記の実施形態を使用して、10 μ 秒~100m秒の間の時間表示部(time window)内において、単一ビットメモリー素子に書き込み、および、消去するための電圧表示部(voltage window)の概観を図6に示す。

しきい値電圧 V_t のときの変化(V)を、ドレイン V_d 、書き込みゲート V_g 、およびバルク V_b バイアス(bulk V_b bias)の3つの異なる集合のための時間(秒)の関数として示す。

30

【0038】

本発明の第3の観点として、本発明のメモリー素子のための効果的な配列構成を開示する。図7は、複数の区画を含むメモリーを表している。1つの区画に、本発明の一実施形態に基づくNOR型のメモリー配列構成を示す。メモリーセルは、列に並べられている。各列における2つの隣り合うメモリーセルは、ドレイン4またはソース3接続点のいずれかを共通に備えている。各列における2つの隣り合うメモリーセルのドレイン4接続点は、図7の黒い四角によって示す通り、セル列に対して垂直に延びる書き込み線PLを形成するように接続されている。この書き込みPLは、接触部またはビアを介してドレイン接合部と接続される金属製の第1相互接続層に形成されることが好ましい。図7に示すように、メモリー素子は、書き込み金属(program metal)に関して再現されている。各列におけるメモリーセルのソース接合部3は、対応するセル列に対して平行に延びているビット線を形成するように接続されている。このビット線は、接触部またはビアを介してソース接合部と接続される金属製のより高い位置の第2相互接続層に形成されることが好ましい。各列から、各列の同じ水平位置にあるメモリーセルのゲート5は、セル列に対して垂直に延びるワード線WLによって接続されている。このワード線は、各メモリーセルのゲート電極4を形成するために使用される多結晶シリコンに形成されることが好ましい。従って、ワード線と書き込み線とは、水平に配置されている。図7に示すメモリー配列は、個々のメモリーセルのソース3、ドレイン4、ゲート5端子が接続されている、接触配列(contacted array)である。ワード線WLとビット線BLの各交差点に、メモ

40

50

リーセル 1 が配置されている。

【0039】

本実施形態に基づくメモリー構造の 1 つの長所は、1 つの区画 1 1 内における各セルのドレイン 4 およびゲート 5 で見られる最高電圧を制限でき、その結果、妨害限度 (disturb margin) が十分に高くなるということである。メモリーセルの望ましくない書き込みを防止するために、書き込み抑制が必要である。例えば、列 C と行 A との交差点にあるセル 1 に書き込む場合、他の列にある行 A のセルが、これらのドレインおよびゲート電圧に曝される。これらのセルの望ましくない書き込みを防止するために、D, E, F などのビット線 B L が、この説明では正の電圧にバイアスされる。ビット線 B L は、上側の区画 1 1 と、下側の区画 1 2 との間で共通しているため、区画 1 2 のメモリーセルは、そのソースにおいてより高い電圧に曝されることとなる。このことは、これらセルにおける妨害 (disturbance) の原因となる。低い書き込み電圧 (例えば、上記の例では 4.5 V 未満) によって、列 D におけるメモリーセルのソース側 3 に印加される抑制電圧を低くすることができる。図 7 に示すように、1 つの列のソース接続点 3 を接続しているビット線 B L は、全区画に共通しているため、このビット線に印加されるバイアスは、このビット線を共有する各区画にある全てのメモリーセルに生じることとなる。高すぎるソース抑制電圧は、他の区画全体に妨害を引き起こしてしまう。

10

【0040】

好ましい実施形態では、しきい値電圧 V_t における顕著な変化 (V) を防止するために、 $2V$ のソース抑制電圧 V_s で十分である。図 8 に示すように、しきい値電圧の変化は、ソース電圧の関数として減少する。ドレイン側を 30 秒バイアスする場合でも、200 mV 未満の変化であることが観測できる。16 k × 1 k ワード構成で配置される 256 M ビット配列のためには、メモリー配列の書き込み時間は、約 20 ミリ秒 (msec) : 1 k ワード × 20 μ sec / セルである。妨害時間 (すなわち、反映される行 (mirror row) のセルが、隣り合う行の書き込み電圧に曝される時間) は、メモリー配列の書き込み時間に等しい。従って、図 8 に示す 30 秒は、十分に大きなドレイン妨害限度であることが分かる。

20

【0041】

また、本発明のメモリーセルに対する書き込み方法は、ソース領域 3、ドレイン領域 4、および、上記ソース領域 3 と上記ドレイン領域 4 との間に位置するチャネル領域 10 を含む半導体領域 2 と、少なくとも 1 つの電荷蓄積誘電層 8 を含む誘電性積層体 6 と、上記誘電性積層体 6 によって上記チャネル領域 10 から分離されているゲート電極 5 とかならなる制御ゲートとを含むメモリーセルにおいて、ソース領域 3 を接地し、ドレイン領域 4 に第 1 極性の第 1 電圧を印加し、ゲート電極 5 に上記第 1 極性と同極性の第 2 電圧を印加し、半導体領域 2 に第 1 極性と逆極性の第 3 電圧を印加することを特徴とする方法である、と表現できる。

30

【0042】

また、本発明のメモリーセルに対する消去方法は、ソース領域 3、ドレイン領域 4、および、上記ソース領域 3 と上記ドレイン領域 4 との間に位置するチャネル領域 10 を含む半導体領域 2 と、少なくとも 1 つの電荷蓄積誘電層 8 を含む誘電性積層体 6 と、上記誘電性積層体 6 によって上記チャネル領域 10 から分離されているゲート電極 5 とかならなる制御ゲートとを含むメモリーセルにおいて、ソース領域 3 を接地し、ドレイン領域 4 に第 1 極性の第 1 電圧を印加し、ゲート電極 5 に上記第 1 極性と逆極性の第 2 電圧を印加し、半導体領域 2 に第 1 極性と逆極性の第 3 電圧を印加することを特徴とする方法である、と表現できる。

40

【0043】

また、本発明のメモリーセルに対する読み出し方法は、ソース領域 3、ドレイン領域 4、および、上記ソース領域 3 と上記ドレイン領域 4 との間に位置するチャネル領域 10 を含む半導体領域 2 と、少なくとも 1 つの電荷蓄積誘電層 8 を含む誘電性積層体 6 と、上記誘電性積層体 6 によって上記チャネル領域 10 から分離されているゲート電極 5 とかなら

50

なる制御ゲートとを含むメモリーセルにおいて、ドレイン領域 4 および半導体領域 2 を接地し、ソース領域 3 に第 1 極性の第 1 電圧を印加し、上記ゲート電極 (5) に上記第 1 電圧と同極性の第 2 電圧を印加し、電流が上記ドレイン領域 4 から上記ソース領域 3 の方向へ流れるかどうかを検知することを特徴とする方法である、と表現できる。

【0044】

また、本発明のメモリー回路は、ソース領域 3、ドレイン領域 4、および、上記ソース領域 3 と上記ドレイン領域 4 との間に位置するチャネル領域 10 を含む半導体領域 2 と、少なくとも 1 つの電荷蓄積誘電層 8 を含む誘電性積層体 6 と、上記誘電性積層体 6 によって上記チャネル領域 10 から分離されているゲート電極 5 とかならなる制御ゲートとを含むメモリーセルが列に配置されており、各列 C において 2 つの隣り合うメモリーセルが、ドレイン 4 またはソース 3 接続点のいずれかを共通に備えていることを特徴とするメモリー回路である、と表現できる。

10

【0045】

さらに、本発明のメモリー回路は、上記の構成に加えて、各列 C 内における全てのソース領域 3 が同じビット線 BL に接続され、各列 C 内における上記隣接するメモリーセルと共通のドレイン領域 4 がワード線 WL に接続されており、各列 C 内における上記各ゲート電極 5 が書き込み線 (PL) に接続されていることを特徴とするメモリー回路である、と表現できる。

【0046】

さらに、本発明のメモリー回路は、上記いずれかのメモリー回路の構成に加えて、5 V 以下の絶対値を有する電圧を用いて、上記各メモリーセルに書き込みおよび/または消去するための手段を含んでいることを特徴とするメモリー回路である、と表現することができる。

20

【図面の簡単な説明】

【0047】

【図 1】本発明に基づくメモリー素子の概略的な断面図配置を示す図である。

【図 2】しきい値電圧表示部、より詳細には、基板バイアスの影響を示す、本発明に基づく素子の書き込み特性を示す図である。

【図 3】従来技術 (CEH) および本発明 (SEHE) によるビット間の干渉の比較を示す図である。

30

【図 4】しきい値電圧表示部、より詳細には、基板バイアスの影響を示す、本発明に基づく素子の消去特性を示す図である。

【図 5】本発明の実施形態に基づく、書き込みおよび消去されたメモリー素子の耐久特性を示す図である。

【図 6】本発明の実施形態に基づくメモリー素子に書き込み、および、消去するときのセル性能を示す図である。

【図 7】本発明の実施形態に基づくメモリー素子に適切なメモリー配列構造を示す図である。

【図 8】本発明の実施形態に基づくメモリー構成 (memory architecture) の書き込み抑制特性を示す図である。

40

【符号の説明】

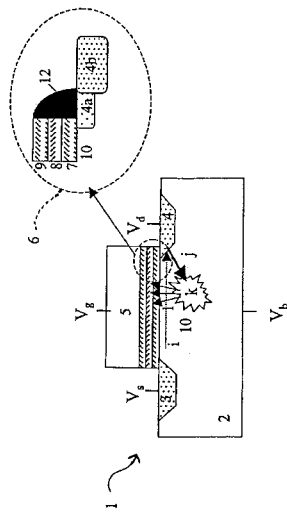
【0048】

- 1 メモリーセル
- 2 基板 (半導体領域)
- 3 ソース (ソース接合部、ソース領域)
- 4 ドレイン (ドレイン接合部、ドレイン領域)
- 5 ゲート (ゲート電極)
- 6 誘電性積層体
- 7 第 1 誘電層
- 8 第 2 誘電層 (中間層、電荷蓄積誘電層)

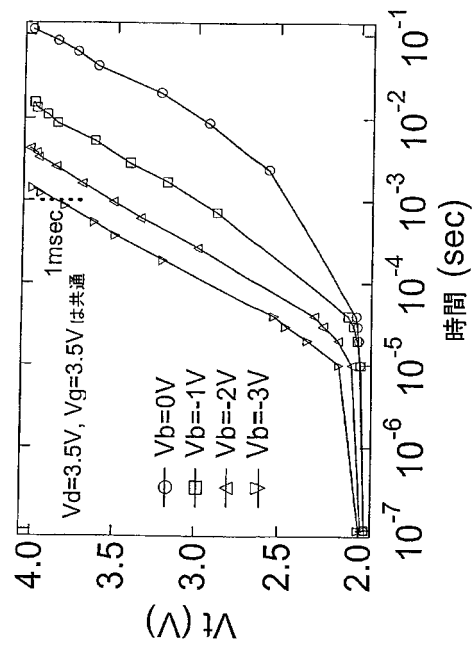
50

- 9 第3誘電層
- 10 チャネル領域
- V_b バルクバイアス
- V_d ドレイン電圧 (読み出し電圧)
- V_g ゲート電圧 (書き込みゲート電圧)
- V_s ソース電圧
- B L ビット線
- P L 書き込み線
- W L ワード線

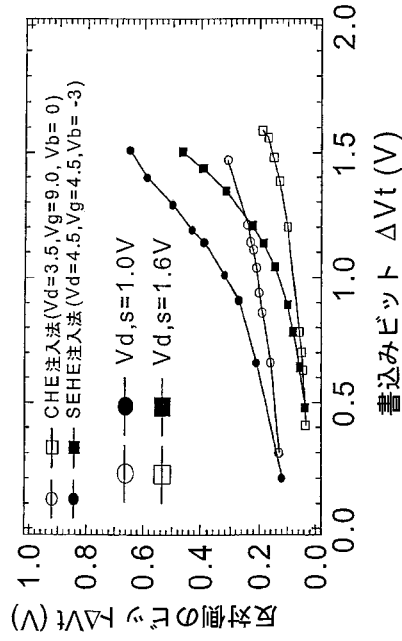
【図1】



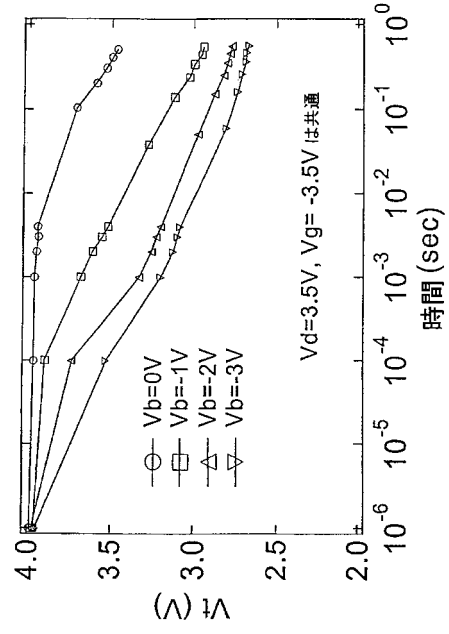
【図2】



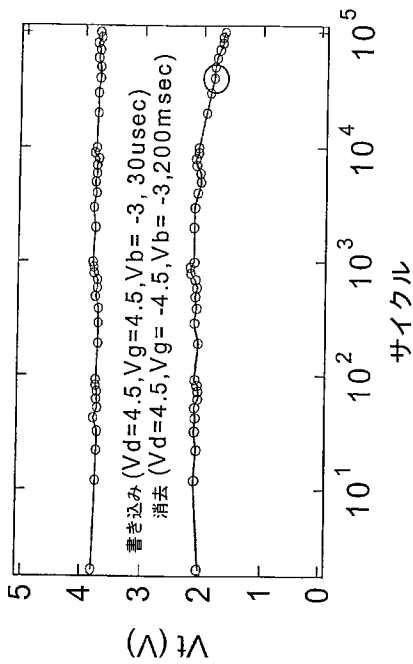
【 図 3 】



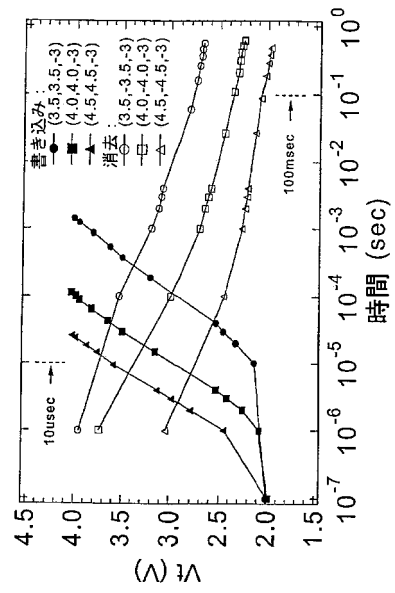
【 図 4 】



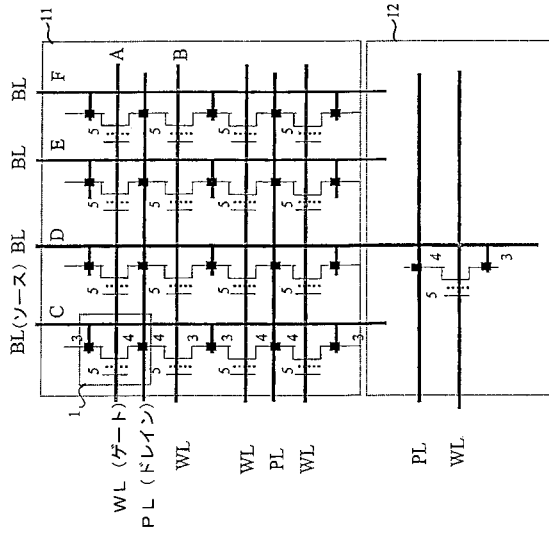
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

