

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5944589号
(P5944589)

(45) 発行日 平成28年7月5日(2016.7.5)

(24) 登録日 平成28年6月3日(2016.6.3)

(51) Int.Cl.

F 1

G 11 C	11/15	(2006.01)	G 11 C	11/15	1 4 0
G 11 C	17/14	(2006.01)	G 11 C	11/15	1 5 0
G 11 C	29/00	(2006.01)	G 11 C	11/15	1 9 0
G 06 F	12/16	(2006.01)	G 11 C	17/06	B
			G 11 C	29/00	6 0 3 E

請求項の数 13 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2015-532107 (P2015-532107)
 (86) (22) 出願日 平成25年9月13日 (2013.9.13)
 (65) 公表番号 特表2015-534204 (P2015-534204A)
 (43) 公表日 平成27年11月26日 (2015.11.26)
 (86) 國際出願番号 PCT/US2013/059809
 (87) 國際公開番号 WO2014/043575
 (87) 國際公開日 平成26年3月20日 (2014.3.20)
 審査請求日 平成27年12月3日 (2015.12.3)
 (31) 優先権主張番号 13/613,125
 (32) 優先日 平成24年9月13日 (2012.9.13)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 507364838
 クアルコム、インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サンディエゴ モアハウス ドラ
 イブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 ジュン・ピル・キム
 アメリカ合衆国・カリフォルニア・921
 21・サン・ディエゴ・モアハウス・ドラ
 イブ・5775

最終頁に続く

(54) 【発明の名称】セル内に複数の磁気トンネル接合デバイスを備えたOTPスキーム

(57) 【特許請求の範囲】

【請求項 1】

ワンタイムプログラマブルメモリアレイユニットセルであって、前記ワンタイムプログラマブルメモリアレイユニットセルは、

ソースノードおよびドレインノードを有し、プログラミングおよび検知を可能にするアクセストランジスタであって、前記ソースノードおよび前記ドレインノードのうちの一方は固定電位に結合される、アクセストランジスタと、

前記ワンタイムプログラマブルメモリアレイユニットセル内の前記アクセストランジスタの前記ソースノードおよび前記ドレインノードのうちの他方と第1のビットラインとの間に結合された第1の磁気トンネル接合デバイスと、

前記ワンタイムプログラマブルメモリアレイユニットセル内の前記アクセストランジスタの前記ソースノードおよび前記ドレインノードのうちの前記他方と第2のビットラインとの間に結合された第2の磁気トンネル接合デバイスと、

前記第1のビットラインに結合された第1の検知增幅器と、

前記第2のビットラインに結合された第2の検知增幅器と、

前記第1の検知增幅器の出力部に結合された第1のORゲート入力部と前記第2の検知增幅器の出力部に結合された第2のORゲート入力部とを含む、論理ORゲート回路と、

前記第1の磁気トンネル接合デバイスおよび前記第2の磁気トンネル接合デバイスに結合されたプログラミング回路であって、前記第1の磁気トンネル接合デバイスを第1の電圧源に順次結合し、前記第1の電圧源から前記第2の磁気トンネル接合デバイスを分離し、次い

10

20

で、前記第2の磁気トンネル接合デバイスを前記第1の電圧源に結合し、前記第1の電圧源から前記第1の磁気トンネル接合デバイスを分離するように構成され、前記第1の電圧源は、前記第1の磁気トンネル接合デバイスに関連する第1の障壁層および前記第2の磁気トンネル接合デバイスに関連する第2の障壁層を絶縁破壊するのに十分であり、前記プログラミング回路は、前記第1の検知増幅器および前記第2の検知増幅器のうちのいずれかが有効化される場合、前記第1の磁気トンネル接合デバイスおよび前記第2の磁気トンネル接合デバイスから前記第1の電圧源を分離するようにさらに構成される、プログラミング回路とを含む、メモリアレイユニットセル。

【請求項2】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システムユニット、ポータブルデータユニット、および/または固定位置データユニットに内蔵される、請求項1に記載のメモリアレイユニットセル。 10

【請求項3】

ワンタイムプログラマブルメモリアレイユニットセルを実装するための方法であって、第1のプログラミングドライバが、第1の電圧源ノードを第1の磁気トンネル接合部および直列に結合されたアクセストランジスタのみに結合することを可能にするステップと、

第2のプログラミングドライバが、前記第1の電圧源ノードを第2の磁気トンネル接合部および直列に結合された前記アクセストランジスタのみに結合することを可能にするステップと、 20

前記第1のプログラミングドライバが有効化されながら、前記第2のプログラミングドライバを無効化するステップと、

前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から前記第1の電圧源ノードを分離するために前記第1のプログラミングドライバおよび前記第2のプログラミングドライバを無効化するステップと、

前記第1の電圧源ノードが前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から分離されながら、第1の検知増幅器出力を生成するために第1の検知増幅器によって前記第1の磁気トンネル接合部を通る第1の電流を検知するステップと、

前記第1の電圧源ノードが前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から分離されながら、第2の検知増幅器出力を生成するために第2の検知増幅器によって前記第2の磁気トンネル接合部を通る第2の電流を検知するステップと、 30

前記第1の検知増幅器出力および/または前記第2の検知増幅器出力のうちのいずれかまたは両方が生成される場合、前記ワンタイムプログラマブルメモリアレイユニットセルの出力を生成するために前記第1の検知増幅器出力と前記第2の検知増幅器出力を論理的に結合するステップと

を含む、方法。

【請求項4】

ワンタイムプログラマブルアレイユニットセルを、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システムユニット、ポータブルデータユニット、および/または固定位置データユニットに内蔵するステップをさらに含む、請求項3に記載の方法。 40

【請求項5】

ワンタイムプログラマブルメモリアレイユニットセルであって、前記ワンタイムプログラマブルメモリアレイユニットセルは、

ソースノードおよびドレインノードを有し、プログラミングおよび検知を可能にするアクセストランジスタであって、前記ソースノードおよび前記ドレインノードのうちの一方は固定電位に結合される、アクセストランジスタと、

前記ワンタイムプログラマブルメモリアレイユニットセル内の前記アクセストランジスタの前記ソースノードおよび前記ドレインノードのうちの他方と第1のビットラインとの 50

間に結合された第1のプログラマブル要素と、

前記ワンタイムプログラマブルメモリアレイユニットセル内の前記アクセストランジスタの前記ソースノードおよび前記ドレインノードのうちの前記他方と第2のビットラインとの間に結合された第2のプログラマブル要素と、

前記第1のビットラインに結合された第1の検知増幅器と、

前記第2のビットラインに結合された第2の検知増幅器と、

前記第1の検知増幅器の出力部に結合された第1のORゲート入力部と前記第2の検知増幅器の出力部に結合された第2のORゲート入力部とを含む、論理ORゲート回路と、

前記第1のプログラマブル要素および前記第2のプログラマブル要素に結合されたプログラミング回路であって、前記第1のプログラマブル要素を第1の電圧源に順次結合し、前記第1の電圧源から前記第2のプログラマブル要素を分離し、次いで、前記第2のプログラマブル要素を前記第1の電圧源に結合し、前記第1の電圧源から前記第1のプログラマブル要素を分離するように構成され、前記第1の電圧源は、前記第1のプログラマブル要素に関連する第1の障壁層および前記第2のプログラマブル要素に関連する第2の障壁層を絶縁破壊するのに十分であり、前記プログラミング回路は、前記第1の検知増幅器および前記第2の検知増幅器のうちのいずれかが有効化される場合、前記第1のプログラマブル要素および前記第2のプログラマブル要素から前記第1の電圧源を分離するようにさらに構成される、プログラミング回路と

を含む、メモリアレイユニットセル。

【請求項 6】

前記第1の検知増幅器の出力部および前記第2の検知増幅器の出力部に結合された論理比較回路をさらに含む、請求項5に記載のメモリアレイユニットセル。

【請求項 7】

前記第1のプログラマブル要素および/または前記第2のプログラマブル要素は、eヒューズを含む、請求項5に記載のメモリアレイユニットセル。

【請求項 8】

前記第1のプログラマブル要素および/または前記第2のプログラマブル要素は、抵抗性メモリ要素を含む、請求項5に記載のメモリアレイユニットセル。

【請求項 9】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システムユニット、ポータブルデータユニット、および/または固定位置データユニットに内蔵される、請求項5に記載のメモリアレイユニットセル。

【請求項 10】

ワンタイムプログラマブルメモリアレイユニットセルであって、前記ワンタイムプログラマブルメモリアレイユニットセルは、

前記ユニットセルの第1の電圧源を、第1の磁気トンネル接合デバイスおよび互いに直列に直接結合された前記ユニットセルのアクセストランジスタのみに結合するための第1の手段と、

前記ユニットセルの前記第1の電圧源を、第2の磁気トンネル接合部および互いに直列に直接結合された前記ユニットセルの前記アクセストランジスタのみに結合するための第2の手段であって、

結合するための前記第2の手段が有効化される場合は、結合するための前記第1の手段は無効化され、結合するための前記第1の手段が有効化される場合は、結合するための前記第2の手段は無効化され、

第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から前記第1の電圧源を分離するための手段と、

第1の出力を生成するために前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から前記第1の電圧源が分離されながら、前記第1の磁気トンネル接合部を通る電流を検知するための第1の手段と、

10

20

30

40

50

第2の出力を生成するために前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から前記第1の電圧源が分離されながら、前記第2の磁気トンネル接合部を通る電流を検知するための第2の手段と、

前記第1の出力および/または前記第2の出力のうちのいずれかまたは両方が生成される場合、前記第1の出力と前記第2の出力を論理的に結合し、前記ユニットセルの出力を生成するための手段と

を含む、

ワンタイムプログラマブルメモリアレイユニットセル。

【請求項 1 1】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システムユニット、ポータブルデータユニット、および/または固定位置データユニットに内蔵される、請求項10に記載のワンタイムプログラマブルメモリアレイユニットセル。10

【請求項 1 2】

ワンタイムプログラマブルメモリアレイユニットセルを実装するための方法であって、
第2のプログラミングドライバを無効にして、前記ユニットセルの第2の磁気トンネル接合部から第1の電圧供給源を分離しながら、第1のプログラミングドライバが、前記ユニットセルの前記第1の電圧供給源を、第1の磁気トンネル接合部および互いに直列に直接結合されたアクセストランジスタのみに結合することを可能にするステップと、

前記第1のプログラミングドライバを無効にして、前記第1の磁気トンネル接合部から前記第1の電圧供給源を分離しながら、前記第2のプログラミングドライバが、前記ユニットセルの前記第1の電圧供給源を、前記第2の磁気トンネル接合部および互いに直列に直接結合された前記アクセストランジスタのみに結合することを可能にするステップと、20

前記第1の磁気トンネル接合部および前記第2の磁気トンネル接合部から前記第1の電圧供給源を分離するために前記第1のプログラミングドライバおよび前記第2のプログラミングドライバを無効化するステップと、

第1の検知增幅器出力を生成するために前記第1の磁気トンネル接合部から前記第1の電圧供給源が分離されながら、第1の検知增幅器が、前記第1の磁気トンネル接合部に検知電流を提供することを可能にするステップと、

第2の検知增幅器出力を生成するために前記第2の磁気トンネル接合部から第2の電圧供給源ノードが分離されながら、第2の検知增幅器が、前記第2の磁気トンネル接合部に検知電流を提供することを可能にするステップと、30

前記第1の検知增幅器および/または前記第2の検知增幅器のうちのいずれかまたは両方が生成される場合、前記ワンタイムプログラマブルメモリアレイユニットセルの出力を生成するステップと

を含む、方法。

【請求項 1 3】

前記ワンタイムプログラマブルメモリアレイユニットセルを、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システムユニット、ポータブルデータユニット、および/または固定位置データユニットに内蔵するステップをさらに含む、請求項12に記載の方法。40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は、概して、磁気トンネル接合(MTJ)デバイスを有するワンタイムプログラミングデバイスに関する。より詳細には、本開示は、スピントラנסファートルク磁気ランダムアクセスメモリ(STT-MRAM)デバイスのセル内の複数のMTJデバイスに関する。

【背景技術】

【0 0 0 2】

従来のランダムアクセスメモリ(RAM)チップ技法とは異なり、磁気RAM(MRAM)では、データは電荷として記憶されず、代わりに記憶要素の磁気分極によって記憶される。記憶要素は、トンネリング層によって分離された2つの強磁性層から形成される。固定層またはピンド層と呼ばれる、2つの強磁性層のうちの1つは、特定の方向に固定された磁化を有する。フリー層と呼ばれる他方の強磁性磁気層は、フリー層の磁化が固定層の磁化と反平行である場合には「1」を表し、もしくは、フリー層の磁化が固定層の磁化と平行である場合には「0」を表すように、またはこの逆となるように変化し得る、磁化方向を有する。固定層、トンネリング層、およびフリー層を有する1つのそのようなデバイスは、磁気トンネル接合(MTJ)である。MTJの電気抵抗は、フリー層の磁化および固定層の磁化が、互いに平行であるか、または反平行であるかに依存する。MRAMなどのメモリデバイスは、個別にアドレス可能なMTJのアレイから構築される。

10

【0003】

従来のMRAMにデータを書き込むには、臨界スイッチング電流を超える書き込み電流がMTJを通るように流される。臨界スイッチング電流を超える書き込み電流は、フリー層の磁化方向を変えるのに十分である。書き込み電流が第1の方向に流れる場合、MTJは、第1の状態にされるか、または第1の状態にとどまる可能性があり、第1の状態では、そのフリー層の磁化方向および固定層の磁化方向が、平行な向きに揃う。書き込み電流が第1の方向と反対の第2の方向に流れる場合、MTJは、第2の状態にされるか、または第2の状態にとどまる可能性があり、第2の状態では、そのフリー層の磁化および固定層の磁化が、反平行の向きにある。

20

【0004】

従来のMRAMにおいてデータを読み取るには、MTJにおいてデータを書き込むのに使用されるのと同じ電流経路を介して読み取り電流がMTJを通って流れる。MTJのフリー層および固定層の磁化が互いに平行に向いている場合、MTJは、フリー層および固定層の磁化が反平行の向きにある場合にMTJが示すであろう抵抗値とは異なる抵抗値を示す。従来のMRAMでは、2つの異なる状態は、MRAMのビットセル内のMTJの2つの異なる抵抗値によって定義される。2つの異なる抵抗値は、MTJによって記憶される論理「0」および論理「1」の値を表す。

【0005】

磁気ランダムアクセスメモリのビットセルは、概して、メモリ要素(たとえば、MRAMの場合にはMTJ)のパターンを含む1つまたは複数のアレイの中に配置される。STT-MRAM(スピントランスマートルク磁気ランダムアクセスメモリ)は、不揮発性、eDRAM(埋込みダイナミックランダムアクセスメモリ)に匹敵する速度、eSRAM(埋込みスタティックランダムアクセスメモリ)よりも小さいチップサイズ、無制限の読み取り/書き込み耐久性、および低アレイ漏れ電流の利点を有する新しい不揮発性メモリである。

30

【発明の概要】

【課題を解決するための手段】

【0006】

本開示の態様は、固定電位に結合されたアクセストランジスタと、ワンタイムプログラマブル(OTP)装置のユニットセル内のアクセストランジスタと第1のビットラインとの間に結合された第1の磁気トンネル接合(MTJ)デバイスとを有するOTP装置を含む。OTP装置はまた、ユニットセル内のアクセストランジスタと第2のビットラインとの間に結合された第2のMTJデバイスと、第1のMTJデバイスおよび第2のMTJデバイスに結合されたプログラミング回路とを含む。プログラミング回路は、選択されたMTJデバイスに関連する障壁層を絶縁破壊するのに十分な電圧を印加するために第1のMTJデバイスと第2のMTJデバイスとの間で選択するように構成される。

40

【0007】

別の態様によれば、本開示は、OTP装置のユニットセルを実装するための方法を含む。本方法は、第1のプログラミングドライバが第1の磁気トンネル接合部(MTJ)および直列に結合されたアクセストランジスタのみにわたって電圧を印加することを可能にするステッ

50

プを含む。本方法は、第2のプログラミングドライバが第2のMTJデバイスおよび直列に結合されたアクセストランジスタのみにわたって電圧を印加することを可能にするステップも含み得る。

【0008】

本開示の別の態様によるワンタイムプログラマブル(OTP)装置は、固定電位に結合されたアクセストランジスタと、OTP装置のユニットセル内のアクセストランジスタと第1のビットラインとの間に結合された第1のプログラマブル要素と、ユニットセル内のアクセストランジスタと第2のビットラインとの間に結合された第2のプログラマブル要素デバイスとを含む。OTP装置は、第1のプログラマブル要素および第2のプログラマブル要素に結合されたプログラミング回路も含む。プログラミング回路は、選択されたプログラマブル要素に関連する障壁層を絶縁破壊するのに十分な電圧を印加するために第1のプログラマブル要素と第2のプログラマブル要素との間で選択するように構成される。10

【0009】

さらに別の態様では、OTP装置は、第1の磁気トンネル接合部(MTJ)および直列に結合されたアクセストランジスタのみにわたって電圧を印加するための手段と、第2のMTJデバイスおよび直列に結合されたアクセストランジスタのみにわたって電圧を印加するための手段とを含む。

【0010】

別の態様によれば、本開示は、ワンタイムプログラマブル(OTP)セルを形成するための方法を含む。本方法は、アクセストランジスタを固定電位に結合するステップと、第1の磁気トンネル接合(MTJ)デバイスをOTP装置のユニットセル内のアクセストランジスタと第1のビットラインとの間に結合するステップとを含む。本方法はまた、第2のMTJデバイスをユニットセル内のアクセストランジスタと第2のビットラインとの間に結合するステップと、プログラミング回路を第1のMTJデバイスおよび第2のMTJデバイスに結合するステップとを含む。プログラミング回路は、選択されたMTJデバイスに関連する障壁層を絶縁破壊するのに十分な電圧を印加するために第1のMTJデバイスと第2のMTJデバイスとの間で選択するように構成される。20

【0011】

上記は、以下の詳細な説明がより良く理解され得るように、本開示の特徴および技術的な利点を、かなり広く概説したものである。本開示のさらなる特徴および利点は、以下で説明される。本開示と同じ目的を実行するための他の構造を修正または設計するための基礎として、本開示が容易に利用され得ることを当業者は諒解されたい。そのような均等な構成は、添付の特許請求の範囲に記載される本開示の教示から逸脱しないことも当業者は認識されたい。本開示の特色をなすと思われる新規の特徴は、その組成と動作方法の両方について、さらなる目的および利点とともに、以下の説明を添付の図との関連で考慮したときによりよく理解されるであろう。しかしながら、図の各々は、例示および説明のみを目的として提供され、本開示の範囲を規定するものとして意図されないことを明白に理解されたい。30

【0012】

本開示のより完全な理解のために、ここで、添付の図面と併せて以下の説明を参照する。40

【図面の簡単な説明】

【0013】

【図1】アクセストランジスタに接続された磁気トンネル接合(MTJ)デバイスの図である。

【図2】ワンタイムプログラミング(OTP)デバイスの図である。

【図3】MTJデバイス、およびMTJデバイスをプログラミングし、MTJデバイスを読み取るための回路の図である。

【図4】本開示の態様による、アクセストランジスタに接続されたMTJデバイスの図である。50

【図5】本開示の態様によるOTPデバイスの図である。

【図6】本開示の態様による、OTPデバイスのセルの図である。

【図7】本開示の態様による、OTPデバイスを実装する方法を示すプロセスフロー図である。

【図8】本開示の態様による、OTPデバイスを形成する方法を示すプロセスフロー図である。

【図9】本開示の一構成が有利に採用され得る例示的なワイヤレス通信システムを示すブロック図である。

【図10】一構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される、設計用ワークステーションを示すブロック図である。 10

【発明を実施するための形態】

【0014】

図1は、アクセストランジスタ104に結合された磁気トンネル接合部(MTJ)102を含むワンタイムプログラマブル(OTP)デバイス100を示す。MTJ102のフリー層110は、ビットライン112に結合される。アクセストランジスタ104は、MTJ102の固定層106と固定電位ノード122との間に結合される。トンネル障壁層114は、固定層106とフリー層110との間に結合される。アクセストランジスタ104は、ワードライン118に結合されたゲート116を含む。

【0015】

OTPデバイス100は、事前プログラムされた高抵抗状態およびプログラム可能な低抵抗状態を有する。事前プログラムされた高抵抗状態では、OTP構造体は、キロオームの桁の抵抗値を示す。プログラム可能な低抵抗状態では、トンネル障壁層114は、OTP構造体が百オームの桁の抵抗値を示すようにアンチヒューズ式プログラミング中に絶縁破壊される。OTPデバイス100は、トンネル障壁層114を絶縁破壊するためにMTJ102にわたって十分高い電圧を印加することによってプログラム可能である。たとえば、トンネル障壁層を絶縁破壊するために、約1.8ボルトのプログラム電圧が印加され得る。 20

【0016】

固定層106およびフリー層110を形成するために、合成アンチ強磁性材料が使用され得る。たとえば、固定層106は、CoFeBおよびRuの層と、CoFe層とを含む複数の材料層を含み得る。フリー層110は、CoFeBなどのアンチ強磁性材料である可能性があり、トンネル障壁層114は、たとえば、MgOである可能性がある。 30

【0017】

図2は、OTPメモリマクロ200を示す。マクロ200は、ローカルデータ経路(LDP)202、グローバルデータ経路(GDP)204、セルアレイ206、デコーダ208、およびグローバル制御ユニット210を含み得る。LDP202は、1つまたは複数の検知増幅器およびプログラミング書き込みドライバ(図示せず)を含む。GDP204は、データイン(DIN)212およびデータアウト(DOUT)214などの、信号ラインまたはピンを入力および出力するための回路を含む。グローバルデータ経路204は、誤り訂正コード(ECC)回路(図示せず)を含むこともできる。

【0018】

セルアレイ206は、ワードライン、たとえばワードライン216に対応する複数の行と、ビットライン、たとえばビットライン218に対応する複数の列とを含む。一構成では、セルアレイ206は、64行のワードラインと、256個のビットラインとを有する。セルアレイ206は、ワードライン216およびビットライン218に結合されたユニットセル220などの多数のユニットセルを含む。各ユニットセルは、図1について説明するように、OTPデバイス100を含む。 40

【0019】

図3は、OTPデバイス302を含むユニットセルをプログラミングするためのプログラミングおよび検知用回路300を示す。プログラミングおよび検知用回路300は、プログラミングドライバ回路304および検知回路306を含む。OTPデバイス302は、ビットライン314に結合されたMTJ308と、MTJ308と固定電位ノード316との間に結合されたアクセストランジスタ310とを含む。ワードライン312は、アクセストランジスタ310に結合される。プログラミン 50

グドライバ回路304は、第1のソースノード322とビットライン314との間に結合されたプログラミングトランジスタ318と、プログラミングトランジスタ318に結合されたプログラミング有効化ノード320とを含む。

【0020】

検知回路306は、第2のソースノード330と検知増幅器332の検知入力ノード336との間に結合された読み取り検知増幅器トランジスタ328を含む。第2のソースノード330は、第1のソースノード322と同じノードもしくは同じ電位であるか、または第1のソースノード322とは異なる電位に結合され得る。検知増幅器332は、参照ノード334および出力ノード338も含む。読み取り有効化トランジスタ326は、検知入力ノード336とビットライン314との間に結合される。読み取り有効化ノード340は、読み取り有効化トランジスタ326に結合される。プリチャージトランジスタ324は、ビットライン314と固定電位316との間に結合される。

10

【0021】

ユニットセル302のプログラミング動作中、プログラミング有効化信号が、プログラミング有効化ノード320に印加され、プログラミング有効化ノード320は、MTJ308にわたる十分な電圧がMTJのトンネル障壁層を絶縁破壊するのを可能にする。

【0022】

ユニットセル302の読み取り動作中、プログラミングドライバ304のプログラミング有効化信号320は、オフになり、したがって、ビットライン314に電圧をまったく供給しない。読み取り有効化信号が読み取り有効化ノード340に印加され、読み取り有効化ノード340は、読み取り有効化トランジスタ326をオンにし、読み取り電流がMTJ308を流れるのを可能にする。MTJ308の抵抗値は、検知増幅器332により、参照ノード334の電圧を検知入力ノード336の電圧と比較することによって検知される。

20

【0023】

ビットセルおよびダイの収量(yield)を改善するために、同じプログラミングシグナリングを使用して、2つのOTPセルをともにプログラミングすることができる。2つのOTPセルからの出力は、2つのOTPセルのうちの少なくとも1つが効果的にプログラミングされる場合に適切な出力信号を提供するためのOR回路に結合され得る。しかしながら、ビットセル収量およびダイ収量を改善するために2つのOTPセルを使用することは、チップサイズがほぼ2倍になるという欠点を有する。

【0024】

30

本開示の態様によれば、2つ以上のMTJは、単一のOTPユニットセル内の単一のアクセストランジスタに結合される。本開示の様々な態様がMTJを参照しながら説明されるが、MTJは、たとえば2つのノード間に障壁酸化物を使用するeヒューズまたは抵抗性メモリ要素などの他のプログラマブル要素によって置き換え得ることを理解されたい。OTPユニットセル内のアクセストランジスタのサイズは、全体的に、OTPユニットセル内のMTJのサイズよりもはるかに大きい。OR回路などの論理比較回路が使用される場合、1つのユニットセル内の2つのMTJは、そのセルに情報を提供する。それゆえ、OTPアレイサイズ全体を増加させることなく、本開示の態様による、OTPユニットセル内の1つまたは複数の追加のMTJを含むことによって、ビットセルおよびダイの収量の改善が実現され得る。本開示の一態様によれば、OTPアレイサイズは、場合によっては、第2のローカルデータ経路(LDP)を含むことにより、ならびに/または、追加のMTJおよびビットラインを収容するために論理比較回路を含むことにより、わずかに増加する可能性がある。しかしながら、アレイサイズのこの増加量は、上述のようにビットセルおよびダイの収量を改善するために2つ以上のビットセルを使用することから生じるであろう増加量よりもはるかに小さい。

40

【0025】

図4は、本開示の態様によるOTPユニットセル400を示す。OTPユニットセル400は、固定電位414に結合されたアクセストランジスタ406を含む。ワードライン412は、アクセストランジスタ406に結合される。第1のMTJ402は、アクセストランジスタ406と第1のビットライン408との間に結合される。第2のMTJは、アクセストランジスタ406と第2のビットライン410との間に結合される。本開示の一態様によれば、図3に示すプログラミングドライバ

50

回路304などのプログラミング回路(図示せず)は、第1のMTJ402および第2のMTJ404に結合される。プログラミング回路は、選択されたMTJに関連する障壁層を絶縁破壊するのに十分な電圧を印加するために第1のMTJ402と第2のMTJ404との間に選択するように構成される。

【 0 0 2 6 】

図5は、本開示の態様によるOTPアレイマクロ500を示す。OTPアレイマクロ500は、第1のローカルデータ経路(LDP)504に結合されたOTPセルアレイ502と、第2のLDP506と、グローバルデータ経路(GDP)508と、グローバル制御回路510と、デコーダ回路512とを含む。セル520は、ワードライン516およびビットライン518に結合される。OTPセルアレイ502は、図4に示すOTPユニットセルなどの多数のOTPユニットセル(図示せず)を含む。たとえば、図4に示すOTPユニットセル400などのOTPユニットセル520は、OTPセルアレイ502中のワードライン516およびビットライン518に結合される。10

【 0 0 2 7 】

図6は、本開示の態様による、OTPセル602のためのプログラミングおよび検知用回路600を示す。プログラミングおよび検知用回路は、OTPセル602中の第1のMTJ604に結合された第1の検知増幅器614と、OTPセル602中の第2のMTJ606に結合された第2の検知増幅器616とを含む。第1のプログラミングトランジスタ610は、第1のMTJ604にも結合され、第2のプログラミングトランジスタ612は、第2のMTJ606にも結合される。本開示の一態様によれば、第1の検知増幅器614の出力ノード636および第2の検知増幅器の出力ノード638は、第1の検知増幅器614からの出力と第2の検知増幅器616からの出力との論理比較を提供するためにOR回路618などの論理比較回路に結合される。OTPユニットセル602は、固定電位626およびワードライン624に結合されたアクセストランジスタ608を含む。第1のMTJ604は、アクセストランジスタ608と第1のビットライン620との間に結合される。第2のMTJ606は、アクセストランジスタ608と第2のビットライン622との間に結合される。20

【 0 0 2 8 】

本開示の一態様によれば、第1のMTJ604は、第2のプログラミングトランジスタ612のゲート632に無効化信号を印加しながら、第1のプログラミングトランジスタ610のゲート628に有効化信号を印加することによってプログラミングされる。これにより、第2のMTJ606に影響を及ぼすことなく、第1のMTJ604のトンネル障壁層を絶縁破壊するのに十分な、第1のMTJ604にわたる電圧が可能になる。次いで、第2のMTJ606は、第1のプログラミングトランジスタ610のゲート628に無効化信号を印加しながら、第2のプログラミングトランジスタ612のゲート632に有効化信号を印加することによってプログラミングされる。これにより、第1のMTJ604に影響を及ぼすことなく、第2のMTJ606のトンネル障壁層を絶縁破壊するのに十分な、第2のMTJ606にわたる電圧が可能になる。30

【 0 0 2 9 】

本開示の一態様によれば、第1のプログラミングトランジスタ610および第2のプログラミングトランジスタ612のゲート628、632に無効化信号を最初に印加することによって読み取り動作が実行される。次いで、第1の検知増幅器614と第2の検知増幅器616の両方は、有効化され、第1のMTJ604および第2のMTJ606にそれぞれ検知電流を提供する。第1のMTJ604と第2のMTJ606の両方の電圧および/または抵抗値は、それぞれ、第1の検知増幅器614および第2の検知増幅器616によって検出される。本開示の一態様によれば、論理比較回路618は、検知増幅器出力の論理ORの組合せを生成する。40

【 0 0 3 0 】

別の構成では、単一の検知増幅器のみが提供される。第1のスイッチが、検知増幅器の入力部とビットラインとの間に結合される。第2のスイッチが、検知増幅器の出力部と論理比較回路との間に結合される。動作時は、第1のスイッチは、第1のビットラインを検知増幅器の入力部に結合し、第2のスイッチは、検知増幅器の出力部を論理比較回路の第1の入力部に結合する。次いで、第1のスイッチは、第2のビットラインを検知増幅器の入力部に結合し、第2のスイッチは、検知増幅器の出力部を論理比較回路の第2の入力部に結合する。次いで、論理比較回路は、2つの受け取られた検知増幅器出力に基づいて、その出力50

を生成し得る。

【 0 0 3 1 】

図7は、ワンタイムプログラミング(OTP)デバイスのユニットセルを動作させる方法を示すプロセスフロー図である。方法700は、ブロック702では、第1のプログラミングドライバが第1の磁気トンネル接合部(MTJ)および直列に結合されたアクセストランジスタのみにわたって電圧を印加することを可能にするステップを含む。第2のプログラミングドライバは無効化されるが、第1のプログラミングドライバは有効化される。ブロック704では、方法700は、第2のプログラミングドライバが第2のMTJデバイスおよび直列に接続されたアクセストランジスタのみにわたって電圧を印加することを可能にするステップを含む。第1のプログラミングドライバは無効化されるが、第2のプログラミングドライバは有効化される。10

【 0 0 3 2 】

ブロック706では、本方法は、第1の検知増幅器(SA)出力を生成するために第1の検知増幅器によって第1のMTJを通る電流を検知するステップを含む。ブロック708では、本方法は、第2の検知増幅器出力を生成するために第2の検知増幅器によって第2のMTJを通る電流を検知するステップを含む。ブロック710では、本方法は、第1の検知増幅器出力と第2の検知増幅器出力との論理ORの組合せを生成するステップを含む。

【 0 0 3 3 】

本開示の一態様によれば、ワンタイムプログラマブル(OTP)装置は、第1の磁気トンネル接合部(MTJ)および直列に結合されたアクセストランジスタのみにわたって電圧を印加するための手段と、第2のMTJデバイスおよび直列に結合されたアクセストランジスタのみにわたって電圧を印加するための手段とを含む。第1のMTJにわたって電圧を印加するための手段および第2のMTJにわたって電圧を印加するための手段は、たとえば、図6に示すように、第1のプログラミングトランジスタ610および第2のプログラミングトランジスタ612などのプログラミング回路であり得る。20

【 0 0 3 4 】

本開示の一態様によれば、OTP装置はまた、第1の出力を生成するために第1のMTJを通る電流を検知するための手段と、第2の出力を生成するために第2のMTJを通る電流を検知するための手段とを含む。たとえば、図6に示すように、第1のMTJを通る電流を検知するための手段は、第1の検知増幅器614などの検知増幅器回路である可能性があり、第2のMTJを通る電流を検知するための手段は、第2の検知増幅器616などの検知増幅器回路である可能性がある。30

【 0 0 3 5 】

別の構成では、前述の手段は、前述の手段によって挙げられる機能を実行するように構成された任意のモジュールまたは任意の装置とすることができます。特定の手段について説明してきたが、当業者には、開示する構成を実施するのに、開示された手段のすべてが必要とされるとは限らないことが諒解されよう。さらに、本開示に対する注目を維持するために、よく知られているいくつかの手段については説明しなかった。

【 0 0 3 6 】

図8は、ワンタイムプログラマブル(OTP)セルを形成する方法を示すプロセスフロー図である。方法800は、ブロック802では、アクセストランジスタを固定電位に結合するステップを含む。本方法は、ブロック804では、第1の磁気トンネル接合(MTJ)デバイスを、OTP装置のユニットセル内のアクセストランジスタと第1のビットラインとの間に結合するステップを含み、ブロック806では、第2のMTJデバイスを、ユニットセル内のアクセストランジスタと第2のビットラインとの間に結合するステップを含む。ブロック808では、本方法は、プログラミング回路を、第1のMTJデバイスおよび第2のMTJデバイスに結合するステップを含む。プログラミング回路は、選択されたMTJデバイスに関連する障壁層を絶縁破壊するのに十分な電圧を印加するために第1のMTJデバイスと第2のMTJデバイスとの間で選択するように構成される。40

【 0 0 3 7 】

本方法は、ブロック810では、第1の検知増幅器を第1のビットラインに結合するステップを含み、ブロック812では、第2の検知増幅器(SA)を第2のビットラインに結合するステップを含む。ブロック814では、本方法は、OR回路などの論理比較回路を、第1のSAの出力および第2のSAの出力に結合するステップを含む。OR回路は、第1のSAの出力と第2のSAの出力との論理ORの組合せを出力するように構成される。

【0038】

図9は、本開示の一態様が有利に採用され得る例示的なワイヤレス通信システム900を示すブロック図である。例示のために、図9は、3つの遠隔ユニット920、930および950ならびに2つの基地局940を示す。ワイヤレス通信システムは、これよりも多くの遠隔ユニットおよび基地局を有し得ることが認識されよう。遠隔ユニット920、930、および950は、開示されたワンタイムプログラミング(OTP)装置を含むICデバイス925A、925C、および925Bを含む。基地局、スイッチングデバイス、およびネットワーク機器などの他のデバイスも、開示されたワンタイムプログラミング(OTP)装置を含み得ることが認識されよう。図9は、基地局940から遠隔ユニット920、930、および950への順方向リンク信号980と、遠隔ユニット920、930、および950から基地局940への逆方向リンク信号990とを示す。

【0039】

図9では、遠隔ユニット920は携帯電話として示され、遠隔ユニット930はポータブルコンピュータとして示され、遠隔ユニット950はワイヤレスローカルループシステム中の固定位置遠隔ユニットとして示される。たとえば、遠隔ユニットは、携帯電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤー、ビデオプレーヤー、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、またはデータもしくはコンピュータ命令の記憶もしくは取り出しを行う他のデバイス、またはそれらの組合せであり得る。図9は本開示の教示による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットに限定されない。本開示の態様は、開示されたワンタイムプログラミング(OTP)装置を含む多くのデバイスにおいて適切に採用され得る。

【0040】

図10は、上記で開示したワンタイムプログラミング(OTP)装置などの、半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される設計用ワークステーションを示すブロック図である。設計用ワークステーション1000は、オペレーティングシステムソフトウェア、支援ファイル、およびCadenceまたはOrCADなどの設計用ソフトウェアを含むハードディスク1001を含む。設計用ワークステーション1000は、回路1010の設計、またはワンタイムプログラミング(OTP)装置などの半導体構成要素1012の設計を容易にするためにディスプレイ1002も含む。記憶媒体1004は、回路設計1010または半導体構成要素1012を有形に記憶するために提供される。回路設計1010または半導体構成要素1012は、GDSIIまたはGERBERなどのファイル形式で、記憶媒体1004に記憶され得る。記憶媒体1004は、CD-R OM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであり得る。さらに、設計用ワークステーション1000は、記憶媒体1004からの入力を受け入れるか、または記憶媒体1004に出力を書き込むための駆動装置1003を含む。

【0041】

記憶媒体1004に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどの連続書き込みツール用のマスクパターンデータを指定し得る。データは、論理シミュレーションに関連するタイミング図またはネット回路などの論理検証データをさらに含み得る。記憶媒体1004にデータを提供すると、半導体ウェハを設計するためのプロセス数を減少させることによって、回路設計1010または半導体構成要素1012の設計が容易になる。

【0042】

ファームウェアおよび/またはソフトウェアの実装形態の場合、これらの方法は、本明細書に記載された機能を実行するモジュール(たとえば、プロシージャ、関数など)で実装

10

20

30

40

50

され得る。本明細書で説明する方法を実装する際に、命令を有形に具現化する機械可読媒体が使用され得る。たとえば、ソフトウェアコードは、メモリに記憶され、プロセッサユニットによって実行され得る。メモリは、プロセッサユニット内、またはプロセッサユニットの外部に実装され得る。本明細書で使用する「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのうちのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが記憶される特定のタイプの媒体に限定されない。

【 0 0 4 3 】

ファームウェアおよび/またはソフトウェアに実装する場合、機能は、コンピュータ可読媒体に1つまたは複数の命令またはコードとして記憶され得る。例は、データ構造によって符号化されたコンピュータ可読媒体およびコンピュータプログラムによって符号化されたコンピュータ可読媒体を含む。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスされ得る入手可能な媒体であり得る。限定ではなく、例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するのに使用することができ、かつコンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書で使用されるディスク(diskおよびdisc)は、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびブルーレイディスク(disc)を含み、ディスク(disk)は通常、データを磁気的に再生するが、ディスク(disc)はデータをレーザによって光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含めるべきである。

【 0 0 4 4 】

コンピュータ可読媒体に記憶するのに加えて、命令および/またはデータは、通信装置に含まれる伝送媒体上の信号として与えられ得る。たとえば、通信装置は、命令およびデータを示す信号を有するトランシーバを含み得る。命令およびデータは、1つまたは複数のプロセッサに特許請求の範囲で概説される機能を実装させるように構成される。

【 0 0 4 5 】

ORゲートなどの特定の回路を開示してきたが、他の論理ゲートが意図される。

【 0 0 4 6 】

本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって規定される本開示の技術から逸脱することなく、本明細書において様々な変更、代用、および改変が行われることを理解されたい。たとえば、「上」および「下」などの関係性の用語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、組成物、手段、方法、およびステップの特定の構成に限定されることは意図されない。当業者が本開示から容易に諒解するように、本明細書で説明した対応する構成と実質的に同じ機能を実行するか、または実質的に同じ結果を実現する、現存するまたは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをその範囲内に含むことが意図される。

【 符号の説明 】

【 0 0 4 7 】

- 100 ワンタイムプログラマブル(OTP)デバイス
- 102 磁気トンネル接合部(MTJ)
- 104 アクセストランジスタ
- 106 固定層

10

20

30

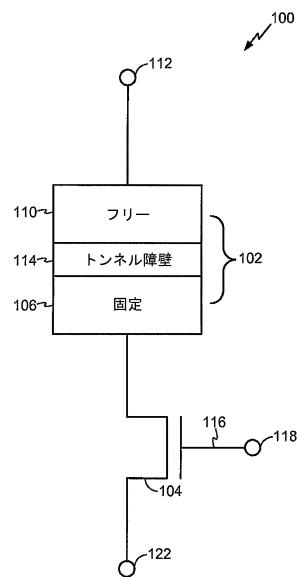
40

50

110	フリー層	
112	ビットライン	
114	トンネル障壁層	
116	ゲート	
118	ワードライン	
122	固定電位ノード	
200	OTPメモリマクロ	
202	ローカルデータ経路	
204	グローバルデータ経路	
206	OTPセルアレイ	10
208	デコーダ	
210	グローバル制御ユニット	
212	データイン	
214	データアウト	
216	ワードライン	
218	ビットライン	
220	ユニットセル	
300	プログラミングおよび検知用回路	
302	OTPデバイス	
304	プログラミングドライバ回路	20
306	検知回路	
308	MTJ	
310	アクセストランジスタ	
312	ワードライン	
314	ビットライン	
316	固定電位、固定電位ノード	
318	プログラミングトランジスタ	
320	プログラミング有効化ノード	
322	第1のソースノード	
324	プリチャージトランジスタ	30
326	読み取り有効化トランジスタ	
328	読み取り検知增幅器トランジスタ	
330	第2のソースノード	
332	検知增幅器	
334	参照ノード	
336	検知入力ノード	
338	出力ノード	
340	読み取り有効化ノード	
400	OTPユニットセル	
402	第1のMTJ	40
404	第2のMTJ	
406	アクセストランジスタ	
408	第1のビットライン	
410	第2のビットライン	
412	ワードライン	
414	固定電位	
500	OTPアレイマクロ	
502	OTPセルアレイ	
504	第1のローカルデータ経路	
506	第2のローカルデータ経路	50

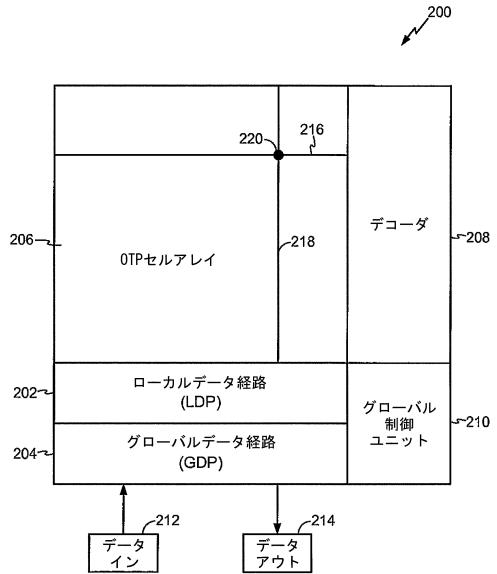
508	グローバルデータ経路	
510	グローバル制御回路	
512	デコーダ	
516	ワードライン	
518	ピットライン	
520	OTPユニットセル	
600	プログラミングおよび検知用回路	
602	OTPセル	
604	第1のMTJ	10
606	第2のMTJ	
608	アクセストランジスタ	
610	第1のプログラミングトランジスタ	
612	第2のプログラミングトランジスタ	
614	第1の検知増幅器	
616	第2の検知増幅器	
618	論理比較回路	
620	第1のピットライン	
622	第2のピットライン	
628	ゲート	
632	ゲート	20
636	出力ノード	
638	出力ノード	
900	ワイヤレス通信システム	
920	遠隔ユニット	
925A	ICデバイス	
925B	ICデバイス	
925C	ICデバイス	
930	遠隔ユニット	
940	基地局	
950	遠隔ユニット	30
980	順方向リンク信号	
990	逆方向リンク信号	
1000	設計用ワークステーション	
1001	ハードディスク	
1002	ディスプレイ	
1003	駆動装置	
1004	記憶媒体	
1010	回路	
1012	半導体構成要素	

【図1】



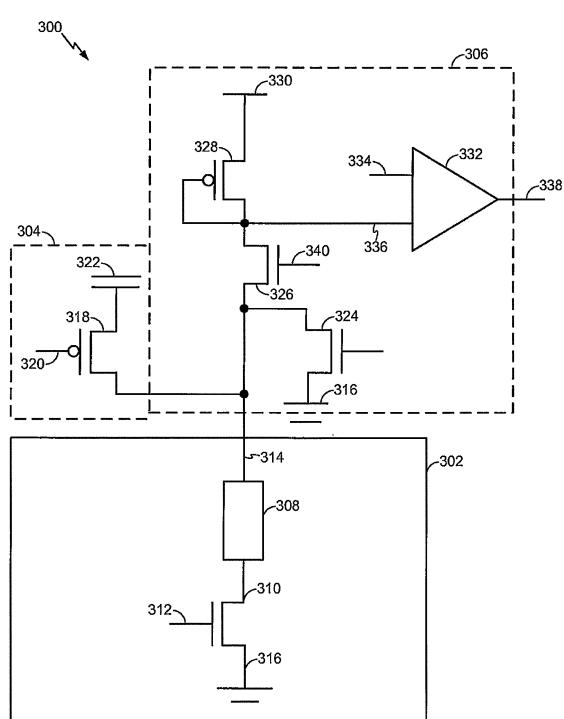
従来の技術

【図2】



従来の技術

【図3】



従来の技術

【図4】

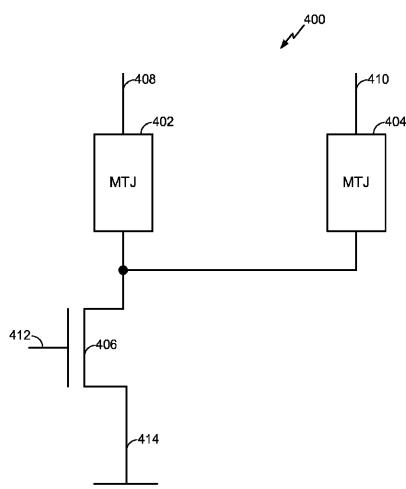
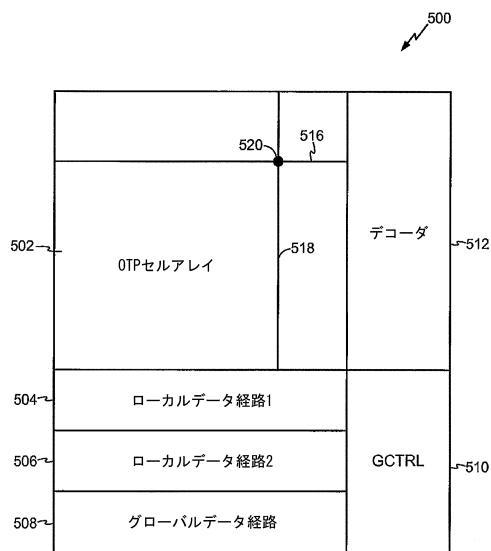
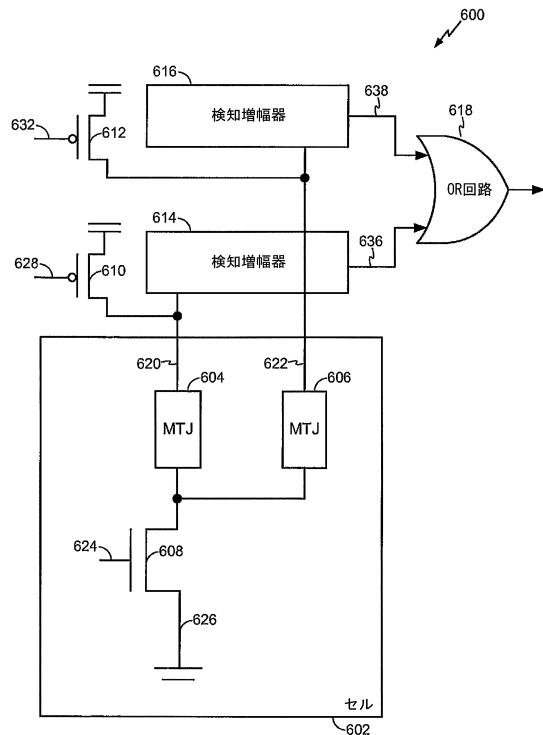


FIG. 4

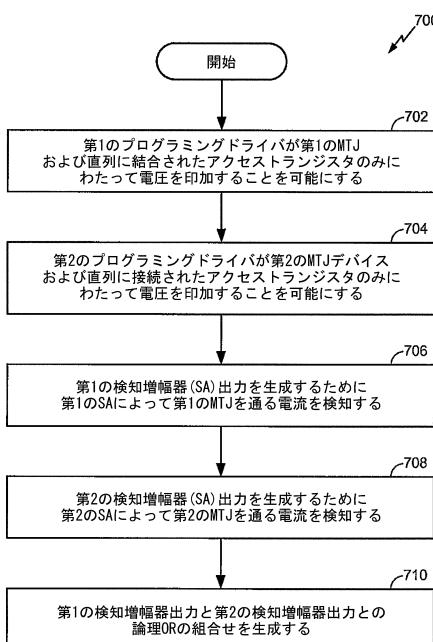
【図5】



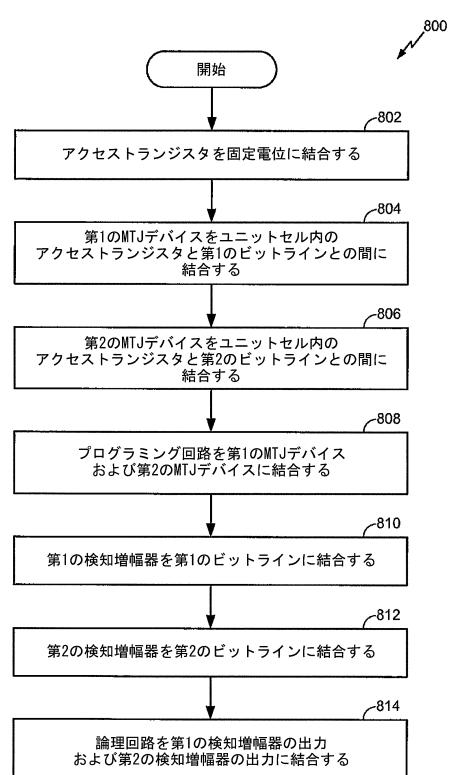
【図6】



【図7】



【図8】



【図9】

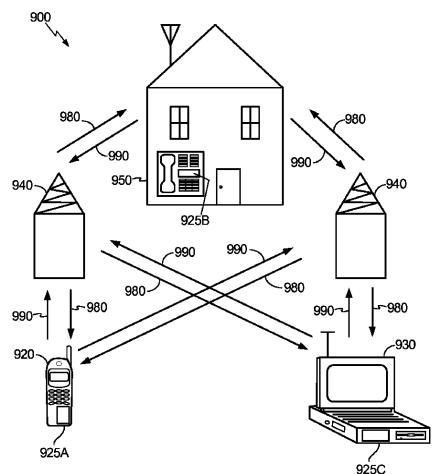


FIG. 9

【図10】

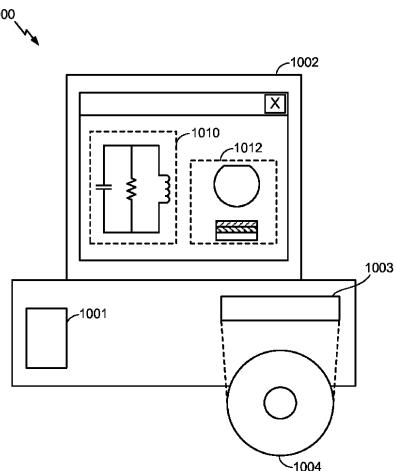


FIG. 10

フロントページの続き

(51)Int.Cl.

F I

G 1 1 C 29/00 6 0 3 X
G 0 6 F 12/16 3 1 0 J

(72)発明者 テヒュン・キム

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

(72)発明者 スンリュル・キム

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

(72)発明者 カンホ・イ

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577
5

審査官 後藤 彰

(56)参考文献 特表2010-507255(JP,A)

米国特許出願公開第2007/0195629(US,A1)

国際公開第2005/076280(WO,A1)

特開2004-199833(JP,A)

特表2013-537679(JP,A)

特開2004-186553(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 11 / 1 5

G 1 1 C 17 / 1 4

G 1 1 C 29 / 0 0

G 0 6 F 12 / 1 6