

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4094809号
(P4094809)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

| (51) Int.Cl. | | F I | |
|-------------------|------------------|------------|---|
| HO4L 27/18 | (2006.01) | HO4L 27/18 | B |
| HO3M 13/25 | (2006.01) | HO3M 13/25 | |
| HO4L 1/00 | (2006.01) | HO4L 1/00 | B |
| HO4L 27/00 | (2006.01) | HO4L 27/00 | B |

請求項の数 2 (全 12 頁)

| | | | |
|---------------|-------------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願2000-519534 (P2000-519534) | (73) 特許権者 | 502086784 |
| (86) (22) 出願日 | 平成10年10月22日 (1998.10.22) | | エリクソン インコーポレイテッド |
| (65) 公表番号 | 特表2001-522198 (P2001-522198A) | | ERICSSON INC. |
| (43) 公表日 | 平成13年11月13日 (2001.11.13) | | アメリカ合衆国 テキサス州 75024 |
| (86) 国際出願番号 | PCT/US1998/022470 | | , プラノ, レガシー ドライブ 6300 |
| (87) 国際公開番号 | W01999/023798 | | 6300 Legacy Drive, P |
| (87) 国際公開日 | 平成11年5月14日 (1999.5.14) | | lano, Texas 75024, U. |
| 審査請求日 | 平成17年10月11日 (2005.10.11) | | S. A. |
| (31) 優先権主張番号 | 08/963, 482 | (74) 代理人 | 100076428 |
| (32) 優先日 | 平成9年11月3日 (1997.11.3) | | 弁理士 大塚 康徳 |
| (33) 優先権主張国 | 米国 (US) | (74) 代理人 | 100112508 |
| | | | 弁理士 高柳 司郎 |
| | | (74) 代理人 | 100115071 |
| | | | 弁理士 大塚 康弘 |

最終頁に続く

(54) 【発明の名称】 時間可変格子符号

(57) 【特許請求の範囲】

【請求項1】

入力データ・ストリームの符号化装置であって：

a. 第1の選択された符号率で前記入力データ・ストリーム符号化し、中間符号化出力を生成する畳み込み符号化器と；

b. 前記中間符号化出力をパンクチャして第1符号化出力を生成するためのパンクチャ・バッファを含み、ここでパンクチャ・バッファはパンクチャ周期とパンクチャ・パタンを、何れのパンクチャ周期の間に生成される出力ビットの総数が一定となるように周期的に変更する、前記符号化装置。

【請求項2】

請求項1記載の符号化装置が更に、前記パンクチャ段の符号化出力を信号配列座の上にマッピングするためのマッピング器を含む、前記符号化装置。

【発明の詳細な説明】

【0001】

(技術分野)

本発明は一般的には格子符号変調を用いたデータ送信方法に係わり、更に詳細には時間可変格子符号を組み込んだ符号変調技法に関する。

【0002】

(背景技術)

格子符号変調はチャンネル容量を増大させ、ビット誤り性能を改善する、符号化と変調と

を結合するための技術である。この符号化変調技法は、ウンゲルベック (Ungerboeck) 著、 세미나論文「多重レベル位相信号によるチャンネル符号化 (Channel Coding With Multilevel Phase Signal)」、IEEE Transaction on Information Theory, Vol IT-28, 1982年1月、に記述されているセット・パーティショニングによるマッピングの概念に基づいている。格子符号変調 (TCM) は符号化と変調操作とを組み合わせ、電力または帯域幅を増やすことなく通信システムの信頼性を改善することを可能とする。更に詳細には、TCM技術は高次変調技法を畳み込み型符号化技法とをシステムの送信端で組み合わせ、一方システムの受信端では復調と復号を2つの別々のステップとして実行する代わりに、2つの操作を1つに組み合わせている。

【0003】

典型的なTCM技法は符号化器出力を直接、8-PSK配列座 (constellation) のような信号配列座の上にマッピングする。符号化とマッピング要素との組み合わせは、良好な誤り性能が得られるように共に最適化される。例えば符号化器は入力として2ビットを受けて、3ビット出力を持ってこれが8-PSK配列座にマッピングされる。このような場合、符号化器は2/3率で符号化すると言える、すなわち2入力ビットが3つの符号化出力ビットを生成する。信号配列座内の各々の点は、バイナリ・システムでは2つの取りうる値の1つを取るはずであるので、希望する信号配列座内の点の数の2を底とする対数に等しい数の符号化出力ビットを持つ必要がある。従って、8点配列座が使用されている場合、3つの符号化出力ビット (すなわち $2^3 = 8$ 点) が無ければならない。格子符号が受信されシステム受信機によって復号される際に、格子の各々の分岐は1つの8-PSKシンボルに対応し、これはソフトウェア判定復号を容易にする。

【0004】

しかしながら8-PSK配列座を用いた3/4の様な率を実現する場合は問題を生じる。符号化された出力は信号配列座内の単一信号にマッピングされるのが望ましい。率3/4符号化器の4ビット符号化出力を8-PSKシンボルに、格子分岐毎に1つの8-PSKシンボルのみが存在するようにマッピングする明確な方法は存在しない。先に説明したように2を底とする対数を使用すると、3/4率符号化器は少なくとも16点信号配列座を必要とするはずである。より高次の信号配列座は最終的により広い帯域幅と電力源とを必要とするので、より小さな信号配列座を効率的に使用してTCMアプリケーションで生成された符号化出力ビット・ストリームを変調するための実際的な方法が必要である。

【0005】

(発明の概要)

本発明は格子符号化変調技法を提供し、これは符号化器出力を以前は矛盾すると考えられていた信号配列座に直接マッピングすることを可能とする。例えば、本発明を使用して3/4率符号化器の出力を8点信号配列座の上に直接マッピングすることが可能であり、これは過去には16点配列座が必要であると考えられていたものである。この結果は時間可変格子符号を用いて実現される。

【0006】

時間可変格子符号は可変率符号化器を用いて得られ、これはその出力に希望する信号配列座上に直接マッピングするために正しいビット数を生成する。符号化器の符号化率を周期的な時間間隔で変化させることにより、多数の異なる符号化率が得られる。例えば可変率符号化器は異なる時間間隔で2/3および3/3の符号化率が得られる。この例において、率3/4符号は最初の6入力ビットを率2/3で符号化し、最後の3入力ビットを率3/3で符号化して得られる。最初の6入力ビットは3つの格子段を表し、最後の3入力ビットは4番目の格子段を表す。4つの格子段全体に渡って、全部で9個の入力ビットと12個の出力ビットが存在し、実効的な3/4率を与える。しかしながら各々の段で3出力ビットのみが生成されるので、これは8点信号配列座に直接マッピングできる。

【0007】

本発明の符号化方法を実現する1つのやり方は、異なる符号化率を有する2つの畳み込み符号化器の間で入力データストリームを切り替えることである。畳み込み符号化器はシフ

10

20

30

40

50

トレジスタと結合器とを用いて実現できる。各々の符号化器は同じ数のシフトレジスタ段を含むはずである。入力が1つの符号化器からもう一方へ切り替えられると、その時点まで使用されていた符号化器の内容が別の符号化器の中へシフトされる。

【0008】

本発明の時間可変格子符号を実現する別の方法は、2つの異なるパンクチャ・パターン(puncture pattern)を用いて信号畳み込み符号化器の出力をパンクチャ(puncture)することである。あらかじめ定められた時点で、パンクチャ・パターンが切り替えられ、これによって2つの異なる符号化率を実現される。畳み込み符号化器の格子段を異なるレベルの集合体で集合することにより、結果として格子が時間可変となる。例えば、畳み込み符号化器の格子が状態毎に2つの分岐を持っているとすると、第1パンクチャ・パターンは2つの格子段を覆い、また第2パンクチャ・パターンは3つの格子段を覆うことになる。2つおよび3つの格子段を集合することにより、それぞれ4つの分岐と8つの分岐とを具備した時間可変格子が得られる。

10

【0009】

本発明の時間可変格子符号を実現するための第3の方法は、複数の符号化器を対照表としてメモリ装置の中に格納することである。各々の符号化器は2つの対照表を有し、その1つは符号化器の特定の現在状態に関して各々の入力シンボルの間に生じる状態遷移の情報を含み、もう1つの表は特定の状態遷移を与える符号化器の出力に関する情報を含み。各々の入力シンボルに対して、符号化器はその状態を更新し1つの出力を発生する。あらかじめ定められた時点で、対照表が切り替えられ入力ビットのグループ分けが変更されて時間可変格子が実現される。

20

【0010】

(発明の詳細な説明)

図1は全体として番号10で示され、格子符号化変調技法を採用しているデジタル通信システムを図示する。システム10は一般的に送信機14と受信機30とを含みこれらは通信チャンネル12で結合されている。送信機14は情報源16、ソース符号化器18、チャンネル符号化器20および変調器22を含む。情報源16はソース・データ・ストリームを具備し、これは最終的に受信機30に運ばれる。このソース・データはデジタル化された形式を仮定されており、直接ソース符号化器18に送られる。ソース符号化器18は冗長性を除去するかまたはソース・データ・ストリームをランダム化して、最大の情報内容となるように最適化された情報シーケンスを生成する。このソース符号化器18からの情報シーケンスはチャンネル符号化器20に送られる。

30

【0011】

チャンネル符号化器20は冗長性の要素を情報シーケンスの中に導入するように設計されており、これはソース符号化器18により符号化出力を生成するように供給される。最初は先に説明したソース符号化器18の機能と競合するよう見えるが、実際はチャンネル符号化器20で付加された冗長性が通信システムの誤り訂正能力を強化する働きをする。冗長情報を情報シーケンスの中に制御しながら導入することにより、使用された符号の知識を有する受信機は、その常駐情報を使用して送信中に生じた可能性のある誤りを検出しておそらくは修正することが可能である。

40

【0012】

変調器22は通信チャンネル12へのチャンネル符号化器20のインタフェースをとる。すなわち、変調器22は符号化出力をチャンネル符号化器20から受信し、チャンネル12の物理的特性に適合しチャンネル12の上で効率的に送信される波形を生成する。「信号配列座」という用語はチャンネル符号化器20の符号化出力のマッピングに利用できる、実現可能な信号波形の組を指すためにしばしば使用される。これらの出力波形、または信号配列座技法は一般的に通信システムの簡素化、最適検出性能、電力要求量、または帯域幅利用性のいずれかの観点から選択される。デジタル通信システム変調で使用される典型的な信号配列座は、16QAM、8-PSK、4-PSK等を含む。

【0013】

50

デジタル通信システム 10 の受信機 30 において、復調器 32 は出力波形（これは送信中にチャンネル 12 によって劣化されている）を、与えられた時間で処理し、信号配列座内の考えられる信号のどれで送信されたかを判定する。例えば、バイナリ変調が使用されている場合、復調器 32 は受信した波形を処理し、送信されたビットが 0 または 1 のいずれかを決定する。送信されたシーケンスがチャンネル符号化で導入された冗長性を含む場合、復調器 32 の出力は復号器 34 に送られ、これは元の情報シーケンスをチャンネル符号化器 16 で使用されている符号に関する事前の知識から再構築するように試みる。復調器 32 および復号器 34 の性能の測度は、復号されたシーケンスの中に誤りが生じる頻度である。最終ステップとして、アナログ出力が希望される場合、ソース復号器 36 は出力シーケンスを復号器 34 から受け取り、ソース符号化方法の知識に基づいて信号源 14 からの元信号の再構築を試みる。再構築された信号と元信号の間の違いは、通信システムで導入された歪みの測度である。

10

【 0014 】

次に図 2 を参照すると、格子符号化変調システム用の符号化器構造が示されており、全体として番号 50 で示されている。格子符号化器 50 は畳み込み符号化器 52 と信号マッピング器 60 を含む。畳み込み符号化器 52 は送信されるデータをフォーマットするための特定の誤り制御符号を、その雑音耐性が増加するように実行する。畳み込み符号化器 52 はソース符号化器 16 から提供された情報シーケンスを受信し、高い雑音耐性を有する符号化出力を生成する。この符号化出力は続いて信号マッピング器 60 に送られ、これは続いて符号化出力ビットを適切な信号配列座内の点にマッピングする。マッピング技法は送信されたシーケンスのユークリッド距離が最大と成るように選択される。

20

【 0015 】

改善されたユークリッド距離を保証する方法はセット仕切によるマッピングである。一般的に信号配列座はサブセットに仕切られており、これらのサブセットは全て類似で各々のサブセットが最大距離で分離されるように仕切られている。図 3 は 8 - P S K 信号配列座の仕切の 1 例を示す。信号マッピング器は畳み込み符号化器の符号化出力を 2 グループのビット、 k_1 および k_2 に分割する。 k_1 ビットは信号配列座の仕切を選択するために使用され、一方 k_2 ビットは仕切内の点を選択するために使用されている。セット仕切によるマッピング技術は当業者には良く知られており、本発明の重要な特徴では無いので、この技術の更に詳しい説明は省略する。

30

【 0016 】

本発明の方法は上記の格子符号化変調システムの改善を含む。当業者には理解されるように、畳み込み符号化器 52 は典型的に制御された冗長性の要素を、情報シーケンスに誤り制御ビットを挿入することを通じて加える。結果として、畳み込み符号化器 52 からの符号化出力ビットの数は情報シーケンス内のビット数よりも多くなる。符号化率は情報シーケンス内のビットの符号化出力ビット数に対する比率として定義される。符号化出力ビットの数は変調器またはマッピング器で必要とされる信号配列座の大きさを決定する。

【 0017 】

過去に於いて、希望する信号配列座の上に直接マッピング出来る、正しい数の符号化出力ビットを生成する符号率を選択する必要が有った。例えば、8 点信号配列座が希望された場合、3 つの符号化出力ビットを生成する符号が必要であった。符号率 3 / 4 が希望された場合は、従って符号化出力を信号配列座に直接マッピング出来るようにするためには 16 点信号配列座が必要であった。結果として、過去の技術を採用すると、率 3 / 4 符号化器の 4 ビット符号化出力を 8 点信号配列座にマッピングするための単純な方法は、符号化とマッピングを共に最適化したいと希望する場合は存在しなかった。

40

【 0018 】

本発明はこの問題を時間可変格子符号を用いて解決する。希望する符号率は周期的に切り換えられる複数の符号化器の組み合わせを用いて得られる。各々の符号化器は選択された信号配列座の上に直接マッピングするために正しい数の符号化出力ビットを生成する符号率を有する。符号化器を異なる符号化間隔で交互に入れ替えることにより、通常で有れば

50

選択された信号配列座を用いることは実際的には無い符号化率を得ることが可能である。

【 0 0 1 9 】

例えば、率 $3/4$ 符号が本発明の符号化方法を用いて実現できて、これは 8 - P S K 信号配列座の上に直接マッピングされる。希望する率 $3/4$ 符号を得るために、率 $2/3$ 符号化器および率 $3/3$ 符号化器が異なる時間間隔で採用される。2つの入力ビットが3つの連続した符号化間隔の間に率 $2/3$ 符号化器に提供される。その結果、全部で6入力ビットが処理され、結果として9個の符号化出力ビットが生成される。4番目の符号化間隔において、次の3つの入力ビットが率 $3/3$ 符号化器に提供され、これは3つの符号化出力ビットを生成する。従って4つの符号化間隔の全てに対して、全部で9つの入力ビットと12個の符号化出力ビットが存在し実行的な率として $3/4$ が得られる。好適に各々の符号化間隔において、3つの符号化出力ビットのみが生成され、これは直接 8 - P S K 信号配列座にマッピングできる。

10

【 0 0 2 0 】

本発明の符号化方法は結果として時間可変格子符号となり、これは図4に示されている。図4を参照すると時間可変格子符号を表す格子構造が示されており、全ての符号化間隔において率 $1/4$ 符号と率 $2/4$ 符号の間で交互に変化している。各々の列は符号化間隔または段を表し、各々の円は個別の状態を表す。格子構造の分岐は2つの隣接する符号化間隔内の状態間の遷移を表す。経路は格子構造を通して延びる一連の接続された分岐である。率 $1/4$ 符号が使用される場合、格子構造内の1つの状態毎に2本の分岐が存在する。率 $2/4$ が使用される時、格子構造内の1つの状態毎に4本の分岐が存在する。格子構造を通る全ての経路は符号化器で生成された有効符号ワードの1つの唯一無二のシーケンスに対応する。

20

【 0 0 2 1 】

本発明の符号化方法を実現するには多くの方法が可能である。3つの方法が以下に記述されていて、多重符号化法、パンクチャ法、および対照表法と呼ばれている。多重符号化法では、入力データストリームまたは情報シーケンスは異なる符号率を有する複数の符号化器の間で切り換えられる。パンクチャ法では異なる符号率は、異なるパンクチャ・パターンを信号符号化器の出力に適用することにより実現される。対照表法では、多重符号化器はメモリ装置内の対照表として実現される。プロセッサは適切な出力と状態遷移を与えられた入力および現在状態から「対照」する。

30

【 0 0 2 2 】

図5は上に述べた拡張型格子符号化変調技法の多重符号化器実現方法を図示する。この場合、格子符号化器70は一对の符号化器72と74、1つの入力制御器84、および1つの出力制御器86を含む。符号化器72および74は図6に示すように、シフトレジスタ76、78と結合ノード80、82の形式で実現されている。符号化器72は2つのシフトレジスタ76と4つの結合ノード80を含む。2つのシフトレジスタ76は全部で6個の遅延セルを有する。符号化器72は2つのソース符号化入力ビットを受信し、4つの畳み込み符号化出力ビットを生成し、従って符号率 $2/4$ が実現される。符号化器74は3つのシフトレジスタ78と4つの結合ノード82を含む。3つのシフトレジスタ78はまた全部で6個の遅延セルを有する。しかしながら符号化器74は3つのソース符号化入力ビットを受信し4つの畳み込み符号化出力ビットを生成するように構成されており、従って符号率 $3/4$ が実現される。

40

【 0 0 2 3 】

シフトレジスタ76、78の要素は予め定められた方法で、それぞれの結合ノード80、82に接続されている。各々のノード80、82は入力をシフトレジスタ76、78の1つまたは複数の遅延セルから受信し、結合アルゴリズムのアプリケーションを通して、1つまたは複数のビットを含む単一出力を生成する。このシフトレジスタ内容の処理は動作中の符号化器72、74に対して各々の符号化間隔で実施され、従って4つの符号化出力ビットの全補数を生成する。

【 0 0 2 4 】

50

新たな入力データビットが符号化器 7 2 , 7 4 に与えられると、各々のシフトレジスタ 7 6、7 8 の内容は右へ 1 つ位置をシフトされる。例えば、符号化器 7 2 は 2 つの入力ビットを受信し、これは遅延セル 1 と 4 に挿入され、一方遅延セル 1 および 4 の以前の内容はそれぞれ遅延セル 2 および 5 の中へ右にシフトされる。同様の方法で、先に遅延セル 2 および 5 を占有していたビットがそれぞれ遅延セル 3 および 6 の位置のなかへ右にシフトされる。右へシフトされると、遅延セル 3 および 6 の以前の内容は符号化器 7 2 からシフトされて外に出される。符号化器 7 4 は 3 ビットを受信することを除いて同様の方法で動作する。

【 0 0 2 5 】

符号化器 7 2 および 7 4 は協調して動作し、いずれの符号化器が単独では得ることの出来ない実効符号率を全体として生成する。この協調動作は入力および出力制御器 8 4 および 8 6 によって促進される。実際、これらの制御器 8 4 および 8 6 は単独の、特定符号化器 7 2 , 7 4 を効率的に起動しており、これは選択された符号化器入力端子を情報シーケンスに、また選択された符号化器出力端子を信号マッピング器 6 0 に同時に接続することでなされる。制御器 8 4 , 8 6 が新たな符号化器を選択した時点で、以前の符号化器に関連するシフトレジスタの内容は新たに選択された符号化器の対応するシフトレジスタに移される。例えば符号化器 7 2 がある時間間隔の間動作して、2 つの入力ビットを受信し 4 ビット出力を生成していたと仮定する。次の時間間隔で制御器 5 4 および 5 8 が次に符号化器 7 4 が動作され、一方符号化器 7 2 を停止されるべきと決定する。その結果、停止される符号化器 7 2 の遅延セル 1 から 6 の内容が、動作される符号化器 7 4 の対応する遅延セル 1 から 6 に移される。従って情報シーケンスは符号化器 7 4 に向けられ、ここで 3 ビットがストリームから入力として受け取られ、4 ビット符号化出力が生成されてマッピング器 6 0 に与えられる。この符号化器 7 2 , 7 4 を動作させたり停止する処理は希望する実効符号率が得られるように周期的に実施される。適切に設計することにより、符号化器 7 2 および 7 4 を交代または切り換えることにより実現される実効符号率は、同一の実効符号率が単一符号化器を用いて実現される場合よりもより小さな信号配列座を使用するように変更出来る。

【 0 0 2 6 】

次に図 7 を参照すると、格子符号化器 9 0 が示されており、これは本発明に基づく符号化のパンクチャ法を実現している。格子符号化器 9 0 は畳み込み符号化器 9 2 と一対のパンクチャ・バッファ 9 4 を含む。畳み込み符号化器 9 2 は入力ビット・ストリームをソース符号化器から受け取り、2 ビットを含む中間出力を生成する。従って符号化器 9 2 は実効 1 / 2 符号率を具備する。各々のビットはそれぞれのパンクチャ・バッファ 9 4 に回送され、これは畳み込み符号化器 9 2 の中間出力を一次的に保持する。2 つの異なるパンクチャ・パターンが別々のパンクチャ・パターン表 9 6 の中に格納されており、異なる時間に畳み込み符号化器 9 2 の中間出力をパンクチャするために使用される。

【 0 0 2 7 】

一般的に、パンクチャ式畳み込み符号化器は 1 つまたは複数のビットを中間出力から周期的に除去することにより、より高い率の符号を実現する。典型的に、複数のビットは順番にパンクチャ・バッファ 9 4 の中に、時間間隔毎に 1 ビットがバッファに入るようにロードされる。従って、パンクチャ・バッファを完全に満たすのに必要な時間を此処ではパンクチャ周期と呼ぶが、これはパンクチャ・バッファ 9 4 内に含まれるビット数に比例する。各パンクチャ周期の終わりに、パンクチャ・パターン表 9 6 内に格納されているパンクチャ・パターンがパンクチャ・バッファ 9 4 の内容に適用され、結果として特定のビットがバッファ 9 4 から除去（またはパンクチャ）される。パンクチャ・バッファ 9 4 の残りの内容が続いて出力される。

【 0 0 2 8 】

本発明の方法は必然的にパンクチャ処理の結果の符号化出力ビットの数が一定に残るよう
に要求するので、一定信号配列を使用することを容易とする。これはパンクチャ・バッ
ファ周期と関連するパンクチャ・パターンを注意深く選択することで実現できる。例えば、8

10

20

30

40

50

- P S K 変調技法で使用するために 3 つの符号化出力ビットが要求される場合、3 パンクチャ周期を処理するパンクチャ・バッファ 9 4 が、任意の可変パンクチャ・パターンと組み合わせられて用いられ、これは結果的に全部で 6 ビットから 3 ビットを除去する。結果として全部で 4 ビットから 1 ビットを除去する可変パンクチャ・パターンと一緒に使用される場合は、周期が 2 のパンクチャ・バッファ 9 4 も使用可能であろう。

【 0 0 2 9 】

提示された実施例において、可変符号率はパンクチャ周期とパンクチャ・パターンを格納しているパンクチャ表 9 6 を周期的に切り換えることで実現できる。このパンクチャ・パターンの切り換えの結果、2 つの異なる符号率が得られる。例えば、全部で 6 の中間出力ビットから 3 つを除去することにより、実効符号率は $1 / 1$ となる。全部で 4 の中間出力ビットから 1 つを除去することにより、実効符号率は $2 / 3$ となる。これらの率は中間出力を生成するために率 $1 / 2$ の畳み込み符号化器が使用されていると仮定している。

10

【 0 0 3 0 】

復号は畳み込み符号化器 9 2 の格子構造を 2 つまたは 3 つの格子段に渡って集合する事により実現できる。格子段を異なるレベルの集合体と共に集合することにより（例えば、2 つまたは 3 つの格子段に渡る集合）、格子が時間可変となる。例えば、畳み込み符号化器 9 2 の基本格子が状態毎に 2 本の分岐を持つ場合、2 つの格子段に渡るパンクチャおよび集合の結果、状態毎に 4 本の分岐が得られる。同様に 3 つの格子段に渡るパンクチャおよび集合の結果、状態毎に 8 本の分岐が得られる

【 0 0 3 1 】

図 8 は本発明に基づく対照法を実現する、拡張型格子符号化変調技法の別の実現方法を図示する。この実施例において、2 つの符号化器は対照表として不揮発メモリ装置の中に格納されている。符号化器 1 0 0 はプロセッサ 1 0 2 を含み、これは入力ストリームをソース符号化器 1 8 から受信する。プロセッサ 1 0 2 には第 1 対照表 1 0 4 と第 2 対照表 1 0 6 が接続されている。これらの表 1 0 4 および 1 0 6 は従来型符号化格子の表型表現を具備する。対照表 1 0 4 および 1 0 6 の指標フィールドはソース符号化器から提供される入力ビットと符号化器 1 0 0 の現在状態とを含む。表 1 0 4 および 1 0 6 の出力フィールドは出力ビットと符号化器 1 0 0 の次の状態とを含む。従って、対照表 1 0 4 および 1 0 6 内の各々のレコードは符号化器の現在状態と入力の唯一無二の組み合わせに対応する。

20

【 0 0 3 2 】

任意の時間間隔において、プロセッサ 1 0 2 は対照表 1 0 4 および 1 0 6 の何れを使用するかを決定する。ソース符号化器 1 8 からの入力と符号化器 1 0 0 の現在状態とに基づいて、プロセッサ 1 0 2 は対応する出力と新たな状態とを稼働中の表 1 0 4 , 1 0 6 から「対照」する。選択された出力はマッピング器 6 0 に通される。新たな状態を用いて符号化器 1 0 0 の状態が交信される。周期的な時間間隔で、対照表 1 0 4 , 1 0 6 が切り換えられて時間可変格子が実現される。

30

【 0 0 3 3 】

説明した 3 つの方法のいずれか 1 つで生成された時間可変格子符号はビタビ復号器を用いて復号出来る。ビタビ・アルゴリズムは畳み込み符号に対する最尤復号アルゴリズムである。先に示したように、符号化器で生成された有効符号ワードの各々のシーケンスは格子構造を通る唯一無二の経路の 1 つに対応している。ビタビ・アルゴリズムは、有限個数の格子段に対して同時に 1 つの段に動作し、送信された符号ワードに対応する格子経路を見つけようとする。これは格子構造を通る経路を見つけることに相当する。

40

【 0 0 3 4 】

格子構造の最短経路を見つけるために、復号器は格子の各々の分岐に分岐距離と呼ばれる数値を割り当てる。続いて格子を通る各々の経路に対して、分岐距離の合計である経路距離が割り当てられる。最尤経路（従って最尤符号シーケンス）は最も低い経路距離を具備ものである。ビタビ・アルゴリズムは最少経路距離を見つけるが、これは順に格子を通過して移動し各々の段で、格子の各々のノードに対して、最少経路距離を有する 1 つの「存続経路」を残す。格子の最終段に到達すると、復号器はどの最終「存続経路」が最適である

50

かを決定し、対応するビットを出力する。当業者には良く知られている、ビタビ・アルゴリズムの更に詳細な説明はプロアキス (Proakis) 著、デジタル通信 (Digital Communications) マグロウヒル (McGraw Hill) 発行、に示されている。

【 0 0 3 5 】

次に図 9 を参照すると、本発明の時間可変格子符号を復号するための方法を図示する流れ図が示されている。復号器への入力を受信される (ブロック 202)。入力を受信した後、復号器は 2 つまたはそれより多くの格子構造の中から現在の符号化間隔または段に基づいて選択する (ブロック 204)。適切な格子構造を選択した後、復号器は 1 段分だけ存続経路を延長し、延長された経路セグメントに対する分岐距離を計算し (ブロック 206)、次の段で各々の状態に対する存続経路を決定する (ブロック 208)。続いて復号器は経路履歴を更新する (ブロック 210)。次に復号器は格子の最終段に達したか否かを判定する (ブロック 212)。達していない場合は、現在格子段または符号間隔を示す指標が 1 つ更新され、(ブロック 214) 次の入力を受信される (ブロック 202)。この処理は最終格子段に達するまで繰り返される。復号器は次に格子を唯一の存続経路に沿って遡り、単一の送信されたシーケンスに対応する符号シーケンスを決定する (ブロック 216)。遡り手順の間、復号器はどの格子段に居るかを記録し、各々の段で対応する格子構造を選択しなければならない。存続経路に対応する送信されたシーケンスが復号器から出力される (ブロック 208)。

10

【 0 0 3 6 】

以上より、2 つまたはそれより多くの符号化器の間で周期的に切り換えることにより多数の異なる実効符号率が得られ、それらの出力に希望する信号配列座に直接マッピングする正しい数のビットが得られることが理解されよう。結果として得られた時間可変格子符号は従来型ビタビ・アルゴリズムを用いて復号出来る。本発明の復号方法は符号率を選択し、それを希望する信号配列座に整合させる際により多くの自由度を可能とする。

20

【 0 0 3 7 】

もちろん、本発明は本発明の精神および基本的特徴から逸脱することなくここに示された以外の別の方法で実施できる。従って、本実施例は図示のみを目的としたものであって制限するためのものではなく、添付の特許請求の範囲の意味並びに同等の範囲に入る全ての変更は此処に包含されるものと意図している。

【 図面の簡単な説明 】

30

【 図 1 】 図 1 はデジタル通信システムのブロック図。

【 図 2 】 図 2 は格子符号化変調システムの符号化器構造を示すブロック図。

【 図 3 】 図 3 は 8 - P S K 変調技法用のセット区分けを示す図。

【 図 4 】 図 4 は時間可変格子符号の格子構造を図示する図。

【 図 5 】 図 5 は本発明で使用される符号化器の概念的ブロック図。

【 図 6 】 図 6 は符号化のシフトレジスタ法を実現する符号化器を図示するブロック図。

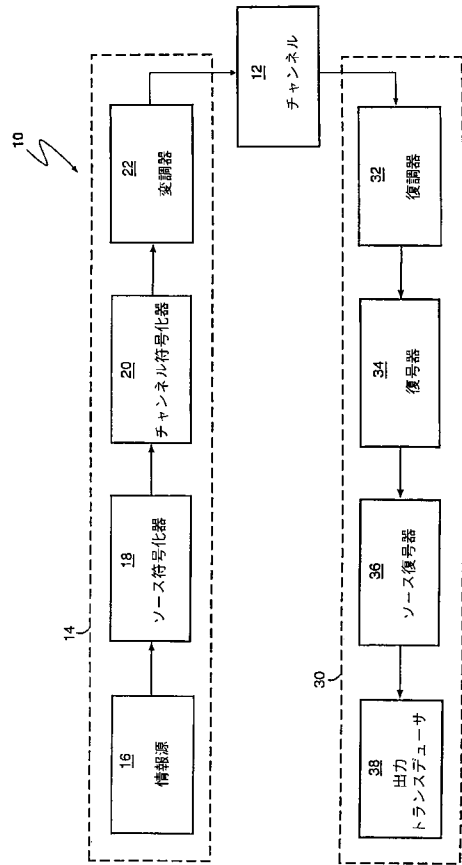
【 図 7 】 図 7 は符号化のパンクチュアリング法を実現する符号化器を図示するブロック図。

【 図 8 】 図 8 は符号化の対照法を実現する符号化器を図示するブロック図。

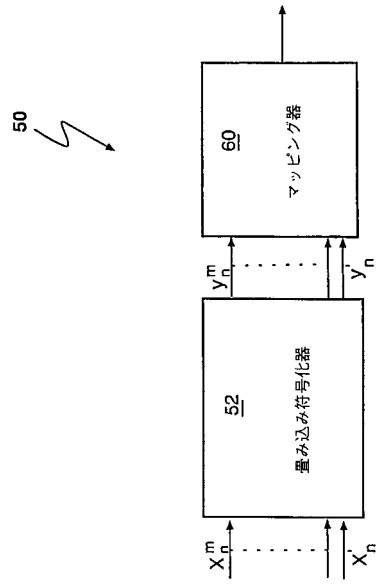
【 図 9 】 図 9 は本発明の時間可変格子符号を復号するための方法を図示する流れ図。

40

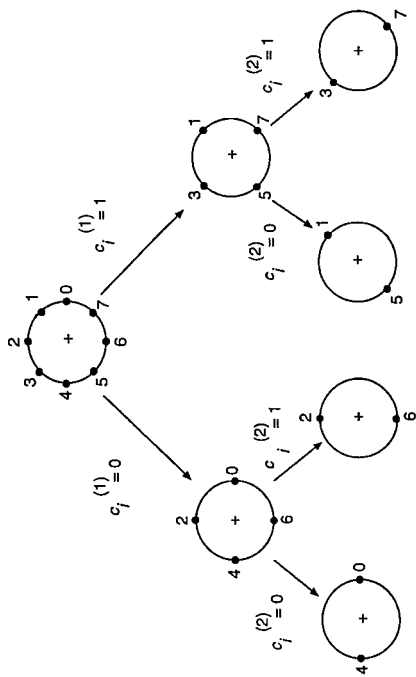
【図1】



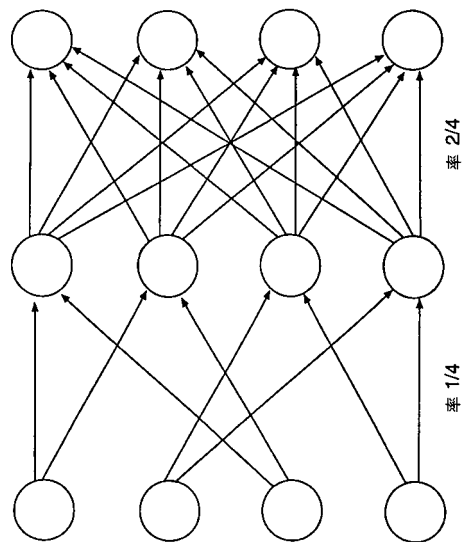
【図2】



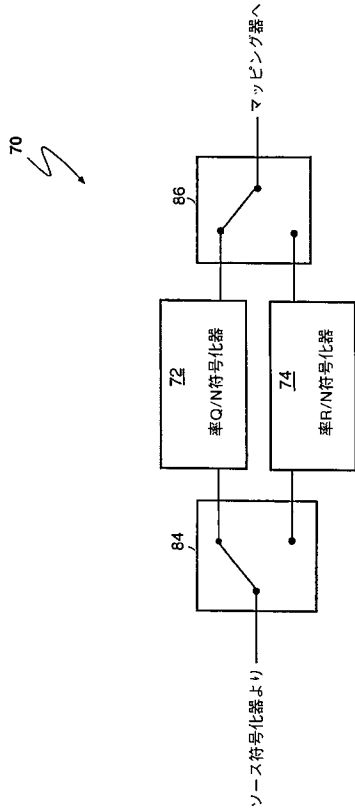
【図3】



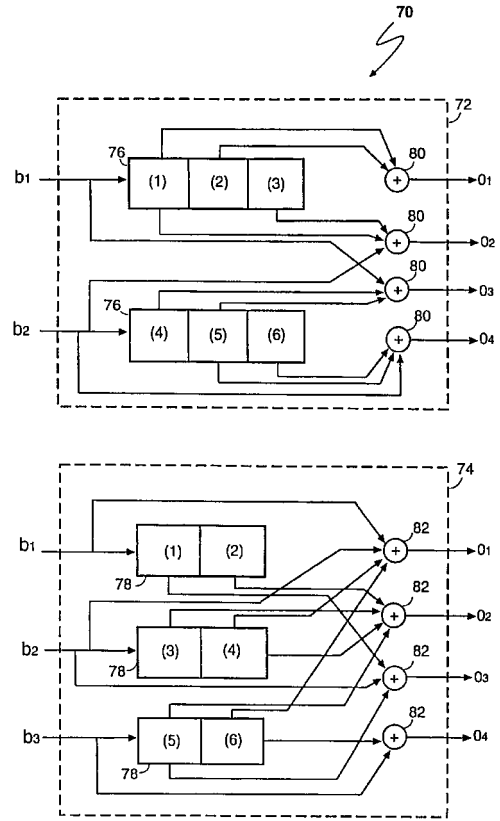
【図4】



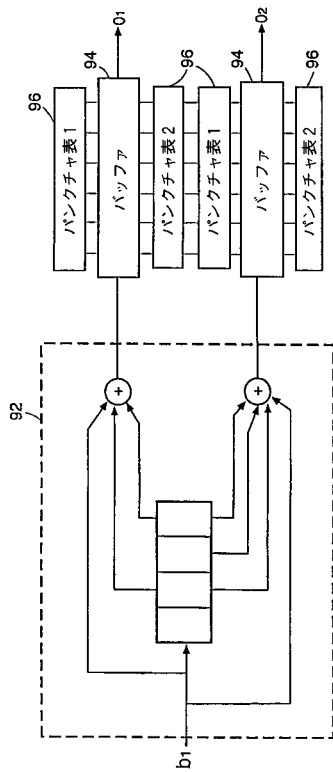
【図5】



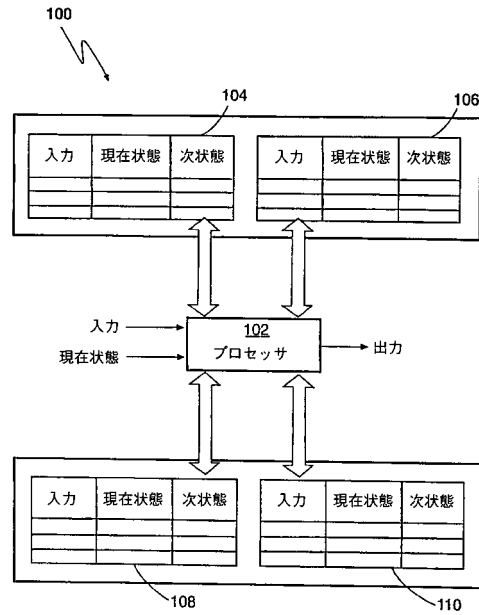
【図6】



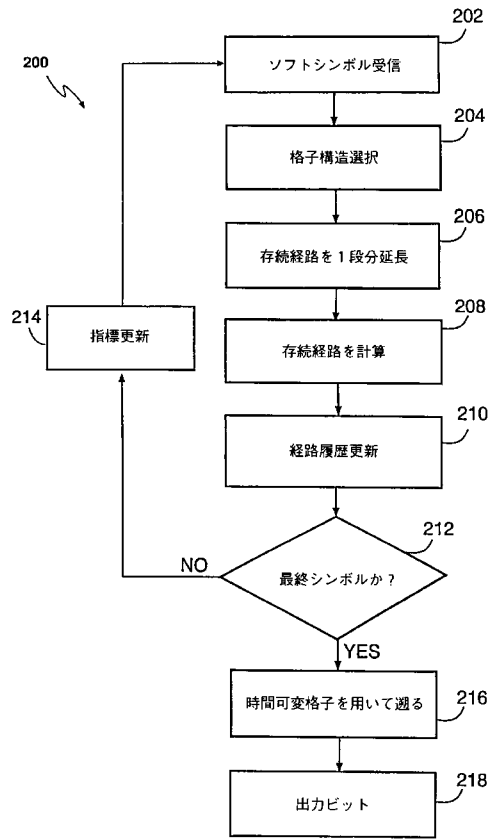
【図7】



【図8】



【図9】



フロントページの続き

- (74)代理人 100116894
弁理士 木村 秀二
- (74)代理人 100130409
弁理士 下山 治
- (74)代理人 100134175
弁理士 永川 行光
- (74)代理人 100134186
弁理士 川畑 洋平
- (74)代理人 100134430
弁理士 加藤 卓士
- (74)代理人 100134474
弁理士 坂田 恭弘
- (74)代理人 100091339
弁理士 清水 邦明
- (74)代理人 100094673
弁理士 林 鈺三
- (72)発明者 ラメシュ、ラジャラム
アメリカ合衆国 ノースカロライナ、ケアライ、ダントン ドライブ 403

審査官 彦田 克文

- (56)参考文献 特表平11-502679(JP,A)
特開平08-046655(JP,A)
特開平08-175853(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/00
H04L 27/18
H04L 1/00
H03M 13/25