

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7649310号
(P7649310)

(45)発行日 令和7年3月19日(2025.3.19)

(24)登録日 令和7年3月11日(2025.3.11)

(51)国際特許分類	F I			
G 0 6 F 11/07 (2006.01)	G 0 6 F	11/07	1 7 5	
G 0 6 F 12/06 (2006.01)	G 0 6 F	12/06	5 5 0 A	
G 0 6 F 12/00 (2006.01)	G 0 6 F	12/00	5 6 0 B	
	G 0 6 F	11/07	1 4 0 N	
	G 0 6 F	12/06	5 1 5 K	
請求項の数 15 (全17頁)				

(21)出願番号	特願2022-540338(P2022-540338)	(73)特許権者	591016172
(86)(22)出願日	令和2年12月8日(2020.12.8)		アドバンスト・マイクロ・デバイス
(65)公表番号	特表2023-508117(P2023-508117 A)		・インコーポレイテッド
(43)公表日	令和5年2月28日(2023.2.28)		ADVANCED MICRO DEVI
(86)国際出願番号	PCT/US2020/063702		CES INCORPORATED
(87)国際公開番号	WO2021/138000		アメリカ合衆国 9 5 0 5 4 カリフォル
(87)国際公開日	令和3年7月8日(2021.7.8)		ニア州、 サンタ クララ、 オーガステ
審査請求日	令和5年11月30日(2023.11.30)	(74)代理人	ンドライブ 2 4 8 5
(31)優先権主張番号	16/730,113		100108833
(32)優先日	令和1年12月30日(2019.12.30)		弁理士 早川 裕司
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100111615
			弁理士 佐野 良太
		(74)代理人	100162156
			弁理士 村雨 圭介
		(72)発明者	ジェームズ アール . マグロ
			最終頁に続く

(54)【発明の名称】 不揮発性メモリモジュールのエラー報告

(57)【特許請求の範囲】

【請求項 1】

揮発性読み取り、揮発性書き込み、不揮発性読み取り及び不揮発性書き込みを含むメモリアクセスコマンドを受信するための第1の入力と、出力と、を有し、複数のエントリを有するコマンドキューと、

前記コマンドキューの出力に結合された入力と、不揮発性ストレージクラスメモリ（SCM）モジュールに結合するための出力と、を有するメモリアンターフェースキューと、

前記不揮発性SCMモジュールに関連するエラー状態を識別して、ホストオペレーティングシステムのエラー監視モジュールに報告するために、前記エラー状態を、前記不揮発性SCMモジュールに関連する第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングするように動作可能な不揮発性エラー報告回路であって、前記マッピングは、前記エラー状態が前記ホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に少なくとも基づいている、不揮発性エラー報告回路と、を備える、

メモリコントローラ。

【請求項 2】

前記不揮発性エラー報告回路は、前記仮想エラータイプを前記ホストオペレーティングシステムの前記エラー監視モジュールに報告するように動作可能である、

請求項1のメモリコントローラ。

【請求項 3】

前記不揮発性エラー報告回路は、前記エラー状態を、ホストデータ処理システムのベースボード管理コントローラに報告するように動作可能である、

請求項 1 のメモリコントローラ。

【請求項 4】

前記エラー状態は、割り込みタイプのエラー及び緊急タイプのエラーを含む、

請求項 1 のメモリコントローラ。

【請求項 5】

前記不揮発性エラー報告回路は、少なくとも前記エラー状態に関連するエラーコードによってインデックス付けされたルックアップテーブルであって、前記エラーコードに関連する仮想エラータイプを含むルックアップテーブルを含む、

請求項 1 のメモリコントローラ。

【請求項 6】

前記マッピングは、前記エラー状態が前記実行可能プロセスに及ぼす影響のタイプの判定を含む、

請求項 1 のメモリコントローラ。

【請求項 7】

データ処理システムのメモリコントローラが実行する方法であって、

揮発性メモリ読み取り、揮発性メモリ書き込み、不揮発性メモリ読み取り及び不揮発性メモリ書き込みを含む複数のメモリアクセス要求を受信することと、

前記メモリアクセス要求を満たすためにメモリアクセスコマンドをメモリインターフェースキューに配置し、前記メモリアクセスコマンドを、前記メモリインターフェースキューから、不揮発性ストレージクラスメモリ (S C M) モジュールに結合されたメモリチャンネルに送信することと、

前記メモリチャンネルを介して受信された情報に基づいて、前記メモリチャンネルに関連するエラー状態を識別することと、

ホストオペレーティングシステムのエラー監視モジュールに報告するために、前記エラー状態を、前記不揮発性 S C M モジュールに関連する第 1 の数の可能性のあるエラー状態から、第 2 のより小さい数の仮想エラータイプにマッピングすることであって、前記マッピングは、前記エラー状態が前記ホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に少なくとも基づいている、ことと、を含む、

方法。

【請求項 8】

前記仮想エラータイプを、前記ホストオペレーティングシステムの前記エラー監視モジュールに報告することを含む、

請求項 7 の方法。

【請求項 9】

前記エラー状態を、ベースボード管理コントローラに報告することを含む、

請求項 7 の方法。

【請求項 10】

前記エラー状態は、割り込みタイプのエラー及び緊急タイプのエラーを含む、

請求項 7 の方法。

【請求項 11】

前記マッピングは、前記エラー状態が前記実行可能プロセスに及ぼす影響のタイプの判定を含む、

請求項 7 の方法。

【請求項 12】

前記マッピングは、前記エラー監視モジュールに報告される重大度レベルの判定を含む、

請求項 7 の方法。

【請求項 13】

10

20

30

40

50

中央処理装置と、
 前記中央処理装置に結合されたデータファブリックと、
 前記データファブリックによって行われるメモリアクセス要求を満たすために前記データファブリックに結合されたメモリコントローラと、を備え、
 前記メモリコントローラは、
 揮発性読み取り、揮発性書き込み、不揮発性読み取り及び不揮発性書き込みを含むメモリアクセスコマンドを受信するための第1の入力と、出力と、を有し、複数のエントリを有するコマンドキューと、
 前記コマンドキューの出力に結合された入力と、不揮発性ストレージクラスメモリ（SCM）モジュールに結合するための出力と、を有するメモリインターフェースキューと、
 前記不揮発性SCMモジュールに関連するエラー状態を識別して、ホストオペレーティングシステムのエラー監視モジュールに報告するために、前記エラー状態を、前記不揮発性SCMモジュールに関連する第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングするように動作可能な不揮発性エラー報告回路であって、前記マッピングは、前記エラー状態が前記ホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に少なくとも基づいている、不揮発性エラー報告回路と、を備える、
 データ処理システム。

10

【請求項14】

前記不揮発性エラー報告回路は、前記仮想エラータイプを前記ホストオペレーティングシステムの前記エラー監視モジュールに報告するように動作可能である、
 請求項13のデータ処理システム。

20

【請求項15】

前記不揮発性エラー報告回路は、少なくとも前記エラー状態に関連するエラーコードによってインデックス付けされたルックアップテーブルであって、前記エラーコードの関連する仮想エラータイプを含むルックアップテーブルを含む、
 請求項13のデータ処理システム。

【発明の詳細な説明】

【背景技術】

【0001】

コンピュータシステムは、通常、安価で高密度のダイナミックランダムアクセスメモリ（DRAM）チップをメインメモリに使用する。現在販売されているDRAMチップのほとんどは、電子素子技術連合評議会（JEDEC）によって普及されている様々なダブルデータレート（DDR）DRAM規格と互換性がある。公開されているDDR規格に従ってDDRメモリコントローラを使用して、様々なメモリアクセスエージェントとDDR DRAMとの間のインターフェースを管理する。

30

【0002】

永続ストレージを伴う不揮発性デュアルインラインメモリモジュール（NVDIMM-P）は、ストレージクラスのメモリであり、いくつかのアプリケーションでは、標準のDDR DIMMの代わりに使用できるが、永続メモリを含む。しかしながら、これらのメモリは、DDRエラー状態とは異なる複数のタイプのエラー状態を含む。さらに、NVDIMM-Pに関連付けられるエラー状態は、標準のDDR DIMMに関連付けられるエラー状態の影響とは異なる、メモリを使用するオペレーティングシステム及び実行中のプロセスに影響を及ぼす。

40

【図面の簡単な説明】

【0003】

【図1】先行技術で既知のアクセラレーテッドプロセッシングユニット（APU）及びメモリシステムを示すブロック図である。

【図2】いくつかの実施形態による、図1のAPUのようなAPUでの使用に適したメモリコントローラを示すブロック図である。

50

【図3】いくつかの実施形態による、データ処理システムを示すブロック図である。

【図4】いくつかの実施形態による、不揮発性バッファを示すブロック図である。

【図5】いくつかの実施形態による、コンピュータシステムにおける不揮発性メモリ使用方法を示すブロック図である。

【図6】いくつかの実施形態による、エラー報告に関するプロセスのフロー図である。

【発明を実施するための形態】

【0004】

以下の説明において、異なる図面における同じ符号の使用は、類似又は同一のアイテムを示す。他に述べられない限り、「結合される(coupled)」という用語及びそれに関連する動詞の形態は、当分野で既知の手段による直接接続及び間接電気接続の両方を含み、他に述べられない限り、直接接続という記載は、適切な形態の間接電気接続も使用する代替の実施形態を暗示する。

10

【0005】

メモリコントローラは、コマンドキュー、メモリアンターフェースキュー及び不揮発性エラー報告回路を含む。コマンドキューは、揮発性読み取り、揮発性書き込み、不揮発性読み取り及び不揮発性書き込みを含むメモリアクセスコマンドを受信するための第1の入力と、出力と、を有し、複数のエントリを有する。メモリアンターフェースキューは、コマンドキューの出力に結合された入力と、不揮発性ストレージクラスメモリ(SCM)モジュールに結合するための出力と、を有する。不揮発性エラー報告回路は、不揮発性SCMモジュールに関連付けられるエラー状態を識別して、ホストオペレーティングシステムのエラー監視モジュールに報告するために、エラー状態を、不揮発性SCMモジュールに関連付けられる第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングする。マッピングは、少なくとも、エラー状態がホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に基づいている。

20

【0006】

本方法は、揮発性メモリ読み取り、揮発性メモリ書き込み、不揮発性メモリ読み取り及び不揮発性メモリ書き込みを含む複数のメモリアクセス要求を受信することを含む。本方法は、メモリアクセス要求を満たすためのメモリアクセスコマンドをメモリアンターフェースキューに配置し、メモリアクセスコマンドを、メモリアンターフェースキューから、不揮発性ストレージクラスメモリ(SCM)モジュールに結合されたメモリチャンネルに送信する。メモリチャンネルを介して受信した情報に基づいて、メモリチャンネルに関連付けられるエラー状態を識別する。エラー状態は、ホストオペレーティングシステムのエラー監視モジュールに報告するために、不揮発性SCMモジュールに関連付けられる第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングされ、マッピングは、少なくとも、エラー状態がホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に基づいている。

30

【0007】

データ処理システムは、中央処理装置と、中央処理装置に結合されたデータファブリックと、データファブリックによって行われたメモリアクセス要求を満たすためにデータファブリックに結合されたメモリコントローラと、を含む。メモリコントローラは、コマンドキュー、メモリアンターフェースキュー及び不揮発性エラー報告回路を含む。コマンドキューは、揮発性読み取り、揮発性書き込み、不揮発性読み取り及び不揮発性書き込みを含むメモリアクセスコマンドを受信するための第1の入力と、出力と、を有し、複数のエントリを有する。メモリアンターフェースキューは、コマンドキューの出力に結合された入力と、不揮発性ストレージクラスメモリ(SCM)モジュールに結合するための出力と、を有する。不揮発性エラー報告回路は、不揮発性SCMモジュールに関連付けられるエラー状態を識別して、ホストオペレーティングシステムのエラー監視モジュールに報告するために、エラー状態を、不揮発性SCMモジュールに関連付けられる第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングし、マッピ

40

50

ングは、少なくともエラー状態がホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないという分類に基づいている。

【 0 0 0 8 】

図 1 は、先行技術で既知のアクセラレーテッドプロセッシングユニット (A P U) 1 0 0 及びメモリシステム 1 3 0 を示すブロック図である。 A P U 1 0 0 は、ホストデータ処理システムのプロセッサとしての使用に適した集積回路であり、概して、中央処理装置 (C P U) コアコンプレックス 1 1 0、グラフィックスコア 1 2 0、ディスプレイエンジンのセット 1 2 2、メモリ管理ハブ 1 4 0、データファブリック 1 2 5、ペリフェラルコントローラのセット 1 6 0、ペリフェラルバスコントローラのセット 1 7 0 及びシステム管理ユニット (S M U) 1 8 0 を含む。

10

【 0 0 0 9 】

C P U コアコンプレックス 1 1 0 は、C P U コア 1 1 2 及び C P U コア 1 1 4 を含む。この例では、C P U コアコンプレックス 1 1 0 が 2 つの C P U コアを含むが、他の実施形態では、C P U コアコンプレックス 1 1 0 は、任意の数の C P U コアを含み得る。C P U コア 1 1 2、1 1 4 の各々は、制御ファブリックを形成するシステム管理ネットワーク (S M N) 及びデータファブリック 1 2 5 に双方向接続され、メモリアクセス要求をデータファブリック 1 2 5 に提供することが可能である。C P U コア 1 1 2、1 1 4 の各々は単一コアであってもよいし、キャッシュ等の特定のリソースを共有する 2 つ以上の単一コアを伴うコアコンプレックスであってもよい。

【 0 0 1 0 】

グラフィックスコア 1 2 0 は、頂点処理、フラグメント処理、シェーディング、テクスチャブレンド等々のグラフィックス動作を高度に統合的及び並列的に行うことが可能な高性能のグラフィックスプロセッシングユニット (G P U) である。グラフィックスコア 1 2 0 は、S M N 及びデータファブリック 1 2 5 に双方向接続され、メモリアクセス要求をデータファブリック 1 2 5 に提供することが可能である。これに関連して、A P U 1 0 0 は、C P U コアコンプレックス 1 1 0 及びグラフィックスコア 1 2 0 が同一のメモリスペースを共有するユニファイドメモリアーキテクチャ、又は、C P U コアコンプレックス 1 1 0 及びグラフィックスコア 1 2 0 がメモリスペースの一部を共有するメモリアーキテクチャの何れかをサポートし得る一方で、グラフィックスコア 1 2 0 は、C P U コアコンプレックス 1 1 0 がアクセス不可能なプライベートグラフィックスメモリも使用する。

20

30

【 0 0 1 1 】

ディスプレイエンジン 1 2 2 は、モニタに表示するためにグラフィックスコア 1 2 0 によって生成されたオブジェクトをレンダリング及びラスターライズする。グラフィックスコア 1 2 0 及びディスプレイエンジン 1 2 2 は、メモリシステム 1 3 0 において適切なアドレスへの均一な変換のために共通メモリ管理ハブ 1 4 0 に双方向接続され、メモリ管理ハブ 1 4 0 は、そのようなメモリアクセスを生成し、メモリシステムから返された読み取られたデータを受信するためにデータファブリック 1 2 5 に双方向接続される。

【 0 0 1 2 】

データファブリック 1 2 5 は、何れかのメモリアクセスエージェントとメモリ管理ハブ 1 4 0 との間でメモリアクセス要求及びメモリ応答をルーティングするためのクロスバースイッチを含む。また、データファブリック 1 2 5 は、システム構成に基づいてメモリアクセスの宛先を判定するために基本入力/出力システム (B I O S) によって定義されたシステムメモリマップと、各仮想接続のためのバッファと、を含む。

40

【 0 0 1 3 】

ペリフェラルコントローラ 1 6 0 は、ユニバーサルシリアルバス (U S B) コントローラ 1 6 2 及びシリアルアドバンスドテクノロジーアタッチメント (S A T A) インターフェースコントローラ 1 6 4 を含み、これらの各々は、システムハブ 1 6 6 及び S M N バスに双方向接続される。これらの 2 つのコントローラは、A P U 1 0 0 において使用され得るペリフェラルコントローラの例にすぎない。

【 0 0 1 4 】

50

ペリフェラルバスコントローラ170は、システムコントローラ又は「サウスブリッジ」(SB)172及びペリフェラルコンポーネントインターコネクティブエクスプレス(PCIe)コントローラ174を含み、これらの各々は、入力/出力(I/O)ハブ176及びSMNバスに双方向接続される。また、I/Oハブ176は、システムハブ166及びデータファブリック125に双方向接続される。したがって、例えば、CPUコアは、データファブリック125がI/Oハブ176を経由してルーティングするアクセスによって、USBコントローラ162、SATAインターフェースコントローラ164、SB172又はPCIeコントローラ174のレジスタをプログラミングできる。APU100のソフトウェア又はファームウェアは、読み取り専用メモリ(ROM)、フラッシュ電氣的消去可能プログラマブルROM(EEPROM)等の様々な不揮発性メモリタイプの何れかであり得るシステムデータドライブ又はシステムBIOSメモリ(図示省略)に記憶される。通常、BIOSメモリは、PCIeバスを経由してアクセスされ、システムデータドライブは、SATAインターフェースを経由してアクセスされる。

【0015】

SMU180は、APU100のリソースの動作を制御し、それらの間の通信を同期するローカルコントローラである。SMU180は、APU100の様々なプロセッサの電力増加のシーケンシングを管理し、リセット信号、イネーブル信号及び他の信号によって複数のオフチップデバイスを制御する。SMU180は、APU100のコンポーネントの各々にクロック信号を提供するために、位相ロックループ(PLL)等の1つ以上のクロックソース(図示省略)を含む。また、SMU180は、様々なプロセッサ及び他の機能ブロックの電力を管理し、測定された消費電力値をCPUコア112, 114及びグラフィックスコア120から受信し、適切な電力状態を判定し得る。

【0016】

本実施形態では、メモリ管理ハブ140及びそれに関連する物理的インターフェース(PHY)151, 152は、APU100と統合される。メモリ管理ハブ140は、メモリチャンネル141, 142と、パワーエンジン149と、を含む。メモリチャンネル141は、ホストインターフェース145、メモリチャンネルコントローラ143及び物理インターフェース147を含む。ホストインターフェース145は、メモリチャンネルコントローラ143をデータファブリック125にシリアルプレゼンス検出リンク(SDP)を通じて双方向接続する。物理インターフェース147は、メモリチャンネルコントローラ143をPHY151に双方向接続し、DDR PHYインターフェース(DFI)仕様に準拠するものである。メモリチャンネル142は、ホストインターフェース146、メモリチャンネルコントローラ144及び物理インターフェース148を含む。ホストインターフェース146は、メモリチャンネルコントローラ144をデータファブリック125に別のSDPを通じて双方向接続する。物理インターフェース148は、メモリチャンネルコントローラ144をPHY152に双方向接続し、DFI仕様に準拠するものである。パワーエンジン149は、SMNバスを通じてSMU180に双方向接続され、APBを通じてPHY151, 152に双方向接続され、また、メモリチャンネルコントローラ143, 144に双方向接続される。PHY151は、メモリチャンネル131への双方向接続を有する。PHY152は、メモリチャンネル133への双方向接続を有する。

【0017】

メモリ管理ハブ140は、2つのメモリチャンネルコントローラを有するメモリコントローラのインスタンス化であり、共有されたパワーエンジン149を使用して、以下にさらに説明する方法で、メモリチャンネルコントローラ143及びメモリチャンネルコントローラ144の両方の動作を制御する。メモリチャンネル141, 142の各々は、最先端のDDRメモリ(DDRバージョン4(DDR4)、低電力DDR4(LPDDR4)、グラフィックスDDRバージョン5(gDDR5)及び高帯域幅メモリ(HBM)等)に接続でき、将来のメモリ技術に適合できる。これらのメモリは、高いバス帯域幅及び高速動作を提供する。同時に、それらのメモリは、低電力モードも提供して、ラップトップコンピュータ等のバッテリー駆動のアプリケーションの電力を節約し、ビルトイン温度監視も提供す

10

20

30

40

50

る。

【 0 0 1 8 】

メモリシステム 1 3 0 は、メモリチャネル 1 3 1 及びメモリチャネル 1 3 3 を含む。メモリチャネル 1 3 1 は、この例では、別々のランクに対応する代表的な D I M M 1 3 4 , 1 3 6 , 1 3 8 を含む、D e d r a バス 1 3 2 に接続されるデュアルインラインメモリモジュール (D I M M) のセットを含む。同様に、メモリチャネル 1 3 3 は、代表的な D I M M 1 3 5 , 1 3 7 , 1 3 9 を含む、D D R x バス 1 2 9 に接続される D I M M のセットを含む。

【 0 0 1 9 】

A P U 1 0 0 は、ホストデータ処理システムの中央処理装置 (C P U) として動作し、現代のコンピュータシステムにおいて有用な様々なバス及びインターフェースを提供する。これらのインターフェースは、2つのダブルデータレート (D D R x) メモリチャネル、P C I e リンクへの接続用の P C I e ルートコンプレックス、U S B ネットワークへの接続用の U S B コントローラ、及び、S A T A マスストレージデバイスへのインターフェースを含む。

10

【 0 0 2 0 】

また、A P U 1 0 0 は、様々なシステム監視機能及び節電機能を実装する。特に、1つのシステム監視機能は温度監視である。例えば、A P U 1 0 0 が高温になった場合、S M U 1 8 0 は、C P U コア 1 1 2 , 1 1 4 及び / 又はグラフィックスコア 1 2 0 の周波数及び電圧を低下できる。A P U 1 0 0 が非常に高温になった場合、A P U 1 0 0 が完全にシャットダウンされ得る。また、温度イベントは、外部センサから S M U 1 8 0 によって S M N バスを介して受信でき、それに応じて、S M U 1 8 0 は、クロック周波数及び / 又は電源電圧を低下できる。

20

【 0 0 2 1 】

図 2 は、図 1 のような A P U での使用に適したメモリコントローラ 2 0 0 を示すブロック図である。メモリコントローラ 2 0 0 は、概して、メモリチャネルコントローラ 2 1 0 及び電力コントローラ 2 5 0 を含む。メモリチャネルコントローラ 2 1 0 は、インターフェース 2 1 2、メモリインターフェースキュー 2 1 4、コマンドキュー 2 2 0、アドレス生成器 2 2 2、連想メモリ (C A M) 2 2 4、リプレイキュー 2 3 0 を含むリプレイ制御ロジック 2 3 1、リフレッシュロジックブロック 2 3 2、タイミングブロック 2 3 4、ページテーブル 2 3 6、アービタ 2 3 8、エラー訂正符号 (E C C) チェック回路 2 4 2、E C C 生成ブロック 2 4 4、データバッファ 2 4 6、不揮発性 (N V) バッファ 2 4 7、及び、N V キュー 2 4 8 を含む。

30

【 0 0 2 2 】

インターフェース 2 1 2 は、外部バスを通じてデータファブリック 1 2 5 への第 1 の双方向接続を有し、出力を有する。メモリコントローラ 2 0 0 において、この外部バスは、A R M H o l d i n g s、P L C (C a m b r i d g e、E n g l a n d) によって指定された、「A X I 4」として知られるアドバンストエクステンシブルインターフェースバージョン 4 と互換性があるが、他の実施形態では、他のタイプのインターフェースであり得る。インターフェース 2 1 2 は、メモリアクセス要求を、F C L K (又は M E M C L K) ドメインとして知られる第 1 のクロックドメインから、U C L K ドメインとして知られるメモリコントローラ 2 0 0 の内部にある第 2 のクロックドメインに移動させる。同様に、メモリインターフェースキュー 2 1 4 は、メモリアクセスを、U C L K ドメインから D F I インターフェースに関連付けられる D F I C L K ドメインに提供する。

40

【 0 0 2 3 】

アドレス生成器 2 2 2 は、A X I 4 バスを通じてデータファブリック 1 2 5 から受信したメモリアクセス要求のアドレスをデコードする。メモリアクセス要求は、標準化されたフォーマットで表現される物理アドレススペース内にアクセスアドレスを含む。アドレス生成器 2 2 2 は、標準化されたアドレスを、メモリシステム 1 3 0 における実際のメモリデバイスをアドレス指定し、同様に、関連するアクセスを効率的にスケジューリングする

50

ために使用できるフォーマットに変換する。このフォーマットは、メモリアクセス要求を、特定のランク、行アドレス、列アドレス、バンクアドレス及びバンクグループに関連付けるリージョン識別子を含む。スタートアップ時に、システムBIOSは、メモリシステム130におけるメモリデバイスにクエリを行って、そのサイズ及び構成を判定し、アドレス生成器222に関連付けられる構成レジスタのセットをプログラミングする。アドレス生成器222は、構成レジスタに記憶された構成を使用して、標準化されたアドレスを適切なフォーマットに変換する。アドレス生成器222は、NVDIMM-Pメモリを含むメモリのアドレス範囲をデコードし、メモリアクセス要求がNVDIMM-Pへの要求であるかどうかを示すデコードされた信号をコマンドキュー220に記憶する。次に、アービタ238は、他の要求に対して適切な優先順位でNVDIMM-P要求に優先順位を付けることができる。コマンドキュー220は、CPUコア112, 114及びグラフィックスコア120等のような、APU100におけるメモリアクセスエージェントから受信したメモリアクセス要求のキューである。コマンドキュー220は、アドレス生成器222によってデコードされたアドレスフィールドと、アクセスタイプ及びサービス品質(QoS)識別子とを含む、アービタ238がメモリアクセスを効率的に選択することを可能にする他のアドレス情報を記憶する。CAM224は、ライトアフターライト(WAW)及びリードアフターライト(RAW)の順序付けルール等の順序付けルールを実施する情報を含む。

10

【0024】

エラー訂正コード(ECC)生成ブロック244は、NVDIMM-Pに送信される書き込みデータのECCを判定する。ECCチェック回路242は、受信したECCを着信ECCに対してチェックする。したがって、本明細書で説明するメモリコントローラ及びデータ処理システムは、データ整合性チェックの範囲を拡大し、対応するデータが後で読み取られる場合に、NVDIMM-Pデバイスに記憶され、比較に利用可能な限られた数のユーザービットを活用することによって、エンドツーエンドのチェックを提供する。

20

【0025】

リプレイキュー230は、アドレス応答及びコマンドパリティ応答等の応答を待機しているアービタ238によって選ばれた選択済メモリアクセスを記憶するための一時的なキューである。リプレイ制御ロジック231は、ECCチェック回路242にアクセスして、返されたECCが正しいか、又は、エラーを示すかどうかを判定する。リプレイ制御ロジック231は、これらのサイクルのうち1つのパリティ又はECCエラーの場合にアクセスがリプレイされるリプレイシーケンスを開始及び制御する。リプレイされたコマンドは、メモリインターフェースキュー214に配置される。

30

【0026】

リフレッシュロジック232は、メモリアクセスエージェントから受信した通常の読み取りメモリアクセス要求及び書き込みメモリアクセス要求から別々に生成される、様々なパワーダウン、リフレッシュ及び終端抵抗(ZQ)較正サイクル用のステートマシンを含む。例えば、メモリランクがプリチャージパワーダウンにある場合、そのメモリランクは、リフレッシュサイクルを実行するために定期的に起動されなければならない。リフレッシュロジック232は、リフレッシュコマンドを定期的に生成し、DRAMチップのメモリセルのストレージキャパシタからの電荷漏れによって生じるデータエラーを防ぐ。加えて、リフレッシュロジック232は、ZQを定期的に較正し、システムの温度変化によるオンダイ終端抵抗における不整合を防ぐ。

40

【0027】

アービタ238は、コマンドキュー220に双方向接続され、メモリチャネルコントローラ210の中心部である。アービタ238は、アクセスの知的スケジューリングによって効率を向上させて、メモリバスの使用率を向上させる。アービタ238は、タイミングブロック234を使用して、コマンドキュー220における特定のアクセスが、DRAMタイミングパラメータに基づいて、発行に適切であるかどうかを判定することによって、適切なタイミング関係を強化する。例えば、DRAMのそれぞれは、「tRC」として知

50

られる、アクティブコマンド間の最小指定時間がある。タイミングブロック 234 は、このタイミングパラメータ及び J E D E C 仕様に指定される他のタイミングパラメータに基づいて適格性を判定するカウンタのセットを維持し、リプレイキュー 230 に双方向接続される。ページテーブル 236 は、アービタ 238 に対するメモリチャネルの各バンク及びバンクにおけるアクティブページに関する状態情報を維持し、リプレイキュー 230 に双方向接続される。

【0028】

NVバッファ 247 は、リプレイシーケンスで使用することと、NV読み取り応答を管理することと、の両方のために、NV読み取りコマンドをNVキュー 248 に記憶する。NVバッファ 247 は、さらに以下に説明するように、RD_RDY及びSENDコマンドを処理するためにメモリインターフェースキュー 214 に双方向に接続される。

10

【0029】

インターフェース 212 から受信した書き込みメモリアクセス要求に応じて、ECC生成ブロック 244 は、書き込みデータに従ってECCを計算する。データバッファ 246 は、受信したメモリアクセス要求に関する書き込みデータ及びECCを記憶する。データバッファ 246 は、アービタ 238 がメモリチャネルにディスパッチする対応する書き込みアクセスを選ぶ場合に、組み合わされた書き込みデータ/ECCをメモリインターフェースキュー 214 に出力する。

【0030】

電源コントローラ 250 は、概して、アドバンストエクステンシブルインターフェースのバージョン 1 (AXI) へのインターフェース 252、アドバンストペリフェラルバス (APB) インターフェース 254、及び、パワーエンジン 260 を含む。インターフェース 252 は SMN への第 1 の双方向接続を含み、図 2 で別に示される「EVENT_n」とラベル付けされたイベント信号を受信するための入力と、出力と、を有する。APB インターフェース 254 は、インターフェース 252 の出力に接続される入力と、APB を通じてPHYに接続するための出力と、を有する。パワーエンジン 260 は、インターフェース 252 の出力に接続される入力と、メモリインターフェースキュー 214 の入力に接続される出力と、を有する。パワーエンジン 260 は、構成レジスタのセット 262、マイクロコントローラ (µC) 264、セルフリフレッシュコントローラ (SLFRF/PE) 266、及び、信頼性が高い読み取り/書き込みタイミングエンジン (RRW/TE) 268 を含む。構成レジスタ 262 は、AXIバスを通じてプログラミングされ、メモリコントローラ 200 における様々なブロックの動作を制御する構成情報を記憶する。したがって、構成レジスタ 262 は、図 2 に詳細に示されていないこれらのブロックに接続される出力を有する。セルフリフレッシュコントローラ 266 は、リフレッシュロジック 232 によるリフレッシュの自動生成に加えて、リフレッシュの手動での生成を可能にするエンジンである。信頼性が高い読み取り/書き込みタイミングエンジン 268 は、DDRインターフェース最大読み取りレイテンシ (MRL) トレーニング及びループバックテスト等の目的のために、メモリ又はI/Oデバイスに連続的なメモリアクセスストリームを提供する。

20

30

【0031】

メモリチャネルコントローラ 210 は、関連するメモリチャネルへのディスパッチのためにメモリアクセスを選ぶことを可能にする回路を含む。所望のアービトレーション決定を行うために、アドレス生成器 222 は、アドレス情報を、メモリシステムにおけるバンク、行アドレス、列アドレス、バンクアドレス及びバンクグループを含むプリデコード情報にデコードし、コマンドキュー 220 は、プリデコード情報を記憶する。構成レジスタ 262 は、アドレス生成器 222 が、受信したアドレス情報をデコードする方法を判定するために構成情報を記憶する。アービタ 238 は、デコードされたアドレス情報、タイミングブロック 234 によって示されたタイミング適格性情報、及び、ページテーブル 236 によって示されたアクティブページ情報を使用して、サービス品質 (QoS) 要件等の他の基準に従いながらメモリアクセスを効率的にスケジューリングする。例えば、アービ

40

50

タ 2 3 8 は、オープンページへのアクセスについて基本設定を実施し、メモリページを変更するために必要とされるプリチャージ及びアクティブ化コマンドのオーバーヘッドを回避し、それらを一方のバンクへの読み取りアクセス及び書き込みアクセスでインターリーブすることによって、オーバーヘッドアクセスを別のバンクに隠す。特に、通常の動作中に、アービタ 2 3 8 は、通常、異なるページを選択する前にプリチャージされることをページが要求されるまで、それらのページを異なるバンクで開いたままにする。

【 0 0 3 2 】

図 3 は、いくつかの実施形態による、データ処理システム 3 0 0 を示すブロック図である。データ処理システム 3 0 0 は、メモリシステム 3 3 0 及び A P U 3 1 0 と、ベースボード管理コントローラ (B M C) 3 4 0 と、を含む。 A P U 3 1 0 は、メモリシステム 3 3 0 とインターフェースするために異種メモリチャネルをサポートするメモリコントローラ 2 0 0 (図 2) のようなメモリコントローラを含む。通常の D D R x メモリチャネルに加えて、 A P U 3 1 0 は、バス 3 2 9 を通じて接続された R D I M M 3 3 5 , 3 3 7 , 3 3 9 だけを有する同種メモリチャネル 3 3 3 に加えて、バス 3 3 2 を通じて接続された通常のレジスタード I M M (又は R D I M M) 3 3 4 , 3 3 6 の両方を有する異種メモリチャネル 3 3 1 で、 N V D I M M - P 3 3 8 をサポートする。本実施形態では、異種メモリチャネル 3 3 1 は、 N V D I M M - P 及び R D I M M の両方に接続されるが、いくつかの実施形態では、異種メモリチャネルは、全ての N V D I M M - P タイプの D I M M とインターフェースする能力がある。

【 0 0 3 3 】

ドラフト N V D I M M - P 規格に従って、 A P U 3 1 0 のメモリコントローラと N V D I M M - P 3 3 8 との間のトランザクションは、「リンク」 E C C によって保護される。リンク E C C は、バス 3 3 2 を通じたメモリコントローラと N V D I M M との間のデータ転送のデータ整合性を保証する。既知の E C C メカニズムに従って、それは、ランダムエラー又は一時的エラーによって生じるリンク上のデータ破損から保護する。保護は、使用する E C C コードによって変わる。例えば、 E C C は、マルチビットエラー検出を伴うシングルビット訂正を可能にし得る。訂正不可能エラーの検出に応じて、メモリコントローラは、一時的エラー又はランダムエラーが持続しないようにトランザクションをリプレイでき、訂正可能エラー及び訂正不可能エラーの両方をオペレーティングシステムに報告することもできる。

【 0 0 3 4 】

B M C 3 4 0 は、データ処理システム 3 0 0 のホスト回路基板に搭載され、制御能力及び監視能力を提供するために A P U 3 1 0 に接続される特殊なプロセッサである。 B M C 3 4 0 は、エラー報告を受信し、ステータスレジスタ及びセンサを監視することによって、データ処理システム 3 0 0 の A P U 3 1 0 及び他の様々なコンポーネント (別に示されていない) の状態を監視する。 B M C 3 4 0 は、図示したペリフェラルコンポーネントインターコネクタエクスプレス (P C I e) バス及びユニバーサルシリアルバス (U S B) 等のシステム通信バスに接続され、また、相互統合回路バスを介して様々なシステムコンポーネントのレジスタを監視して、エラー報告をポーリングし得る。 B M C 機能への外部アクセスは、通常、専用ネットワークインターフェースを経由して、又は、データ処理システム 3 0 0 のネットワークインターフェースへの接続によって、遠隔監視及び遠隔制御のために提供される。

【 0 0 3 5 】

N V D I M M - P タイプの D I M M が本実施形態で説明されているが、他の実施形態は、本明細書の技術を使用して、異種メモリチャネルを通じて他のタイプのストレージクラスメモリ (S C M) モジュールとインターフェースする。本明細書で使用される場合、 S C M は、システムメモリスペースでアドレス指定可能な不揮発性メモリを伴うメモリモジュールを示す。 S C M モジュールの不揮発性メモリは、 R A M でバッファリングできる、及び / 又は、オンボードの S C M モジュールで R A M とペアリングできる。 S C M メモリアドレスマップは、オペレーティングシステム (O S) の観点から、従来の D R A M ポ

10

20

30

40

50

ピュレーションと一緒に表示される。OSは、通常、SCMで定義されたアドレス範囲がコンベンショナルメモリとは「異なる」タイプのメモリであることを認識する。この違いは、このメモリがより潜在的であり得、永続的な品質を有することをOSに知らせることである。OSは、SCMメモリをダイレクトアクセスメモリ又はファイルシステムアクセスメモリとしてマッピングできる。ダイレクトアクセスは、OSが物理アドレス可能メモリとしてSCMアドレス範囲にアクセスすることを暗示する。ファイルシステムアクセスは、OSがファイルシステムの一部として永続メモリを管理し、ファイルベースのAPIを介してSCMへのアクセスを管理することを暗示する。最終的に、要求は、上位レベルのOSがアクセスを管理する方法に関係なく、SCMアドレス範囲内のメモリコントローラに送信される。

10

【0036】

図4は、いくつかの実施形態による、NVバッファ400を示すブロック図である。NVバッファ400は、NVバッファ247(図2)の例示的なインスタンス化である。NVバッファ400は、不揮発性コマンドキュー(NVキュー)402、不揮発性バッファ制御回路(NVバッファCTRL)404、不揮発性エラー報告回路(NVエラー報告)406及び不揮発性エラーlookupテーブル(NVエラーLUT)408を含む。

【0037】

NVキュー402は、不揮発性読み取りコマンドを受信するためにコマンドキュー220(図2)の出力に結合され、そのコマンドが実行されるのを待機しながら、そのコマンドを記憶する。NVキュー402は、コマンドのリプレイを必要とする回復シーケンスがトリガーされた場合に、リプレイするためにそのコマンドを提供するために不揮発性読み取りコマンドを記憶する。

20

【0038】

NVバッファCTRL404は、不揮発性DIMMから受信したレディレスポンス信号(RD_RDY)を処理し、応答データが不揮発性読み取りコマンドのうち関連する1つのコマンドに利用可能であることを示す。それに応じて、NVバッファCTRL404は、不揮発性DIMMに発行するために、SENDコマンドをメモリインターフェースキューに配置させ、それに応答データを送信させる。応答データが受信された場合、NVバッファCTRL404は、読み取りID(RID)を使用してNVキュー402の関連する不揮発性読み取りコマンドを識別して、関連する不揮発性読み取りコマンドを不揮発性キューから除去する。

30

【0039】

NVエラー報告回路406は、NVDIMM-P又は他の不揮発性DIMMに関連付けられるデータエラー及びリンクエラーを示すエラーコードを受信するために、ECCチェック回路242及びリプレイ制御ロジック231に接続される。エラーは、ホストオペレーティングシステムのエラー監視モジュールに報告するために、不揮発性DIMMに関連付けられるエラータイプ識別子によって識別された第1の数の可能性のあるエラー状態から、第2のより小さい数の仮想エラータイプにマッピングされる。本実施形態では、マッピングは、データエラー又はリンクエラーを記述するエラータイプ識別子を使用して検索のためにインデックス付けされるNVエラーLUT408を使用して達成される。検索の結果は、図5及び図6に関してさらに以下に説明するように、エラー監視モジュールに報告するための仮想エラータイプである。

40

【0040】

図5は、いくつかの実施形態による、コンピュータシステム500における不揮発性メモリ使用方法を示すブロック図である。図示したソフトウェア及びハードウェアのコンポーネントは、図2~図4に関して説明したように、データ処理システムでの使用に適している。システム500は、オペレーティングシステムカーネル(OSカーネル)520によってホストされるユーザスペース510、メモリコントローラ530及び不揮発性DIMM(本実施形態では、NVDIMM-P540)を含む。

50

【 0 0 4 1 】

OSカーネル520は、通常、サーバーOSであるが、いくつかの実施態様では、パーソナルコンピュータOS又は特定の計算タスクに特化したOS等の別のタイプのOSである。OSカーネル520は、APU310(図3)等のシステムプロセッサ上で起動され、ユーザプロセス512及びユーザアプリケーション514を起動するユーザスペース510をホストする。OSカーネル520は、マシンチェックアーキテクチャ522、不揮発性DIMMドライバ(NVドライバ)524及びファイルシステム526等のエラー監視モジュールを含む。不揮発性DIMMにアクセスするコンポーネントに焦点を当てるために、OSカーネル520の他の多くの部分が示されていない。いくつかの実施形態では、複数のOSカーネルが、ハイパーバイザー層によってホストされる仮想マシンとして存在する。

10

【 0 0 4 2 】

本実施態様では、マシンチェックアーキテクチャ522が示されているが、他の実施態様では、他のタイプのエラー報告モジュールが使用される。マシンチェックアーキテクチャ522は、データ処理システム500の多くの部分のエラー検出ロジックから、OSカーネル520、仮想マシンマネージャ、アプリケーション、プロセス等のより上位レベルのソフトウェアに、エラー報告を提供するための既知のメカニズムである。マシンチェックアーキテクチャ522は、訂正データを取得できるかどうかを判定し、エラーを訂正するためにソフトウェアルーチンを実行することによって、エラーを処理し、特定のエラーから回復することが可能である。特定の状態では、マシンチェックアーキテクチャ522は、訂正データを取得できないと判定することに基づいて、特定のプロセスの実行を進めることができないと判定する。そのような場合、マシンチェックアーキテクチャ522は、制御を上位レベルのソフトウェアに渡すことによって、又は、リセットを強制することによって、エラーを処理することが可能である。

20

【 0 0 4 3 】

NVドライバ524は、NV DIMM - P 5 4 0のメモリへのアクセスを提供するためにOSカーネル520上で実行されるドライバモジュールである。図示したように、NVドライバ524は、プロセス512及びアプリケーション514(1つ以上の実行プロセスを有する)からのメモリアクセス命令を実行する。命令を実行するために、NVドライバ524は、メモリコントローラ530を経由してNV DIMM - P 5 4 0への適切な要求に応じて命令をフォーマットする。例えば、NVドライバ524からの不揮発性読み取り要求及び不揮発性書き込み要求は、メモリコントローラ530でXREADコマンド及びXWRITEコマンドをもたらし得る。

30

【 0 0 4 4 】

ファイルシステム526は、OSカーネル520上で実行され、NV DIMM - P 5 4 0に記憶されたデータを含むデータファイルを管理する。ファイルシステム526は、NV DIMM - P 5 4 0とインターフェースするためのネイティブサポートを有し得る、又は、アクセスを処理するためにNVドライバ524も使用し得る。また、OSカーネル520は、それ自体のメモリアクセスの必要性に応じて、メモリコントローラ530を経由してNV DIMM - P 5 4 0にアクセスする。

40

【 0 0 4 5 】

本実施形態のメモリコントローラ530は、メモリコントローラ200(図2)又はNV DIMM - P 5 4 0にアクセスするのに適した同様のメモリコントローラの実施態様であり、NVエラー報告ロジック406(図4)に対応するNVエラー報告ロジック532を含む。いくつかの実施形態では、NVエラー報告ロジック532は、以下にさらに説明する図6のプロセスに従って判定されたエラー報告情報を使用して、マシンチェックアーキテクチャ522にエラーを報告する。

【 0 0 4 6 】

NV DIMM - P等の永続メモリの使用により、エラー報告と、関連する信頼性、アクセス可能性及び保守性(RAS)の問題に対処する上で多くの課題をもたらす。そのよう

50

な課題は、エラータイプが非常に少ないDRAM DIMMと比較して、不揮発性DIMMで発生する多くの新しいエラータイプに起因する。エラータイプは、NV DIMM - P等の特定の不揮発性DIMMについて定義されるが、概して、エラーが処理されシステムに報告される方法は、例えば、ドラフトNV DIMM - P規格では指定されていない。

【0047】

図6は、いくつかの実施形態による、エラーを報告するのに関するプロセス600のフロー図である。プロセス600は、図2のメモリコントローラ200又は他のメモリコントローラ構成を用いた実施態様に適しており、本実施形態では、リプレイロジック制御回路231(図2)と連携して、NVエラー報告ロジック406(図4)によって行われる。

【0048】

概して、プロセス600は、メモリコントローラで検出されたエラーを処理し、システム内のエラー管理及び故障管理に適した方法でそのエラーを報告する。エラー管理では、エラーの影響を受け得る実行中のプログラムを管理するために、運用ソフトウェア(例えば、オペレーティングシステム)に必要なアクションについて説明する。エラー管理は、マシンチェックアーキテクチャ522等のオペレーティングシステムのエラー監視モジュールによって制御され、通常、アクションを起こさない、影響を受ける単一のプロセス、プログラム又は仮想マシンを終了する及びシステム動作を終了する等のような、エラーに対する限定された応答のセットを含む。そのため、エラー監視モジュールは、エラーの範囲及び重大度を判定し、どのような即時アクションを行うかを決定するために必要なエラー情報だけを必要とする。故障管理では、基盤となるハードウェアの診断、修復及び再構成を目的としたオプションのアクションについて説明する。故障管理機能は、データ処理システムの様々な部分に見られ、重大な故障の場合は、BMC340によって指示される(図3)。

【0049】

プロセス600を参照すると、プロセスはブロック602で開始し、不揮発性DIMMからエラー通知を受信する、又は、ECCチェック回路242(図2)によって検出されたリンクECCエラー等のメモリコントローラでエラーを検出する。不揮発性DIMMによって報告されるエラーは、様々なタイプのDRAMエラー、メディアエラー(不揮発性メディアに関する)、キャッシュエラー(不揮発性DIMMのキャッシュに関する)、及び、温度エラーを含む。いくつかの不揮発性DIMMは、ファームウェア初期化エラー等の他のタイプのエラーを報告する。リンクエラーは、リンクECCエラー等のメモリチャネルを通じた伝送エラーを含む。ホストエラーは、メモリコントローラで検出され、不揮発性読み取りコマンドのタイムアウト及び重複RIDエラーを含む。

【0050】

概して、NV DIMM - P等の不揮発性DIMMから報告されるエラーには、アラート、緊急及び割り込みの3つの全体的なカテゴリがある。しかしながら、これらのカテゴリは、上記に説明したエラー管理又は故障管理のエラーを報告するには不十分である。これらの様々なタイプのエラーは、それぞれが不揮発性DIMMに関連付けられるエラー状態を表す数十の個別のエラー識別子を提供する。ブロック604において、エラー識別子を使用して、エラーに関連付けられる特定のハードウェア状態に基づいてエラーを分類する。そのような分類は事前に実行されてもよく、結果は、NVエラーLUT408等のメモリコントローラのテーブルに保持される。分類は、少なくとも、エラー状態がホストオペレーティングシステム上で実行している実行可能プロセスに悪影響を及ぼす又は及ぼさないかどうかに基づいている。通常、そのような判定は、例えば、メモリメディアのバッファオーバーフロー又はビットエラーにより、データが失われ回復できないことをエラーが示しているかどうかに基づいている。また、マッピングは、エラー状態が実行可能プロセスに与える影響のタイプに基づいて行われ得る。例えば、命令データが失われた場合、保存されたユーザーデータに基づいてプロセスが再開され得る。ユーザーデータが失われた場合、そのようなオプションが利用できない場合がある。

【0051】

10

20

30

40

50

ブロック 606 において、エラー状態は、不揮発性 D I M M に関連付けられる第 1 の数の可能性のあるエラー状態から、第 2 のより小さい数の仮想エラータイプにマッピングされる。仮想エラータイプは、マシンチェックアーキテクチャ 522 (図 5) 等のデータ処理システムのエラー監視モジュールによって使用される仮想エラーに基づいて選択される。本実施形態では、仮想エラータイプは、ブロック 608 でエラー監視モジュールに報告するために使用される数字が割り振られた重大度レベルを有する。次に、仮想エラータイプを使用して、エラー管理モジュールによって行われるエラー管理応答を判定する。

【 0 0 5 2 】

仮想エラータイプはエラー管理モジュールへの報告に使用されるが、ブロック 610 において、エラー状態に基づく元のエラー識別子が B M C 3 4 0 に報告される。また、関連するアドレス又は命令等の関連データも報告され得る。報告メカニズムは、通常、B M C 3 4 0 に代わってポーリングされるレジスタに情報をロードするが、他の実施形態では、他の適切な報告メカニズムが使用される。B M C 3 4 0 は、エラーロギングと、ハードウェア故障の診断及びハードウェアの修復又は再構成等の故障管理機能と、を行うためにその情報を使用して、故障状態を軽減する。

【 0 0 5 3 】

したがって、本明細書で説明するメモリコントローラ及びデータ処理システムは、異種メモリチャネル上の不揮発性 D I M M に関連付けられるエラーを処理するメモリコントローラの能力を改善する。本明細書の技術は、D I M M の既存のエラー報告メカニズムで使用できる方法で、不揮発性 D I M M エラー状態をシステムエラー監視モジュールに報告するメカニズムも提供する。さらに、本明細書の技術は、エラーを報告するために様々な不揮発性 D I M M ベンダーによって使用され得る可変又は未知の方法に依存しないエラー処理機能を提供する。代わりに、エラーは、エラー管理メカニズム及び/又は故障管理メカニズムにエラーを適切に報告するメモリコントローラによって分類される。

【 0 0 5 4 】

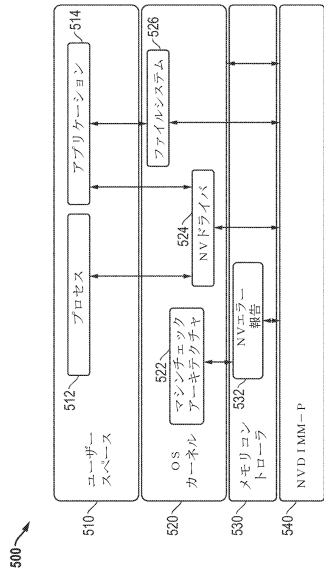
図 2 のメモリコントローラ 200 又はアービタ 238 の何れかの一部は、プログラムによって読み取ることができ、集積回路を製造するために直接的又は間接的に使用できるデータベース又は他のデータ構造の形態でコンピュータアクセス可能データ構造によって記述され又は表され得る。例えば、このデータ構造は、V e r i l o g 又は V H D L 等の高レベル設計言語 (H D L) においてハードウェア機能の動作レベル記述又はレジスタ転送レベル (R T L) 記述であり得る。記述は、合成ツールによって読み取られてもよく、合成ツールは、記述を合成して、合成ライブラリからゲートのリストを含むネットリストを生成してもよい。ネットリストは、集積回路を含むハードウェアの機能も表すゲートのセットを含む。次に、ネットリストは、マスクに適用される幾何学形状を記述するデータセットを生成するために配置及びルーティングされ得る。次に、マスクは、集積回路を生成するために様々な半導体製造ステップで使用され得る。代替として、コンピュータアクセス可能記憶媒体上のデータベースは、必要に応じて、ネットリスト (合成ライブラリの有無にかかわらず) 若しくはデータセット、又は、グラフィックデータシステム (G D S) I I データであり得る。

【 0 0 5 5 】

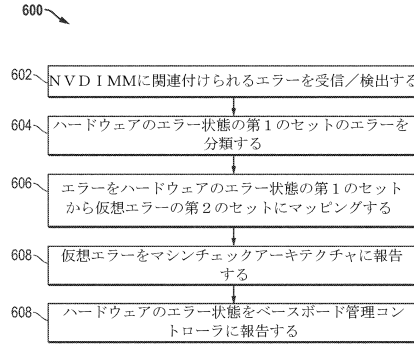
特定の実施形態が説明されてきたが、これらの実施形態に対する様々な変更例が当業者には明らかであろう。例えば、メモリチャネルコントローラ 210 の内部アーキテクチャ及び/又はパワーエンジン 250 は、異なる実施形態では変わり得る。メモリコントローラ 200 は、例えば、高帯域幅メモリ (H B M) 、 R A M バス D R A M (R D R A M) 等の N V D I M M - P 及び D D R x 以外の他のタイプのメモリにインターフェースし得る。図示した実施形態は、別々の D I M M に対応するメモリの各ランクを示したが、他の実施形態では、D I M M の各々は、複数のランクをサポートできる。さらに、異種メモリチャネルが一般的にサポートされるが、異種チャネルは、完全に不揮発性 D I M M で満たされ得る。

【 0 0 5 6 】

【 図 5 】



【 図 6 】



10

20

30

40

50

フロントページの続き

- アメリカ合衆国 78735 テキサス州、オースティン、サウスウェスト パークウェイ 717
1、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド内
- (72)発明者 ケダーナシュ バラクリシュナン
インド共和国 560066 バンガロール、エクスポート プロモーション インダストリアル パ
ーク #102 - 103、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド インデ
ィア プライベート リミテッド内
- (72)発明者 ビラス スリダラン
アメリカ合衆国 01719 マサチューセッツ州、ボックスボロー、セントラル ストリート 9
0、1、2 & 3 フロア、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド内
- 審査官 松平 英
- (56)参考文献 特表2019 - 527424 (JP, A)
特開2018 - 190412 (JP, A)
米国特許出願公開第2010 / 0293436 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G06F 3 / 06 - 3 / 08
11 / 07
11 / 28 - 11 / 3698
12 / 00 - 12 / 128
13 / 16 - 13 / 18