

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

(43) 국제공개일
2018년 5월 31일 (31.05.2018) WIPO | PCT

WO 2018/097412 A1

(51) 국제특허분류:

H01L 23/06 (2006.01) H01L 23/29 (2006.01)
H01L 23/31 (2006.01) H01L 23/60 (2006.01)

(21) 국제출원번호: PCT/KR2017/002694

(22) 국제출원일: 2017년 3월 13일 (13.03.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2016-0159624 2016년 11월 28일 (28.11.2016) KR
10-2017-0002543 2017년 1월 6일 (06.01.2017) KR

(71) 출원인: 주식회사 네페스 (NEPES CO., LTD.) [KR/KR]; 27651 충청북도 음성군 삼성면 금일로965번길 105, Chungcheongbuk-do (KR).

(72) 발명자: 권용태 (KWON, Yongtae); 28415 충청북도 청주시 흥덕구 증안로 33, 104동 1402호, Chungcheongbuk-do (KR). 이준규 (LEE, Junkyu); 28115 충청북도 청주시 청원구 오창읍 양청1길 23-1, 104호, Chungcheongbuk-do (KR). 이재천 (LEE, Jaechon); 28117 충청북도 청주시 청원구 오창읍 2산단로 167, 401동 703호, Chungcheongbuk-do (KR). 윤민아 (YOON, Mina); 28117 충청북도 청주시 청원구 오창읍 2산단로 167, 401동 1801호, Chungcheongbuk-do (KR).

(74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADE-MARK LAW FIRM); 06747 서울시 서초구 바우피로 188, 3층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,

AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

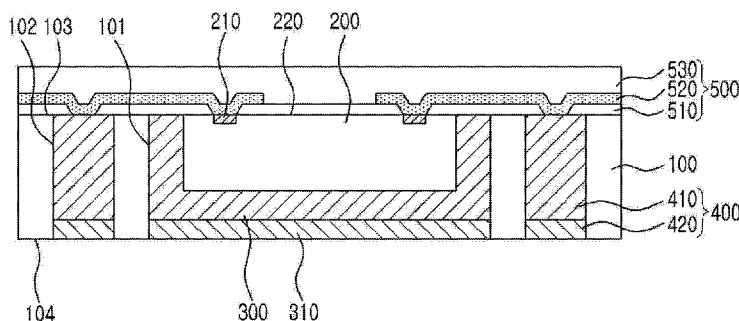
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: CHIP PACKAGE AND METHOD FOR PRODUCING SAME

(54) 발명의 명칭: 칩 패키지 및 이의 제조방법



(57) Abstract: Disclosed are a chip package having a molding layer containing conductive powder and a method for producing the chip package. A molding layer and a conductive layer are formed in a thru-hole of a frame. Also, a first via layer having the same material as the molding layer is formed in a via hole of the frame, and a second via layer having the same material as the conductive layer is formed over the first via layer. The molding layer and the conductive layer can facilitate the emission of the heat generated from a chip and block electromagnetic waves coming from the outside.

(57) 요약서: 도전성 분말이 함유된 몰딩층이 형성된 칩 패키지 및 그 제조방법이 개시된다. 프레임의 관통홀에는 몰딩층과 도전층이 형성된다. 또한, 프레임에 형성된 비아홀에는 몰딩층과 동일한 재질을 가지는 제1 비아층이 형성되고, 제1 비아층 상에는 도전층과 동일한 재질을 가지는 제2 비아층이 형성된다. 몰딩층 및 도전층에 의해 칩에서 발생하는 열의 방출은 용이해지고, 외부로부터의 전자파는 차폐될 수 있다.



WO 2018/097412 A1

명세서

발명의 명칭: 칩 패키지 및 이의 제조방법

기술분야

- [1] 본 발명은 칩 패키지 및 이의 제조방법에 관한 것으로, 더욱 상세하게는 칩 패키지의 방열 및 전자파 차폐 기능이 개선된 칩 패키지 및 이의 제조방법에 관한 것이다.

배경기술

- [2] 최근, 보안 및 기밀 유지를 위한 산업체 및 연구소를 비롯하여, 일반 가정 및 아파트 등의 출입통제, 금융권의 ATM 및 모바일 폰 등에서는 신원 확인을 위해 생체인식에 의한 인증기술이 적용되고 있다.
- [3] 보안 인증을 위한 생체인식의 종류로서, 사람마다 서로 다른 지문, 홍채, 목소리, 얼굴, 혈관 등을 사용하고 있지만, 그 중에서도 지문 센싱은 편의성이나 보안성 등 여러 가지 이유로 현재 가장 많이 상용화되어 있다.
- [4] 지문 센싱을 위한 칩 패키지의 경우, 일반적인 반도체 칩과 마찬가지로 EMC등의 수지재에 의해 밀봉되어, 칩 패키지로서 전자기기의 메인보드에 조립된다.
- [5] 허나, 이러한 지문 센싱을 위한 칩 패키지 뿐만아니라 일반적인 칩 패키지는 열 또는 전자파에 의한 오동작이 발생할 수 있다. 특히, 웨이퍼의 두께가 감소되고, 칩 패키지가 박형화되는 환경에서 외부로부터 인가되는 전자파에 의한 오동작이 발생할 수 있다. 이외에 반도체 소자의 동작을 위해 소모되는 전력에 의한 열의 발생도 문제된다.
- [6] 통상적으로 칩 패키지에서는 칩을 보호하기 위해 고분자 절연체인 몰딩재가 사용된다. 따라서, 칩에서 발생하는 열은 절연체에 의해 외부로 원활하게 배출되지 못한다. 이를 개선하기 위해 몰딩재의 상층부에 도전성 방열판을 배치하는 기술이 소개되기도 한다. 이는 열전달 부재를 칩의 상부 또는 칩 패키지의 상부에 배치하는 것이다.
- [7] 미국 등록 특허 제9,443,828호에서는 반도체 다이 상에 열전도층을 형성하는 기술이 개시된다. 다만, 열전도층 상부에는 밀봉을 위한 봉지재가 도입되며, 이는 통상의 에폭시 몰딩 재질로 절연성의 특징을 가진다. 따라서, 칩에서 발생하는 열이 열전도층으로 이동하더라도 봉지재에 의해 외부로 원활하게 배출하지 못하는 문제가 발생된다.
- [8] 또한, 외부에서 인가되는 전자파는 칩의 정상 동작을 방해한다. 이를 방지하기 위해서는 칩 패키지의 외곽을 도전성 금속재로 감쌀 필요가 있다.
- [9] 예컨대, 미국 공개 특허 제2015/0348936호에서는 반도체 칩 상에 절연성의 몰딩재로 몰딩이 수행되고, 몰딩재 상에 도전체로 이루어진 쉴딩층이 형성된다. 이를 통해 외부로부터 인가되는 전자파는 효과적으로 차폐될 수 있다. 다만,

상기 미국 공개 특허에서는 칩 패키지 내부에서 발생된 열은 외부로 원활하게 배출되지 못한다. 또한, 칩 사이즈의 축소 및 패드 수의 증가에 따라 팬-아웃 구조의 패키지가 요청되는 상황에서 몰딩재를 완전히 감싸는 설딩층을 구비하는 것은 기술적으로 곤란한 상태이다.

- [10] 즉, 팬-아웃 타입의 패키지에서는 칩 이외의 영역에 형성되는 몰딩재 상에도 배선층이 형성된다. 이러한 배선층은 반도체 칩이 차지하는 영역을 벗어나서 형성된다. 만일, 금속 재질의 설딩층이 배선층의 측면까지 차폐하는 구조가 된다면, 설딩층과 배선층 사이에는 전기적 단락이 발생할 수 있으며, 반도체 소자의 오동작을 일으키는 일 요인이 된다.

- [11] 따라서, 원활한 열 방출 기능을 수행하고, 전자파 차폐를 동시에 수행할 수 있는 칩 패키지는 여전히 요청된다 할 것이다.

발명의 상세한 설명

기술적 과제

- [12] 본 발명이 이루고자 하는 제1 기술적 과제는 방열 및 전자파 차폐 특성을 가지며, 제조과정을 최소화할 수 있는 칩 패키지를 제공하는데 있다.
- [13] 또한, 본 발명이 이루고자 하는 제2 기술적 과제는 상기 제1 기술적 과제를 달성하기 위한 칩 패키지의 제조방법을 제공하는데 있다.

과제 해결 수단

- [14] 상술한 제1 기술적 과제를 달성하기 위한 본 발명은, 관통공과 비아홀을 가지는 프레임; 상기 프레임의 관통공에 배치되는 칩; 상기 관통공에 배치된 상기 칩을 매립하는 몰딩층; 상기 칩의 활성 영역 상의 패드와 전기적으로 연결되고, 상기 프레임의 제1면 상에 신장되어 형성된 상부 재배선층; 및 상기 비아홀을 매립하고 상기 상부 재배선층에 전기적으로 연결되는 비아 콘택을 포함하고, 상기 몰딩층과 상기 도전층은 상기 관통공 내에 형성되는 것을 특징으로 하는 칩 패키지를 제공한다.
- [15] 상술한 제2 기술적 과제를 달성하기 위한 본 발명은, 관통공과 상기 관통공 주변 영역에 형성된 비아홀을 가지는 프레임 원장을 준비하는 단계; 상기 프레임 원장을 캐리어 기판 상에 배치하고, 칩의 활성면 상에 형성된 패드가 상기 캐리어 기판을 향하도록 상기 관통공에 상기 칩을 배치하는 단계; 상기 칩을 매립하는 몰딩층 및 상기 몰딩층 상에 도전층을 형성하고, 상기 비아홀 내에 비아 콘택을 형성하는 단계; 및 상기 칩의 패드 상에 상부 재배선층을 형성하고, 상기 상부 재배선층을 상기 비아 콘택과 전기적으로 연결시키는 단계를 포함하는 칩 패키지의 제조방법을 제공한다.

발명의 효과

- [16] 상술한 본 발명에 따르면, 칩을 매립하는 몰딩층에는 도전성 분말이 포함된다. 또한, 몰딩층 상에는 도전성 분말로 구성된 도전층이 형성된다. 도전성 분말을 가지는 몰딩층은 절연 특성을 가지는 기존의 몰딩층에 비해 높은 열전달 특성과

전자파 차폐 능력을 가진다. 또한, 도전성 분말로 구성된 도전층에 의해 몰딩층으로 전달된 열은 더욱 용이하게 외부로 방출될 수 있다. 이외에 칩 상부에 형성된 도전층에 의해 외부에서 인가되는 전자파는 차폐된다.

[17] 통상적으로 칩을 몰딩하는 몰딩재는 절연 특성을 가져야 하는 것으로 당업자에게 인식되고 있다. 그러나, 칩을 구성하는 실리콘 재질 등은 대기 상태에서 SiO₂로 산화되는 특징이 있다. 즉, 자연 산화막을 표면에 형성한다. 따라서, 본 발명에서 몰딩재에 도전성 분말을 도입하더라도, 칩으로부터 몰딩재를 통한 외부와의 원치않는 전기적 단락은 발생하지 않는다.

[18] 또한, 몰딩재를 수용하는 프레임은 도전성 재질이 아닌 절연 특성이나 반도체 특성을 가지며, 칩의 소형화와 함께 박형화에 대한 요구는 날로 증가한다. 따라서, 이를 이용한 칩 패키지도 두께가 혁신적으로 감소할 필요가 있으며, 칩을 차폐하기 위한 몰딩층의 두께도 감소하는 추세에 있다. 몰딩층의 두께가 감소하는 경우, 어느 정도 열방출의 효과는 볼 수 있겠으나, 전자파 차폐 능력은 급격하게 저하된다. 본 발명에서는 이러한 문제점을 극복하여 몰딩층에 도전성 분말을 유입하여 열방출 효과를 극대화하고, 그 상부에 도전층을 형성하여 전자파 차폐를 원활히 수행한다.

[19] 또한, 제조공정에서 관통홀을 매립하는 몰딩층과 비아홀을 매립하는 제1 비아층을 동일한 재질을 사용하여 동시 진행하고, 몰딩층 상에 적층되는 도전층과 제1 비아층 상에 적층되는 제2 비아층을 동일한 재질을 사용하여 동시 진행할 수 있기 때문에 제조과정을 최소화 할 수 있다.

[20] 또한, 상기한 바와 같이 높은 열전달 특성과 전자파 차폐 능력을 가지는 몰딩층 및 도전층에 의해, 칩을 통상의 반도체 칩 외에 지문센싱, 전자기 센싱, 광 센싱 및 의료 센싱 등 여러 센싱장비에 적용시 센싱 감도를 향상시킬 수 있다.

[21] 본 발명의 기술적 효과들은 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[22] 도 1은 본 발명의 실시예에 따른 칩 패키지를 도시한 단면도이다.

[23] 도 2 내지 도 6은 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 칩 패키지의 변형예들을 도시한 단면도들이다.

[24] 도 7 내지 도 9는 본 발명의 바람직한 실시예에 따라 상기 도 1 내지 도 6에 개시된 칩 패키지에 사용될 수 있는 프레임의 구조들을 도시한 단면도들이다.

[25] 도 10 내지 도 15는 본 발명의 실시예에 따라 상기 도 1 및 도 2의 칩 패키지를 제조하는 방법을 설명하기 위한 단면도들 및 평면도이다.

발명의 실시를 위한 최선의 형태

[26] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본

발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

- [27] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [28] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [29]
- [30] 실시예
- [31] 도 1은 본 발명의 실시예에 따른 칩 패키지를 도시한 단면도이다.
- [32] 도 1을 참조하면, 본 실시예의 칩 패키지는 프레임(100), 칩(200), 몰딩층(300), 도전층(310), 비아 컨택(400) 및 상부 재배선층(500)을 포함한다.
- [33] 프레임(100)은 절연성 재질 또는 반도체 재질임이 바람직하다. 또한, 상기 프레임(100)은 이후에 개시되는 캐리어 기판(10) 또는 상술한 몰딩층(300)과 유사한 열팽창 계수를 가짐이 바람직하다. 따라서, 상기 프레임(100)은 절연 세라믹 또는 반도체 재질의 세라믹일 수 있다. 상기 절연 세라믹은 다양한 재질을 가지는 바, 금속 산화물 또는 금속 질화물 등이 사용될 수 있으며, 소다라임 글라스 또는 사파이어 등이 사용될 수 있다.
- [34] 또한, 반도체 재질의 세라믹은 실리콘 재질을 가질 수 있으며, 이외에 ZnO, GaN 및 GaAs 등이 사용될 수도 있다. 다만, 상기 프레임(100)은 사용되는 캐리어 기판(10) 또는 몰딩층(300)의 재질에 따라 다양하게 선택될 수 있다.
- [35] 상기 프레임(100)은 관통공(101)과 관통공(101) 주변에 형성된 비아홀(102)을 가진다. 만일, 상기 프레임(100)이 반도체 재질을 가지는 경우, 관통공(101)의 내주면 상에는 별도의 절연층이 형성될 수 있다. 상기 절연층은 반도체 재질의 프레임(100)과 칩(200) 사이의 전기적 연결을 차단하기 위해 구비될 수 있다. 또한, 프레임(100)이 반도체 재질을 가지는 경우, 비아홀(102)의 내주면에도 별도의 절연층이 형성될 수 있다.
- [36] 프레임(100)의 관통공(101)은 프레임(100)을 관통하도록 마련될 수 있으며, 프레임(100)의 중앙부에 위치할 수 있다. 관통공(101)은 칩(200)의 너비보다 넓게 마련되어 칩(200)을 수용할 수 있다.
- [37] 프레임(100)의 관통공(101) 내에는 칩(200)이 배치된다. 칩(200)의 일면은 회로가 형성되는 활성영역을 포함하는 활성면일 수 있다. 한편, 칩(200)의 배면은 비활성면일 수 있다. 이와 달리, 칩(200)의 양면이 모두 활성면으로 마련되는

경우를 포함한다. 칩(200)의 활성면에는 외부와 신호를 교환하기 위한 패드(210)가 복수로 마련될 수 있으며, 패드(210)는 알루미늄(Al)과 같은 도전성 물질막으로 형성될 수 있다. 패드(210)는 칩(200)과 일체로 형성되는 것을 포함한다.

- [38] 상기 칩(200)의 패드(210)는 상부 재배선층(500)을 향하도록 배치될 수 있다. 또한, 상기 칩(200)의 활성면은 프레임(100)의 제1 면(103)과 동일 평면을 이룸이 바람직하다.
- [39] 또한, 본 발명에 따른 칩 패키지의 칩(200)이 지문 센서로 적용시에는 칩(200) 활성면에 지문을 감지하는 센싱부(220)를 포함할 수 있다. 센싱부(220)는 다양한 형태로 이루어질 수 있으며, 일례로, 도전체를 이용하여 형성될 수 있다. 센싱부(220)는 사용자의 손가락의 지문의 산과 골의 형상에 따른 높이 차에 의한 정전용량의 차이를 찾을 수 있으며, 지문의 이미지를 스캐닝(Scanning)하여 지문 이미지를 만들어 낼 수 있다. 따라서, 본 발명에 따른 칩(200)의 활성면은 후술할 상부 재배선층(500)에 대해 개방된 형태로 형성될 수 있으며, 개방된 활성면에 의해 외부 정보, 일례로, 사용자의 손가락에 의한 지문 정보를 수집할 수 있다. 또한, 본 발명에서의 칩(200)의 센싱부(220)는 지문 센서로써 설명되나, 상기 칩(200)은 지문 센서의 센싱 외에 전자기 센싱, 광 센싱 및 의료 센싱 등의 칩으로도 적용이 가능하다.
- [40] 칩(200)의 두께는 상기 프레임(100)의 두께와 같거나, 다른 값을 가질 수 있으나, 후술한 관통공(101) 내에 충전되는 몰딩층(300)과 도전층(310)을 형성하기 위해서는 상기 프레임(100)의 두께보다 작은 두께를 갖는 것이 바람직하다.
- [41] 관통공(101) 내에 배치된 칩(200)의 측면과 배면에는 몰딩층(300)이 형성된다. 상기 몰딩층(300)은 통상의 에폭시 몰딩 컴파운드(EMC) 재질을 가지며, 액상 또는 분말상으로 공급될 수 있다. 액상으로 공급되는 경우, 용매의 휘발을 통해 몰딩층(300)으로 형성된다. 또한, 상기 몰딩층(300)은 절연성 고분자를 주성분으로 하고, 실리카 입자 등이 포함될 수 있다. 또한, 상기 몰딩층(300)에는 도전성 분말이 혼합된다. 도전성 분말은 Ag, Cu 또는 Al 등의 금속 분말임이 바람직하다. 이외에 상기 도전성 분말은 ITO 또는 IZO 등의 전도성 산화물의 재질을 가질 수도 있다.
- [42] 몰딩층(300)의 상부에는 도전층(310)이 형성된다. 상기 도전층(310)은 관통공(101) 내에 형성됨이 바람직하다. 도전층(310)은 Ag, Cu 또는 Al을 포함하며, 금속 분말이 상호 밀접하게 연결된 형태로 제공될 수 있다. 이를 위해 금속 분말은 용매에 분산되고, 도전성 페이스트 형태로 몰딩층(300) 상에 제공된 이후, 용매의 증발을 통해 도전층(310)이 형성될 수 있다.
- [43] 따라서, 상기 도전층(310)은 도전성 분말이 혼합된 몰딩층(300)에 비해 높은 전도도를 가진다.
- [44] 본 발명의 실시예에 따른 칩 패키지는 칩(200)의 패드(210)보다 외측에

마련되어 상하 방향으로 전기적 신호를 전달할 수 있는 비아 컨택(400)을 포함할 수 있다. 비아 컨택(400)의 일 측은 칩(200)과 전기적으로 연결되고, 타 측은 외부 연결단자(미도시)와 전기적으로 연결되며, 외부 연결단자는 메인 기판 또는 다른 칩 또는 패키지에 전기적으로 연결될 수 있다. 이러한 비아 컨택(400)은 프레임(100)의 관통공(101) 주변에 형성된 비아홀(102)에 매립됨으로써 형성될 수 있다.

[45] 또한, 상기 비아 컨택(400)은 제1 비아층(410)과 제2 비아층(420)을 포함할 수 있다.

[46] 제1 비아층(410)의 일면은 프레임(100)의 제1 면(103)과 동일면이 되도록 형성되고 후술할 상부 재배선층(500)과 전기적으로 연결될 수 있다. 제1 비아층(410)은 상기 몰딩층(300)과 동일 재질을 가짐이 바람직하다.

[47] 제2 비아층(420)은 상기 제1 비아층(410) 상에 형성될 수 있으며, 제2 비아층(420)의 일면이 프레임(100)의 제2 면(104)과 동일면이 되도록 형성될 수 있다. 즉, 제1 비아층(410)과 제2 비아층(420)은 프레임(100)에 형성된 비아홀(102) 내에 형성될 수 있다. 제2 비아층(420)은 상기 도전층(310)과 동일 재질을 가짐이 바람직하다.

[48] 상부 재배선층(500)은 칩(200)의 패드(210)와 비아 컨택(400)의 일 측을 전기적으로 연결하도록 마련될 수 있다. 일 예로, 상부 재배선층(500)은 제1 절연층(510), 제1 배선층(520) 및 제2 절연층(530)을 포함할 수 있다. 제1 절연층(510)과 제2 절연층(530)은 절연물질로 형성되어 제1 배선층(520)을 절연하도록 마련된다.

[49] 제1 절연층(510)은 칩(200)의 활성면, 몰딩층(300) 및 프레임(100)의 제1 면(103) 상에 적층되도록 형성될 수 있다. 또한, 제1 절연층(510)은 칩(200)의 패드(210)와 비아 컨택(400)을 노출하여 제1 절연층(510) 상에 적층되는 제1 배선층(520)이 패드(210) 및 비아 컨택(400)과 접속될 수 있도록 할 수 있다.

[50] 제1 배선층(520)은 도전성 물질을 포함하는 것으로, 재배치 공정을 통해 제1 절연층(510) 상에 적층될 수 있다. 다만, 본 발명에 따른 칩 패키지의 칩(200)이 지문센서로써 기능을 수행시에는, 상기 제1 배선층(520)을 칩(200)의 활성면이 개방되도록 형성함으로써 칩(200)의 센싱부(220)가 개방된 형태를 취하도록 하는 것이 바람직하다.

[51] 제1 배선층(520)은 도전성 물질로 금속을 포함할 수 있고, 예를 들어, 구리, 구리 합금, 알루미늄, 또는 알루미늄 합금을 포함할 수 있다.

[52] 제2 절연층(530)은 제1 절연층(510)과 제1 배선층(520) 상에 적층되어 제1 배선층(520)을 외부로부터 절연시키도록 형성될 수 있다. 도면에는 제2 절연층(530)이 제1 배선층(520)을 밀봉하는 것을 도시하였지만, 이와 달리 제2 절연층(530)이 제1 배선층(520)의 일부를 노출시키도록 마련될 수 있으며, 노출된 제1 배선층(520)을 통해 외부(메인 기판, 반도체 칩, 또는 패키지 등)와 전기적으로 접속될 수 있다.

- [53] 도 2 내지 도 6은 본 발명의 바람직한 실시예에 따라 상기 도 1에 도시된 칩 패키지의 변형예들을 도시한 단면도들이다.
- [54] 도 2를 참조하면, 칩(200)의 패드(210)에 대향되는 방향에 하부 재배선층(600)이 형성된다.
- [55] 즉, 프레임(100)의 제2 면(104)과 도전층(310) 하부에 제3 절연층(610) 및 제2 배선층(620)으로 형성된 하부 재배선층(600)이 형성될 수 있다.
- [56] 제3 절연층(610)은 도전층(310) 및 프레임(100)의 제2 면(104) 상에 적층되도록 형성될 수 있다. 또한, 제3 절연층(610)은 비아 컨택(400)의 제2 비아층(420)을 노출하여 제3 절연층(610) 상에 적층되는 제2 배선층(620)이 외부 연결단자(700)와 접속될 수 있도록 할 수 있다.
- [57] 제2 배선층(620)은 제3 절연층(610) 상에 형성되고, 솔더볼 또는 범프의 구조를 가지는 외부 연결단자(700)와 접속될 수 있다. 따라서, 외부 연결단자(700)는 하부 재배선층(600), 비아 컨택(400) 및 상부 재배선층(500)을 통해 칩(200)의 패드(210)와 전기적으로 연결될 수 있다. 외부 연결단자(700)는 하부 재배선층(600) 없이 도 1에 개시된 칩 패키지의 비아 컨택(400) 하부, 즉 제2 비아층(420) 하부에 직접 접속될 수도 있다.
- [58] 또한, 상기 도 2에 개시된 칩 패키지는 하부 재배선층(600) 및 외부 접속단자(700)를 제외하고는 상기 도 1에 개시된 칩 패키지와 구조 및 재질이 동일하다.
- [59] 도 3을 참조하면, 도 3은 도 1에 도시한 칩 패키지가 복수로 적층된 패키지-온-패키지(Package-On-Package, POP)의 단면도이다. 패키지-온-패키지는 복수의 칩 패키지들(1000, 2000)이 수직으로 적층되는 구조일 수 있다. 구체적으로, 하부 칩 패키지(1000) 상에 상부 칩 패키지(2000)가 위치할 수 있으며, 하부 칩 패키지(1000)의 제2 절연층(530)은 제1 배선층(520)의 일부를 노출하도록 제공되고, 상부 칩 패키지(2000)의 외부 연결단자(700)가 노출된 하부 칩 패키지(1000)의 제1 배선층(520)에 접속될 수 있다.
- [60] 상술한 도 1 내지 도 3의 칩 패키지에서 몰딩층(300)에는 도전성 분말이 혼합된다. 따라서, 몰딩층(300)은 소정의 전도도를 가진다. 몰딩층(300) 상에 형성되는 도전층(310)은 몰딩층(300)보다 높은 전도도를 가진다. 전도도를 가지는 몰딩층(300) 및 도전층(310)에 의해 칩(200)에서 발생하는 열은 용이하게 외부로 유출될 수 있다.
- [61] 또한, 몰딩층(300) 및 도전층(310)에 의해 확보되는 전도도로 인해 외부에서 인가되는 전자파 간섭은 최소화된다. 이를 통해 다양한 환경에서 반도체 소자를 정상동작시킬 수 있다.
- [62] 도 4를 참조하면, 칩(200)을 차폐하는 몰딩층(300)은 높은 전도도를 가지는 도전성 분말로 구성된다. 즉, 상기 도 1에서 설명된 도전성 금속 분말 또는 도전성 산화물 분말을 이용하여 상기 몰딩층(300)을 형성할 수 있다. 절연 재질 또는 반도체 재질의 프레임(100)이 사용되므로 관통 비아(400)와 몰딩층(300)

사이에는 전기적으로 개방된 상태이므로 몰딩층(300)을 도전성 분말로 사용하더라도 칩(200)의 동작에는 영향을 미치지 않는다. 또한, 제1 비아층(410)은 상기 몰딩층(300)과 동일 재질을 가지며, 몰딩층(300)과 동시 공정으로 형성된다.

- [63] 도 5를 참조하면, 상기 도 4에서 설명된 바대로 몰딩층(300)은 도전성 분말로 구성된다. 반도체 칩(200) 상에 베리어막(230)이 도입된 것을 제외하고 상기 도 4와 동일한 구성을 가진다.
- [64] 상기 베리어막(230)은 몰딩층(300)에 포함된 금속물의 확산을 방지한다. 즉, 도전성 분말이 금속 분말을 가지는 경우, 금속의 일부는 높은 확산계수에 의해 칩(200)으로 확산될 수 있다. 특히, 금속 분말 중 Cu는 높은 확산계수를 가진다. 금속물이 칩(200)으로 확산되는 경우, 칩(200)의 오동작을 유발한다. 따라서, 베리어막(230)은 몰딩층(300)의 금속물이 칩(200)으로 확산되는 현상을 차단한다. 이를 위해 상기 베리어막(230)은 칩(200)의 측면과 배면 상에 형성된다.
- [65] 베리어막(230)으로 사용될 수 있는 물질로는 절연막이나 금속막이 사용될 수 있다. 일례로, Ti, Ta, W, Ru, Mo, TiN, TaN, WN 또는 그래핀 산화물 등이 있으며, 이들의 이중층 또는 복합층도 적용가능하다 할 것이다.
- [66] 도 6을 참조하면, 몰딩층(300)은 높은 전도도를 가지므로, 이를 별도의 배선을 이용하여 접지 단자(610)와 전기적으로 연결한다. 즉, 몰딩층(300)은 도전층(310)과 연결된 접지 배선(621)을 통해 접지 단자(710)와 전기적으로 연결된다. 칩(200)을 차폐하는 몰딩층(300)이 접지 단자(610)와 전기적으로 연결되는 경우, 몰딩층(300)에 의한 전자파 차폐 능력은 향상된다. 이를 통해 반도체 칩(200)의 안정적인 동작을 확보할 수 있으며, 열방출 능력도 향상된다.
- [67] 본 발명의 실시예에 따른 칩 패키지는 별도의 금속패드를 삭제하면서도 비아 컨택(400)과 배선층이 직접 접속될 수 있도록 하여 경박단소한 제품의 제조를 가능하게 하고 제품의 적용 범위를 확장시킬 수 있다.
- [68] 칩(200)을 포함하는 센서 장치의 경우 칩(200)의 활성면으로부터 전체 빌드업 층 사이의 두께를 최소로 하는 것이 센싱 감도를 높일 수 있는 방법이다. 본 발명의 실시예에 따른 칩 패키지의 경우 제1 절연층(510)의 두께를 감소시킬 수 있기 때문에 다양한 분야의 칩 패키지에 활용도가 높다.
- [69] 또한, 본 발명에 실시예에 따른 칩 패키지의 몰딩층(300)에는 도전성 분말이 혼합된다. 따라서, 몰딩층(300)은 소정의 전도도를 가진다. 몰딩층(300) 상에 형성되는 도전층(310)은 몰딩층(300)보다 높은 전도도를 가진다. 전도도를 가지는 몰딩층(300) 및 도전층(310)에 의해 칩(200)에서 발생하는 열은 용이하게 외부로 유출될 수 있다.
- [70] 또한, 몰딩층(300) 및 도전층(310)에 의해 확보되는 전도도로 인해 외부에서 인가되는 전자파 간섭은 최소화된다. 이를 통해 다양한 환경에서 반도체 소자를 정상동작시킬 수 있다.

- [71] 도 7 내지 도 9는 본 발명의 바람직한 실시예에 따라 상기 도 1 내지 도 6에 개시된 칩 패키지에 사용될 수 있는 프레임의 구조들을 도시한 단면도들이다.
- [72] 도 7을 참조하면, 비아홀(102)과 관통공(103)이 형성된 프레임(110)은 관통공(103)을 향해 돌출된 형상을 가진다.
- [73] 즉, 관통공(103)을 정의하는 프레임(110)의 내주면은 관통공(103)을 향해 볼록한 형상으로 제공된다. 이후의 제조공정에서 몰딩층을 통한 열응력이 발생되는 경우, 관통공(103)의 내주면을 향해 볼록한 형상을 가지는 프레임(110)은 열응력을 프레임 전체에 고르게 분산시킨다.
- [74] 도 8을 참조하면, 프레임(120)은 제1 관통공(104)과 제2 관통공(105)을 가지고, 관통공들(104, 105) 주변에 비아홀(102)을 가진다. 제1 관통공(104)은 제2 관통공(105)에 비해 넓은 폭을 가진다. 상기 제1 관통공(104) 내에 칩(200)이 실장될 수 있다. 제2 관통공(105)에 의해 프레임의 일부는 칩(200) 상부까지 신장될 수 있으며, 이를 통해 외부환경으로부터 프레임(120)은 칩(200)을 효과적으로 보호할 수 있다.
- [75] 도 9를 참조하면, 프레임(130)은 제1 관통공(106)과 제2 관통공(107)을 가지고, 관통공들(106, 107) 주변에 비아홀(102)을 가진다. 제1 관통공(106)은 제2 관통공(107)에 비해 좁은 폭을 가진다. 상기 제1 관통공(107) 내에 칩(200)이 실장될 수 있다.
- [76] 도 10 내지 도 15는 본 발명의 바람직한 실시예에 따라 상기 도 1 및 도 2에 도시된 칩 패키지의 제조방법을 설명하기 위한 평면도 및 단면도들이다.
- [77] 도 10을 참조하면, 프레임 원장(10)이 준비된다. 상기 프레임 원장(10)은 복수개의 관통공(101)들과 관통공(101)들 주변에 형성된 복수개의 비아홀(102)들을 가진다. 도 10에서 하나의 관통공(101) 주변에 형성된 비아홀(102)들은 관통공(101)의 좌우측에만 형성된 것으로 도시되나, 비아홀(102)들은 관통공(101) 주변의 다양한 위치에 형성될 수 있다.
- [78] 또한, 상기 프레임 원장(10)은 이후의 커팅 공정에 따라 각각의 프레임(100)들로 분리되며, 각각의 프레임(100)은 적어도 하나의 관통공(101)과 관통공(101) 주변에 형성된 복수개의 비아홀(102)들을 가진다. 따라서, 상기 프레임 원장(10)의 재질은 상기 도 1에서 설명된 프레임(100)과 동일한 재질을 가진다.
- [79] 만일, 프레임 원장(10)이 반도체 재질을 가지는 경우, 프레임(100) 원장의 표면은 산화물 또는 질화물의 절연층으로 도포될 수 있다. 따라서, 프레임 원장(10)에 형성된 관통공(101)의 내주면 및 비아홀(102)의 내주면에는 절연층이 도포될 수 있다.
- [80] 도 11을 참조하면, 프레임 원장(10)은 캐리어 기판(20) 상에 배치된다. 프레임(100) 원장의 제1 면(103)은 캐리어 기판(20)을 향하여 배치되고, 관통공(101) 및 비아홀(102)을 통해 캐리어 기판(20)의 표면은 노출된다.
- [81] 도 12를 참조하면, 관통공(101) 내에 칩(200)이 배치된다. 일례로, 상기

- 칩(200)은 활성면에 지문을 감지하는 센싱부(220)를 포함할 수 있다.
- [82] 칩(200)의 활성면 상의 패드(210)는 캐리어 기관(20)을 향하도록 배치된다. 이어서, 관통공(101) 내에 배치된 칩(200)을 차폐하는 몰딩층(300)이 형성된다. 상기 몰딩층(300)은 에폭시 몰딩 컴파운드에 도전성 분말이 혼입된 것이다. 몰딩층(300)의 형성을 위해 에폭시 몰딩 컴파운드 등은 용액 상으로 제공되거나, 분말의 형태로 제공된다. 상술한 몰딩재는 칩(200)이 배치된 관통공(101)을 매립한다. 또한, 용액상의 몰딩재의 경화 및 분말의 경화를 위해 가열 공정이 수행될 수 있으며, 이를 통해 도전성 분말이 혼입된 몰딩층(300)이 형성된다.
- [83] 특히, 상기 몰딩층(300)의 형성과 동시에 몰딩층(300)과 동일 재질을 가지는 비아 컨택(400)의 제1 비아층(410)이 비아홀(102) 내에 형성될 수 있다. 즉, 몰딩층(300)과 제1 비아층(410)은 동일 재질을 가지므로, 제1 비아층(410)은 몰딩층(300)과 같이 에폭시 몰딩 컴파운드에 Ag, Cu 또는 Al 등의 도전성 분말이 혼입된 층일 수 있다. 따라서, 몰딩층(300)과 제1 비아층(410)은 관통공(101) 및 비아홀(102)을 매립하여 동시 공정으로 생성될 수 있다.
- [84] 또한, 몰딩층(300)과 제1 비아층(410)이 상호 다른 재질을 가지는 경우, 몰딩층(300) 및 제1 비아층(410)의 형성은 순서에 무관하게 진행될 수 있다.
- [85] 계속해서, 상기 몰딩층(300) 상에 도전층(310)이 형성된다. 상기 도전층(310)은 몰딩층(300)과 함께 관통공(101) 내에 형성됨이 바람직하다. 도전층(310)은 Ag, Cu 또는 Al을 포함하며, 금속 분말이 상호 밀접하게 연결된 형태로 제공될 수 있다. 이를 위해 금속 분말은 용매에 분산되고, 도전성 페이스트 형태로 몰딩층(300) 상에 제공된 이후, 용매의 증발을 통해 도전층(310)이 형성될 수 있다.
- [86] 또한, 상기 도전층(310)은 금속 분말 이외에 전도성 산화물을 포함할 수 있다. 상기 전도성 산화물은 ITO 또는 IZO 등으로 구성될 수 있다.
- [87] 특히, 상기 도전층(310)의 형성과 동시에 도전층(310)과 동일 재질을 가지는 제2 비아층(420)이 제1 비아층(410) 상에 형성될 수 있다. 즉, 도전층(310)과 제2 비아층(420)은 동일 재질을 가질 수 있으므로, 제2 비아층(420)은 Ag, Cu 또는 Al을 포함한 형태일 수 있다. 따라서, 도전층(310)과 제2 비아층(420)은 몰딩층(300) 상부와 제1 비아층(410) 상부를 매립하여 동시 공정으로 생성될 수 있다. 상기 제2 비아층(420)은 제1 비아층(410)과 함께 비아홀(102) 내에 형성됨이 바람직하다.
- [88] 또한, 도전층(310)과 제2 비아층(420)이 상호 다른 재질을 가지는 경우, 도전층(310) 및 제2 비아층(420)의 형성은 순서에 무관하게 진행될 수 있다.
- [89] 이를 통해 캐리어 기관(20) 상에 배치된 프레임 원장(10)의 관통공(101)에는 칩(200)이 배치되고, 칩(200)은 몰딩층(300)에 의해 매립된다. 몰딩층(300)의 매립과 동시에 관통공(101)의 측면에 형성된 비아홀(102)에는 제1 비아층(410)이 매립된다. 또한, 몰딩층(300)의 상부에는 도전층(310)이 형성되며, 비아홀(102)에 매립된 제1 비아층(410) 상부에는 제2 비아층(420)이 매립되어 비아 컨택(400)을

형성한다. 형성된 비아 컨택(400)의 일단 및 타단은 프레임 원장(10)의 제1 면(103) 및 제2 면(104)과 각각 동일 평면을 이룸이 바람직하다.

[90] 도 13을 참조하면, 캐리어 기관(20)은 제거되고, 칩(200)의 활성화면 및 프레임 원장(10)의 제1 면(103) 상에 상부 재배선층(500)이 형성된다.

[91] 먼저, 몰딩층(300)이 형성된 프레임 원장(10)은 캐리어 기관(20)으로부터 분리된다. 캐리어 기관(20)과의 분리를 통해 칩(200)의 패드(210) 및 프레임 원장(10)의 제1 면(103)은 노출된다. 또한, 칩(200)의 패드(210) 및 프레임 원장(10)의 제1 면(103) 상에 상부 재배선층(500)이 형성된다.

[92] 제1 절연층(510)은 칩(200)과 프레임(100)과 몰딩층(300)을 덮도록 적층될 수 있다. 이 때, 제1 절연층(510)은 비아 컨택(400)과 칩(200)의 패드(210)를 노출하도록 형성될 수 있다. 제1 절연층(510)의 일부를 제거하는 과정은 식각 공정 또는 레이저 제거 공정을 이용할 수 있다. 제1 절연층(510)은 절연물을 포함할 수 있고, 예를 들어 산화물, 질화물, 또는 에폭시 몰딩 컴파운드 등을 포함할 수 있다.

[93] 제1 절연층(510)이 형성된 후 제1 배선층(520)이 형성될 수 있다. 제1 배선층(520)은 제1 절연층(510) 상에 적층되고, 칩(200)의 패드(210)와 비아 컨택(400)을 전기적으로 연결하는 재배선 패턴을 형성할 수 있다. 제1 배선층(520)은 제1 절연층(510)의 개구된 부분을 충전할 수 있고, 이 과정에서 칩(200)의 패드(210) 및 비아 컨택(400)과 접속될 수 있다. 다만, 본 발명에 따른 칩 패키지의 칩(200)이 지문 센서로써 기능을 수행시에는, 상기 제1 배선층(520)을 칩(200)의 활성화면이 개방되도록 형성함으로써 칩(200)의 센싱부(220)가 개방된 형태를 취하도록 하는 것이 바람직하다. 제1 배선층(520)은 도전성 물질로 금속을 포함할 수 있고, 예를 들어, 구리, 구리 합금, 알루미늄, 또는 알루미늄 합금을 포함할 수 있다.

[94] 제1 배선층(520)이 형성된 후 제2 절연층(530)이 형성될 수 있다. 제2 절연층(530)은 제1 절연층(510)과 제1 배선층(520)의 노출된 면에 적층될 수 있다. 도면에는 제2 절연층(530)이 제1 배선층(520)이 외부로 노출되지 않도록 덮는 것을 도시하였지만, 이와 달리 제2 절연층(530)의 일부가 제거되어 제1 배선층(520)을 외부로 노출할 수 있다. 이 때, 노출된 제1 배선층(520)은 외부와 전기적으로 접속될 수 있는 통로로 사용될 수 있다. 제2 절연층(530)은 절연물을 포함할 수 있고, 예를 들어 산화물, 질화물, 또는 에폭시 몰딩 컴파운드 등을 포함할 수 있다.

[95] 상술한 과정을 통해 프레임 원장(10)의 내에서 칩(200)이 실장되고, 관통공(101)들을 매립하는 몰딩층(300) 및 도전층(310)이 형성된다. 또한, 비아홀(102)에 제1 비아층(410)과 제2 비아층(420)을 형성함으로써 비아 컨택(400)이 형성된다. 이후, 칩(200)의 활성화면 및 프레임 원장(10)의 제1 면(103) 상에는 상부 재배선층(500)이 형성된다.

[96] 이어서, 도 14에서와 같이, 커팅 라인 A-A'를 따라 프레임 원장(10)을 커팅하여

개별화된 칩 패키지를 얻을 수 있다.

- [97] 즉, 칩(200)과 상기 칩(200)을 차폐하는 몰딩층(300)을 수용하는 관통공(101)을 가지는 프레임 원장(10)의 커팅을 통해 상기 도 1에 도시된 칩 패키지를 얻을 수 있다.
- [98] 또한, 본 발명의 다른 실시예로써 도 13에 도시된 상부 재배선층(500) 형성 이후에 도 15에서와 같이 칩(200)의 패드(210)에 대향되는 방향에 하부 재배선층(600)이 형성될 수 있다.
- [99] 즉, 프레임(100)의 제2 면(104)과 도전층(310) 하부에 제3 절연층(610) 및 제2 배선층(620)이 순차적으로 형성될 수 있고, 제2 배선층(620) 하부에는 비아 콘택(400)과 전기적으로 연결될 수 있도록 외부 접속단자(700)가 형성될 수 있다. 외부 연결단자(700)는 하부 재배선층(600) 없이 도 12에 도시된 칩 패키지의 비아 콘택(400) 하부, 즉 제2 비아층(420) 하부에 직접 접속될 수도 있다.
- [100] 하부 재배선층(600)이 추가로 형성되면 도 14에서 실시되는 프레임 원장(10)을 커팅하여 칩 패키지를 개별화하는 단계는 도 15 이후에 실시될 수 있다.
- [101] 또한, 상기 도 14에서 개시된 구조물에 대한 커팅 공정에 따라 칩 패키지의 형상은 다양하게 변경될 수 있다. 즉, 비아 콘택(400)을 제거하는 커팅을 통해 칩(200)의 측면을 감싸는 몰딩층(300)을 노출하는 칩 패키지의 제작도 가능할 것이다.
- [102]
- [103] 상술한 바와 같이, 본 발명에 따른 칩 패키지는 칩(200)을 매립하는 몰딩층(300)에 도전성 분말이 포함된다. 또한, 몰딩층(300) 상에는 도전성 분말로 구성된 도전층(310)이 형성된다. 도전성 분말을 가지는 몰딩층(300)은 절연 특성을 가지는 기존의 몰딩층(300)에 비해 높은 열전달 특성과 전자파 차폐 능력을 가진다. 또한, 도전성 분말로 구성된 도전층(310)에 의해 몰딩층(300)으로 전달된 열은 더욱 용이하게 외부로 방출될 수 있다. 이외에 칩(200) 상부에 형성된 도전층(310)에 의해 외부에서 인가되는 전자파는 차폐된다.
- [104] 통상적으로 칩(200)을 몰딩하는 몰딩재는 절연 특성을 가져야 하는 것으로 당업자에게 인식되고 있다. 그러나, 칩(200)을 구성하는 실리콘 재질 등은 대기 상태에서 SiO₂로 산화되는 특징이 있다. 즉, 자연 산화막을 표면에 형성한다. 따라서, 본 발명에서 몰딩재에 도전성 분말을 도입하더라도, 칩(200)으로부터 몰딩재를 통한 외부와의 원치않는 전기적 단락은 발생하지 않는다.
- [105] 또한, 몰딩재를 수용하는 프레임(100)은 도전성 재질이 아닌 절연 특성이나 반도체 특성을 가지며, 칩의 소형화와 함께 박형화에 대한 요구는 날로 증가한다. 따라서, 이를 이용한 칩 패키지도 두께가 혁신적으로 감소할 필요가 있으며, 칩(200)을 차폐하기 위한 몰딩층(300)의 두께도 감소하는 추세에 있다. 몰딩층(300)의 두께가 감소하는 경우, 어느 정도 열방출의 효과는 볼 수 있겠으나, 전자파 차폐 능력은 급격하게 저하된다. 본 발명에서는 이러한 문제점을 극복하여 몰딩층(300)에 도전성 분말을 유입하여 열방출 효과를

극대화하고, 그 상부에 도전층(310)을 형성하여 전자파 차폐를 원활히 수행한다.

[106] 또한, 제조공정에서 관통공(101)을 매립하는 몰딩층(300)과 비아홀(102)을 매립하는 제1 비아층(410)을 동일한 재질을 사용하여 동시 진행하고, 몰딩층(300) 상에 적층되는 도전층(310)과 제1 비아층(410) 상에 적층되는 제2 비아층(420)을 동일한 재질을 사용하여 동시 진행할 수 있기 때문에 제조과정을 최소화 할 수 있다.

[107] 한편, 본 명세서와 도면에 개시된 본 발명의 실시례들은 이해를 돕기 위해 특정례를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시례들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형례들이 실시 가능하다는 것은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

청구범위

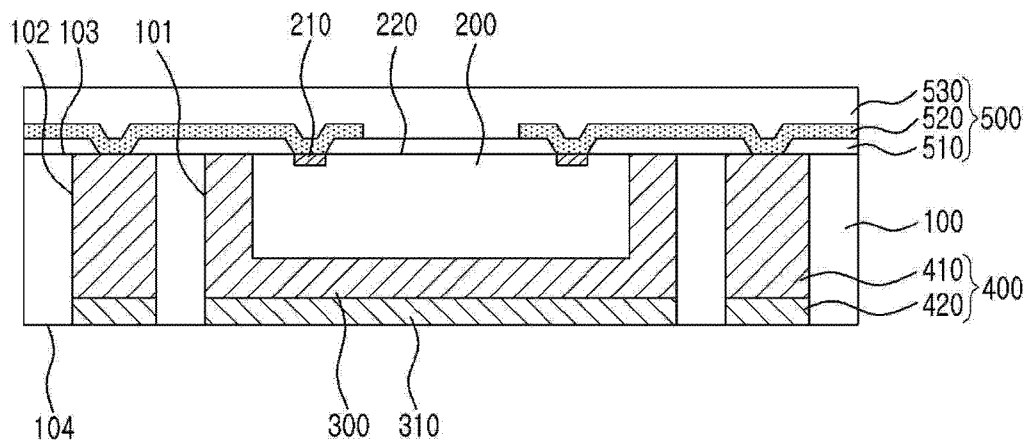
- [청구항 1] 관통공과 비아홀을 가지는 프레임;
상기 프레임의 관통공에 배치되는 칩;
상기 관통공에 배치된 상기 칩을 매립하는 몰딩층;
상기 칩의 활성 영역 상의 패드와 전기적으로 연결되고, 상기 프레임의 제1 면 상에 신장되어 형성된 상부 재배선층; 및
상기 비아홀을 매립하고 상기 상부 재배선층에 전기적으로 연결되는 비아 콘택을 포함하고,
상기 몰딩층과 상기 도전층은 상기 관통공 내에 형성되는 것을 특징으로 하는 칩 패키지.
- [청구항 2] 제1항에 있어서,
상기 몰딩층은 도전성 분말을 포함하고,
상기 도전성 분말은 금속 분말 또는 도전성 산화물 분말이며,
상기 금속 분말은 Ag, Cu 또는 Al을 가지고,
상기 도전성 산화물은 ITO 또는 IZO를 가지는 것을 특징으로 하는 칩 패키지.
- [청구항 3] 제1항에 있어서,
상기 몰딩층 상에 형성된 도전층을 더 포함하고,
상기 도전층은 상기 몰딩층보다 높은 전도도를 가지는 칩 패키지.
- [청구항 4] 제1항에 있어서, 상기 비아 콘택은
상기 상부 재배선층과 접촉되는 제1 비아층; 및
상기 제1 비아층 상에 형성되는 제2 비아층을 포함하는 칩 패키지.
- [청구항 5] 제1항에 있어서, 상기 상부 재배선층은
상기 칩의 활성면 상에 형성된 제1 절연층;
상기 제1 절연층 상에 형성되고, 상기 패드와 전기적으로 연결되는 제1 배선층; 및
상기 제1 배선층 상에 형성된 제2 절연층을 포함하고,
상기 제1 배선층은 상기 활성면이 개방되도록 형성되는 것을 특징으로 하는 칩 패키지.
- [청구항 6] 제1항에 있어서,
상기 칩의 측면 또는 배면에는 금속물의 확산을 방지하기 위한 베리어막이 형성된 것을 특징으로 하는 칩 패키지.
- [청구항 7] 제6항에 있어서,
상기 베리어막은 Ti, Ta, W, Ru, Mo, TiN, TaN, WN 또는 그래핀 산화물을 가지는 것을 특징으로 하는 칩 패키지.
- [청구항 8] 제1항에 있어서,
상기 몰딩층은 접지 단자에 전기적으로 연결되는 것을 특징으로 하는 칩

- 패키지.
- [청구항 9] 제1항에 있어서,
상기 프레임은 상기 관통공을 향해 볼록한 형상을 가지거나, 상기 반도체 칩이 수용되는 제1 관통공과 상기 제1 관통공 상에 형성되고 상기 제1 관통공과 다른 쪽을 가지는 제2 관통공을 포함하는 것을 특징으로 하는 칩 패키지.
- [청구항 10] 제9항에 있어서,
상기 프레임은 절연 세라믹 또는 반도체 재료의 세라믹을 포함하고, 상기 절연 세라믹은, 소다라임 글라스 또는 사파이어이고, 상기 반도체 재료의 세라믹은 실리콘, ZnO, GaN 또는 GaAs를 포함하는 것을 특징으로 하는 칩 패키지.
- [청구항 11] 제1항에 있어서,
상기 비아 컨택과 전기적으로 연결되고, 상기 패드와 대향하는 방향으로 배치되며, 외부 연결단자와 전기적으로 연결되는 하부 재배선층을 포함하는 칩 패키지.
- [청구항 12] 제1항에 있어서,
상기 칩의 활성 영역은 전자기적, 광학적 또는 물리적으로 개방되는 것을 특징으로 하는 칩 패키지.
- [청구항 13] 관통공과 상기 관통공 주변 영역에 형성된 비아홀을 가지는 프레임 원장을 준비하는 단계;
상기 프레임 원장을 캐리어 기판 상에 배치하고, 칩의 활성면 상에 형성된 패드가 상기 캐리어 기판을 향하도록 상기 관통공에 상기 칩을 배치하는 단계;
상기 칩을 매립하는 몰딩층 및 상기 몰딩층 상에 도전층을 형성하고, 상기 비아홀 내에 비아 컨택을 형성하는 단계; 및
상기 칩의 패드 상에 상부 재배선층을 형성하고, 상기 상부 재배선층을 상기 비아 컨택과 전기적으로 연결시키는 단계를 포함하는 칩 패키지의 제조방법.
- [청구항 14] 제13항에 있어서, 상기 비아홀 내에 비아 컨택을 형성하는 단계는,
상기 비아홀 내에 제1 비아층을 형성하는 단계; 및
상기 제1 비아층 상에 제2 비아층을 형성하는 단계를 포함하는 칩 패키지의 제조방법.
- [청구항 15] 제 14항에 있어서,
상기 몰딩층의 형성은 상기 제1 비아층의 형성과 동시에 진행되고, 상기 도전층의 형성은 상기 제2 비아층의 형성과 동시에 진행되는 칩 패키지의 제조방법.
- [청구항 16] 제13항에 있어서,
상기 패드에 대향하는 방향으로 상기 프레임 원장 상에 하부 재배선층을

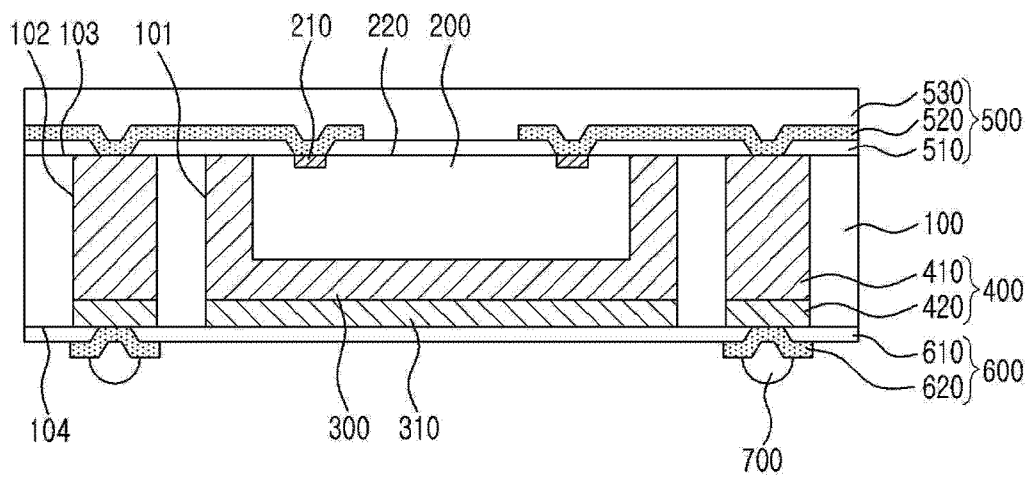
형성하고, 상기 하부 재배선층을 상기 비아 컨택과 전기적으로 연결시키는 단계를 더 포함하는 칩 패키지의 제조방법.

- [청구항 17] 제13항에 있어서,
상기 상부 재배선층을 형성하는 단계 이후에, 상기 프레임 원장을 커팅하여 칩 패키지를 개별화하는 단계를 더 포함하는 칩 패키지의 제조방법.

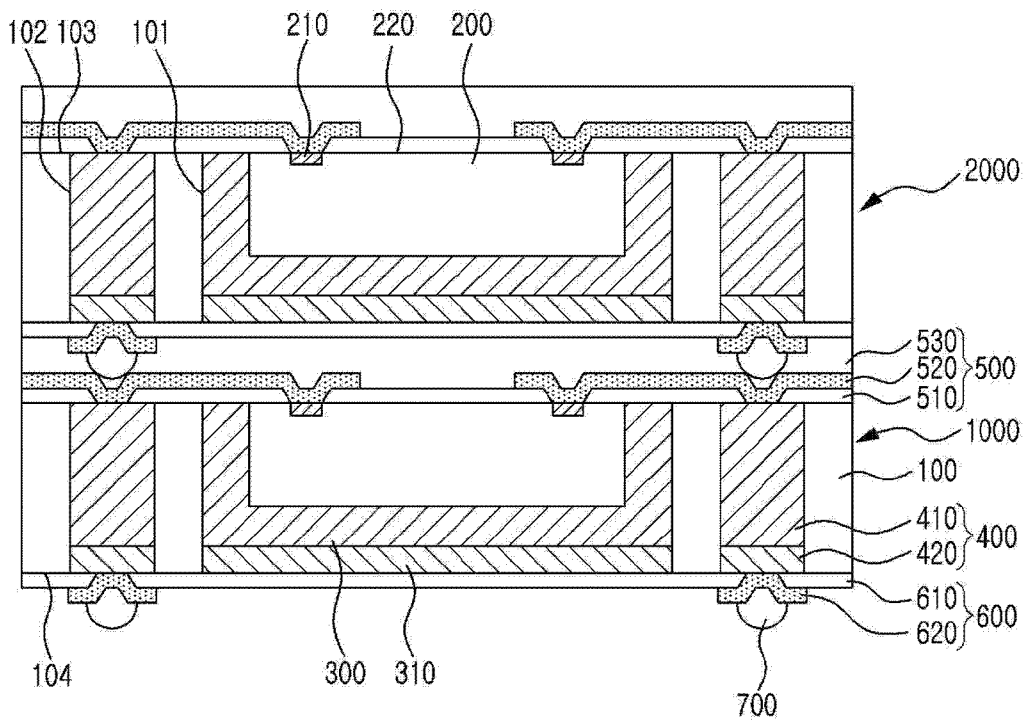
[도1]



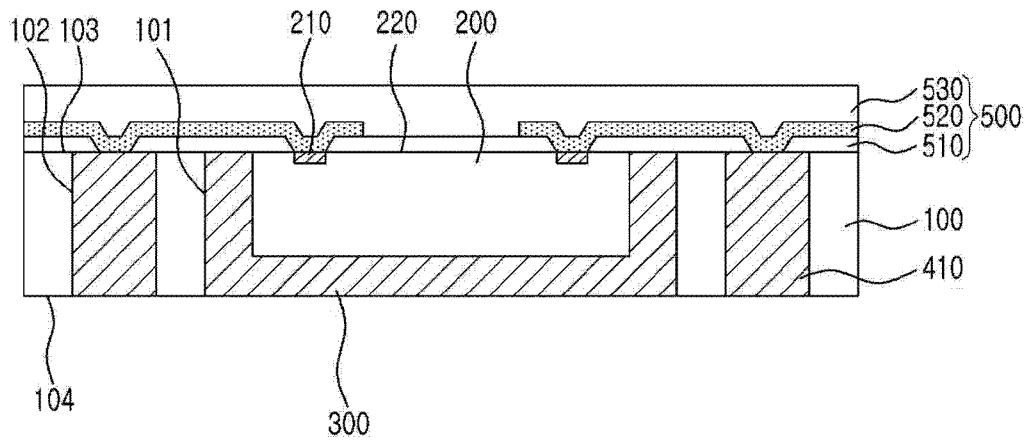
[도2]



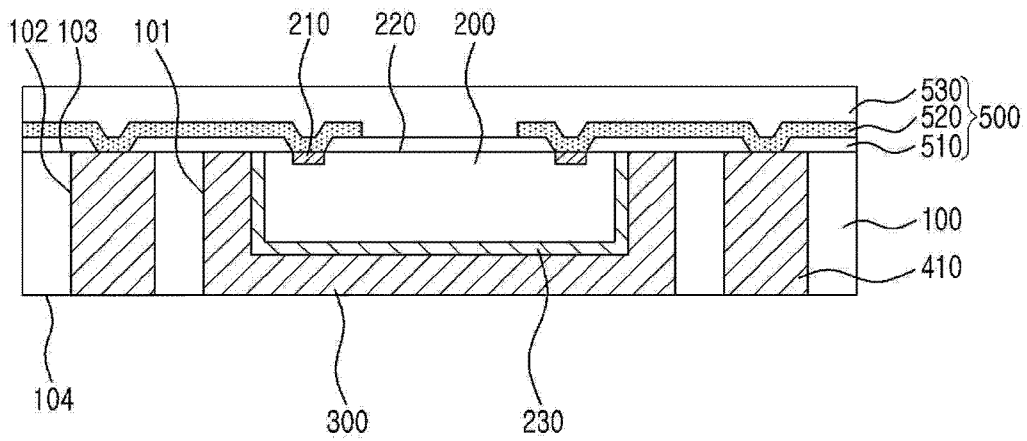
[도3]



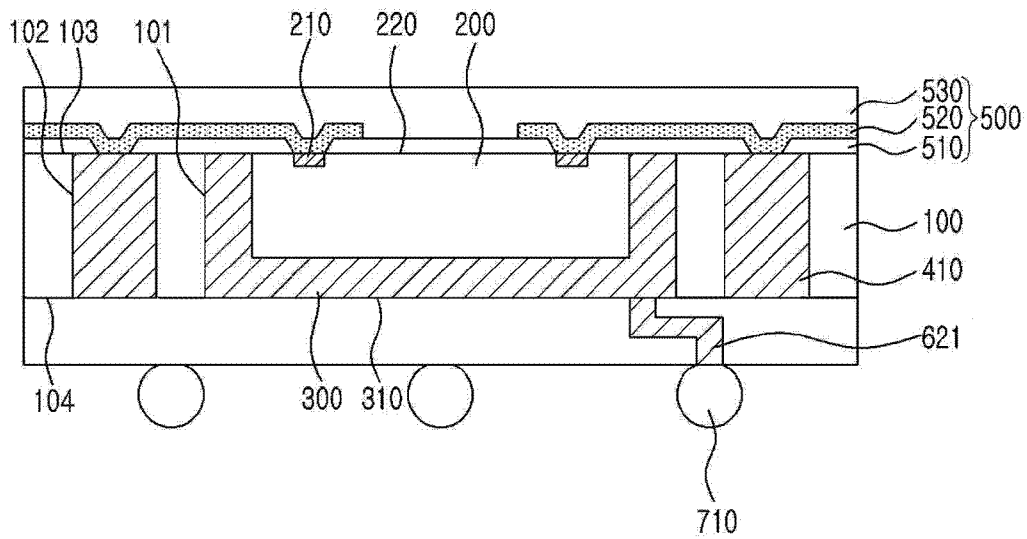
[도4]



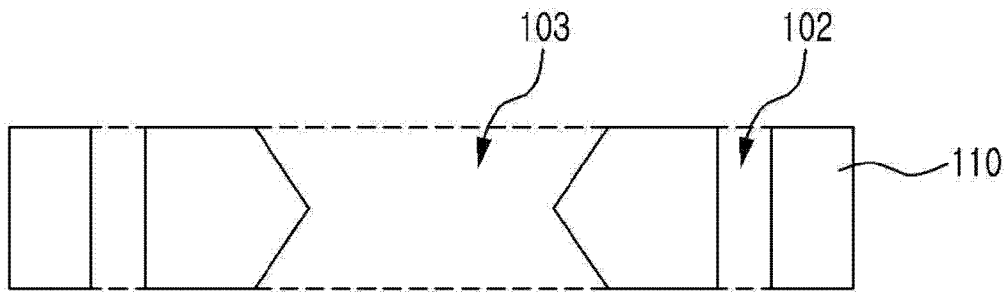
[도5]



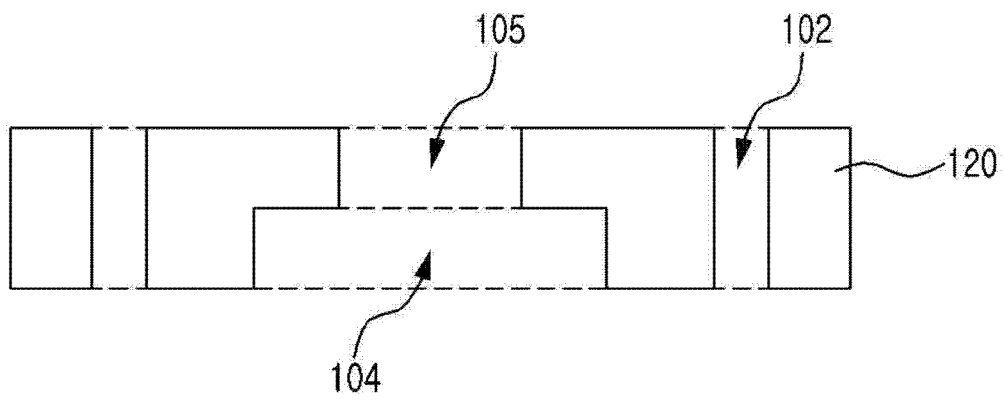
[도6]



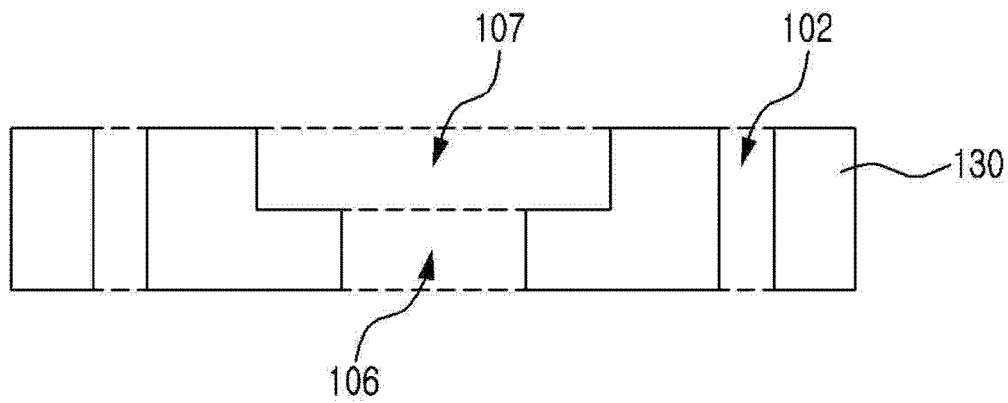
[도7]



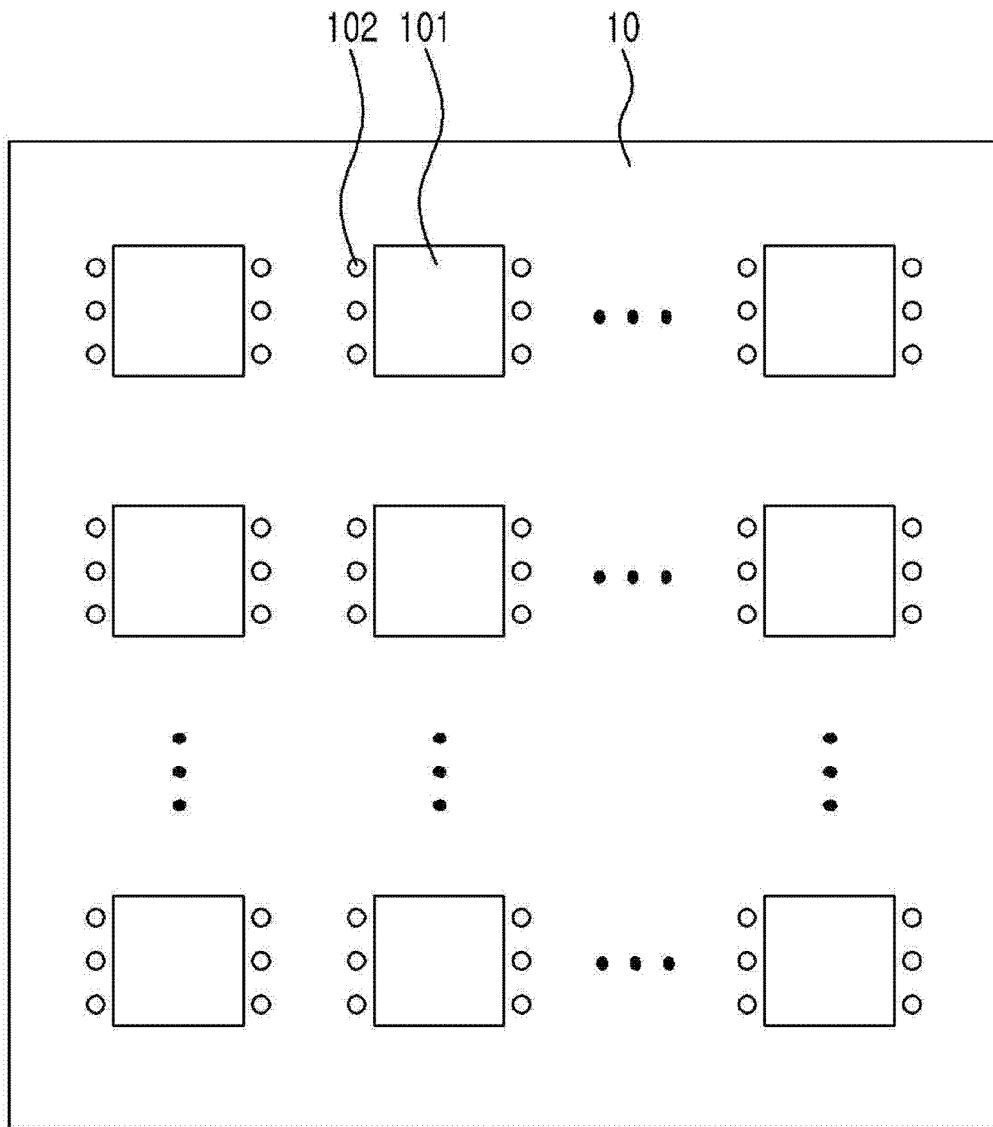
[도8]



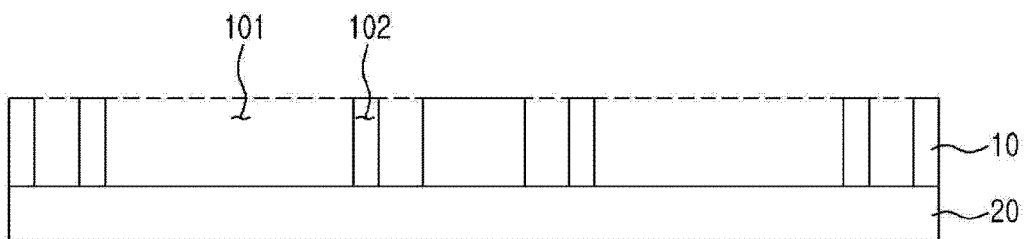
[도9]



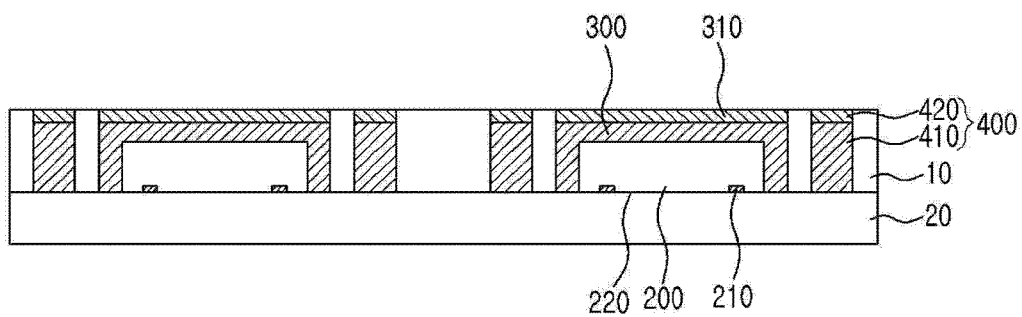
[도10]



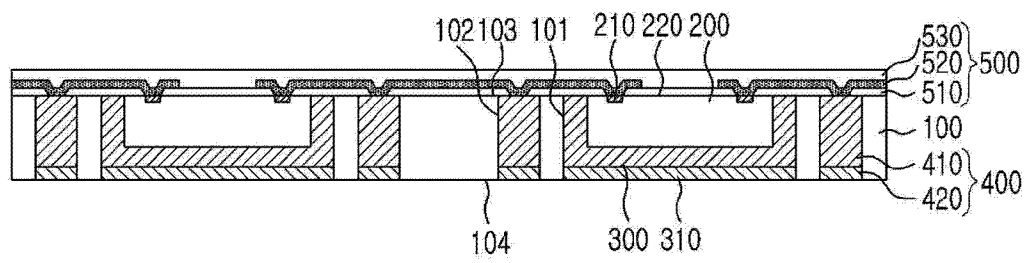
[도11]



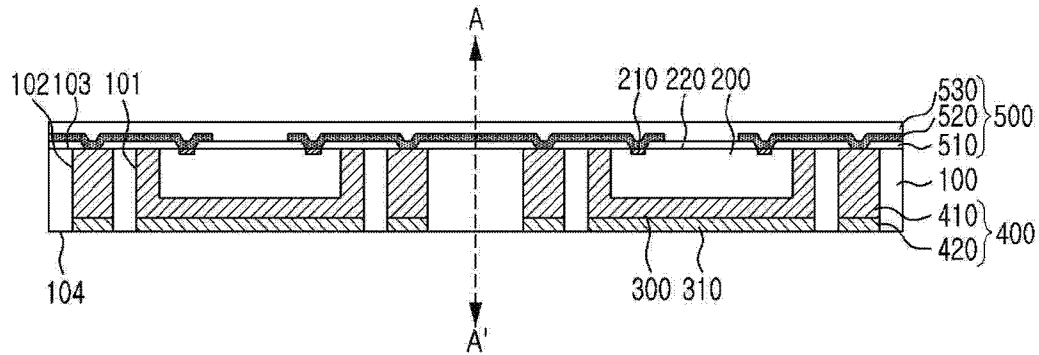
[도12]



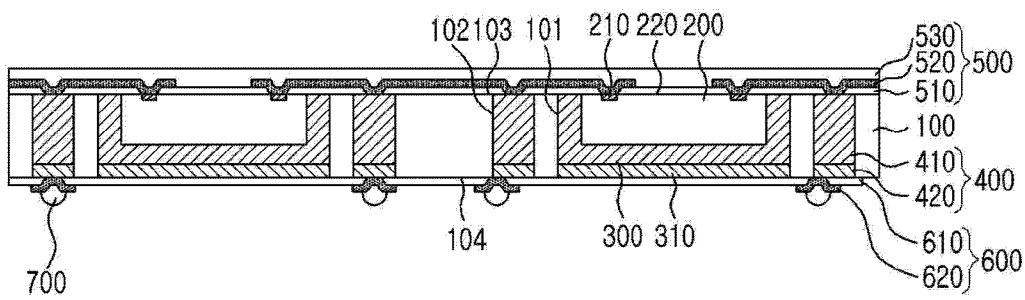
[도13]



[도14]



[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002694

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/06(2006.01)i, H01L 23/31(2006.01)i, H01L 23/29(2006.01)i, H01L 23/60(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/06; H05K 1/18; H05K 3/46; H01L 21/56; H01L 23/34; H01L 25/00; H01L 23/28; H01L 23/31; H01L 23/29; H01L 23/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: through-hole, via, frame, chip, molding, pad, redistribution line, hole, contact, carrier substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0024944 A (IBIDEN CO., LTD.) 09 March 2015 See abstract, paragraphs [38]-[172], figures 1-83.	1,3-5,11-17
Y		2,6-10
Y	JP 05-129482 A (KYOCERA CORP.) 25 May 1993 See paragraphs [8]-[17], figure 1.	2
Y	KR 10-2012-0077875 A (SAMSUNG ELECTRONICS CO., LTD.) 10 July 2012 See paragraphs [46]-[69], claims 1-16, figures 1a-11.	6-7
Y	KR 10-2009-0039407 A (SAMSUNG TECHWIN CO., LTD.) 22 April 2009 See paragraphs [6]-[31], figures 1-2.	8
Y	JP 11-135526 A (MATSUSHITA ELECTRIC WORKS LTD.) 21 May 1999 See paragraphs [8]-[24], figure 1.	9-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 AUGUST 2017 (28.08.2017)

Date of mailing of the international search report

28 AUGUST 2017 (28.08.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002694

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0024944 A	09/03/2015	CN 103703874 A JP 2012-164952 A JP 2013-038374 A KR 10-1539166 B1 KR 10-2013-0139369 A TW 201309128 A TW 1436701 B US 2012-0186861 A1 US 2012-0186866 A1 US 8785788 B2 US 8829357 B2 WO 2013-008552 A1	02/04/2014 30/08/2012 21/02/2013 23/07/2015 20/12/2013 16/02/2013 01/05/2014 26/07/2012 26/07/2012 22/07/2014 09/09/2014 17/01/2013
JP 05-129482 A	25/05/1993	NONE	
KR 10-2012-0077875 A	10/07/2012	CN 102569208 A CN 102569208 B DE 102011055013 A1 JP 2012-142572 A US 2012-0171814 A1 US 2014-0300004 A1 US 8759147 B2 US 9059072 B2	11/07/2012 12/04/2017 05/07/2012 26/07/2012 05/07/2012 09/10/2014 24/06/2014 16/06/2015
KR 10-2009-0039407 A	22/04/2009	NONE	
JP 11-135526 A	21/05/1999	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/06(2006.01)i, H01L 23/31(2006.01)i, H01L 23/29(2006.01)i, H01L 23/60(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/06; H05K 1/18; H05K 3/46; H01L 21/56; H01L 23/34; H01L 25/00; H01L 23/28; H01L 23/31; H01L 23/29; H01L 23/60

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 관통공, 비아, 프레임, 칩, 몰딩, 패드, 재배선, 홀, 컨택, 캐리어 기판

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0024944 A (이비덴 가부시키가이샤) 2015.03.09 요약, 단락 38-172, 도면 1-83 참조.	1,3-5,11-17
Y		2,6-10
Y	JP 05-129482 A (KYOCERA CORP.) 1993.05.25 단락 8-17, 도면 1 참조.	2
Y	KR 10-2012-0077875 A (삼성전자주식회사) 2012.07.10 단락 46-69, 청구항 1-16, 도면 1a-1l 참조.	6-7
Y	KR 10-2009-0039407 A (삼성테크윈 주식회사) 2009.04.22 단락 6-31, 도면 1-2 참조.	8
Y	JP 11-135526 A (MATSUSHITA ELECTRIC WORKS LTD.) 1999.05.21 단락 8-24, 도면 1 참조.	9-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 08월 28일 (28.08.2017)

국제조사보고서 발송일

2017년 08월 28일 (28.08.2017)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0024944 A	2015/03/09	CN 103703874 A JP 2012-164952 A JP 2013-038374 A KR 10-1539166 B1 KR 10-2013-0139369 A TW 201309128 A TW 1436701 B US 2012-0186861 A1 US 2012-0186866 A1 US 8785788 B2 US 8829357 B2 WO 2013-008552 A1	2014/04/02 2012/08/30 2013/02/21 2015/07/23 2013/12/20 2013/02/16 2014/05/01 2012/07/26 2012/07/26 2014/07/22 2014/09/09 2013/01/17
JP 05-129482 A	1993/05/25	없음	
KR 10-2012-0077875 A	2012/07/10	CN 102569208 A CN 102569208 B DE 102011055013 A1 JP 2012-142572 A US 2012-0171814 A1 US 2014-0300004 A1 US 8759147 B2 US 9059072 B2	2012/07/11 2017/04/12 2012/07/05 2012/07/26 2012/07/05 2014/10/09 2014/06/24 2015/06/16
KR 10-2009-0039407 A	2009/04/22	없음	
JP 11-135526 A	1999/05/21	없음	