



(12) 发明专利

(10) 授权公告号 CN 103676739 B

(45) 授权公告日 2016. 06. 01

(21) 申请号 201310654111. X

(22) 申请日 2013. 12. 05

(73) 专利权人 上海交通大学

地址 200240 上海市闵行区东川路 800 号

(72) 发明人 汪辉 熊振华 吴建华 刘超
胡健

(74) 专利代理机构 上海旭诚知识产权代理有限公司 31220

代理人 郑立

(51) Int. Cl.

G05B 19/042(2006. 01)

(56) 对比文件

CN 103192545 A, 2013. 07. 10,

CN 102806683 A, 2012. 12. 05,

CN 102938565 A, 2013. 02. 20,

CN 103226344 A, 2013. 07. 31,

US 5513096 A, 1996. 04. 30,

US 8316158 B1, 2012. 11. 20,

储晓慧. 基于 FPGA 多轴高速高精度插补运

动控制模块的设计与实现. 《中国优秀硕士学位论文全文数据库 工程科技 I 辑》. 2013, (第 7 期), B022-410.

艾春晖 等. 基于双口 RAM 的 CPCI 总线通讯机制研究. 《机械制造与自动化》. 2012, 第 41 卷 (第 5 期), 第 110-112 页.

张旭波 等. 一种步进电机运动控制系统设计 _ 基于 stm32 系列单片机. 《甘肃科技》. 2011, 第 27 卷 (第 20 期), 第 41-43 页.

审查员 张碧芸

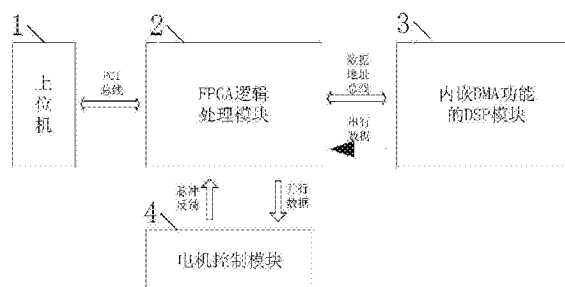
权利要求书3页 说明书6页 附图4页

(54) 发明名称

一种基于嵌入式运动控制板卡的 DMA 数据传输系统及其传输方法

(57) 摘要

本发明公开了一种基于运动控制卡的 DMA 传输数据系统及其传输方法,采用自行研发的嵌入式运动控制器。本发明提供的 DMA 数据传输系统包括 FPGA 逻辑处理模块、内嵌 DMA 功能的 DSP 模块和电机控制模块。本发明提供的 DMA 数据传输方法通过上位机、FPGA 和 DSP 协同工作并合理的分配时间段与程序段,实现了 DMA 数据传输方式对上位机和运动控制板卡以及运动板卡内部模块之间的批量数据交互,实现运动控制器对于伺服电机的精确控制。



1. 一种基于嵌入式运动控制板卡的DMA数据传输系统,其特征在于,包括上位机(1)、FPGA逻辑处理模块(2)、内嵌DMA功能的DSP模块(3)和电机控制模块(4),所述FPGA逻辑处理模块(2)分别与所述上位机(1)、所述DSP模块(3)和所述电机控制模块(4)相连接;其中所述上位机(1)实现插补运算并将批量插补点通过PCI总线利用上位机DMA方式下发给所述FPGA逻辑处理模块(2),同时从所述FPGA逻辑处理模块(2)中利用所述上位机DMA方式获取电机批量实际位置点数据;所述FPGA逻辑处理模块(2)完成所述上位机(1)与所述内嵌DMA功能的DSP模块(3)之间的数据缓冲区的构建,同时将所述DSP模块(3)中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至所述电机控制模块(4),同时对所述电机控制模块(4)中的光电编码器的脉冲反馈信号进行分频鉴相;所述DSP模块(3)实现电机闭环控制计算,同时负责管理所述上位机(1)、所述FPGA逻辑处理模块(2)和所述内嵌DMA功能的DSP模块(3)之间的多个DMA通道的数据交互。

2. 根据权利要求1所述的基于嵌入式运动控制板卡的DMA数据传输系统,其特征在于,所述FPGA逻辑处理模块(2)包括PCI协议模块(201)、数据缓冲区模块(202)、D/A转换预处理模块(203)、分频鉴相模块(204)和I/O模块(205),其中,所述PCI协议模块(201)负责架构所述FPGA逻辑处理模块(2)与所述上位机(1)之间的数据交互;所述数据缓冲区模块(202)由两个FIFO缓冲区构成,一个存放所述上位机(1)下发的批量插补点数据,另一个存放所述DSP模块(3)上传的批量实际位置点数据;所述D/A转换预处理模块(203)接受所述DSP模块(3)通过DMA方式搬移来的串行控制信号及帧同步信号,并将其转换为并行信号后交由所述电机控制模块(4)进行D/A处理;所述分频鉴相模块(204)对光电编码器脉冲信号进行滤波、倍频、鉴相处理和捕获Z信号;所述I/O模块(205)负责运动控制板卡上的I/O信号的输入与输出。

3. 根据权利要求2所述的基于嵌入式运动控制板卡的DMA数据传输系统,其特征在于,所述DSP模块(3)包括MCBSP模块(301)、RAM模块(302)、DMA控制器(303)、中央处理器(304)、程序模块(305)和外设模块(306),其中,所述MCBSP模块(301)负责发送电机串行控制信号给所述D/A转换预处理模块(203);所述RAM模块(302)包括RAM1、RAM4、RAM5、RAM6和RAM7,所述DMA控制器(303)根据所述程序模块(305)设置DMA的优先级来控制所述多个DMA通道数据的传输;所述中央处理器(304)完成整个运动控制板卡的实时性运算;所述程序模块(305)包括通讯函数模块(3051)、中断响应函数模块(3052)和批量数据交互程序模块(3053),所述通讯函数模块(3051)负责接收所述上位机(1)发送的命令和参数并及时响应,所述中断响应函数模块(3052)负责电机控制的运算和DMA多通道之间传输数据的逻辑,所述批量交互程序模块(3053)负责批量数据处理;所述外设模块(306)负责将外部设备连接至所述RAM模块(302)。

4. 根据权利要求3所述的一种基于嵌入式运动控制板卡的DMA数据传输系统,其特征在于,所述的电机控制模块(4)包括D/A转换放大模块(401)和反馈信号预处理模块(402),其中,所述D/A转换放大模块(401)负责将接收到的D/A转换预处理模块(203)中的数字信号转换为模拟信号;所述反馈信号预处理模块(402)将电机的光电编码器的差分信号转为单端信号,再提供给所述FPGA分频鉴相模块(204)处理;所述D/A转换放大模块(401)将所述D/A转换预处理模块(203)中的16位电机控制的数字信号转换为满足量程范围的电压信号;所述反馈信号预处理模块(402)将电机产生的差分信号转为单端信号A、B、Z信号并交与所述

分频鉴相模块(204)处理。

5.一种使用权利要求4的基于嵌入式运动控制板卡的DMA数据传输系统的DMA数据传输方法,其特征在于,包括如下步骤:

步骤一:当所述DSP模块(3)在所述程序模块(305)中的通讯函数模块(3051)中接收到所述上位机(1)下发的闭环控制信号后,向所述电机控制模块(4)发送闭环使能控制信号;

步骤二:所述上位机(1)利用上位机下发DMA通道传输批量插补点数据至所述数据缓冲模块(202)的FIFO P2D缓冲区,传输完毕后所述数据缓冲模块(202)发出DSP读FIFO P2D信号;

步骤三:当所述DSP模块(3)在中断响应函数模块(3052)中接收到所述DSP读FIFO P2D信号后,触发第二DMA通道搬移所述FIFO P2D缓冲区中的批量插补点数据到所述RAM模块(302)的RAM5中,并上传DSP接收完成信号;

步骤四:所述中断响应函数模块(3052)将分频鉴相模块(204)得到的实际位置数据保存在RAM7中,并与依次读取的RAM5或RAM6中的插补点数据进行闭环运算,将运算结果保存在RAM4中,并由第一DMA通道发送至MCBSP模块(301)以控制电机运转;

步骤五:在所述上位机(1)接收到所述DSP接收完成信号后,若无批量插补点数据则下发上位机DMA结束信号,若有批量插补点数据下发,则重复步骤一。

6.根据权利要求5所述的DMA数据传输方法,其特征在于,还包括前期配置步骤,所述配置步骤包括:对所述多个DMA通道与所述DSP模块(3)、所述RAM模块(302)的RAM1、RAM4、RAM5、RAM6和RAM7、所述外设模块(306)的外设6和外设7进行连接设置,并配置最高传输优先级;

创建所述数据缓冲模块(202),包括FIFO P2D缓冲区及FIFO D2P缓冲区,FIFO P2D缓冲区用于临时存储上位机(1)下发的批量插补点数据,FIFO D2P缓冲区用于临时存储RAM7中上传的批量实际位置点数据,以供上位机(1)读取。

7.根据权利要求6所述的DMA数据传输方法,其特征在于,还包括:

步骤六:所述DSP模块(3)在中断响应函数模块(3052)收到所述DSP读FIFO P2D信号后,触发第三DMA通道搬移FIFO P2D缓冲区中数据到所述RAM模块(302)的RAM6中,然后,上传DSP接收完成信号,当中断响应函数模块(3052)执行完所述RAM5中所有的电机数据后,所述RAM模块(302)的RAM7空间中顺序放满实际位置点数据,所述DSP模块(3)触发第四DMA通道将所述RAM7中的数据搬移至所述FIFO D2P缓冲区,传输完毕后请求PC读FIFO D2P信号,当所述上位机(1)响应所述PC读FIFO D2P信号后,通过上位机上传DMA通道搬移所述FIFO D2P缓冲区的实际批量位置点数据到所述上位机的内存中;

步骤七:重复上述步骤二至八的数据传输流程,当中断响应函数处理完所述RAM6中批量数据并完成闭环计算,控制电机运行后,所述RAM7便放满电机批量实际位置点数据,所述DSP模块(3)触发第四DMA通道上传数据;

步骤八:所述上位机(1)用上位机下发DMA通道发送完最后一次批量数据后,下发上位机DMA结束信号,所述DSP模块搬移完FIFO P2D中最后一批批量数据到所述RAM5或所述RAM6后,接收到所述上位机DMA结束信号,依次将所述RAM7空间中的批量实际位置点数据分两次使用第四DMA通道上传,结束后上传DSP DMA结束响应信号;

步骤九:所述上位机(1)以DMA读方式搬移完最后一批数据并接收到DSP DMA结束响应

信号,发送电机使能关闭信号,整个数据传输结束。

8.根据权利要求6所述的DMA数据传输方法,其特征在于,所述DMA通道的连接配置为:所述多个DMA通道包括第一DMA通道、第二DMA通道、第三DMA通道及第四DMA通道,所述第一DMA通道用于所述RAM4和所述MCBSP模块(301)之间数据传输;所述第二DMA通道用于所述FIFO P2D缓冲区、所述外设6和所述RAM5之间数据传输;所述第三DMA通道用于所述FIFO P2D缓冲区、所述外设6和所述RAM6之间数据传输;所述第四DMA通道用于所述RAM7、所述外设7和所述FIFO D2P缓冲区之间的数据传输,其中所述第一DMA通道具有最高传输优先级,所述第二DMA通道、所述第三DMA通道及所述第四DMA通道具有相同的传输优先级。

9.一种使用权利要求4的DMA数据传输系统的DMA数据传输方法,其特征在于,包括如下步骤:

步骤一:对所述内嵌DMA功能的DSP模块进行RAM空间、外设空间、所述DMA通道优先级的配置;

步骤二:在所述FPGA逻辑处理模块中创建数据缓冲区,临时存储上位机(1)下发的批量插补点数据;

步骤三:通过上位机DMA通道将上位机内存中批量插补点下发至所述FPGA逻辑处理模块(2)中;

步骤四:通过所述DSP模块接收所述上位机的中段请求,进行DMA数据传输。

10.根据权利要求9所述的DMA数据传输方法,其特征在于,所述多个DMA通道包括第一DMA通道、第二DMA通道、第三DMA通道及第四DMA通道,所述步骤四中DMA数据传输方法为:

(a)将计算得到伺服电机控制信号存入所述RAM4中,并通过优先级最高的所述第一DMA通道将所述RAM4数据搬移至所述MCBSP模块(301)来控制电机运动;

(b)判断是否需要接收批量插补点,判断为“是”则利用所述第二DMA通道或第三DMA通道将FIFO P2D缓冲区内的数据搬移至所述RAM5或所述RAM6中,上述两个DMA通道交替使用,判断为“否”则直接进入步骤c;

(c)判断是否需要上传批量位置点,判断为“是”则利用所述第四DMA通道将所述RAM7中批量实际位置点数据搬移至所述FIFO D2P缓冲区供上位机读取,判断为“否”则跳出中断进入通讯函数,并等待下次中断到来。

一种基于嵌入式运动控制板卡的DMA数据传输系统及其传输方法

技术领域

[0001] 本发明涉及电机控制领域,尤其涉及一种基于嵌入式运动控制板卡的DMA数据传输系统及其传输方法。

背景技术

[0002] 目前,嵌入式运动控制板卡多采用“总线协议芯片+FPGA+DSP”构架与上位机进行数据交互。嵌入式运动控制板卡采用计算机作为上位机,利用其计算和处理能力强的优点进行路径规划和轨迹点生成,嵌入式运动控制板卡主要负责对执行机构的实时控制。此时,优化上位机与嵌入式运动控制板卡之间的协同工作以及提高各自的运行效率,也是高性能数控系统必须考虑的重要方面。

[0003] DMA传输方式广泛地出现大批量数据交互的场合,其优点在于数据传输由DMA控制器主导,而不打断CPU的计算。一些运动控制器使用DMA方式传输数据到下位机的RAM,数据在下位机之间的交互依然使用了传统的IO访问,在下位机CPU处理能力和带宽有限的情况下,提高CPU在计算上使用率来缩短中断时间以提高电机的实施控制,此方面也是运动控制器设计的关键技术之一。随着FPGA并行处理能力的提高,在其中集成与整合数据传输功能成为优化上述协同工作的一种可行实施方案。

[0004] 经检索发现,中国专利申请号为201210300529.6,名称为“基于PCI的液压机专用运动控制方法及控制器”中采用“PCI协议芯片+FPGA+DSP”的构架方法,该方法虽采用具有DMA传输机制的PCI协议芯片,但未使用DMA功能,依然采用上位机CPU进行参与的IO读取方式。中国专利申请号为201210049100.4,名称为“一种DSP系统与PC机直接存储器访问接口的设计方法”中提到使用双口RAM作为上位机与下位机的数据缓冲区,此方法优势在于DSP利用两个外设通道交互上位机数据和其他外设数据时不会产生数据冲突,但却需要一块双口RAM芯片,无形中增加了硬件成本。中国专利申请号为200810039195.5,名称为“运动控制器的IEEE1394通讯接口系统”中采用IEEE1394作为总线通讯接口,其传输能力为50MB/S。然而,此速率不到32位PCI总线协议规定133MB/秒传输速率的一半。

[0005] 因此,本领域的技术人员致力于开发一种基于嵌入式运动控制板卡的DMA数据传输系统及其传输方法,实现DMA数据传输方式对上位机和运动控制板卡以及运动板卡内部模块之间的批量数据交互,实现运动控制器对于伺服电机的精确控制。

发明内容

[0006] 有鉴于现有技术的上述缺陷,本发明所要解决的技术问题是提供一种基于嵌入式运动控制板卡的DMA数据传输系统及其传输方法,采用PCI协议作为上下位机的交互总线,将具有DMA功能的PCI总线协议和数据缓冲区在FPGA中构件,实现上位机与嵌入式运动控制板卡之间的DMA数据交互。同时利用DSP的DMA多通道管理机制实现了嵌入式运动控制板卡内部FPGA、DSP内存与电机控制模块之间的DMA数据传输。

[0007] 为实现上述目的,本发明提供了一种基于嵌入式运动控制板卡的DMA数据传输系统,包括上位机、FPGA逻辑处理模块、内嵌DMA功能的DSP模块和电机控制模块,所述FPGA逻辑处理模块分别与所述上位机、所述DSP模块和所述电机控制模块相连接;其中所述上位机实现插补运算并将批量插补点通过PCI总线利用上位机DMA方式下发给所述FPGA逻辑处理模块,同时从所述FPGA逻辑处理模块中利用所述上位机DMA方式获取电机批量实际位置点数据;所述FPGA逻辑处理模块完成所述上位机与所述内嵌DMA功能的DSP模块之间的数据缓冲区的构建、同时将所述DSP模块中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至所述电机控制模块,同时对所述电机控制模块中的光电编码器的脉冲反馈信号进行分频鉴相;所述DSP模块实现电机闭环控制计算,同时负责管理所述上位机、所述FPGA逻辑处理模块和所述内嵌DMA功能的DSP模块之间的多个DMA通道的数据交互。

[0008] 一种基于嵌入式运动控制卡的DMA数据传输方法,包括如下步骤:

[0009] 步骤一:当所述DSP模块在所述程序模块中的通讯函数模块中接收到所述上位机下发的闭环控制信号后,向所述电机控制模块发送闭环使能控制信号;

[0010] 步骤二:所述上位机利用上位机下发DMA通道传输批量插补点数据至所述数据缓冲模块的FIFO P2D缓冲区,传输完毕后所述数据缓冲区模块发出DSP读FIFO P2D信号;

[0011] 步骤三:当所述DSP模块在中断响应函数中接收到所述DSP读FIFO P2D信号后,触发第二DMA通道搬移所述FIFO P2D缓冲区中的批量插补点数据到所述RAM模块的RAM5中,并上传DSP接收完成信号;

[0012] 步骤四:所述中断响应函数模块将分频鉴相模块得到的实际位置数据保存在RAM7中,并与依次读取的RAM5或RAM6中的插补点数据进行闭环运算,将运算结果保存在RAM4中,并由所述第一DMA通道发送至MCBSP模块以控制电机运转;

[0013] 步骤五:在所述上位机接收到所述DSP接收完成信号后,若无批量插补点数据则下发上位机DMA结束信号,若有批量插补点数据下发,则重复步骤一。

[0014] 步骤六:所述DSP模块在中断响应函数模块收到所述DSP读FIFO P2D信号后,触发第三DMA通道搬移FIFO P2D缓冲区中数据到所述RAM模块的RAM6中,然后,上传DSP接收完成信号,当中断响应函数模块执行完所述RAM5中所有的电机数据后,相应所述RAM模块(302)的RAM7空间中顺序放满实际位置点数据,所述DSP模块(3)触发所述第四DMA通道将所述RAM7中的数据搬移至所述FIFO D2P缓冲区,传输完毕后请求PC读FIFO D2P信号,当所述上位机响应所述PC读FIFO D2P信号后,通过上位机上传DMA通道搬移所述FIFO D2P缓冲区的实际批量位置点数据到所述上位机的内存中;

[0015] 步骤七:重复上述步骤二至八的数据传输流程,当中断响应函数处理完所述RAM6中批量数据并完成闭环计算,控制电机运行后,相应所述RAM7便放满电机批量实际位置点数据,所述DSP模块触发第四DMA通道上传数据;

[0016] 步骤八:所述上位机用上位机下发DMA通道发送完最后一次批量数据后,下发上位机DMA结束信号,所述DSP模块搬移完FIFO P2D中最后一批批量数据到所述RAM5或所述RAM6后,接收到所述上位机DMA结束信号,依次将所述RAM7空间中的批量实际位置点数据分两次使用第四DMA通道上传,结束后上传DSP DMA结束响应信号;

[0017] 步骤九:所述上位机以DMA读方式搬移完最后一批数据并接收到DSP DMA结束响应信号,发送电机使能关闭信号,整个数据传输结束。

[0018] 一种使用权利要求4的DMA数据传输系统的DMA数据传输方法,其特征在于,包括如下步骤:

[0019] 步骤一:对所述内嵌DMA功能的DSP模块进行RAM空间、外设空间、DMA通道优先级的配置;

[0020] 步骤二:在所述FPGA逻辑处理模块中创建数据缓冲区,临时存储上位机(1)下发的批量插补点数据;

[0021] 步骤三:通过上位机DMA通道将上位机内存中批量插补点下发至FPGA逻辑处理模块(2)中;

[0022] 步骤四:通过所述DSP模块接收所述上位机的中段请求,进行DMA数据传输。

[0023] 本发明提供的基于嵌入式运动控制板卡的DMA数据传输系统采用基于FPGA内嵌PCI协议模块,方便灵活地调整参数设置,减少运动控制板卡之间的电器连接;采用FPGA内嵌FIFO取代双口RAM芯片作为数据缓冲区,提高了数据交互的稳定性;采用PCI IO模块传输少量运动控制板卡命令代号和参数,提高了DSP对相应命令的响应效率。

[0024] 本发明提供的基于嵌入式运动控制板卡的DMA数据传输方法利用DSP的DMA多通道管理机制实现了FPGA、DSP内存、电机控制模块之间的DMA数据传输,避免不同作用数据之间的冲突,提高DSP CPU的运算效率

[0025] 以下将结合附图对本发明的构思、具体结构及产生的技术效果作进一步说明,以充分地了解本发明的目的、特征和效果。

附图说明

[0026] 图1是本发明的一个较佳实施例的DMA数据传输系统结构框图;

[0027] 图2是本发明的一个较佳实施例的FPGA逻辑处理模块的原理框图;

[0028] 图3是本发明的一个较佳实施例的内嵌DMA功能的DSP模块原理框图;

[0029] 图4是本发明的一个较佳实施例的电机控制模块原理框图;

[0030] 图5是本发明的一个较佳实施例的DMA通道的设置图;

[0031] 图6是本发明的一个较佳实施例的DMA数据传输方法实施示意图;

[0032] 图7是本发明的一个较佳实施例的DSP处理流程图。

具体实施方式

[0033] 如图1所示,本发明的一较佳实施例中的一种基于嵌入式运动控制板卡的DMA数据传输系统,包括上位机1、FPGA逻辑处理模块2、内嵌DMA功能的DSP模块3和电机控制模块4, FPGA逻辑处理模块2分别与上位机1、内嵌DMA功能的DSP模块3和电机控制模块4相连接。

[0034] 上位机1实现插补运算并将批量插补点通过PCI总线利用上位机DMA方式下发给FPGA逻辑处理模块2,同时从FPGA逻辑处理模块2中利用上位机1的DMA方式获取电机批量实际位置数据。FPGA逻辑处理模块2完成上位机模块1与内嵌DMA功能的DSP模块3之间的数据缓冲区的构建、同时将内嵌DMA功能的DSP模块3中发送来的电机控制的串行数据转换为并行数据,并将此并行数据发送至电机控制模块4,同时对电机控制模块4中的光电编码器的脉冲反馈信号进行分频鉴相。内嵌DMA功能的DSP模块3实现电机闭环控制计算,同时负责管理上位机1、FPGA逻辑处理模块2和内嵌DMA功能的DSP模块3之间的多个DMA通道的数据交

互。

[0035] 如图2所示,FPGA逻辑处理模块2包括PCI协议模块201、数据缓冲区模块202、D/A转换预处理模块203、分频鉴相模块204和I/O模块205。其中,PCI协议模块201负责架构FPGA逻辑处理模块2与上位机1之间的数据交互,PCI协议模块201内部的SLAVE接口模块负责保存运动控制板卡的配置信息,并对上位机信号进行译码、校验、读写控制及传输方式选择。PCI协议模块201内部另外一个MASTER接口模块控制上位机1与数据缓冲区模块202之间数据的DMA传输控制。数据缓冲区模块202由两个FIFO缓冲区构成,一个存放上位机1下发的批量插补点数据,另一个存放DSP模块3上传的批量实际位置点数据。例如,如图6所示,缓冲区由FIFO P2D和FIFO D2P构成。

[0036] D/A转换预处理模块203接受DSP模块3通过DMA方式搬移来的分别控制四个电机运动的16位串行控制信号及帧同步信号,并将其转换为四路并行信号后交由电机控制模块4进行D/A处理。分频鉴相模块204对四个轴的光电编码器脉冲信号进行滤波、倍频、鉴相处理和捕获Z信号。I/O模块205负责运动控制板卡上的I/O信号的输入与输出。

[0037] 如图3所示,内嵌DMA功能的DSP模块3包括MCBSP模块301、RAM模块302、DMA控制器303、中央处理器304、程序模块305和外设模块306。其中,MCBSP模块301负责发送 4×16 位电机串行控制信号给D/A转换预处理模块203。RAM模块302内部包括五块分区:RAM1、RAM4、RAM5、RAM6和RAM7,其中RAM4存储四个电机的控制信号数据,RAM5和RAM6两块存储上位机下发的批量插补点数据,RAM7存储批量电机实际位置点数据,这四块分区利用DSP模块3内嵌的四个DMA通道进行数据传输,RAM1用来保存每个中断获取的分频鉴相模块204的光电编码器计数值和I/O模块205的I/O值。DMA控制器303根据程序模块305设置DMA的优先级来控制四个DMA通道数据的传输。中央处理器304完成整个运动控制板卡的实时性运算。程序模块305是运动控制板卡的计算与逻辑核心,其主包括通讯函数模块3051、中断响应函数模块3052和批量数据交互程序模块3053,如图7所示:通讯函数模块3051负责接收上位机1发送的命令和参数并及时响应,中断响应函数3052模块负责运动控制板卡的I/O信号处理、电机控制运算和DMA多通道之间传输数据的逻辑,批量交互程序模块3053负责批量数据处理。外设模块306负责将外部设备连接至RAM模块302,它包括三个外设通道:外设0、外设6和外设7,其中外设6和外设7负责RAM模块302内部的三块RAM分区与数据缓冲区202物理连接组成批量数据的DMA传输通道,外设0负责物理连接分频鉴相模块204、I/O模块205和RAM模块302内部的最后一个RAM分区来组成少量数据传输通道。

[0038] 如图4所示,电机控制模块4包括D/A转换放大模块401和反馈信号预处理模块402。其中,D/A转换放大模块401负责将接收到的D/A转换预处理模块203中的数字信号转换为模拟信号;反馈信号预处理模块402将电机的光电编码器的差分信号转为单端信号,再提供给FPGA分频鉴相模块204处理。D/A转换放大模块401作用是将D/A转换预处理模块203中的16位电机控制的数字信号转换为满足量程范围的电压信号;将电压信号利用线缆连接驱动器,驱动器采用速度模式将电压信号进行处理以控制电机转动;反馈信号预处理模块402将四个电机产生的4组6路差分信号转为A、B、Z单端信号后交与分频鉴相模块204处理。

[0039] 上述FPGA逻辑处理模块2可采用ALTERA公司的Cyclone系列芯片,DSP模块3可选用TI公司的型号为TMS320F28335的芯片,及采用Yaskawa公司型号为SGDV-2R8A01A的交流驱动器与型号为SGMJV-04ADA21的交流伺服交流电机。

[0040] 本发明的一较佳实施例还提供了上述数据传输系统的一种基于嵌入式运动控制板卡的DMA数据传输方法,包括如下步骤:

[0041] (1)对内嵌DMA功能的DSP模块3进行RAM空间、外设空间、DMA通道优先级的配置。DMA通道的优先级与连接设备如图5和图6所示,DMA1通道用于RAM4和MCBSP模块301之间数据传输;DMA2通道用于FIFO P2D、外设6和RAM5之间数据传输;DMA3通道用于所述FIFO P2D、所述的外设6和RAM6之间数据传输;DMA4通道用于RAM7、外设7和FIFO D2P之间的数据传输。同时设置DMA1通道拥有最高传输优先级,而其他三个通道采用Round-robin模式配置使其拥有相同的优先级,来保证每个中断电机控制不被其他数据传输干扰。其中RAM4空间大小为4,数据宽度为16位;RAM5、RAM6和RAM7大小为1K,数据宽度为16位。

[0042] (2)创建数据缓冲区模块202,FIFO P2D大小为800,数据宽度为32位,用于临时存储上位机1下发的批量插补点数据,供RAM5和RAM6交替进行读取。FIFO D2P大小为1K,数据宽度为16位,作用为临时存储从RAM7中上传的批量实际位置点数据,以供上位机1读取。

[0043] (3)在程序模块305的中断响应函数模块3052中添加批量数据交互程序模块3053,如图7所示,在每个伺服中断内,中断响应函数模块3052都将计算得到伺服电机控制信号存入RAM4中,并通过DMA1通道将RAM4内数据搬移至MCBSP模块301来控制电机运动。接着判断是否需要接收批量插补点,若判断“是”则利用DMA2或DMA3通道将FIFO P2D内的数据搬移至RAM5或3023RAM6中,两个DMA通道交替使用以保证每次中断响应函数获取插补点数据不间断从而保证电机工作的连续性。若判断为“否”则再判断是否需要上传批量实际位置点至FIFO D2P,若判断“是”则利用DMA4通道将RAM7中批量实际位置点数据搬移至所述FIFO D2P供上位机读取,接着跳出中断进入通讯函数模块3051,并等待下次中断到来以再次进入中断响应函数模块3052。中断响应函数模块3052中函数的逻辑为:程序模块305开始时,最初的两次进入中断响应函数时,DMA2通道和DMA3通道两次分别将FIFO P2D中的批量插补点数据搬移至RAM5和RAM6。同时每次进入中断响应函数,都将分频鉴相模块204得到的四个电机实际位置点依次保存在RAM7中,并依次读取的RAM5或RAM6中的四个电机插补点进行PID运算,运算结果保存在RAM4空间中,由DMA1通道发送至MCBSP模块301以控制四个电机运转。当中断响应函数依次读完RAM5或RAM6中的批量数据后,电机的批量实际位置点数据便存满RAM7空间,利用DMA4通道将RAM7中数据搬移至FIFO D2P,搬移完成后发出通知上位机读取信号。

[0044] (4)完成以上配置步骤后,以下为上位机1、FPGA逻辑处理模块2和内嵌DMA功能的DSP模块3之间完整数据传输流程:

[0045] 1)当内嵌DMA功能的DSP模块3在程序模块305中的通讯函数3051中接收到所述上位机1下发的闭环控制信号后,向电机控制模块4发送闭环使能控制信号;

[0046] 2)上位机1利用上位机下发DMA通道传输批量插补点数据至FIFO P2D,传输完毕后数据缓冲区模块202发出DSP读FIFO P2D信号;

[0047] 3)中断响应函数模块3052首先对接收I/O模块205内的运动控制板卡的输入输出信号并进行相应处理,再接收所述DSP读FIFO P2D信号,接收到便触发DMA2通道搬移FIFO P2D中批量数据到RAM5中,完成后上传DSP接收完成信号;

[0048] 4)中断响应函数模块3052将分频鉴相模块204中的四个电机实际位置点数据通过外设0放入RAM7后,顺序读取RAM5中的四个电机插补点进行闭环运算,并将计算结果依次

放入RAM4后,DSP模块3再使用信号触发将所述的RAM4中数据通过DMA1通道发送至MCBSP串口进行电机控制。

[0049] 5)在上位机1接收到所述DSP接收完成信号后,若无批量数据则下发上位机DMA结束信号,若有批量数据下发再次利用上位机下发DMA通道传输批量插补点数据。

[0050] 6)中断响应函数模块3052按顺序处理完所述I/O模块205的信号后,检测信号后触发DMA3通道搬移FIFO P2D中批量数据到RAM6中,然后上传DSP接收完成信号。当某次中断响应函数执行完RAM5中所有的电机插补点数据后,相应RAM7空间中顺序放满四个电机的批量实际位置点数据,DSP模块3便软件触发DMA4通道将所述的RAM7数据搬移至数据缓冲区FIFO D2P,传输完毕后请求PC读FIFO D2P信号,下次再进入中断响应函数时便会从RAM6取出差值点数据进行计算。当所述上位机1响应此信号后通过上位机上传DMA通道搬移FIFO D2P实际批量位置点数据到所述上位机的内存中;

[0051] 7)重复上述数据传输流程,当中断响应函数处理完RAM6空间中批量数据并完成闭环计算控制电机运行后,相应所述RAM7空间便放满电机批量实际位置点数据,DSP模块3使用软件触发DMA4通道上传。

[0052] 8)上位机1用上位机下发DMA通道发送完最后一次批量数据后便下发上位机DMA结束信号,DSP模块3搬移完FIFO P2D中最后一批批量数据到RAM5或所述RAM6后,接收到上位机1的DMA结束信号便依次将所述RAM7空间中的批量实际位置点数据分两次使用DMA4通道上传,结束后上传DSP的DMA结束响应信号;

[0053] 9)上位机1以DMA读方式搬移完最后一批数据并接收到DSP DMA结束响应信号,发送电机使能关闭信号,整个数据传输结束。

[0054] 以上详细描述了本发明的较佳具体实施例。应当理解,本领域的普通技术无需创造性劳动就可以根据本发明的构思作出诸多修改和变化。因此,凡本技术领域中技术人员依本发明的构思在现有技术的基础上通过逻辑分析、推理或者有限的实验可以得到的技术方案,皆应在由权利要求书所确定的保护范围内。

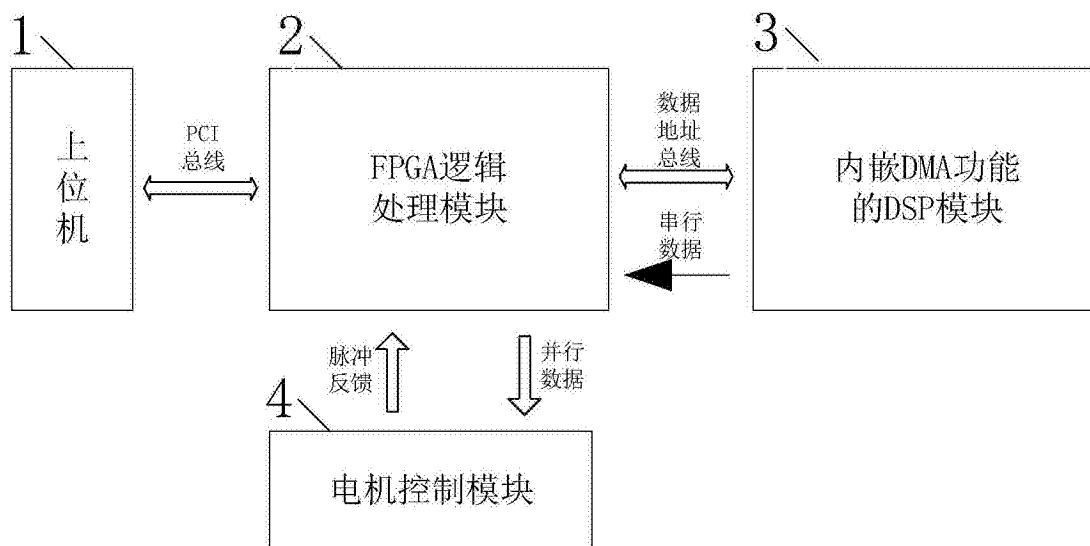


图1

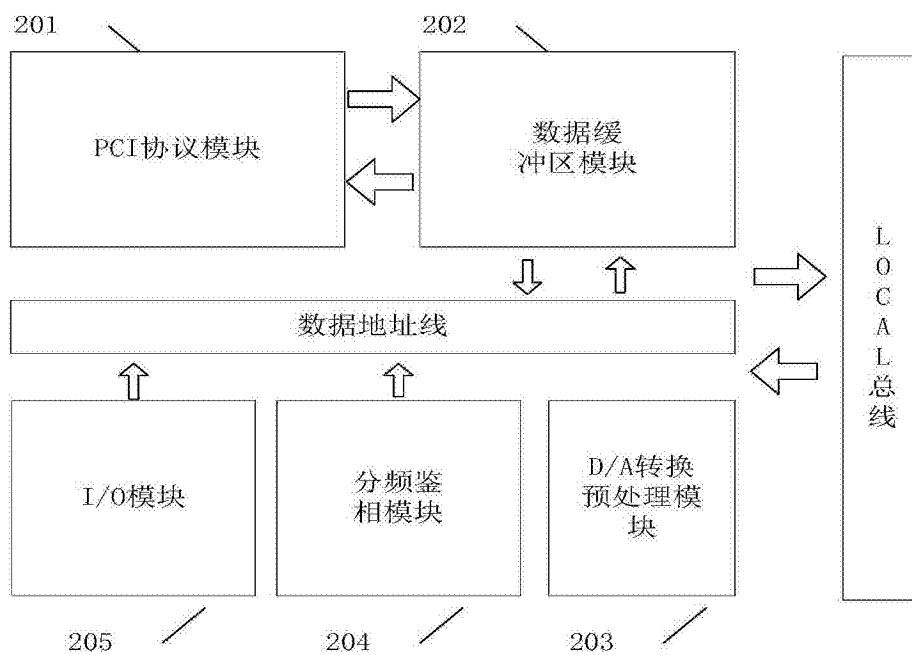


图2

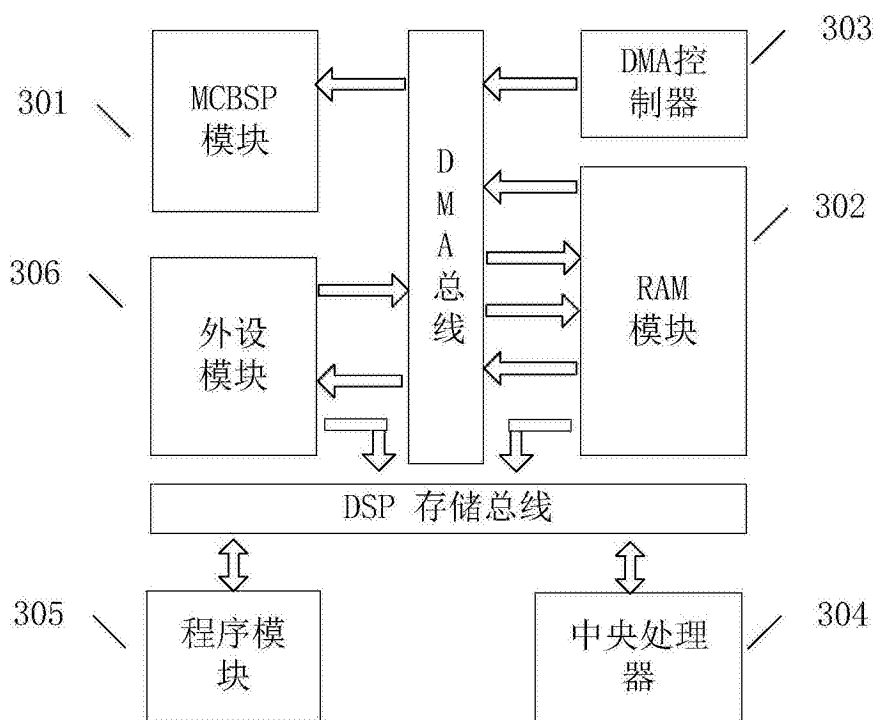


图3

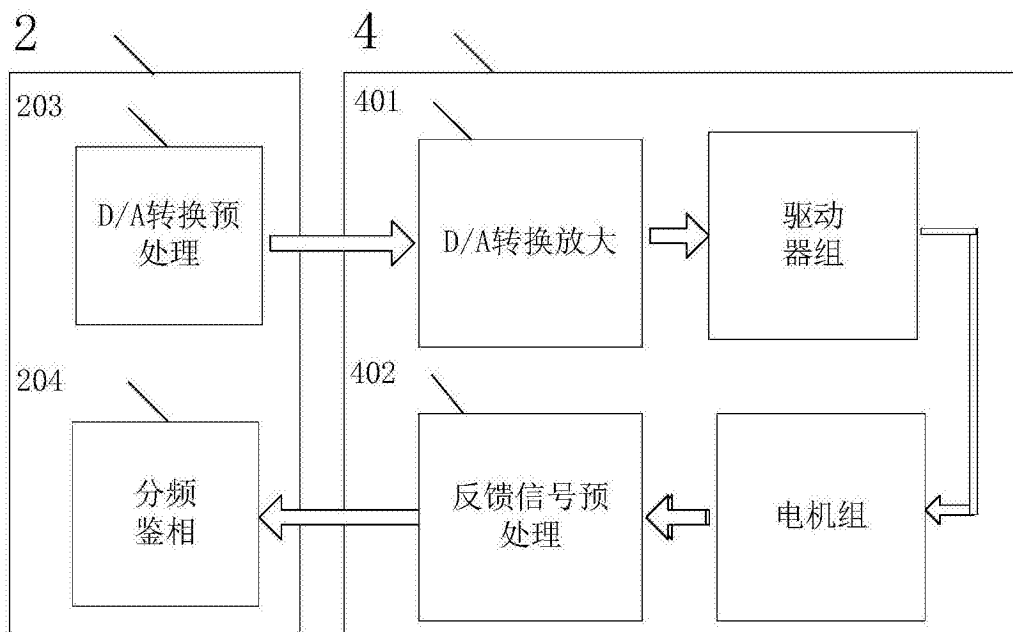


图4

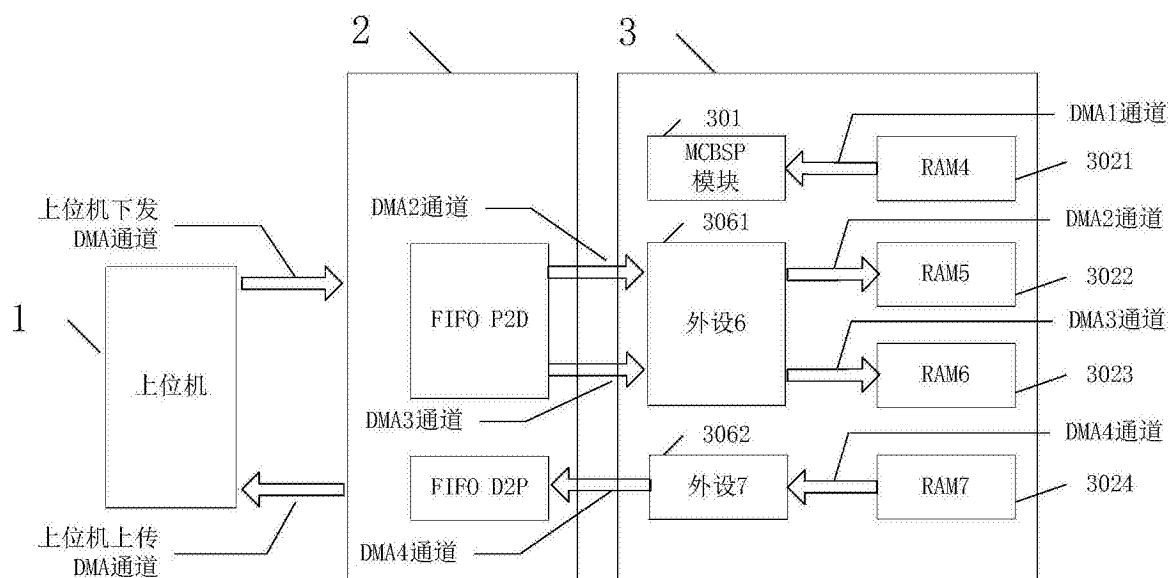


图5

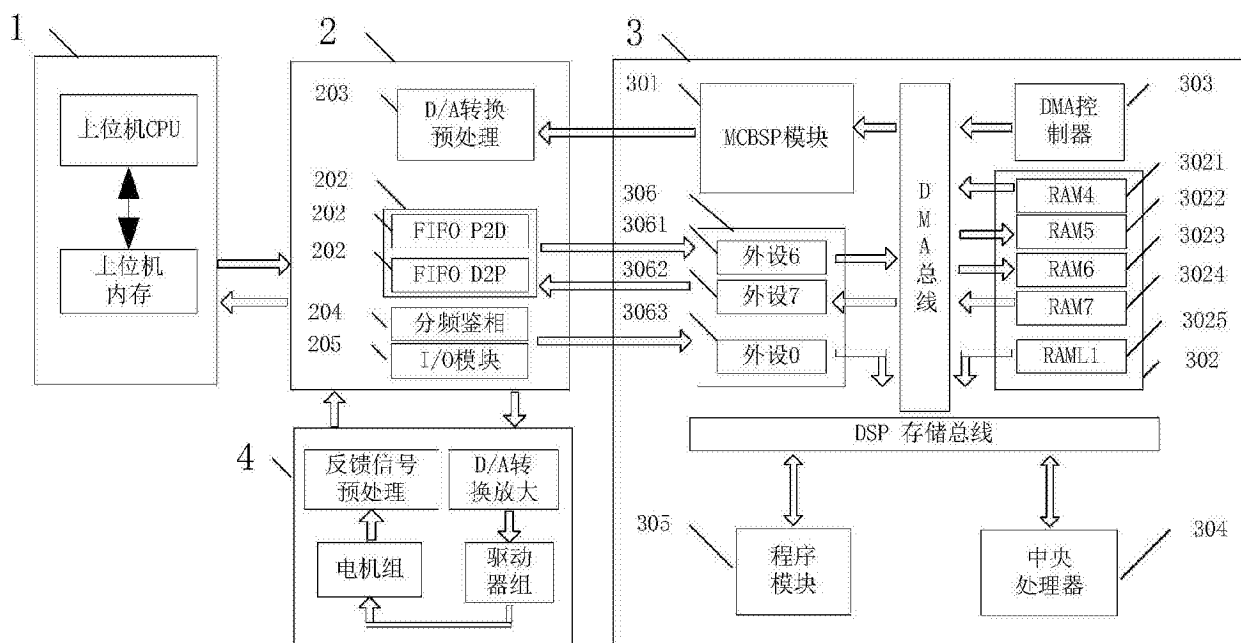


图6

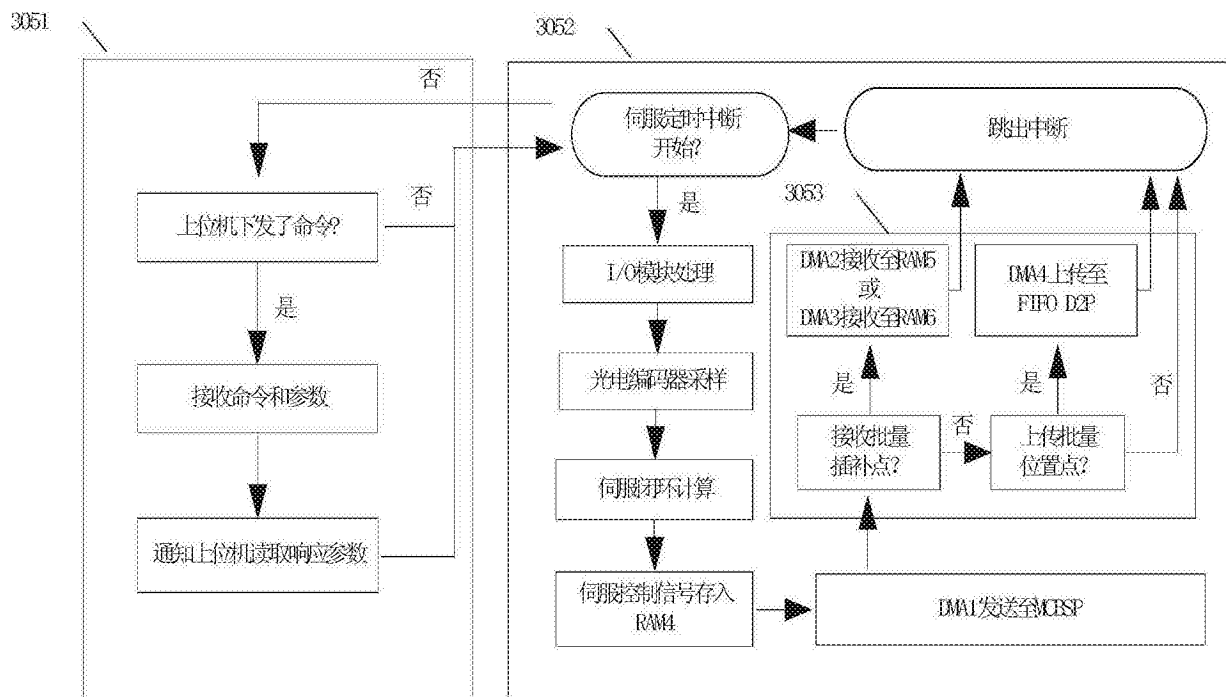


图7