

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5268615号
(P5268615)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月17日 (2013. 5. 17)

(51) Int. Cl.	F I
H02M 3/00 (2006.01)	H02M 3/00 U
H02M 3/155 (2006.01)	H02M 3/155 H
H02M 3/28 (2006.01)	H02M 3/28 H

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2008-318322 (P2008-318322)	(73) 特許権者	000001007
(22) 出願日	平成20年12月15日 (2008. 12. 15)		キヤノン株式会社
(65) 公開番号	特開2010-142071 (P2010-142071A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年6月24日 (2010. 6. 24)	(74) 代理人	100066061
審査請求日	平成23年12月14日 (2011. 12. 14)		弁理士 丹羽 宏之
早期審査対象出願		(74) 代理人	100177437
			弁理士 中村 英子
		(74) 代理人	100143340
			弁理士 西尾 美良
		(72) 発明者	林崎 実
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		(72) 発明者	鯨島 啓祐
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 電源装置および画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

交流電圧を直流電圧に変換する電源装置において、
 前記交流電圧を整流および平滑する整流平滑手段と、
 前記整流平滑手段により整流および平滑された電圧を変換して第一の直流電圧を出力する第一のDCDCコンバータと、
 前記第一の直流電圧を、スイッチング手段によりスイッチングすることにより前記第一の直流電圧よりも低い第二の直流電圧を出力する第二のDCDCコンバータと、を有し、
 前記第一のDCDCコンバータの前記第一の直流電圧を前記第二の直流電圧より低い第三の直流電圧に低下させ、前記第二のDCDCコンバータの前記スイッチング手段を連続導通状態にする動作モードを有することを特徴とする電源装置。

【請求項 2】

前記第一のDCDCコンバータの出力電圧を検出してフィードバックするフィードバック手段を有し、

前記フィードバック手段の基準電圧を切り替えることにより、前記第一のDCDCコンバータの出力電圧を前記第一の直流電圧から前記第三の直流電圧に低下させることを特徴とする請求項 1 に記載の電源装置。

【請求項 3】

前記第二のDCDCコンバータの出力電圧が前記第三の直流電圧となるように、前記第一のDCDCコンバータのスイッチング手段の動作を制御することを特徴とする請求項 1

10

20

または 2 に記載の電源装置。

【請求項 4】

前記第一の D C D C コンバータは、前記電源装置の起動時にスイッチング手段を駆動するための起動抵抗を有し、

前記起動抵抗の抵抗値を切り替えることにより、前記第一の D C D C コンバータの出力電圧を前記第三の直流電圧に低下させることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の電源装置。

【請求項 5】

前記第一の D C D C コンバータからの前記第一の直流電圧を負荷へ供給または停止するスイッチを有し、

前記スイッチをオフして前記負荷への前記第一の直流電圧の供給を停止した後に、前記第一の D C D C コンバータの出力電圧を低下させることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の電源装置。

【請求項 6】

前記第一の D C D C コンバータからの前記第一の直流電圧を負荷へ供給または停止するスイッチを有し、

前記第一の D C D C コンバータの出力電圧が前記第一の直流電圧より低下した状態から前記第一の直流電圧に復帰させた後に前記スイッチをオンすることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の電源装置。

【請求項 7】

画像を形成するための画像形成手段と、

前記画像形成手段を動作させるための複数の負荷と、

交流電圧を直流電圧に変換して、変換した直流電圧を前記複数の負荷に供給する電源と、を備え、

前記電源は、

前記交流電圧を整流および平滑する整流平滑手段と、

前記整流平滑手段により整流および平滑された電圧を変換して第一の直流電圧を第一の負荷に出力する第一の D C D C コンバータと、

前記第一の直流電圧を、スイッチング手段によりスイッチングすることにより前記第一の直流電圧よりも低い第二の直流電圧を第二の負荷に出力する第二の D C D C コンバータと、を有し、

前記第一の D C D C コンバータの前記第一の直流電圧を前記第二の直流電圧より低い第三の直流電圧に低下させ、前記第二の D C D C コンバータの前記スイッチング手段を連続導通状態にする動作モードを有することを特徴とする画像形成装置。

【請求項 8】

前記第一の D C D C コンバータの出力電圧を検出してフィードバックするフィードバック手段を有し、

前記フィードバック手段の基準電圧を切り替えることにより、前記第一の D C D C コンバータの出力電圧を前記第一の直流電圧から前記第三の直流電圧に低下させることを特徴とする請求項 7 に記載の画像形成装置。

【請求項 9】

前記第二の D C D C コンバータの出力電圧が前記第三の直流電圧となるように、前記第一の D C D C コンバータのスイッチング手段の動作を制御することを特徴とする請求項 7 または 8 に記載の画像形成装置。

【請求項 10】

前記第一の D C D C コンバータは、前記電源の起動時にスイッチング手段を駆動するための起動抵抗を有し、

前記起動抵抗の抵抗値を切り替えることにより、前記第一の D C D C コンバータの出力電圧を前記第三の直流電圧に低下させることを特徴とする請求項 7 ないし 9 のいずれか 1 項に記載の画像形成装置。

10

20

30

40

50

【請求項 1 1】

前記第一の D C D C コンバータからの前記第一の直流電圧を供給または停止するスイッチを有し、

前記スイッチをオフして前記画像形成手段への前記第一の直流電圧の供給を停止した後に、前記第一の D C D C コンバータの出力電圧を低下させることを特徴とする請求項 7 ないし 1 0 のいずれか 1 項に記載の画像形成装置。

【請求項 1 2】

前記第一の D C D C コンバータからの前記第一の直流電圧を供給または停止するスイッチを有し、

前記第一の D C D C コンバータの出力電圧が前記第一の直流電圧より低下した状態から 前記第一の直流電圧に復帰させた後に前記スイッチをオンすることを特徴とする請求項 7 ないし 1 1 のいずれか 1 項に記載の画像形成装置。

10

【請求項 1 3】

前記画像形成手段は、記録材に画像を形成するために駆動する駆動手段を有し、

前記第一の D C D C コンバータからの前記第一の直流電圧を前記駆動手段に供給することを特徴とする請求項 7 ないし 1 2 のいずれか 1 項に記載の画像形成装置。

【請求項 1 4】

前記第一の負荷は、前記画像形成手段を駆動するための駆動手段であり、

前記第一の D C D C コンバータからの前記第一の直流電圧を前記駆動手段に供給することを特徴とする請求項 7 ないし 1 3 のいずれか 1 項に記載の画像形成装置。

20

【請求項 1 5】

前記画像形成手段の動作を制御する制御手段を有し、

前記第二の D C D C コンバータからの前記第二の直流電圧を前記制御手段に供給することを特徴とする請求項 7 ないし 1 4 のいずれか 1 項に記載の画像形成装置。

【請求項 1 6】

前記電源に対する省電力状態への指示に応じて前記動作モードに移行することを特徴とする請求項 7 ないし 1 5 のいずれか 1 項に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

30

本発明は、通常動作モードと省エネルギー状態の待機モードを有する装置の電源に好適な、商用交流電源より安定化直流電圧を得るに関するものである。

【背景技術】

【0 0 0 2】

従来から知られている安定化直流電圧を得るための電源装置の構成を図 1 3 に示す。この電源装置が搭載される機器は、例えばモータやソレノイド等を含む比較的動作に必要な電圧が高い駆動系への第一の直流電圧と、C P U や A S I C 等の動作に必要な電圧が低い制御系への第二の直流電圧の 2 系統の電圧を供給する構成である。

【0 0 0 3】

また、装置が省エネルギー状態である待機モードにおいて駆動系は動作させないため、駆動系の負荷には電圧を供給しない。このため待機モード時にはロードスイッチ（不図示）等によって駆動系の負荷への電圧供給を遮断する構成となっている。図 1 3 において、A が駆動系電源電圧を供給する第一の D C D C コンバータであり、B が制御系電源電圧を供給する第二の D C D C コンバータである。

40

【0 0 0 4】

次に、図 1 3 の詳細説明を行う。図 1 3 の各部位の構成は以下のとおりである。7 0 0 は商用交流電源、7 0 2 は整流器、7 0 3 は平滑コンデンサ、7 0 5 は起動抵抗、7 0 7 はスイッチング素子、7 1 0 は電源制御用 I C、7 1 1 はトランス、7 1 2 はダイオード、7 1 3 はコンデンサである。7 2 0 は二次整流ダイオード、7 2 1 は二次平滑コンデンサ、7 2 2、7 2 3、7 2 4 は抵抗、7 5 0 はシャントレギュレータである。7 1

50

4 - bはフォトカプラのLED側、728はコンデンサ、732は第一の直流電圧から第二の直流電圧を生成するDCDCコンバータのスイッチング手段であるFETである。734はゲート抵抗、733, 735はFET駆動トランジスタ、738は第二のDCDCコンバータを制御する制御用IC、739はインダクタ、740はダイオード、741はコンデンサ、742, 743は抵抗である。731は第一の直流電圧の負荷(駆動系)であり、746は第二の直流電圧の負荷としてのCPU(制御系)である。

【0005】

まず、第一のDCDCコンバータ装置の動作について説明する。

商用交流電源700から交流電圧(AC電圧)が印加されると、整流器702により整流された電圧によってコンデンサ703の充電を行う。この整流器702とコンデンサ703は交流電源からのAC電圧を整流し平滑する整流平滑回路として機能している。コンデンサ703の電圧が上昇すると起動抵抗705を介して電源制御用IC710に電源が供給され、電源制御用IC710はFET707をオンする。FET707がオンするとトランス711の一次巻線Npに電流が流れ、トランス711のNp巻線に印加された電圧によってNs, Nb各巻線にも電圧が現れる。Nb巻線に現れる電圧はダイオード712によって電流が流れないように阻止され、Ns巻線の電圧も同じくダイオード720によって電流が流れないようにになっている。電源制御用IC710の内部回路により定められる所定の時間経過後にFET707はオフする。するとNp巻線のFET707のドレイン側の電圧が上昇する。またNs巻線にはダイオード720を通じてコンデンサ721を充電する方向に電流が流れてコンデンサ721が充電されコンデンサ721の電圧が上昇していく。電源制御用IC710の内部回路により定まる所定の時間経過後、FET707はオンとなりコンデンサ703から再びトランス711に電流が供給される。電源制御用IC710により所定時間経過後にFET707がオフすると再びNs巻線電圧によりダイオード720を通じてコンデンサ721が充電される。コンデンサ721の電圧は抵抗723, 724により分圧されており、抵抗724の電圧がシャントレギュレータ750の制御端子に印加される。シャントレギュレータ750のカソード電流は、フォトカプラ714を介して電源制御用IC710に伝達されている。

【0006】

シャントレギュレータ750の内部の基準電圧と、抵抗723、724により分圧された抵抗724の電圧を比較して、抵抗724の電圧が基準電圧よりも高ければFET707のオン幅またはオンデューティを減少して出力電圧を下げるように動作する。抵抗724の電圧がシャントレギュレータ750の基準電圧よりも低ければFET707のオン時間またはオンデューティを増加して出力電圧を上昇するようなフィードバック動作をしている。

【0007】

次に第二のDCDCコンバータ装置の動作について説明する。

第二のDCDCコンバータは、第一のDCDCコンバータの出力電圧から第二の直流電圧を生成している。通常モード時、第二のDCDCコンバータ制御用IC738はトランジスタ733、735、抵抗734を介してFET732を断続的に駆動する。抵抗742、743は第二のDCDCコンバータの出力電圧を分圧しており、第二のDCDCコンバータ制御用IC738に抵抗743の電圧を入力している。第二のDCDCコンバータ制御用IC738は内部に基準電圧Vref2を有しており、Vref2と抵抗743の電圧が等しくなるようにFET732のオンデューティを制御することにより安定した第二の直流電圧を生成する。この構成において待機モード時の電力を低下させるために駆動系の電源電圧を出力する出力側にロードスイッチを設け、制御系電源により動作しているCPUやASICといった制御回路によって待機モード時にロードスイッチをオフする構成としている。

【0008】

しかしながら、図13の構成では負荷低減に伴うDCDCコンバータの効率の低下は免れ得ない。このような効率の低下を解決する例として特許文献1には、特にRCC方式の

10

20

30

40

50

スイッチング電源装置において、待機モード時（軽負荷時）に出力電圧を降下して後続のＤＣＤＣコンバータによって所望の値に昇圧された出力電圧を負荷に供給する構成が開示されている。特許文献１の構成では、ＲＣＣ方式のコンバータ装置において出力電圧を低下させることにより、スイッチ素子がオフしている期間の補助巻線のリンギング電圧をスイッチ素子の閾値以下とする。これによりフライバック電圧によるスイッチ素子のターンオンが阻止されて主スイッチング素子のオフが延長され発振周波数を低下する。この結果、スイッチング損失が減少し回路効率が向上するものである。

【特許文献１】特開２０００－２７８９４６号公報

【発明の開示】

【発明が解決しようとする課題】

10

【０００９】

しかしながら、機器が待機モード時の期間は制御系の負荷電流も低減する。従って機器の待機時には前述した第二のＤＣＤＣコンバータの効率も低下する。特許文献１の構成では、負荷電流の低減に伴う第一のＤＣＤＣコンバータの効率の低下を改善する対策はなされているが、第二のＤＣＤＣコンバータについて効率の低下を改善する対策はなされていない。

【００１０】

本発明は、このような状況のもとでなされたもので、省エネルギー状態の待機モード時の効率がより向上した電源装置および画像形成装置を提供することを課題とするものである。

20

【課題を解決するための手段】

【００１１】

前記課題を解決するため、本発明は、以下の構成を備える。

【００１２】

（１）交流電圧を直流電圧に変換する電源装置において、前記交流電圧を整流および平滑する整流平滑手段と、前記整流平滑手段により整流および平滑された電圧を変換して第一の直流電圧を出力する第一のＤＣＤＣコンバータと、前記第一の直流電圧を、スイッチング手段によりスイッチングすることにより前記第一の直流電圧よりも低い第二の直流電圧を出力する第二のＤＣＤＣコンバータと、を有し、前記第一のＤＣＤＣコンバータの前記第一の直流電圧を前記第二の直流電圧より低い第三の直流電圧に低下させ、前記第二のＤＣＤＣコンバータの前記スイッチング手段を連続導通状態にする動作モードを有することを特徴とする電源装置。

30

（２）画像を形成するための画像形成手段と、前記画像形成手段を動作させるための複数の負荷と、交流電圧を直流電圧に変換して、変換した直流電圧を前記複数の負荷に供給する電源と、を備え、前記電源は、前記交流電圧を整流および平滑する整流平滑手段と、前記整流平滑手段により整流および平滑された電圧を変換して第一の直流電圧を第一の負荷に出力する第一のＤＣＤＣコンバータと、前記第一の直流電圧を、スイッチング手段によりスイッチングすることにより前記第一の直流電圧よりも低い第二の直流電圧を第二の負荷に出力する第二のＤＣＤＣコンバータと、を有し、前記第一のＤＣＤＣコンバータの前記第一の直流電圧を前記第二の直流電圧より低い第三の直流電圧に低下させ、前記第二のＤＣＤＣコンバータの前記スイッチング手段を連続導通状態にする動作モードを有することを特徴とする画像形成装置。

40

【発明の効果】

【００１３】

本発明によれば、従来の構成では効率が悪かった省エネルギー状態である待機モード時の電源効率を向上させることができる。

【発明を実施するための最良の形態】

【００１４】

以下、本発明を実施するための最良の形態を、電源装置および画像形成装置の実施例により詳しく説明する。

50

【実施例 1】

【0015】

実施例 1 である“電源装置”について説明する。

本実施例の電源装置は、第一の D C D C コンバータにおいて、特に、バーストモードやオフ時間制御等の駆動方式のような、待機モード時（軽負荷時）にスイッチング周波数が低下する制御および制御用の I C を用いた構成を前提としている。

【0016】

図 1 は、本実施例の電源装置の回路図である。図 1 において、前述した従来例の構成と重複する部分は同じ符号で示している。従来例と同様である、交流電源からの交流電圧を整流および平滑する整流平滑回路の動作、第一の D C D C コンバータ、第二の D C D C コンバータによる電圧を変換する動作等、従来例と重複する部分は説明を省略する。なお、A が駆動系電源電圧を供給する第一の D C D C コンバータであり、B が制御系電源電圧を供給する第二の D C D C コンバータである。C はロードスイッチである。

図 1 において、125、126 は抵抗、127 はトランジスタである。本電源装置は搭載される機器の状態に従って通常モードと待機モードの 2 つの状態に備えており、この 2 つの状態を切り替え可能である。

【0017】

第二の D C D C コンバータの負荷である C P U 746 は、機器の状態を制御するとともに本電源装置の動作モード、即ち通常モードと待機モードの各モード時の動作を制御している。本電源装置を通常モードにする場合、C P U 746 はトランジスタ 127 をオンし、待機モードにする場合はトランジスタ 127 をオフする。なお、通常モードとは駆動系の負荷 731 に直流電圧を供給している状態であり、待機モードとは駆動系の負荷 731 に直流電圧を供給していない状態である。

【0018】

(1) 電源装置が通常モード時の動作説明

通常モード時、C P U 746 はトランジスタ 127 をオンすると、シャントレギュレータ 750 の制御端子 - アノード間には抵抗 724 と抵抗 125 が並列接続される。シャントレギュレータ 750 は制御端子 - アノード間の電圧をあらかじめ定められた基準電圧値にするようにカソード - アノード間の電流を流す。このため第一の D C D C コンバータの出力電圧 V_{out} は抵抗 723 と制御端子 - アノード間の抵抗で分圧した結果が基準電圧値 V_{ref} となるような電圧になるように F E T 707 を制御する。出力電圧 V_{out} は以下の式によって示される。

$$V_{out} = [(\text{抵抗 } 723 + R) / R] \times V_{ref}$$

ここで R は抵抗 724 と抵抗 125 の並列接続による抵抗値であり、以下の式で示される。

$$R = \text{抵抗 } 724 \times \text{抵抗 } 125 / (\text{抵抗 } 724 + \text{抵抗 } 125)$$

【0019】

(2) 電源装置が待機モード時の動作説明

省エネルギー状態である待機モード時、C P U 746 はトランジスタ 127 をオフする。トランジスタ 127 がオフするとシャントレギュレータ 750 の制御端子 - アノード間の抵抗は抵抗 724 のみとなる。前述したようにシャントレギュレータ 750 は制御端子 - アノード間電圧を予め定められた基準電圧値とするよう動作するため、出力電圧 V_{out3} は

$$V_{out3} = [(\text{抵抗 } 723 + \text{抵抗 } 724) / \text{抵抗 } 724] \times V_{ref}$$

とするように動作する。シャントレギュレータの制御端子 - アノード間の抵抗が通常モード時より高くなるため、出力電圧は低下する。

【0020】

第二の D C D C コンバータは前述したように第一の D C D C コンバータの出力電圧から第二の直流電圧を生成している。待機時の動作により第一の D C D C コンバータの出力電圧が低下すると F E T 732 のオン時間を長く（オンデューティを大きく）して出力電圧

を第二の直流電圧に一定に維持するように動作する。第一のDCDCコンバータの出力電圧が第二の電源電圧以下になると、第二のDCDCコンバータのFET732はオン状態に固定となる（オンデューティ100%状態）。さらに第一のDCDCコンバータ電圧は低下し、第三の直流電圧にまで低下する。つまり、第二のDCDCコンバータは連続導通状態になり、第1のDCDCコンバータの出力電圧はより低い直流電圧（第三の直流電圧）になる。

【0021】

第三の直流電圧がVout3、第二の直流電圧をVout2とおくと、
 $V_{out2} > V_{out3}$
 という関係になる。

従って抵抗742、抵抗743、Vref2と抵抗723、抵抗724、Vrefの関係は以下の関係式で示される。

$$[(\text{抵抗}742 + \text{抵抗}743) / \text{抵抗}743] \times V_{ref2} > [(\text{抵抗}723 + \text{抵抗}724) / \text{抵抗}724] \times V_{ref}$$

【0022】

以上のように構成した場合の電源の効率と、従来構成（図13）の効率を比較した図を図3に示す。図3では、横軸を負荷電流、縦軸を効率として本実施例と従来構成との負荷電流に対する効率を示している。従来構成では第一のDCDCコンバータとともに第二のDCDCコンバータの効率も低下していくため効率が良くない。本実施例によれば、第二のDCDCコンバータでの損失はFET732のオン抵抗のみとなるため電源の効率が向上する。

【0023】

また、シャントレギュレータによる制御ではシャントレギュレータの耐圧が不足する場合には、シャントレギュレータを基準電圧源として用い、オペアンプ（誤差増幅器）により制御回路を構成しても良い。また、基準電圧にはシャントレギュレータ内の電圧を使用しているが、ツェナダイオードによって基準電圧を構成しても良い。

【0024】

（3）モード移行時の動作の説明

次に待機モードから通常モード、また、通常モードから待機モードへの状態移行について説明する。

【0025】

図4に待機モードから通常モードへの移行時の各部の電圧を示す。図4に示したように待機モードから通常モードへの移行時にはC（コンデンサ）741の両端電圧、即ち、第二のDCDCコンバータからの出力電圧は第三の直流電圧から第二の直流電圧へとスムーズに移行している。これは待機モードから通常モードへの移行時に第一のDCDCコンバータの出力電圧が第二の直流電圧よりも大きくなると第二のDCDCコンバータが動作して出力電圧の制御を行うためである。図で示されているように、コンデンサ741の両端電圧が第三の直流電圧から第二の直流電圧に移行するとともにFET707、FET732が動作し、コンデンサ728の両端電圧が第1の直流電圧にスムーズに移行する。

【0026】

次に図5に通常モードから待機モードに移行する場合の状態を示す。

図では、通常モードから待機モードに移行する際の、第一のDCDCコンバータ出力電圧と第一のDCDCコンバータにおけるFET707および第二のDCDCコンバータにおけるFET732のゲート電圧と第二のDCDCコンバータの出力電圧を示す。

【0027】

第一のDCDCコンバータの出力電圧が低下してくるとFET707のGS間電圧はオフとなり、FET707は停止する。第一のDCDCコンバータのFET707が停止しているのに負荷電流は流れ出るので第一のDCDCコンバータの出力電圧は低下する。即ち、第二のDCDCコンバータの入力電圧が低下してくるため、第二のDCDCコンバータはFET732のゲートのオン幅（オンデューティ）を大きくしながら第二のDCDC

10

20

30

40

50

コンバータの出力電圧を一定になるよう制御する。第二のＤＣＤＣコンバータの入力電圧が第二の直流電圧以下になると、第二のＤＣＤＣコンバータのＦＥＴ７３２はオン状態のままになる（図のＦＥＴ７３２　ＧＳ間電圧）。

【００２８】

第一のＤＣＤＣコンバータ出力電圧が第三の直流電圧となったところで第一のＤＣＤＣコンバータのＦＥＴ７０７がオン／オフ動作を行うために第二のＤＣＤＣコンバータの出力電圧は第三の直流電圧で制御される（図の点線Ｂで示す状態）。

【００２９】

以上のとおり、本実施例において、待機モードと通常モードの移行時（切り替え時）に第二のＤＣＤＣコンバータ出力電圧は急峻な電圧変化を発生しないよう構成している。

10

【００３０】

このように、本実施例によれば待機モード時における第一および第二のＤＣＤＣコンバータの効率を向上させることができる。また、待機モードから通常モードへ、通常モードから待機モードへの切り替え時にも出力電圧の急峻な電圧変化が発生しないようにできるので、回路の誤動作等の発生が抑制できる。

【実施例２】

【００３１】

実施例２である“電源装置”について説明する。

本実施例の電源装置は、第一のＤＣＤＣコンバータにおいて、特に、ＲＣＣ方式や周波数制御方式のような、待機モード時（軽負荷時）にスイッチング周波数が上昇する制御、および制御用ＩＣを用いた構成を前提としている。なおＲＣＣ（Ｒｉｎｇｉｎｇ　Ｃｈｏｋｅ　Ｃｏｎｖｅｒｔｅｒ）方式とは、フライバック型コンバータの一種で、自励発振によってスイッチング動作を行うコンバータのことである。

20

【００３２】

図２は本実施例の電源装置の回路図である。本実施例において、従来例の構成と重複する部分は同じ符号で示しており、その説明は省略する。Ａが駆動系電源電圧を供給する第一のＤＣＤＣコンバータであり、Ｂが制御系電源電圧を供給する第二のＤＣＤＣコンバータである。

【００３３】

図２において、７４２、２４３、２４７、２４８、２３７、２５１、２５２は抵抗、２５０はコンパレータ、２４９はシャントレギュレータ、２５３、２５４はトランジスタである。

30

【００３４】

通常モード時、ＣＰＵ７４６はトランジスタ２５３をオンしている。トランジスタ２５３がオンするとトランジスタ２５４がオフとなるため、第一のＤＣＤＣコンバータはコンパレータ２５０の動作に関わらずシャントレギュレータ７５０の動作によって第一の直流電圧を出力している。また、第二のＤＣＤＣコンバータは第二のＤＣＤＣコンバータ制御用ＩＣ７３８によりＦＥＴ７３２を断続的に駆動して第二の直流電圧を出力している。

【００３５】

待機モードとなってＣＰＵ７４６がトランジスタ２５３をオフすると、トランジスタ２５４はコンパレータ２５０の出力によって動作する。コンパレータ２５０の出力はトランジスタ２５４、フォトカプラ７１４を介して第一のＤＣＤＣコンバータ制御用ＩＣ２１０に接続されており、第一のＤＣＤＣコンバータの出力は、第二のＤＣＤＣコンバータの出力電圧が第三の直流電圧となるように制御する。

40

【００３６】

第二のＤＣＤＣコンバータの出力電圧は通常モード時に第二の直流電圧となるように定めており、第三の直流電圧は該第二の直流電圧よりも低い電圧に設定しているので、第一のＤＣＤＣコンバータの出力電圧は第一の直流電圧から第三の直流電圧へと低下していく。

【００３７】

50

第二のＤＣＤＣコンバータは入力電圧が低下しても出力を第二の直流電圧に保つためにＦＥＴ７３２のオンデューティを大きくしながら動作を続け、入力電圧が第二の直流電圧となったときにオンデューティが１００％となり、ＦＥＴ７３２はオンしたままとなる。さらに第一のＤＣＤＣコンバータの出力電圧は第三の直流電圧まで低下させてはじめてコンパレータ２５０が動作してＦＥＴ７０７をスイッチング動作させる。この結果、第一のＤＣＤＣコンバータ出力電圧は第三の直流電圧となる。

【００３８】

本実施例によれば、実施例１と同様に待機モード時における第一および第二のＤＣＤＣコンバータの効率を向上させることができる。

【実施例３】

10

【００３９】

実施例３である“電源装置”に付いて説明する。

実施例１、２では、第二のＤＣＤＣコンバータの制御用ＩＣとしてオンデューティを１００％にすることができるＩＣを用いることを前提としている。本実施例では、第二のＤＣＤＣコンバータの制御用ＩＣとしてオンデューティを１００％にすることができないようなＩＣを使用した場合の構成を前提としており、第二のＤＣＤＣコンバータのＦＥＴをオンするための外部回路を設けることを特徴としている。

【００４０】

第二のＤＣＤＣコンバータの制御に用いる制御用ＩＣの保護機能として、デューティガード機能や発振器の下限周波数を有している場合（オンデューティ１００％設定できない場合）がある。従って第二のＤＣＤＣコンバータの入力電圧が低くなっても第二のＤＣＤＣコンバータのＦＥＴはオンし続けることができない。このため出力電圧の変動が大きくなったり出力電圧が低下したりしてしまい、実施例１、２のような動作ができなくなってしまう。このような場合には第一のＤＣＤＣコンバータの出力電圧を検出し、検出した電圧が予め定められた電圧となったときに第二のＤＣＤＣコンバータのＦＥＴをオンする外部回路を設けることで待機モード時に第二のＤＣＤＣコンバータのＦＥＴをオン状態とすることができる。

20

【００４１】

この具体例の回路を図６に示す。本実施例は、実施例１における第１のＤＣＤＣコンバータに、図６に示す第２のＤＣＤＣコンバータを接続した構成の電源装置である。

30

【００４２】

なお、図６における第二のＤＣＤＣコンバータＢのＦＥＴ５０１を駆動する回路としては、トランジスタ５５８、抵抗５５５、５５６、５５７、５５９、５６０等から構成され、その他、コンデンサ５５１、５７２、５３０、抵抗５３６、５４９、ダイオード５２９、インダクタ５２８から構成される。この回路の基本的な動作は、従来例の構成で説明したものと略同様であるため説明は省略し、本実施例の外部回路Ｄ１の構成、動作のみを説明する。

【００４３】

本実施例における外部回路Ｄ１は、待機モード時に第二のＤＣＤＣコンバータＢのＦＥＴ５０１をオン状態にする回路である。６００は第二のＤＣＤＣコンバータの制御用ＩＣである。ＲＥＦは制御目標とする電圧を入力する端子、Ｃはコレクタ、Ｅはエミッタであり、Ｃ端子の先にＦＥＴ５０１のゲート端子を接続することにより、ＦＥＴ５０１を駆動している。ＧＮＤは制御用ＩＣのＧＮＤ端子である。

40

【００４４】

また、外部回路Ｄ１は、抵抗６０１、６０４、６０８、６０９、６１１、トランジスタ６０２、６０３、６０６、６１０、ダイオード６０５、６０７から構成される回路である。

【００４５】

通常モード時は、第一のＤＣＤＣコンバータの出力電圧が第一の直流電圧となっており、第二のＤＣＤＣコンバータの出力電圧（第二の直流電圧）よりも高い。このためトラン

50

ジスタ 606 がオンし、ダイオード 607 から抵抗 609 を通して電流が流れダイオード 605 は逆バイアスとなるためにトランジスタ 602 は動作しない。またトランジスタ 603、トランジスタ 610 とともにオフとなるため、IC 600 の制御出力がそのまま FET 501 に印加される。従って第二の DCDC コンバータは IC 600 の制御による DCDC コンバータ動作を続ける。

【0046】

待機モードとなったとき、負荷である不図示の装置は、端子 174 を Low にするとともに第一の DCDC コンバータの出力電圧を低下させる。端子 174 が Low になり、かつ第一の DCDC コンバータの出力電圧が第二の直流電圧よりも低くなると、トランジスタ 602 および 603 がオンする。これによりトランジスタ 610 はオンとなり、FET 501 のゲートを Low とするため FET 501 はオンし続けることになる。

10

【0047】

通常モードに復帰する場合には、負荷である不図示の装置は、第一の DCDC コンバータを通常モード出力となるようにするとともに端子 174 を High または高インピーダンスとする。するとトランジスタ 603 がオフとなるため、トランジスタ 610 もオフとなり、IC 600 は再び FET 501 を駆動できるようになる。同時に第一の DCDC コンバータの出力電圧は上昇し始めるため、IC 600 は FET 501 のオン時間を徐々に短く駆動し始める。この間の電圧変動は、待機モードから通常モードへの切り替え直後に IC 600 の最大デューティ範囲と第一の DCDC コンバータの電圧上昇による変動があるだけなので負荷の装置としては十分に許容できる範囲となる。以上により制御切り替え時の電圧変動の小さい切り替えが可能となる。

20

【0048】

なお、図 6 ではディスクリート部品を用いた例を示した。しかしながら、コンパレータを用いればより簡単に回路を構成することが可能である。そのような回路を図 7 に示す。

【0049】

図 7 は外部回路の構成が図 6 とは異なっている。図 7 における外部回路 D2 では、通常モード時、装置は端子 174 を High にする。コンパレータ 1405 の - 端子が Low となるため、コンパレータ出力端子は OPEN となり、FET 501 に影響は及ぼさない。待機モードとなったとき、装置は電源装置の出力電圧を低下させるとともに端子 174 を Low にする。入力電圧が低下してコンパレータ 1405 の - 入力端子電圧が + 入力端子電圧よりも高くなるとコンパレータ出力が Low となり、第 2 の DCDC コンバータの FET 501 をオンする。

30

【0050】

なお、図 6、図 7 の回路において、端子 172、173、174 には実施例 1、2 で説明した制御系の負荷としての CPU 746 が接続されている。

【0051】

本実施例によれば、第二の DCDC コンバータの制御用 IC として 100% オンデューティ動作ができない場合でも、待機モード時における第一および第二の DCDC コンバータの効率を向上させることができる。

【実施例 4】

40

【0052】

実施例 4 である “電源装置” に付いて説明する。

【0053】

本実施例は、第一の DCDC コンバータが RCC 方式の回路により構成した場合の例を示すものである。本実施例では、第二の DCDC コンバータとしては、図 1 に示す第二の DCDC コンバータ B 部分で、CPU 746 によるトランジスタ 127 の制御部分を除いて同様の DCDC コンバータを想定している。よって、第二の DCDC コンバータについては、実施例 1 の説明を援用しここでの説明は省略する。

【0054】

以下に図 8 に基づき本実施例における第一の DCDC コンバータの動作について説明す

50

る。図 8 において、800 は商用交流電源、801 はフィルタ回路、802 はダイオードブリッジ、803 はコンデンサ、804 はスイッチングトランスである。また、805 は起動抵抗、806 - a は第 1 のフォトカプラの一端であるフォトトランジスタ、807 はスイッチング素子、808、809、811、813、816、817 は抵抗、810 はトランジスタである。また、812、818 はコンデンサ、814 - a は第二のフォトカプラの一端であるフォトトランジスタ、815、819 はダイオードである。

【0055】

820 は二次整流ダイオード、821 は電解コンデンサ、822、824、825 は抵抗、823 はシャントレギュレータである。また、835、836、839 は抵抗、833 はコンパレータ、806 - b はフォトカプラの LED、834 は抵抗、833 はコンパレータ、876 はトランジスタである。また、838 は基準電圧を生成するツェナダイオードである。

【0056】

商用交流電源 800 よりフィルタ回路 801 を介してダイオードブリッジ 802 に AC 電源が印加されると、ブリッジダイオード 802 により両波整流がなされ、コンデンサ 803 に充電が行なわれ、コンデンサ 803 の両端に DC 電圧を生成する。

【0057】

電源起動時に通常モードとなる場合の動作を説明する。通常モード時には端子 874 は High の信号が入力される。このためトランジスタ 876 はオンとなり、フォトカプラの LED 806 - b は点灯しない状態となっている。フォトカプラのトランジスタ 806 - a はインピーダンスが高い状態となっているため、抵抗 851 による電流がトランジスタ 850 のベースエミッタ間に流れトランジスタ 850 はオンとなる。この結果、起動抵抗 805 とゲートソース間に接続された抵抗 808 の分圧によりスイッチング素子 807 のゲート - ソース間に電圧が印加され、スイッチング素子 807 がオンする。スイッチング素子 807 がオンするとトランス 804 の一次巻線 Np に電流が流れ始める。するとトランス 104 の補助巻線 Nb にさらにスイッチング素子 807 のゲート電圧を高くする方向に電圧が発生する。この電圧により抵抗 817 を通じてコンデンサ 818 が充電される。コンデンサ 818 の両端電圧はトランジスタ 810 のベース - エミッタ間にも印加されるため、充電が開始され一定時間経過するとトランジスタ 810 に十分なベース電圧が発生し、ベース電流が流れるようになってトランジスタ 810 がオンする。

【0058】

トランジスタ 810 がオンするとスイッチング素子 807 がオフし、スイッチング素子 807 のドレイン - ソース間電圧が上昇し始める。この結果、補助巻線 Nb のダイオード 815 のカソード側の電圧が低下し、逆方向に電圧が発生する。

二次巻線 Ns にはダイオード 820 が導通する方向に電流が流れ、コンデンサ 821 の電圧とダイオード 820 の順方向電圧の和以上の電圧となったときにコンデンサ 821 を充電する。同時に補助巻線 Nb に現れた電圧はコンデンサ 818 を放電する。ダイオード 819 はトランジスタ 810 のベース - エミッタ間の逆方向耐圧以上に電圧が印加されないよう保護のために接続されている。抵抗 816、ダイオード 815 はコンデンサ 818 を放電する方向に電流を流し、抵抗 817 による放電よりも高速に放電するために接続している。このようになるとトランジスタ 810 はオフするため、スイッチング素子 807 のゲート電圧はこの後、起動抵抗 805 により供給される電流と、抵抗 811 とコンデンサ 812 を介して供給される補助巻線 Nb に流れ込む電流により決まるようになる。スイッチング素子 807 のオフを高速化するために抵抗 841 とダイオード 842 を接続している。

【0059】

スイッチング素子 807 がオフの期間、トランス 804 に蓄えられたエネルギーは、コンデンサ 821 に移動するため、時間とともに Ns 巻線の電圧が減少する。Ns 巻線電圧は補助巻線 Nb の出力電圧にも反映されるため Nb 巻線のダイオード 819 アノード端子側の電圧も小さくなる。起動抵抗 805 より流入する電流によりバイアスされてスイッチ

10

20

30

40

50

ング素子 807 のゲート電圧が上昇してくる。

【0060】

スイッチング素子 807 のゲート電圧が閾値よりも高くなると、スイッチング素子 807 はオンし、Np 巻線にコンデンサ 803 からトランス 804 を介し、スイッチング素子 807 を通ってコンデンサ 803 の - 端子の方向に電流が流れる。また Nb 巻線には、Nb 巻線よりコンデンサ 812、抵抗 811、抵抗 808、Nb 巻線といった方向に電流が流れるためスイッチング素子 807 のゲート電圧がさらに上昇する。そうして前述したように Nb 巻線の電圧と抵抗 817 によりコンデンサ 818 が充電され、トランジスタ 810 をオンすることでスイッチング素子 807 がオフする。

【0061】

以上のような一連の発振動作が継続されてスイッチング素子 807 のオン期間にトランス 804 に蓄えられたエネルギーが、スイッチング素子 807 のオフ期間にコンデンサ 821 に蓄えられ、コンデンサ 821 の両端電圧は上昇していく。

【0062】

コンデンサ 821 の電圧は抵抗 824 と 825 により分圧され、抵抗 825 の両端電圧がシャントレギュレータ 823 の基準電圧よりも高くなると、シャントレギュレータ 823 はカソード - アノード間に電流を流し始め、フォトカブラのフォトダイオード 814 - b が発光する。

フォトカブラの受光側のトランジスタ 814 - a は、抵抗 813 とトランジスタ 810 のベースに接続されており、フォトカブラ 814 の LED が発光するとフォトトランジスタ 814 - a のインピーダンスが低下する。このため、トランジスタ 810 がオンしてスイッチング素子 807 をオフする。このようにして抵抗 825 の両端電圧がシャントレギュレータ 823 の基準電圧となるようにコンデンサ 821 の両端電圧は制御される。

【0063】

待機モード時は、端子 874 が Low とされる。端子 874 が Low とされるとトランジスタ 876 がオフとなる。するとコンパレータ 833 の出力信号によりフォトカブラのフォトダイオード 806 - b の点灯を制御できるようになる。

コンパレータ 833 は - 入力端子に出力電圧を抵抗 835、抵抗 834 により分圧した電圧を入力する。また + 入力端子には抵抗 836 によりバイアスされたツェナダイオード 838 の基準電圧を入力する。コンパレータ 833 は入力電圧を基準電圧と比較し、ツェナダイオード 838 の電圧よりも抵抗 834 の電圧が高い場合に出力端子を Low とする。コンパレータ 833 の出力端子が Low となるとフォトカブラのフォトダイオード 806 - b が点灯する。するとフォトカブラのトランジスタ 806 - a のインピーダンスが低下しトランジスタ 850 がオフとなる。抵抗 851 は起動抵抗 805 よりも高い抵抗としているため、起動時のゲート電圧が低下してスイッチング素子 807 はオンできなくなる。抵抗 851 は高抵抗のため、少なくとも 2 つ以上の複数の抵抗を直列接続している。起動抵抗 805 も同様である。このままでは Nb 巻線の電圧によってスイッチング素子 807 がオンしてしまう場合がある。このためにコンパレータ 833 の出力により、フォトカブラの LED 814 - b も点灯させて、フォトカブラのトランジスタ 814 - a のインピーダンスを低下させ、スイッチ素子 807 を確実にオフする構成としても良い。

【0064】

スイッチング素子 807 がオフとなると、端子 872 と端子 873 の間の電圧である第一の DCDC コンバータの出力電圧は降下していく。第一の DCDC コンバータ出力電圧が抵抗 835 と抵抗 834 により分圧された値がツェナダイオード 838 の電圧よりも低くなると、コンパレータ 833 がオフし、フォトカブラの LED 806 - b、814 - b が点灯しなくなる。(なお、このときの出力電圧は実施例 1 で説明した第三の直流電圧となっている。)この結果トランジスタ 850 のインピーダンスが低下し起動電流が流れ始める。またトランジスタ 810 のインピーダンスが上昇してスイッチング素子 807 のゲート端子電圧が上昇可能になる。

【0065】

10

20

30

40

50

第一のDCDCコンバータが通常モード時に機能する電圧フィードバック用のシャントレギュレータ823のカソード・アノード間は第一のDCDCコンバータ出力電圧が低下しているためハイインピーダンスとなっている。このためフォトカブラのLED814-bは点灯しない。

【0066】

従ってスイッチング素子807は電源起動時と同じく、最大オン時間で駆動される。実施例1ではシャントレギュレータに入力する抵抗の分圧比を待機/通常モードで切り替える構成であった。しかしながらRCC方式で同様に構成すると待機モード時の周波数はるかに高い周波数になってしまう。するとスイッチング損失が大きくなり、かえって効率を低下させていた。

10

【0067】

第一のDCDCコンバータがRCC回路により構成される場合には、本実施例のようにすることで待機モード時の低電圧出力時、起動抵抗に接続したトランジスタ850をスイッチング動作させるので起動抵抗による損失も低減することが可能となる。従って、さらなる電源装置の効率の向上を図ることが可能となる。

【実施例5】

【0068】

実施例5である“レーザビームプリンタ”について説明する。本実施例は、実施例4で説明したRCC方式の電源装置をレーザビームプリンタに適用する場合について説明する。実施例4と共通する部分については同一の符号を示して説明は省略し、本実施例の特徴部のみを説明する。

20

【0069】

本実施例における第一のDCDCコンバータの動作を説明する。

図9は、本実施例のレーザビームプリンタにおける、第一のDCDCコンバータおよび第二のDCDCコンバータの構成を示す回路図である。図9において、FET927より左側が第一のDCDCコンバータ部分であり、FET927を含む右側が第二のDCDCコンバータ部分である。

図9において、927は第二のDCDCコンバータのメインスイッチングFET、928はインダクタ、929は回生ダイオード、930はコンデンサ、926、934~937は抵抗、938はツェナダイオードである。また、939は抵抗、932および933はコンパレータである。

30

【0070】

まず、通常時の動作説明を行う。コンパレータ932はツェナダイオード938の電圧を基準電圧として、抵抗934および939で分圧された電圧と比較する。ツェナダイオード938の電圧よりも抵抗939の電圧が低くなると、コンパレータ932の出力はLowとなるため、FET927のゲート電圧が低下しFET927はオンする。このためインダクタ928に電流が流れコンデンサ930を充電しコンデンサ両端電圧が上昇する。次に電圧が上昇して抵抗939の電圧がツェナダイオード938の電圧よりも高くなるとコンパレータ932の出力がHighとなるためFET927はゲート電圧が高くなりFET927はオフとなる。インダクタ928はさらに電流を流し続けようとするためダイオード929がオンしインダクタ928に蓄えられたエネルギーをコンデンサ930に充電する。このときダイオード980が導通しコンパレータ932の+入力端子の電圧を低くするためコンパレータ932は反転動作を行ってFET927をオンにする。以上のような一連の動作を繰り返すことにより、図示の第二のDCDCコンバータは発振を継続している。

40

【0071】

図10にレーザプリンタの制御部から電源装置への省エネルギーモード信号ラインの接続図を示す。図10において、188が制御回路の出力トランジスタ、190がCPU、もしくはASICからなる制御回路である。185~187、271、272は抵抗である。FET270を用いたロードスイッチで駆動系(+24V)の出力をオンオフしてい

50

る。F E T 2 7 0 のドレインは、図 9 の D 端すなわち駆動系電源に接続されている。このように構成することで、制御回路 1 9 0 出力が H i g h の時には出力トランジスタ 1 8 8 はローインピーダンスとなってロードスイッチである F E T 2 7 0 がオンする。また、制御回路 1 9 0 出力が L o w となることで出力トランジスタ 1 8 8 はハイインピーダンス状態となりロードスイッチである F E T 2 7 0 がオフする。

【 0 0 7 2 】

省エネルギーモードに入る場合の動作について、図 1 1 のフローチャートに基づき説明する。省エネルギーモード時、制御回路 1 9 0 からの信号は、第一の直流電圧の供給を停止するためステップ 1 1 (図では S 1 1 と略記する、以下同様) で出力トランジスタ 1 8 8 をオフし抵抗 2 7 2 より出力されているゲート端子を H i g h もしくはハイインピーダンス状態とする。このようになると、ロードスイッチの F E T 2 7 0 がオフするため、第一の D C D C コンバータは第一の直流電圧を端子 1 7 1 から電源外部に出力しなくなる。

【 0 0 7 3 】

然る後にステップ 1 2 で端子 1 8 4 がローになり省エネルギーモード信号が端子 1 7 4 から図 9 に示す電源装置に入力されると、トランジスタ 1 7 5 がオフしてフォトカブラの L E D 9 0 6 - b に電流が流れる状態になり、電源のコンパレータ 9 3 3 の動作が有効になる。コンパレータ 9 3 3 は、抵抗 9 3 5 と 9 3 7 の分圧電圧をツェナダイオード 9 3 8 の電圧と比較するように構成されている。コンパレータ 9 3 3 は、抵抗 9 3 7 の電圧がツェナダイオード 9 3 8 の電圧よりも高い状態でオン状態となり、フォトカブラ 9 0 6 - b の L E D に電流を流し L E D を発光させる。フォトカブラ 9 0 6 の受光側のトランジスタ 9 0 6 - a は、トランジスタ 8 5 0 のベースエミッタ間に接続されており、フォトカブラ 9 0 6 の L E D 発光によりトランジスタ 8 5 0 をオフ、L E D 消灯によりトランジスタ 8 5 0 をオンとする。このようにして第二の D C D C コンバータの出力電圧が第三の直流電圧となるように第一の D C D C コンバータの起動抵抗 8 0 5 とスイッチング素子 8 0 7 をオン、オフする。このようにすることで、第二の D C D C コンバータのフィードバック回路は常に出力電圧が目標値以下の値となっているために F E T 9 2 7 をオンし続けるよう動作する。このようにして第二の D C D C コンバータの F E T 9 2 7 をオン固定としてスイッチング損失が発生しなくなり、第二の D C D C コンバータでの損失は F E T 9 2 7 とインダクタ 9 2 8 の抵抗分による損失だけとなる。同時に第一の D C D C コンバータは 3 . 3 V の増減にあわせた長い周期での休止が入ることになるためスイッチング損失が減少して電源効率が飛躍的に上昇する。

【 0 0 7 4 】

次に省エネルギーモードからの復帰について図 1 2 に基づき説明する。ステップ 2 1 で端子 1 8 4 を H i g h にすることで、トランジスタ 1 7 5 をオンし、コンパレータ 9 3 3 による起動抵抗 8 0 5 と F E T 9 0 7 の制御が停止し、第一の D C D C コンバータ出力電圧が第一の直流電圧 (+ 2 4 V) に向かって上昇を始める。ステップ 2 2 で第一の D C D C コンバータ出力電圧が第一の直流電圧に達する頃まで数 m s 待ち合わせた後に、ステップ 2 3 で出力トランジスタ 1 8 8 をオンする。すると、ロードスイッチである F E T 2 7 0 がオンして端子 1 7 1 から駆動系の負荷に第一の直流電圧が供給される。なお駆動系の負荷で中途半端な電圧が加わって誤動作するような素子が無ければロードスイッチである F E T 2 7 0 も無くして第一の直流電圧をオンオフしないようにしても良い。

【 0 0 7 5 】

以上説明したように本実施例によれば、レーザビームプリンタに本発明に係る電源装置を適用した構成において、待機モード時の電源装置の効率を向上することができる。

【 図面の簡単な説明 】

【 0 0 7 6 】

【 図 1 】 実施例 1 の電源装置の構成を示す回路図

【 図 2 】 実施例 2 の電源装置の構成を示す回路図

【 図 3 】 実施例 1 と従来例の電源の効率を比較した図

【 図 4 】 実施例 1 の電源装置の待機モードから通常モード移行時の各部の波形を示す図

【図 5】実施例 1 の電源装置の通常モードから待機モード移行時の各部の波形を示す図

【図 6】実施例 3 における第二の D C D C コンバータの構成を示す回路図

【図 7】実施例 3 における第二の D C D C コンバータの他の構成を示す回路図

【図 8】実施例 4 の電源装置における第一の D C D C コンバータの構成を示す回路図

【図 9】実施例 5 における電源装置の構成を示す回路図

【図 10】実施例 5 におけるレーザプリンタの制御部から電源装置への接続構成を示す図

【図 11】実施例 5 における省エネルギーモード移行時の動作を示すフローチャート

【図 12】実施例 5 における省エネルギーモードからの復帰時の動作を示すフローチャート

【図 13】従来例の構成を示す回路図

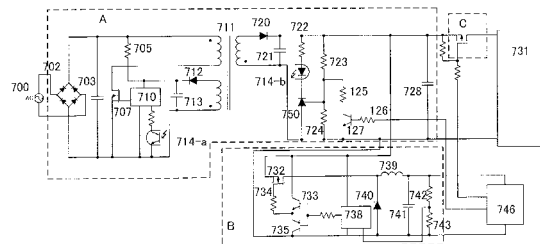
10

【符号の説明】

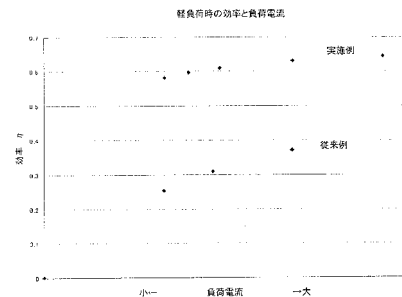
【 0 0 7 7 】

- 7 0 2 整流ダイオード
- 7 0 3 一次平滑コンデンサ
- 7 1 1 スイッチングトランス
- 7 2 0 二次整流ダイオード
- 7 2 8 二次平滑コンデンサ
- 7 3 2 スイッチング素子
- 7 4 6 C P U

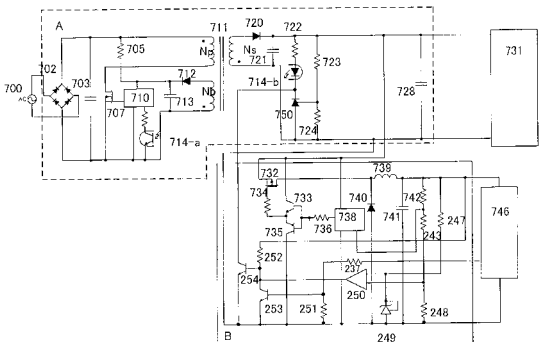
【図 1】



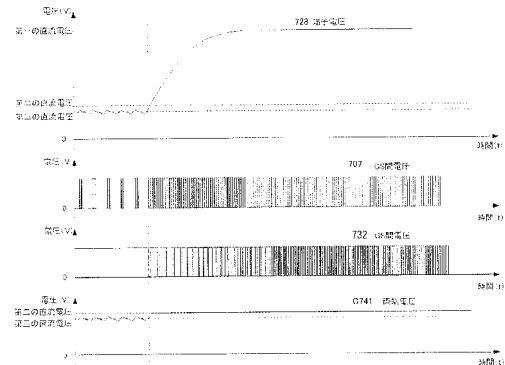
【図 3】



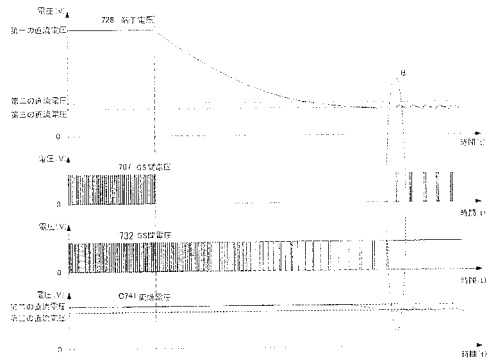
【図 2】



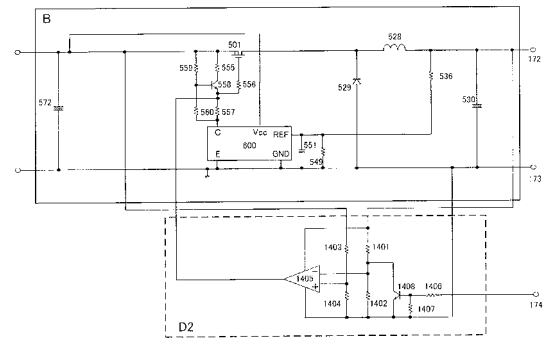
【図 4】



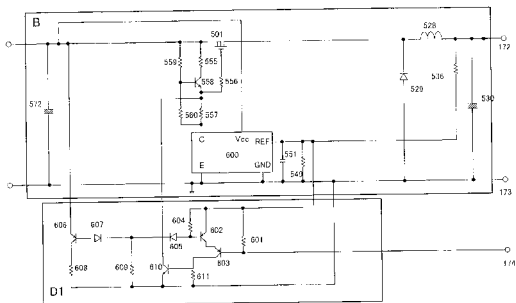
【図 5】



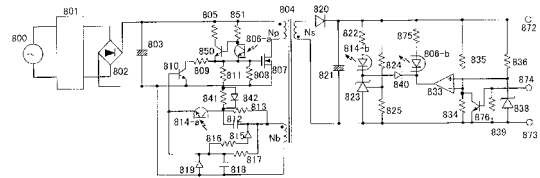
【図 7】



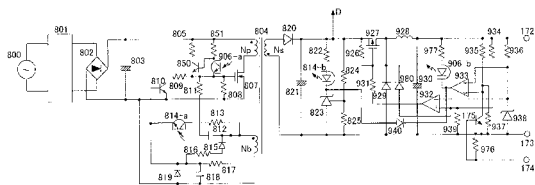
【図 6】



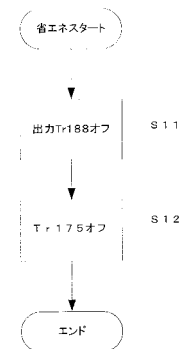
【図 8】



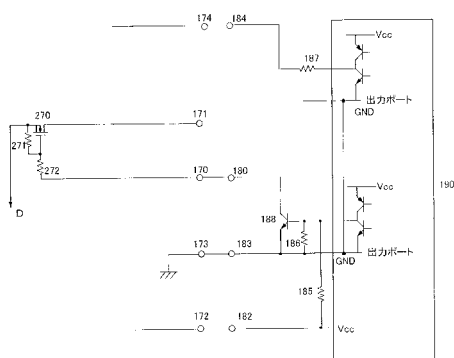
【図 9】



【図 11】



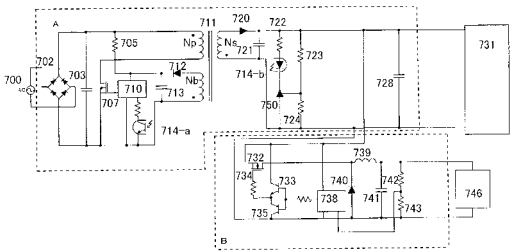
【図 10】



【図 12】



【図 13】



フロントページの続き

審査官 永田 和彦

- (56)参考文献 特開 2 0 0 6 - 1 0 1 5 9 7 (J P , A)
特開 2 0 0 0 - 2 7 0 5 4 4 (J P , A)
特開 2 0 0 8 - 6 7 4 9 4 (J P , A)
特開 2 0 0 1 - 1 7 8 1 1 7 (J P , A)
特開平 2 - 4 1 6 5 9 (J P , A)
特開 2 0 0 0 - 2 7 8 9 4 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 3 / 0 0 - 3 / 4 4