

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

[12] 发明专利申请公开说明书

[21] 申请号 97193978.0

H01L 21/283

H01L 21/338 H01L 29/161

H01L 29/45 H01L 29/47

H01L 29/73 H01L 29/812

[43]公开日 1999年5月12日

[11]公开号 CN 1216635A

[22]申请日 97.3.4 [21]申请号 97193978.0

[30]优先权

[32]96.3.7 [33]US [31]08/612,216

[86]国际申请 PCT/US97/03497 97.3.4

[87]国际公布 WO97/33308 英 97.9.12

[85]进入国家阶段日期 98.10.21

[71]申请人 3C 半导体公司

地址 美国俄勒冈州

[72]发明人 詹姆斯·D·帕森斯

[74]专利代理机构 柳沈知识产权律师事务所

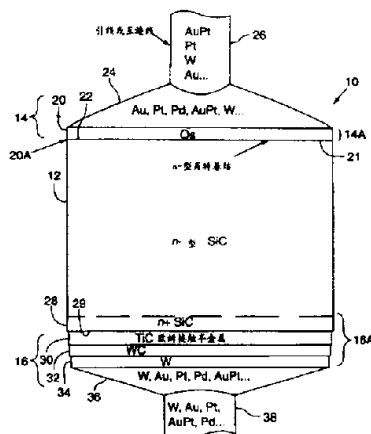
代理人 陶凤波

权利要求书 7 页 说明书 15 页 附图页数 8 页

[54]发明名称 碳化硅上的钨整流肖特基和欧姆连接以及
W/WC/TiC 欧姆接触

[57]摘要

SiC 上的金属钨(β 或 γ)形成一接触。该接触牢牢地固定在 SiC 表面上,并形成一有效阻挡,以防止来自导电金属的扩散。在 n-型 SiC(12)上,Os(20)形成一陡变肖特基整流结和肖特基二极管,前者具有到至少 1050℃ 下仍保持不变的操作性能,后者到 1175℃ 下仍可操作,并且阻挡高度大于 1.5eV。在 P-型 SiC 上,Os 形成一具体接触电阻小于 $10^{-4} \text{ ohm} \cdot \text{cm}^2$ 的欧姆接触。与 SiC 基底(12)上的 TiC 层(30)的欧姆肖特基接触是通过在 TiC 层(30)上沉积一 WC 层(32),接着沉积一 W 层(34)而形成的。这种接触到至少 1150℃ 下仍保持稳定。电极(38)要么直接要么通过保护连接层(36)(如 Pt 或 PtAu 合金)来与接触连接。



权利要求书

1. 一种 SiC 半导体器件, 包括:

5 一包括硅碳化物的半导体基底, 它包括一第一表面和一第二表面, 该基底包括一邻近第一表面的第一掺杂区域以及一邻近第二表面的第二掺杂区域;

一第一导电层, 它包括接触第一表面的金属钽(Os), 以形成一第一接触, 该第一接触具有与第一区域的一电子界面; 以及

10 一第二层, 它包括一接触第二表面的金属, 以形成一与第二掺杂区域的电子接触。

2. 如权利要求 1 所述的 SiC 半导体器件, 其中, 第一区域的掺杂为 n-型, 并且该第一接触形成一作为所述电子界面的肖特基结。

3. 如权利要求 2 所述的 SiC 半导体器件, 其中, 第一导电层包括一形成金属钽与硅碳化物基底的界面的 Si 或 OsSi 的薄膜。

15 4. 如权利要求 1 所述的 SiC 半导体器件, 其中, 第一与第二区域的掺杂为 n-型, 该第一接触形成一肖特基结, 而第二接触形成一欧姆连接。

5. 如权利要求 4 所述的 SiC 半导体器件, 其中, 第一与第二区域以及基板的中间部分的掺杂为 n-型, 该第一接触形成一肖特基结, 而第二接触形成一欧姆连接, 从而此器件起着一肖特基二极管的作用。

20 6. 如权利要求 1 所述的 SiC 半导体器件, 其中, 第一区域的掺杂为 p-型, 并且第一接触形成一作为所述电子界面的欧姆连接。

7. 如权利要求 6 所述的 SiC 半导体器件, 其中, 第二区域的掺杂为 n-型, 从而在该第一和第二区域之间的界面上形成一 pn 结。

8. 如权利要求 7 所述的 SiC 半导体器件, 其中, 该第二层包括:

25 一接触第二表面的碳化钛(TiC)层;

一覆盖碳化钛(TiC)层的碳化钨(WC)层; 以及

一接触碳化钨(WC)层的基本由单质钨所构成的层。

9. 如权利要求 1 所述的 SiC 半导体器件, 其中, 该第一与第二区域掺杂有一第一掺杂剂类型, 并且该基底的中间部分掺杂有一相反的掺杂剂类型,
30 以在邻近第一区域的界面处形成一第一 pn 结, 并在邻近第二区域的界面处形成一第二 pn 结。

10. 如权利要求 1 所述的 SiC 半导体器件, 其中, 该第一区域掺杂有一第一掺杂剂类型, 并且该第二区域掺杂为一相反的第二掺杂剂类型, 并且, 该基底的中间部分被掺杂, 以在邻近该第一区域的界面处形成一第一 pn 结, 在邻近该第二区域的界面处形成一第二 pn 结, 并且在该中间部分形成一第三 pn 结。

11. 如权利要求 1 所述的 SiC 器件, 其包括一层覆盖 Os 第一导电层的保护金属, 其选自一组可保护 Os 层免于氧化并且可用以接合至一钎表面的导电金属。

12. 如权利要求 1 所述的 SiC 器件, 其包括一层保护金属, 这些金属选自包括 Pt、Pd、W、Au、PtAu、Ti、Zr、Hf、V、Cr、Fe、Ni、Cu、Nb、Mo、Tc、Ru、Rh、Ag、Ta、Re、Ir 的组。

13. 如权利要求 1 所述的 SiC 器件, 其中, 该第二导电层包括金属钌 (Os)。

14. 如权利要求 13 所述的 SiC 器件, 其中, 该第一与第二区域以及该基底的中间部分的掺杂为 p-型, 使得该第一接触与该第二接触各自形成一欧姆连接, 因而, 此器件起着一电阻性的装置器件的作用。

15. 如权利要求 13 所述的 SiC 器件, 其中, 该第一与第二区域以及该基底的中间部分的掺杂为 p-型, 使得该第一接触与该第二接触各自形成一欧姆连接, 并且, 一栅极结构接触一与该基板的中间部分接触的第三表面部分, 从而, 此器件起着一场效应晶体的作用。

16. 如权利要求 13 所述的 SiC 半导体器件, 其中, 该基板的第一与第二区域的掺杂为 p-型, 使得该第一接触与该第二接触各自形成一欧姆连接, 并且, 该基板的中间部分的掺杂为 n-型, 从而与该第一与第二区域的其中至少一个形成一 pn 结。

17. 如权利要求 13 所述的 SiC 半导体器件, 其包括一耦接至该基板的中间部分的接触, 从而, 此器件起着一晶体管的作用。

18. 如权利要求 17 所述的 SiC 半导体器件, 其中, 该第一与第二区域的掺杂为 p-型, 并且, 该基板中间部分的掺杂为 n-型, 耦接至该中间部分的接触包括一种与其形成一欧姆接触的材料, 从而, 此器件可以用作一双极晶体管。

19. 如权利要求 17 所述的 SiC 器件, 其中, 该第一与第二区域的掺杂为

p-型，并且耦接至该中间部分的接触包括一覆盖于一绝缘层之上的第三金属层，从而在中间部分上形成一绝缘的栅极，从而，此器件可用作一场效晶体管。

5 20. 如权利要求 19 所述的 SiC 半导体器件，其中，该第三导电层包括一钽层。

21. 如权利要求 19 所述的 SiC 半导体器件，其中，该第三导电层包括：
一覆盖该绝缘层的碳化钛(TiC)层；
一覆盖该碳化钛(TiC)层的碳化钨(WC)层；以及
一接触该碳化钨(WC)层的主要由单质钨所构成的层。

10 22. 如权利要求 17 所述的 SiC 半导体器件，其中，该第一与第二区域的掺杂为 p-型，并且耦接至该中间部分的接触包括一与中间部分的一表面接触的导电层，从而，此器件可以用作一晶体管。

23. 如权利要求 22 所述的 SiC 器件，其中，该耦接至中间部分的接触包括：

15 一接触该中间层的一表面部分的碳化钛(TiC)层；
一覆盖该碳化钛(TiC)层的碳化钨(WC)层；以及
一接触该碳化钨(WC)层的主要由元素钨所构成的层；
该中间层的掺杂为 p-型，从而，此器件可以用作一晶体管。

20 24. 如权利要求 22 所述的 SiC 半导体器件，其中，该耦接至该中间部分的接触包括一与该中间层的一表面部分接触的 Os 层。

25. 如权利要求 1 所述的 SiC 半导体器件，其中，该第二层包括：
一在该第二表面之上的碳化钛(TiC)层；
一在该碳化钛(TiC)层之上的碳化钨(WC)层；以及
一在该碳化钨(WC)层之上的金属钨(W)层。

25 26. 一种 SiC 半导体器件，包括：

一包括硅碳化物的半导体基底，它具有一第一表面和一第二表面，该基底包括一邻近第一表面的第一掺杂区域以及一邻近第二表面的第二掺杂区域；

30 一第一导电层，它包括在第一表面之上的第一接触金属层，以形成一具有一与第一区域的电界面的第一接触；和

一接触该第二表面的第二导电层，以形成与基底接触的第二电接触，该

第二层包括:

- 一接触该第二表面的碳化钛(TiC)层;
- 一覆盖该碳化钛(TiC)层的碳化钨(WC)层; 和
- 一接触该碳化钨(WC)层的主要由元素钨所构成的层。

5 27. 如权利要求 26 所述的 SiC 半导体器件, 其中, 该第二区域的掺杂为 n-型, 并且第二接触形成一欧姆连接。

28. 如权利要求 26 所述的 SiC 半导体器件, 其中, 包括一层接触该钨层的接合金属, 它选自一组可用以接合钨的表面的导电金属。

10 29. 如权利要求 26 所述的 SiC 半导体器件, 其包括一层接触该钨层的接合金属, 该接合金属选自一组包括有 Pt、Pd、W、Au、PtAu、V、Ti、Zr、Hf、Cr、Fe、Ni、Cu、Nb、Mo、Tc、Ru、Rh、Ag、Ta、Re、Ir 的金属。

30. 如权利要求 26 所述的 SiC 半导体器件, 其中, 该第二区域的掺杂为 p-型, 并且该第二接触形成一整流结。

15 31. 如权利要求 26 所述的 SiC 半导体器件, 其中, 该第一层包括:
 一在该第一表面之上的碳化钛(TiC)层;
 一在该碳化钛(TiC)层之上的碳化钨(WC)层; 和
 一在该碳化钨(WC)层之上的金属钨(W)层。

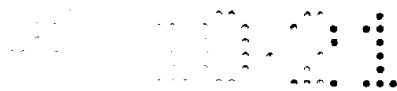
20 32. 如权利要求 31 所述的 SiC 半导体器件, 其中, 该第一与第二区域以及该基底的中间部分的掺杂为 n-型, 使得该第一接触与该第二接点各自形成一欧姆连接, 从而, 此器件可以起着一电阻性器件的作用。

25 33. 如权利要求 31 所述的 SiC 半导体器件, 其中, 该第一与第二区域的掺杂为 n-型, 并且一接触被耦接至该基底的中间部分, 该接触包括一覆盖于一绝缘层之上的第三导电层, 以在中间部分之上形成一绝缘的栅极, 从而, 此器件可以起着一场效晶体管的作用。

34. 如权利要求 33 所述的 SiC 半导体器件, 其中, 覆盖于该绝缘层之上的导电层包括:

30 一在该绝缘表面之上的碳化钛(TiC)层;
 一在该碳化钛(TiC)层之上的碳化钨(WC)层; 和
 一在该碳化钨(WC)层之上的金属钨(W)层。

35. 如权利要求 33 所述的 SiC 半导体器件, 其中, 覆盖于该绝缘层之上



的导电层包括一层接触该绝缘层的 Os。

36. 如权利要求 31 所述的 SiC 半导体器件, 其中, 该第一与第二区域的掺杂为 n-型, 并且一接触被耦接至该基底的中间部分, 该接触包括一接触该中间部分的一表面的导电层, 从而, 此器件可用作一晶体管。

5 37. 如权利要求 36 所述的 SiC 半导体器件, 其中, 该导电层包括:

一在该中间部分的表面之上的碳化钛(TiC)层;

一在该碳化钛(TiC)层之上的碳化钨(WC)层; 和

一在该碳化钨(WC)层之上的金属钨(W)层。

10 38. 如权利要求 36 所述的 SiC 半导体器件, 其中, 该导电层包括一层与该中间区域的表面接触的 Os。

39. 如权利要求 36 所述的 SiC 半导体器件, 其中, 该基底的中间部分的掺杂为 p-型, 从而, 此器件可用作一双极晶体管。

40. 如权利要求 36 所述的 SiC 半导体器件, 其中, 该基底的中间部分的掺杂为 n-型, 从而, 此器件可以用作一 MESFET。

15 41. 如权利要求 40 所述的 SiC 半导体器件, 与中间部分的表面部分接触的接点包括一 Os 层。

42. 如权利要求 31 所述的 SiC 半导体器件, 其包括一耦接到该基底的中间部分的接触, 从而, 此器件起着一晶体管的作用。

20 43. 如权利要求 42 所述的 SiC 半导体器件, 其中, 栅极接触材料包括一覆盖于一绝缘层之上的第三导电层, 以在该中间部分之上形成一绝缘的栅极, 从而, 此器件还起着一场效应晶体管的作用。

44. 如权利要求 26 所述的 SiC 半导体器件, 其中, 该第一区域的掺杂为 p-型, 并且该第一导电层由适于与该第一区域形成一欧姆接触的材料所构成, 该第二区域的掺杂为 n-型, 从而与该第二层形成一欧姆接触, 并且该基
25 底包括一邻近该区域的第一 n-型中间部分以及一邻近该基底的第二区域的第二 p-型中间部分, 从而形成一具有三个电耦合在该第一与第二导电层之间的 pn 结的四层器件。

45. 如权利要求 44 所述的 SiC 半导体装置, 其中, 该第一导电层包括一接触该第一区域的 Os 层。

30 46. 如权利要求 44 所述的 SiC 半导体装置, 其包括一接触该中间部分之一的一表面的第三导电层。

47. 如权利要求 46 所述的 SiC 半导体器件, 其中, 该第三导电层包括一 Os 层与一 TiC/WC/W 层的其中之一。

48. 如权利要求 44 所述的 SiC 半导体器件, 其中, 该第三导电层通过电容耦接至该中间部分之一的一表面上。

5 49. 如权利要求 48 所述的 SiC 半导体器件, 其中, 该第三导电层包括一 Os 层与一 TiC/WC/W 层的其中之一。

50. 一种与 SiC 半导体基底的一表面形成一电接触的方法, 包括:

将一包括金属钽(Os)的层沉积在该基底表面的一区域上, 以形成一具有一接至基底的电界面的接触; 和

10 在该钽层之上形成一保护覆盖。

51. 如权利要求 50 所述的方法, 其包括在沉积该 Os 层之后将该基底退火, 以将该 Os 层在该表面处接合至该 SiC 基底上。

52. 如权利要求 51 所述的方法, 其包括用一种 n-型的杂质掺杂该基底在该区域的一部分, 使得该 Os 层以及该 n-型掺杂的基底部分形成一整流肖特基结。

15

53. 如权利要求 52 所述的方法, 其包括在沉积该 Os 层之前, 先将一薄的硅层沉积在该基板表面的上述区域之上。

54. 如权利要求 51 所述的方法, 其包括用一种 p-型的杂质掺杂该基底在该区域的一部分, 使得该 Os 层以及该 p-型掺杂的基底部分形成一欧姆连接。

20

55. 如权利要求 51 所述的方法, 其中, 在该钽层之上形成一保护覆盖的步骤包括将一包括有铂(Pt)的层沉积在该钽层之上。

56. 一种与 SiC 半导体基底的一表面形成一电接触的方法, 其包括:

将一包括金属钽(Os)的层沉积在该基底表面的一区域上, 以形成一具有与基底的一电界面的接触; 和

25

在沉积该 Os 层之后将该基底退火, 以将该 Os 层在该表面处接合至该 SiC 基底上。

57. 如权利要求 56 所述的方法, 其包括在沉积该 Os 层之前, 先将一薄的硅层沉积在该基底表面的该区域之上。

30

58. 如权利要求 56 所述的方法, 其包括用一种 n-型的杂质掺杂该基底在该区域的一部分, 使得该 Os 层以及该 n-型掺杂的基底部分形成一整流结。

59. 如权利要求 56 所述的方法, 其包括用一种 p-型的杂质掺杂该基底在该区域的一部分, 使得该 Os 层以及该 p-型掺杂的基底部分形成一欧姆连接。

60. 一种与 SiC 半导体基底的一表面形成一电接触的方法, 包括:

5 将一碳化钛(TiC)层沉积在该基板表面的一区域上, 以形成一具有与基底的一电界面的接触;

将一碳化钨(WC)层沉积在该碳化钛(TiC)层上; 和

将一金属钨(W)层沉积在该碳化钨(WC)层上。

10 61. 如权利要求 60 所述的方法, 其包括将基底在该区域中的部分掺杂一种 n-型杂质, 使得该 TiC/WC/W 层以及该 n-型掺杂的基底部分形成一欧姆连接。

62. 如权利要求 60 所述的方法, 其包括将基底在该区域中的部分掺杂一种 p-型杂质, 使得该 TiC/WC/W 层以及该 p-型掺杂的基底部分形成一整流结。

15 63. 如权利要求 60 所述的方法, 其包括在该 W 层沉积的期间或之后将该基底退火, 以接合该 W 层至该 WC 层。

64. 如权利要求 60 所述的方法, 其包括在该 TiC 层沉积的期间或之后将该基底退火, 以在该 WC 层的沉积之前将该 TiC 层紧密化。

说明书

碳化硅上的钎整流肖特基和欧姆连接 以及 W/WC/TiC 欧姆接触

5

本发明总体上涉及 SiC 基半导体器件上的电接触, 更具体地说, 涉及硅的碳化物的半导体上的欧姆与整流接触。

SiC 在高温与高功率的固态电子元器件上有着极大的优点。此外, 在高频与逻辑电路的应用上, 它还提供潜在的优点, 例如, 功率转换(混合器二极管, MESFETs)、单片计算机(n-MOS、CMOS、双极晶体管)、永久性随机存取存储器 SiC CCD 可以保持电荷超过一千年, 因此, 就可以使硬盘成为过时之物。

SiC 电子元器件潜在的最大平均功率、最大操作温度、热稳定性、以及可靠性远超过 Si 或 GaAs 基电子元器件。然而, SiC 的这些优点可被利用的程度目前还受到金属/SiC 连接的热稳定性与电特性的限制。其主要原因:

15 (1)SiC 器件的功率密度受限于欧姆接触连接的热稳定性, 和(2)需要实际的冷却来确保电接触连接的稳定性。

长期以来, 研究者一直在努力地进行硅的碳化物的电接触的研究, 以克服这些限制, 但是没有成功。在去除这些限制之前, SiC 的器件/集成电路仅

20 稍微优于(若有的话)硅与 GaAs。SiC 本身所有的潜在性能的利用(对所有器件)需要四种型式的限制性能的电接触: (1)与 p-型 SiC 的欧姆接触; (2)与 n-型 SiC 的欧姆接触; (3)与 p-型 SiC 的整流接触; (4)与 n-型 SiC 的整流接触。

SiC 电子元器件的价值在于其具有将固态电子元器件的能力扩展至超越 Si 或 GaAs 的潜力。因此, 在实验室中(在低应力条件下)所获得的合适的电

25 接触特性在实际器件操作条件下, 必须不因为在金属/SiC 结处的变化而漂移或恶化。这需要金属/SiC 的电接触的两个额外的特性。首先, 该接触金属必须与 SiC 形成一连接, 其化学性能在高至 1000 °C 时仍保持稳定(在功率 SiC 器件中的高顺向电流密度下的焦耳热容易使得金属/SiC 的连接达到此温度)。其次, 该接触金属(或金属化结构)在相同的温度下对电路和焊接金属起着扩散阻挡作用。前面所展示的金属/SiC 电接触并不十分符合所有这些稳定的

30 要求。

公知的 p-型 SiC 欧姆接触的金属化为 Al、Al/Ti 以及 Pt(参考资料 2、3)。虽然低至 $1 \times 10^{-5} \Omega \cdot \text{cm}^2$ 的比接触电阻值已在实验研究中被报告出来,但是,实际的 SiC 器件的 p-型接触电阻值仍在 $1 \times 10^{-2} \Omega \cdot \text{cm}^2$ 至 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 之间(参考资料 10、11)。

5 铝及其硅化物、以及 Al/Ti 与 SiC 形成热不稳定的界面和/或具有熔融问题(参考资料 12 的第 2 页)。铂在低至 280 °C 的温度下与 SiC 反应而形成许多不同的硅化物。而在低至 400 °C 的温度下,铂继续与 SiC 反应直到其完全转变成 PtSi(参考资料 4、5)。因此,铂并不能保护其接触免于电路与接合金属的扩散;铂的这种与 SiC 接触的特性需要铂本身不被用作为一电路或接合金属(bonding metal)。此外,硅化铂实际上在非常低的温度下与所有合适的电
10 路和接合金属化层起反应。

实际上,每一种电子器件(单极或双极)均需要 n-型欧姆接触。最近所发表的最成功的 n-型 SiC 欧姆接触的金属化为 Ni 和 TiC。两者均呈现介于 $1 \times 10^{-5} \Omega \cdot \text{cm}^2$ 至 $1 \times 10^{-6} \Omega \cdot \text{cm}^2$ 的比接触电阻值(Ni:参考资料 13; TiC:
15 参考资料 7 和 9)。镍在非常低的温度下形成硅化物。其过渡(graded)Ni 的硅化物连接为热不稳定的,因而其不能为电路和接合金属形成一保护性扩散阻挡。其它硅化物、氮化物、碳化物形成物以及具有相同欧姆接触方式的多层(multilayers)均呈现类似于 Ni 接触的稳定性问题。过渡金属(如 Mo 与 W)并不能很好地附着在 SiC 表面上,并且,在高温下会碎裂。

20 TiC 与 n-型 SiC 形成电欧姆接触连接,它在至少 1400 °C 下保持稳定(参考资料 14)。然而,在低温下它却与所有可能的电路与接合金属反应;因而,它不能为电路和接合金属形成一保护性扩散阻挡。

不与 SiC 反应而形成隧道连接的低功函数金属和半金属(semi-metal)可被用来形成与 p-型 SiC 的整流电接触。目前的 SiC 器件并不需要这种类型的电接触;因而,几乎没有这方面的背景文献。我们曾经示出 TiC 与 p-型 SiC
25 形成一极佳的整流接触,并能在至少 1400 °C 温度下保持稳定(参考资料 14)。然而,在低温下,它却与所有可能的电路和接合金属反应;因而,它不能为电路和接合金属形成一保护性扩散阻挡。

在所有多数载流子的固态器件中需要 n-型整流肖特基二极管来调制电
30 流与电压。此类型最重要的器件为肖特基二极管与 MESFET。优良的粘附性与陡变(abrupt)的金属 - SiC 界面为此种类型接触的重要条件。先前为此而开

发的金属化呈现各种不足之处。例如，欲使在 n-型 SiC 上的肖特基整流结保持热稳定的尝试受到阻碍。许多能够形成这种连接的金属(例如， Ti、 Au/Ti、 Pt 以及 PtSi)在相当低的温度与 SiC 反应，或者在使用 Au 时不附着在 SiC 表面上。这种电接触连接是热不稳定的，在高温下会导致连接界面的成分过渡(grading)。这种过渡效应被产生在原始金属/SiC 界面上的自由(free)碳所加剧，使得基本性能降低，并且使 SiC 器件的操作性能比其本身应有的操作性能降低了许多。由 Cree Research, N.C. State, NASA Lewis 与日本人所发表的(W/Ti、 Ti、 Au/Ti 以及 Pt)/SiC 的 n-型肖特基结在高温或者在承受高电流密度的条件下是不稳定的。

- 10 最近所发表的最好的与 n-型 SiC 的整流接触金属是 W/Ti，其在 Adelphi, MD 的美国陆军实验室中进行了广泛的测试。然而，此接触却呈现不稳定的漏电流的特性，这可能是由于在界面上的热驱动反应所引起的。该测试包括将该连接在室温与 500 °C 之间循环(循环的次数未知)，并且在室温下测量该连接反向漏电流 $I(L)$ 作为循环次数的一个函数。在第一个连串的循环期间，
15 $I(L)$ 增加。在下一个连串的循环期间， $I(L)$ 减少至大约 10 μ A 的一个最小值，比在此应力测试开始之前高。之后， $I(L)$ 不改变。

- Hall 的美国第 2,918,396 号专利描述在硅碳化物 PN 二极管以及 PNP 和 NPN 晶体管上的整流与欧姆接触的形成，其藉由在高温下(1700 °C)将两种硅-受主或硅-施主的合金珠与一 n-型或 p-型的硅碳化物晶体合金化。所揭示
20 的合金金属包括铝、磷、钨、钼或钨-钼，以及镍或钨的导电电极。

Rutz 的美国专利第 3,308,356 号揭示一种在硅碳化物的基底中形成 PN 结的整流接触的方法，该基底的一侧通过高温下的形成气体(90 % 的 N, 10 % 的 H)中在 SiC 基底的暴露表面上合成掺杂有 Ga(P-型)或 As(N-型)的硅碎片而连接到一钨块上。

- 25 Addamiano 的美国专利第 3,510,733 号揭示了在 SiC 的半导体器件上形成一种合金电引线，该合金主要由铬和镍组成，但可包括少量的 Si、 Fe、 C 和 Fe。

- Parsons 的美国专利第 4,738,937 号描述了一种在半导体基底上(如 Si 或 SiC)形成非整流(欧姆)肖特基接触的方法，它是由外延沉积一具有适当的功
30 函数和晶格参数的金属而制得，这种特定的金属包括在 Si 之上的 Yb、在 N-型 Si 之上的 NiSi_2 和 β W、以及在 N-型 β SiC 之上的 TiC。

属的扩散的影响, 因而, 也保护了 TiC/SiC 连接。

在本发明的一个方面中, 吾发现铱(Os)在 n-型 SiC 半导体的表面上形成一整流(肖特基)金属连接, 其在至少 1050 °C 之下仍保持陡变与稳固地附着。一种热稳定的接触结构是通过在一半导体的 SiC 基底(β 或 α)的表面上形成一金属铱层, 并且, 通过合适的金属连接和保护层(如 Pt 或 PtAu 合金)将导电的金属电极连接到铱层上。通过在惰性环境中(氩、氦或真空)温度高达 1050 °C 下退火两个小时, n-型 SiC 上的这种结构的室温整流特性基本上为不变的。若在温度高达 1175 °C 下退火一个小时后, 这些连接的性能退化但仍可操作。所形成的 Os/n-型 SiC 连接的阻挡高度为 $1.78 \pm 0.1\text{eV}$ 。Os 层形成一扩散阻挡也同样重要, 因为它防止电极金属扩散到 Os/n-型 SiC 结中。

在 p-型 SiC 上, 该 Os 层将形成稳定的欧姆接触, 其具有目前欧姆接触可能达到的最低比接触电阻。稳定、低电阻值的 p-型欧姆接触是所有 SiC 双极高温功率电子器件发展的关键。在 p-型 SiC 上形成一 Os 接触将提供一比在 p-型 SiC 上的 Pt 接触更低能量的隧道阻挡和更薄的隧道深度。

Os 同样也可沉积在 SiO_2 上以形成 MOS 栅极结构以及场扩展结构。在 SiO_2 上的 Os 形成一稳定的界面, 并且具有与 SiC 上的 Os 相同的机械与热性能。

本发明的另一方面, 是一种用以制造一电穿透扩散阻挡(ETDB)的方法与结构, 该 ETDB 在 1150 °C 下仍能使 TiC/SiC 连接与电极金属隔离开, 并且其与 TiC 形成一到 1150 °C 下仍稳固附着的冶金连接。该 ETDB 结构包括两层: (1)一与 TiC 表面接触的碳化钨(WC)层, 以及(2)在 WC 表面上的一层单质钨(W)层。此 ETDB 结构可行, 因为 W 在温度超过 1150 °C 下可稳定地与碳化钨接触。TiC/SiC 连接保持稳定, 因为在此温度范围中 W 并不与 WC 反应而生成 W_2C (不像其它与过渡金属的单碳化化合物接触的过渡金属)。因此, 不存在驱动 WC/TiC 和 TiC/SiC 界面的浓度梯度。单质 W 是实际的扩散阻挡层。因为随着温度的上升而增加的固溶性(solid solubility), 它与潜在电位电极金属形成一连接。一旦“形成后”, 此薄的连接层在形成温度(或低于形成温度)中绝对地稳定。然后, 电极可自由地直接或通过合适的中间连接层(如 Pt 或 PtAu 合金)连接至此接触层。这种接触至少在 1050 °C 下仍保持稳定。

根据本发明, 能够制造在所有柯刻条件中(热、电场、机械性)都不会恶化或者变得不稳定的 SiC 器件和电路, 上述条件使 SiC 本身体现形成半导体

器件的优良性能。本发明排除了所有由金属接触施加给 SiC 固态器件技术的操作范围的限制。具体地说，它提供能承受暴露在高达 1150 °C 的温度且承受在高电场下的电子迁移效应的整流(肖特基)连接和欧姆接触。

如同数种其它的金属，Os 形成与 n-型 SiC 的一整流肖特基结。Os 与其它所有的金属不同点如下：(1)它在 1050 °C 下仍能形成一电穿透扩散阻挡(它保护该结免受电极金属扩散的影响)，(2)该 Os/SiC 连接本身在 1050 °C 下仍保持稳定，以及(3)在暴露于高达 1050 °C 的温度下该连接的电特性并不改变。Os 将会形成与 p-型 SiC 的欧姆接触连接，它呈现一与该 n-型 SiC 整流结一样的独特的稳定性。

10 W/WC 是一电穿透扩散阻挡，它在 1150 °C 下仍与 TiC 形成一稳定的连接。其目的是为了为了保护该 TiC/SiC 连接的化学与电的整体性(TiC 形成与 n-型 SiC 的欧姆接触连接和与 p-型 SiC 的整流接触连接，这种 TiC/SiC 连接自身在高于 1400 °C 温度下仍保持稳定。

根据上述发展，申请人已研制出一系列的高温/高功率的半导体器件，它们能满足一些尚未被满足的商业需求。一个最直接的应用就是热传感器。本发明可以用来形成连接或电阻性的热敏电阻，它可以测量 1922 °F(> 1050 °C)至 2100 °F(1150 °C)的温度。这种发展可以容许 SiC 热敏电阻首次与热电偶、氧化物电阻以及高温计(pyrometers)在温度范围 300 °F 至 2100 °F(150 °C 至 1150 °C)竞争。它还可以实现用于恶劣环境操作温度超过 460 °F(238 °C)的传感器的制造。

20 本发明可将肖特基二极管、PN 二极管和晶体管做成分立器件或集成电路的部件。重要的是，本发明开发了在电源处理与转换的领域中的许多潜在的应用，例如用以将交流电源转换成纯直流电源的电源整流器。N-型 SiC 肖特基整流器可处理几乎与最好的 Si PN 结整流器同样高的功率，因而，PN 25 结 SiC 整流器可取代真空管。其它类型的器件，包括用于通讯的双极晶体管、半导体开关元件、MOSFETs、MESFETs、IGBTs、和混合二极管，以及数字与模拟的电子元器件。

总之，所有固态半导体元件均需要上述四种电接触其中的一个或多个，本发明使之成为可能。

30 参考附图，通过下面对本发明优选实施例的详细说明，本发明的上述和其它目的，特征以及优点就会更加明显。

图1是一利用以前电接触所制成的垂直n型SiC肖特基二极管结构的剖面图,示出了在高于300℃温度下所产生的连接的阻挡(相互扩散)现象。

图 2 是一根据本发明所制成的垂直 n-型 SiC 肖特基二极管结构的剖面图, 它可持续地在温度高达 1050 °C 之下操作。

5 图3是一根据本发明所制成的垂直SiC PN二极管结构的剖面图。

图 4A、4B、4C、4D、与 4E 皆为剖面图，示出了在一根据本发明的 Os/SiC - 肖特基二极管的制造过程中，进行光刻、Si 沉积与钨沉积和退火以在 n-型 SiC(基底的上表面上)形成一垂直 n-型 SiC 肖特基二极管(具有电场扩散 SiO₂ 环)。

10 图5是由图4A、4B、4C、4D、与4E的制造过程所形成的二极管结构的上平面图;和该二极管结构的侧视(edge view)图。

图6是图5所示二极管在钹层上提供一铂层以后的剖面图。

图7是本发明在SiC基底上的一平面型NPN双极晶体管的透视图,其具有本发明的一Os基极接触以及W/WC/TiC射极与集极接触。

15 图8A与8B是在带有本发明Os/Si栅极接触以及W/WC/TiC欧姆源极与漏极接触的半绝缘SiC基板上形成的MESFET结构的剖面图:

图 9A 与 9B 是在带有本发明 Os/氧化物栅极结构以及分别为 W/WC/TiC 或 Os 欧姆源极与漏极接触的半导 SiC 基底上形成的 N-通道与 P-通道 MESFET 结构的剖面图:

20 图 10A 与 10B 是带有本发明 W/WC/TiC、Os 以及氧化物上之 Os(Os-on-oxide)接触的栅控半导体开关元件/SCR/IGBT 器件的剖面图。

参照图 1, 以申请人先前的美国专利第 4,738,937 所描述的 TiC/SiC 金属/半导体组合为基础, 它示出了申请人在此已广泛地实验以尝试来制成器件, 图 1 是在带有本发明 Os/Si 栅极接触以及 W/WC/TiC 源极与漏极接触的 SiC 基底上形成的 MESFET 结构的两种形式的剖面图。图 1 说明了尝试在该结构的上部 SiC 表面与下部 TiC 表面上形成的接触所遭遇的问题。即使是涂覆在这种表面上的金属层在其所沉积的状态下形成干净、陡变的界面, 当器件被退火时, 由于扩散进入和/或与(1)硅碳化物(上整流结)以及(2)TiC 欧姆接触反应, 这些连接的边界变模糊。

30

具有 Os 肖特基和 TiC/WC/W 欧姆接触的肖特基二极管

参照图 2，本发明是参考形成在一硅碳化物(SiC)基底 12 上的一肖特基二极管 10 的制造来加以说明的，一肖特基整流结与接触结构 14 形成于其上侧，而一欧姆接触结构 16 形成于其相反或下侧。起始的材料为一均匀掺杂的 N-型 SiC 单晶晶片(标示为基板 12)。首先， n^+ -SiC/TiC/WC/W 结构 16A 被形成(其中 TiC = 欧姆接触半金属(semi-metal); WC/W = ETDB); 然后，肖特基整流结与 ETDB 结构 14A 被形成，下面将配合具有合适大小的形成该接触结构各层的实例来更详细地描述其制作工艺。接着，引线被接合至该结构上以完成所示的接触结构 14 和 16，或电路金属可被沉积于在 ETDB 表面上并与之反应，而完成该结构。在任一情况下，所形成的接触将在 1050℃ 温度下保持热稳定(接触结构 14)以及在 1150℃ 保持热稳定(接触结构 16)。

该肖特基整流结和 ETDB 结构 14A 最好包括一非常薄的硅层 20A(≥ 1 单层(monolayer))。此层的目的为容许 Os 接合至该 SiC 表面 22 上, 而不会产生一单层的游离碳。一钼层 20 然后沉积于其上, 而与基底 12 的上表面 22 接触。一旦该结构被在等于或大于 900 °C 的温度下进行退火(形成), 该钼层与基板 12 的界面形成一肖特基整流结 21。层 20 最好由单质钼(Os)组成, 但某些杂质可被包括于其中, 因为由于固溶性的缘故, 在暴露的 Os 表面, 钼与接合/电路金属的混合, 当结构 14 完成时, 少数单层的 OsSi 将形成于 Os 与 SiC 之间。

一金属保护覆盖(cap)与接合层 24 形成于该钺层 20 之上且与该钺层 20 接触。一第一电路金属化层或引线 26 通过接合层 24 而电连接和机械连接至该器件 10 的上侧。该接合层 24 最好包括一层金(Au)或金-铂(AuPt)合金, 虽然, 其它已知的电接触金属可以使用, 特别是钨或钨-铂, 但选自一组包括有 Pt、Pd、W、Ti、Hf、Zr、Au、PtAu、V、Cr、Fe、Ni、Cu、Nb、Mo、Tc、Ru、Rh、Ag、Ta、Re、Ir 的任何一金属均可使用。虽然钨的合金以及其它与该接合金属且与所要的操作温度与环境相容的金属也可以被使用, 但是该电路金属化层或引线 26 最好为钨(W)。Os 的使用排除了所有在该接合/电路金属的类型、施加方法以及接合“形成”温度方面的限制。

基板 12 下方的欧姆接触结构 16 包括一沉积在该 TiC 层 30 之上的碳化钨(WC)层 32。肖特基二极管 10 的结构最好包括一在 n-型基底下侧的 n+掺杂 SiC 层 28，其中，该 TiC 层 30 接触层 28 的下表面 29，以形成一欧姆接

触。碳化钨层 32 覆盖 TiC 层 30，并且，接着一元素钨(W)层 34 沉积在 WC 层 32 之上。一在该钨层 34 之上的接合层 36 将一第二电路金属化层或引线 38 连接至该器件上。该接合层 36 最好具有 PdAu 或 PtAu，但也可由 W、Pt、Pd、Au 或其它相容的电接触金属而制成。引线 38 最好为钨，但也可
5 为 Pt、PtAu、Au、Pd 或其它相容的金属。

这种结构形成高度稳定的肖特基二极管，它在超过 1050 °C 的高温情形下，I - V 特性并无改变而保持稳定的，并且在高到约为 1175 °C 温度下进行退火后仍可保持肖特基二极管操作特性。

利用单质钽在 n-型 SiC($n \leq 1 \times 10^{18} \text{cm}^{-3}$)之上形成的肖特基结和 TEDB
10 结构 14A 产生最高的阻挡高度: 1.78 ± 0.1 电子伏特，而现有技术中在 SiC 中的肖特基结的阻挡层高度为 1.1 至 1.2eV。该 Os/n-SiC 结所能阻挡的电压基本上比任何已知金属所能阻挡的电压高。

该 Os/SiC 界面的物理性质同样也具有优势，其具有良好的界面粘结性和将容易超出器件/电路要求的膨胀系数失配的特性，因而其不剥落(spall)。
15 钽薄膜在退火后仍保持平滑，因而并无刮痕或剥离。另外钽层为至少在 1050 °C 的温度下为电路金属化层提供有效的扩散阻挡。Os 将与 SiC 形成一界面以及一稳定的扩散阻挡层，其阻挡的热、电以及机械应变的范围比任何其他金属都更宽。另外，当在高达 1050 °C 温度在无氧气的氢气中退火时，Os 不与 SiO₂ 反应。因此，如图 9A 和 9B 所示，钽的使用与 MOS 制造工序相容，
20 并且可容易地被用作氧化物之上的一种栅极金属。

具有覆盖 TiC 层 30 的 WC 层 32 以及在 WC 层 32 之上的单质钨(W)层 34 的欧姆接触结构 16 在 SiC 基底上形成一种非常有利的欧姆接触。它为基底形成一种电穿透界面，在其上可沉积所有已知的电接触金属。其提供一个非常硬的表面和一个至少在 1500 °C 下仍有效的对电路金属化层的扩散阻挡
25 层。不像申请人已试过的其他金属(例如 Au、Ag、Ti)，它形成一稳定的界面而不扩散到 TiC 层或 SiC 基底。该 W/WC 层形成一比任何其它已知的金属的热、电以及机械应变的稳定范围更宽范围的扩散阻挡层。与 TiC 层 30 接触的 WC 层 32 在约 1150 °C 下使 TiC/SiC 结稳定。WC 层之上的 W 层 34 在约 1150 °C 下使 WC/TiC 结稳定。

30

具有钽欧姆接触的 PN 二极管

接着参照图 3，本发明也可用以形成在具有多层相反掺杂类型的半导体器件上的接触，例如，一种垂直的 pn 二极管 40。图 3 中所示的大多数结构类似于图 2 所示结构，所以，采用相同的标号表明上面已描述的类似的特征。主要的不同之处在于该基底被掺杂，以形成两种掺杂类型的区域或层，一 p-型层 12A 和一 n-型层 12B，在一 pn 结 42 处交界。p-型层形成在该基底的上部，其在上表面 22 上处形成一非整流欧姆连接 41，而非如上所述的肖特基结，并且其可在邻近表面 22 处具有一 p+ 区域。这种欧姆接触和 ETDB 结构 14B，与 Os/n-SiC 整流肖特基接触和 ETDB 结构 14A 之间的另一不同之处在于，该结构 14B 中不需要 Si 层。这是因为少数在 Os/SiC 结处的具有自由碳的单层不会对欧姆接触的性能有任何不利的影响。

介于钨层 20 与 p-型 SiC 材料 12A 之间的欧姆连接 41 呈现一小于或等于 $10^{-4} \text{ ohm} \cdot \text{cm}^2$ 的比接触电阻。对原型器件的统计上有效的样品的测试均一致地表现出在不同的晶向的低比接触电阻(对于 4H-SiC 和 6H-SiC 为 $10^{-5} \text{ ohm} \cdot \text{cm}^2$)，和热稳定的金属/SiC 连接($> 1050^\circ \text{C}$)。Os/SiC 欧姆接触的扩散与机械特性与上述肖特基接触相同。

肖特基二极管制造过程的说明

下面是制造如图 5 和 6 所示一垂直 n-型 SiC 肖特基二极管的方法说明，其具有如图 4A、4B、4C、4D、4E、5 与 6 所示的一场扩散环，其由一均匀掺杂的 n-型 SiC、单晶晶片(厚度约为 $400 \mu \text{m}$)作为基底 12 而开始。注：该 W/WC 层必须在 Os/n-SiC 接触结构的处理开始之前进行沉积和退火。

1. 在基板 12 的一侧(底部)上沉积(或离子注入氮并且使其反应)大约 100 埃至 1000 埃的 n+型 SiC。

在 1400°C 的稀释氢中进行冷壁式化学气相沉积(cold wall CVD)。

反应物：用以生长 SiC 的硅甲烷(silane)与乙烯(ethylene)，和作为用于 n-型掺杂的氮源的氨(n 约大于或等于 $1 \times 10^{18}/\text{cc}$)。

在层的厚度上并无基本的限制(> 0 至 ∞)。

1A. 在 n-型 SiC 的上方(相反面)的表面上，在 $1100 - 1250^\circ \text{C}$ 下，在湿氧中生长出自然的氧化物，任何其它的氧化物形成步骤均可被使用。

2. 在 n+型 SiC(底部)表面上沉积大约 700 埃的 TiC。

在 1290 °C 稀释氢中进行 CVD；该温度使 TiC 在其形成时被退火。
反应物：四氯化钛(钛源)以及乙烯(碳源)。

TiC 的厚度应小于大约 1800 埃，否则其将开始使 SiC 层产生变形 (strain)(参考资料 14)。

5 3. 如图 4A 与 4B 所示，进行光刻和氧化物蚀刻过程，在相反的(上方)SiC 表面上施加掩模，使得一圆形区域的阵列暴露在上方的 SiC 表面之上，并且每个暴露的 SiC 圆由一个环形的氧化物环(表面的其余部分覆盖有光致抗蚀剂(PR))所围绕。在试验器件中，该暴露的 SiC 圆的直径为 20、40、80 与 200 μm 。

10 3B. 仅对整流 n-型接触，我们应当在图 4C 所示的结构上射频(RF)溅射少量的单层 Si。

4. 在被掩模的 SiC 以及氧化物场环的表面上沉积大约 1000 埃的 Os(纯度大于 99 %)。如图 4D 中所示，在真空中射频溅射沉积 Os，在 20 秒之后在 SiC 表面做即时(in-situ)Ar 溅射清理。注：Os 亦可由 CVD、
15 直流溅射或电镀来形成。

在层的厚度上并无基本的限制(> 0 至 ∞)。

5. 如图 5 所示，除去光致抗蚀剂掩模(剥除)和清理含有圆形 Os 二极管的 SiC 表面。

6. 在 TiC 表面上沉积大约 400 埃的 WC。

20 反应溅射：直流溅射 W 并且与烃气体反应，以在 TiC 表面上形成 WC。

在 WC 的厚度上并无基本的限制(> 0 至 ∞)。

7. 如图 2 中所示，在 WC 表面上沉积大约 400 埃的 W(纯度大于 96 %；最好是大于 99.9 %)。

25 在真空中进行直流溅射。

8. 如图 4E 与 6 所示，在 Os 层上沉积大约 150 埃的 Pt(或 W、Pd、Au、Cu、Ni 等)覆盖层。覆盖层起着多个作用：(1)保护 Os 避免氧化(Pt 在任何温度下均不氧化，但 Os 在约为 160 °C 之下则形成一挥发性的氧化物)，(2)电路金属，(3)一接合层(电极)的一部分。

30 在真空中进行直流溅射。

9.1 若需要 Os/OsSi/SiC 连接，则将结构在 ≤ 1150 °C 之下退火。

9.2 将结构在约为 1000 °C 之下退火, 以获得一层薄的 OsSi 层以及一完全成形的 Os/SiC 连接。在 1000 °C 之下退火, 将 Pt 覆盖层与 Os 表面焊接, 以保护 Os 避免氧化: 同时将 W 层连接至 WC 层。

10. 该结构可由标准的技术来继续进行处理。

5

PN 二极管制造过程的说明

下面是制造一垂直的 $p^+ - n$ SiC 二极管的方法的说明, 如图 3 所示, 其由一均匀掺杂的 n -型 SiC 单晶晶片(厚度约为 400 μm)而开始。可如图 4A、4B、4C、4D、4E 与 5 中所示的那样来进行光刻步骤以形成器件形状以及场扩展环。

10

1. 在一侧沉积大约 1000 埃的 p^+ -型 SiC。

在 1400 °C 的稀释氢中进行冷壁式化学气相沉积(CVD)。

反应物: 用以生长 SiC 的硅甲烷与乙烯, 和用作 p -型掺杂(p 大于或等于 $1 \times 10^{18}/cc$)的作为 Al 源的二甲铝氢化物(dimethylaluminum hydride)。

15

2. 在相反侧沉积大约 1000 埃的 n^+ SiC。

在 1400 °C 的稀释氢中进行冷壁式化学气相沉积(CVD)。

反应物: 用以生长 SiC 的硅甲烷与乙烯, 用于 n -型掺杂的作为氮源的氨气(n 约等于 $1 \times 10^{18}/cc$)。

20

在层的厚度上并无基本的限制(> 0 至 ∞)。

3. 在 n^+ -型 SiC 表面上沉积大约 700 埃的 TiC。

在 1250 °C 的稀释氢中进行 CVD。

反应物: 四氯化钛(钛源)和乙烯(碳源)。

TiC 的厚度应小于大约 1800 埃, 否则其将开始使 SiC 层产生变形(参考资料 14)。

25

4. 在 p^+ -型 SiC 的表面上沉积大约 1000 埃的 Os。在真空中直流溅射沉积 Os, 20 秒之后, 在 SiC 表面做即时 Ar 溅射清理。

在层的厚度上并无基本的限制(> 0 至 ∞)。

然后在 Os 上沉积大约 150 埃的 Pt 覆盖层。

30

也可用 CVD 或电镀。

5. 在 TiC 表面上沉积大约 400 埃的 WC。

反应性溅射: 直流溅射 W 并且与烃气体反应, 以在 TiC 表面上形成 WC。

在 WC 的厚度上并无基本的限制(> 0 至 ∞)。

6. 在 WC 表面上沉积大约 400 埃的 W。

5 在真空中进行直流溅射。

7. 在 $\leq 1150^\circ\text{C}$ 之下使此结构退火。

8. 该结构可由标准的技术继续进行处理。

利用 Os 以及 TiC/WC/W 接触的 SiC 器件

10 用做固态电子电路的建构组件的基本固态半导体元器件为电阻器、二极管、晶体管以及闸流管。它们都可以利用前述的工艺和本发明的接触结构来制造。

电阻器:

15 多数载流子器件需要至少两个间隔开的 p-型或两个间隔开的 n-型欧姆接触。实例包括变阻器以及电阻性热敏电阻。此种器件的一种典型的横向型式可以是 MESFET(以下将参照图 8A 与 8B 做更进一步描述), 但它不包括一栅极接触。垂直的变阻器以及电阻性热敏电阻可用图 2 所示的方式来制造, 但在两端处具有欧姆接触 16。

20 其应用包括在 100°C 到 1050°C (对于在 p-型器件上的 Os 欧姆接触) 和 100°C 至 1150°C (对于在 n-型器件上的 TiC/WC/W 欧姆接触) 温度范围中操作的温度传感器。

二极管:

25 参照如上的图 2、5 与 6 所述, 多数载流子二极管(p-型和 n-型)需要一欧姆和整流金属接触。实例包括结型热敏电阻(junction thermister, 热传感器)、混合器(mixer, 通讯)、超快恢复器(ultrafast recovery, 电源调整)、发光显示器(LED)。

30 如上参照图 3 所述, 少数载流子二极管(p^+n -型和 n^+p -型以及 pin 型)需要 n-型与 p-型两种欧姆接触。其应用范围以及器件的类型有多种(参见例如 Sze 的文献)。这种二极管被用做热电偶、电源调整、电源转换、辐射侦测以及 LED 显示器电子元器件。

晶体管:

双极晶体管为具有两个 pn 结的少数载流子器件。它们需要两个 n-型和一个 p-型，或两个 p-型和一个 n-型的接触。虽然其应用范围很广，但双极晶体管最著名还是用于 TTL(晶体管 - 晶体管 - 逻辑)。参照图 7，示出了一 npn 双极晶体管 50。其包括：至 p-型基极区域 54 的一 Os 欧姆接触 52，并且，
5 最好覆盖有如图 6 所示的 Pt；一至发射极区域 60 的 TiC/WC/W 欧姆接触 56 以及一经由 n+层 64 至集电极区域 62 的 TiC/WC/W 欧姆接触 58。

单极晶体管，通常称作 MESFET(金属 - 半导体 FET)，为多数载流子器件(一般为 n-型，但也可 p-型)。图 8A 与 8B 示出了两个此种器件。在图 8A 中，MESFET 70A 是通过将 n++源极与漏极接触区域 72A、74A 扩散到
10 外延沉积在一半绝缘(semi-insulating)的 SiC 基底 78 上的 n-型通道层 76 中形成的。在图 8B 中，MESFET 70B 是通过在一半绝缘的 SiC 基底 78 之上的通道层 76 之上外延沉积一 n++源极与漏极层，然后在形成栅极结构 82B 之前，通过向下蚀刻一通道至层 76B 而将 n++层分成单独的源极与漏极接触区域 72B、74B 而形成的。该源极与漏极各自利用一欧姆接触：在该示例中，
15 它是在 n++区域 72B、74B 之上的一 TiC/WC/W 欧姆接触 80，其形成为图 2 和 3 中的接触结构 16 的形式。该栅极需要一图 6 所示形式的 Os 接触 14 所提供的肖特基整流接触 82。该栅极结构与图 4A - 4E 中所示的肖特基接触 14 用同样的方式来形成。用类似的方式，一 p-通道 MESFET 可利用 p++源极与漏极区域、一 p-型通道、Os 源极与漏极接触结构、以及一在 p-型通道之上的 TiC/WC/W 整流栅极接触来形成。该 MESFET 的应用包括一般用于
20 高频通讯以及雷达的电源转换(直流至高频)。

MOSFET(耗尽型与反型型)需要与源极和漏极、寄生 pn 结以及背面接触的欧姆接触。图 9A 与 9B 分别显示 n-通道以及 p-通道 MOSFET 器件 88A、88B。在图 9A 中，n-通道器件 88A 具有形成在一 p-型 SiC 基底 94A 之上的
25 n-型源极与漏极区域 90A、92A。W/WC/TiC 欧姆接触 96 以前述方式形成在区域 90A、92A 之上。在 p-通道器件 88B 中，n-型源极与漏极区域 90B、92B 形成在一 p-型 SiC 基底 94B 之中。如上所述，该源极与漏极区域 90B、92B 具有欧姆接触 98。在器件 88A 和 88B 中，该 MOSFET 栅极由一薄的氧化物层 97 形成的，该层位于源极与漏极区域之间的通道之上，并且覆盖有
30 一导电 Os 层 99。利用 Os 作为一氧化物层之上的栅极金属对在 p-型 SiC 中形成 n-通道具有极大的优点。钨对 SiO₂ 具有良好的附着性并且高度导电。

晶闸管(和可关断晶闸管 GTO、IGT、IGBT 等器件):

具有三个 pn 结的这些器件典型地用于电力调整(power conditioning)。晶闸管结构可能需要四个欧姆接触。MOS 栅极型以及绝缘栅功率晶体管(IGBT)型的器件主要是闸流管或可控硅整流器(SCRs), 其具有电容性耦合控制电极, 也就是 MOS 场效应管(MOSFET)栅极, 例如, 在 Neilson 的美国专利 3,831,187 Plummer 的 4,199,774、以及 Becke 的 4,364,073 和前述在参考资料 16 中进一步描述的电极。此种器件典型地需要与 MOSFET 源极与漏极的欧姆接触, 以及与两个非短路结的 n 与 p 侧的欧姆接触, 以控制各个结的电压偏压和极性以及 MOS 栅极。

图 10A 与 10B 示出了这种器件的例子。所示出的垂直器件 100A、100B 在总体布置上类似, 两者均在 n-型 SiC 基底 102 上形成一 n+缓冲层 104 与一 p+阳极区域 106 以及一由一 Pt 保护接合层 110 所覆盖的 Os 欧姆接触层 108。在此器件的相反侧上的 MOS 栅极的结构也类似, 其具有与 n+源极与漏极区域 114 连接的 Ti/WC/W 欧姆接触, 并且与基极 p+的部分或与各个区域 114 相连的主体区域 116 形成一隧道结(tunneling junction)短路或场发射接触。或者, Ti/WC/W 欧姆接触 112 可单独地连接至 n+源极与漏极区域 114, 并且一 Os 欧姆接触部分 112B 可连接至该相邻的 p-型基极而与 Ti/WC/W 欧姆接触 112 形成电接触。在器件 100A 中的 MOS 栅极结构是平面的, 类似于图 9A 与 9B 的结构, 其具有一氧化物层 118A 及一铂覆盖的钽电极层 120A, 以形成 MOS 栅极接触。在器件 100B 中的 MOS 栅极结构被凹入在形成于源极与漏极区域之间的沟槽中, 其具有一氧化物层 118B 以及一衬在该沟槽的侧壁的铂覆盖的 Os 电极层 120B, 以在沿着临近 p-型主体的侧壁形成 MOS 栅极结构。

至此已通过优选实施例示出并介绍了本发明的原理, 应当明白的是在不离开本发明的原理的前提下, 可对本发明的设计和细节进行修改。虽然在此所示的器件是形成在平面的基底之上的垂直与横向器件, 其接触要么形成于基板的两侧, 要么形成于一侧之上且彼此隔开, 其它的表面配置也可被使用, 例如一 V 形的缺口(notch)或 U 形的槽以放置所述的接触。申请人要求保护在所附权利要求所规定的本发明的精神和范畴内的所有的修改和变化。

图 1

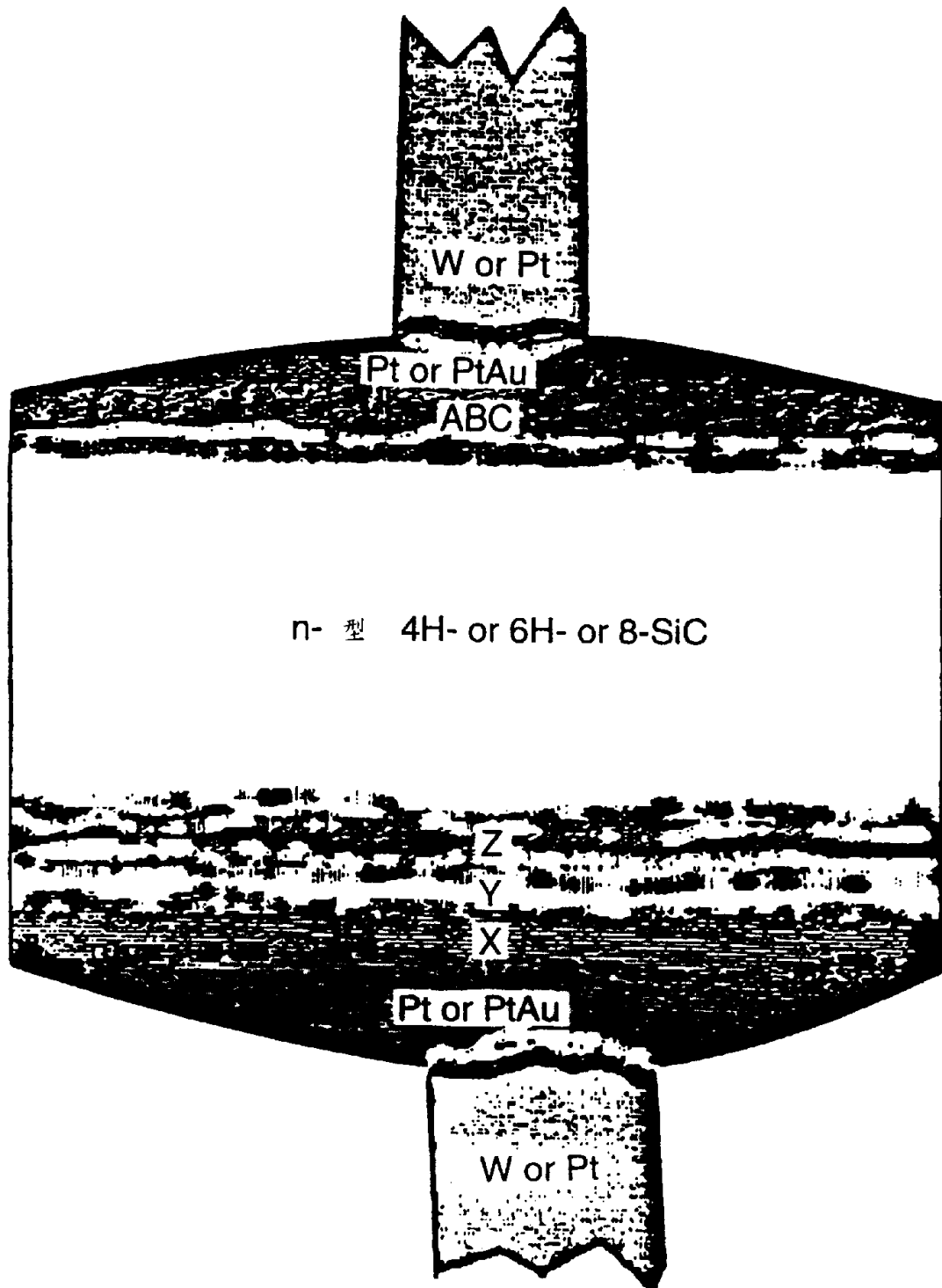


图 2

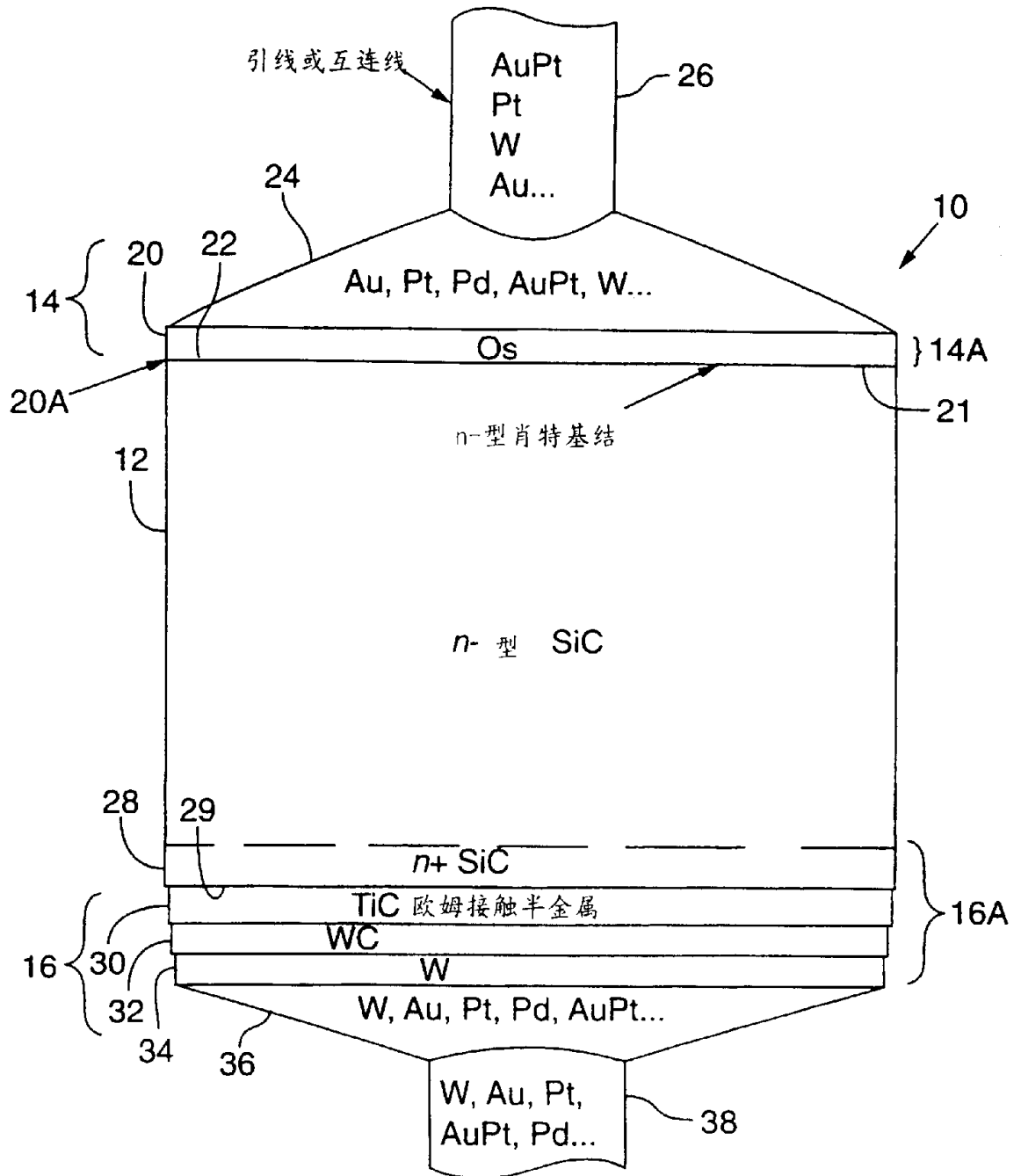


图 3

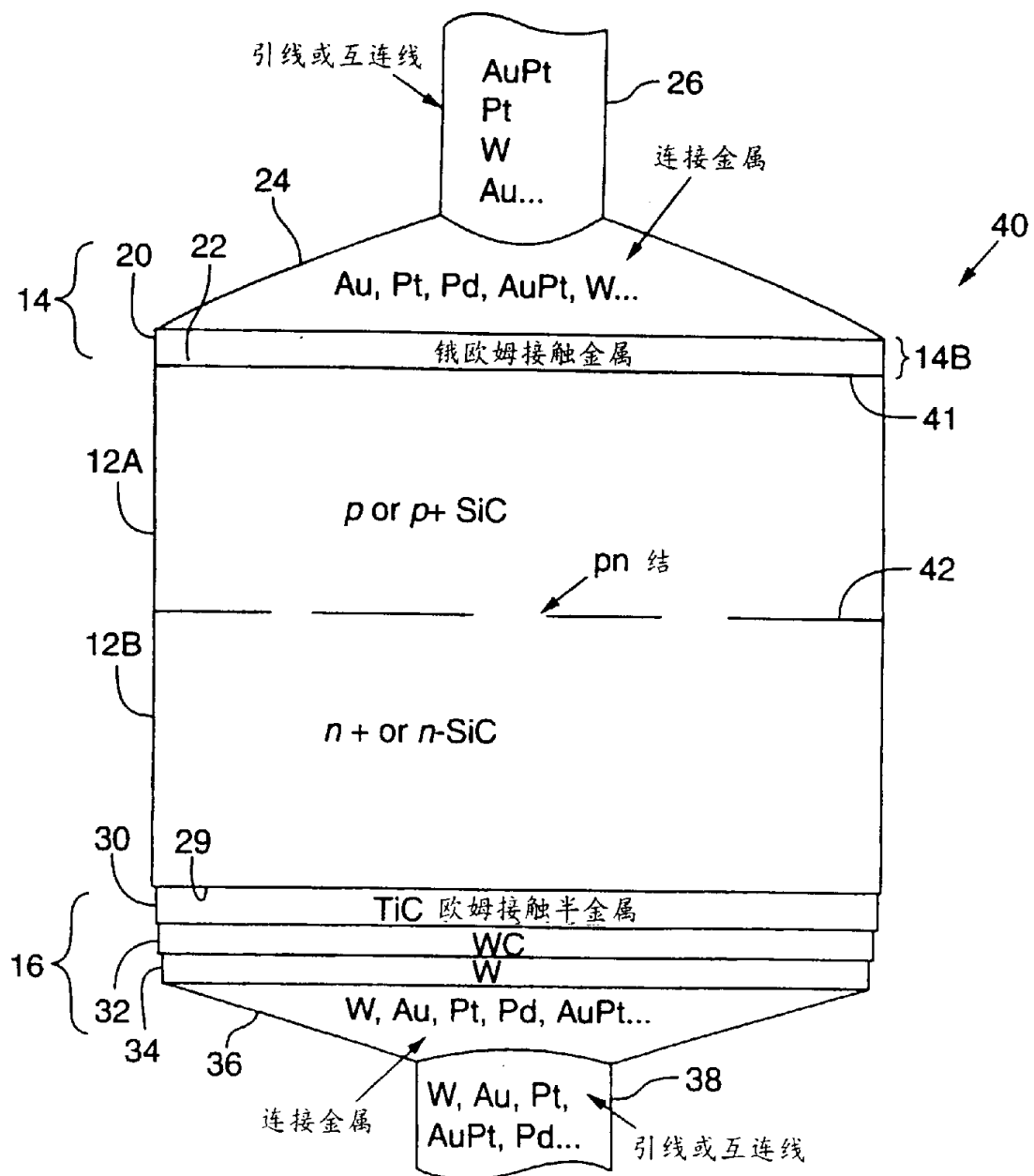


图 4A

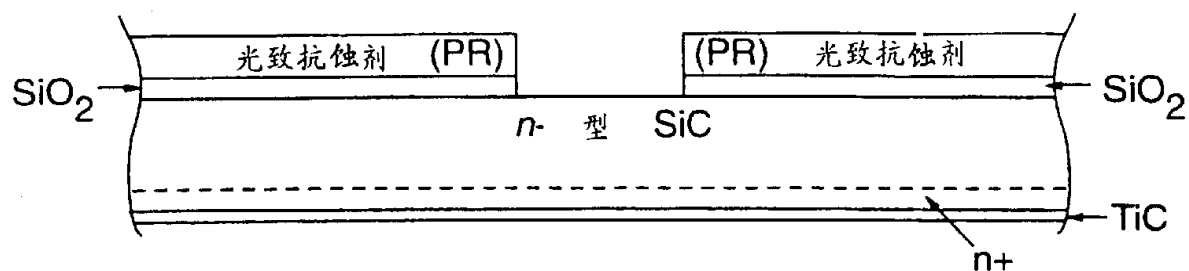


图 4B

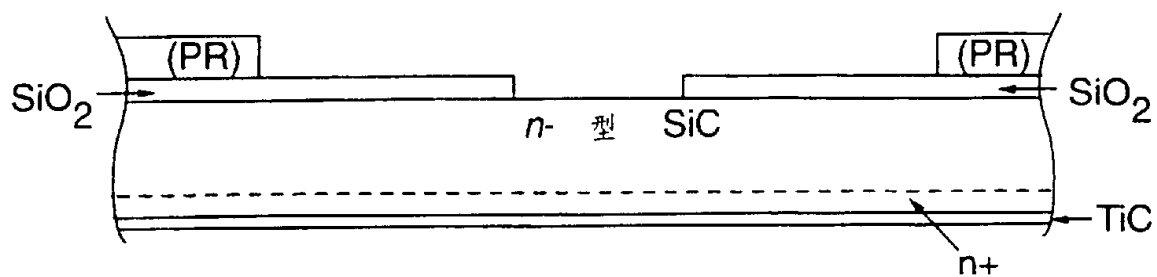


图 4C

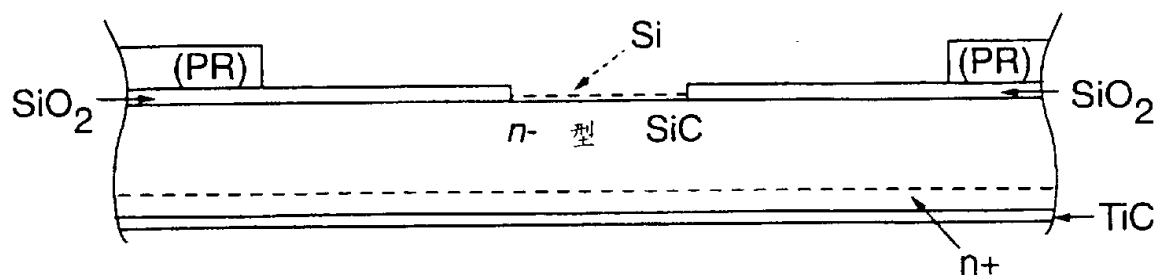


图 4D

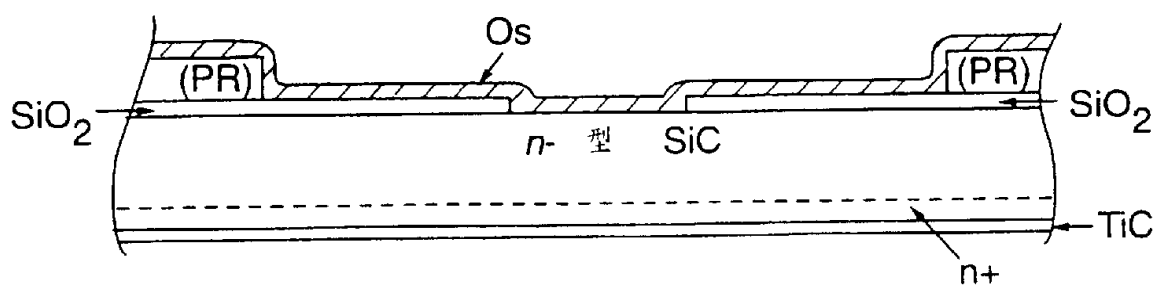


图 4E

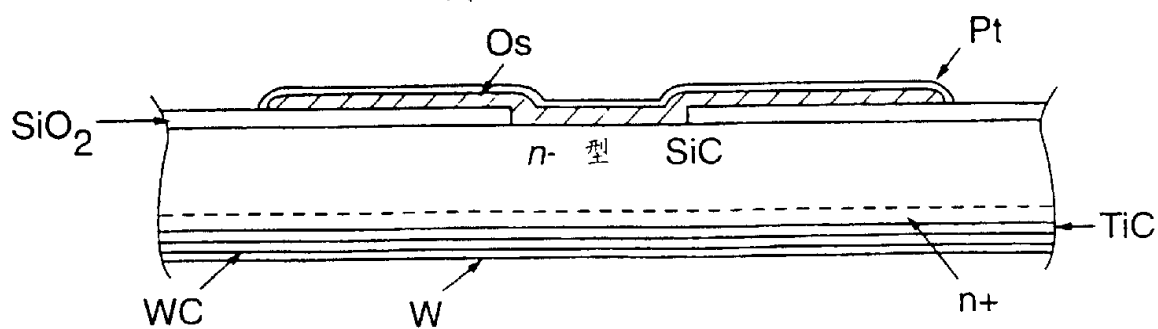


图 5

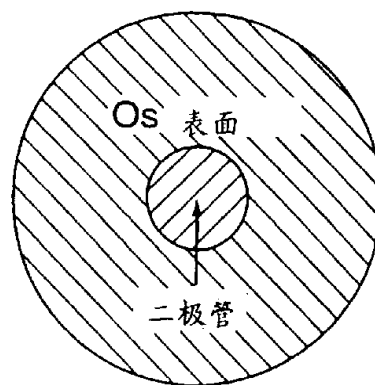


图 6

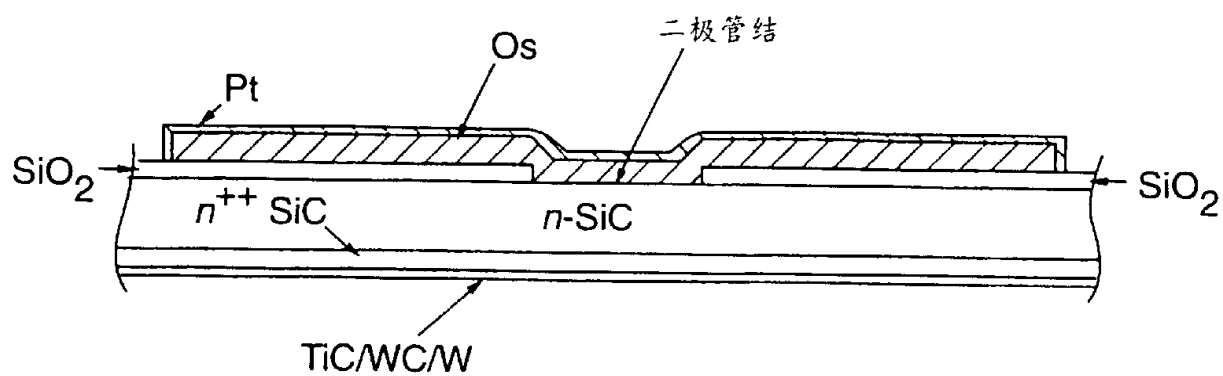
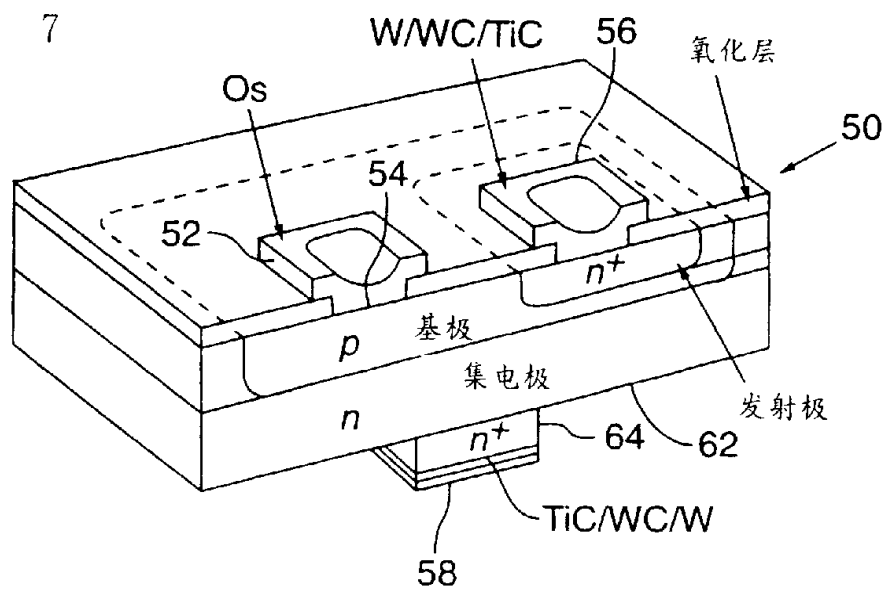


图 7



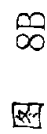
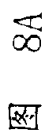


图 9A

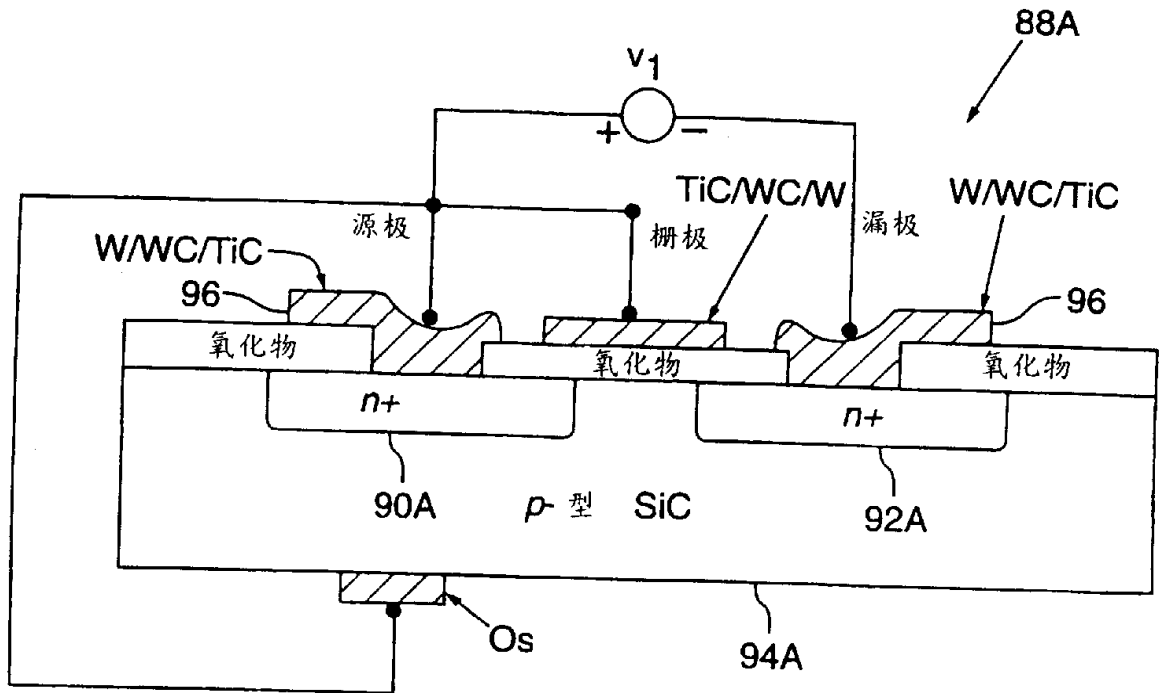


图 9B

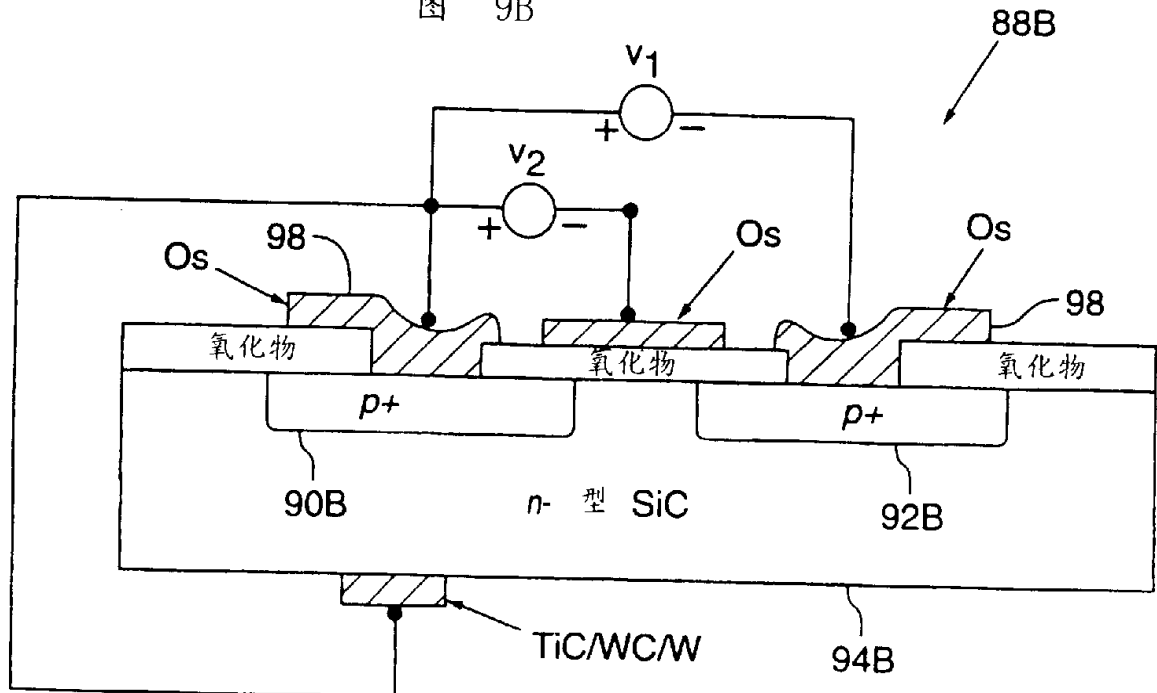


图 10A

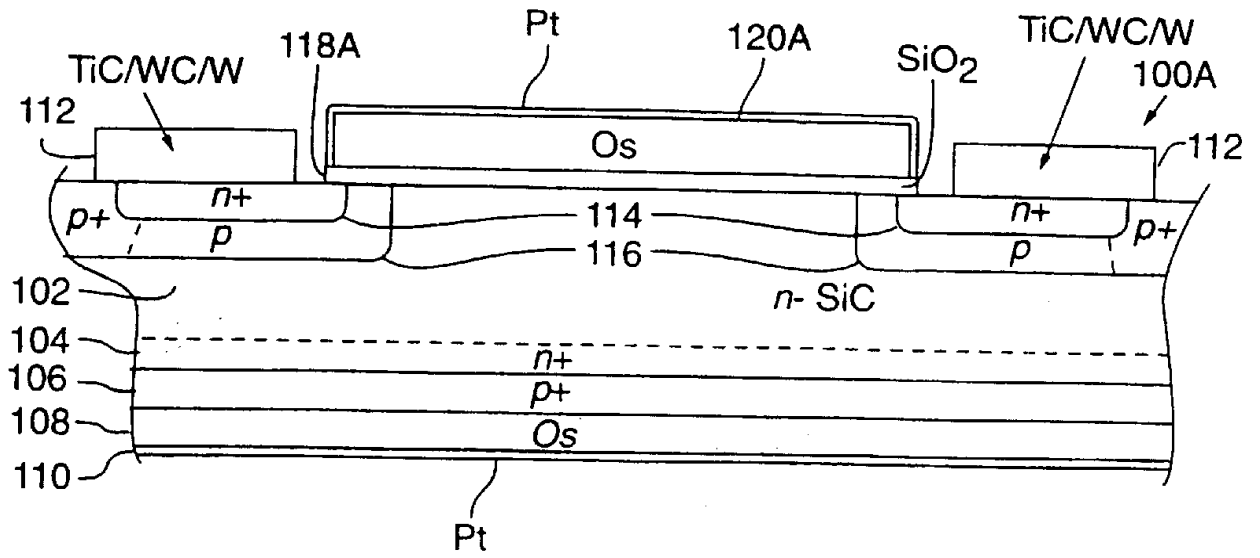


图 10B

