

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02006/123738

発行日 平成20年12月25日 (2008.12.25)

(43) 国際公開日 平成18年11月23日 (2006.11.23)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 H 5H730
 HO2M 3/155 P

審査請求 有 予備審査請求 未請求 (全 17 頁)

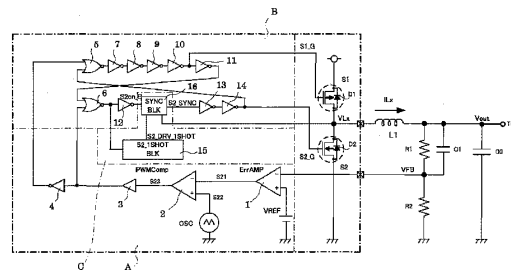
出願番号	特願2006-526883 (P2006-526883)	(71) 出願人	300028665 トレックスデバイス株式会社 東京都中央区日本橋茅場町一丁目13番12号
(21) 国際出願番号	PCT/JP2006/309928	(71) 出願人	594139573 株式会社ディーブイイー 東京都中央区日本橋馬喰町1丁目5番1号
(22) 国際出願日	平成18年5月18日 (2006.5.18)	(74) 代理人	100101236 弁理士 栗原 浩之
(31) 優先権主張番号	特願2005-147816 (P2005-147816)	(74) 代理人	100128532 弁理士 村中 克年
(32) 優先日	平成17年5月20日 (2005.5.20)	(72) 発明者	大川 智 東京都中央区日本橋茅場町一丁目13番12号 トレックスデバイス株式会社内
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 DC/DCコンバータ

(57) 【要約】

主スイッチング素子 S1 及び従スイッチング素子 S2 を有するとともにコイル L1 を介して負荷に電力を供給する DC/DC コンバータにおいて、前記従スイッチング素子 S2 がオフしてから両スイッチング素子 S1、S2 の接続点の電圧が所定の閾値に達するまでの時間 $tdif$ に基づき後の周期における前記従スイッチング素子 S2 のオフ時間を制御するようにした。



【特許請求の範囲】**【請求項 1】**

直列に接続した 2 つのスイッチング手段と、両スイッチング手段の接続点に接続したコイルとを備えて直流入力電圧を所定の直流出力電圧に変換するとともに前記コイルを介して負荷に電力を供給する DC / DC コンバータにおいて、

前記コイルにエネルギーを蓄積する際にオンするスイッチング手段を主スイッチング手段とする一方、前記コイルに蓄積したエネルギーを出力側へ送出する際にオンするスイッチング手段を従スイッチング手段とすると、前記従スイッチング手段がオフしてから前記両スイッチング手段の接続点の電圧が所定の閾値に達するまでの時間に基づき後の周期における前記従スイッチング手段のオン時間を制御するように構成した制御手段を有することを特徴とする DC / DC コンバータ。

10

【請求項 2】

請求項 1 において、

前記制御手段は、前記コイルを流れる電流の極性が反転しないように後の周期における前記従スイッチング手段のオン時間を制御するように構成したことを特徴とする DC / DC コンバータ。

【請求項 3】

請求項 1 又は請求項 2 において、

次の周期における前記従スイッチング手段のオフ時間は、前記従スイッチング手段がオフしてから前記両スイッチング手段の接続点の電圧が所定の閾値に達するまでの間に容量に蓄積した電位に基づき制御することを特徴とする DC / DC コンバータ。

20

【請求項 4】

請求項 3 において、

前記容量に蓄積した電位は、各周期毎に前記従スイッチング手段のオフに先立ち所定値だけ電位を制御することを特徴とする DC / DC コンバータ。

【請求項 5】

請求項 1 乃至請求項 4 の何れかの DC / DC コンバータは、

降圧コンバータ又は昇圧コンバータの何れかであることを特徴とする DC / DC コンバータ。

【請求項 6】

30

請求項 1 乃至請求項 4 の何れかの DC / DC コンバータは、

前記制御部が、前記主スイッチング手段のスイッチングパルスを得るため、PWM 方式、PFM 方式又は PWM 方式と PFM 方式との双方の何れかを採用するものであることを特徴とする DC / DC コンバータ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は DC / DC コンバータに関し、特に主スイッチング手段及び従スイッチング手段を交互にオン乃至オフさせることにより所定の直流出力電圧を得る場合に適用して有用なものである。

40

【背景技術】**【0002】**

DC 電源の出力電圧を降圧乃至昇圧して所定の直流出力電圧を得る用途、例えば携帯電話の電源回路として DC / DC コンバータが汎用されている。この DC / DC コンバータは、スイッチング素子をオン / オフさせ、このときのオン / オフ期間を制御することにより、直流入力電圧を所定の直流出力電圧に変換するものである。ここで、スイッチング素子には、一般に MOSFET を用いている。

【0003】

この種の DC / DC コンバータでは、コイルを有している。このため、前記スイッチン

50

グ素子のオフ期間に前記コイルに蓄積された電氣的なエネルギーを放出させるための閉回路を形成する必要があり、古くは環流ダイオードにより前記閉回路を形成していた。

【0004】

ところが、環流ダイオードを用いた場合、その順方向電圧降下が比較的大きいので、この部分での電力消費により当該DC/DCコンバータの効率の低下を招来するという問題があった。

【0005】

そこで、前記環流ダイオードの代わりにスイッチング素子であるMOSFETを用い、MOSFET自体のスイッチング機能を利用して前記順方向電圧降下を低減するDC/DCコンバータが提案されている。ちなみに、環流ダイオードの順方向電圧に較べてMOSFETのオン抵抗による電圧ロスは小さく、その分損失も小さくなる。

10

【0006】

ところで、環流ダイオードをスイッチング素子で代替したDC/DCコンバータにおいては、通常MOSFETで形成する2個のスイッチング素子を相互に直列に接続している。すなわち、出力電圧を所望の値に変換するためのスイッチング素子（以下、これを主スイッチング素子という。）と、この主スイッチング素子のオフ期間において前記コイルに蓄積されたエネルギーを放出させるスイッチング素子（以下、これを従スイッチング素子という。）とを相互に直列に接続しており、例えば降圧DC/DCコンバータでは、両スイッチング素子の接続点からコイルを介して直流出力電圧を取り出すように構成している。

20

【0007】

ところが、この種のDC/DCコンバータにおいては、主スイッチング素子がオフ状態で、且つ従スイッチング素子がオン状態であるモードにおいて、従スイッチング素子をオフ状態に切り換えた場合には、コイルに蓄積されたエネルギーに基づく電流が主スイッチング素子の寄生ダイオードを介してDC電源に流れ込むという有害な現象を生起する場合がある。

【0008】

そこで、かかる有害な現象を回避すべく、従来技術に係るこの種のDC/DCコンバータにおいては、従スイッチング素子に流れるコイル電流を監視し、このコイル電流がゼロになった時点を検出して従スイッチング素子をオフ状態に切り換えている。有害な現象は、これがゼロになった後、発生するからである。

30

【0009】

したがって、主スイッチング素子と従スイッチング素子とを有し、これらを交互にオン/オフさせて所定の直流出力電圧を得る従来技術に係るDC/DCコンバータにおいては、前記コイル電流（特にその方向）を検出すべく電流検出回路を設けている。かかる電流検出回路は、例えば従スイッチング素子のオン抵抗を利用するか、または直列に電流検出用の抵抗を接続しておき、この抵抗の両端の電圧を比較器で比較して監視することにより実現し得る。すなわち、前記抵抗の両端の電圧がゼロになったことで検出対象であるコイル電流がゼロになったことを検出し得る。

【0010】

なお、主スイッチング素子と従スイッチング素子とを有し、これらを交互にオン/オフすることにより所定電圧の直流出力電圧を得るDC/DCコンバータを開示する公知文献として次の特許文献が存在する。

40

【0011】

【特許文献1】実用新案登録2555245号公報

【特許文献2】特許第3637904号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

ところで、前記電流検出回路は、電流検出手段として非常に小さい値の電流検出抵抗や従スイッチング素子のオン抵抗を用いるため検出電圧レベルは非常に小さく、よって高速

50

・高精度で当該電流がゼロになった時点を迅速に検出する必要がある。したがって、例えば前述の如く比較器を含む場合、この比較器は高速・高精度のものを使用する必要がある、それ自体が高コストになるばかりでなく、高速・高精度の電流検出回路を構成することにより、この電流検出回路自体に要する駆動電流が大きくなり、その分当該DC/DCコンバータの小型化や高効率化を図る場合の障害要素となる。電流検出回路としてスイッチング素子と直列に抵抗を入れた場合では、その抵抗自体で電力損失が発生し、高効率化への障害になってしまう。また、検出電圧レベルが小さいことにより高速応答が困難となるため、比較器のオフセットによるズレや応答ディレーにより動作が不安定となる場合がある。これらは、特に当該DC/DCコンバータのICチップ化を図る場合には、致命的な欠点となる。

10

【0013】

本発明は、上記従来技術に鑑み、主、従のスイッチング手段を交互にオン/オフさせて所望の直流出力電圧を得るDC/DCコンバータにおいて、コイルに流れる電流の極性が反転することによる有害な現象を除去すると同時に、高効率化や、ICチップ化を含めその小型化及びコストの低減に資することができるDC/DCコンバータを提供することを目的とする。

【課題を解決するための手段】**【0014】**

上記目的を達成する本発明の構成は、次の点を特徴とする。

【0015】

20

1) 直列に接続した2つのスイッチング手段と、両スイッチング手段の接続点に接続したコイルとを備えて直流入力電圧を所定の直流出力電圧に変換するとともに前記コイルを介して負荷に電力を供給するDC/DCコンバータにおいて、

前記コイルにエネルギーを蓄積する際にオンするスイッチング手段を主スイッチング手段とする一方、前記コイルに蓄積したエネルギーを出力側へ送出する際にオンするスイッチング手段を従スイッチング手段とするとき、前記従スイッチング手段がオフしてから前記両スイッチング手段の接続点の電圧が所定の閾値に達するまでの時間に基づき後の周期における前記従スイッチング手段のオン時間を制御するように構成した制御手段を有すること。

【0016】

30

2) 上記1)において、

前記制御手段は、前記コイルに流れる電流の極性が反転しないように後の周期における前記従スイッチング手段のオン時間を制御するように構成したこと。

【0017】

3) 上記1)又は2)において、

次の周期における前記従スイッチング手段のオフ時間は、前記従スイッチング手段がオフしてから前記両スイッチング手段の接続点の電圧が所定の閾値に達するまでの間に容量に蓄積した電位に基づき制御すること。

【0018】

40

4) 上記3)において、

前記容量に蓄積した電位は、各周期毎に前記従スイッチング手段のオフに先立ち所定値だけ電位を制御すること。

【0019】

5) 上記1)乃至4)のDC/DCコンバータは、

降圧コンバータ又は昇圧コンバータの何れかであること。

【0020】

6) 上記1)乃至4)のDC/DCコンバータは、

前記制御部が、前記主スイッチング手段のスイッチングパルスを得るため、PWM方式、PFM方式又はPWM方式とPFM方式との双方の何れかを採用するものであること。

【発明の効果】

50

【 0 0 2 1 】

本発明によれば、従スイッチング手段のオフから前記両スイッチング手段の接続点の電圧が容易に検出できる様設定された所定の閾値に達するまでの時間に基づき後の周期における前記従スイッチング手段のオフ時間を、前記コイル電流の極性が反転しないように制御しているので、高速な応答の必要がなく、低消費電流化を図ることができる。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 本発明の実施の形態に係る降圧コンバータである DC / DC コンバータをその制御回路とともに示す回路図である。

【 図 2 】 図 1 に示す制御部におけるシンクブロックの具体的な構成の一例を示す回路図である。

【 図 3 】 図 1 に示す制御部の各部の信号に基づくタイミングチャート（非連続モードで従スイッチング素子 S 2 のオン期間を広げる場合）を示す波形図である。

【 図 4 】 図 1 に示す制御部の各部の信号に基づくタイミングチャート（非連続モードで負荷が軽くなる場合）を示す波形図である。

【 図 5 】 図 1 に示す制御部の各部の信号に基づくタイミングチャート（連続モードの場合）を示す波形図である。

【 図 6 】 主スイッチング素子 S 1 を P F M 方式で制御する場合の各部の信号に基づくタイミングチャートを示す波形図である。

【 図 7 】 本発明の実施の形態に係る昇圧コンバータである DC / DC コンバータをその制御回路とともに示す回路図である。

【 符号の説明 】

【 0 0 2 3 】

S 1 , S 1 1	主スイッチング素子	
S 2 , S 1 2	従スイッチング素子	
C 0	平滑コンデンサ	
L 1	コイル	
A	P W M 信号発生部	
B	バッファ部	
C	スイッチング信号制御部	30
1	誤差増幅器	
2 , 1 7	比較器	
1 5	1 ショットブロック	
1 6	シンクブロック	
1 8 , 1 9	R S フリップフロップ	
2 0 , 2 1 , 2 2	定電流源	
I 1 , I 2 , I 3	定電流	
S 3 , S 4	スイッチング素子	
S1_G , S11_G	スイッチングパルス	
S2_G , S12_G	スイッチングパルス	40
VLx	電圧信号	
ILx	コイル電流	
S2on_B	スイッチングパルス	
V_2chg , V_2on	電圧	
S2_DRV_1SHOT	1 ショットパルス	
T_S2_DIF	パルス信号	
S2_SYNC	パルス信号	

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下本発明の実施の形態を図面に基づき詳細に説明する。

10

20

30

40

50

【 0 0 2 5 】

図 1 は本発明の実施の形態に係る降圧 DC / DC コンバータをその制御回路とともに示す回路図である。

【 0 0 2 6 】

本形態に係る DC / DC コンバータでは、逆並列に寄生ダイオード D 1 が並列に接続された MOSFET で形成した主スイッチング素子 S 1 と、コイル L 1 とを直列に接続する一方、主スイッチング素子 S 1 とコイル L 1 との接続点に、寄生ダイオード D 2 が並列に接続された MOSFET で形成した従スイッチング素子 S 2 を接続し、前記コイル L 1 及び出力端子 T O を介して直流出力電圧 V o u t を取り出し得る。ここで、主スイッチング素子 S 1 はコイル L 1 にエネルギーを蓄積する際にオンするスイッチング手段で、従スイッチング素子 S 2 はコイル L 1 に蓄積したエネルギーを出力側へ送出する際にオンするスイッチング手段である。また、寄生ダイオード D 2 は環流ダイオードとして機能する。

10

【 0 0 2 7 】

かかる DC / DC コンバータにおいては、制御部で前記主スイッチング素子 S 1 及び従スイッチング素子 S 2 を交互にオン乃至オフさせる制御を行うとともに、このときの主スイッチング素子 S 1 のオン時間を制御することにより DC 電源（図示せず。）の直流出力電圧（当該 DC / DC コンバータの直流入力電圧）を降圧して前記出力端子 T O から所定の直流出力電圧 V o u t を得る。すなわち、直流出力電圧 V o u t は、主スイッチング素子 S 1 のオン時間（デューティ）で規定される。また、主スイッチング素子 S 1 のオン期間でコイル L 1 に蓄積された電氣的なエネルギーは、主スイッチング素子 S 1 のオフ期間に

20

【 0 0 2 8 】

上記主スイッチング素子 S 1 及び従スイッチング素子 S 2 のオン / オフ制御を行う制御部は、PWM 信号発生部 A、バッファ部 B 及びスイッチング信号制御部 C を有しており、主スイッチング素子 S 1 及び従スイッチング素子 S 2 とともに構成してある。

【 0 0 2 9 】

PWM 信号発生部 A では、直流出力電圧 V o u t を抵抗 R 1、R 2 及びキャパシタ C 1 で分割して誤差増幅器 1 に印加する。この誤差増幅器 1 には、基準電圧 V R E F も印加してある。この結果、誤差信号 S 2 1 を得る。比較器 2 では、前記誤差信号 S 2 1 と、発振器 O S C が送出する三角波 S 2 2 とを比較し、その出力信号として PWM 信号 S 2 3 を得る。

30

【 0 0 3 0 】

PWM 信号 S 2 3 は、バッファアンプ 3 乃至このバッファアンプ 3 とインバータ 4 とを介してバッファ部 B に至る。バッファ部 B は 2 個のノア回路 5、6 及び 8 個のインバータ回路 7 乃至 1 4 で構成してあり、前記 PWM 信号 S 2 3 に基づき主スイッチング素子 S 1 及び従スイッチング素子 S 2 を交互にオン乃至オフさせる。

【 0 0 3 1 】

本形態において、主スイッチング素子 S 1 は、P チャンネルの素子であるので、バッファ部 B の出力信号 S1_G が L 状態のときオン状態となり、従スイッチング素子 S 2 は、N チャンネルの素子であるので、バッファ部 B の出力信号 S2_G が H 状態のときオン状態となる。なお、バッファ部 B は、勿論、図 1 の構成に限定されるものではない。

40

【 0 0 3 2 】

スイッチング信号制御部 C は、主スイッチング素子 S 1 及び従スイッチング素子 S 2 の接続点の電圧信号 VLx を検出しており、従スイッチング素子 S 2 がオフしてから前記電圧信号 VLx が所定の閾値に達するまでの時間に基づきコイル L 1 を流れるコイル電流 ILx の極性が反転しないように後の周期における前記従スイッチング素子 S 2 のオフ時間を制御する。ちなみに、コイル電流 ILx は図に矢印で示す方向を正とする。

【 0 0 3 3 】

ここで、本形態にかかるスイッチング信号制御部 C は、1 ショットブロック 1 5 とシン

50

クブロック 16 とを有している。1 ショットブロック 15 は従スイッチング素子 S2 をオンするスイッチングパルス S2_G の立ち上がりで H 状態となって所定時間持続する 1 ショットパルス S2_DRV_1SHOT を発生する。シンクブロック 16 は、電圧信号 VLx を入力するとともに、従スイッチング素子 S2 をオン / オフするタイミング、特にオフするタイミングを規定するパルス信号 S2_SYNC を発生する。

【 0034 】

図 2 はシンクブロック 16 の具体的な構成の一例を示す回路図である。同図中、17 は比較器、18, 19 は RS フリップフロップ回路、20, 21, 22 は定電流源、23, 24 はナンド回路、25 はインバータ、S3, S4, S5 はスイッチング素子である。

【 0035 】

同図に示すように、RS フリップフロップ回路 18 は、従スイッチング素子 S2 をオンするスイッチングパルス S2_G で立ち上がって H 状態となる 1 ショットパルス S2_DRV_1SHOT の立ち上がりでセットされ、比較器 17 の出力信号でリセットされる。本例ではこの RS フリップフロップ回路 18 の QB 出力 (反転出力) を利用しているので、比較器 17 のリセット時の出力信号が H 状態に立ち上がる時にパルス信号 S2_SYNC が L 状態に立ち下がる。この結果、従スイッチング素子 S2 をオフ状態とする。

【 0036 】

RS フリップフロップ回路 19 も前記 1 ショットパルス S2_DRV_1SHOT の立ち上がりでセットされる。一方、RS フリップフロップ回路 19 のリセットは電圧信号 VLx が所定の閾値に達した時点で行われる。ここで、閾値としては、コイル電流 ILx の極性の反転を先行して反映するパラメータであれば特に制限はない。例えば、RS フリップフロップ回路 19 のロジックレベル (動作電圧と GND との中間電位)、MOSFET の閾値 (0.7V 程度)、GND レベル (0V) 等が好適である。これらは容易に検出できる値である。

【 0037 】

キャパシタ CS2on はスイッチング素子 S3 がオフ状態の間、定電流源 20 が供給する定電流 I1 で徐々に充電され、比較器 17 の非反転入力端子に電圧 V_S2on を印加する。ここで、スイッチング素子 S3 は、スイッチングパルス S2on_B が H 状態のとき、換言すれば主スイッチング素子 S1 がオン状態となる期間にブランク期間を加えた期間オン状態となり、定電流源 20 によるキャパシタ CS2on への充電を中断させる。

【 0038 】

キャパシタ CS2chg はスイッチング素子 S4 がオン状態で、スイッチング素子 S5 がオフ状態の間、定電流源 21 が供給する定電流 I2 で徐々に充電され、比較器 17 の反転入力端子に電圧 V_S2chg を印加する。すなわち、スイッチング素子 S4 は、パルス信号 S2_SYNC が L 状態、換言すれば従スイッチング素子 S2 がオフ状態となった時点から電圧信号 VLx が閾値に達した時点までの期間オン状態となり、定電流源 21 によるキャパシタ CS2chg への充電を行わせる。本形態では、従スイッチング素子 S2 がオフ状態となった時点から電圧信号 VLx が閾値に達する時点までの期間を後の周期に反映させることで所期の目的を達成している。

【 0039 】

一方、スイッチング素子 S5 は 1 ショットパルス S2_DRV_1SHOT が H 状態の期間オン状態となり、定電流源 22 の定電流 I3 でキャパシタ CS2chg に充電された電荷を引き抜く。この結果、電圧 V_S2chg は若干下がる。このことは、比較器 17 の反転入力端子に印加する比較基準電圧がその分下がったことを意味する。

【 0040 】

次に、図 1 に示す制御部の各部の信号に基づくタイミングチャートを示す波形図を用いて全体の動作を説明する。

【 0041 】

図 3 は電流非連続期間で、従スイッチング素子 S2 のオン時間 (tsync) が短くオフ時間が長い場合の各部の波形を示す波形図である。ここで、電流非連続期間とは、PWM 信号 S3 (図 1 参照) が形成する 1 周期 P 内で主スイッチング素子 S1 がターンオンした瞬

10

20

30

40

50

間、コイル電流 I_{Lx} が 0 mA から始まり、ターンオフ後 0 mA に戻るような期間をいう。換言すれば、1 周期 P 内でコイル電流 I_{Lx} が 0 mA となる期間を有する場合である。

【 0 0 4 2 】

図 3 に示すように、スイッチングパルス $S1_G$ は、これが L 状態に変化する際に P 型の MOSFET である主スイッチング素子 $S 1$ をターンオンするとともに、H 状態に変化する際にターンオフする。スイッチングパルス $S2_G$ は、これが H 状態に変化する際に N 型の MOSFET である従スイッチング素子 $S 2$ をターンオンするとともに、L 状態に変化する際にターンオフする。このことにより、主スイッチング素子 $S 1$ 及び従スイッチング素子 $S 2$ が交互にオンする。

【 0 0 4 3 】

この結果、コイル電流 I_{Lx} は、主スイッチング素子 $S 1$ のターンオンの時点から漸増して主スイッチング素子 $S 1$ ターンオフの時点でピークになり、以後漸減する。

【 0 0 4 4 】

一方、電圧信号 V_{Lx} は、従スイッチング素子 $S 2$ をオフしてから電圧信号 V_{Lx} が所定の閾値に達するまでの時間 $tdif$ が次の周期 P において従スイッチング素子 $S 2$ のオン時間 (t_{sync}) に反映するよう制御される。すなわち、先行する周期 P における従スイッチング素子 $S 2$ のオン時間 (t_{sync}) と従スイッチング素子 $S 2$ をオフしてから電圧信号 V_{Lx} が所定の閾値に達するまでの時間 $tdif$ とを合わせた時間が、次の周期 P でも同じになるように t_{sync} を長くするとともに、 $tdif$ を短くする。この点を詳細に分説すると次の通りである。

【 0 0 4 5 】

1) スwitchingパルス $S2on_B$ は、前述の如く、主スイッチング素子 $S 1$ がオン状態となる期間にブランク期間を加えた期間オン状態となり、定電流源 20 によるキャパシタ $CS2on$ への充電を中断させる。したがって、従スイッチング素子 $S 2$ のオン期間はスイッチングパルス $S2on_B$ が L 状態であるので、スイッチング素子 $S 3$ はオフ状態となりキャパシタ $CS2on$ が充電される。

【 0 0 4 6 】

2) この結果、電圧 V_{S2on} は、スイッチングパルス $S2on_B$ が H 状態に立ち上がるまで直線的に漸増する。

【 0 0 4 7 】

3) 1 ショットパルス $S2_DRV_1SHOT$ は、スイッチングパルス $S2_G$ の立ち上がりに同期して立ち上がる。

【 0 0 4 8 】

4) パルス信号 T_{S2_DIF} は、1 ショットパルス $S2_DRV_1SHOT$ でセットされる RS フリップフロップ回路 19 の Q B 出力 (反転出力) 及びパルス信号 $S2_SYNC$ に基く信号である。

【 0 0 4 9 】

したがって、従スイッチング素子 $S 2$ がオフ状態になった時点から電圧信号 V_{Lx} が所定の閾値になるまでの間、すなわち時間 $tdif$ では L 状態となる。この結果、スイッチング素子 $S 4$ はオン状態となる。

【 0 0 5 0 】

5) 電圧 V_{S2chg} はスイッチング素子 $S 4$ がオン状態の間、すなわち時間 $tdif$ ではキャパシタ $CS2chg$ が充電される結果、直線的に漸増する。この電圧 V_{S2chg} が増加量が時間 $tdif$ を反映している。

【 0 0 5 1 】

なお、1 ショットパルス $S2_DRV_1SHOT$ が立ち上がり H 状態を持続する間はスイッチング素子 $S 5$ がオン状態となる。したがって、この間キャパシタ $CS2chg$ に蓄積された電荷は定電流源 22 の定電流 $I 3$ で引き抜かれる。この結果、電圧 V_{S2chg} は、1 ショットパルス $S2_DRV_1SHOT$ の H 期間では漸減する。

【 0 0 5 2 】

6) ここで電圧 V_{S2on} は比較器 17 の非反転入力端子に入力され、電圧 V_{S2chg} は比較器 17 の反転入力端子に入力されているので、電圧 V_{S2on} が漸増して電圧 V_{S2chg} と交差

10

20

30

40

50

した時点でパルス信号S2_SYNCを立ち下げる。すなわち、従スイッチング素子S2がオン状態からオフ状態へ変化するタイミングを規定する。かくしてパルス信号S2_SYNCが形成され、これと同波形のスイッチングパルスS2_Gとなる。

【0053】

図3に示すように、本形態では時間tdifを次の周期Pの従スイッチング素子S2のオン時間(tsync)に反映させるべく電圧V_S2on及び電圧V_S2chgの増加割合が同じになるように構成している。すなわち、次の条件を満足するような構成となっている。

【0054】

$$S2のオン時間 = T_{sync} = CS2on \times V_S2chg / I1 \quad \dots (1)$$

$$V_S2chg = I2 \times tdif / CS2chg \quad \dots (2)$$

10

式(1)と式(2)から

$$T_{sync} = CS2on / I1 \times I2 / CS2chg \times tdif \quad \dots (3)$$

ここで、例えば、 $I1=I2$ 、 $CS2on=CS2chg$ とすれば $T_{sync} = tdif$ となる。同様関係は、 $I1:I2 = n:1$ のとき $CS2on : CS2chg = 1:n$ の関係が成立していれば一般に成立する。

【0055】

以上は、従スイッチング素子S2のオン時間(tsync)を広げる場合であるが、狭める場合を図4に基づき説明する。同図は、図3と同様に、図1に示す制御部の各部の信号に基づくタイミングチャートを示す波形図である。ここでは、図3と異なる点を中心に説明し、重複する説明は省略する。

【0056】

20

この場合、負荷は軽負荷へ移行しているため、スイッチングパルスS1_Gのオン期間が短くなり、その分コイル電流ILxのピークが低下する。このとき、スイッチングパルスS2_Gは、1周期P前のオン時間を維持するため次の周期Pではコイル電流ILxの極性が反転する場合がでてくる。コイル電流ILxが反転した場合、従スイッチング素子S2がオフした時点から電圧信号VLxが所定の閾値に達するまでの時間が存在しなくなる。このため、パルス信号T_S2_DIFは短くなる。

【0057】

ここで、1ショットパルスS2_DRV_1SHOTのH期間、スイッチング素子S5をオン状態にしてキャパシタCS2chgに蓄積された電荷を引き抜き、この間電圧V_S2chgを漸減させることが重要な意味を持つようになる。すなわち、電圧V_S2chgの低下は比較器17での基準比較電圧の低下を意味するので、従スイッチング素子S2の立ち上がりと同期して漸増する電圧V_Nonと電圧V_S2chgが交差する時点が早くなる。したがって、電圧V_Nonと電圧V_S2chgが交差する時点で規定される従スイッチング素子S2のオフ状態への立ち下がり時点が1周期Pを経る毎に時間的に前方に移動する。かくして、従スイッチング素子S2のオン時間は徐々に短くなり、電圧V_S2chgの充電と放電が平衡する時点で収束する。

30

【0058】

以上の作用を数式を用いて表現すれば次の通りとなる。

【0059】

$$S2のオン時間 = T_{sync} = CS2on \times (V_S2chg - I3 \times S2_DRV_1SHOT / CS2chg) / I1 \quad \dots (4)$$

$$V_S2chg = I2 \times tdif / CS2chg \quad \dots (5)$$

40

上式(4)、(5)から

$$T_{sync} = CS2on \times (I2 \times tdif / CS2chg - I3 \times S2_DRV_1SHOT / CS2chg) / I1 \quad \dots (6)$$

ここで、例えば $I1 = I2 = I3$ 、 $CS2on=CS2chg$ とすれば

$$T_{sync} = tdif - S2_DRV_1SHOT \text{ となる。}$$

【0060】

実際には $I3$ により1ショットパルスS2_DRV_1SHOTがH期間だけ T_{sync} は短くなる。

【0061】

以上の実施の形態では、1ショットパルスS2_DRV_1SHOTを用いてパルス信号T_SYNCを制

50

御するものについて説明したが、これに限るものではない。簡単な方法として微小な定電流で常時引いておくという方法等でも同様の作用効果を期待し得る。

【 0 0 6 2 】

図 5 は電流連続期間における各部の波形を示す波形図である。ここで、電流連続期間とは、P W M 信号 3 (図 1 参照) が形成する 1 周期 P 内で主スイッチング素子 S 1 がターンオンした瞬間コイル電流 I L x が 0 m A 以上から始まり、ターンオフ後 0 m A に戻らないような期間をいう。換言すれば、1 周期 P 内でコイル電流 (負荷電流) I L x が 0 m A となる期間を有しない場合である。

【 0 0 6 3 】

図 5 に示すように、この電流連続期間では、電圧 V _ S 2 o n と電圧 V _ S 2 c h g との交差時点が各周期 P で同じになる。したがって、先行する周期 P の時間 t d i f と同一の時間 t d i f が次の周期 P でも確保される。したがって、同波形の信号が各周期 P 毎に繰り返される。

10

【 0 0 6 4 】

図 6 は、主スイッチング素子 S 1 を P F M 方式で制御する場合の各部の信号に基づくタイミングチャートを示す波形図である。ここで、P F M 方式とは、P W M 方式が各周期 P 中におけるスイッチングパルス S 1 _ G のデューティを負荷の軽重に応じて制御するのに対し、周波数を負荷の軽重に応じて制御するものである。具体的には、図 1 に示す回路において P W M 信号発生部 A の代わりに P F M 信号発生部を備えている。この P F M 信号発生部は、図 1 の直流出力電圧 V o u t を抵抗 R 1、R 2 及びキャパシタ C 1 で分割して誤差増幅器 1 に印加するとともに、この誤差増幅器 1 で基準電圧 V R E F と比較して得る誤差信号 S 2 1 に基づき P F M 信号の周波数を制御する。

20

【 0 0 6 5 】

この P F M 方式においても電圧 V _ S 2 o n が電圧 V _ S 2 c h g に交差した時点でパルス信号 S 2 _ S Y N C が立ち下がってスイッチングパルス S 2 _ G を立ち下げる。この結果、従スイッチング素子 S 2 がターンオフする。すなわち、図 1 に示す回路の場合と同様に、従スイッチング素子 S 2 のターンオンの時点から電圧信号 V L x が所定の閾値に達するまで時間 t d i f に応じて次の周期 P での時間 t d i f が規定される。

【 0 0 6 6 】

さらに、誤差信号 S 2 1 に基づきパルス幅を制御する P W M 方式とパルス周波数を制御する P F M 方式との両方の機能を有するとともに、両方式を適宜切換えて出力信号を得るように構成することもできる。この場合、軽負荷では P F M 方式を利用するとともに、重負荷では P W M 方式を利用するように両者を切換える。

30

【 0 0 6 7 】

上記実施の形態は降圧 D C / D C コンバータの場合であるが、これに限るものではない。昇圧、反転、昇降圧、C u k、Z e t a、S e p i c、フォワード、フライバック等、他の方式のものについても適用可能である。

【 0 0 6 8 】

図 7 は本発明の実施の形態に係る昇圧コンバータである D C / D C コンバータをその制御回路とともに示す回路図である。昇圧コンバータであるので、図 1 に示す降圧コンバータに較べ、コイル L 1 を流れるコイル電流 I L x の方向が逆になり主スイッチング素子 S 1 1 と従スイッチング素子 S 1 2 との関係が逆になる。すなわち、主スイッチング素子 S 1 1 は図 1 の従スイッチング素子 S 2 と同じ N 型の M O S F E T で構成し、従スイッチング素子 S 1 2 は図 1 の主スイッチング素子 S 1 と同じ P 型の M O S F E T で構成してある。そして、スイッチングパルス S 1 1 _ G は図 1 のスイッチングパルス S 2 _ G と、スイッチングパルス S 1 2 _ G は図 1 のスイッチングパルス S 1 _ G と同波形のスイッチングパルスとなる。その他の構成は図 1 と同様である。そこで、同一部分には同一番号を付し、重複する説明は省略する。

40

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/309928
A. CLASSIFICATION OF SUBJECT MATTER H02M3/155 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-281743 A (Hitachi, Ltd.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-6
A	JP 2002-369516 A (TDK Corp.), 20 December, 2002 (20.12.02), Full text; all drawings (Family: none)	1-6
A	JP 2005-94994 A (Semiconductor Components Industries, L.L.C.), 07 April, 2005 (07.04.05), Full text; all drawings & US 2005/0057228 A1	1-6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 August, 2006 (11.08.06)		Date of mailing of the international search report 22 August, 2006 (22.08.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/309928

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-89222 A (Hitachi, Ltd.), 30 March, 1999 (30.03.99), Full text; all drawings (Family: none)	1-6
A	JP 2004-56983 A (Seiko Epson Corp.), 19 February, 2004 (19.02.04), Full text; all drawings & US 2004/0080303 A1	1-6

国際調査報告		国際出願番号 PCT/JP2006/309928									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M3/155(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M3/155											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2002-281743 A (株式会社日立製作所) 2002.09.27, 全文, 全図 (ファミリーなし)	1-6									
A	JP 2002-369516 A (ティーディーケイ株式会社) 2002.12.20, 全文, 全図 (ファミリーなし)	1-6									
A	JP 2005-94994 A (セミコンダクター・コンポーネンツ・インダスト リーズ・リミテッド・ライアビリティ・カンパニー) 2005.04.07, 全文, 全図 & US 2005/0057228 A1	1-6									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 11.08.2006		国際調査報告の発送日 22.08.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 杉浦 貴之	3V 3328								
		電話番号 03-3581-1101 内線	3358								

国際調査報告		国際出願番号 PCT/JP2006/309928
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-89222 A (株式会社日立製作所) 1999.03.30, 全文, 全図 (ファミリーなし)	1-6
A	JP 2004-56983 A (セイコーエプソン株式会社) 2004.02.19, 全文, 全図 & US 2004/0080303 A1	1-6

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 羽根 功真

東京都中央区日本橋茅場町一丁目13番12号 トレックスデバイス株式会社内

(72)発明者 仲 剛志

東京都中央区日本橋馬喰町一丁目5番1号 株式会社ディーブイイー内

Fターム(参考) 5H730 AA14 AS04 AS05 BB13 BB14 BB57 DD04 EE13 FD01 FF02

FG05 FG07

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。