

公告本

申請日期	88. 4. 28
案 號	88106841
類 別	H016 27/10

A4
C4

543182

(以上各欄由本局填註)

公告本		發明專利說明書	
一、發明名稱	中文	半導體積體電路	
	英文	SEMICONDUCTOR INTEGRATED CIRCUIT	
二、發明人	姓名	(1)江渡聰 (6)川畑邦範 (2)松宮正人 (7)加納英樹 (3)瀧田雅人 (8)長谷川正智 (4)中村俊和 (9)古賀徹 (5)北本綾子 (10)石井祐樹	
	國籍	日本	
	住、居所	(1)~(10)日本國神奈川縣川崎市中原區上小田中4丁目1番1號	
三、申請人	姓名 (名稱)	日商・富士通股份有限公司	
	國籍	日本	
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號	
	代表人 姓名	秋草直之	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1998,5,7 特願平10-124863
1999,3,31 特願平11-092781

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係關於一種半導體積體電路，其包含一組動態隨機存取記憶體(一般簡稱為 DRAM)並且具有穩定地產生有意的輸出電壓之能力。

一般而言，在包含 DRAM 之半導體積體電路中，多數個字組線以及跨越字組線之多數個位元線組對以矩陣形式被配置。多數個記憶體記憶胞形成在字組線和位元線之間相交處。記憶體記憶胞構成記憶體記憶胞陣列。

假設“1”或者“0”資料是從選自多數個記憶體記憶胞之一組記憶體記憶胞被讀取。在記憶體記憶胞被連接之位元線組對的電位是依據累積在記憶體記憶胞中記憶胞電容器之電荷而變化。在位元線之電位變化利用一組感應放大器檢測。在位元線之電位變化必須利用儘可能小的電流可靠地檢測出(亦即具有最小電力消耗)。一般被採用的方法將在下面說明。亦即，在累積在記憶體記憶胞中記憶胞電容器之電荷依據位元線電容被重新分配於位元線組對之前，位元線被短路。位元線接著被預充電以至於在位元線之電位將等於某種供應電壓(例如，高位準供應電壓 V_{cc} 之半($=V_{cc}/2$))。

另一方面，一組高位準供應電壓 V_{cc} 或者一組低位準供應電壓 $V_{ss}(=0V)$ 被施加至記憶體記憶胞中電容器之一組記憶體儲存節點。此時，高位準供應電壓或者低位準供應電壓依據記憶體記憶胞是否被選擇而被施加。在典型的 DRAM，需要記憶體電容器之電容盡可能地大以便使資料保持時間相對地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (>)

長。因此，必須盡可能減低記憶胞電容器之絕緣薄膜厚度。當絕緣薄膜厚度減少時，記憶胞電容器絕緣耐力，當高電壓施加至記憶胞電容器時，降低。相對於記憶胞電容器之記憶胞儲存節點的電極(記憶胞平板節點)電位因此被設定為 $V_{cc}/2$ 。因此，即使當供應電壓 V_{cc} 或者 V_{ss} 施加至記憶胞電容器之記憶胞儲存節點時，在記憶胞電容器之絕緣薄膜兩表面之間的電位差量僅為 $V_{cc}/2$ 。更明確地說，在相對於記憶胞電容器之記憶胞儲存節點的電極電位被設定為至 $V_{cc}/2$ 之情況中，施加至絕緣薄膜的電壓僅是當相對於記憶胞電容器之記憶胞儲存節點的電極電位被設定為 V_{cc} 或者 V_{ss} 時的電壓之一半。結果，記憶胞電容器之電容可利用減低絕緣薄膜厚度而相對地大。這是有利於延伸資料保持時間。

近幾年，需要 DRAM 之操作供應電壓儘可能地低，例如，等於或者低於 2V 之供應電壓 (V_{cc})。這是有意將整個半導體積體電路之電力消耗減至最小。如上所述，在典型的 DRAM 中，使用以將位元線預充電或者相對於記憶胞電容器之記憶胞儲存節點之電極電位的電壓通常被設定為 $V_{cc}/2$ 。因此，必須穩定地產生等於或者低於 1V 之相對低電壓。

接著，參看至第 1 至 5 圖，那將在稍後"圖形摘要說明"中敘述，下面將說明典型的 DRAM 中位元線預充電電路之範例組態，以及記憶體記憶胞之範例結構。同時也將說明當位元線被預充電時發生在位元線的電位變化，以及具有

五、發明說明(ㄅ)

習見的固定電壓產生電路之一種半導體積體電路之範例組態。上面說明是敘述為何在 DRAM 中必須產生供應電壓 V_{cc} 之一半的電壓(亦即, $V_{cc}/2$)之理由。同時, 上面說明也敘述產生等於或者低於 $1V$ 之電壓 $V_{cc}/2$ 的問題。

在第 1 圖中, 展示一組典型的 DRAM 之外型組態。

如第 1 圖中所展示, 典型的 DRAM 具有一組記憶體記憶胞陣列 100, 其中多數個字組線和多數個組對的位元線以矩陣形式被配置。進一步地, 多數個記憶體記憶胞是形成於字組線和位元線之間相交處。進一步地, 該 DRAM 包含用以將經由一組輸入緩衝器 500 輸入之控制位址位元 A_0 至 A_m (其中 m 是等於或者大於 1 之任何正整數)解碼之一組解碼器 600。解碼器 600 接著產生使用以選擇一組特定記憶體記憶胞之一組記憶體記憶胞選擇信號。解碼器 600 施加某種提昇電壓 V_{pp} (較高於內部電壓之供應電壓 V_{cc} 的電壓)至特定記憶體記憶胞被連接之一組字組線, 並且因此選擇該字組線。輸出資料被感應或者資料被重新寫入, 因而資料從該特定記憶體記憶胞被讀取或者被寫入該特定記憶體記憶胞。

進一步地, DRAM 包含一組感應放大器 200。為了讀取解碼器 600 所選擇之一組特定記憶體記憶胞, 感應放大器 200 檢測傳送自特定記憶體記憶胞中記憶胞電容器 C_c 之電荷(參看稍後說明之第 3 圖)。感應放大器 200 因此從記憶體記憶胞讀取資料。被感應放大器 200 所讀取的資料被一組主要放大器 300 放大至所給予的位準。結果資料接著作為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(ㄗ)

數位 I/O 資料位元 DQ0 至 DQn(n=0, 1, 2, ---)而輸出至 DRAM 外側。

在上述 DRAM 中，需要供應電壓 V_{cc} 之半的電壓 $V_{cc}/2$ (第 2 和 3 圖中輸出電壓 V_{pr})是位元線預充電電路和記憶胞電容器。此處，位元線預充電電路包含於第 2 圖展示的感應放大器 200 中。記憶胞電容器包含於第 3 圖展示的任何記憶體記憶胞 100 中。在第 1 圖中，感應放大器 200 和記憶體記憶胞 100 被加斜線以明顯地展示使用等於供應電壓 V_{cc} 之半的電壓之構件。

更明確地說，第 1 圖中展示的感應放大器 200 之位元線預充電電路包含將一對的位元線 BL 和 /BL 預充電以選擇特定記憶體記憶胞之位元線預充電電晶體 210、220 和 230。記憶體記憶胞選擇電晶體(230)之一組是利用 NMOS 電晶體(n-通道 MOS 電晶體)製作並且其源極和吸極(或者吸極和源極)分別地連接到組對的位元線 BL 和 /BL，以等化在組對的位元線 BL 和 /BL 以及記憶體記憶胞兩者之電位，並且經由其閘極輸入預充電引動信號 ϕ 。其他的兩組位元線預充電電晶體(210 和 220)是利用兩組 NMOS 電晶體製作以便將組對的位元線 BL 和 /BL 預充電。在這組態中，位元線預充電電晶體 210 之吸極(或者源極)連接於一組位元線 BL 上面。另一位元線預充電電晶體 220 之吸極(或者源極)連接到另一位元線 /BL。進一步地，位元線預充電電晶體 210 和 220 之源極(或者吸極)連接到一組共同節點。一組預充電輸出電壓 V_{pr} (例如，供應電壓 V_{cc} 之半($V_{cc}/2$))施加至該共同節點。

五、發明說明 (5)

該預充電引動信號被施加至三組位元線預充電電晶體 210，220 和 230 之各閘極。

進一步地，單一電晶體和單一電容器型式之任何記憶體記憶胞，如第 3 圖中所展示，包含利用一組 NMOS 電晶體和一組記憶胞電容器 C_c 製作之一組記憶胞電晶體 T_c 。為了經由位元線 BL 和 /BL 將資料 "1" 或者 "0" 寫入這型記憶體記憶胞，一組提昇電壓經由字組線 WL 被施加至記憶胞電晶體 T_c 之閘極。記憶胞電晶體 T_c 因此被驅動而進入一種操作狀態 (ON 狀態)。在這情況中，電荷依據資料 "1" 或者 "0" 而被累積於記憶胞電容器 C_c 中。進一步地，假定記憶體記憶胞被選擇以從記憶體記憶胞讀取資料，則累積於記憶胞電容器 C_c 的電荷依據位元線所提供電容重新分配於記憶體記憶胞被連接之組對的位元線上面。在組對位元線之電位因此變化。在位元線之電位變化被感應放大器檢測。

在第 4 圖中，展示出指示當位元線被以供應電壓 V_{cc} 之半預充電時發生的位元線電位變化之時序圖。在第 5 圖中，展示出指示當位元線被以供應電壓 $V_{ss}(=0V)$ 預充電時發生的位元線電位變化之時序圖。

依據第 4 和 5 圖之時序圖，下面將討論在預充電位元線所需的電壓和讀取資料所需的電力消耗之間的關係。此處，假設資料 "1" 或者 "0" 是讀取自選自多數個記憶體記憶胞之一組特定記憶體記憶胞。當位元線組對被以供應電壓 $V_{cc}/2$ 預充電時發生的位元線電位變化與當位元線被以電壓 $V_{ss}(=0V)$ 預充電時發生的位元線電位變化比較。

五、發明說明 (6)

如第 4 圖中所展示，在從成為作用狀態之特定記憶體記憶胞讀取資料之前，位元線組對被以電壓 $V_{cc}/2$ 預充電。假定位元線所提供電容是 C_{bl} ，則從供應電壓 V_{cc} 之高電壓電源供應所供應的電荷數量在時序①成為 $(V_{cc}/2) \cdot C_{bl}$ 。在時序②電荷數量成為零(0)。這是因為當組對的位元線 BL 和 /BL 提供的相同電容被短路並且預充電時，在位元線的電位自動地成為等於電壓 $V_{cc}/2$ 。依據上述以電壓 $V_{cc}/2$ 將位元線預充電的技術，每週期消耗之電荷數量是 $(V_{cc}/2) \cdot C_{bl}$ 。這些電荷數量是成比例於每週期消耗之電流，亦即，對應的電力消耗。

假設，如第 5 圖中所展示，在從作用狀態中的特定記憶體讀取資料之前，位元線組對被以電壓 V_{ss} 預充電(利用低電壓電源供應($=0V$)提供的電壓)。在這情況中，從供應電壓 V_{cc} 之高電壓電源供應所供應的電荷數量在時序①時成為 $V_{cc} \cdot C_{bl}$ 。在時序②電荷數量成為零(0)。依據上述以電壓 V_{ss} 將位元線預充電的技術，每週期消耗之電荷數量是 $V_{cc} \cdot C_{bl}$ 。這些電荷數量同時也成比例於電流消耗週期，亦即，對應的電力消耗。週期依據以電壓 V_{ss} 將位元線預充電的技術每週期消耗之電荷數量是依據以電壓 $V_{cc}/2$ 將位元線預充電的技術每週期消耗之電荷數量的兩倍。如上所述，以電壓 $V_{cc}/2$ 將位元線預充電的技術是以儘可能小電力消耗讀取資料之有效量測。

進一步地，第 3 圖展示的記憶體記憶胞中，為何設定電極(記憶胞平板節點 N_c)電壓為電壓 $V_{cc}/2 (=V_{pr})$ 之理由將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(1)

在下面說明。此處，上述電極是相對於記憶胞電容器 C_c 之記憶胞儲存節點。

依據記憶體記憶胞中記憶胞電晶體 T_c 是否在一種操作狀態(ON 狀態)或者一種非操作狀態(OFF 狀態)，"H(高)"位準電壓(高位準供應電壓 V_{cc})或者"L(低)"位準電壓(低位準供應電壓 V_{ss})被施加至第 3 圖中展示的記憶胞電容器 C_c 之記憶胞儲存節點。例如，假設供應電壓 $V_{ss}(=0V)$ 被施加至記憶胞電容器 C_c 之記憶胞平板節點 N_c 。當"H"位準電壓被施加至記憶胞電容器 C_c 之記憶胞儲存節點時，等於供應電壓 V_{cc} 之電壓差量被施加在記憶胞電容器絕緣薄膜之兩表面之間。對照之下，假設供應電壓 V_{cc} 被施加至記憶胞電容器 C_c 之記憶胞平板節點 N_c 。當"L"位準電壓被施加至記憶胞電容器 C_c 之記憶胞儲存節點時，等於供應電壓 V_{cc} 之電壓差量同時也被施加在記憶胞電容器之絕緣薄膜的兩表面之間。

對照之下，假設電壓 $V_{cc}/2$ 被施加至記憶胞電容器 C_c 之記憶胞平板節點 N_c ，當"H"位準電壓或者"L"位準電壓被施加至記憶胞電容器 C_c 之記憶胞儲存節點時，僅等於電壓 $V_{cc}/2$ 之電壓差量被施加在記憶胞電容器之絕緣薄膜的兩表面之間。

在典型 DRAM 的情況中，需要記憶胞電容器之電容儘可能地大以得到構成記憶體記憶胞陣列之高密度記憶體記憶胞。因此，必須的使記憶胞電容器之絕緣薄膜厚度儘可能地小。絕緣薄膜越薄，當一組高電壓施加至記憶胞電容

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

器時關於記憶胞電容器之絕緣能力越低。另外，假設電壓 $V_{cc}/2$ 永遠被施加至記憶胞電容器之記憶胞平板節點 N_c 。在這情況中，當時"H"位準電壓或者"L"位準電壓被施加至記憶胞電容器之記憶胞儲存節點，僅 $V_{cc}/2$ 電壓差量被施加在記憶胞電容器之絕緣薄膜兩表面之間。換言之，假設在記憶胞電容器之記憶胞平板節點 N_c 之電壓 V_{pr} 被設定為 $V_{cc}/2$ 。此時施加至記憶胞電容器之絕緣薄膜的電壓差量是當在記憶胞平板節點 N_c 之電壓被設定為供應電壓 V_{cc} 或者 V_{ss} 時施加所電壓差量之半。在這情況中，施加至相對於記憶胞電容器 C_c 之記憶胞儲存節點的電極電壓是電壓 $V_{cc}/2$ 。結果，可利用減低絕緣薄膜厚度而使記憶胞電容器之電容相對地大。

在第 6 圖中，展示包含習見被用以穩定地產生電壓 $V_{cc}/2$ 的一組固定電壓產生電路之一種半導體積體電路之範例組態的電路圖。

在第 6 圖中，兩組分壓電阻器 R_6 和 R_7 彼此串列連接在一組內部供應電壓 V_{int} (例如，高位準供應電壓 V_{cc})和一組接地(0V 低電壓供應電壓)之間。兩組分壓電阻器 R_6 和 R_7 被使用以產生內部供應電壓 V_{int} 之分量。一組固定電壓的輸出電壓 V_{pr} 因此產生於在分壓電阻器 R_6 和 R_7 之間接點的輸出節點。此處，假設內部供應電壓 V_{int} 是等於供應電壓 V_{cc} 並且分壓電阻器 R_6 和 R_7 具有相同電阻。在這情況中，在輸出節點之輸出電壓 V_{pr} 是等於供應電壓 V_{cc} 之半。電壓 $V_{cc}/2$ 因此產生於輸出節點。但是，所需的 DRAM 需

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

要減低的電力消耗。分壓電阻器 R6 和 R7 所需的電力消耗因此必須儘可能小。結果，分壓電阻器 R6 和 R7 之電阻必須被大幅地增加，並且所有的時間流動經由分壓電阻器 R6 和 R7 之電流必須被大幅地抑制。但是，當分壓電阻器 R6 和 R7 之電阻大幅地增加時，DRAM 的供應電壓開始特性降低。關於 DRAM，需要保證在經過所給予的時間之後(例如，200 微秒)DRAM 正常地操作，因為 DRAM 被供電(亦即，DRAM 具有優越的開始/響應特性)。

對於第 6 圖中展示的固定電壓產生電路，吾人試圖改進 DRAM 的開始/響應特性。明確地說，利用 NMOS 電晶體製作的一組第一輸出電晶體 Q3，以及利用 PMOS 電晶體(p-通道 MOS 電晶體)製作的一組第二輸出電晶體 Q4 被以互補電晶體型式連接至分壓電阻器 R6 和 R7 之間節點。在這情況中，第一輸出電晶體 Q3 和第二輸出電晶體 Q4 被連接在高電壓電源供應和低電壓電源供應之間成為互補電晶體。第一輸出電晶體 Q3 和第二輸出電晶體 Q4 之源極連接到一組共同輸出節點。因此，一組源極-追隨器型式電源供應電路被組態。

進一步地，第 6 圖中展示的固定電壓產生電路中，NMOS 電晶體 Q1 之吸極連接到第一輸出電晶體 Q3 之閘極(節點 N3)。PMOS 電晶體 Q2 之吸極連接到第二輸出電晶體 Q4 之閘極(節點 N4)。進一步地，NMOS 電晶體 Q1 之吸極經由高電阻值電阻器 R4 連接到高電壓電源供應，而 PMOS 電晶體 Q2 之吸極經由高電阻值電阻器 R5 連接到低電壓電源供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

應。

進一步地，第 6 圖中展示的固定電壓產生電路中，彼此串列連接之三組分壓電阻器 $R1$ ， $R2$ ，和 $R3$ 被使用以產生內部供應電壓 V_{int} (例如，高位準供應電壓 V_{cc})之分量。因此，兩組不同位準之參考電壓被產生。尤其是，一組參考電壓是產生於在分壓電阻器 $R1$ 和分壓電阻器 $R2$ 之間接點的節點 $N1$ 。參考電壓被施加至 PMOS 電晶體 $Q2$ 之源極。另一方面，另一組參考電壓產生於在分壓電阻器 $R2$ 和分壓電阻器 $R3$ 之間接點之節點 $N2$ 。參考電壓施加至 NMOS 電晶體 $Q1$ 之源極。在這情況中，產生於節點 $N1$ 之參考電壓被設定為稍微地較高於供應電壓 V_{cc} 之半的位準。產生於節點 $N2$ 之參考電壓被設定為稍微地低於供應電壓 V_{cc} 之半的位準。稍後將參看第 10 和 11 圖中所展示實施例加以說明之這兩組參考電壓被設定以便定義其中固定電壓產生電路無反應於在輸出節點所產生電壓 $V_{pr}(V_{cc}/2)$ 之浮動的一種死亡區域。這是有意防止第一和第二輸出電晶體 $Q3$ 和 $Q4$ 同時地成為操作狀態。當第一和第二電晶體 $Q3$ 和 $Q4$ 同時地成為操作狀態時，一組滲透電流經由第一和第二輸出電晶體 $Q3$ 和 $Q4$ 從高電壓電源供應流至低電壓電源供應。

此處，產生於節點 $N2$ 之參考電壓經由 NMOS 電晶體 $Q1$ 被施加至第一輸出電晶體 $Q3$ 之閘極。因為第一輸出電晶體 $Q3$ 操作如同一組源極追隨器，大致地等於電壓 $V_{cc}/2$ 之輸出電壓 V_{pr} 產生於輸出節點。另一方面，產生於節點 $N1$ 之參考電壓經由 PMOS 電晶體 $Q2$ 被施加至第二輸出電晶體 $Q4$

五、發明說明 (11)

之閘極。因為第一輸出電晶體 Q4 操作如同一組源極追隨器，大致地等於電壓 $V_{cc}/2$ 之電壓產生於輸出節點。

進一步地，第 6 圖中展示的固定電壓產生電路中，當在輸出節點之輸出電壓 V_{pr} 位準下降在預定值之下時，在 NMOS 電晶體之第三輸出電晶體 Q3 的閘極和源極之間電壓成爲一種操作狀態。結果，第三輸出電晶體 Q3 被導通。高電壓電源供應和輸出節點接著被第三輸出電晶體 Q3 聯通。在輸出節點之電壓因此被控制上升，以至於在輸出節點之輸出電壓 V_{pr} 將成爲大致地等於 $V_{cc}/2$ 。另一方面，當在輸出節點之輸出電壓 V_{pr} 位準成爲比 $V_{cc}/2$ 較高預定值時，在 PMOS 電晶體之第四輸出電晶體 Q4 的閘極和源極之間電壓上升。第四輸出電晶體 Q4 接著被導通。結果，低電壓電源供應和輸出節點被第四輸出電晶體 Q4 聯通。這導致在輸出節點之電壓下降。在輸出節點之輸出電壓 V_{pr} 成爲幾乎等於 $V_{cc}/2$ 。

如上所述，在包含一組 DRAM 的習見半導體積體電路中，一組源極追隨器型式電源供應電路被使用以產生對應至供應電壓 V_{cc} 之一半的電壓。如第 6 圖中所展示之源極追隨器型式電源供應電路(第一和第二輸出電晶體 Q3 和 Q4)包含操作如同一組源極追隨器之 MOS 電晶體。但是，最近，傾向於要求 DRAM 以儘可能低的供應電壓操作，例如，等於或者低於 2V 之供應電壓。在 MOS 電晶體之閘極和源極之間的臨限電壓 V_{th} 被採用於源極追隨器型式電源供應電路中，亦即，允許電流經由 MOS 電晶體之源極和吸極流動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

所需的最小臨限電壓是約 0.5V。被輸入至第一和第二輸出電晶體 Q3 以及操作如源極追隨器之 Q4 的參考電壓經由 NMOS 電晶體 Q1 和 PMOS 電晶體 Q2 而供應。

此處，假設施加在第一輸出電晶體 Q3 的閘極和源極之間的電壓是 $V_{GS}(Q3)$ 並且施加在第二輸出電晶體的閘極和源極之間的電壓是 $V_{GS}(Q4)$ 。進一步地，假設在節點 N1 之參考電壓是 $V(N1)$ 並且在節點 N2 之參考電壓是 $V(N2)$ 。進一步地，假設在 NMOS 電晶體 Q1 的閘極和源極之間的臨限電壓是 $V_{th}(Q1)$ 並且在 PMOS 電晶體 Q2 的閘極和源極之間的臨限電壓是 $V_{th}(Q2)$ 。

在這情況中，施加在第一輸出電晶體 Q3 的閘極和源極之間的電壓 $V_{GS}(Q3)$ 對應至，從利用將在節點 N2 約為 V_{int} 之參考電壓和在 NMOS 電晶體 Q1 的閘極和源極之間的臨限電壓 $V_{th}(Q1)$ 相加得到之值，減去在輸出節點之輸出電壓 $V_{pr}(=V_{int}/2)$ 所產生的電壓。另一方面，施加在第二輸出電晶體 Q4 的閘極和源極之間的電壓 $V_{GS}(Q4)$ 對應至，從在輸出節點之輸出電壓 $V_{pr}(=V_{int}/2)$ ，利用減去從節點 N1 約為 $V_{int}/2$ 之參考電壓減去在 PMOS 電晶體 Q2 的閘極和源極之間的臨限電壓 $V_{th}(Q2)$ 所得到之差值被產生的電壓。上述關係可以下面的方程式 (1) 和 (2) 表示。

$$V_{GS}(Q3) = (V(N2) + V_{th}(Q1)) - V_{pr}(=V_{int}/2) \quad (1)$$

$$V_{GS}(Q4) = V_{pr}(=V_{int}/2) - (V(N1) - V_{th}(Q2)) \quad (2)$$

假定內部供應電壓 V_{int} 是一組供應電壓 V_{cc} 並且這供應電壓 V_{cc} 成為 2V 或者低於 2V，臨限電壓 V_{th} 之和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

($V_{th}=0.5V+\alpha$ ，其中 α 是由於反向偏壓 V_{th} 被增加之增量，並且是約為 $0.2V$)接近供應電壓 V_{cc} 之半位準(此處，在輸出節點之輸出電壓 $V_{pr}=V_{cc}/2<1.0V$)以至於臨限電壓之和是大致地等於供應電壓之一半的位準。因此，從上面方程式(1)和(2)可知，在第6圖中展示各第一輸出電晶體 $Q3$ 和第二輸出電晶體 $Q4$ 的閘極和源極之間的電壓因此無法充分地較高於臨限電壓 V_{th} 。輸出電晶體 $Q3$ 和 $Q4$ 因此不易以源極追隨器而穩定地操作。

上述反向偏壓效應是導自依據在源極和反向閘極之間的電壓在MOS電晶體之臨限電壓 V_{th} 之變化。尤其是，操作如源極追隨器之MOS電晶體之臨限電壓依據輸出電壓變化。臨限電壓因此實際上稍微較高於如上所述之 $0.5V$ 。

結果，當一組供應電壓成為較低於 $2V$ 時，第6圖中展示固定電壓產生電路中之輸出電晶體 $Q3$ 和 $Q4$ 無法完全地施加操作如源極追隨器所必須的驅動能力。這導致無法穩定地達成用以產生將位元線預充電之電壓或者施加至記憶體記憶胞中記憶胞電容器之記憶胞平板節點之電壓的電路操作問題。

本發明試圖解決上述問題。本發明之一目的在提供一種半導體積體電路，其能穩定地產生用以將位元線預充電之電壓或者施加至記憶體記憶胞中記憶胞電容器之記憶胞平板節點之電壓，即使當供應電壓被降低時亦然。

為解決上述問題，依據本發明產生所給予的輸出電壓之一組半導體積體電路包含一組第一運算放大器和一組第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

二運算放大器，用以檢測在施加至一組輸入端點的電壓和至少一組參考電壓之間電壓差量；以及一組第一電晶體和一組第二電晶體，其依據從第一和第二運算放大器輸出的電壓位準而被導通或者切斷。

在此一組態中，第一運算放大器在其輸入端點接收之一組輸出電壓，當該輸出電壓位準成為低於至少一組參考電壓時，第一運算放大器允許第一電晶體操作以提昇輸出電壓，並且第二運算放大器在輸入端點接收該輸出電壓，當該輸出電壓位準超出至少一組參考電壓時，第二運算放大器允許第二電晶體操作以降低輸出電壓。

進一步地，依據本發明之第一論點，該第一和第二運算放大器分別地包含一組第一電流鏡電路和一組第二電流鏡電路，並且各該第一和第二運算放大器分別地連接到作用如同一組差分放大器之一對電晶體；該參考電壓被施加至各該第一和第二運算放大器中該組對的電晶體之一的閘極，並且該輸出電壓被施加至該組對的電晶體之另一電晶體的閘極，並且在各該第一和第二運算放大器之一組輸出端點的電壓從該組對的電晶體之一的吸極被輸出。

進一步地，該第一電晶體之閘極連接到該第一運算放大器之該輸出端點，並且其源極和吸極分別地連接到提供較高於參考電壓之電壓的一組第一電源供應以及一組共同節點；該第二電晶體之閘極連接到該第二運算放大器之該輸出端點，並且其吸極和源極分別地連接到該共同節點以及提供低於參考電壓之電壓的一組第二電源供應；並且該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

共同節點輸出該輸出電壓，並且連接到各該第一和第二運算放大器中該組對的電晶體之另一電晶體的閘極。

進一步地，依據本發明之第二論點，該半導體積體電路進一步地包含用以移動該輸出電壓位準之調整電阻器；並且其中該共同節點經由該調整電阻器連接到各該第一和第二運算放大器中該組對的電晶體之另一電晶體的閘極。

進一步地，依據本發明之第三論點，該參考電壓包含具有互相不同位準的第一參考電壓和第二參考電壓，並且該第一參考電壓施加至該第一運算放大器中該組對的電晶體之一，並且該第二參考電壓施加至該第二運算放大器中該組對的電晶體之一。

進一步地，依據本發明之第三論點，該半導體積體電路進一步地包含用以移動該輸出電壓位準之調整電阻器；並且其中該共同節點經由該調整電阻器連接到各該第一和第二運算放大器中該組對的電晶體之另一電晶體的閘極；並且該第一參考電壓位準是永遠被設定為較小於第二參考電壓之值。

進一步地，最好是，在依據本發明之半導體積體電路中，各該第一和第二運算放大器中該組對的電晶體是一種第一傳導型式電晶體；並且該第一電晶體是一種第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

進一步地，最好是，在依據本發明的半導體積體電路中，一組滲透電流抑制二極體被介入於該第二電晶體和第二電源供應之間。

五、發明說明(16)

進一步地，最好是，依據本發明之半導體積體電路中，該第一電流鏡電路中該組對的電晶體是一種第一傳導電晶體型式，並且該第二電流鏡電路中該組對的電晶體是一種第二傳導型式電晶體；該第一電晶體是該等第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

當該第一電晶體操作時，該第二運算放大器控制該第二電晶體至一種非操作狀態，並且因此防止滲透電流經由該第一電晶體和第二電晶體從該第一電源供應流動至該第二電源供應。

進一步地，最好是，依據本發明之固定電壓產生電路包含用以提供一組參考電壓之一組參考電壓產生電路；用以提供一組輸出信號之一組輸出端點；用以反應於在該參考電壓和該輸出電壓之間電壓差量而輸出一組第一控制信號和一組第二控制信號之一組第一檢測電路和一組第二檢測電路；配置在一組第一電壓供應源和該輸出端點之間的一組第一電晶體，其傳導性是利用該第一控制信號加以控制；以及配置在該輸出端點和一組第二電壓供應源之間的一組第二電晶體，其傳導性是利用該第二控制信號加以控制。

進一步地，最好是，依據本發明之固定電壓產生電路中，各該第一和第二檢測電路包含：一對的電晶體，其閘極接收該輸入信號，並且其吸極共同地耦合至該第二電壓供應源極；以及配置在該第一電壓供應源和該組對的電晶體之間的一組電流鏡電路；並且其中該第一和第二控制信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

號分別地從在對應的該電流鏡電路和對應的該組對電晶體之間連接節點被輸出。

進一步地，最好是，依據本發明之固定電壓產生電路進一步地包含配置在該第一和第二檢測電路之該輸出端點和輸入端點之間的一組電壓移位電路。

進一步地，最好是，依據本發明之固定電壓產生電路中，該參考電壓產生電路提供具有不同電壓的第一和第二參考電壓，並且該第一檢測電路是反應於該第一參考電壓，並且該第二檢測電路是反應於該第二參考電壓。

進一步地，最好是，依據本發明之固定電壓產生電路中，各該第一和第二檢測電路包含：一組電流鏡電路，其耦合至該第一電壓供應源，用以分別地接收該參考電壓和該輸出信號；並且其中該第一和第二控制信號分別地從在該第一電壓供應源和該電流鏡電路之間連接節點被輸出。

進一步地，依據本發明之固定電壓產生電路中，該第一檢測電路中該組對的電晶體是 NMOS 電晶體，並且該第二檢測電路中該組對的電晶體是 PMOS 電晶體。

進一步地，依據本發明之固定電壓產生電路中，該輸出端點被耦合至一組動態隨機存取記憶體中至少一組位元線和記憶胞電容器。

進一步地，最好是，依據本發明之固定電壓產生電路中，該輸出信號具有在該第一和第二電壓供應源之間電壓之一半的電壓。

依據本發明之半導體積體電路，第一電晶體和第二電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

晶體之閘極(在此之後，第一電晶體和第二電晶體將分別地被稱為第一輸出電晶體和第二輸出電晶體，以便利說明)分別地被連接到包含於第一運算放大器和第二運算放大器中之電晶體的吸極。不似習見的半導體積體電路，第一和第二輸出電晶體如同源極追隨器操作。假定參考電壓幾乎等於供應電壓之半，則在第一運算放大器中電晶體閘極和源極之間的臨限電壓，允許電流流動經由這電晶體之源極和吸極的所需最小電壓，從參考電壓被減去。利用上述減法得到的結果電壓被第一運算放大器放大，並且輸入至第一輸出電晶體。對照之下，假定參考電壓幾乎等於供應電壓之半，則在第二運算放大器中電晶體的閘極和源極之間的臨限電壓，允許電流流動經由這電晶體之源極和吸極的所需最小電壓，是從參考電壓被減去。利用上述減法得到的結果電壓被第二運算放大器放大，並且輸入至第二輸出電晶體。

在本發明之半導體積體電路中，與任何習見的半導體積體電路中情況比較，在運算放大器中 MOS 電晶體的閘極和源極之間臨限電壓對於輸出電壓所給予的影響是相對地小。即使當供應電壓是 2V 或者低於 2V 時，第一和第二輸出電晶體仍然穩定地操作。這使輸出電晶體之操作邊限增加。

因此，在本發明之半導體積體電路中，即使當供應電壓被降低時，輸出電晶體的驅動能力可完全地施加。因此可穩定地產生使用以將位元線預充電之電壓或者施加至記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

憶體記憶胞中記憶胞電容器之記憶胞平板節點的電壓。

本發明之上述目的和特點將可參考附圖從下面較佳實施例的說明而更明顯，其中：

第 1 圖是展示一組典型的 DRAM 之外型組態的方塊圖；

第 2 圖是展示第 1 圖中一組感應放大器的位元線預充電電路之範例組態電路圖；

第 3 圖是展示第 1 圖中記憶體記憶胞陣列中記憶體記憶胞之範例組態的電路圖；

第 4 圖是指示當位元線以對應至供應電壓之半的電壓被預充電時在位元線之電位變化時序圖；

第 5 圖是指示當位元線以供應電壓被預充電時在位元線之電位變化時序圖；

第 6 圖是展示包含習見的固定電壓產生電路之一組半導體積體電路之範例組態的電路圖；

第 7 圖是展示依據本發明原理的基本實施例組態之電路圖；

第 8 圖是展示本發明第一較佳實施例之組態的電路圖；

第 9 圖是展示本發明第二較佳實施例之組態的電路圖；

第 10 圖是展示本發明第三較佳實施例之組態的電路圖；

第 11 圖是展示被採用於第 10 圖中實施例之參考電壓產生電路範例的電路圖；

第 12 圖是展示本發明第四較佳實施例之組態的電路圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(ㄟ)

第 13 圖是展示本發明第五較佳實施例之組態的電路圖；以及

第 14 圖是展示本發明第六較佳實施例之組態的電路圖。

接著參看至附加圖形(第 7 至 14 圖)，下面將說明本發明的基本實施例和較佳實施例。

第 7 圖是展示依據本發明原理的基本實施例組態之方塊圖。此處，將展示本發明之半導體積體電路組態具有產生固定電壓之能力。

依據第 7 圖中展示基本實施例的半導體積體電路包含一組第一運算放大器 1 和一組第二運算放大器 2。第一運算放大器 1 放大在第一輸入電壓 V_{in1} 和參考電壓 V_{ref} 之間的電壓差量，並且輸出第一組被放大電壓 V_{out1} 。第二運算放大器 2 放大在第二輸入電壓 V_{in2} 和參考電壓 V_{ref} ，之間電壓差量並且輸出第二組被放大電壓 V_{out2} 。

進一步地，第 7 圖中展示的基本實施例之半導體積體電路包含一組第一輸出電晶體 3 和一組第二輸出電晶體 4。第一輸出電晶體 3 依據從第一運算放大器 1 輸出之第一被放大電壓 V_{out1} 位準而被導通或者切斷。第一輸出電晶體 3 因此調整有意的輸出電壓(例如，對應至供應電壓 V_{cc} 之半的固定電壓) V_{pr} 之位準，並且輸出結果輸出電壓 V_{pr} 。第二輸出電晶體 4 依據從第二運算放大器 2 輸出之第二被放大電壓 V_{out2} 位準而被導通或者切斷。第二輸出電晶體 4 因此調整輸出電壓 V_{pr} 的位準，並且輸出結果輸出電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (>1)

V_{pr} 。進一步地，從第一或者第二輸出電晶體 3 或者 4 輸出的輸出電壓 V_{pr} 經由其吸極回饋至各第一運算放大器 1 和第二運算放大器 2 之一組輸入端點。

進一步地，在第 7 圖中，第一輸出電晶體 3 是利用一組 PMOS 電晶體製作，而第二輸出電晶體 4 是利用一組 NMOS 電晶體製作。第一輸出電晶體 3 的源極連接到提供較高於參考電壓 V_{ref} 之供應電壓 V_{cc} 之第一電源供應(亦即，第一電壓供應源)。第一輸出電晶體 3 之吸極連接到經由該處輸出該輸出電壓 V_{pr} 之一組共同節點。第二輸出電晶體 4 之源極連接到提供低於參考電壓 V_{ref} 之供應電壓 $V_{ss}(=0V)$ 之第二電源供應(亦即，第二電壓供應源)。第二輸出電晶體 4 之吸極連接到該共同節點，並且其閘極連接到第二運算放大器 4 之輸出端點。

在第 7 圖展示的電路中，輸出電壓 V_{pr} (亦即，經由共同節點回饋至第一運算放大器 1 之一組輸入端點的電壓)被施加至共同節點。當輸出電壓 V_{pr} 成為低於參考電壓 V_{ref} 時，第一運算放大器 1 輸出一組被放大的 "L" 位準電壓。當輸出電壓 V_{pr} 成為較高於參考電壓 V_{ref} 時，第一運算放大器 1 輸出一組被放大的 "H" 位準電壓。被放大的 "L" 位準或者 "H" 位準電壓被施加至 PMOS 電晶體 3 之閘極。當被放大的 "L" 位準電壓被施加時，亦即，當輸出電壓 V_{pr} 是低於參考電壓 V_{ref} 時，利用 PMOS 電晶體製作的第一輸出電晶體 3 被導通。這導致輸出電壓 V_{pr} 上升直至輸出電壓成為等於參考電壓 V_{ref} 位準為止。此時，因為被放大的 "L" 位準電壓，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (>>)

利用 NMOS 電晶體製作的第二輸出電晶體 4 被切斷。

對照之下，當被放大的 "H" 位準電壓被施加時，亦即，當輸出電壓 V_{pr} 是較高於參考電壓 V_{ref} 時，利用 NMOS 電晶體製作的第二輸出電晶體 4 被導通。這導致輸出電壓 V_{pr} 被降低直至輸出電壓成為等於參考電壓 V_{ref} 位準為止。此時，因為被放大的 "H" 位準電壓，利用 PMOS 電晶體製作的第二輸出電晶體 3 被切斷。換言之，上述第一和第二運算放大器作用如檢測電路而用以檢測在參考電壓 V_{ref} 和輸出電壓 V_{pr} 之間差量。

在上述的基本實施例中，在運算放大器中 MOS 電晶體的閘極和源極之間的臨限電壓對於輸出電壓之影響成為小於任何習見的半導體積體電路。即使當供應電壓下降時(例如，供應電壓成為等於或者低於 2V)，第一和第二輸出電晶體之驅動能力可被完全地施加。因此可穩定地產生對應至供應電壓 V_{cc} 之半的固定電壓。

第 8 圖是展示本發明第一較佳實施例之組態的電路圖。所展示者僅是關於本發明之半導體積體電路中一組固定電壓產生電路之組態。在此之後，相同參考號碼將指示先前說明的相同構件。

第 8 圖展示的實施例中，依據本發明之一組第一運算放大器 1(參看第 7 圖)是利用一組第一電流鏡電路 10a 之運算放大器而製作用以放大在一組輸入電壓和參考電壓 V_{ref} 之間的電壓差量。依據本發明之一組第二運算放大器 2 是利用第二電流鏡電路 10b 之運算放大器而製作用以放大在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (>)

輸入電壓和參考電壓 V_{ref} 之間電壓差量。第一電流鏡電路 10a 之運算放大器和第二電流鏡電路 10b 之運算放大器具有相同電路組態。

在第 8 圖中，第一電流鏡電路 10a 之運算放大器包含組對的 NMOS 電晶體 12 和 13，一組 NMOS 電晶體 14，以及兩組 PMOS 電晶體 10 和 11。此處，組對的 NMOS 電晶體 12 和 13 功能如同一組差分放大器。NMOS 電晶體 14 功能如同整個電流鏡電路之運算放大器之一組電流源。彼此以電流鏡連接形式連接的 PMOS 電晶體 10 和 11 被使用以調整理動進入組對的 NMOS 電晶體 12 和 13 之一，亦即，NMOS 電晶體 12，之一組電流(亦即，這些 PMOS 電晶體 10 和 11 構成一組第一電流鏡電路)。另一方面，第二電流鏡電路 10b 包含組對的 NMOS 電晶體 17 和 18，一組 NMOS 電晶體 19，和兩組 PMOS 電晶體 15 和 16。組對的 NMOS 電晶體 17 和 18 功能如同一組差分放大器。NMOS 電晶體 19 功能如同整個電流鏡電路之運算放大器之一組電流源。彼此以電流鏡連接形式連接的兩組 PMOS 電晶體 15 和 16 被使用以調整理動進入組對的 NMOS 電晶體 17 和 18 之一，亦即，NMOS 電晶體 17，之一組電流(亦即，這些 PMOS 電晶體 15，16 構成一組第二電流鏡電路)。

在第 8 圖中，參考電壓 V_{ref} 施加至第一電流鏡電路 10a 之運算放大器中組對的 NMOS 電晶體 12 和 13 之一的閘極，亦即，至 NMOS 電晶體 12 之閘極。在輸出電壓 V_{pr} (例如，對應至供應電壓 V_{cc} 之半的電壓)和參考電壓 V_{ref} 之間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 12 之吸極被輸出。組對的 NMOS 電晶體 12 和 13 之一的 NMOS 電晶體 12 之吸極連接到 PMOS 電晶體之第一輸出電晶體 21a 的閘極。第一輸出電晶體 21a 具有如同第 7 圖中所展示第一輸出電晶體 3 之大致地相同功能。

在第 8 圖中，參考電壓 V_{ref} 施加至第一電流鏡電路 10a 之運算放大器中組對的 NMOS 電晶體 12 和 13 之一的閘極，亦即，至 NMOS 電晶體 12 之閘極。在輸出電壓 V_{pr} (例如，對應至供應電壓 V_{cc} 之半的電壓) 和參考電壓 V_{ref} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 12 之吸極被輸出。組對的 NMOS 電晶體 12 和 13 之一的 NMOS 電晶體 12 之吸極連接到 PMOS 電晶體的第一輸出電晶體 21a 之閘極。第一輸出電晶體 21a 具有如同第 7 圖中所展示第一輸出電晶體 3 之大致相同功能。

另一方面，參考電壓 V_{ref} 施加至第二電流鏡電路 10b 之運算放大器中組對的 NMOS 電晶體 17 和 18 之閘極，亦即，至 NMOS 電晶體 17 之閘極。此處，參考電壓 V_{ref} 是相同於上述參考電壓。在輸出電壓 V_{pr} 和參考電壓 V_{ref} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 17 之吸極被輸出。組對的 NMOS 電晶體 17 和 18 之一的 NMOS 電晶體 17 之吸極連接到 NMOS 電晶體之第二輸出電晶體 21b 的閘極。第二輸出電晶體 21b 具有如同第 7 圖中所展示第二輸出電晶體 4 之大致相同功能。

進一步地，在第 8 圖中，第一電晶體 21a 之源極連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

結果，第一輸出電晶體 21a 進入一種操作狀態(ON 狀態)並且操作以提昇輸出電壓直至輸出電壓成為等於參考電壓位準為止。

進一步地，在這情況中，在第二電流鏡電路 10b 運算放大器中另一 NMOS 電晶體 18 之閘極和源極之間電壓被降低，並且從 PMOS 電晶體 16 供應至 NMOS 電晶體 18 的電流減少。流動經過第二電流鏡電路 10b 之運算放大器的電流是利用 NMOS 電晶體 19 而決定而作用如同一組電流源。當從 PMOS 電晶體 16 供應至 NMOS 電晶體 18 的電流減少時，從 PMOS 電晶體 15 供應至 NMOS 電晶體 17 的電流增加。這導致在 NMOS 電晶體 17 的吸極電位，亦即，在 NMOS 電晶體之第二輸出電晶體 21b 之閘極電位被降低。結果，在第二輸出電晶體 21b 的閘極和源極之間的電壓成為低於臨限電壓。結果，第二輸出電晶體 21b 進入一種非操作狀態(OFF 狀態)。

對照之下，假設輸出電壓 V_{pr} 成為較高於參考電壓 V_{ref} 。在這情況中，在第二電流鏡電路 10b 之運算放大器中另一 NMOS 電晶體 18 的閘極和源極之間電壓上升。結果，從 PMOS 電晶體 16 供應至 NMOS 電晶體 18 的電流增加。從 PMOS 電晶體 15 供應至 NMOS 電晶體 17 的電流因此減少。這導致在 NMOS 電晶體 17 吸極的電位，亦即，在 NMOS 電晶體之第二輸出電晶體 21b 之閘極電位上升。結果，在第二輸出電晶體 21b 的閘極和源極之間的電壓超出臨限電壓。結果，第二輸出電晶體 21b 進入一種操作狀態(ON 狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

態)並且操作以提昇輸出電壓直至輸出電壓成為等於參考電壓位準為止。

進一步地，在這情況中，在第一電流鏡電路 10a 之運算放大器中另一 NMOS 電晶體 13 之閘極和源極之間電壓上升並且從 PMOS 電晶體 11 供應至 NMOS 電晶體 13 的電流增加。從 PMOS 電晶體 10 供應至 NMOS 電晶體 12 的電流因此減少。這導致 NMOS 電晶體 12 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 21a 的閘極電位上升。結果，在第一輸出電晶體 21a 的閘極和源極之間電壓成為低於臨限電壓。結果，第一輸出電晶體 21a 進入一種非操作狀態(OFF 狀態)。

在第一較佳實施例中，參考電壓 V_{ref} 幾乎等於供應電壓 V_{cc} 之半。在第一電流鏡電路 10a 之運算放大器中 NMOS 電晶體 12 之閘極和源極之間的臨限電壓 V_{th} 從參考電壓 V_{ref} 被減去。利用上述減法得到的結果電壓是 NMOS 電晶體 12 之輸入電壓。簡言之，輸入電壓 $V_{cc}/2$ 僅取決於一組 MOS 電晶體之臨限電壓 V_{th} 。在第一實施例中，因此，在 MOS 電晶體的閘極和源極之間的臨限電壓對於輸出電壓的影響成為小於任何習見的半導體積體電路。即使當供應電壓是等於或者低於 2V 時，第一和第二輸出電晶體仍穩定地操作。這導致輸出電晶體之操作邊限增加。

第 9 圖是展示本發明第二較佳實施例之組態的電路圖。該組態是相同於第一實施例，並且進一步地包含多數個固定電壓產生電阻器(分壓電阻器)3a，4a，和 5a。該等多數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

個電阻器 3a, 4a, 和 5a 被使用以產生低於參考電壓 V_{ref} 之輸出電壓 V_{pr} 。在第一實施例中, 當參考電壓 V_{ref} 是非常低時, 電流鏡電路之運算放大器無法操作。第 9 圖中展示的第二較佳實施例具有多數個固定電壓產生電阻器 3a 至 5a, 即使電流鏡電路之運算放大器並不操作。

第 9 圖所展示的實施例中, 第一電流鏡電路 30a 之運算放大器和第二電流鏡電路 30b 之運算放大器的組態是相同於第一實施例中電流鏡電路之運算放大器。明確地說, 依據本發明之第一運算放大器 1 是利用放大在一組輸入電壓和參考電壓 V_{ref} 之間電壓差量的第一電流鏡電路 30a 之運算放大器而製作。依據本發明之第二運算放大器是利用放大在該輸入電壓和參考電壓 V_{ref} 之間電壓差量的第二電流鏡電路 30b 之運算放大器而實現。第一電流鏡電路 30a 之運算放大器和第二電流鏡電路 30b 之運算放大器具有相同電路組態。

在第 9 圖中, 第一電流鏡電路 30a 之運算放大器包含組對的 NMOS 電晶體 32 和 33, 一組 NMOS 電晶體 34, 以及兩組 PMOS 電晶體 30 和 31。組對的 NMOS 電晶體 32 和 33 功能如同一組差分放大器。NMOS 電晶體 34 功能如同整個電流鏡電路之運算放大器的一組電流源。彼此以電流鏡連接形式連接的 PMOS 電晶體 30 和 31 被使用以調整流動進入組對的 NMOS 電晶體 32 和 33, 亦即, NMOS 電晶體 32, 之一組電流。另一方面, 第二電流鏡電路 30b 之運算放大器包含組對的 NMOS 電晶體 37 和 38, 一組 NMOS 電晶體 39,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

以及兩組 PMOS 電晶體 35 和 36。組對的 NMOS 電晶體 37 和 38 功能如同一組差分放大器。NMOS 電晶體 37 功能如同整個電流鏡電路之運算放大器之一組電流源。彼此以電流鏡連接形式連接的 PMOS 電晶體 35 和 36 被使用以調整流動進入組對的 NMOS 電晶體 37 和 38 之一，亦即，NMOS 電晶體 37，之電流。

進一步地，在第 9 圖中，參考電壓 V_{ref} 施加至第一電流鏡電路 30a 之運算放大器中組對的 NMOS 電晶體 32 和 33 之閘極，亦即，NMOS 電晶體 32 之閘極。在節點 N21 之電壓(例如，對應至供應電壓 V_{cc} 之半的電壓)以及參考電壓 V_{ref} 之間差量被放大。因此被放大的電壓經由 NMOS 電晶體 32 之吸極被輸出。組對的 NMOS 電晶體 32 和 33 之一的 NMOS 電晶體 32 之吸極連接到 PMOS 電晶體之第一輸出電晶體 22a 的閘極。第一輸出電晶體 22a 具有如同第 8 圖中所展示第一輸出電晶體 21a 之大致相同功能。

另一方面，參考電壓 V_{ref} 被施加至第二電流鏡電路 30b 之運算放大器中組對的 NMOS 電晶體 37 和 38 之一的閘極，亦即，至 NMOS 電晶體 37 閘極。此處，參考電壓 V_{ref} 是相同於上述參考電壓。在節點 N21 的電壓以及參考電壓 V_{ref} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 37 之吸極被輸出。組對的 NMOS 電晶體 37 和 38 之一的 NMOS 電晶體 37 之吸極被連接到 NMOS 電晶體之第二輸出電晶體 22b 的閘極。第二輸出電晶體 22b 具有如同第 8 圖中展示之第二輸出電晶體 21b 大致相同的功能。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

臨限電壓。結果，第二輸出電晶體 22b 進入一種操作狀態，並且操作以降低產生於節點 N21 之電壓直至這電壓成為等於參考電壓位準為止。

在這情況中，在第一電流鏡電路 30a 之運算放大器中 NMOS 電晶體 33 的閘極和源極之間電壓上升，並且從 PMOS 電晶體 31 供應至 NMOS 電晶體 33 的電流增加。從 PMOS 電晶體 30 供應至 NMOS 電晶體 32 的電流因此減少。這導致在 NMOS 電晶體 32 之吸極電位，亦即，在 PMOS 電晶體之第一輸出電晶體 22a 的閘極電位上升。結果，在第一輸出電晶體 22a 的閘極和源極之間電壓成為低於臨限電壓。結果，第一輸出電晶體 22a 進入一種非操作狀態。

在第 9 圖所展示的實施例中，彼此串列連接之三組固定電壓產生電阻器 3a，4a，和 5a 被使用以產生內部供應電壓 V_{int} 之分量。因此，具有比參考電壓 V_{ref} 較低位準之輸出電壓 V_{pr} 被產生。更明確地說，在節點 N21 之電壓是大致地等於參考電壓 V_{ref} 。此處，節點 N21 重合於提供電阻 $r1$ 之固定電壓產生電阻器 3a 以及提供電阻 $r2$ 固定電壓產生電阻器 4a 之間的接點。低於參考電壓 V_{ref} 之輸出電壓 V_{pr} 產生於共同節點 N22。共同節點 N22 重合於提供電阻 $r2$ 之固定電壓產生電阻器 4a 以及提供電阻 $r3$ 固定電壓產生電阻器 5a 之間的接點。

摘要言之，當在節點 N21 之電壓是低於參考電壓 V_{ref} 時，在第一電流鏡電路 30a 之運算放大器中 NMOS 電晶體 32 之吸極電位被降低。第一輸出電晶體 22a 因此操作以提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

昇在節點 N22 之輸出電壓。

對照之下，當在節點 N21 之電壓是較高於參考電壓 Vref 時，在第二電流鏡電路 30b 之運算放大器中 NMOS 電晶體 37 之吸極電位上升。第二輸出電晶體 22b 因此操作以降低在節點 N22 之輸出電壓。

假定節點 N21 之電壓是 Vg，利用 $V_g = V_{ref}$ 表示的關係被建立。在參考電壓 Vref 和輸出電壓 Vpr 之間的關係可利用下面的方程式(3)表示：

$$V_{pr} = r_3 \cdot V_{ref} / (r_2 + r_3) \quad (3)$$

摘要言之，依據第二實施例，第一電流鏡電路 30a 之運算放大器和第二電流鏡電路 30b 之運算放大器分別地驅動第一輸出電晶體 22a 和第二輸出電晶體 22b，以至於在節點 N21 之電壓 Vg 將等於參考電壓 Vref。此時，在節點 N21 之電壓 Vg 以及連接到共同節點 N22 之固定電壓產生電阻器 3a 至 5a 之電阻被設定為適當的位準。參考電壓 Vref 被設定為用以引動電流鏡電路之運算放大器以容易地操作之位準。此外，輸出電壓 Vpr 可以可靠地被設定為所需低於參考電壓 Vref 的位準。

第 10 圖是展示本發明第三較佳實施例之組態之一組電路圖。除了死亡區域被指定以穩定地檢測輸出電壓 Vpr 的位準之外，第三較佳實施例之半導體積體電路是相同於第二實施例。

如第 10 圖中所展示，如果共同參考電壓 Vref 被輸入至第一運算放大器和第二運算放大器，則產生一組缺點，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

就是可能有滲透電流的流動。滲透電流經由第一輸出電晶體和第二輸出電晶體而滲透。第 10 圖中展示的第三實施例試圖克服這類缺點。亦即，不同位準的第一參考電壓 V_{ref1} 和第二參考電壓 V_{ref2} 被分別地輸入至第一和第二運算放大器。當輸出電壓 V_{pr} 下降在某種位準範圍之內時，兩組輸出電晶體進入非操作狀態。為了精確地指定死亡區域，必須建立 $V_{ref1} < V_{ref2}$ 之關係。

在第 10 圖中展示的實施例中，第一電流鏡電路 40a 之運算放大器和第二電流鏡電路 40b 之運算放大器的組態是相同於第二實施例中電流鏡電路之運算放大器。明確地說，依據本發明之第一運算放大器 1 是利用放大在一組輸入電壓和第一參考電壓 V_{ref1} 之間電壓差量的第一電流鏡電路 40a 之運算放大器而製作。另一方面，依據本發明之第二運算放大器 2 是利用放大在一組輸入電壓和第一參考電壓 V_{ref2} 之間電壓差量的第二電流鏡電路 40b 之運算放大器而製作。第一電流鏡電路 40a 之運算放大器和第二電流鏡電路 40b 之運算放大器具有相同電路組態。

進一步地，在第 10 圖中，第一電流鏡電路 40a 之運算放大器包含組對的 NMOS 電晶體 42 和 43，一組 NMOS 電晶體 44，以及兩組 PMOS 電晶體 40 和 41。此處，組對的 NMOS 電晶體 42 和 43 功能如同一組差分放大器。NMOS 電晶體 44 功能如同整個電流鏡電路之運算放大器之一組電流源。彼此以電流鏡連接形式連接的 PMOS 電晶體 40 和 41 被使用以調整理動進入組對的 NMOS 電晶體 42 和 43 之一，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (75)

亦即，NMOS 電晶體 42，之電流。另一方面，第二電流鏡電路 40b 之運算放大器包含組對的 NMOS 電晶體 47 和 48，一組 NMOS 電晶體 49，以及兩組 PMOS 電晶體。此處，組對的電晶體 47 和 48 功能如同一組差分放大器。NMOS 電晶體 49 功能如同整個電流鏡電路之運算放大器的一組電流源。彼此以電流鏡連接形式連接的 PMOS 電晶體 45 和 46 被使用以調整流動進入組對的 NMOS 電晶體 47 和 48 之一，亦即，NMOS 電晶體 47，之電流。

進一步地，在第 10 圖中，第一參考電壓 V_{ref1} 施加至第一電流鏡電路 40a 之運算放大器中組對的 NMOS 電晶體 42 和 43 之一的閘極，亦即，至 NMOS 電晶體 42 的閘極。在在節點 N21 之電壓(例如，對應至供應電壓 V_{cc} 之半的電壓)以及第一參考電壓 V_{ref1} 之間的電位差量被放大。因此被放大的電壓是經由 NMOS 電晶體 42 之吸極被輸出。NMOS 電晶體 42，亦即組對的 NMOS 電晶體 42 和 43 之一，之吸極被連接到 PMOS 電晶體之第一輸出電晶體 23a 的閘極。第一輸出電晶體 23a 具有如同第 2 圖中所展示之第一輸出電晶體 21a 大致相同的功能。

另一方面，第二參考電壓 V_{ref2} 施加至第二電流鏡電路 40b 之運算放大器中組對的 NMOS 電晶體 47 和 48 之一的閘極，亦即，NMOS 電晶體 47 之閘極。在節點 N21 之電壓和第二參考電壓 V_{ref2} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 47 之吸極被輸出。進一步地，組對的 NMOS 電晶體 47 和 48 之一的 NMOS 電晶體 47 之吸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

被降低，並且從 PMOS 電晶體 41 供應至 NMOS 電晶體 43 的電流減少。流動經過第一電流鏡電路 40a 之運算放大器的電流被作用如同一組電流源之 NMOS 電晶體 44 支配。當從 PMOS 電晶體 41 供應至 NMOS 電晶體 43 的電流減少時，從 PMOS 電晶體 40 供應至 NMOS 電晶體 42 的電流增加。這導致 NMOS 電晶體 42 電位，亦即，在 PMOS 電晶體之第一輸出電晶體 23a 之閘極電位被降低。結果，在第一輸出電晶體 23a 之閘極和源極之間電壓超出臨限電壓。結果，第一輸出電晶體 23a 進入一種操作狀態，並且操作以提昇產生於節點 N22 之電壓直至這電壓成為等於第一參考電壓 V_{ref1} 之位準為止。

進一步地，在這情況中，在第二電流鏡 40b 之運算放大器中 NMOS 電晶體 48 閘極和源極之間電壓下降，並且從 PMOS 電晶體 46 供應至 NMOS 電晶體 48 的電流減少。流動經過第二電流鏡電路 40b 之運算放大器之電流是由作用如同一組電流源之 NMOS 電晶體 49 所決定。當從 PMOS 電晶體 46 供應至 NMOS 電晶體 48 之電流減少時，從 PMOS 電晶體 45 供應至 NMOS 電晶體 47 的電流增加。這導致 NMOS 電晶體之吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 23b 的閘極電位被降低。結果，在第二輸出電晶體 23b 的閘極和源極之間電壓成為低於臨限電壓。結果，第二輸出電晶體 23b 進入一種非操作狀態。

對照之下，假定在節點 N21 之電壓成為較高於第二參考電壓 V_{ref2} ，則在第二電流鏡電路 40b 之運算放大器中另

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (79)

具有如在第一參考電壓 V_{ref1} 位準和第二參考電壓 V_{ref2} 位準之間中間位準的相同位準。另一方面，位準低於中間位準之一組輸出電壓 V_{pr} 產生於與固定電壓產生電阻器 4b 和 5b 之間接點重合的共同節點 N22。

摘要言之，假定節點 N21 之電壓是低於第一參考電壓 V_{ref1} ，則第一輸出電晶體 23a 操作以降低第一電流鏡電路 40a 之運算放大器中 NMOS 電晶體 42 之吸極電位以提昇節點 N22 之輸出電壓。

對照之下，假定節點 N21 之電壓是較高於第二參考電壓 V_{ref2} ，則第二輸出電晶體 23b 操作以提昇第二電流鏡電路 40b 之運算放大器中 NMOS 電晶體 47 之吸極電位以降低節點 N22 之輸出電壓。

如先前所述，利用第一電流鏡電路 40a 之運算放大器和第二電流鏡電路 40b 之運算放大器檢測之電壓位準可以是在第一參考電壓 V_{ref1} 位準和第二參考電壓 V_{ref2} 位準之間的中間位準。在這情況中，電壓位準被認為下降在死帶之內。兩組輸出電晶體因此進入非操作狀態。

第 11 圖是展示被採用於第 10 圖中所展示實施例組態的一組參考電壓產生電路之範例電路圖。

第 11 圖中展示的參考電壓產生電路中，彼此串列連接之三組參考電壓產生電阻器(分壓電阻器)6，7，和 8 被使用以產生一組內部供應電壓 V_{int} 之分量。因此，可產生第一參考電壓 V_{ref1} 和第二參考電壓 V_{ref2} ，其永遠具有 $V_{ref1} < V_{ref2}$ 關係。明確地說，第二參考電壓 V_{ref2} 可以可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

靠地產生於參考電壓產生電阻器 6 和參考電壓產生電阻器 7 之間接點。此處參考電壓產生電阻器 6 被置放在其中最高電壓位準被檢測之位置。進一步地，低於第二參考電壓 V_{ref2} 之第一參考電壓 V_{ref1} 可靠地被產生於參考電壓產生電阻器 8 和參考電壓產生電阻器 7 之間接點。此處，參考電壓產生電阻器 8 被置放在其中最低電壓位準被檢測之位置。進一步地，參考電壓產生電阻器 6 至 8 可以利用相同材料製成(例如，利用多晶矽製成，或者可以使用擴散技術製造的電阻器製成)。在這情況中，第一參考電壓 V_{ref1} 和第二參考電壓 V_{ref2} 可對於內部供應電壓 V_{int} 以某種比率被產生而無視於溫度差量或者由於製造程序之差異。

第 12 圖是展示本發明之第四較佳實施例的組態電路圖。在第四實施例中，依據本發明之運算放大器是利用不同於第 8 至 10 圖中所展示電流鏡電路之運算放大器型的任何運算放大器而製作。

第 12 圖中展示的第四較佳實施中，三組參考電壓產生電阻器 6a，7a，和 8a 是彼此串列連接，如第 11 圖中展示的參考電壓產生電路。參考電壓產生電阻器 6a，7a，和 8a 被使用以產生一組內部供應電壓 V_{int} 之分量。因此，可產生第一參考電壓 V_{ref1} 和第二參考電壓 V_{ref2} ，其永遠具有 $V_{ref1} < V_{ref2}$ 關係。參考電壓產生電阻器 6a，7a，和 8a 具有如同第 11 圖中展示的參考電壓產生電阻器 6，7，和 8 之大致相同功能。

第 12 圖展示的實施例中，依據本發明之第一和第二運

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (ψ)

算放大器是分別地利用第一電流鏡電路 50a 之運算放大器和第二電流鏡電路 50b 之運算放大器而實現。第一電流鏡電路 50a 之運算放大器放大在一組輸入電壓和第一參考電壓 V_{ref1} 之間的電壓差量。第二電流鏡電路 50b 之運算放大器放大在該輸入電壓和第二參考電壓 V_{ref2} 之間的電壓差量。但是，第一電流鏡電路 50a 之運算放大器和第二電流鏡電路 50b 之運算放大器之各電路組態是不同於第 8 至 10 圖中展示的電流鏡電路之運算放大器的各電路組態。

進一步地，在第 12 圖中，第一電流鏡電路 50a 之運算放大器包含組對的 NMOS 電晶體 52 和 53。組對的 NMOS 電晶體 52 和 53 功能如同一組差分放大器，並且其閘極和源極以電流鏡連接型式連接在一起。NMOS 電晶體 52 和 53 分別地經由 PMOS 電晶體 50 和 51 被连接到一組第一電源供應。第一電源供應提供較高於第二參考電壓 V_{ref2} 之供應電壓 V_{cc} 。另一方面，第二電流鏡電路 50b 之運算放大器包含組對的 NMOS 電晶體 56 和 57。組對的 NMOS 電晶體 56 和 57 功能如同一組差分放大器，並且其閘極和源極以電流鏡連接型式被連接在一起。NMOS 電晶體 56 和 57 分別地經由 PMOS 電晶體 54 和 55 被连接到供應電壓 V_{cc} 之第一電源。

進一步地，在第 12 圖中，第一參考電壓 V_{ref1} 被施加至第一電流鏡電路 50a 之運算放大器中組對的 NMOS 電晶體 52 和 53 之一的源極，亦即，NMOS 電晶體 52 之源極。在輸出電壓 V_{pr} (例如，對應至供應電壓 V_{cc} 之半的電壓) 和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(ψ)

輸出電晶體 24b 之閘極的電壓位準經由第二輸出電晶體 24b 之吸極而輸出。輸出電壓 V_{pr} 回饋至 NMOS 電晶體 57。

進一步地，參看至第 12 圖，假定輸出電壓 V_{pr} 成為低於第一參考電壓 V_{ref1} ，則在第一電流鏡電路 30a 之運算放大器中另一 NMOS 電晶體 53 之源極電位下降，並且在其閘極和源極之間的電壓上升。這導致在 NMOS 電晶體 53 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 24a 的閘極電位被降低。結果，在第一輸出電晶體 24a 的閘極和源極之間電壓超出臨限電壓。結果，第一輸出電晶體 24a 進入一種操作狀態，並且操作以提昇輸出電壓。

進一步地，在這情況中，在第二電流鏡電路 50 之運算放大器中另一 NMOS 電晶體 57 的閘極和源極之間電壓上升，並且從 PMOS 電晶體供應至 NMOS 電晶體 57 之電流增加。這導致 NMOS 電晶體 57 之吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 24b 的閘極電位被降低。結果，在第二輸出電晶體 24b 的閘極和源極之間電壓成為低於臨限電壓。結果，第二輸出電晶體 24b 進入一種非操作狀態。

對照之下，假定輸出電壓 V_{pr} 成為較高於第二參考電壓 V_{ref2} ，則在第二電流鏡電路 50b 之運算放大器中另一 NMOS 電晶體 57 之源極電位上升，並且在其閘極和源極之間的電壓被降低。從 PMOS 電晶體 55 供應至 NMOS 電晶體 57 的電流因此減少。這導致 NMOS 電晶體 57 之吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 24b 之閘極電位上升。結果，在第二輸出電晶體 24b 的閘極和源極之間電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(44)

超出臨限電壓。結果，第二輸出電晶體 24b 進入一種操作狀態，並且操作以降低輸出電壓。

進一步地，在這情況中，在第一電流鏡電路 50a 之運算放大器中另一 NMOS 電晶體 53 之閘極和源極之間電壓下降，並且從 PMOS 電晶體 51 供應至 NMOS 電晶體 53 的電流減少。這導致 NMOS 電晶體 53 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 24a 之閘極電位上升。結果，在第一輸出電晶體 24a 之閘極和源極之間電壓超出臨限電壓。結果，第一輸出電晶體 24a 進入一種非操作狀態。

摘要言之，利用第一電流鏡電路 50a 之運算放大器和第二電流鏡電路 50b 之運算放大器所檢測之電壓位準可以低於第一參考電壓 V_{ref1} 。在這情況中，第一輸出電晶體 24a 操作以降低第一電流鏡電路 50a 之運算放大器中 NMOS 電晶體 53 之吸極電位以提昇輸出電壓。

對照之下，利用第一電流鏡電路 50a 之運算放大器和第二電流鏡電路 50b 之運算放大器所檢測之電壓位準可以較高於第二參考電壓 V_{ref2} 。在這情況中，第二輸出電晶體 24b 操作以提昇第二電流鏡電路 50b 之運算放大器中 NMOS 電晶體 57 之吸極電位以降低輸出電壓。

第四較佳實施例相似於第三較佳實施例。例如，當利用第一電流鏡電路 50a 之運算放大器以及第二電流鏡電路 50b 之運算放大器檢測的電壓位準是在第一參考電壓 V_{ref1} 位準和第二參考電壓 V_{ref2} 位準之間的中間位準時，電壓位準被認為下降在死亡區域之內。兩組輸出電晶體接著進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(45)

入非操作狀態。

第 13 圖是展示本發明第五較佳實施例組態的電路圖。除了如第 12 圖中展示之第四較佳實施例的相同電路組態之外，依據第五較佳實施例的半導體積體電路具有滲透電流抑制二極體 25c。除了滲透電流抑制二極體 25c 之外的電路元件是相同於第 12 圖中展示的第四較佳實施例。除了滲透電流抑制二極體 25c 之外關於電流鏡電路之運算放大器以及輸出電晶體之細節說明將被省略。

一般而言，當 NMOS 電晶體之吸極電位是高位時，其幾乎等於供應電壓 V_{cc} 位準。對照之下，當 NMOS 電晶體之吸極電位是低位時，其稍微較高於輸出電壓 V_{pr} 。

另一方面，當 PMOS 電晶體之吸極電位是高位時，其稍微低於供應電壓 V_{cc} 之位準。對照之下，當 PMOS 電晶體之吸極電位是低位時，在輸出端點之低位準是幾乎等於接地位準 (0V)。

尤其是，在第 13 圖中，即使當第二電流鏡電路 50b 之運算放大器中 NMOS 電晶體 57 進入一種非操作狀態時，NMOS 電晶體 57 之吸極電位是稍較高於輸出電壓 V_{pr} 。連接到 NMOS 電晶體 57 之吸極作為第二電流鏡 50b 之運算放大器輸出端點的第二輸出電晶體 24b 之閘極或者輸入端點的電位並未充分地被降低。結果，在第一輸出電晶體 24a 的閘極和源極之間的電壓無法成為低於臨限電壓。第二輸出電晶體 24b 無法從一種操作狀態改變至一種非操作狀態。這導致的缺點是，當第一輸出電晶體 24a 操作時，一組滲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(46)

透電流經由第一輸出電晶體 24a 和第二輸出電晶體 24b 從第一電源供應流至第二電源供應。此處，第一電源供應提供供應電壓 V_{cc} ，並且第二電源供應提供供應電壓 V_{ss} 。

第 13 圖中展示的第五較佳實施例是針對克服上述的缺點。一組滲透電流抑制二極體 25c 被介於第二輸出電晶體 24b 和第二電源供應之間。由於滲透電流抑制二極體 25c，第一輸出電晶體 24b 之源極的電位可被提昇至稍微較高於接地位準之電位。即使當第一輸出電晶體 24b 之閘極電位是稍微較高於接地位準時，在第一輸出電晶體 24b 之閘極和源極之間的電壓大致地成為低於臨限電壓。結果，第二輸出電晶體 24b 可被可靠地驅動至一種非操作狀態。

結果，當第一輸出電晶體 24a，那是一組 PMOS 電晶體，操作時，第二輸出電晶體 24b，那是一組 NMOS 電晶體，進入一種操作狀態。一組滲透電流可被防止經由第一輸出電晶體 24a 和第二輸出電晶體 24b 而從第一電源供應流動至第二電源供應。

第 14 圖是展示本發明第六較佳實施例組態之一組電路圖。在第六較佳實施例中，第二電流鏡電路 70b 之運算放大器中 PMOS 電晶體 77 之吸極被連接到 NMOS 電晶體之第二輸出電晶體 26b 的閘極。如先前所述，當一組 PMOS 電晶體進入一種非操作狀態和在其吸極之電位是低位時，該低位準幾乎等於接地位準。由於上述電路組態，當 NMOS 電晶體之第二輸出電晶體 26b 進入一種非操作狀態時，在第二輸出電晶體 26b 閘極之電位成為幾乎等於接地位準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(47)

在第一輸出電晶體 24a 之閘極和源極之間電壓成為低於臨限電壓。結果，第二輸出電晶體 26b 可靠地進入一種非操作狀態。

結果，當 PMOS 電晶體之第一輸出電晶體 26a 操作時，NMOS 電晶體之第二輸出電晶體 26b 進入一種非操作狀態。一組滲透電流可被可靠地防止經由第一輸出電晶體 26a 和第二輸出電晶體 26b 而從第一電源供應流動至第二電源供應。

接著，將說明第 14 圖中展示的較佳實施例中第一電流鏡電路 70a 之運算放大器和第二電流鏡電路 70b 之運算放大器，以及其他的相關電路元件。

在第 14 圖中展示的實施例中，第一電流鏡電路 70a 之運算放大器組態是相同於第三較佳實施例中電流鏡電路之運算放大器。但是，第二電流鏡電路 70b 之運算放大器採用，不似第三較佳實施例，作用如同一組差分放大器之 PMOS 電晶體作為組對的電晶體，以取代 NMOS 電晶體。

進一步地，在第 14 圖中，第一電流鏡電路 70a 之運算放大器包含組對的 PMOS 電晶體 72 和 73，一組 NMOS 電晶體 74，以及兩組 PMOS 電晶體 70 和 71。組對的 PMOS 電晶體 72 和 73 功能如同一組差分放大器。NMOS 電晶體 74 功能如同整個電流鏡電路之運算放大器之一組電流源。具有其閘極和源極以電流鏡連接形式連接在一起的 PMOS 電晶體 70 和 71 被使用以調流程動進入組對的 NMOS 電晶體 72 和 73 之一，亦即，NMOS 電晶體 72，之電流。另一方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(49)

一組第一電源供應。第一輸出電晶體 26a 之吸極連接到一組共同節點 N22。另一方面，第二輸出電晶體 26b 之源極連接到提供低於第一參考電壓 V_{ref1} 之供應電壓 V_{ss} 之第二電源供應。第二輸出電晶體 26b 之吸極連接到共同節點 N22。進一步地，共同節點 N22 連接到第一電流鏡電路之運算放大器中另一 NMOS 電晶體 73 的閘極，並且經由固定電壓產生電阻器 4c 和 4d 連接到第二電流鏡電路之運算放大器中另一 PMOS 電晶體 78 的閘極。一組輸出電壓 V_{pr} 依據施加至第一輸出電晶體 26a 閘極的電壓位準經由第一輸出電晶體 26a 之吸極而輸出。輸出電壓 V_{pr} 經由固定電壓產生電阻器 4d 和 4c 以及共同節點 N22 而回饋至 PMOS 電晶體 73 之閘極(節點 N21)。另一方面，一組輸出電壓 V_{pr} 依據施加至第二輸出電晶體 26b 之閘極的電壓位準經由第二輸出電晶體 26b 之吸極而輸出。輸出電壓 V_{pr} 經由固定電壓產生電阻器 4d 和 4c 以及共同節點 N22 而回饋至 PMOS 電晶體 78 之閘極。

進一步地，參看至第 14 圖，假設在節點 N21 之電壓成為低於第一參考電壓 V_{ref1} ，則在第一電流鏡電路 70a 之運算放大器中另一 NMOS 電晶體 73 之閘極和源極之間的電壓下降，並且從 PMOS 電晶體 71 供應至 NMOS 電晶體 73 之電流減少。流動經過第一電流鏡電路 70a 之運算放大器的電流被作用如同一組電流源之 NMOS 電晶體 74 支配。當從 PMOS 電晶體 71 供應至 NMOS 電晶體 73 之電流減少時，從 PMOS 電晶體 70 供應至 NMOS 電晶體 72 的電流增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

電壓。結果，第二輸出電晶體 26b 進入一種操作狀態，並且操作以降低輸出電壓 V_{pr} 。

進一步地，在這情況中，在第一電流鏡電路 70a 之運算放大器中另一 NMOS 電晶體 73 之閘極和源極之間電壓上升，並且從 PMOS 電晶體 71 供應至 NMOS 電晶體 73 的電流增加。從 PMOS 電晶體 70 供應至 NMOS 電晶體 72 的電流因此減少。這導致 NMOS 電晶體 72 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 23a 的閘極電位上升。結果，在第一輸出電晶體 26a 的閘極和源極之間電壓超出臨限電壓。結果，第一輸出電晶體 26a 進入一種非操作狀態。

進一步地，在第 14 圖中，彼此串列連接的五組參考電壓產生電阻器 6c, 6d, 7c, 8c, 和 8d 被使用以產生一組內部供應電壓 V_{int} 之分量。因此，具有 $V_{ref1} < V_{ref2}$ 關係之第一參考電壓 V_{ref1} 和第二參考電壓 V_{ref2} 被產生。尤其是，第二參考電壓 V_{ref2} 是可靠地產生於參考電壓產生電阻器 6d 和參考電壓產生電阻器 7c 之間接點。另一方面，第一參考電壓 V_{ref1} ，低於第二參考電壓 V_{ref2} ，是可靠地產生於參考電壓產生電阻器 7c 和參考電壓產生電阻器 8c 之間接點。此處，參考電壓產生電阻器 7c 被置放於其中較低電壓位準被檢測之位置。

進一步地，在第 14 圖中，彼此串列連接之四組固定電壓產生電阻器 3c, 4c, 4d, 和 5c 被使用以產生內部供應電壓 V_{int} 之分量。因此，低於第一參考電壓 V_{ref1} 之一組輸出電壓 V_{pr} 被產生。固定電壓產生電阻器 3c 至 5c 具有如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

同第 10 圖中展示之固定電壓產生電阻器 3b, 4b, 和 5b 的大致相同功能。此處, 低於第一參考電壓 V_{ref1} 之輸出電壓 V_{pr} 產生於與固定電壓產生電阻器 4d 和固定電壓產生電阻器 5c 之間接點重合之共同節點 N22。

摘要言之, 利用第一電流鏡電路 70a 之運算放大器和第二電流鏡電路 70b 之運算放大器檢測的電壓位準可以低於第一參考電壓 V_{ref1} , 在這情況中, 第一輸出電晶體 26a 操作以降低第一電流鏡電路 70a 之運算放大器中 NMOS 電晶體 72 之吸極電位以提昇在節點 N22 之輸出電壓。

對照之下, 利用第一電流鏡電路 70a 之運算放大器和第二電流鏡電路 70b 之運算放大器所檢測的電壓位準可以較高於第二參考電壓 V_{ref2} 。在這情況中, 第二輸出電晶體 26b 操作以提昇第二電流鏡電路之運算放大器中 PMOS 電晶體 77 之吸極電位以降低在節點 N22 之輸出電壓。

在第六較佳實施例中, 如第三和第四較佳實施例, 利用第一輸出電晶體 26a 和第二輸出電晶體 26b 檢測的電壓位準可以是在第一參考電壓 V_{ref1} 位準和第二參考電壓 V_{ref2} 位準之間的中間位準。在這情況中, 電壓位準被認為下降在一死帶之內。兩組輸出電晶體接著進入非操作狀態。

如上所述, 依據本發明半導體積體電路之許多典型的實施例, 第一, 在施加至一組輸入端點的電壓以及一組參考電壓之間的電壓差量被一對的運算放大器放大。輸出電晶體依據被放大的電壓位準而被導通或者切斷。輸出電晶體的輸出電壓回饋至運算放大器之輸入端點。因此, 可精

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

確地產生有意的電壓。與習見的情況比較之下，對於電晶體的閘極和源極之間臨限電壓之依賴性是相對地小。即使當供應電壓被降低時，對應至供應電壓之半的一組固定電壓可被穩定地產生。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第二，一對的運算放大器利用電流鏡電路之運算放大器而製作。電流鏡電路之運算放大器驅動輸出電晶體。即使電路組態簡單，驅動輸出電晶體之能力可在低電壓操作環境之下完全地施加。對應至供應電壓之半的固定電壓可被穩定地產生。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第三，電流鏡電路之運算放大器被允許利用允許電流鏡電路之運算放大器容易地操作之一組參考電壓而操作。低於參考電壓的所需輸出電壓因此產生。即使當供應電壓是非常低時，電流鏡電路之運算放大器可被允許穩定地操作。因此可精確地產生相對低的固定電壓。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第四，不同位準之參考電壓被輸入至一對運算放大器。一死帶被指定以檢測一組輸出電壓。因此可防止滲透電流流動進入輸出電晶體。因此保證用以產生對應至供應電壓之一半電壓之固定電壓電路的穩定操作。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第五，分壓電阻器被使用以產生兩組參考電壓作為供應電壓之分量。一組參考電壓被設定為永遠低於另一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(54)

參考電壓。一死帶被指定以檢測一組輸出電壓而無視於溫度差量或者由於製造程序引起之差異。因此保證用以產生對應至供應電壓之一半電壓之固定電壓電路的穩定操作。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第六，一組二極體被介於一組 NMOS 電晶體之輸出電晶體和一組電源供應之間。輸出電晶體可以可靠地被驅動至一種非操作狀態。可以可靠地防止滲透電流流動於兩組輸出電晶體之間。因此用以產生對應至供應電壓之一半電壓之固定電壓電路可穩定操作。

進一步地，依據本發明半導體積體電路之許多典型的實施例，第七，電流鏡電路之運算放大器中 PMOS 電晶體之一組輸出端點連接到 NMOS 電晶體之一組輸出電晶體的輸入端點。輸出電晶體可因此被可靠地驅動至一種非操作狀態。可以可靠地防止滲透電流流動於兩組輸出電晶體之間。結果，用以產生對應至供應電壓之一半電壓之固定電壓電路可穩定操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

元 件 標 號 對 照 表

1……第一運算放大器
 2……第二運算放大器
 3a,3b,3c,4a,4b,4c,4d,5a,5b,5c,6a,6b,6c,6d,
 7a,7b,7c,8a,8b,8c,8d,6,7,8……電阻器
 3,21a,22a,23a,24a,26a……第一輸出電晶體
 4,21b,22b,23b,24b,26b……第二輸出電晶體
 10a,30a,40a,50a,70a……第一電流鏡電路
 10b,30b,40b,50b,70b……第二電流鏡電路
 10,11,15,1630,31,35,36,40,41,45,
 46,50,51,54,55,70,71,77,78,79……PMOS 電晶體
 12,13,14,17,18,19,25c,32,33,34,37,38,39,42,43,44,47,
 48,49,52,53,57,58,72,73,74,75,76 ……NMOS 電晶體
 100……記憶體記憶胞陣列
 200……感應放大器
 210,220,230……位元線預充電電晶體
 300……主要放大器
 400 ……I/O 緩衝器
 500……輸入緩衝器
 600……解碼器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 半導體積體電路)

一種產生所給予輸出電壓的半導體積體電路，其包含第一和第二運算放大器，以及第一和第二電晶體。該等第一和第二運算放大器檢測在施加至一組輸入端點的電壓以及至少一組參考電壓之間的電壓差量。該等第一和第二電晶體依據從該等第一和第二運算放大器輸出的電壓位準而被導通或者切斷。該第一運算放大器在其輸入端點接收一輸出電壓。當該輸出電壓位準成為低於參考電壓時，該第一運算放大器允許第一電晶體操作以提昇該輸出電壓。對照之下，第二運算放大器在其輸入端點接收一輸出電壓。當該輸出電壓位準超出參考電壓時，該第二運算放大器允許第二電晶體操作以降低該輸出電壓。

英文發明摘要 (發明之名稱： SEMICONDUCTOR INTEGRATED CIRCUIT)

A semiconductor integrated circuit producing a given output voltage includes first and second operational amplifiers, and first and second transistors. The first and second operational amplifiers detect a voltage difference between a voltage applied to an input terminal and at least one reference voltage. The first and second transistors are turned ON or turned OFF according to the levels of voltages output from the first and second operational amplifiers. The first operational amplifier receives the output voltage at the input terminal. When the level of the output voltage becomes lower than the reference voltage, the first operational amplifier allows the first transistor to operate so as to raise the output voltage. In contrast, the second operational amplifier receives the output voltage at the input terminal. When the level of the output voltage exceeds the reference voltage, the second operational amplifier allows the second transistor to operate so as to lower the output voltage.

六、申請專利範圍

1. 一種產生給定輸出電壓的半導體積體電路，其包含：

用以檢測施加至一組輸入端點的電壓以及至少一組參考電壓之間電壓差量的一組第一運算放大器和一組第二運算放大器；以及

依據從該第一和第二運算放大器輸出之電壓位準而導通或者切斷之一組第一電晶體和一組第二電晶體；

其中該第一運算放大器在其輸入端點接收該輸出電壓，當該輸出電壓位準成為低於該至少一組參考電壓時，該第一運算放大器允許該第一電晶體操作以提昇該輸出電壓；並且

該第二運算放大器在其輸入端點接收該輸出電壓，當該輸出電壓位準超出該至少一組參考電壓時，該第二運算放大器允許該第二電晶體操作以降低該輸出電壓。

2. 依據申請專利範圍第 1 項之半導體積體電路，其中：

該第一和第二運算放大器分別地包含一組第一電流鏡電路和一組第二電流鏡電路，並且各該第一和第二運算放大器分別地連接到作用如同一組差分放大器之一對電晶體；

該參考電壓被施加至各該第一和第二運算放大器中該組對的電晶體之一的閘極，並且該輸出電壓被施加至該組對的電晶體之另一電晶體的閘極，並且在各該第一和第二運算放大器之一組輸出端點的電壓從該組對的電晶體之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的吸極被輸出；

該第一電晶體之閘極連接到該第一運算放大器之該輸出端點，並且其源極和吸極分別地連接到提供較高於參考電壓之電壓的一組第一電源供應以及一組共同節點；

該第二電晶體之閘極連接到該第二運算放大器之該輸出端點，並且其吸極和源極分別地連接到該共同節點以及提供低於參考電壓之電壓的一組第二電源供應；並且

該共同節點輸出該輸出電壓，並且連接到各該第一和第二運算放大器中該組對的電晶體之另一電晶體的閘極。

3. 依據申請專利範圍第 2 項之半導體積體電路，其中該半導體積體電路進一步地包含用以移動該輸出電壓位準之調整電阻器；並且

其中該共同節點經由該調整電阻器連接到各該第一和第二運算放大器中該組對的電晶體之另一電晶體的閘極。

4. 依據申請專利範圍第 2 項之半導體積體電路，其中：

該參考電壓包含具有互相不同位準的第一參考電壓和第二參考電壓，並且該第一參考電壓施加至該第一運算放大器中該組對的電晶體之一，並且該第二參考電壓施加至該第二運算放大器中該組對的電晶體之一。

5. 依據申請專利範圍第 4 項之半導體積體電路，其中該半導體積體電路進一步地包含用以移動該輸出電壓位準之調整電阻器；並且

其中該共同節點經由該調整電阻器連接到各該第一和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第二運算放大器中該組對的電晶體之另一電晶體的閘極；並且該第一參考電壓位準是永遠被設定為較小於第二參考電壓之值。

6. 依據申請專利範圍第 2 項之半導體積體電路，其中各該第一和第二運算放大器中該組對的電晶體是一種第一傳導型式電晶體；並且該第一電晶體是一種第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

7. 依據申請專利範圍第 3 項之半導體積體電路，其中各該第一和第二運算放大器中該組對的電晶體是一種第一傳導型式電晶體；並且該第一電晶體是一種第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

8. 依據申請專利範圍第 4 項之半導體積體電路，其中各該第一和第二運算放大器中該組對的電晶體是一種第一傳導型式電晶體；並且該第一電晶體是一種第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

9. 依據申請專利範圍第 5 項之半導體積體電路，其中各該第一和第二運算放大器中該組對的電晶體是一種第一傳導型式電晶體；並且該第一電晶體是一種第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體。

10. 依據申請專利範圍第 6 項之半導體積體電路，其中一組滲透電流抑制二極體被介入於該第二電晶體和第二電源供應之間。

11. 依據申請專利範圍第 7 項之半導體積體電路，其中一組滲透電流抑制二極體被介入於該第二電晶體和第二

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

電源供應之間。

12. 依據申請專利範圍第 8 項之半導體積體電路，其中一組滲透電流抑制二極體是被介入於該第二電晶體和第二電源供應之間。

13. 依據申請專利範圍第 9 項之半導體積體電路，其中一組滲透電流抑制二極體是被介入於該第二電晶體和第二電源供應之間。

14. 依據申請專利範圍第 2 項之半導體積體電路，其中該第一電流鏡電路中該組對的電晶體是一種第一傳導電晶體型式，並且該第二電流鏡電路中該組對的電晶體是一種第二傳導型式電晶體；

該第一電晶體是該等第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體；並且

當該第一電晶體操作時，該第二運算放大器控制該第二電晶體至一種非操作狀態，並且因此防止滲透電流經由該第一電晶體和第二電晶體從該第一電源供應流動至該第二電源供應。

15. 依據申請專利範圍第 3 項之半導體積體電路，其中該第一電流鏡電路中該組對的電晶體是一種第一傳導型式電晶體，並且該第二電流鏡電路中該組對的電晶體是一種第二傳導型式電晶體；

該第一電晶體是該等第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體；並且

當該第一電晶體操作時，該第二運算放大器控制該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

用以提供一組具有一固定電壓之參考電壓之一組參考電壓產生電路；

用以提供該固定電壓產生電路之一組輸出信號之一組輸出端點；

用以反應於在該參考電壓和該輸出信號之一電壓間電壓差量而輸出一組第一控制信號和一組第二控制信號之一組第一檢測電路和一組第二檢測電路；

配置在一組較高電壓供應源和該輸出端點之間的一單一 PMOS 電晶體，其傳導性是利用該第一控制信號加以控制；以及

配置在該輸出端點和一組較低電壓供應源之間的一單一 NMOS 電晶體，其傳導性是利用該第二控制信號加以控制。

19. 一種固定電壓產生電路，其包含：

用以提供一組參考電壓之一組參考電壓產生電路；

用以提供一組輸出信號之一組輸出端點；

用以反應於在該參考電壓和該輸出信號之一電壓間電壓差量而輸出一組第一控制信號和一組第二控制信號之一組第一檢測電路和一組第二檢測電路；

配置在一組較高電壓供應源和該輸出端點之間的一 PMOS 電晶體，其傳導性是利用該第一控制信號加以控制；以及

配置在該輸出端點和一組較低電壓供應源之間的一 NMOS 電晶體，其傳導性是利用該第二控制信號加以控制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

六、申請專利範圍

其中各該第一和第二檢測電路包含：

一對的電晶體，其閘極接收該等輸入信號，並且其吸極共同地耦合至該第二電壓供應源極；以及

配置在該第一電壓供應源和該組對的電晶體之間的一組電流鏡電路；並且

其中該第一和第二控制信號分別地從在對應的該電流鏡電路和對應的該組對電晶體之間連接節點被輸出。

20. 依據申請專利範圍第 18 項之固定電壓產生電路，進一步地包含：

配置在該第一和第二檢測電路之該輸出端點和輸入端點之間的一組電壓移位電路。

21. 依據申請專利範圍第 18 項之固定電壓產生電路，其中該參考電壓產生電路提供具有不同電壓的第一和第二參考電壓，並且該第一檢測電路是反應於該第一參考電壓，並且該第二檢測電路是反應於該第二參考電壓。

22. 依據申請專利範圍第 18 項之固定電壓產生電路，其中各該第一和第二檢測電路包含：

一組電流鏡電路，其耦合至該第一電壓供應源，用以分別地接收該參考電壓和該輸出信號；並且

其中該第一和第二控制信號分別地從在該第一電壓供應源和該電流鏡電路之間連接節點被輸出。

23. 依據申請專利範圍第 19 項之固定電壓產生電路，其中該第一檢測電路中該組對的電晶體是 NMOS 電晶體，並且該第二檢測電路中該組對的電晶體是 PMOS 電晶體。

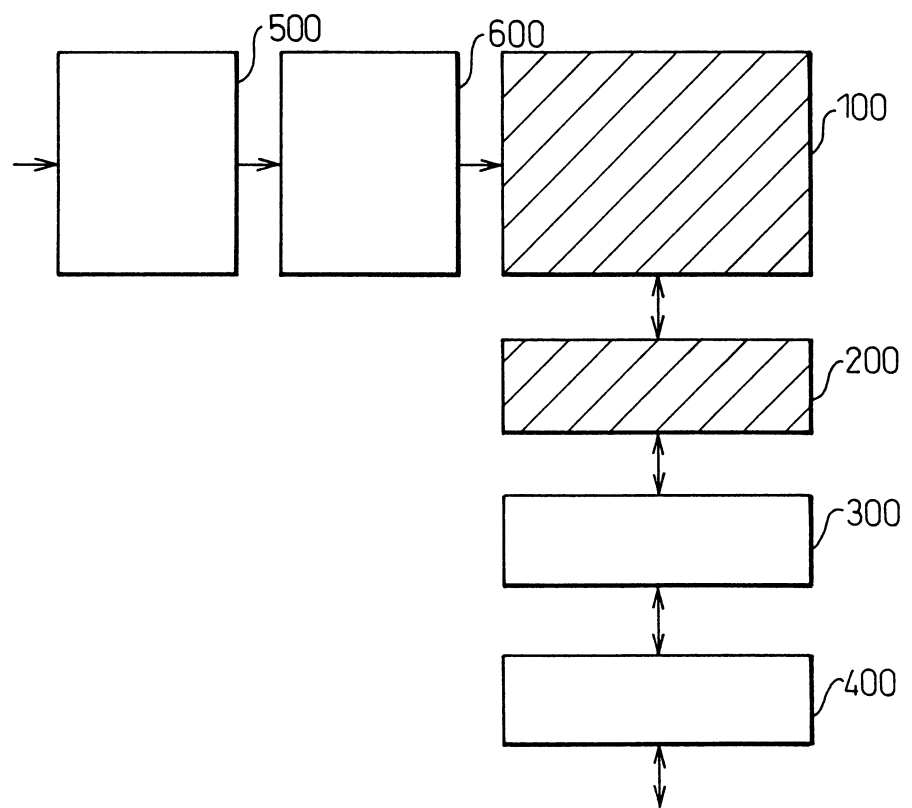
六、申請專利範圍

24. 依據申請專利範圍第 18 項之固定電壓產生電路，其中該輸出端點被耦合至一組動態隨機存取記憶體中至少一組位元線和記憶胞電容器。

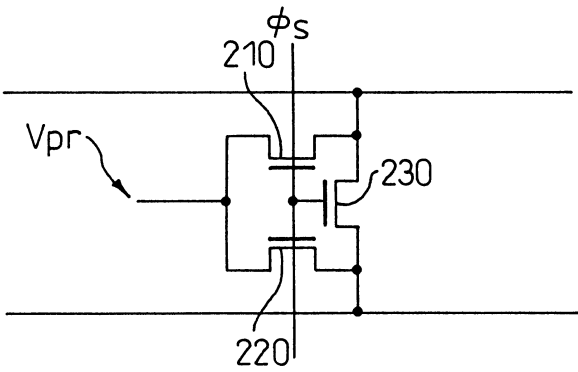
5 25. 依據申請專利範圍第 18 項之固定電壓產生電路，其中該輸出信號具有在該第一和第二電壓供應源之間電壓之一半的電壓。

裝
訂
線

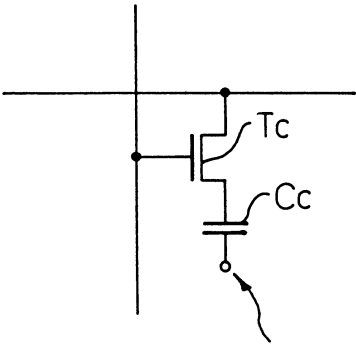
第 1 圖

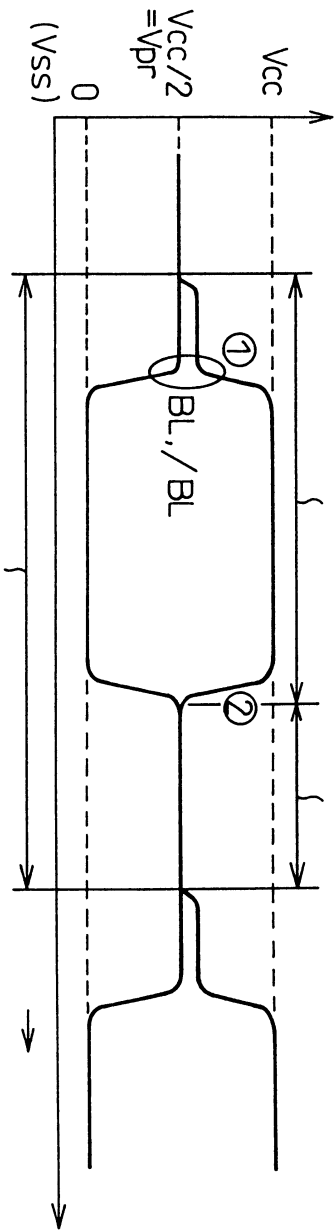


第 2 圖

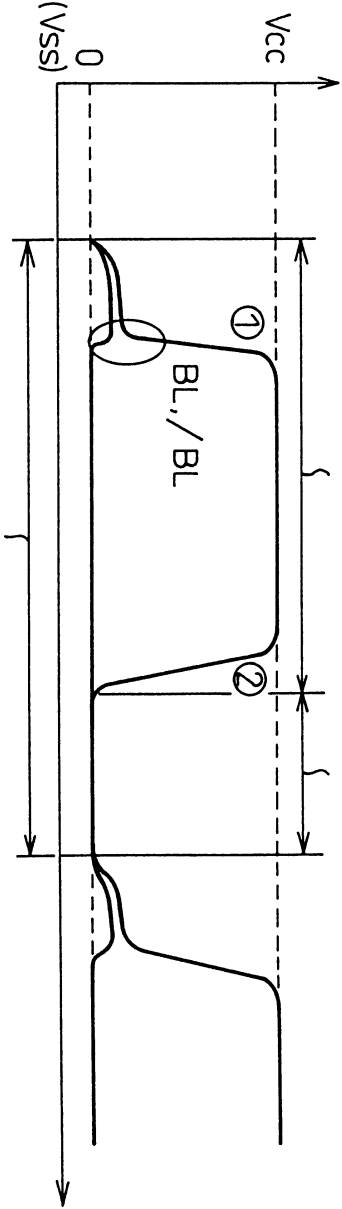


第 3 圖



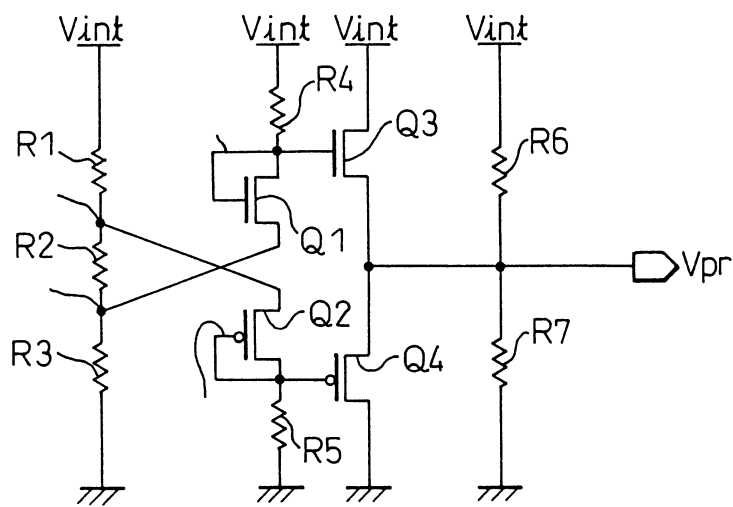


第 4 圖

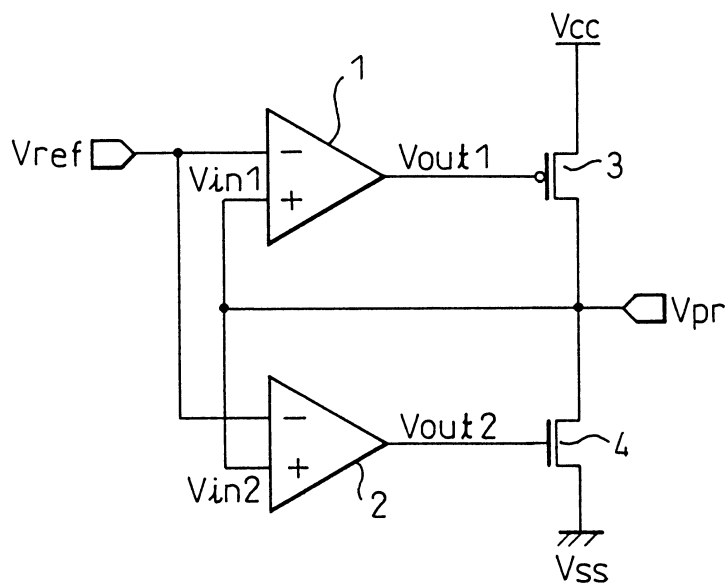


第 5 圖

第 6 圖



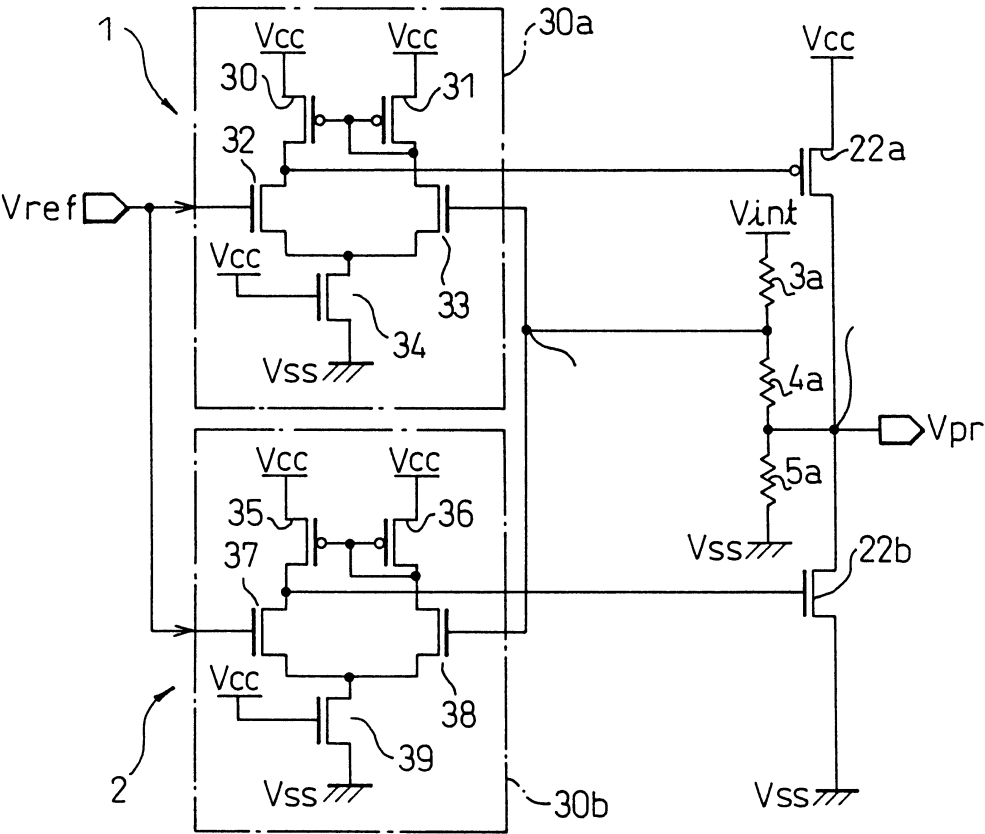
第 7 圖



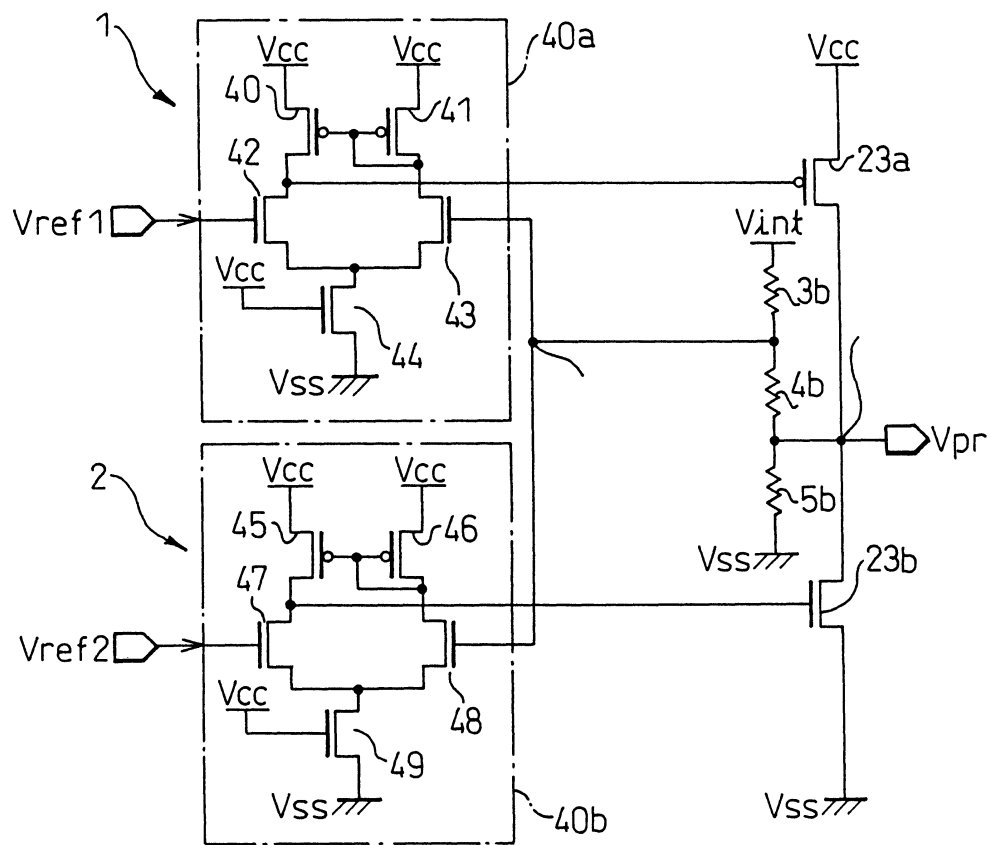
1



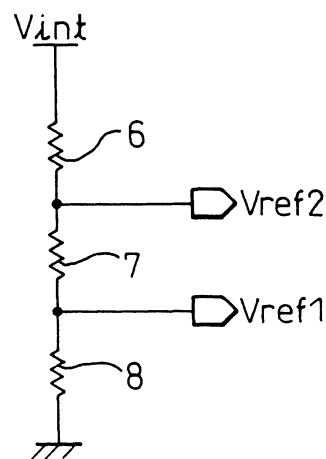
第 9 圖



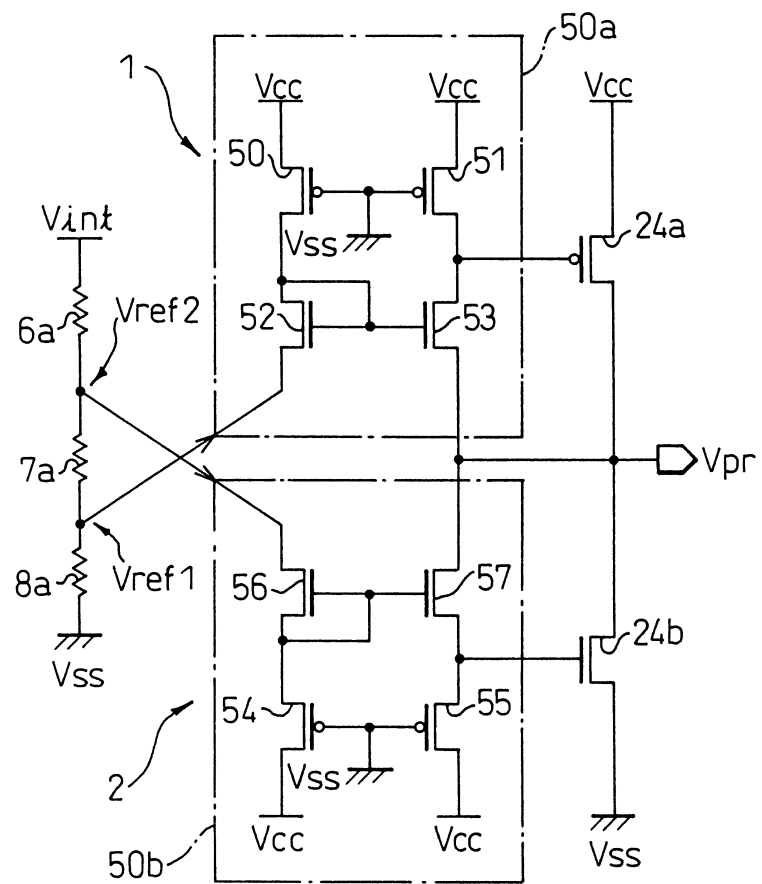
第 10 圖



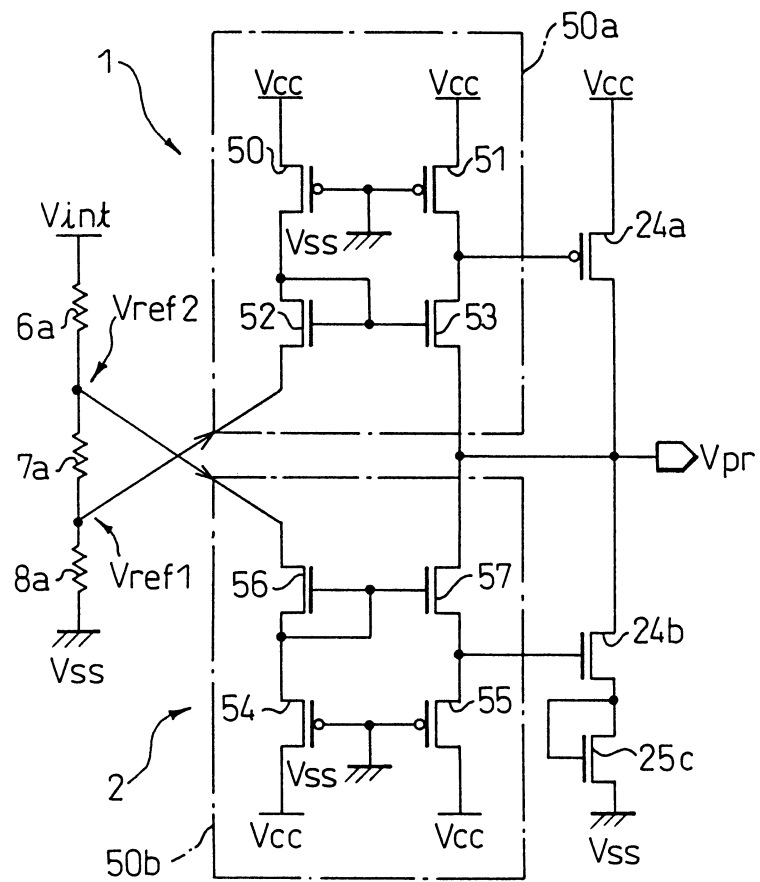
第 11 圖



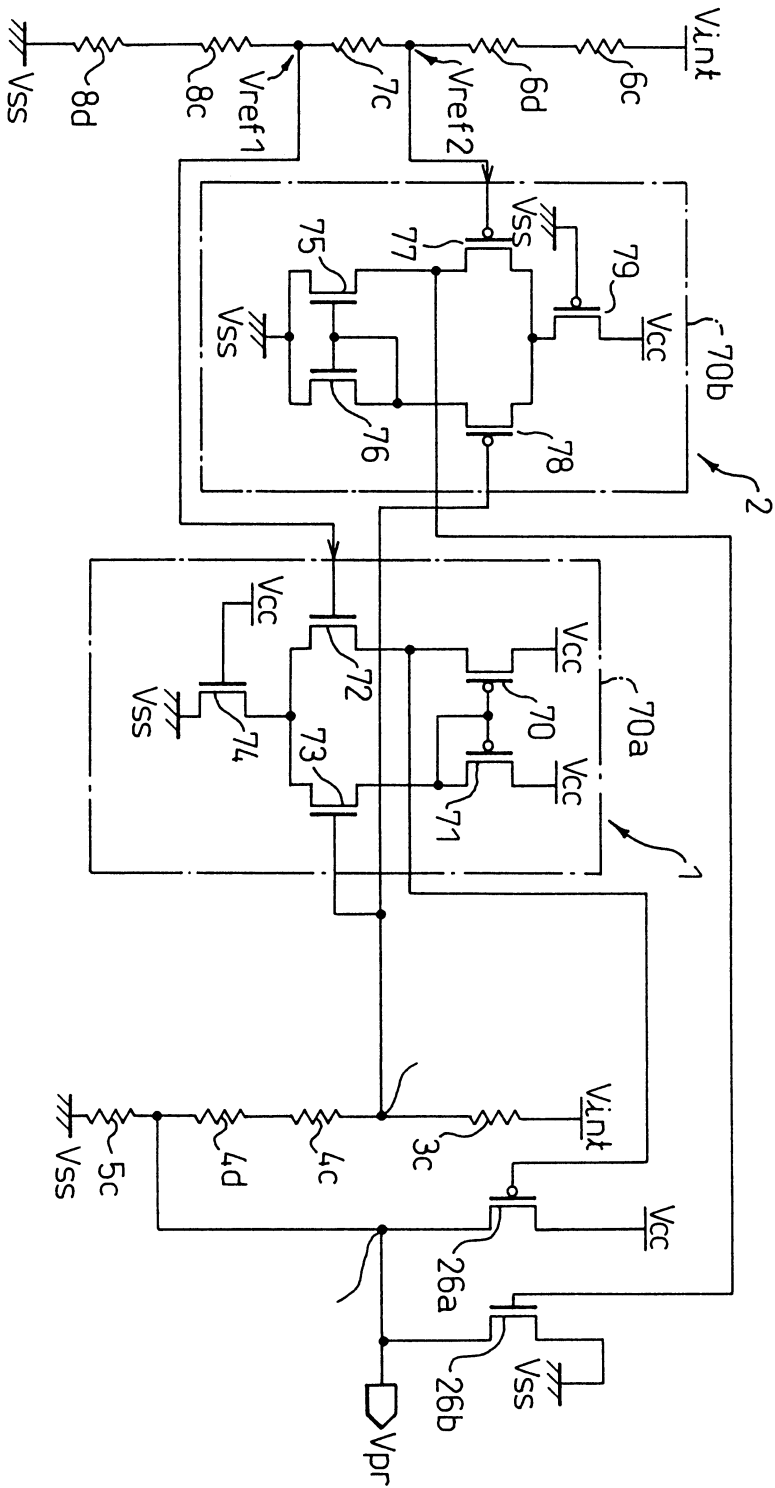
第 12 圖



第 13 圖



第 14 圖



五、發明說明(25)

修正
補充
92年2月7日

到提供較高於參考電壓 V_{ref} 之供應電壓 V_{cc} 之第一電源供應。第一輸出電晶體 21a 之吸極連接到共同節點，而第二輸出電晶體 21b 之源極連接到用以提供低於參考電壓 V_{ref} 之供應電壓 V_{ss} 的第二電源供應。第二輸出電晶體 21b 之吸極連接到共同節點。共同節點連接到第一電流鏡電路之運算放大器中 NMOS 電晶體 13 之閘極並且至第二電流鏡電路之運算放大器中 NMOS 電晶體 18 之閘極。依據施加至第一輸出電晶體 21a 之閘極的電壓位準，輸出電壓 V_{pr} 經由第一輸出電晶體 21a 之吸極被輸出。輸出電壓 V_{pr} 經由共同節點被回饋至 NMOS 電晶體 13 之閘極。另一方面，輸出電壓 V_{pr} 依據施加至第二輸出電晶體 21b 之閘極的電壓位準經由第二輸出電晶體 21b 之吸極而輸出。輸出電壓 V_{pr} 經由共同節點回饋至 NMOS 電晶體 18 之閘極。

進一步地，在第 8 圖中，假設輸出電壓 V_{pr} 成為低於參考電壓 V_{ref} 。在這情況中，在第一電流鏡電路 10a 之運算放大器中 NMOS 電晶體 13 閘極和源極之間的電壓被降低，並且從 PMOS 電晶體 11 供應至 NMOS 電晶體 13 的電流減少。流動經過第一電流鏡電路 10a 之運算放大器的電流是利用 NMOS 電晶體 14 決定而作用如同電流源。當從 PMOS 電晶體 11 供應至 NMOS 電晶體 13 的電流減少時，從 PMOS 電晶體 10 供應至 NMOS 電晶體 12 的電流增加。這導致 NMOS 電晶體 12 之吸極電位，亦即，在 PMOS 電晶體之第一輸出電晶體 21a 的閘極電位被降低。結果，在第一輸出電晶體 21a 的閘極和源極之間的電壓超出臨限電壓。

五、發明說明(30)
92年2月7日修正
補充

進一步地，在第 9 圖中，第一輸出電晶體 22a 之源極連接到供應較高於參考電壓 V_{ref} 之供應電壓 V_{cc} 之一組第一電源。第一輸出電晶體 22a 的吸極連接到一組共同節點 N22，而第二輸出電晶體 22b 之源極連接到供應低於參考電壓 V_{ref} 之供應電壓 V_{ss} 的一組第二電源。第二輸出電晶體 22b 的吸極連接到共同節點 N22。共同節點 N22 連接到第一電流鏡電路之運算放大器中另一 NMOS 電晶體 33 之閘極並且經由一組固定電壓產生電阻器 4a 連接到第二電流鏡電路之運算放大器中另一 NMOS 電晶體 38 之閘極。輸出電壓 V_{pr} 依據施加至第一輸出電晶體 22a 的閘極電壓位準經由第一輸出電晶體 22 之吸極被輸出。輸出電壓 V_{pr} 經由共同節點 N22 和固定電壓產生電阻器 4a 回饋至 NMOS 電晶體 33 之閘極(節點 N21)。輸出電壓 V_{pr} 依據施加至第二輸出電晶體 22b 之閘極電壓位準經由第二輸出電晶體 22b 之吸極被輸出。輸出電壓 V_{pr} 經由共同節點 N22 和固定電壓產生電阻器 4a 回饋至 NMOS 電晶體 38 之閘極。

進一步地，在第 9 圖中，假設產生於節點 N21 之電壓成為低於參考電壓 V_{ref} ，則在第一電流鏡電路 30a 之運算放大器中另一 NMOS 電晶體 33 的閘極和源極之間的電壓下降，並且從 PMOS 電晶體 31 供應至 NMOS 電晶體 33 的電流減少。流動經過第一電流鏡電路 30a 之運算放大器之電流是利用 NMOS 電晶體 34 而決定而作用如同一組電流源。當從 PMOS 電晶體 31 供應至 NMOS 電晶體 33 的電流減少時，從 PMOS 電晶體 30 供應至 NMOS 電晶體 32 之電流增

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明修正(31)
92年2月7日 補充

加。這導致在 NMOS 電晶體 32 的閘極電位，亦即，在 PMOS 電晶體之第一輸出電晶體 22a 之閘極電位被降低。結果，在第一輸出電晶體 22a 之閘極和源極之間的電壓超出臨限電壓。第一輸出電晶體操作，並且操作以提昇在節點 N21 之電壓直至這電壓成為等於參考電壓位準為止。

在這情況中，在第二電流鏡電路 30b 之運算放大器中另一 NMOS 電晶體 38 的閘極和源極之間電壓下降，並且從 PMOS 電晶體 36 供應至 NMOS 電晶體 38 的電流減少。流動經過第二電流鏡電路 30b 之運算放大器的電流是利用 NMOS 電晶體 39 而決定而作用如同一組電流源。當從 PMOS 電晶體 36 供應至 NMOS 電晶體 38 的電流減少時，從 PMOS 電晶體 35 供應至 NMOS 電晶體 37 的電流增加。這導致在 NMOS 電晶體 37 的吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 22b 之閘極電位被降低。結果，在第二輸出電晶體 22b 的閘極和源極之間電壓成為低於臨限電壓。結果，第二輸出電晶體 22b 進入一種非操作狀態。

對照之下，假設產生於節點 N21 的電壓成為較高於參考電壓 V_{ref} 。在這情況中，在第二電流鏡電路 30b 之運算放大器中另一 NMOS 電晶體 38 的閘極和源極之間電壓上升，並且從 PMOS 電晶體 36 供應至 NMOS 電晶體 38 的電流增加。從 PMOS 電晶體 35 供應至 NMOS 電晶體 37 的電流因此減少。這導致在 NMOS 電晶體 37 的吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 22b 的閘極電位上升。結果，在第二輸出電晶體 22b 的閘極和源極之間電壓超出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(36)
92年2月7日 修正 補充

接到 NMOS 電晶體之第二輸出電晶體 23b 的閘極。第二輸出電晶體 23b 具有如同第 8 圖中所展示第二輸出電晶體 21b 大致相同的功能。

進一步地，在第 10 圖中，第一輸出電晶體 23a 之源極連接到提供較高於第二參考電壓 V_{ref2} 之一組供應電壓 V_{cc} 的第一電源供應。第一輸出電晶體 23a 之吸極連接到一組共同節點 N22。另一方面，第二輸出電晶體 23b 之源極連接到提供低於第一參考電壓 V_{ref1} 之供應電壓 V_{ss} 的一組第二電源供應。第二輸出電晶體 23b 之吸極連接到共同節點 N22。共同節點 N22 經由稍後說明之一組固定電壓產生電阻器 4b 而連接到第一電流鏡電路運算放大器中另一 NMOS 電晶體 43 之閘極。共同節點 N22 同時也經由固定電壓產生電阻器 4b 而連接到第二電流鏡電路之運算放大器中另一 NMOS 電晶體 48 之閘極。一組輸出電壓 V_{pr} 依據施加至第一輸出電晶體 23a 之閘極的電壓位準經由第一輸出電晶體 23a 之吸極而輸出。輸出電壓 V_{pr} 經由共同節點 N22 回饋至 NMOS 電晶體 43(節點 N21)之閘極。另一方面，一組輸出電壓 V_{pr} 依據施加至第二輸出電晶體 23b 之閘極的電壓位準經由第二輸出電晶體 23b 之吸極而輸出。輸出電壓 V_{pr} 經由共同節點 N22 和稍後說明的固定電壓產生電阻器 4b 而回饋至 NMOS 電晶體 48 之閘極。

進一步地，參看至第 10 圖，並且假定在節點 N21 之電壓成為低於第一參考電壓 V_{ref1} ，在第一電流鏡電路 40a 之運算放大器中另一 NMOS 電晶體 43 的閘極和源極之間電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

92年2月7日 修正
補充

NMOS 電晶體 48 的閘極和源極之間電壓上升，並且從 PMOS 電晶體 46 供應至 NMOS 電晶體 48 之電流增加。從 PMOS 電晶體 45 供應至 NMOS 電晶體 47 的電流因此減少。這導致在 NMOS 電晶體 47 吸極之電位，亦即，在 NMOS 電晶體之第二輸出電晶體 23b 之閘極電位上升。結果，在第二輸出電晶體 23b 之閘極和源極之間電壓超出臨限電壓。第二輸出電晶體 23b 進入一種操作狀態，並且操作以降低在節點 N22 之輸出電壓直至輸出電壓成為等於第二參考電壓 V_{ref2} 之位準為止。

進一步地，在這情況中，在 NMOS 電晶體 43 第一電流鏡電路 40a 之運算放大器中閘極和源極之間電壓上升，並且從 PMOS 電晶體 41 供應至 NMOS 電晶體 43 之電流增加。從 PMOS 電晶體 40 供應至 NMOS 電晶體 42 的電流因此減少。這導致 NMOS 電晶體 42 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 23a 之閘極電位上升。結果，在第一輸出電晶體 23a 之閘極和源極之間電壓成為低於臨限電壓。結果，第一輸出電晶體 23a 進入一種非操作狀態。

進一步地，第 10 圖中展示的實施例中，彼此串列連接之三組固定電壓產生電阻器 3b，4b，和 5b 被使用以產生內部供應電壓 V_{int} 之分量。因此，具有比第一參考電壓 V_{ref1} 較低位準之一組輸出電壓 V_{pr} 被產生。固定電壓產生電阻器 3b，4b，和 5b 具有如同第 9 圖中所展示之固定電壓產生電阻器 3a，4a，和 5a 之大致相同功能。明確地說，重合於固定電壓產生電阻器 3b 和 4b 之間接點的節點 N21 之電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

92年2月7日 修正
補充

和第一參考電壓 V_{ref1} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 53 吸極輸出。組對的 NMOS 電晶體 52 和 53 之一的吸極，亦即，NMOS 電晶體 53 之吸極連接到 PMOS 電晶體之第一輸出電晶體 24a 之閘極。第一輸出電晶體 24a 具有如同第 8 圖中所展示之第一輸出電晶體 21a 大致相同的功能。

另一方面，第一參考電壓 V_{ref2} 被施加至第二電流鏡電路 50b 之運算放大器中組對的 NMOS 電晶體 56 和 57 之一的閘極，亦即，NMOS 電晶體 56 之閘極。在輸出電壓 V_{pr} 和第二參考電壓 V_{ref2} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 57 之吸極輸出。NMOS 電晶體 57 之吸極連接到 NMOS 電晶體之第二輸出電晶體 24b 的閘極。第二輸出電晶體 24b 具有如同第 8 圖中所展示之第二輸出電晶體 21b 的大致相同功能。

進一步地，在第 12 圖中，第一輸出電晶體 24a 之源極連接到供應電壓 V_{cc} 之第一電源供應，並且其吸極連接到一組共同節點。另一方面，第二輸出電晶體 24b 之源極連接到供應電壓 V_{ss} 之第二電源供應，並且其吸極連接到共同節點。該共同節點連接到第一電流鏡電路中另一 NMOS 電晶體 53 之源極並且至第二電流鏡電路之運算放大器中另一 NMOS 電晶體 57 之源極。一組輸出電壓 V_{pr} 依據施加至第一輸出電晶體 24a 之閘極的電壓位準經由第一輸出電晶體 24a 之吸極而輸出。輸出電壓 V_{pr} 回饋至 NMOS 電晶體 53 之源極。另一方面，一組輸出電壓 V_{pr} 依據施加至第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(修正)

92年2月9日

補充

面，第二電流鏡電路 70b 之運算放大器包含組對的 PMOS 電晶體 77 和 78，一組 PMOS 電晶體 79，以及兩組 NMOS 電晶體 75 和 76。組對的 PMOS 電晶體 77 和 78 功能如同一組差分放大器。PMOS 電晶體 79 功能如同整個電流鏡電路之運算放大器的一組電流源。具有其閘極和源極以電流鏡連接形式連接在一起的兩組 NMOS 電晶體 75 和 76 被使用以調整流動進入組對的 PMOS 電晶體 77 和 78 之一，亦即，PMOS 電晶體 77，的電流。

進一步地，在第 14 圖中，第一參考電壓 V_{ref1} 被施加至第一電流鏡 70a 運算放大器中組對的 NMOS 電晶體 72 和 73 之一的閘極，亦即，NMOS 電晶體 72 之閘極。在節點 N21 之電壓和第一參考電壓 V_{ref1} 之間的電壓差量被放大。因此被放大的電壓經由 NMOS 電晶體 72 之吸極輸出。組對的 NMOS 電晶體 72 和 73 之一的 NMOS 電晶體 72 之吸極連接到 PMOS 電晶體之第一輸出電晶體 26a 的閘極。另一方面，第二參考電壓 V_{ref2} 施加至第二電流鏡電路 70b 之運算放大器中組對的 PMOS 電晶體 77 和 78 之一的閘極，亦即，PMOS 電晶體 77 之閘極。在節點 N21 之電壓和第二參考電壓 V_{ref2} 之間的電壓差量被放大。因此被放大的電壓經由 PMOS 電晶體 77 的吸極而輸出。進一步地，組對的 PMOS 電晶體 77 和 78 之一的 PMOS 電晶體 77 之吸極連接到 NMOS 電晶體之第二輸出電晶體 26b 的閘極。

進一步地，在第 14 圖中，第一輸出電晶體 26a 之源極連接到提供較高於第二參考電壓 V_{ref2} 之供應電壓 V_{cc} 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

修正
92年2月7日
補充

這導致 NMOS 電晶體 72 之吸極電位，亦即，PMOS 電晶體之第一輸出電晶體 26a 的閘極電位被降低。結果，在第一輸出電晶體 26a 之閘極和源極之間電壓超出臨限電壓。結果，第一輸出電晶體 26a 進入一種操作狀態，並且操作以提昇輸出電壓 V_{pr} 。

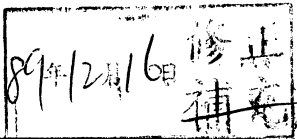
進一步地，在這情況中，在第二電流鏡電路 70b 之運算放大器中另一 PMOS 電晶體 78 的閘極和源極之間的電壓上升，並且從 NMOS 電晶體 76 供應至 PMOS 電晶體 78 的電流增加。從 NMOS 電晶體 75 供應至 PMOS 電晶體 77 的電流因此減少。這導致 PMOS 電晶體 77 之吸極電位，亦即，PMOS 電晶體之第二輸出電晶體 26b 的電位閘極被降低。結果，在第二輸出電晶體 26b 之閘極和源極之間電壓成為低於臨限電壓。結果，第二輸出電晶體 26b 進入一種非操作狀態。如先前所述，PMOS 電晶體 77 之吸極連接到 NMOS 電晶體之第二輸出電晶體 26b 之閘極。第二輸出電晶體 26b 可被可靠地驅動至一種非操作狀態。

對照之下，假設節點 N21 之電壓成為較高於第二參考電壓 V_{ref2} 。在這情況中，在第二電流鏡電路 70b 之運算放大器中另一 PMOS 電晶體 78 的閘極和源極之間的電壓下降，並且從 NMOS 電晶體 76 供應至 PMOS 電晶體 78 之電流減少。從 NMOS 電晶體 75 供應至 PMOS 電晶體 77 之電流因此增加。這導致 PMOS 電晶體 77 之吸極電位，亦即，NMOS 電晶體之第二輸出電晶體 26b 之閘極電位上升。結果，在第二輸出電晶體 26b 之閘極和源極之間電壓超出臨限

(請先閱讀背面之注意事項再填寫本頁)

訂

錄



六、申請專利範圍

二電晶體至一種非操作狀態，並且因此防止滲透電流經由該第一電晶體和第二電晶體從該第一電源供應流動至該第二電源供應。

16. 依據申請專利範圍第 4 項之半導體積體電路，其中該第一電流鏡電路中該組對的電晶體是一種第一傳導型式電晶體，並且該第二電流鏡電路中該組對的電晶體是一種第二傳導型式電晶體；

該第一電晶體是該第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體；並且

當該第一電晶體操作時，該第二運算放大器控制該第二電晶體至一種非操作狀態，並且因此防止滲透電流經由該第一電晶體和第二電晶體從該第一電源供應流動至該第二電源供應。

17. 依據申請專利範圍第 5 項之半導體積體電路，其中該第一電流鏡電路中該組對的電晶體是一種第一傳導型式電晶體，並且該第二電流鏡電路中該組對的電晶體是一種第二傳導型式電晶體；

該第一電晶體是該第二傳導型式電晶體，並且該第二電晶體是該第一傳導型式電晶體；並且

當該第一電晶體操作時，該第二運算放大器控制該第二電晶體至一種非操作狀態，並且因此防止滲透電流經由該第一電晶體和第二電晶體從該第一電源供應流動至該第二電源供應。

18. 一種固定電壓產生電路，其包含：