

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6535347号
(P6535347)

(45) 発行日 令和1年6月26日(2019.6.26)

(24) 登録日 令和1年6月7日(2019.6.7)

(51) Int.Cl.

F I

H O 1 L 21/66 (2006.01)
G O 1 R 1/073 (2006.01)
G O 1 R 31/26 (2014.01)
G O 1 R 31/28 (2006.01)

H O 1 L 21/66 B
G O 1 R 1/073 D
G O 1 R 1/073 E
G O 1 R 31/26 J
G O 1 R 31/28 K

請求項の数 11 (全 23 頁)

(21) 出願番号 特願2016-565116 (P2016-565116)
(86) (22) 出願日 平成27年1月16日 (2015.1.16)
(65) 公表番号 特表2017-508306 (P2017-508306A)
(43) 公表日 平成29年3月23日 (2017.3.23)
(86) 国際出願番号 PCT/US2015/011789
(87) 国際公開番号 W02015/109208
(87) 国際公開日 平成27年7月23日 (2015.7.23)
審査請求日 平成29年11月20日 (2017.11.20)
(31) 優先権主張番号 61/928,767
(32) 優先日 平成26年1月17日 (2014.1.17)
(33) 優先権主張国 米国 (US)

(73) 特許権者 309032407
ヌボトロニクス、インク、
アメリカ合衆国バージニア州24141、
ラドフォード、オールド・ベッパーズ・フ
ェリー・ループ・7586
(74) 代理人 100104411
弁理士 矢口 太郎
(72) 発明者 トンプソン、リック、エル、
アメリカ合衆国、03031 ニューハン
プシャー州、アマースト、5 ブランダー
コート
(72) 発明者 バンヒル、ケネス
アメリカ合衆国、27519 ノースカロ
ライナ州、ケーリー、105 パラマウン
ト サークル

最終頁に続く

(54) 【発明の名称】 ウエハースケールのテスト・インターフェース・ユニット：高速および高密度の混合信号インターコネクトおよびコンタクタのための低損失および高絶縁性の装置および方法

(57) 【特許請求の範囲】

【請求項1】

ウエハーレベルのテストインターフェース装置であって、
素子インターフェース層であって、当該層の第1の表面から、当該第1の表面の反対側にある当該層の第2の表面まで当該層の内部を通して延長する複数の同軸伝送線路を有するものである、前記素子インターフェース層を有し、
前記複数の同軸伝送線路は、前記第1の表面において第1の距離だけ互いに離間された各々の端部を有し、前記第2の表面において、前記第1の距離より大きい第2の距離だけ互いに離間された各々の端部を有するものであり、
前記複数の同軸伝送線路は、前記素子インターフェース層の前記第1の表面から外方へ延出する第1の端部を含み、これらの端部は、前記素子インターフェース層の前記第1の表面に対して弾性的に移動可能なものである、

ウエハーレベルのテストインターフェース装置。

【請求項2】

請求項1記載のウエハーレベルのテストインターフェース装置において、
コンタクタ・プローブ・アセンブリであって、当該プローブ・アセンブリの第1の表面から、当該第1の表面の反対側にある第2の表面まで当該プローブ・アセンブリの内部を通して延長する複数の導電プローブを有するものである、前記コンタクタ・プローブ・アセンブリを有し、

各前記複数の導電プローブは、前記素子インターフェース層の各伝送線路と電氣的に連通

するものである

ウエハーレベルのテストインターフェース装置。

【請求項 3】

請求項 2 記載のウエハーレベルのテストインターフェース装置において、前記複数の導電プローブは、前記プローブ・アセンブリの前記第 1 の表面から外方へ延出する端部を有し、これらの端部は、前記プローブ・アセンブリの前記第 1 の表面に対して弾性的に移動可能なものであるウエハーレベルのテストインターフェース装置。

【請求項 4】

請求項 3 記載のウエハーレベルのテストインターフェース装置において、前記複数の導電プローブは、パネ、マイクロ電子機械システム (MEMS)、カンチレバー、屈曲部、単一端伸縮型のポゴピン、または両端伸縮型のポゴピンのうち 1 若しくはそれ以上を有するものであるウエハーレベルのテストインターフェース装置。

【請求項 5】

請求項 3 記載のウエハーレベルのテストインターフェース装置において、前記端部のうち選択されたペア間に設けられ、当該選択されたペア間のクロストークを最小限に抑える遮蔽壁を有するものであるウエハーレベルのテストインターフェース装置。

【請求項 6】

請求項 1 記載のウエハーレベルのテストインターフェース装置において、前記複数の同軸伝送線路は、前記素子インターフェース層の前記第 1 の表面に対して前記端部が弾性的に移動可能となるように構成されたパネを含むものであるウエハーレベルのテストインターフェース装置。

【請求項 7】

請求項 6 記載のウエハーレベルのテストインターフェース装置であって、前記パネは C 字形状を有するものであるウエハーレベルのテストインターフェース。

【請求項 8】

請求項 6 記載のウエハーレベルのテストインターフェース装置において、前記パネは交互に逆向きの C 字状部分を有し、各 C 字状部分は屈曲部を有するものであるウエハーレベルのテストインターフェース。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 つに記載のウエハーレベルのテストインターフェース装置において、前記複数の同軸伝送線路の各々はパネを備えた中心導体を有し、当該パネにより当該中心導体は前記素子インターフェース層内で弾性的に移動可能となるものであるウエハーレベルのテストインターフェース装置。

【請求項 10】

請求項 1 ~ 9 のいずれか 1 つに記載のウエハーレベルのテストインターフェース装置であって、

前記素子インターフェース層内で前記複数の同軸伝送線路の中心導体と外部導体間に設けられた受動電気素子および / または能動電気素子のうち少なくとも 1 つを有するウエハーレベルのテストインターフェース装置。

【請求項 11】

請求項 1 ~ 10 のいずれか 1 つに記載のウエハーレベルのテストインターフェース装置であって、

前記複数の同軸伝送線路のうち選択された 1 つと電気接続されて設けられた $N \times M$ スイッチを有するウエハーレベルのテストインターフェース装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2014 年 1 月 17 日付で出願された米国仮特許出願第 61 / 928,767 号の優先権の利益を主張するものであり、この参照によりその全体が本明細書に組み込ま

10

20

30

40

50

れる。

【0002】

本発明は、混合信号RF、高速デジタルインターコネクタ（相互配線）、シールドDCラインに関し、より具体的には、多層パッケージ、アンテナ・アレイ・フィード、テスト・インターフェース・ユニット、コネクタ、コンタクタ、およびラージフォーマット基板のための各実施態様と、各々の製造方法を含むものに関するが、これに限定されるものではない。

【背景技術】

【0003】

プリント基板（Printed Circuit Boards：PCB）は、現在、コンピュータ、ラップトップ、携帯電話、カメラ、テレビジョン受信機、電気製品、航空電子工学機器などための、ほぼすべての集積回路アセンブリおよびパッケージングの主流である。ただし、新たな高速・高密度の回路技術が生まれており、これらはPCB性能に著しい影響を及ぼすことになる。集積回路に関するムーアの法則に沿って、トランジスタは現在もより小型にスケールダウンしており、結果的に、より多くのトランジスタがより小さい領域に詰め込まれてクロックレート周波数と機能性はますます高まっている。その結果、新たな集積回路入出力（I/O）は物理的により小型で、離間間隔（ピッチと呼ばれる）はより狭まり、RFまたはDC、アナログまたはデジタルのどちらかで、データレートと周波数はいっそう高められている。

【0004】

現在のPCB材料および構築方法は、より小型の幾何学的構造で高密度の新たな集積回路にはスケラブルでなく、クロックレートが100ギガビット/秒（Gb/s）に近づくほど不適切になる。現在、PCB高速デジタルRFインターコネクタは伝送線路として実装されており、インピーダンス（通常、50オーム）を制御するマイクロストリップまたはストリップラインのどちらかである。これらのラインは、（i）ガラス強化エポキシ積層シート（FR-4と呼ばれる）、または（ii）ポリテトラフルオロエチレン（テフロン（登録商標）の商品名と呼ばれる）、または（iii）柔軟な材料、例えばポリイミド、または（iv）これらの組み合わせを使った有機基板または誘電材料に接合された金属箔を使って製造される。インターコネクタはパターンを上記箔にエッチングして形成し、ビアはドリリングおよびめっきする。多層PCBを作製するため、後続シートも同様に処理され、最後に熱と圧力を使って全層が一体的に接合されて、信号多層PCBが形成される。この工程の最終段階では、アセンブリに適した材料（金またははんだ）で上面および底面をめっきしたのち、内層をシールする材料でコーティングして、はんだストップまたはレジストを設ける。

【0005】

ムーアの法則の関数では、集積回路のチップごとのトランジスタ数は伸び続け、それに比例して所与のチップにより多くのI/Oが必要になる。所与の領域内のI/Oが増えると、I/Oのコンタクト（接触子）のピッチが狭まる。有機材料に接合された箔をエッチングすることによってPCBを構築する方法は、インターコネクタをいかに小さくパターン化できるかに制限される。もう1つの制限は、PCBの1層から別層への信号配線に必要なビアサイズである。ビアサイズに加え、ビア間の最小離間ルールと、ビア周囲の導電「キャプチャーパッド」とが、PCB技術で実現可能なトレース間ピッチを増大させる。また、最適なトレース間絶縁には複数列のビアが必要とされる。チップの小さな領域からすべてのI/Oを「エスケープ」させ、PCB上の他の目的位置へ配線するには、複数の層が必要である。信号インターコネクタがより多く必要になるほど、PCBの層数と厚みは増す。PCBが厚くなるほど、厚いPCB材料をドリリングするドリルビットも大きくする必要があるため、ビアも大きくなる。ビアが大きくなると、チップのI/Oエスケープ領域周囲でインターコネクタが混雑して性能も損なわれる。

【0006】

これらの構築方法では、PCB信号インターコネクタが誘電材料に直接接触するため大

10

20

30

40

50

きな信号損失要因となり、特に、より高いデータレートおよびRF周波数でこれが顕著になる（誘電損失と呼ばれる）。より高い周波数でのもう1つの損失源は、金属箔インターコネクットの表皮効果によるもので、インターコネクットの表面粗さにより電磁波伝播の信号損失（表皮効果損失と呼ばれる）が生じる。さらに、前記表皮効果が最も深刻になるのは金属インターコネクットのトレース底部であるが、これは、PCB基板材料と十分な接合強度を保証するため、銅箔が一定の表面粗さを有さなければならないためである。比較的大きなビア（上述のように）は、もう1つの信号損失源である（不連続性と呼ばれる）。

【0007】

PCB材料および構築技術に関するもう1つの大きな問題は、隣接しあう2つのデジタル信号インターコネクット間の絶縁またはクロストークである。クロストークとは、ある信号（ときに「加害者」ラインと呼ばれる）のエネルギー成分が異なる信号（「被害者」と呼ばれる）に伝達されて信号劣化またはビットエラーを起こす場合をいう。データレートが100Gb/sまで高まると、信号の周波数成分も高まり、加害者データラインが被害者デジタルデータラインに干渉しやすくなる。このクロストーク問題は、信号インターコネクットのピッチが狭まるにつれ、極めて深刻になる。

【0008】

PCBインターフェースは、(i) 2つの異なるPCB、(ii) PCBとケーブル、(iii) PCBとテスト・インターフェース・ユニット、および(iv) テスト・インターフェース・ユニットと被測定物(device under test: DUT)をメーク（接続）またはブレイク（接続解除）する役割を果たす接続部およびコンタクト（接触器）である。DUTは、通常、ウエハー上の若しくはウエハーから取り外された1若しくはそれ以上の半導体ダイとすることができる。これらのインターフェースごとに、前記コンタクトは、各用途の機能を果たす異なるフォームファクタを取らなければならない。例えば、PCB間のインターフェースは、所与の平均故障間隔(mean time between failure: MTBF)における耐久挿抜回数が少数でもよい。PCBとケーブル間の場合は、障害間の耐久挿抜回数をより大きくする必要がある。そして最後に、テスト・インターフェース・ユニットは、コンタクトに指定された数のメークブレイク回数を有する。コンタクトインターフェースは、100Gb/sの場合（損失およびクロストーク性能について）すべて不十分であり、新式半導体に要求される非常に小さいピッチの関数としての非常に高い信号密度では制限がある。

この出願の発明に関連する先行技術文献情報としては、以下のものがある（国際出願日以降国際段階で引用された文献及び他国に国内移行した際に引用された文献を含む）。

（先行技術文献）

（特許文献）

（特許文献1） 米国特許出願公開第2005/0042932号明細書

（特許文献2） 米国特許出願公開第2010/0323551号明細書

（特許文献3） 米国特許第7,388,388号明細書

（特許文献4） 米国特許第6,232,669号明細書

【発明の概要】

【発明が解決しようとする課題】

【0009】

そのため、半導体スピードが100Gb/sに近づくに伴い、小さな集積回路構造に対してスケーラブルな高密度のインターコネクットを提供し、低損失の媒体を提供し、非常に高い絶縁性を提供することは、各々の製造方法を提供することとともに当該技術分野における進歩といえる。

【課題を解決するための手段】

【0010】

本発明は、その一態様において、非常に厳密な公差でフォトリソグラフィにより画成された3D同軸分散網構造または主に空気を充填した誘電同軸構造に関する。このような構造は、高速デジタル、シールドDCおよびRFインターコネクットおよび配線(routi

10

20

30

40

50

ng)を提供する上で最適な構造である。これは特に、小ピッチの電気接点の2D平面グリッドを、それよりはるかに大きな2D平面グリッドを必然的に伴うピッチが必要な複雑な電子機器とインターフェース接続しなければならない場合にあってはまる。例えば、EHFフェーズドアレイ、アンテナは、動作の波長または周波数による制約で離間間隔を小さくしなければならないが、各アンテナに必要な補助電子機器は、それよりはるかに大きな離間間隔を必要とする場合がある。そのため、3D再分散網は、前記電子機器のピッチから、より小さいアンテナのピッチへと配線しなければならない。

【0011】

それと若干同様な問題はテスト集積回路装置で生じ、その場合、テスト電子機器およびチップまたはマルチチップモジュール(multi-chip module:MCM)上のボンドパッドまたははんだバンプのピッチが極めて小さく、テスト機器が大きく、特に周波数およびデータレートが高まって、例えば10Gb/s台または100Gb/sに近づく場合で問題が生じる。ウエハーダイのテストでは、ウエハー上の通信チップのRFテストに必要な周波数が高まるに伴い、また複雑な回路をテストする場合、販売前に合否基準の判断を行う上で、当該産業は、2Dピッチ上に入出力RFテスト信号もDCフィード線も配線するという課題に直面するが、前記2Dピッチ上のパッド離間距離は0.5mmより縮まる傾向にあり、最終的には望ましい間隔のパッドまたははんだバンプをテストする能力により制限される。これらの高周波数では、DCおよびRFのテスト線および電力線間で高い絶縁性を保つとともに、テスト機器およびチップ接点のインターコネクトにおける挿入損失も著しく低く保つ能力が、どちらも望ましい特徴となる。そのため、シールド3D伝送線路構造は、この問題を解決する理想的なアプローチである。3D同軸構造は、制約の多い基板を使わず、ほぼ完全に金属と空気で構成できる。

【0012】

好適な構成において、前記3D同軸構造は、銅の中心導体を(小さな誘電体支持構造を使って)空気誘電体中に懸架し、銅の接地遮蔽体で囲むことにより実装できる。マイクロ波の周波数では、空気が最も低損失で最も実用的な媒体である。さらに、リソグラフィおよび光成形を活用した積層工程による精密な層を使うと、高度な精度および滑らかな表面が実現でき、表皮効果による損失および不連続性による損失を最小限に抑えられる。そのような工程の1つがNuvotronics, LLCによるPolyStrata(登録商標)技術で、米国特許第7,012,489号、第7,649,432号、第7,948,335号、第7,148,772号、第7,405,638号、第7,656,256号、第7,755,174号、第7,898,356号、第8,031,037号、第2008/0199656号、第2011/0123783号、第2010/0296252号、第2011/0273241号、第2011/0181376号、第2011/0210807号などの特許文献に説明されており、この参照によりその内容が本明細書に組み込まれる。空気誘電体を伴う中心導体は、小型の3D RF伝送線路において、高速デジタルおよびRFを100Gb/sの周波数で扱う際、最も損失の低い方法である。

【0013】

3D同軸信号導体は、矩形同軸の場合(または周囲の外部導体が他の任意の同軸形状の場合も)4つの側部をすべて接地遮蔽体で囲むことにより、隣接しあう2本の信号線路(それぞれ金属遮蔽体に囲まれた)を最適に絶縁することができる。そのような構成では、極めて近接した隣接しあう2つの3D同軸インターコネクトが、クロストークを低く抑えながら高速デジタルおよび混合信号を扱うことが可能になる。(高絶縁性のクロスオーバーライン92を有したPolyStrata(登録商標)アーキテクチャ91の例としては、図1、2を参照。隣接しあう信号トレースを分離する金属遮蔽体は、高速ICテスト用途の先行技術で利用可能なものより、はるかに高いI/O配線および再分散密度、ならびに高いインピーダンス制御を提供する。大気誘電体内で懸架され、接地遮蔽体で囲まれた2つの中心導体により、100Gb/sでの差分信号配線に最適なアプローチが得られる。集積回路がより多くのトランジスタで構築され、より高いクロックレート周波数で動作するようになると、データ操作を処理するチップで数百万、数十億のトランジスタの同

時スイッチング動作に誘導されるノイズが増大する。このノイズはDC電源および接地電源と結合されて、性能、特にビット誤り率性能に影響を及ぼすおそれがある。3D同軸線または主に空気誘電体3D同軸線の差分信号と、高度なコモンモード阻止とにより、DCラインノイズの影響は軽減される。

【0014】

さらに、3D同軸線はフォトリソグラフィにより処理され、接続部およびコンタクタが高密度インターコネクタ用に非常に小さいピッチでインターフェース接続可能になるため、非常に小さい幾何学的形状サイズが実現できる。これは、高密度インターコネクタでクロストークが非常に低いテストにおいて、テスト・インターフェース・ユニットおよびコンタクタが半導体チップI/Oまたはそのインターポーザに直接接触する上で、非常に重

10

【0015】

本発明は別の態様において、テスト・インターフェース・ユニットのコンタクタを提供することにより、低損失・高絶縁3D同軸インターコネクタから、ウエハーレベルまたはマルチデバイスのテスト用に基板の接続パッドとのメークブレイク接触（すなわち、耐久挿抜回数）を提供する金属プローブへの直接的な移行を可能にする。本願の目的上、ウエハーレベルのテストとは、ウエハー上のダイに対する任意の適切なテストを意味し、その場合、前記ダイは一度に1または複数回テストされる。前記ダイは、4、8、16、32若しくはそれ以上のクラスターでテストされる場合もある。通常、テストは、ウエハー上のすべてのダイがテストされるまで、当該ウエハーをステップおよび反復態様で動かすことにより行われる。コンタクタの設計および構造は、ウエハーパッドまたはバンパへのコンプライアントな（形状適合性のある）一時的接続を提供して、プローブカードを直接被測定物に嵌合する場合よりも、チップおよびウエハー電気接点に対する耐久挿抜回数を高めることができる。

20

【0016】

また、3D同軸設計および製造技術を使って可能になる信号トレースの3次元インピーダンス制御配線は、ウエハーレベルまたはマルチサイトテストなど最も高密度の配線要件下でさえ、信号の完全性が保たれることを意味する。層間のインターコネクタは、（従来の多層PCBで必要とされる）面内配線された伝送線路以上にスペースを必要とすることはない。直交グリッド上の配線を考慮すると、本発明に係る配線アーキテクチャは、独立した伝送線路ごとに、1つのXYZ「点A」での入力とまったく別のXYZ「点B」での出力とを有するため、基板不使用アーキテクチャを使った3D配線の性質上、いかなる特定の平面内にも制約されない。（米国特許出願第61/788,675号を参照。この参照によりその全体が本明細書に組み込まれる。）例えば、入力におけるピッチは、同軸線から地上信号グラウンド（ground-signal-ground: GSG）への移行を使用して100μm未満にピッチを低減することにより、ファインピッチのダイに合わせ大幅に低減できる。次に、各同軸線の出力は、損失または絶縁性の問題で信号の完全性を失うことなく嵌合するメークブレイクまたはコネクタ接続部から何らかの距離だけ離れたより広いピッチへと展開できる。ピッチが広がることにより、標準的なコネクタおよびケーブルが主信号処理レベル以上の基板コントローラティアへ伝送線路を配線し、またはピッチ拡大によりより間隔が広がった同軸線の出力位置において付加的な処理ICをPCBまたはフレックス回路上に直接配置できるようになる。フェーズドアレイ・アーキテクチャでは、再分散網により実現されるこのピッチ変更を「拡張」（dilatation）とも呼び、半導体インターポーザでは、この変更を「展開」（fan-out）またはスペーストランスフォーマと呼ぶ。

30

40

【0017】

テストすべきフェーズドアレイのアンテナグリッドあるいはチップまたはウエハーのICパッドまたはバンパピッチの場合、インターコネクタの課題は、主に1平面内にある複数装置の略2D平面状グリッドの1つである。ウエハー、チップパッドまたはバンパ、あるいはアンテナの平面状にXおよびYを伴い、直交する「高さ」または「深さ」の軸とし

50

てZを伴う直交モデルに立ち戻ると、XY平面における接点の典型的に周期的なピッチ、または周期性を、例えばXY平面上で1mmの離間間隔に決定する可能性がある。この場合、高さまたはZ平面は、被測定物の接触面またはアンテナで、原点は $Z = 0$ に、製造変動による若干の許容誤差を考慮したものとなる。このグリッドにインターフェース接続する必要のある電子機器またはコネクタは、各々のインターフェースを収容および搭載する上で前記ピッチの10倍寸法の接触表面領域、すなわち例えば10mm×10mmの接触領域を必要とするため、我々の中間3D再分散構造で再分散または再配線する必要性に迫られる。一見明らかではないが、これは複数の平面内で複数の方法により行うことができる。

【0018】

例えば、本発明に係る解決策の1つは、もう1つの平面を異なるZ、例えば $Z = 1\text{ mm}$ で画成し、斜めの展開伝送線路により、単に伝送線路を10mmピッチの新たなXYグリッドへ斜めに配線することであろう。これにより、被測定物(device under test: DUT)用接点の比較的小さい「チェッカー盤」またはアンテナアレイは展開され、 $Z = 1\text{ mm}$ にあるXYピッチ10mmの比較的大きなチェッカー盤へ「持ち上げられる」。これは、前記DUTまたはアンテナアレイの比較的小さいグリッドより10倍大きすぎ、線形2次元では表面積が100倍大きすぎる実装表面と、大きなコネクタをインターフェース接続する方法の1つである。ただし、この例において単一のZ平面に本質的に制約されているのは前記DUTまたはアンテナアレイだけであって、より大きな多数の表面へと前記コネクタを分散すればこの問題を解決できることが理解されるであろう。このように、 $Z = 1\text{ mm}$ における10倍ピッチのXY平面のチェッカー盤への展開は1つのアプローチであるが、XZまたはYZ平面上、あるいは斜めの平面上、あるいは半球またはピラミッド表面上の実装表面で階層化された展開も考えられる。これらの解決策のいずれでも、DUTまたはアンテナの小さな直交グリッドから広がり、新たな表面または階層化された一連の表面のいずれかまで移動する能力が得られる。どこでどのように展開を達成するか選ぶ際の最も現実的な解決策は、3D伝送線路再分散網を組み立てる際に使用される製造および組立方法により一部決定されるであろう。

【0019】

さらに別の態様において、本発明は、独立した各伝送線路の入力または出力において、標準的なRFコネクタへの機械的または電氣的な接続が得られるよう、移行設計を提供できる。前記コネクタは、前記伝送線路と同時に製造することもでき、またはCOTS(commercial off the shelf: 民生品)コネクタ、例えばCorning社製G4PO(登録商標)接続素子用のインターロック嵌合表面を提供することもできる。独立した各伝送線路の入力または出力において、前記移行は、前記伝送線路の製造に使用されたものと同じ方法論で製造されたアンテナ内で終端するよう、または機械的なインターロックが当該アンテナに提供されるよう、設計できる。この構成により、被測定物(DUT)と一定距離を隔てた結合が実現でき、他の任意の検出(センシング)またはレーダーへの応用を行うことができる。

【0020】

また、PolyStrata(登録商標)ベースのアーキテクチャには、種々の受動素子、例えば電力分配器・合成器、フィルタ、インダクタ、キャパシタ、カプラ、およびバランを導入できる。これらの素子は、外部接続部への配線前にRF信号を処理または調整するため、端子端部(入力または出力)で、あるいは伝送線路と直列に統合できる。また、前記3D同軸伝送線路構造では、能動素子、例えばRFスイッチへ多数の線路を配線して、テストシステム全体に必要なRF処理を最小限に抑えることができる。他の能動素子、例えばこれに限定されるものではないが、増幅器を、適切な移行を介してPolyStrata(登録商標)アーキテクチャまたは他の遮蔽された分散網に接続すると、外部接続部およびプロセッサへと信号を渡す前にRF処理を行うことができる。スイッチ、特にRFスイッチは、テストシステムでのさらなるケーブル配線および処理量を大幅に低減できる。その一例として、DUTにつながる伝送線路に接続された1×4スイッチのバンク

10

20

30

40

50

は、RF源、受信機、ケーブル、コネクタ、および他のマイクロ波受動および能動素子の数量を4倍低減できる。この素子数の低減により、テストアセンブリが単純化され、またコスト、組み立て、およびシステム歩留まりへの影響を最小限に抑えることができる。

【0021】

本発明のさらに別の態様では、内部導体がDUTパッドに接触する3D同軸線の入力端部において、種々のメークブレイク接続（コンタクトプローブ）設計を製造または統合することが可能である。前記プローブの設計は、中心導体とともに外部導体を備えて、DUTパッドあるいははんだパンプまたはポストにできるだけ近い絶縁遮蔽をもたらすことができる。前記プローブの代替設計は、別個に製造したプローブアセンブリであってよく、このプローブアセンブリは、永続的に、または精密ネジまたはボルトまたはクランプまたはインターロック機能で定位置に保たれた圧縮インターフェースにより、3D同軸アーキテクチャに固定できる。これらマルチプローブアセンブリは、これに限定されるものではないが、マイクロ電子機械システム（micro electro mechanical systems：MEMS）、カンチレバー、ファズボタン・アレイ、コンプライアントなパネ、PolyStrata（登録商標）技術、ポゴピン、またはアンテナ素子を使って作製できる。

【0022】

前記提供された3D網アーキテクチャを活用すると、はるかに高密度の被測定チップまたは被測定素子（DUT）を一度にテストでき、このテスト・インターフェース・ユニットを真のウエハースケール・テスト・インターフェース・ユニットにスケールアップすることができる。4チップから8、16、32、およびウエハ全体まで、前記アーキテクチャは、何千もの接続部を収容する大きなバックプレーンでの構造の拡張に好適である。

【図面の簡単な説明】

【0023】

本発明の例示的な実施形態に関する以上の要約および以下の詳細な説明は、添付の図面と併せて読むとさらに理解が深まるであろう。

【図1】図1は、本発明に係る3D同軸PolyStrata（登録商標）アーキテクチャを有する例示的な4×4スイッチマトリックスの3D平面図を概略的に示したものである。

【図2】図2は、図1の例示的な4×4スイッチマトリックスの一部破断図を概略的に例示したもので、全体的な3D同軸PolyStrata（登録商標）アーキテクチャ内における当該PolyStrata線のクロスオーバーを示している。

【図3】図3は、本発明に係る例示的なウエハレベルのテスト・インターフェース・ユニットの構成要素の分解図を概略的に例示したものである。

【図4】図4は、図3の例示的なテスト・インターフェース・ユニットの断面の非分解図を概略的に例示したものである。

【図5】図5は、図3のテスト・インターフェース・ユニットで被測定物に対して異なるRFコネクタ配向を有する代替構成を概略的に例示したものである。

【図6】図6は、本発明に係る例示的なウエハレベルのテスト・インターフェース・ユニットの構成要素であって、図3と同様であるがコネクタおよびDC/RF拡張間に設けられたインターポーザを有するものの分解図を概略的に例示したものである。

【図7】図7は、図3の例示的なテスト・インターフェース・ユニットの一部断面の3D平面図を概略的に例示したものである。

【図8】図8は、図7の例示的なテスト・インターフェース・ユニットの特徴の一部を拡大して詳しく示した図を概略的に例示したものである。

【図9】図9は、図7のプローブアセンブリの断面図を概略的に例示したものである。

【図10】図10は、図9のプローブアセンブリの一部断面の分解破断図を概略的に例示したもので、ポゴピンとそれに伴うハウジングを示している。

【図11】図11は、本発明に係るテーパ形状のハウジングを有する例示的な代替プローブアセンブリの一部断面図を概略的に例示したものである。

10

20

30

40

50

【図 1 2】図 1 2 は、本発明に係る例示的な代替プローブアセンブリの一部断面の分解図を概略的に例示したものである。

【図 1 3】図 1 3 は、図 1 2 のプローブアセンブリの非分解図を概略的に例示したものである。

【図 1 4】図 1 4 は、Poly Strata（登録商標）工程により形成された層を有する本発明の例示的なプローブアセンブリの一部断面の破断図を概略的に例示したものである。

【図 1 5】図 1 5 は、本発明の例示的なプローブアセンブリの一部断面の破断図を概略的に例示したもので、当該プローブアセンブリは、3 ピースからなる積み重ねられたハウジングを有する。

10

【図 1 6】図 1 6 は、本発明に係る例示的なプローブインターフェース層の代替構成の断面図を概略的に例示したもので、当該プローブインターフェース層は、これに内設された陥凹導体領域を有する。

【図 1 7】図 1 7 は、本発明に係るプローブアセンブリおよびプローブインターフェース層の代替構成の断面図を概略的に例示したもので、前記プローブインターフェース層は、これに内設された複数レベルの陥凹導体領域を有する。

【図 1 8】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

【図 1 9】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

20

【図 2 0】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

【図 2 1】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

【図 2 2】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

【図 2 3】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

【図 2 4】図 1 8 ~ 2 4 は、本発明に係る例示的なプローブアセンブリの断面図を概略的に例示したものである。

30

【図 2 5】図 2 5 ~ 3 0 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

【図 2 6】図 2 5 ~ 3 0 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

【図 2 7】図 2 5 ~ 3 0 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

40

【図 2 8】図 2 5 ~ 3 0 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

【図 2 9】図 2 5 ~ 3 0 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

50

【図 30】図 25 ~ 30 は、1 若しくはそれ以上の素子をそれぞれテストするための、本発明に係る例示的なウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したもので、本発明の当該ウエハーレベルのテスト・インターフェース・ユニットがいかにテスト素子数によりスケールするかを示している。

【図 31】図 31 は、本発明に基づき、より小さいピッチからより大きいピッチへと信号線路を配線する統合されたスペーストランスフォーマを伴った垂直型カードプローバーを概略的に例示したものである。

【図 32】図 32 は、図 31 に示したタイプの積み重ねられた垂直型カードプローバーのアレイを概略的に例示したものである。

【図 33】図 33 は、本発明に係る統合スペーストランスフォーマを伴った別の垂直型カードプローバーを概略的に例示したものである。

10

【図 34】図 34 は、図 33 に示したタイプのインターリーブされた垂直型カードプローバーのアレイを概略的に例示したものである。

【図 35】図 35 は、本発明に係るテスター用の DC および RF 配線を概略的に例示したものであり、図 34 に示した相互にずらす技術を使って配列することもできる。

【図 36】図 36 は、図 18 のプローブと一定の点で同様な、パネ領域を有する例示的なプローブを概略的に例示したものである。

【図 37】図 37 は、本発明に係るウエハーレベルのテスト・インターフェース・ユニットを概略的に例示したものである。

【図 38】図 38 は、同軸線内における受動素子の集積を概略的に例示したものである。

20

【発明を実施するための形態】

【0024】

ここで図面を参照すると、同様な要素は全般的に同様な番号で示しており、図 3 ~ 4 は、被測定物 (device under test: DUT) 106 のテストに使用するための、本発明に係るウエハーレベルのテスト・インターフェース・ユニット 100 の例示的な構成を概略的に示している。このウエハーレベルのテスト・インターフェース・ユニット 100 は、複数の被測定物 106 の反復テストを、特にグリッド/ウエハーレベルで、既存技術における多数の問題を克服しながら、提供できるよう構成できる。例えば、通常、被測定物 106 は RF および DC 回路を含み、当該回路は通常、プリント基板 105 およびコンタクタアレイ 101 から成るプローブカードアセンブリを使ってテストされる。(前記プリント基板 105 は、非同軸状のプリント基板カードの代表的なものであってよく、能動および受動素子の処理、またはそれとのインターフェース接続は、前記被測定物 106 付近で行える。)ただし、被測定物 106 上の特徴のピッチは、ほとんどの場合、前記プリント基板 105 で実現できるものより著しく微細であるため、前記被測定物 106 と前記プリント基板 105 間に対処すべきピッチの不一致があることがある。加えて、ますます、被測定物 106 は前記プリント基板 105 によるテストが困難で非現実的な RF 回路も含むようになってきている。これを受け、当該ウエハーレベルのテスト・インターフェース・ユニット 100 は、DC 信号経路だけでなく RF 信号経路にも対応するように構成できる。その結果として、本発明の当該ウエハーレベルのテスト・インターフェース・ユニット 100 の構造は、少なくとも次の 3 つの特徴を提供することができる。第 1 に、当該ウエハーレベルのテスト・インターフェース・ユニット 100 は、前記被測定物 106 の微細なピッチを前記プリント基板 105 の比較的大きなピッチに整合させるための信号経路の拡張 (ピッチの変更) を含むよう構成できる。第 2 に、当該ウエハーレベルのテスト・ユニット 100 には、前記被測定物 106 の前記 DC 回路および前記被測定物 106 の前記 RF 回路の各々のため、別個の導電経路を含めることができる。第 3 に、当該ウエハーレベルのテスト・インターフェース・ユニット 100 は、前記被測定物 106 の各前記回路との間で繰り返される機械的・電気的なメークブレイク接続を可能にするよう構成できる。電気遮蔽を高度に改善するとともに、他のアプローチで可能な最小ピッチを引き下げていることから、これは当該技術分野における改善である。また、固体の誘電体を拡張から一部または全部排除する前記構造の電気機械的な性質により、RF 信号損

30

40

50

失が低減され、機械的にコンプライアントな（伸縮性により適合する）インターフェース領域をハードウェアに直接作製する機会が実現される。

【 0 0 2 5 】

例えば例示的な構成の 1 つにおいて、前記レベルのテスト・インターフェース・ユニット 1 0 0 は、上述の特徴を設けた複数の構造を含むことができる。前記被測定物 1 0 6 との前記メークブレイク接続は、コンタクタ・プローブ・アセンブリ 1 0 1 で行うことができ、前記被測定物 1 0 6 の D C ラインの前記プリント基板 1 0 5 への拡張は、インターポーザ 1 0 4 により実現でき、前記被測定物 1 0 6 の R F 回路の拡張に加えて、当該被測定物からの前記 D C 回路および前記 R F 回路双方の配線は、R F コネクタ 1 0 3 を有する 3 D プローブインターフェース層 1 0 2 により提供できる。上記の拡張、メークブレイク接続、および R F 信号配線の 3 つの特徴は、それぞれ 3 つの別個の構造 1 0 1、1 0 2、1 0 4 により提供できるが、他の構成も可能であり、その場合、前記 3 つの別個の構造 1 0 1、1 0 2、1 0 4 は単一体の一体型部品により提供される。

【 0 0 2 6 】

また、本発明に係るウエハーレベルのテスト・インターフェース・ユニットの他の例示的構成例として、ウエハーレベルのテスト・インターフェース・ユニット 5 0 0 は、プローブインターフェース層 5 0 2 を含むことができ、このプローブインターフェース層 5 0 2 は、前記 R F コネクタ 1 0 3 を当該プローブインターフェース層 5 0 2 の下面に配置するために、前記被測定物 1 0 6 からの R F 信号を当該プローブインターフェース層 5 0 2 の下面へと配線する（図 5）。このような構成では、前記 R F コネクタ 1 0 3 が前記プローブインターフェース層 5 0 2 の反対側に配線され、前記インターポーザ 1 0 4 を通過する D C 信号に送られるため、テスト・インターフェース・ユニットのアセンブリにより大きな空間を提供する。このような構成は、前記コネクタと前記 D U T との間の間隔保持についてテストを必要とするシンギュレート済みのダイ若しくはダイのグリッド、またはマルチチップモジュール（multi-chip module：MCM）装置をテストする上で適している。さらに、図 3 に示したものと同様なウエハーレベルのテスト・インターフェース・ユニット 6 0 0 は、任意選択で、前記 R F コネクタ 1 0 3 とプローブインターフェース層 1 0 2 間に設けられたインターポーザ 1 1 7 を含むことができ、このインターポーザ 1 1 7 は当該アセンブリの機械的な剛性を高めるとともに、D C および / または R F 配線および / または埋め込まれ若しくは表面実装された受動または能動回路に付加的な空間を生み出す。前記インターポーザ 1 1 7 は、アルミナ基板、プリント基板、または他の任意の適切な材料を有することができ、これにより前記コネクタ 1 0 3 とプローブインターフェース層 1 0 2 間に電気接触をもたらす。

【 0 0 2 7 】

図 7 は、図 3 のテスト・インターフェース・ユニットの一部断面の 3 D 平面図を概略的に例示したもので、さらに、前記プローブインターフェース層 1 0 2 内およびインターポーザ 1 0 4 内における同軸線 1 0 7 の配線と、前記プリント基板 1 0 5 内の非同軸伝送線路 1 1 1 とを示している。能動または受動素子 1 1 0 は、前記プリント基板 1 0 5 の上部に設けられ、または当該プリント基板に埋め込まれる。また 1 0 5 は、プローブカード上部またはコネクタ層に対してインターフェース接触層としても作用する。このようなプローブカード上部および前記 D C 基板 1 0 5 は、電力および I / O を前記 D U T に送り、当該テストシステムの電子機器にインターフェース接続するが、当該テストシステムは通常なら残りの部分にインターフェース接続する上でシールド伝送線路は不要である。プローブインターフェース層 1 0 2 とコンタクタ・プローブ・アセンブリ 1 0 1 と前記被測定物 1 0 6 との間の前記インターフェース詳細を図 8 に例示する。具体的にいうと、前記コンタクタ・プローブ・アセンブリ 1 0 1 に、ポゴピン 1 1 3 をハウジング 1 1 9 に内設して含めることができる。そのようなポゴピンのアレイは、例えば穴を伴うクラムシェル（二つ折りの）シースを使って適合性のコネクタ層 1 0 1 を形成することにより、作製できる。前記ポゴピン 1 1 3 は、前記被測定物 1 0 6 の片面の個々のはんだバンプまたはパッド 1 1 2 と、前記プローブインターフェース層 1 0 2 の各中心導体 1 0 7 との間に電気的お

よび機械的な接続をもたらすよう構成できる。図8の右側は、3Dプローブインターフェース層102の小さな斜視断面図を示したもので、この3Dプローブインターフェース層102のシールドRF伝送線路107がコンプライアントなコンタクタ118の中心と電氣的にインターフェース接続することを強調しており、この場合、前記コンタクタ118は両端伸縮型のポゴピンを備え、当該ポゴピン113のコンタクタ上部のみ示されている。前記DCおよびRF信号の配線を補助するとともに前記被測定物106とプリント基板105間でピッチを整合させる前記プローブインターフェース層102の拡張態様の一例については、さらに図25で示し、説明する。

【0028】

前記コンタクタ・プローブ・アセンブリ101は、はんだ、接着剤、エポキシ、または単なる機械的接触により、前記プローブインターフェース層102に取り付けられる。これらのような接着剤材料により、前記102の下側外面を101に固定できる。101は、前記ポゴピンおよびハウジングの構造に応じて導電材料またはそれ以外で作製できる。前記ポゴピン113の上面は、平坦にでき、または102片面の前記中心導体107と、それに対向するDUTの接触表面間の機械的および電氣的な接続の改善に適した任意の形状を有するようにもできる。この場合、図9は、ハウジング構造で101を形成する両面コンプライアント・インターフェース・コネクタの2Dアレイを使って、「bed of nails（インサーキットテスター）」概念の詳細を示している。ここで101は、一定数の両端バネ式のコンタクタまたはコネクタ（ポゴピン）から成り、118は、各ポゴピン113の中心コンタクタである。図9に示す両端伸縮型のポゴピンは、2つのコンタクタ端部118と、内部バネ1103と、ハウジング119とから成る。図7の項目101に示すように、単一端伸縮型のポゴピンを使用してもよい。前記プローブインターフェース層102の他の例示的構成、特に前記ポゴピン113用ハウジングの代替構成については、図10～17に例示する。

【0029】

図10～13は、例えば、コンタクタ・プローブ・アセンブリ101の部分断面破断図を概略的に例示したもので、両端伸縮型のポゴピン113とそれに伴うハウジング上部1011およびハウジング下部1012を示している。前記ハウジング部分1011、1012は、非導電材料、例えばアルミナ、ガラス、または任意の適切なセラミック材料、または半導体材料で作製できる。前記ハウジング部分1011、1012は、ドライエッチング、深掘り反応性イオンエッチング、および/またはレーザー穴あけにより製作できる。ハウジング上部1019および/またはハウジング下部には、口径段差またはテーパ形状のピアを含めることができる（図11）。さらに、ハウジング上部およびハウジング下部1011、1012に代えて、ハウジング上部、下部、および中間部1015、1016、1017を前記ハウジングに含めることもできる（図15）。前記ハウジング中間部1016は、組み立てたとき、前記ポゴピンアセンブリが前記ハウジング上部および下部1015、1017間に閉じ込められるよう、前記上部および下部1015、1017より大きくできる。代替製造アプローチとして、前記コンタクタ・プローブ・アセンブリ101のハウジング1013は、図14に示すように、Polystrata（登録商標）技術に保護層1014を加えて前記ポゴピン113と前記ハウジング1013の導電層間の電気接触を防ぐようにしたもので製作することもできる。他の製造方法としては、適切な材料の3D印刷などがある。

【0030】

前記コンタクタ・プローブ・アセンブリ101の構成の変形形態に加え、前記プローブインターフェース層102の構成の変形形態が望ましい場合もある。例えば、図16は、前記プローブインターフェース層の代替構成202の断面図を概略的に例示したものである。このプローブインターフェース層202には、拡大された端部219を含む中心導体207を含めることができ、前記拡大された端部219により、前記中心導体207とポゴピン113との間の電氣的および機械的な接触を改善できる。中心導体207は、比較的小さい断面幅と前記拡大された端部219とを同時に有することができ、これにより前

10

20

30

40

50

記プローブインターフェース層 202 内で中心導体 207 に付加的な空間が得られ、したがってより効果的な配線が提供される。また、前記拡大された端部 219 は、前記プローブインターフェース層 202 の空洞 203 内に引き込んで保護することができる。図 17 において、プローブインターフェース層 302 は、このプローブインターフェース層 302 内の異なる高さで、例えばこのプローブインターフェース層 302 の空洞 311、313 内で終端する中心導体 307、308、309 を含むことができる。同時に、コンタクタ・プローブ・アセンブリ 301 は、各前記中心導体 307、308、309 の終端高さに合わせた高さの異なるポゴピンアセンブリ 316、317、318 を含むことができ、これらの中心導体にポゴピンアセンブリ 316、317、318 が電気的および機械的に接触する。

10

【0031】

さらにポゴピンアセンブリに加えて、ポゴピン 113 以外の構造を、本発明のコンタクタ・プローブ・アセンブリ 101 内に利用することもでき、それは例えば Polystrata (登録商標) の中心導体バネ 807 である。中心導体を使ったコンプライアント層の作製は、複数の方法で行える。例えば、図 18 は本発明に係る例示的なプローブ 800 の一部の断面図を概略的に例示したもので、プローブ 800 は、Polystrata (登録商標) 工程で製作できるバネ領域 807 を備えた中心導体 802 を有する。具体的にいうと、前記プローブアセンブリ 800 は、同軸構造をもたらしよう外部導体 815 に内設された中心導体 802 を含むことができる。前記中心導体 802 にはバネ部 807 を含めることができ、このバネ部 807 は屈曲または偏向でき、被測定物との接触中に領域 807 の前記中心導体 802 が圧縮運動できるようにする。この中心導体 802 は、誘電体支持部 816 により前記外部導体 815 内で支持できる。このようなバネは、例えば平面内で蛇行する若しくは 3Dらせん状の、1 回若しくはそれ以上反復される C 字状の部分であってよい。あるいは、本発明に係るプローブアセンブリ 825 の同軸中心導体 828 にカンチレバー領域 8027 を含めて、そのカンチレバー領域を中心に、領域 826 で非導電体により固定された当該中心導体 828 が枢動または回転または屈曲するようにもできる (図 19)。

20

【0032】

また、図 20 において、プローブアセンブリ 830 内での同軸中心導体 837 の動きは、この中心導体 837 と同軸外部導体 835 との間に設けられた誘電体支持部材 836 の屈曲または曲がりに影響されうる (図 20)。図 22 では、誘電体支持部材 856 は曲がるのではなく、同軸中心導体 857 と外部導体 855 との間に設けられて枢動し、前記中心導体 857 が動けるようにする (図 22)。また、前記中心導体 857 は、前記外部導体 855 に対して十分動くため、被測定物のはんだバンプ 852 が当該プローブアセンブリ 850 の前記同軸外部導体 855 内で遮蔽されるようにできる。さらに図 21 において、本発明のプローブアセンブリ 840 は、同軸中心導体 847 および被測定物が物理的に接触することなく動作可能である。その代わりに、前記同軸中心導体 847 は、被測定物と通信するアンテナとして動作するよう構成できる。この同軸中心導体アンテナ 847 は、同軸外部導体 845 内に配置して、その内部で誘電体支持部材 846 により支持できる (図 21)。図 23 において、本発明のプローブアセンブリ 860 は遮蔽体、例えば遮蔽壁 861 を含むこともでき、これにより当該プローブアセンブリ 860 内で隣接しあう 2 つの被測定物 866、867 間のクロストークが最小限に抑えられて、複数サイト、または複数チップ、またはウエハーレベルのテストが容易になる (図 23)。

30

40

【0033】

さらにマルチデバイステストを容易にするため、スイッチ 878 (MEMS スイッチであってよい) を、複数の被測定物 871 ~ 874 と RF コネクタ 876 間に設けることができる。図 1 および 2 は、4 × 4 ノンブロッキング型スイッチマトリックスの斜視図および詳細な拡大断面図を例示したものである。図 1 には、同軸入力領域を伴う計 8 つのポートが、当該装置の 4 辺のそれぞれに 2 つずつある。スイッチングは、1 × 4 (SP4T) RF-MEMS スイッチ 93 で行い、この場合、Radant MEMS 社 (米国マサチ

50

ューセッツ州 Little town) の部品 (品番 RMSW240) を 8 つ使用している。ノンブロッキング型 4 × 4 スイッチマトリックスを作製するため、これら 8 つの 1 × 4 スイッチを相互接続するバイナリ同軸配線は、すべて Polystrata (登録商標) Coaxial 網 (ネットワーク) を使って行われ、このネットワークは RF シールド同軸交差部もすべて提供する。図 2 は、MEMS 93 がこの場合、いかにワイヤーボンドを使ってフェイスアップ実装および相互接続されるかわかりやすく示している。またフリップチップを使って、そのようなスイッチを Polystrata スイッチングファブリックに接合することもできる。前記 8 つの RF の左右へ伸びる I/O はマトリックス 95 に入出し、当該スイッチの操作に必要な DC 制御線 94 も見られる。図 1 および 2 は、このようにダイレベルのスイッチを同軸配線ファブリックに実装する方法を例示している。同様に図 24 は、本発明に基づき、各一連の被測定物 871 ~ 874 (図 3 では 106 で示した) における複数の RF 出力 875 の各々が前記スイッチ 878 に接続され、転じてそのスイッチ 878 がプローブインターフェース層 102 に選択的に接続できることをブロック図形式で示している。そのため、スイッチ 878 を前記プローブインターフェース層 102 または図 6 に示した任意選択的インターポーザ 117 と集積することで、コネクタ 103 およびケーブル配線の数 を低減できる可能性がある。スイッチングがなければ、被測定物 106 の対応する各回路に別個の RF および DC 同軸線 (および RF コネクタ 106) が必要になり、当該コンタクタ・プローブ・アセンブリの複雑さとコストは増大する。RF および DC スイッチを任意の表面上に、または場合により Polystrata (登録商標) ファブリック 102 内に集積でき、あるいはテスターアセンブリの必要に応じて他の位置に追加できることは明らかなはずである。また、前記スイッチ 878 および / または同軸線 890 は、プローブインターフェース層 102 内またはその表面上に設けられる。さらに、図示した前記スイッチ 878 および前記同軸線 890 は前記プローブインターフェース層 102 に接続されているが、前記スイッチ 878 および / または前記同軸線 890 は、前記インターポーザ 104 内またはその表面上に設けてもよい。

【0034】

図 25 は、空気同軸構造 (air-coax structure) を使用する展開工程 (fanning out process) を示した図である。底面図は、前記プローブインターフェース層 102 における小ピッチの接点を示しており、透視図はそれらの展開および再配線を示している。上面図は、前記接点の展開後の新たな位置を示している。図 26 は、RF または DC が前記プローブインターフェース層 102 の両側に配線された状態を示したものである。

【0035】

図 27 は、同軸線のもたらす配線密度および高い絶縁性により、前記プローブインターフェース層 102 の片側だけに RF または DC ラインをすべて配線できるため、より多くの DUT 106 を同時に測定できるようになった状態を示している。図 28 は、3D 同軸線の配線寸法を十分微細化することで、前記プローブインターフェース層 102 の片側だけに 2 つの DUT を並列に配線できることを示した図である。図 29 は、4 つの DUT をプローブしている状態を示しており、図 28 の構造を繰り返すことにより同時にテストする被測定物数をスケールできることを実証している。

【0036】

図 30 は、同時にテストする DUT 数の別の増加態様を示したもので、これは前記プローブインターフェース層の鏡像を加えることにより実現される。このウエハーレベルのテスト・インターフェース・ユニット 100 は、同時にテスト中の 8 つの被測定物を示しているが、これより多数のものも同様に実装できる。配線および展開は、ウエハー上での特定の DUT 配置またはテストパターンに合わせて構成することもできる。

【0037】

図 31 は、微細加工した垂直型カード 900 を使った新規性のある構成を示したもので、この垂直型カード 900 は、図 3 の前記コンタクタ・プローブ・アセンブリ 101、前記プローブインターフェース層 102、および前記インターポーザ 104 のうち 1 若しく

はそれ以上の機能を提供し、かつ、これを置き換えることができる。例えば、伝送線路 907 は、被測定物 106 の微細な配線ピッチを、RF または DC コネクタ用の間隔に広げることができる。前記同軸伝送線路 907 の中心導体は、前記コンタクタ・プローブ・アセンブリ 101 の前記ポゴピン 113 がもたらすバネ機能を代替できるバネ部、例えば 902 を含むことができる。任意選択で、このバネ部 902 は省略できる（図 33）。複数の垂直型カード 900 を、例えば、はんだ付けまたは機械的な取り付けにより組み立てると、垂直型カード 900 のアレイを作製できる（図 31 ~ 34）。同軸線の配線をさらに促進するため、図 34 では、共通の垂直型スペーストランスフォーマ（または拡張）基板 910 内へ小口径の同軸線 901 を配線する能力で実現される新規性のあるアーキテクチャも示している。図 16 に関連して説明した別個のコンタクタ層、または図 31 に関連して説明したモノリシックなコンタクタのどちらかから来る信号は、前記垂直型スペーストランスフォーマ 910 の片側のみで配線できる。片側のみ配線すると、配線する側を切り替えることにより、隣接しあう垂直型基板 910 を互いにずらすことができる。このような構成を使うと、 $N \times N$ テストプローブアレイの作製が可能になる。図 35 は、図 34 に示した互いにずらす技術を使った、シングルチップテスター用または $n \times n$ テスター用の新規性のある DC および RF 配線装置 920 を示したものである。DC および RF は分割して 920 の異なる表面から出すことができる。DC 出力配線 923 および RF コネクタ 924 は、この装置 920 の側部に設けられる。前記 DC 出力 923 は、柔軟なケーブル 921 を使って最終回路基板に配線できる。この DC コネクタ 923 は、同軸線の微細加工の一部であってよく、前記フレックスケーブルにはんだ付けできる。このアーキテクチャにより、被測定物から出力 I/O までに必要とされる密度について、前記コネクタ・スペーストランスフォーマを改善できるようになる。

【0038】

図 36 は、ある点で図 18 のプローブと同様な例示的プローブを示したものであり、共通のグランド 900 および中心導体 907 には、Polystrata（登録商標）工程で製作される領域 902 にバネを含めて、前記プローブ 102 の前記ポゴピンと同じ機能をもたらし、前記コンタクタ・プローブ・アセンブリ 101 を置き換えることができる。ここで示した概念では、中心導体を蛇行させながら蛇行領域の OD の制御を保つことにより、バネとして機能し若干たわみながら、伝送線路としても機能する領域を実現できることを実証している。この場合、前記外部導体用には $200 \text{ } \mu\text{m}$ ID が示されているが、前記内部導体は内部で中央に位置合わせされ、 $80 \text{ } \mu\text{m}$ OD を有する。これは中実の中心導体である代わりに、交互に逆向きの「C」字状部分を形成する $10 \text{ } \mu\text{m}$ の層で作製されており、各「C」は、弾性限界内で変形することにより圧縮および非平面との接触を可能する小さな屈曲部である。この例は、前記屈曲部またはバネ領域の前記「C」部が図面内で左右のみに蛇行しているが、前後への蛇行も可能であり、あるいは任意方向へ屈曲してたわめるよう前後左右の組み合わせも可能であることを示している。伝送線路をバネまたはコンプライアントな領域と組み合わせる他の多くの機械的設計も選択できる。そのようなバネと伝送線路との組み合わせが確実に電氣的に機能するよう、図示したような構造を ANSYS 社製 HFSS を使ってシミュレートし、示したようにバネを圧縮しても適切に低いリターンロス（反射減衰量）を得ることができた。有限要素（finite element：FE）法で機械的解析を行わなければならないように、有効長、容量、およびインダクタンスは、当該バネがいかに形成され、どの程度圧縮されるかに基づくため、FE 電磁解析が必要とされる。この新規性のあるアプローチでは、最高 100 GHz まで非常に良好な RF 整合が得られ、907、900、および 902 を有するテスト構造についてシミュレートした応答に示されているように、被測定線の遮蔽、低い挿入損失、および高い絶縁性がもたらされる。この微細加工バネでは、最低 $200 \text{ } \mu\text{m}$ 以下まで非常に微細なピッチを実現できる。

【0039】

図 37 は、ウエハーレベルのテスト・インターフェース・ユニット 100 を示したものである。前記プローブインターフェース層 102 の 3D 配線能力により、前記 PCB 1

10

20

30

40

50

05と当該プローブインターフェース層間に間隔が生まれる。この間隔により、受動または能動素子371が前記PCBまたは前記プローブインターフェース層102の上面に集積可能になる。受動素子371を集積できることにより、より高密度の回路が可能になり、PCB設計および/または前記プローブインターフェース層102の複雑さが低減され、前記DUT 106のテスト性能が改善される。

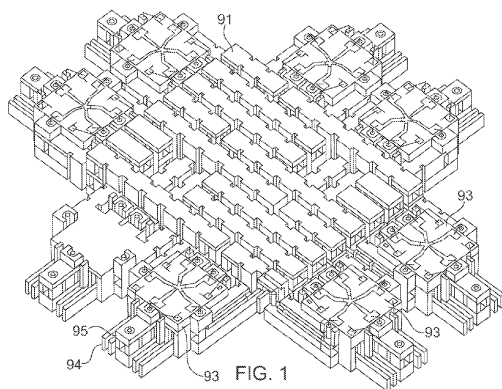
【0040】

図38は、同軸線内の受動素子381、例えばキャパシタ、抵抗、および/または能動素子、例えばダイオードまたはトランジスタの集積を示したものである。これらの受動素子は、前記中心導体107の両側、または前記中心導体107と前記外部導体109間の片側だけのどちらかに集積できる。このような能動または受動素子381の前記中心導体107上におけるインライン集積も可能である。前記空気同軸構造も、誘電体支持部826を集積できる。このような能動および/または受動素子を集積して、高速デジタル信号用にチューニング機能またはデカップリング機能を提供する能力は、非常に重要である。被測定物に近接したこれらの素子の微細集積は、伝送線路のインダクタンスによる寄生作用を最小限に抑えることにより、付加的な性能を提供する。

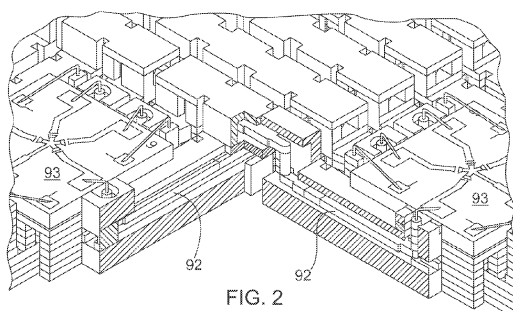
【0041】

以上に述べた本発明の利点等は、当業者であれば、本明細書の上記説明から明確に理解されるであろう。そのため、当業者であれば、本発明の広義の発明概念を逸脱しない範囲で上記の実施形態を変更または修正できることが理解されるであろう。従って、本発明は本明細書に説明した特定の実施形態に限定されず、添付の請求項に記載した本発明の要旨に含まれるすべての変更形態を含むよう意図されていると理解すべきである。

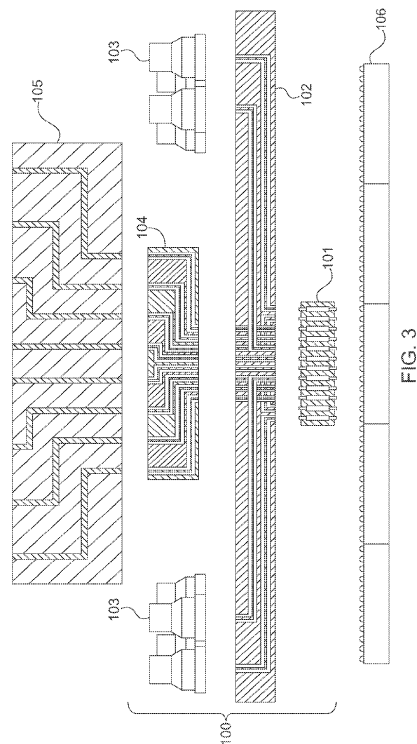
【図1】



【図2】



【図3】



【図 4】

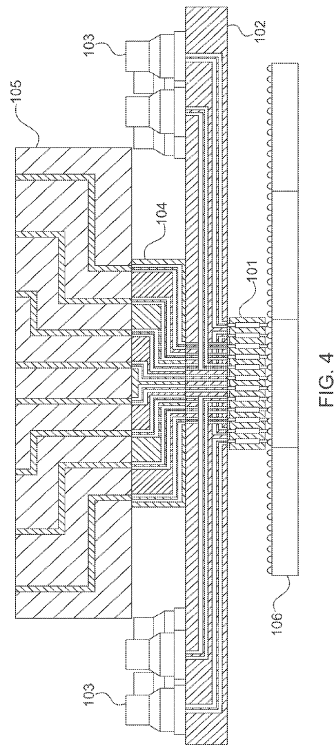


FIG. 4

【図 5】

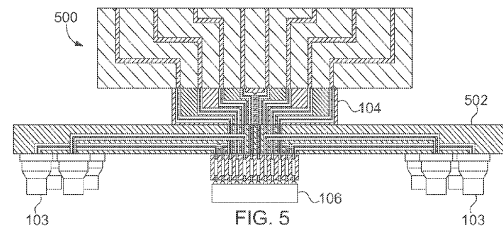


FIG. 5

【図 6】

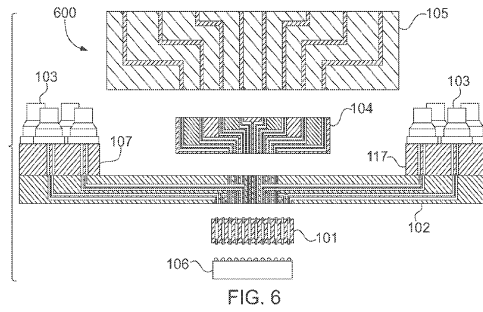


FIG. 6

【図 7】

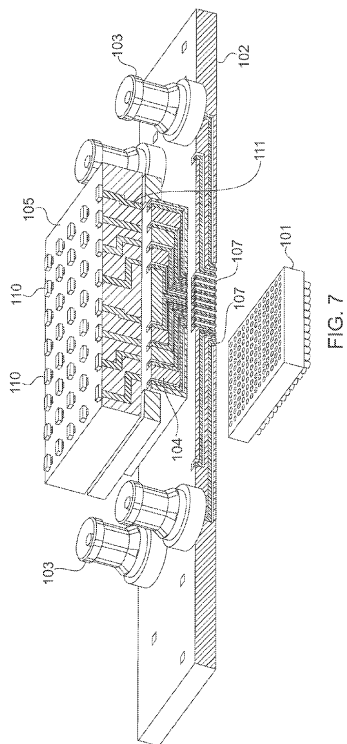


FIG. 7

【図 8】

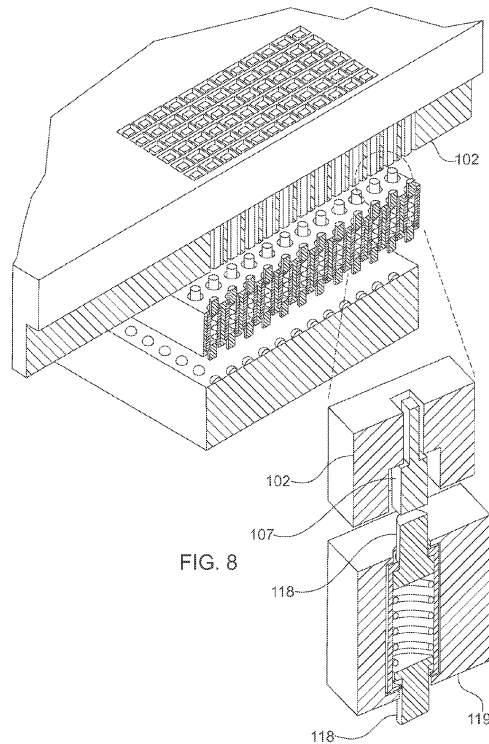
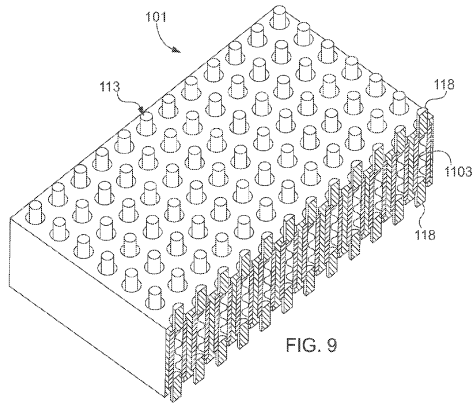
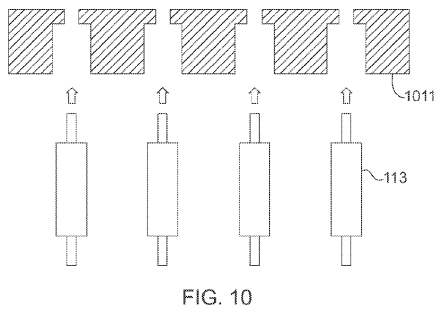


FIG. 8

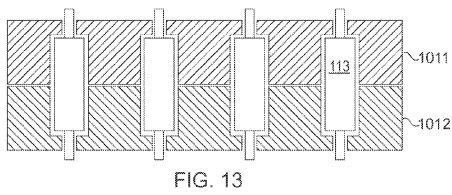
【図 9】



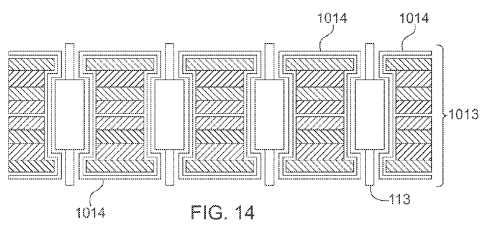
【図 10】



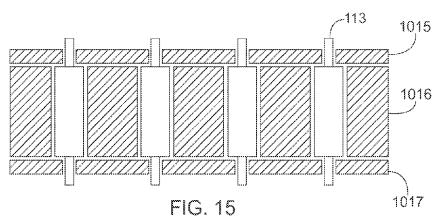
【図 13】



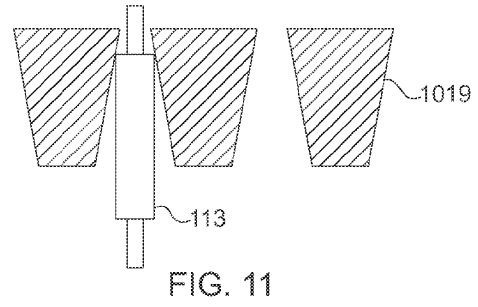
【図 14】



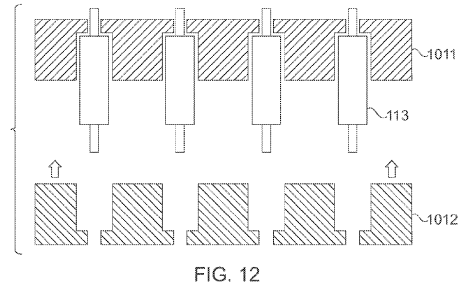
【図 15】



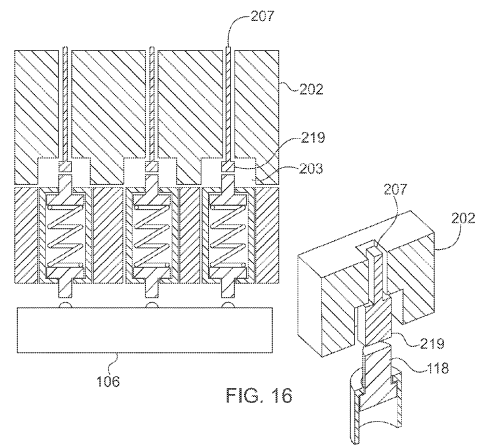
【図 11】



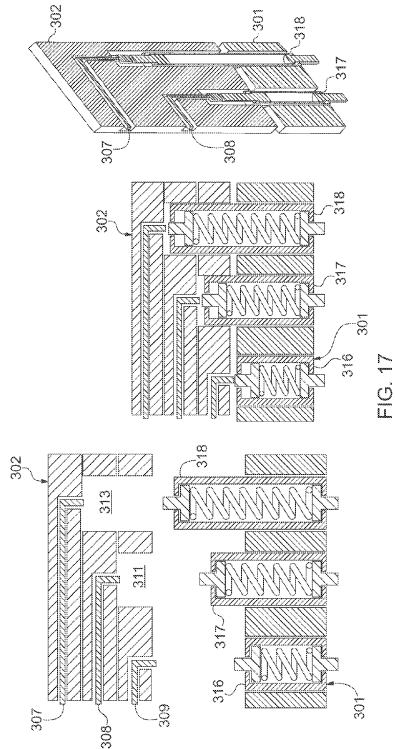
【図 12】



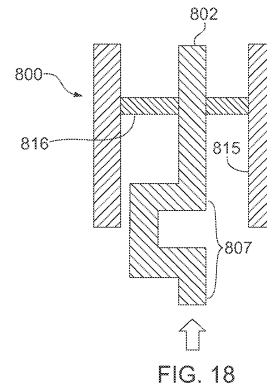
【図 16】



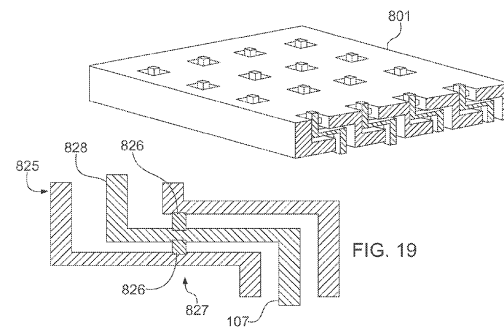
【図 17】



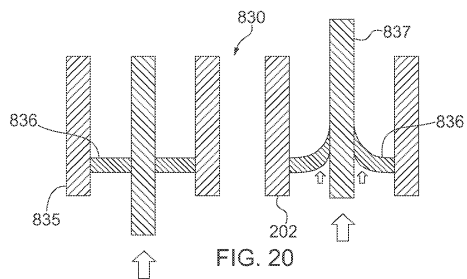
【図 18】



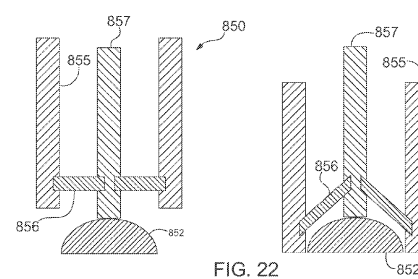
【図 19】



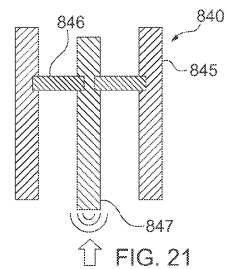
【図 20】



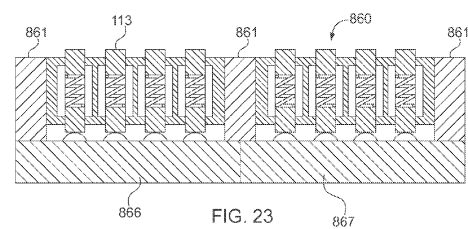
【図 22】



【図 21】



【図 23】



【図 24】

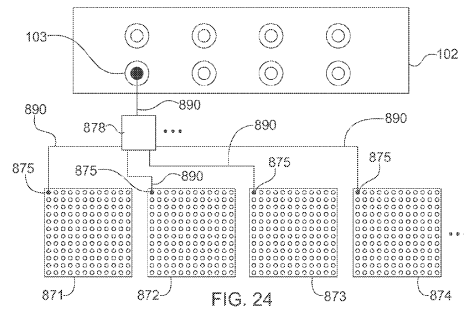


FIG. 24

【図 25】

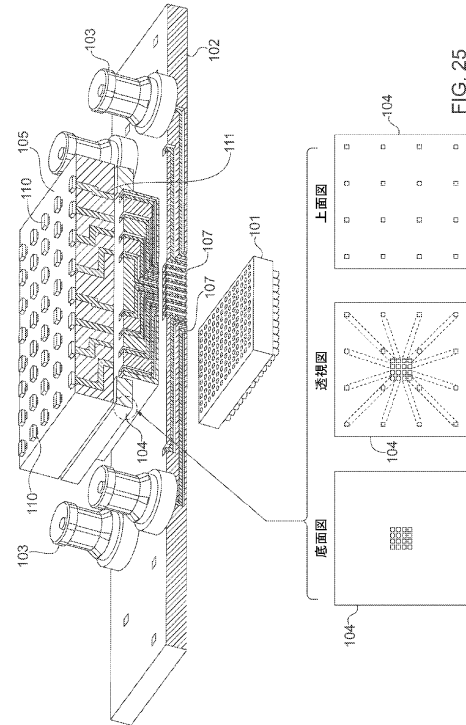


FIG. 25

【図 26】

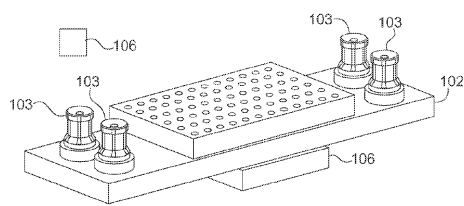


FIG. 26

【図 29】

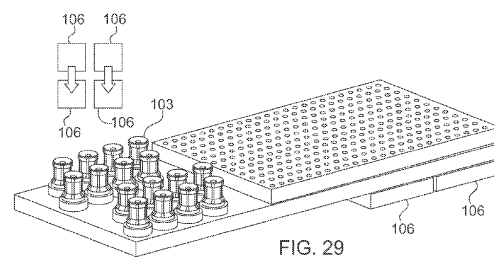


FIG. 29

【図 27】

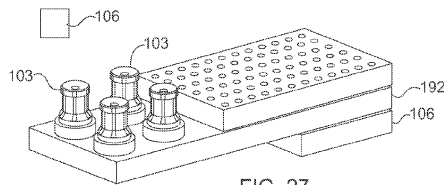


FIG. 27

【図 28】

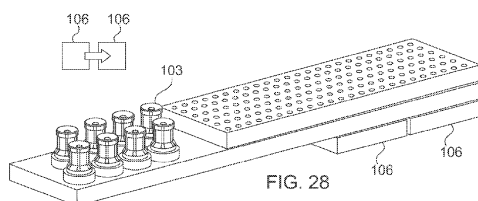
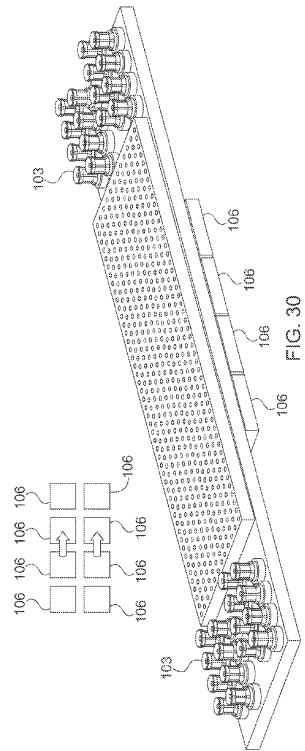
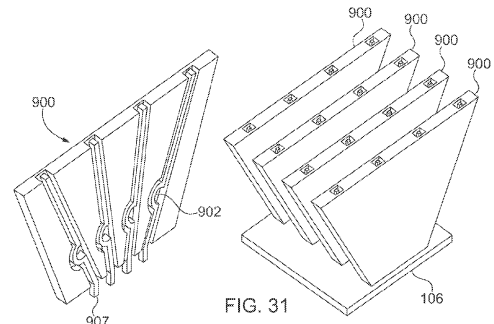


FIG. 28

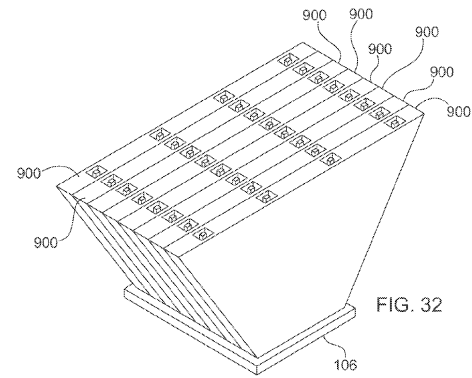
【図 30】



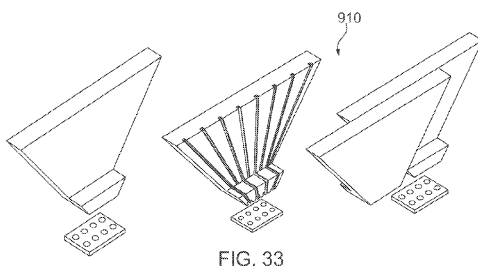
【図 31】



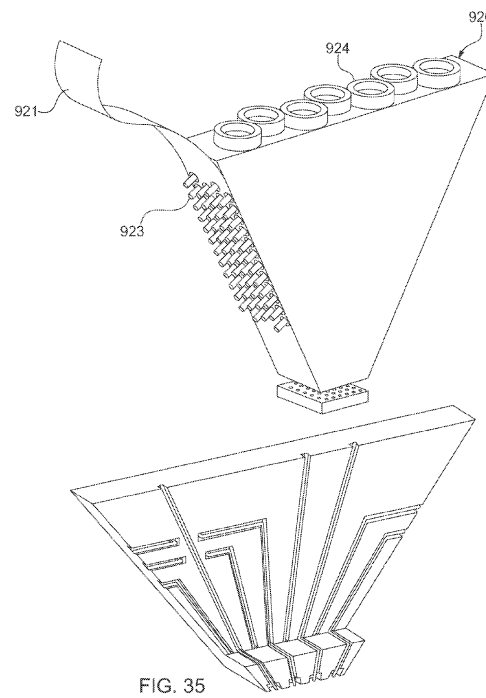
【図 32】



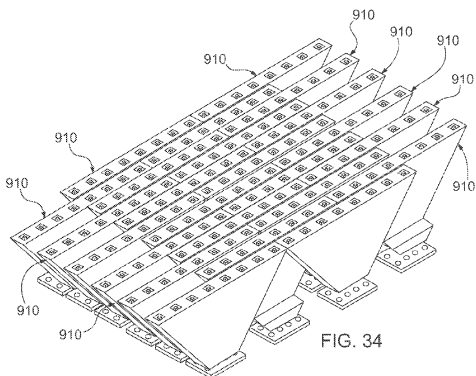
【図 33】



【図 35】



【図 34】



【図 36】

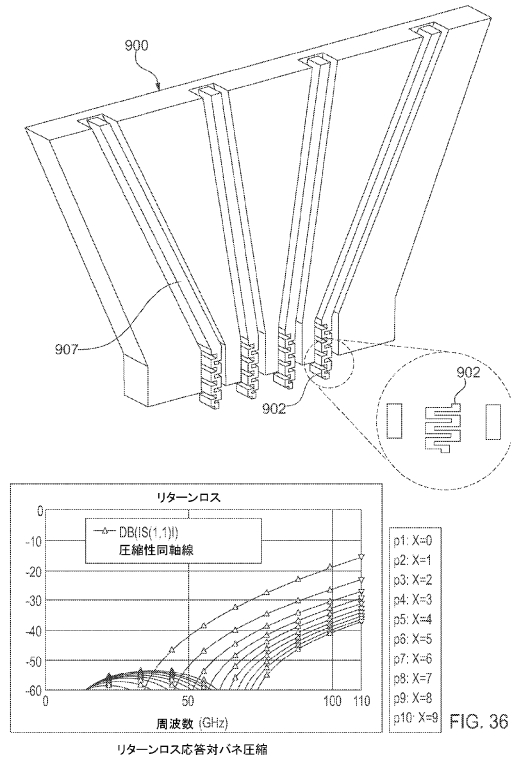


FIG. 36

【図 37】

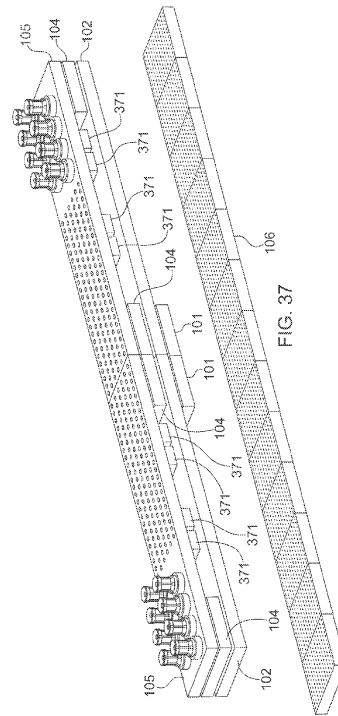


FIG. 37

【図 38】

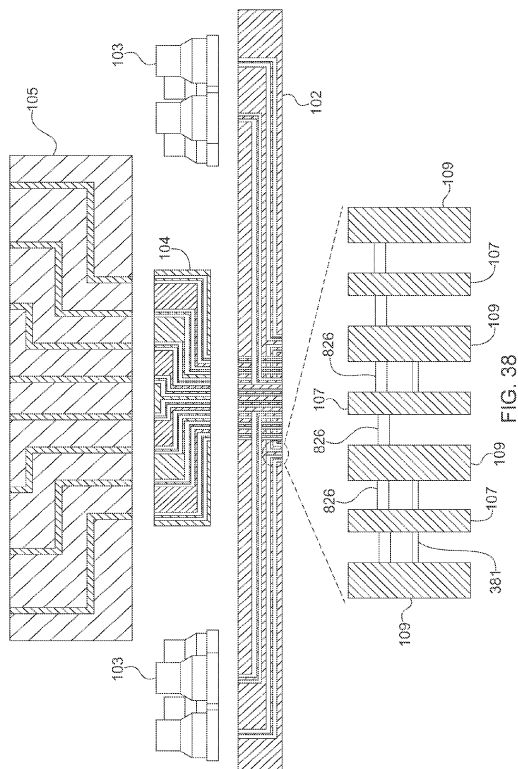


FIG. 38

フロントページの続き

- (72)発明者 ボリーセンコ、アナトリー、オー・
アメリカ合衆国、01007 マサチューセッツ州、ベルチャータウン、10 メドーポンド ロード
- (72)発明者 ローリン、ジャン - マーク
アメリカ合衆国、27703 ノースカロライナ州、チャペル ヒル、1301 サイプレス ロード

審査官 小池 英敏

- (56)参考文献 国際公開第2015/077009(WO, A1)
特表2016-538718(JP, A)
特開2001-356136(JP, A)
特開2004-325306(JP, A)
特開2008-032533(JP, A)
特開平06-317624(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/66
G01R 1/073
G01R 31/26
G01R 31/28