



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0031968
(43) 공개일자 2023년03월07일

(51) 국제특허분류(Int. Cl.)
H01G 11/36 (2013.01) H01G 11/12 (2013.01)
H01G 11/28 (2013.01) H01G 11/52 (2013.01)
H01G 11/80 (2013.01) H01G 11/82 (2013.01)
(52) CPC특허분류
H01G 11/36 (2013.01)
H01G 11/12 (2021.01)
(21) 출원번호 10-2023-7004437
(22) 출원일자(국제) 2021년07월07일
심사청구일자 없음
(85) 번역문제출일자 2023년02월07일
(86) 국제출원번호 PCT/US2021/040625
(87) 국제공개번호 WO 2022/010976
국제공개일자 2022년01월13일
(30) 우선권주장
63/048,874 2020년07월07일 미국(US)

(71) 출원인
패스트캡 시스템즈 코포레이션
미국 02210 매사추세츠주 보스턴 8번 플로어 드라
이도크 애비뉴 21
(72) 발명자
안드레, 위앗 엠.
미국 02210 매사추세츠주 보스턴 8번 플로어 이스
트 드라이도크 애비뉴 21
(74) 대리인
양영준, 김연송, 백만기

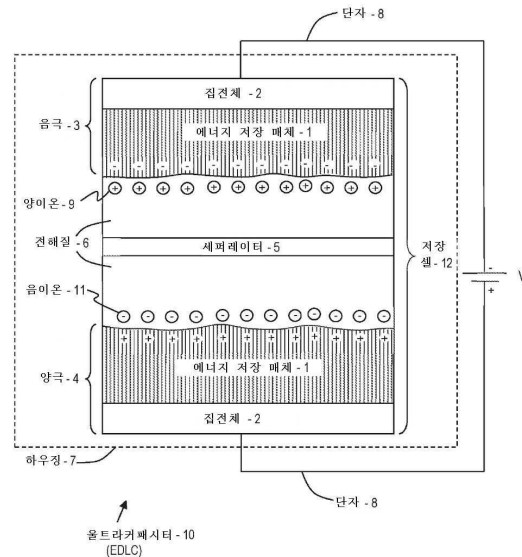
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 에너지 저장 장치를 위한 저장 셀을 제공하기 위한 방법 및 장치

(57) 요약

납땜 리플로우 공정을 사용하여 인쇄 회로 기판에 실장하기 위한 에너지 저장 장치는, 본체 내에 배치되고 각각의 외부 접점과 전기 통신하는 양극 내부 접점 및 음극 내부 접점을 포함하는 밀봉된 하우징 본체를 포함한다. 전기 이중 층 커패시터 에너지 저장 셀은 본체 내에 배치된다. 제조 방법이 개시된다.

대표도 - 도1



(52) CPC특허분류

H01G 11/28 (2013.01)

H01G 11/52 (2021.01)

H01G 11/80 (2021.01)

H01G 11/82 (2021.01)

Y02E 60/13 (2020.08)

명세서

청구범위

청구항 1

에너지 저장 장치로서,

에너지 저장 셀을 포함하되, 상기 에너지 저장 셀은,

전해질;

복수의 양면 전극; 및

단일 세퍼레이터

를 포함하고; 상기 복수의 양면 전극 및 상기 단일 세퍼레이터는 상기 전해질에 침지되고; 상기 복수의 전극 중 제1 전극은 상기 단일 세퍼레이터의 한쪽 단부 상에 배치되고, 상기 복수의 전극 중 제2 전극은 동일한 단일 세퍼레이터의 반대편 단부 상에 배치되는, 에너지 저장 장치.

청구항 2

제1항에 있어서, 상기 에너지 저장 셀은 덮개가 끼워지는 본체에 배치되며; 상기 본체 및 상기 덮개는 인쇄 회로 기판 상에 표면 실장을 위해 구성되는, 에너지 저장 장치.

청구항 3

제1항에 있어서, 상기 덮개의 내부 및 상기 본체의 내부는 보호층으로 보호되는, 에너지 저장 장치.

청구항 4

제3항에 있어서, 상기 보호층은 폴리테트라플루오로에틸렌 또는 폴리이미드를 포함하는, 에너지 저장 장치.

청구항 5

제1항에 있어서, 상기 복수의 양면 전극의 양면 전극은 집전체의 어느 한쪽 측면에 배치된 에너지 저장 매체를 갖는 상기 집전체를 포함하는, 에너지 저장 장치.

청구항 6

제5항에 있어서, 상기 집전체는 알루미늄을 포함하고, 상기 에너지 저장 매체는 활성 재료를 포함하는, 에너지 저장 장치.

청구항 7

제6항에 있어서, 상기 활성 재료는 바인더의 도움없이 상기 집전체에 배치되는, 에너지 저장 장치.

청구항 8

제6항에 있어서, 상기 활성 재료는 탄소 나노튜브의 매트릭스에 의해 함께 결합된 활성탄을 포함하는, 에너지 저장 장치.

청구항 9

제6항에 있어서, 상기 활성 재료는 수직으로 정렬된 탄소 나노튜브를 포함하는, 에너지 저장 장치.

청구항 10

제1항에 있어서, 상기 복수의 양면 전극은 복수의 좌측 양면 전극 및 복수의 우측 양면 전극을 포함하는, 에너지 저장 장치.

청구항 11

제1항에 있어서, 상기 단일 세퍼레이터는 폴리테트라플루오로에틸렌을 포함하는, 에너지 저장 장치.

청구항 12

제1항에 있어서, 상기 단일 세퍼레이터는 z-폴드 배열을 포함하는, 에너지 저장 장치.

청구항 13

제12항에 있어서, 상기 z-폴드 배열은 그 각각의 관련 집전체가 내부에서 폴딩된 대향하는 양 전극 및 음 전극을 포함하는, 에너지 저장 장치.

청구항 14

제1항에 있어서, 상기 제2 전극은 상기 제1 전극 반대편에 배치되는, 에너지 저장 장치.

청구항 15

제1항에 있어서, 상기 에너지 저장 셀은 롤로 권취되는, 에너지 저장 장치.

청구항 16

제15항에 있어서, 상기 제1 전극의 각각 및 상기 제2 전극의 각각은 상기 에너지 저장 셀 너머로 연장되는 다수의 전기 전도성 탭과 접촉하는, 에너지 저장 장치.

청구항 17

제16항에 있어서, 상기 전도성 탭의 각각은 상기 롤에서 상기 에너지 저장 셀의 증가하는 반경을 수용하도록 서로로부터 측 방향으로 오프셋되는, 에너지 저장 장치.

청구항 18

방법으로서,

본체의 본체 캐비티에 에너지 저장 셀을 배치하는 단계로서, 상기 에너지 저장 셀은,

전해질;

복수의 양면 전극; 및

단일 세퍼레이터

를 포함하고; 상기 복수의 양면 전극 및 상기 단일 세퍼레이터는 상기 전해질에 침지되고; 상기 복수의 전극 중 제1 전극은 상기 단일 세퍼레이터의 한쪽 단부 상에 배치되고, 상기 복수의 전극 중 제2 전극은 동일한 단일 세퍼레이터의 반대편 단부 상에 배치되는, 상기 에너지 저장 셀을 배치하는 단계; 및

상기 본체 캐비티 상에 덮개를 배치하는 단계를 포함하는, 방법.

청구항 19

제18항에 있어서, 상기 본체 또는 상기 덮개 상에 인쇄 회로 기판을 배치하는 단계를 더 포함하는, 방법.

청구항 20

제18항에 있어서, 상기 에너지 저장 셀을 롤로 감는(rolling) 단계를 더 포함하는, 방법.

청구항 21

제20항에 있어서, 상기 에너지 저장 셀 너머로 연장되는 다수의 전기 전도성 탭과 상기 제1 전극의 각각 및 상기 제2 전극의 각각을 접촉시키는 단계를 더 포함하는, 방법.

청구항 22

제21항에 있어서, 상기 롤에서 상기 에너지 저장 셀의 증가하는 반경을 수용하도록 상기 전도성 탭들을 서로로부터 측 방향으로 오프셋시키는 단계를 더 포함하는, 방법.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2020년 7월 7일자로 출원된 미국 특허 가출원 제63/048874호에 대한 우선권을 주장하고, 이는 그 전문이 참조에 의해 본 명세서에 원용된다.

[0003] 본 발명의 기술분야

[0004] 본 명세서에 개시된 발명은 에너지 저장 장치에 관한 것으로, 특히 전기 회로 기판에 실장하기 위해 구성된 에너지 저장 장치에 관한 것이다.

배경 기술

[0005] 많은 디바이스는 회로 기판 상에 배치된 구성요소를 갖는 전자 기기를 사용한다. 모든 전자 기기와 마찬가지로, 구성요소에 전원을 공급하려면 효과적인 전원 공급 장치가 필요하다. 회로 기판에 로컬 전원을 공급하는 하나의 기술은 배터리 및 커패시터와 같은 에너지 저장 장치의 사용을 수반한다.

[0006] 일반적으로, 종래 커패시터는 킬로그램당 약 360 J 미만의 특정 에너지를 제공하는데 반하여, 종래 알칼리 배터리는 약 590 kJ/kg의 밀도를 갖는다. 울트라커패시터(ultracapacitor)("슈퍼커패시터"로도 지칭됨)은 배터리보다 훨씬 빠른 충전을 수용하고 전달할 수 있으며, 충전식 배터리보다 더 많은 충전 및 방전 사이클을 허용할 수 있다. 이는 울트라커패시터의 구현을 전기 공학자에게 매력적인 솔루션으로 만든다.

[0007] 첫 번째 설계 장애는 전형적인 울트라커패시터가 주어진 충전을 위해 종래의 배터리보다 상당히 더 클 수 있다는 것이다. 전력 밀도의 향상과 함께, 또 다른 문제는 공정 배향에 있다. 즉, 전기 회로의 조립은 회로 기판에 구성요소의 납땜을 필요로 한다. 이러한 "리플로우 공정(reflow process)"은 종래의 울트라커패시터를 저하시키거나 파괴하기에 충분할 만큼 상당한 열을 발생시킨다. 따라서, 울트라커패시터의 사용은 회로 기판에 실장된 전자 기기에 전력을 공급하기 위한 매력적인 솔루션일 수 있지만, 이러한 솔루션은 높은 전력 출력을 요구하는 콤팩트한 설계에는 사용할 수 없었다. 그 외에, 기존의 울트라커패시터 기술의 또 다른 문제는 이러한 구성요소의 제한된 수명이다.

[0008] 회로 기판 상에 배치된 전기 구성요소에 전력을 공급하는데 유용한 울트라커패시터가 필요하다. 바람직하게, 울트라커패시터는 구성요소의 축소된 크기에 적합한 콤팩트한 설계를 제공하고, 리플로우 처리에서 살아 남을 수 있으며, 유용한 동작 수명을 제공한다.

발명의 내용

[0009] 일 양태에서, 납땜 리플로우 공정을 사용하여 인쇄 회로 기판에 실장하기에 적합한 에너지 저장 장치가 개시된다. 일부 실시형태에서, 장치는, 밀봉된 하우징 본체(예를 들어, 그에 덮개가 부착된 하부 본체)를 포함하고, 밀봉된 하우징 본체는, 본체 내에 배치되고 각각의 양극 외부 접점 및 음극 외부 접점과 각각 통신하는 양극 내부 접점 및 음극 내부 접점(예를 들어, 금속 접점 패드)을 포함한다. 외부 접점의 각각은 본체의 외부에 전기 통신을 제공하고, 본체의 외부 표면 상에 배치될 수 있다. 전극 층과 전기 절연 세퍼레이터 층이 교번하는 스택을 포함하는 전기 이중 층 커패시터(electric double layer capacitor: EDLC)("울트라커패시터" 또는 "슈퍼커패시터"로도 지칭됨) 에너지 저장 셀은 본체에 있는 캐비티 내에 배치된다. 전해질은 캐비티 내에 배치되며 전극을 적신다. 양극 리드는 전극 층 중 하나 이상의 제1 그룹을 양극 내부 접점에 전기 연결하고; 음극 리드는 전극 층 중 하나 이상의 제2 그룹을 음극 내부 접점에 전기 연결한다.

[0010] 일부 실시형태에서, 전극 층의 각각은, 실질적으로 결합체가 없고 본질적으로 탄소질 재료로 이루어진 에너지 저장 매체를 포함한다. 일부 실시형태에서, 에너지 저장 매체는 빈 공간을 한정하는 탄소 나노튜브의 네트워크; 및 빈 공간에 위치되고 탄소 나노튜브의 네트워크에 의해 결합된 탄소질 재료(예를 들어, 활성탄(activated carbon))을 포함한다. 일부 실시형태에서, 적어도 하나의 전극 층은 전도성 집전체 층의 대향하는 표면들에 배치된 에너지 저장 매체를 갖는 양면 전극 층을 포함한다.

- [0011] 일부 실시형태에서, 본체와 물리적으로 접촉하는 에너지 저장 셀의 표면은 전기 절연 재료(예를 들어, 층 선펜 레이터 재료 또는 일부 실시형태에서는 셀 주위에 배치된 절연 인벨로프 배리어(insulating envelope barrier))로 이루어진다.
- [0012] 일부 실시형태에서, 전극 층의 각각은 양극 리드 및 음극 리드 중 어느 하나에 부착된 전도성 탭을 포함한다. 예를 들어, 양극의 그룹은, 예컨대, 초음파 용접 또는 다른 적절한 기술(및 음극의 경우와 유사하게)을 사용하여 양극 리드에 연결된 탭을 포함할 수 있다.
- [0013] 다양한 실시형태에서, 동작 동안 전해질과 접촉할 수 있는 장치의 전기 화학적 활성 부분을 격리하는 것에 의해 부식 및 다른 관련된 유해한 영향을 방지하는 것이 바람직할 수 있다. 따라서, 일부 실시형태는 하나 이상의 부식 방지 특징부, 예를 들어, 내부 접점 중 하나에 근접하여 위치되고 동작 동안 상기 내부 접점과 전해질 사이의 전기 화학적 반응을 제한하도록 구성된 특징부를 포함한다. 일부 실시형태에서, 내부 접점은 전해질과의 비교적 높은 전기 화학적 활성도를 갖는 제1 재료를 포함하고, 부식 방지 특징부는 제1 재료보다 전해질과의 비교적 낮은 전기 화학적 활성도를 갖는 제2 재료의 보호층을 포함하고, 상기 보호층은 제1 재료와 전해질 사이의 접촉을 방지하도록 배치된다. 일부 실시형태에서, 보호층은, 예를 들어, 본 명세서에서 설명된 유형의 실런트(sealant)의 층을 포함한다. 일부 실시형태에서, 보호층은 제1 재료의 표면 상에 배치된 금속층을 포함한다. 일부 실시형태에서, 보호층은 제1 재료의 표면 상에 배치된 금속층 및 금속층 상에 배치된 실런트 층을 포함한다. 일부 실시형태에서, 금속층은 실런트 층에 의해(예를 들어, 내부 접점에) 고정되거나 또는 부분적으로 고정된 금속 심(metallic shim)을 포함한다. 일부 실시형태에서, 본체의 내부 표면은 부식 방지 특징부의 적어도 일부를 수용하도록 구성된 오목 부분(recessed portion)을 포함한다. 일부 실시형태에서, 양극 또는 음극 리드 중 일부는 내부 접점 중 하나에 연결되도록 부식 방지 특징부를 통해 연장된다. 일부 실시형태에서, 부식 방지 특징부는 알루미늄 금속층을 포함한다. 일부 실시형태에서, 부식 방지 특징부는 에폭시 실런트를 포함한다.
- [0014] 일부 실시형태는, 에너지 저장 셀 및 전해질을 둘러싸고 전해질 및 에너지 저장 셀과 캐비티의 표면의 접촉을 방지하도록 구성된 전기 절연 인벨로프 배리어를 포함한다. 일부 실시형태에서, 리드들은 에너지 저장 셀로부터 배리어를 통해 내부 접점으로 연장된다. 일부 실시형태에서, 배리어는 배리어 인벨로프 내로부터 전해질의 누출을 방지하도록 리드들에 열 밀봉된다.
- [0015] 일부 실시형태에서, 본체는 인쇄 회로 기판에 표면 실장하기 위해 구성된 칩(예를 들어, 세라믹 기반 마이크로 칩 패키지)이며, 이렇게 실장될 때, 칩은 인쇄 회로 기판의 주 표면 위로 약 5.0mm, 4.0mm, 3.5mm, 3.0mm 이하로 연장된다.
- [0016] 일부 실시형태에서, 장치는 적어도 2.0V, 2.1V, 2.2V, 2.3V, 2.4V, 2.5V, 3.0V 이상의 동작 전압을 가질 수 있다. 일부 실시형태에서, 장치는 적어도 300 mF, 400 mF, 450 mF, 500 mF 이상의 정전 용량을 가질 수 있다. 일부 실시형태에서, 장치는 적어도 4.0 J/cc, 4.5 J/cc, 5.0 J/cc, 5.1 J/cc 이상의 에너지 밀도를 가질 수 있다. 일부 실시형태에서, 장치는 적어도 15 W/cc, 적어도 20 W/cc, 적어도 22 W/cc 이상의 피크 전력 밀도를 가질 수 있다. 일부 실시형태에서, 장치는 500 M Ω 이하의 등가 직렬 저항, 400 M Ω 이하의 등가 직렬 저항, 300 M Ω 이하의 등가 직렬 저항을 가질 수 있다. 일부 실시형태에서, 장치는 적어도 65 $^{\circ}$ C, 75 $^{\circ}$ C, 85 $^{\circ}$ C, 100 $^{\circ}$ C, 125 $^{\circ}$ C, 150 $^{\circ}$ C 이상의 동작 온도 등급을 가질 수 있다.
- [0017] 일부 실시형태에서, 장치는 30% 미만의 정전 용량 저하 및 100% 미만의 등가 직렬 저항 증가를 보이면서, 적어도 2.0V(또는 적어도 2.1V 이상)의 동작 전압 및 적어도 65 $^{\circ}$ C의 동작 온도에서 적어도 2,000시간의 동작 수명을 가질 수 있다. 일부 실시형태에서, 장치는 30% 미만의 정전 용량 저하 및 100% 미만의 등가 직렬 저항 증가를 보이면서, 적어도 2.0V(또는 적어도 2.1V 이상)의 동작 전압 및 적어도 85 $^{\circ}$ C의 동작 온도에서 적어도 1,000시간, 적어도 1,500시간, 적어도 2,000시간, 적어도 3,000시간 이상의 동작 수명을 가질 수 있다. 일부 실시형태에서, 장치는 30% 미만의 정전 용량 저하 및 100% 미만의 등가 직렬 저항 증가를 보이면서, 적어도 2.0V(또는 적어도 2.1V 이상)의 동작 전압 및 적어도 100 $^{\circ}$ C의 동작 온도에서 적어도 1,000시간, 적어도 1,500시간, 적어도 2,000시간, 적어도 3,000시간 이상의 동작 수명을 가질 수 있다. 일부 실시형태에서, 동작 수명은 장치가 적어도 100 $^{\circ}$ C, 200 $^{\circ}$ C, 250 $^{\circ}$ C, 300 $^{\circ}$ C 이상의 피크 온도로 적어도 30초, 60초, 120초, 180초, 240초, 360초 이상의 적어도 1, 2, 3, 4, 5, 6번 이상의 온도 사이클을 갖는 리플로우 공정을 사용하여 인쇄 회로 기판에 납땜된 후에 발생한다.
- [0018] 일부 실시형태에서, 에너지 저장 셀은 전력(예를 들어, 백업 전력)을 회로 기판에 실장된 적어도 하나의 추가 소자(예를 들어, 솔리드 스테이트 메모리 디바이스)에 제공한다.

- [0019] 일부 실시형태에서, 전해질은 이온성 액체를 포함하고, 이는 일부 실시형태에서는, 예를 들어, 본 명세서에서 설명된 유형의 염 및/또는 용매와 혼합될 수 있다.
- [0020] 일부 실시형태에서, 하우징 본체는 기밀하게 밀봉된다. 예를 들어, 일부 실시형태에서, 금속 덮개는 본 명세서에서 자세히 설명된 바와 같이, 하우징 본체를 형성하도록 세라믹 소자에 부착(예를 들어, 용접)될 수 있다.
- [0021] 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 할라이드 이온의 총 농도는 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 금속 종(species) 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 브로모에탄, 클로로에탄, 1-브로모부탄, 1-클로로부탄, 1-메틸이미다졸, 에틸 아세테이트 및 메틸렌 클로라이드의 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 수분은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm, 50 ppm, 10 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 할라이드 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm, 50 ppm, 10 ppm 이하로 유지된다.
- [0022] 일부 실시형태에서, 장치는 밀봉된 하우징 본체에 수용된 단일 에너지 저장 셀, 즉 칩당 하나의 에너지 저장 셀을 포함한다. 다른 실시형태에서, 각각의 칩은, 예를 들어, 공동 캐비티 내에, 개별 캐비티 내에, 또는 이들의 조합에 함께 배치된 다수의 에너지 저장 셀을 포함할 수 있다.
- [0023] 다른 양태에서, 납땜 리플로우 공정을 사용하여 인쇄 회로 기판에 실장하기에 적합한 에너지 저장 장치를 제조하는 방법이 개시된다. 일부 실시형태에서, 방법은, 전극 층과 전기 절연 분리 층이 교번하는 스택을 포함하는 전기 이중 층 커패시터(EDLC) 에너지 저장 셀을 형성하는 단계; 하우징 본체 내에 에너지 저장 셀을 배치하는 단계로서, 본체는 본체 내에 배치된 양극 내부 접점 및 음극 내부 접점을 포함하는, 상기 에너지 저장 셀을 배치하는 단계; 전극 층을 적시도록 전해질로 본체를 적어도 부분적으로 채우는 단계; 전극 층 중 하나 이상의 제 1 그룹으로부터의 양극 리드를 양극 내부 접점에 전기적으로 연결하는 단계; 전극 층 중 하나 이상의 제 2 그룹으로부터의 음극 리드를 음극 내부 접점에 전기적으로 연결하는 단계; 및 에너지 저장 셀이 캐비티 내에 배치된 하우징 본체를 밀봉하는 단계를 포함한다. 일부 실시형태에서, 하우징 본체를 밀봉하는 단계는 (예를 들어, 본 명세서에서 설명된 바와 같은 낮은 불순물 조건을 제공하기 위해) 하우징 본체를 기밀하게 밀봉하는 단계를 포함한다.
- [0024] 다른 양태에서, 인쇄 회로 기판에 실장된 장치에 에너지를 제공하는 방법이 개시된다. 일부 실시형태에서, 방법은 납땜 리플로우 공정을 사용하여 인쇄 회로 기판에 본 명세서에서 설명된 유형의 장치를 실장하는 단계; 및 장치에 에너지를 제공하기 위해 동작 전압 및 동작 온도에서 장치를 반복적으로 충전 및 방전시키는 단계를 포함한다. 일부 실시형태에서, 동작 전압은 적어도 2.0V, 2.1V, 2.2V, 2.3V, 2.4V, 2.5V, 2.75V, 3.0V 이상이다. 일부 실시형태에서, 동작 온도는 적어도 65℃, 적어도 85℃, 적어도 100℃, 적어도 125℃, 적어도 150℃ 이상이다. 일부 실시형태에서, 방법은 장치가 30% 미만의 정전 용량 저하 및 100% 미만의 등가 직렬 저항 증가를 보이면서 적어도 2,000시간 동안 장치에 에너지를 제공하기 위해 동작 전압 및 동작 온도에서 장치를 반복적으로 충전 및 방전시키는 단계를 포함한다.
- [0025] 다양한 실시형태는 단독으로든 또는 임의의 적절한 조합으로든 본 명세서에서 설명된 임의의 특징 및 요소를 포함할 수 있다.

도면의 간단한 설명

- [0026] 본 발명의 특징 및 이점은 다음과 같은 첨부 도면과 함께 다음의 상세한 설명으로부터 명백하다:

도 1은 예시적인 에너지 저장 장치, 이 예에서 울트라커패시터의 양태를 도시하는 개략도이고;

도 2는 본 명세서에서의 교시에 따른 칩 캡(chip cap)의 실시형태를 예시하는 등각도이고;

도 3은 도 2의 칩 캡의 (대향하는 각도로부터의) 분해도이고;

도 4a, 도 4b 및 도 4c는 본 명세서에서 도 4로서 총칭되며, 도 2의 칩 캡을 위한 전극의 예시이고;

도 5a는 도 2의 칩 캡을 위해 저장 셀 내에서 사용하기 위한 에너지 저장 매체의 실시형태의 도면이고;

도 6a는 도 5a의 실시형태로부터 초래되는 저장 셀을 도시하는 등각도이고;

도 5b는 도 2의 칩 캡을 위해 저장 셀 내에서 사용하기 위한 에너지 저장 매체의 다른 실시형태의 단부도이고;
 도 6b는 도 5b의 실시형태로부터 초래되는 저장 셀을 도시하는 등각도이고;
 도 7은 도 2의 칩 캡을 위한 본체를 도시하는 등각도이고;
 도 8은 도 7의 본체의 저면도이고;
 도 9는 도 7의 본체 내에 배치된 도 6의 저장 셀을 도시하는 등각도이고;
 도 10은 저장 셀의 통합을 위해 준비 상태에서 도 7의 본체의 개략적인 부분 단면도이고;
 도 11은 도 9의 조립체의 평면도이고;
 도 12는 도 11에 도시된 조립체의 단면도로서, "A"로 라벨링된 축을 따라 취한 단면도이고;
 도 13은 도 2의 칩 캡의 리플로우 동안의 시간-온도 프로파일을 도시하는 그래프이고;
 도 14 내지 도 16은 칩 캡의 실시형태에 대한 성능 데이터의 양태를 표시하는 그래프이고;
 도 17a 및 도 17b는 칩 캡의 실시형태에 대한 성능 데이터의 양태를 도시하는 그래프이고;
 도 18a 및 도 18b는 칩 캡의 실시형태에 대한 성능 데이터의 양태를 도시하는 그래프이고;
 도 19는 도 2의 칩 캡을 사용하기 위한 시스템을 도시하는 개략도이고;
 도 20은 도 2의 칩 캡을 사용하기 위한 공정 흐름을 도시하는 개략도이고;
 도 21 내지 도 25는 권취된 저장 셀(wound storage cell) 및 권취된 저장 셀을 제조하기 위한 권취 도구의 양태를 도시하고;
 도 26은 권취된 저장 셀이 있는 맨드릴 보유 시스템의 또 다른 구성의 양태를 도시하고;
 도 27은 인장 시스템(즉, 텐서너)을 포함하는 권취 도구의 실시형태의 개략도이고;
 도 28은 도 27의 인장 시스템으로부터의 가이드 플레이트를 포함하는 권취 도구의 일부를 도시하는 사시도이고;
 도 29는 에너지 저장 매체가 그 안에 적재되는 도 28에 도시된 배열의 평면 사시도이고;
 도 30은 인장 시스템의 양태를 측면 사시도를 도시하고;
 도 31은 도 5b 및 도 6b의 권취된 저장 셀을 제공하기 위해 권취 도구에서 사용하기에 적합한 전극의 양태를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0027] 에너지 저장 셀을 제조하는데 유용한 장치가 본 명세서에서 개시된다. 일단 제작되면, 에너지 저장 셀을 하우징 내로 적재되고, 이어서, 하우징은 전해질로 채워지고 밀봉된다. 밀봉된 장치는 최종 사용자에게 의한 사용을 위해 이용 가능하다.
- [0028] 본 명세서에 제공된 예에서, 에너지 저장 셀은 울트라커패시터를 위해 설계되지만, 배터리와 같은 다른 유형의 에너지 저장 장치는 본 명세서에 개시된 것으로부터 이익을 얻을 수 있다. 본 명세서에 제공된 예에서, 에너지 저장 장치는 "칩 캡"이다. 칩 캡은 회로 기판에 에너지를 공급하는데 유용한 울트라커패시터 유형의 에너지 저장 장치이다. 유리하게, 칩 캡은 기판 실장 회로의 제조 및 조립과 관련된 요구를 견딜 수 있고, 이어서 종래 기술의 에너지 저장 장치보다 우수한 성능을 제공할 수 있다.
- [0029] 에너지 저장 장치를 도입하기 전에, 본 명세서의 교시에 대한 맥락을 확립하기 위해 일부 용어가 제공된다.
- [0030] 에너지 저장 장치의 실시형태는 본 명세서에서 "울트라커패시터"로, 추가로 "칩 캡"으로 지칭될 수 있다. "칩 캡"이라는 용어는 일반적으로 인쇄 회로 기판(PCB)에 표면 실장하기에 적합한 울트라커패시터의 실시형태를 지칭한다. 일반적으로, "칩 캡"이라는 용어는 회로 기판(즉, 칩)에 실장 가능한 종래 마이크로칩 스타일 구성요소 및 그 안에 포함된 울트라커패시터 기술과 관련된다.
- [0031] 본 명세서에서 사용되는 바와 같이, "리플로우 가능한(reflowable)"이라는 용어는 일반적으로 회로 기판에서의 표면 실장과 관련된 제조 공정을 견디기 위한 본 명세서에 개시된 에너지 저장 장치의 능력을 지칭한다. 제조

공정은 공정 온도가 150℃ 이상, 일부 경우 200℃까지, 가능하게 220℃ 이상까지 구성요소를 가열하는 가열 사이클을 포함하는 납땜(즉, 리플로우 공정)을 포함할 수 있다. 이러한 가열 사이클은 30, 60, 90, 120, 240, 360 초 이상의 지속 기간 동안 지속될 수 있다. 따라서, 본 명세서에서 논의된 바와 같이, "리플로우 가능한" 구성 요소는 향후 실질적으로 성능 저하를 겪지 않으면서 구성요소를 기관 실장 회로에 통합하는데 적합한 가열 사이클을 견딜 수 있는 구성요소이다. 일부 실시형태에서, 본 명세서에 개시된 구성요소는 복수의 이러한 리플로우 사이클, 예를 들어, 2, 3, 4, 5번 이상의 이러한 사이클을 견딜 수 있다.

[0032] 일부 실시형태에서, 리플로우 가능한 구성요소는 실제로 저하된 성능을 나타낼 수 있으며, 그러나, 저하는 예측될 수 있으며, 최종 설치(즉, 조립되거나 또는 실장된 구성요소)는 허용 가능한 것으로 간주되는 예측된 수준의 성능을 나타낼 수 있다.

[0033] 칩 캡을 도입하기 전에, 전기 화학적 이중 층 커패시터(EDLC)의 일부 일반적인 양태는 도 1과 함께 다음에 설명된다. 본 명세서에서 제시된 예는 그 기술을 제한하는 것은 아니며, 단지 예시적인 것으로서 설명을 위해 제공된다.

[0034] 도 1은 "울트라커패시터"로 지칭되는 전기 화학적 이중 층 커패시터(EDLC)(10)의 예시적인 실시형태와 관련된 개념을 도시한다. 울트라커패시터(10)는 2개의 전극(음 전극(3) 및 양 전극(4))을 포함하고, 각각의 전극(3, 4)은 전해질 계면에서 이중 전하 층을 갖는다. 일부 실시형태에서, 복수의 전극이 포함된다. 그러나, 논의 및 예시 목적을 위해, 2개의 전극(3, 4)만이 도 1에 도시된다. 본원의 관례상, 각각의 전극(3, 4)은 에너지 저장 장치를 제공하기 위해 (본 명세서에서 추가로 논의된 바와 같이) 탄소계 에너지 저장 매체(1)를 사용한다.

[0035] 각각의 전극(3, 4)은 각각의 집전체(2)를 포함한다. 울트라커패시터(10)에서, 전극(3, 4)은 세퍼레이터(5)에 의해 분리된다. 일반적으로, 세퍼레이터(5)는 전극(3, 4)을 2개 이상의 구획으로 분리하도록 사용되는 박막 구조의 재료(일반적으로 시트)이다.

[0036] 적어도 하나의 형태의 전해질(6)이 포함된다. 전해질(6)은 전극(3, 4)과 세퍼레이터(5) 내에 및 사이에 빈 공간을 채운다. 일반적으로, 전해질(6)은 전기적으로 하전된 이온들로 분해되는 화합물이다. 화합물을 용해시키는 용매는 일부 실시형태에 포함될 수 있다. 결과적인 전해액은 이온 수송에 의해 전기를 전도한다.

[0037] 편의상, 전극(3, 4), 세퍼레이터(5), 및 전해질(6)의 조합은 "저장 셀(12)"로 지칭되며, "저장 요소"로 지칭될 수 있다. 일부 실시형태에서, "저장 셀"이라는 용어는 단지 전해질(6)이 없는 전극(3, 4)과 세퍼레이터(5)를 지칭할 뿐이다.

[0038] 일반적으로, 예시적인 울트라커패시터(10)는 본 명세서에서 추가로 논의되는 방식으로 하우징(7)(단순히 "하우징(7)"으로 지칭될 수 있음)에 패키징된다. 하우징(7)은 기밀하게 밀봉된다. 다양한 예에서, 패키지는 레이저, 초음파 및/또는 용접 기술을 사용하는 기술에 의해 기밀하게 밀봉된다. 하우징(7)("케이스" 또는 "패키지"로도 지칭됨)은 적어도 하나의 단자(8)를 포함한다. 각각의 단자(8)는 에너지 저장 매체(1)에 저장된 에너지에 대한 전기적 접근을 제공한다.

[0039] 예시적인 EDLC(10)에서, 에너지 저장 매체(1)는 활성탄, 탄소 섬유, 레이온, 그래핀, 에어로겔, 탄소 식물 및/또는 탄소 나노튜브에 의해 제공될 수 있으며 이를 포함할 수 있다. 활성탄 전극은, 예를 들어, 탄소 화합물의 탄화에 의해 획득된 탄소 재료에 제1 활성 처리를 수행하는 것에 의해 탄소계 재료를 생성하고, 탄소계 재료에 바인더를 추가하는 것에 의해 성형체를 생성하고, 성형된 본체를 탄화시키고, 마지막으로 탄화된 성형체에 제2 활성 처리를 수행하는 것에 의해 활성탄 전극을 생성하는 것에 의해 제조될 수 있다.

[0040] 탄소 섬유 전극은, 예를 들어, 표면적이 큰 탄소 섬유를 갖는 종이 또는 직물 프리폼(pre-form)을 사용하여 생성될 수 있다.

[0041] 하나의 특정 예에서, 화학적 증기 증착(CVD)을 사용한 다수의 기관 상의 다중벽 탄소 나노튜브(MWNT)는 전극(3, 4)에서 사용하기 위해 제조된다. 일 실시형태에서, 저압 화학 증기 증착(LPCVD)이 사용된다. 제조 공정은 아세트알렌, 아르곤 및 수소의 가스 혼합물, 및 전자 빔 증착 및 또는 스퍼터링 증착을 사용하여 기관 상에 증착된 철 촉매(iron catalyst)를 사용할 수 있다.

[0042] 일부 실시형태에서, 에너지 저장 매체(1)를 형성하는데 사용되는 재료는 순수 탄소 이외의 재료를 포함할 수 있다. 예를 들어, 바인더를 제공하기 위한 다양한 제형의 재료들이 포함될 수 있다. 그러나, 일반적으로, 에너지 저장 매체(1)는 실질적으로 탄소로 형성되며, 그러므로, "탄소질 재료"로 지칭된다.

[0043] 요약하면, 에너지 저장 매체(1)는 주로 탄소로 형성될지라도 에너지 저장 매체(1)로서 원하는 기능성을 제공하

기 위해, 임의의 형태의 탄소, 및 적절하거나 허용 가능한 것으로 간주되는 임의의 첨가제 또는 불순물을 포함할 수 있다.

[0044] 전해질(6)은 복수의 양이온(9) 및 음이온(11) 쌍을 포함하고, 일부 실시형태에서는 용매를 포함할 수 있다. 각각의 다양한 조합이 사용될 수 있다. 예시적인 EDLC(10)에서, 양이온(11)은 1-(3-사이아노프로필)-3-메틸이미다졸륨, 1,2-다이메틸-3-프로필이미다졸륨, 1,3-비스(3-사이아노프로필)이미다졸륨, 1,3-다이에톡시이미다졸륨, 1-부틸-1-메틸피페리디늄, 1-부틸-2,3-다이메틸이미다졸륨, 1-부틸-3-메틸이미다졸륨, 1-부틸-4-메틸피리디늄, 1-부틸피리디늄, 1-데실-3-메틸이미다졸륨, 1-에틸-3-메틸이미다졸륨, 3-메틸-1-프로필피리디늄, 1-부틸-1-메틸피롤리디늄 비스(트라이플루오로메틸술포닐)이미드 및 이들의 조합물뿐만 아니라, 적절한 것으로 간주되는 다른 등가물을 포함할 수 있다.

[0045] 예시적인 EDLC(10)에서, 음이온(9)은 비스(트라이플루오로메탄설포네이트)이미드, 트리스(트라이플루오로메탄설포네이트)메티드, 다이사이아나마이드, 테트라플루오로보레이트, 헥사플루오로포스페이트, 트라이플루오로메탄설포네이트, 비스(펜타플루오로에탄설포네이트)이미드, 티오시아네이트, 트라이플루오로(트라이플루오로메틸)보레이트, 스피로-(1,1')-바이프롤리디늄 테트라플루오로보레이트 염, 테트라에틸암모늄 테트라플루오로보레이트인 다른 잠재적 염 및 이들의 조합물뿐만 아니라, 적절한 것으로 간주되는 다른 등가물을 포함할 수 있다.

[0046] 용매는 아세토나이트릴, 아마이드, 벤조나이트릴, 부티로락톤, 환형 에터, 다이부틸 카보네이트, 다이에틸 카보네이트, 다이에틸에터, 다이메톡시에탄, 다이메틸 카보네이트, 다이메틸폼아마이드, 다이메틸설포, 다이옥산, 다이옥솔란, 에틸 폼에이트, 에틸렌 카보네이트, 에틸메틸 카보네이트, 락톤, 선형 에터, 메틸 폼에이트, 메틸 프로피오네이트, 메틸테트라하이드로퓨란, 나이트릴, 나이트로벤젠, 나이트로메탄, n-메틸피롤리돈, 프로필렌 카보네이트, 설포란, 설포, 테트라하이드로퓨란, 테트라틸렌 설포, 티오펜, 에틸렌 글리콜, 다이에틸렌 글리콜, 트리에틸렌 글리콜, 폴리에틸렌 글리콜, 탄산 에스터, γ -부티로락톤, 나이트릴, 트리사이아노헥산, 부티로나이트릴, 에틸렌 카보네이트, 메틸렌 다이클로라이드 이들의 조합물, 또는 적절한 성능 특성을 나타내는 기타 재료(들)를 포함할 수 있다.

[0047] 세퍼레이터(5)는 부직포 유리(non-woven glass)로 제조될 수 있다. 세퍼레이터(5)는 또한 유리 섬유, 플루오로-폴리머, Telfon®(PTFE) 및 세라믹으로 제조될 수 있다. 예를 들어, 부직포 유리를 사용하여, 세퍼레이터(5)는 주 섬유, 및 각각의 주 섬유의 섬유 직경보다 더 작은 섬유 직경을 가지며 주 섬유들이 서로 결합되는 것을 가능하게 하는 바인더 섬유를 포함할 수 있다.

[0048] 위에서 논의된 바와 같이, 본 명세서에서 제시된 실시형태는 일반적으로 울트라커패시터에 관한 것이다. 이 기술은 배터리에 유용한 저장 셀의 조립에도 동등하게 유용할 수 있다. EDLC/배터리의 정의/구분.

[0049] 울트라커패시터(10)와 관련된 개념에 대한 앞서의 설명은 본 명세서에 개시되고 다음에 논의되는 칩 캡에 대한 맥락을 제공한다.

[0050] 도 2 및 도 3의 예에서, 칩 캡(100)은 본체(101) 및 이에 장착된 덮개(102)를 포함한다. 본체(101) 및 덮개(102) 내에는 전해질(126)에 침지되거나 적서진 칩 캡 저장 셀(105)을 포함하는 용적(103)이 배치된다. 본체(101)는 또한 하우징(7)의 일부로 지칭되거나, 또는 "용기" 또는 "패키지" 및 다른 유사한 용어로 지칭될 수 있다. 일반적으로, 칩 캡 저장 셀(105)은 울트라커패시터 저장 셀(12)에 대해 위에 설명된 원리에 의해 동작된다. 칩 캡 저장 셀(105)(이하 "저장 셀(105)"이라 함)의 추가 양태가 아래에 설명된다.

[0051] 일부 실시형태에서, 본체(101) 및 이에 장착된 덮개(102)는 마이크로 전자 기기 적용에 적합하도록 선택된 치수를 가질 수 있다. 예를 들어, 일부 실시형태에서, 본체(101) 및 이에 장착된 덮개는 인쇄 회로 기판에 표면 실장되도록 구성되며, 이렇게 실장될 때, 본체(101) 및 덮개(102)는 인쇄 회로 기판의 주 표면 위로 약 5.0mm, 4.0mm, 3.5mm, 3.0mm 이하로 연장된다. 일 실시형태에서, 본체(101)는 약 5.0cm, 4.0cm, 3.0cm, 2.0cm, 1.0cm, 0.5cm, 0.25cm 이하의 최대 측 방향 치수를 갖는다. 일부 실시형태에서, 본체(101)는 25.0cm², 16.0cm², 9.0cm², 1.0cm², 0.25cm², 0.1cm², 0.075cm², 0.05cm² 이하의 측면 표면적을 차지한다.

[0052] 일부 실시형태에서, 본체(101)의 내부를 향하는 덮개(102)의 측면은 덮개와 저장 셀(105) 사이의 원치 않는 물리적 또는 전기적 접촉을 방지하기 위해 보호 코팅 또는 층(예를 들어, PTFE 또는 폴리이미드와 같은 폴리머 또는 플라스틱 재료의)을 포함할 수 있다.

[0053] 칩 캡(100)을 형성하는 공정은 저장 셀(105)의 제조 및 본체(101)의 준비로 시작된다.

[0054] 저장 셀(105)을 형성하는 제1 단계는 전극의 준비를 포함한다. 양면 전극(600)의 예는 도 4a에 도시된다. 일반

적으로, 도 4a에 도시된 바와 같이, 각각의 양면 전극(600)은 에너지 저장 매체(1)가 그 양면에 배치된 집전체(2)를 포함한다.

- [0055] 전극의 일부 실시형태는 5개의 주요 구성요소를 포함한다. 구성요소는 알루미늄 집전체(2), 에너지 저장 매체(1)("활성 재료"로도 지칭됨)의 접착을 촉진시키기 위해 제공된 폴리머 프라이머층, 및 3개의 구성요소 활성 재료를 포함한다. 활성 재료는, 예를 들어, 활성탄(정전 용량을 향상시킴), 카본 블랙(높은 전도성을 제공하고 등가 직렬 저항(ESR)을 감소시킴), 및 폴리머 바인더(파우더를 함께 유지함)를 포함할 수 있다.
- [0056] 일부 실시형태에서, 탄소 나노튜브(CNT)는 접착 및 점착 매트릭스를 제공하기 위한 대안적인 재료로서 사용된다. 즉, 프라이머는 CNT 접착층(AL)에 의해 대체될 수 있으며, 활성 재료를 위한 폴리머 바인더는 CNT에 의해 대체될 수 있다. CNT는 또한 전도성 보조제로서 카본 블랙을 감소시키거나 이를 대체할 수 있다. 결과적인 전극(즉, 폴리머 또는 다른 접착 재료를 포함하지 않는 전극)은 "무바인더(binder-free)"이다. 이러한 무바인더 전극은 바인더 및 주변 재료(예를 들어, 전해질) 사이의 전기 화학적 반응으로 인한 저하없이 극한 조건(예를 들어, 고전압 및/또는 온도)에서 유리하게 동작할 수 있다. 이론에 의해 구애됨이 없이, 일부 실시형태에서, 무바인더 전극에서의 탄소들 사이의 정전기 인력(electrostatic attraction)(예를 들어, 반데르발스 결합)은 열악한 조건에서도 전극의 무결성을 유지하도록 충분한 점착 및 점착성을 제공한다는 것이 이해된다. 예를 들어, 일부 실시형태에서, 무바인더 전극은 (본 명세서에서 상세히 설명된 바와 같은) 리플로우 공정을 겪을 때에도 또는 65°C, 85°C, 100°C, 125°C, 150°C 이상의 동작 온도에서 적어도 2.0V, 또는 적어도 2.1V 이상의 동작 전압을 겪을 때에도 유해한 판 분리(delamination)를 거의 또는 전혀 나타내지 않을 수 있다.
- [0057] 무바인더 전극의 일부 실시형태에서, 활성 매체는 탄소 나노튜브(CNT)의 매트릭스에 의해 함께 결합된 활성탄(또는 다른 유형의 탄소질 재료)을 포함하고, 활성층은 임의의 다른 충전재가 없는 탄소 나노튜브(CNT)의 매트릭스이다. 유리하게, 일부 실시형태에서, 활성층의 CNT의 중량 농도는 (예를 들어, 제작 비용을 줄이기 위해) 상대적으로 작을 수 있으며, 예를 들어, 전극의 원하는 성능 특성에 따라 50%, 40%, 30%, 20%, 10%, 7.5%, 5.0%, 2.5% 이하일 수 있다.
- [0058] 일부 실시형태에서, 매트릭스는 탄소 나노튜브(CNT)를 서로로부터 묶음 해제(de-bundle)하기 위해 초음파 처리 및 충분한 에너지를 사용하여 활성탄 파우더, 및/또는 아이소프로필 알코올에서의 탄소 나노튜브(CNT)를 포함하는 파우더를 분산시키는 것에 의해 달성된다. 성공적인 분산은 재료 분리 및 외관에 의해 특성화될 수 있다. 예를 들어, 탄소 나노튜브(CNT) 재료가 용매로부터 분리되는지의 여부와 건조 시 매끄러운 막이 나타나는지의 여부.
- [0059] 활성 매체 및 활성층의 점착 및 점착 강도 각각은 둘 다 그 슬러리의 탄소 나노튜브(CNT)의 분산 품질(뿐만 아니라 탄소 나노튜브(CNT), 건조 시간, 층 두께, 기판 재료, 기판 텍스처 등의 특성)에 의해 영향을 받는다. 탄소 나노튜브(CNT)의 분산은 용매(및 탄소 나노튜브(CNT) 특성; 농도; 재료 순도; 계면 활성제 사용; 배치(batch) 크기; 분산 설정으로서, 예를 들어, 초음파발생장치(sonicator) 진폭, 듀티 사이클, 온도, 프로브 깊이, 교반 품질; 등)의 선택에 의해 영향을 받는다.
- [0060] 집전체(2)에 대한 활성 매체의 점착은 집전체(2)에 대한 탄소 나노튜브(CNT)의 점착층(AL)의 추가에 의해 개선될 수 있다. 이러한 것은 스테인리스강(SS) 플레이트 상에 활성 매체의 층을 주조하여 건조하고, 탄소 나노튜브(CNT)를 전사하도록 롤-투-롤(roll-to-roll) 기계를 사용하여, 알루미늄 카바이드 코팅 집전체(2)에 수직으로 정렬된 탄소 나노튜브를 갖는 다른 플레이트를 압축하고, 이어서, 전극을 형성하기 위해 집전체(2)/탄소나노튜브(CNT) 층으로 활성 매체를 갖는 플레이트를 가압하는 것에 의해 수행될 수 있다.
- [0061] 일부 실시형태에서, 전극의 생산은 집전체(2) 상에 직접 탄소 나노튜브(CNT) 슬러리의 박막을 주조하고, 박막층을 건조시키고, 이어서 상부에서 활성 매체 슬러리를 주조하는 것에 의해 달성된다.
- [0062] 몇몇 기술은 전극 상에 모든 활성 매체층을 배치하기 위해 채택될 수 있다. 캘린더링(calendering)을 수반하는 일 실시형태에서, 스테인리스강(SS)에서 활성 매체의 층을 주조하고 건조하고, 수직 정렬 탄소 나노튜브(VACNT)를 전사하기 위해 알루미늄 카바이드 코팅 집전체(2)에 수직 정렬 탄소 나노튜브(VACNT)를 갖는 다른 플레이트를 압축하고, 이어서 전극을 형성하기 위해 수직 정렬 탄소 나노튜브(VACNT)를 호스팅하는 알루미늄 카바이드 코팅 집전체(2)에, 활성 매체를 가진 플레이트를 압축하는 것이 수행된다. 다른 실시형태에서, 탄소 나노튜브(CNT)의 박막층은 집전체(2) 상에 직접 슬러리로 주조되고 건조되며, 이어서 탄소 나노튜브(CNT)의 박막층의 상부에서 활성 매체가 슬러리로서 주조된다.
- [0063] 활성탄의 선택은 정전 용량 대 수명의 평가를 포함한다. 즉, 가장 높은 정전 용량 재료와 가장 긴 수명 재료들

사이에 종종 상충 관계(trade-off)가 있다는 것이 발견되었다. 일반적으로, 활성탄의 품질은 경험적으로 결정되어야 한다는 것이 발견되었다. 활성 재료 탄소 나노튜브(CNT) 파우더 선택과 관련하여, 탄소 나노튜브(CNT)가 길수록 매트릭스가 더 강해지고; 탄소 나노튜브(CNT)에서 벽 수가 적을수록 밀도 효율면에서 더 우수하고; 고순도의 탄소 나노튜브(CNT)가 반응성 함량을 피하고; 기공은 산화되어 탄소 나노튜브(CNT)의 내부 표면을 노출시킬 수 있지만, 불순물이 첨가될 수 있음이 발견되었다. 접착층 파우더 선택과 관련하여, 길이에 대해, 너무 긴 탄소 나노튜브(CNT)가 너무 양호하게 자체 접착되어 집전체(2)로부터 벗겨짐에 따라서, 응집력 대 접착력이 평가되어야 하고; CNT의 더 얇은 층은 집전체(2)로부터 벗겨질 위험을 완화시킨다는 것이 발견되었다. 캘린더링 기술에 대해: 탄소 나노튜브(CNT) 매트릭스는 압력에 의해 "활성화"될 수 있어, CNT가 서로 점착된 후에 덜 분말화되고, 높은 압력은 더 나은 밀도를 얻지만, 수익은 줄어들며; 저압으로 캘린더링 공정을 시작하고 추가 패스(pass)로 작업하는 것은 일부 경우 층들을 점착하는데 도움이 되는 것 같다. 이는 판 분리로 이어질 수 있기 때문에 과도하게 작업하지 않도록 주의해야 한다. 더 많은 캘린더링 패스는 밀도를 약간 증가시킬 수 있지만, 집전체(2)를 과도하게 동작시키거나 주름지게 할 위험은 증가할 것이다.

[0064] 접착층은 탄소 나노튜브(CNT), 탄소 나노섬유, 금속 나노 와이어 및 세라믹 나노 섬유를 포함할 수 있다. 활성 재료 점착성을 위해, 탄소 나노섬유, 금속 나노 와이어 및/또는 세라믹 나노섬유 외에, 탄소 나노튜브(CNT)가 사용될 수 있다. 활성 재료 에너지 저장을 위해, 활성탄이 사용될 수 있고 그리고/또는 카본 블랙, 추가 탄소 나노튜브(CNT), 그을음(soot), 제트 블랙(jet black), 버키볼(buckeyball), 풀러렌(fullerene), 흑연, 그래핀, 나노혼(nanohorn), 나노어니온(nanoanion)뿐만 아니라, 다른 형태의 탄소가 사용될 수 있다. 사용된 탄소 나노튜브(CNT)는 임의의 길이, 직경, 순도, 결정도 또는 적절한 것으로 간주되는 다른 양태의 단일 벽, 이중 벽, 다중 벽일 수 있을 것이다.

[0065] 다양한 실시형태에서, 전극의 치수는 약 20 μ m 내지 최대 약 350 μ m의 범위에 있다. 다양한 실시형태에서, 집전체의 두께는 약 10 μ m 내지 약 50 μ m의 범위에 있다. 다양한 실시형태에서, 접착층의 두께는 약 2 μ m 내지 약 10 μ m 이상이다. 접착층 위에 배치된 활성 재료의 두께는 약 5 μ m 내지 약 150 μ m 이상일 수 있다. 일부 실시형태에서, 접착층에서 사용된 탄소 나노튜브(CNT)는 직경이 1nm 내지 약 200nm이고, 길이가 약 1 μ m 내지 약 1000 μ m이며, 약 1 내지 100개의 벽 수를 갖는다. 일부 실시형태에서, 접착층에 사용된 탄소 나노튜브(CNT)는 직경이 1nm 내지 약 200nm이고, 길이가 약 1 μ m 내지 약 1000 μ m이며, 약 1 내지 100개의 벽 수를 갖는다. 일부 실시형태에서, 활성 재료는 약 2 μ m 내지 약 30 μ m의 직경을 나타내는, 대략 구형 입자를 포함한다.

[0066] 일부 실시형태에서, 에너지 저장 매체의 압축은 건조 후에 적용된다. 일반적으로, 이는 탄소 나노튜브(CNT)를 적소에 고정하는 것을 돕는다. 롤 프레스(roll press), 유압식 프레스 또는 기타 유형의 프레스가 사용될 수 있다. 집전체의 손상을 막도록 주의해야 한다.

[0067] 다양한 실시형태에서, 전극 층은, 전문이 참조에 의해 본 명세서에 인용되는, 2018년 6월 7일자로 공개된 국제 특허 공보 WO/2018/102652에 설명된 임의의 기술을 사용하여 형성될 수 있다.

[0068] 양극의 그룹 및 음극으로부터의 집전을 제공하기 위해, 복수의 좌측(left-handed)(도 4b) 및 우측(right-handed)(도 4c) 양면 전극(600)이 생성된다. 일반적으로, 각각의 좌측 또는 우측 양면 전극(600)은 그 양면에 배치된 에너지 저장 매체(1)를 포함하고, 실질적으로 에너지 저장 매체(1)가 없는 전도성 탭(602)을 포함한다.

[0069] 전극은 적절한 프레스를 사용하여 재료의 시트로부터 펀칭될 수 있다. 재료의 시트로부터 펀칭된 전극은 저장 셀(105)에서 사용하는데 적절한 치수를 나타낸다. 치수 전극이 절단되면, 이들은 준비될 수 있다. 치수 전극의 준비는, 예를 들어, 에너지 저장 매체(1)의 보유를 보장하기 위해 각각의 전극의 캘린더링; 가장자리의 정돈; 및 임의의 불순물의 이동 및 감소를 조정하는 열 처리를 포함할 수 있다. 준비 후, 전극은 조립을 위한 준비에 적합한 환경으로 이송될 수 있다.

[0070] 일단 제작되고 사용 자격이 부여되면, 양면 전극(600)은 스택 조립체에 포함된다. 스택의 조립을 진행하기 위해, 적절한 세퍼레이터(5)가 제공된다. 세퍼레이터(5)는 세퍼레이터 재료로 제조될 수 있다.

[0071] 일부 실시형태에서, 세퍼레이터(5)는 일부 실시형태에서 폴리테트라플루오로에틸렌(PTFE)의 공급물인 세퍼레이터 재료의 공급물로부터 절단된다. PTFE는 테트라플루오로에틸렌의 합성 플루오로폴리머(통상 텔라웨어주에 소제한 Chemours사로부터 입수 가능한 TEFLON이라 칭함)이다. PTFE는 전적으로 탄소와 불소로 이루어진 고분자 중량 화합물임에 따라서 플루오르화 탄소 고체이다. 예시적인 실시형태에서, 세퍼레이터(5)는 25 μ m 두께이다. 단일 세퍼레이터(5)가 있는 능동 스택 조립체의 예가 도 5a 및 도 5b에 예시된다.

- [0072] 도 5a는 에너지 저장 매체(1)의 "z-폴드(z-fold)" 배열의 개념적 양태를 도시한다. z-폴드 실시형태에서, 세퍼레이터(5)의 층은 z-폴드 방식으로 폴딩된 단일 조각의 세퍼레이터 재료로 형성된다. z-폴딩된 세퍼레이터(5)는 반대로 있는 양극(4)과 음극(3) 및 그 안에서 폴딩된 관련 집전체(2)를 포함한다. 일반적으로, 본 명세서에서 언급된 바와 같이, 전극, 집전체 및 세퍼레이터의 다층의 조립체는 "스택(stack)(201)"으로 지칭되며, 또한 "활성 스택" 및 다른 유사한 용어로 지칭될 수 있다.
- [0073] z-폴드 스택(201)을 제조하기 위해, 그리고 세퍼레이터(5)가 절단되면, 양면 전극(600) 중 제1 전극이 세퍼레이터(5)의 단부 상에 배치된다. 이어서, 세퍼레이터(5)가 접히며, 대향하는 양면 전극(600)이 세퍼레이터(5) 상에 배치된다. 공정은 완성된 스택(201)이 제공될 때까지 계속된다. 일 실시형태에서, 완성된 스택(201)은 15개의 양면 전극(600)을 포함한다. 이 예에서, 완성된 스택(201)은 음극측에 여덟(8)개의 전극 층을 가질 것이고, 양극측에 일곱(7)개의 전극 층을 가질 것이다. 이러한 실시형태에서, 각각의 양면 전극(600)은 대략 $6\text{mm} \times 8\text{mm}$ 인 에너지 저장 재료(1)의 면적을 갖는다. 통합된 탭으로서 기능하는 집전체(2)의 노출된 부분은 대략 $1.5\text{mm} \times 8\text{mm}$ 의 치수를 갖는다.
- [0074] 일반적으로, 스택(201)은 원하는 레벨의 전기 성능을 제공하도록 구성된다. 스택(201)이 반드시 z-폴드 배열로 제공될 필요는 없다. 일부 실시형태에서, 스택(201)의 각각의 층은 개별 세퍼레이터(5)에 의해 분리된다. 일부 실시형태에서, 스택(201)의 각각의 층은 세퍼레이터 재료의 엔벨로프(즉, 세퍼레이터 재료에 의해 둘러싸임) 내에 수용될 수 있다.
- [0075] 유사하게, 전체 저장 셀(105)은 세퍼레이터 재료 또는 다른 적절한 보호 배리어(예를 들어, 전기 절연 열가소성 재료 또는 다른 적절한 재료)의 엔벨로프 내에 제공될 수 있다. 일부 실시형태에서, 이러한 엔벨로프는 스택(201)을 적시는 전해질을 수용하여, 전해질이 배리어 외부의 요소와 접촉하는 것을 방지할 수 있다. 일부 이러한 실시형태에서, 전도성 탭(602)은 스택(201)과 리드(123, 124) 사이의 전기적 통신을 제공하기 위해 엔벨로프를 통해 연장될 수 있다. 대안적으로, 일부 실시형태에서, 리드(123, 124)는 탭(602)에 연결되기 위해 엔벨로프를 통해 연장될 수 있다. 일반적으로, 엔벨로프는 엔벨로프 밖으로 전해질의 누출을 방지하기 위해 이러한 전기 연결부 주위에 밀봉(예를 들어, 열 밀봉됨)될 수 있다.
- [0076] 다양한 실시형태에서, 저장 셀(105)은, 각각의 전문이 참조에 의해 본 명세서에 인용되는, 2015년 11월 26일자로 공개된 국제 특허 공보 W02015102716A8 또는 2016년 6월 30일자로 공개된 국제 특허 공보 W02016057983A3에 설명된 임의의 기술을 사용하여 구성될 수 있다.
- [0077] 일부 실시형태에서, 스택(201)은 절단하는 것에 의해(예를 들어, 블레이드 또는 절단 레이저를 사용하여) 또는 전극 재료의 시트로부터 전극 층을 펀칭하는 것에 의해 구성된다. 전극 재료는 에너지 저장 재료(1)가 어느 한 쪽 측면에 배치된 집전체(2)로서 사용하기에 적합한 재료의 시트를 포함할 수 있다. 스택(201) 내에서 교번하는 층들은 음극 및 양극을 만든다. 세퍼레이터 재료는 완성된 스택(201)을 형성하기 위해 각각의 층 사이에 인터리브되며 최종 조립체를 감싼다.
- [0078] 스택(201)이 다층의 전극을 수용하는 것에 의해, 복수의 전도성 탭(602)이 존재한다. 복수의 전도성 탭(602)은 에너지 저장 매체(1)를 넘어 연장되며 전기 접점을 제공한다. 스택(201)에서, 전도성 탭(602)은 극성에 따라 그룹화되며, 단일 음극 리드(123) 및 단일 양극 리드(124)로 형성된다. 총체적으로, 음극 리드(123) 및 양극 리드(124)를 가진 스택(201)의 조립은 저장 셀(105)을 제공한다. 조립된 형태의 저장 셀(105)의 예시가 도 6a에 제공된다. 도 6a에 도시된 실시형태는 도 5a에 관하여 설명된 z-폴드 기술을 사용한다.
- [0079] 도 5b는 저장 셀(105)에서 사용하기 위한 에너지 저장 매체(1)를 배열하기 위한 또 다른 실시형태를 도시한다. 이러한 "사각형의 권취물(winding)" 또는 "젤리 롤" 실시형태에서, 양면 전극(600)의 연속적인 스트립은 롤 형태로 권취되고 세퍼레이터(5)에 의해 분리된다. 정사각형의 권취된 저장 셀의 일 실시형태에 대한 물리적 양태가 아래의 표 1에 제시되어 있다.

표 1

치수	값	단위
세퍼레이터 두께	0.025	mm
집전체 두께	0.025	mm
활성층 두께	0.062	mm
맨드릴 두께	0.002-상단부 0.007-바닥부	인치
맨드릴 폭	3.75	mm
양전극 길이	31	mm
음전극 길이	35.5	mm
세퍼레이터 길이	120	mm
권취수	3.5	
젤리롤 두께	2.337	mm
최소 굽힘 반경	0.214	mm

[0080]

[0081]

일부 실시형태에서, 저장 셀(105)은 일단 조립되면 적어도 부분적으로 압축될 수 있다. 압축은, 예를 들어, 저장 셀(105)이 배치될 하우징 또는 패키지의 치수 요건에 저장 셀이 부합하도록 사용될 수 있다.

[0082]

젤리롤 실시형태를 권취하는 예시적인 양태가 본 명세서에서 추가로 제공된다. 도 21 내지 도 25를 참조할 수 있다.

[0083]

일부 실시형태에서, 저장 셀(105)의 조립 전에 전도성 리드의 사전 굽힘에 의해, 전도성 탭(602)을 단일 음극 리드(123) 및 단일 양극 리드(124) 중 각각의 리드로 그룹화하는 것이 수행된다. 저장 셀(105)이 본체(101) 내에 배치될 때, 전도성 탭(602)의 그룹은 각각의 패드(110)(도 7)에 용접되어, 통합형 리드(123, 124)를 형성한다. 용접은, 예를 들어, 초음파 용접 또는 레이저 용접에 의해 달성될 수 있다.

[0084]

도 7은 본체(101)의 양태를 도시한다. 칩 캡(100)의 본체(101)는 다양한 형태의 세라믹 재료와 같은 유전체 재료로 제조될 수 있다. 그 안에 배치된 저장 셀(105)로부터 전류를 전도하기 위해 제공되는 전기 패드(110)가 본체(101) 내에 포함된다. 전기 패드(110)는 또한 칩 캡(100)을 재충전하기 위해 저장 셀(105)에 전류를 전도할 수 있다.

[0085]

도 7에 예시에서, 본체(101)는 일반적으로 바닥부(111), 및 바닥부(111)의 둘레 주위로 연장되는 4개의 벽(112)을 포함한다. 따라서, 본체(101)는 저장 셀(105)이 배치될 수 있는 용기를 제공한다. 이 예의 본체(101)의 밑면이 도 8에 도시된다.

[0086]

도 8에 도시된 바와 같이, 본체(101)의 바닥부(111)의 밑면은 유전체 재료(120)에 의해 분리된 전기 접점(121)을 포함한다. 접점(121) 중 적어도 일부는 전기 패드(110)와 전기적으로 통신하고, 칩 캡 저장 셀(105)로부터 칩 캡(100)이 실장될 수 있는 회로 기관으로 에너지의 통신을 가능하게 한다. 일반적으로, 에너지는, 본체(101) 내에 수용되고 유전체 재료(121)에 의해 둘러싸인 전기 도체 또는 비아(도시되지 않음)를 통해 전기 패드(110)로부터 접점(121)로 전달된다. 예를 들어, 일부 실시형태에서, 본체는 전기 패드(110)와 접점(121) 사이의 전기 통신을 확립하는 하나 이상의 전도성 슬래브(slab)(예를 들어, 본체(101)의 바닥부(110) 내에 내장됨)를 포함할 수 있다. 이러한 스래브는, 예를 들어, 텅스텐 또는 다른 적절한 전도성 재료로 만들어질 수 있다.

[0087]

따라서, 양면 전극(600)의 각각에 대해서, 집전체(2)로부터, 전도성 탭(602)을 통해, 각각의 리드(123, 124)를 통해 각각의 전기 패드(110)로, 이어서 전기 패드(110)로부터 본체(101) 내의 전도성 비아를 통해 본체(101)의 바닥부 표면 상의 하나 이상의 접점(121)까지 전도성 경로가 형성된다.

[0088]

내부 전기 패드(110)는 본체(101) 내의 용적(103)(본 명세서에서 "캐비티"로 지칭됨)에 노출된다. 덮개(102)는 세라믹 또는 금속 재료와 같은 호환 가능한 재료를 포함할 수 있다. 칩 캡(100)의 조립 동안, 덮개(102)는 밀봉 링(114)에 밀봉되는 것에 의해 본체(101)에 기밀하게 밀봉된다. 결과적인 기밀 밀봉(hermetic seal)은 칩 캡

(100)으로의 환경 침범뿐만 아니라 칩 캡(100)으로부터의 전해질 누출을 방지하는 것에 의해 환경 무결성을 나타낸다. 기밀 밀봉은 의도된 서비스 간격 동안 적절한 성능을 보장하기 위해 칩 캡(100)을 실질적으로 기밀하게 만드는 임의의 유형의 밀봉부(전해질, 공기, 산소 또는 기타 기체 형태의 재료들의 통과를 제외한)를 포함한다.

[0089] 본체(101)로서 사용하기에 적합한 장치의 예는 일본 나고야에 소재한 NTK Technologies사로부터 상업적으로 시판 중인 표면 실장 장치(Surface Mount Device: SMD) 제품 라인의 이러한 장치를 포함한다. 다른 예는 독일 란츠후트에 소재한 Schott AG사 및 미국 테네시주 채터누가에 소재한 Adtech Ceramics Company로부터 입수 가능하다.

[0090] 일부 실시형태에서, 본체(101)는 고온 동시 소성(co-fired) 세라믹 장치이다. 일반적으로, 동시 소성 세라믹 장치는 전체 세라믹 지지 구조체와 전도성, 저항성 및 유전체 재료가 동시에 가마에서 소성되는 모듈리식 세라믹 마이크로 전자 장치이다.

[0091] 전형적으로, 동시 소성 세라믹 장치는 다수의 층을 독립적으로 처리하고 최종 단계로서 이러한 것들을 장치에 조립하는 것에 의해 만들어진다. 공동 소성은 저온(LTCC)과 고온(HTCC) 적용으로 분할될 수 있다: 저온 장치는 소결 온도가 1,000°C(1,830°F) 미만으로 제작되는 반면, 고온 장치는 소결 온도가 약 1,600°C(2,910°F)로 제작된다. LTCC와 비교하여, HTCC는 더 높은 저항 전도성 층을 갖는다.

[0092] HTCC 패키지는 일반적으로 텅스텐(W) 및 몰리브덴망간(MoMn) 금속화를 가진 다층의 알루미늄 산화물(Al_2O_3)을 포함한다. HTCC의 장점은 기계적 강성과 기밀성을 포함하고, 둘 다 높은 신뢰성과 환경적으로 스트레스 받는 적용에서 중요하다. HTCC 기술의 또 다른 장점은 방열 능력이다.

[0093] 전형적인 세라믹 패키지는 다양한 적용을 알루미늄 세라믹(Al_2O_3)을 사용하고, 이는 각기 다른 적용을 지원하기 위해 다양한 순도 및 조성으로 존재한다. 전형적인 세라믹 패키지는 90-94% 알루미늄으로 구성될 수 있으며, 나머지 부분은 알칼리 토류 실리케이트 또는 입자 크기를 제어하고 알루미늄을 함께 결합하기 위한 마그네시아(MgO) 또는 실리카(SiO_2)와 같은 기타 결합 재료로 구성된다.

[0094] 본체(101)는 저장 셀(105)로부터 외부 접점(121)으로 전력을 전달하는 금속화 층을 갖는 다층 세라믹 패키지로써 제공될 수 있다. 이러한 금속화 층은 고온 동시 소성된 세라믹(HTCC)의 경우에 텅스텐(W) 또는 몰리브덴망간(MoMn)으로 만들어질 수 있거나, 또는 저온 동시 소성된 세라믹(LTCC)의 경우에 금(Au) 또는 구리(Cu)로 만들어질 수 있다.

[0095] 전형적으로, 도금 공정은 금속화 층을 산화로부터 보호하기 위해 금속화 층 위에서 수행된다. 추가 도금은 LTCC에서 사용된 금(Au) 금속화 공정과 같은 금속화 공정이 사용되면 필요하지 않다. 일반적으로, 도금층은 베이스로서 니켈(Ni), 및 이어서 산화 방지를 위한 금(Au)의 박막($\sim 0.3\mu m$)을 포함한다. 대안적인 도금 금속은 티타늄(Ti) 및 팔라듐(Pd)을 포함한다. 도금 금속들의 선택된 조합은 강하고 신뢰성 있는 와이어 본드를 형성하는 것과 관련될 수 있다.

[0096] 특히, 저장 셀(105)이 본체(101) 내에 배치될 때(도 9), 스택(201)의 요소(즉, 집전체(2) 및 에너지 저장 매체(1))는 세퍼레이터 재료의 층에 의해 본체(101)(및/또는 덮개(102))로부터 분리될 수 있다. "절연된 스택"으로 지칭되는 이러한 실시형태는 저장 셀(105)의 단락으로 인한 잠재적 고장으로부터 실질적인 보호를 유발한다. 일부 실시형태에서, 절연된 스택은 세퍼레이터 재료로 제조된 엔벨로프와 같은, 전기 절연 엔벨로프에 저장 셀(105)을 제공하는 것에 의해 달성된다. 저장 셀(105)이 제작되면, 본체(101)에 후속 설치를 위해 따로 둘 수 있다.

[0097] 본체(101)는 원하는 사양(치수, 전기 설계, 환경 검증 등)에 따라 제작될 수 있다. 적어도 하나의 포켓 또는 웰(well)은 전기 패드(110)를 둘러싸는 면적으로 실런트를 한정하기 위해 추가될 수 있다.

[0098] 도 10에 도시된 바와 같이, 일부 실시형태에서, 전기 패드(110)는 각각의 웰(205) 내에 배치된다. 웰(205)의 각각은 바닥부(111)의 상단 표면 내의 함몰부를 나타낸다. 일반적으로, 각각의 웰(205)에 의해 제공된 공간은 각각의 리드(123, 124)의 일부를 폴딩하기 위해 사용되며, 따라서 스택(201)에 이용 가능한 용적을 최대화할 수 있다. "웰"이라는 용어는 "오목 부분", "오목부", "포켓" 및 기타 유사한 용어와 같은 기타 용어와 상호 교환 가능하게 사용될 수 있다는 점에 유의한다.

[0099] 각각의 전기 패드(110)는 균질한 재료일 수 있다. 예를 들어, 전기 패드(110)는 텅스텐(W), 알루미늄(Al), 금(Au) 또는 다른 전도성 재료 중 하나일 수 있다. 일부 실시형태에서, 전기 패드(110)는 선택적 도금 재료로 도금된다. 도금층 또는 단순히 도금(131)은, 예를 들어, 금(Au), 니켈(Ni) 또는 구리(Cu)를 포함할 수 있다. 일부

추가 실시형태에서, 전기 패드(110)가 적층된다. 예를 들어, 전기 패드(110)는 니켈(Ni)의 오버레이어와 함께 텅스텐 (W)의 하부층을 포함할 수 있다. 니켈(Ni)의 오버레이어는 차례로 금(Au) 도금(131)을 갖는다.

- [0100] 일반적으로, 전기 패드(110)에서 사용된 재료 및 임의의 도금(131)은 선택된 전해질(126)과의 전도성 및 낮은 리액티브의 밸런스로서 선택된다. 전해질과의 상호 작용을 제한하는 것은 본체(101)의 적절한 준비 및 리드 (123, 124)의 결합에 의해 추가로 달성된다. 적어도 하나의 실린트는 준비 및 결합의 일부로서 사용될 수 있다.
- [0101] 금(Au), 니켈(Ni) 및 텅스텐(W)은 공통 전해질의 존재시에, 특히 전압 전위 하에 있을 때 부식을 겪을 수 있다. 도금 또는 금속화 층에서의 결과적인 부식은 전해질 및 용접 접합부의 조기 열화를 야기하여 칩 캡(100)의 성능을 저하시킬 것이다. 따라서, 비-반응성 실린트가 도금/금속화 층과 전해질 사이의 접촉을 방지하는데 사용될 수 있다. 본 명세서에서 논의된 바와 같이, "비-반응성"이라는 용어는 일반적으로 비교 성능 개선을 제공하는 것으로 간주되는 반응의 레벨을 나타내는 물질을 지칭한다.
- [0102] 전기 패드(110)의 각각에 대해서, 전도성 리더(conductive leader)(210)가 전기 패드(110)에 접합될 수 있다. 접합은, 예를 들어, 용접에 의해 이루어질 수 있다. 용접은 레이저 용접, 초음파 용접 또는 저항 용접일 수 있다. 일부 다른 실시형태에서, 전도성 에폭시가 전도성 탭(210)을 전기 패드(110)와 접합하기 위해 사용될 수 있다. 일부 실시형태에서, 전도성 리더(210)는 알루미늄(Al)으로 형성된다. 전도성 리더(210)의 구성은, 예를 들어, 각각의 전극의 위치 및 본체(101)의 구성에 따라 달라질 수 있다.
- [0103] 일 실시형태에서, 전도성 리더(210)는 전극 스택(201)을 위한 리드(123, 124) 중 하나이다. 이러한 실시형태에서, 전극 스택(201)을 본체(101)에 접합하기 위해 용접만이 필요하게 될 수 있다. 다른 실시형태에서, 전도성 리더(210)는 각각의 리드(123, 124) 및 전기 패드(110)로부터 초기에 분리된 중간 재료이다. 이어서, 전도성 리더(210)는 실린트가 적용된 후 각각의 리드(123, 124)에 접합된다.
- [0104] 전도성 탭(210)이 전기 패드(110)에 접합되면, 실린트는 패드(110)를 둘러싸는 영역 및 전도성 탭(210) 주위의 영역으로 흐를 수 있다. 이어서, 실린트가 경화된다. 경화 방법은 열, 자외선 방사, 물/산소, 기화 또는 적절한 실린트 재료를 경화시키기 위한 다른 기술의 사용을 수반할 수 있다.
- [0105] 다양한 실시형태에서, 기타 실린트 기술이 사용될 수 있다. 예를 들어, 일부 실시형태에서, 실린트의 정합 층(conformal layer)이 패키지의 원하는 부분에 증착될 수 있다. 일반적으로, 정합 층은 어떠한 결합도 처리하고 그 투과성을 제한하기 위해 본체(101)의 윤곽에 "정합되는" 박막을 포함한다. 정합 층은 쉽게 유동하는 고점도 성분으로 제공될 수 있다.
- [0106] 일반적으로, 내부 전기 패드(110)를 패시베이션하는데 사용되는 임의의 정합 코팅 방법에 대해, 정합 코팅이 외부 특징, 밀봉 링 및 기타 특징을 적절한 것으로서 덮는 것을 방지하도록 주의한다. 일부 실시형태에서, 정합 코팅을 위해 선택된 재료는 접합 공정(예를 들어, 용접)을 방해하지 않는다.
- [0107] 일 실시형태에서, 정합 코팅은 고온 열가소성 폴리이미드를 포함한다. 고온 열가소성 폴리이미드는 물보다 약간 높은 점도를 보이는, 주사기를 통해 분배될 수 있는 재료로서 제공될 수 있다. 재료의 결과적인 절연층은 약 3 내지 20 μ m 두께일 수 있으며, 세라믹, 알루미늄, 금, 실리콘 및 기타 재료들과 강한 결합을 보일 수 있다. 일부 실시형태에서, 고온 열가소성 폴리이미드는 재료를 전도성으로 만들기 위한 은 또는 기타 금속 플레이트(flake)를 포함할 수 있다. 일 실시형태에서, 고온 열가소성 폴리이미드는 약 -40℃에서 보관되고, 주위 온도에서 가공되며, 약 150℃에서 약 10분의 경화 사이클에 놓인다. 경화 사이클은 고온 열가소성 폴리이미드가 가스 형태로 대부분의 잉여 재료(NMP 및 H₂O)를 결정화시켜 방출하게 할 것이다. 과잉 재료를 제거하기 위해 약 2분 및 약 250℃의 추가 가열 사이클이 수행될 수 있다. 이러한 공정은 절연 특성이 높고 열 팽창이 매우 낮은 정합 코팅을 초래한다.
- [0108] 적합한 재료의 예는 뉴욕주 버팔로에 소재한 MATERION사로부터 입수 가능하고 BONDFLOW로서 시판된다. BONDFLOW는 RM 1-메탈-2-피롤리돈(CAS 872-50-4)을 포함한다.
- [0109] 스택(201)이 본체(101) 내에 배치되고 전기 패드(110)에 전기적으로 연결되면, 전해질(126)은 본체(101) 내의 나머지 용적(103)에 추가된다.
- [0110] 일부 실시형태에서, 전해질(126)은 이온성 액체, 이온성 염 및 용매의 조합이다. 일반적으로, 이온성 액체 및 용매는 혼합물을 달성하도록 함께 혼합된다. 혼합물은 용매가 없는 완전한 이온성 액체일 수 있다. 일부 실시형태에서, 전해질은 약 20% 이온성 액체 및 80% 용매(체적 기준)이다. 서브-범위의 혼합물이 사용될 수 있다.

- [0111] 일반적으로, 이온성 염은 전극에 의해 제공된 표면적의 관점에서 효율을 증가시키기 위해 제공된 상이한 양이온 및 음이온 크기를 갖는, 이온성 저장 장치의 추가 소스로서 이온성 액체에 첨가될 수 있다. 이온성 염은 약 0M 내지 2M(몰, 또는 몰 염/리터 용액) 범위의 혼합물에 첨가될 수 있다.
- [0112] 이어서, 본체(101)와, 그 내부에 설치된 저장 셀(105)은 중량이 측정되고, 이어서 적정량의 전해액이 채워진다. 채움은, 예를 들어, 마이크로-피펫(micro-pipette)을 사용하여 발생할 수 있다. 일단 채워지면, 본체(101)/저장 셀(105) 조합은 저압 환경에(즉, 진공 하에서) 배치될 수 있다. 저압은 저장 셀(105) 내로의 전해질(126)의 이동을 촉진한다. 이어서, 전해질(126)의 적절한 공급을 보장하기 위해 조립체의 중량이 다시 측정될 수 있다. 조합된 본체(101), 저장 셀(105) 및 전해질 조립체가 원하는 파라미터 내에 있으면, 조립체는 덮개(102)의 용접을 위해 보내진다. 이어서, 덮개(102)는 본체(101)에 용접될 수 있다. 용접은, 예를 들어, 시임 용접기를 사용하여 비활성 환경에서 달성될 수 있다.
- [0113] 다양한 실시형태에서, 저장 셀(105)을 수용하는 용적(103) 내의 원하지 않는 불순물을 방지하는 것에 주의한다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 할라이드 이온의 총 농도는 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 금속 중 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 브로모에탄, 클로로에탄, 1-브로모부탄, 1-클로로부탄, 1-메틸이미다졸, 에틸 아세테이트 및 메틸렌 클로라이드의 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 수분은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm, 50 ppm, 10 ppm 이하로 유지된다. 일부 실시형태에서, 에너지 저장 셀을 수용하는 하우징 본체의 캐비티 내에서, 할라이드 불순물은 약 1,000 ppm, 500 ppm, 200 ppm, 100 ppm, 50 ppm, 10 ppm 이하로 유지된다.
- [0114] 다양한 실시형태에서, 전해질은, 각각의 전문이 참조에 의해 본 명세서에 인용되는, 2015년 11월 26일자로 공개된 국제 특허 공보 WO2015102716A8 및 2016년 12월 22일자로 공개된 국제 공보 WO2016204820A2에 설명된 임의의 유형일 수 있다. 예를 들어, 일부 실시형태에서, 전해질은 전술한 참고 문헌에 기재된 유형의 겔 또는 솔리드 스테이트 전해질을 포함할 수 있다.
- [0115] 도 11은 도 9의 조립체의 평면도를 제공한다. 도 11에서, 저장 셀(105) 및 본체(101)는 가상 축(A)에 의해 양분된다. 도 12는 저장 셀(105) 및 본체(101)의 절개도이다.
- [0116] 도 12에 도시된 바와 같이, 저장 셀(105)은 복수의 층을 포함한다. 복수의 전도성 탭(602)이 복수의 층으로부터 나온다. 이 단면도에서, 복수의 전도성 탭(602)은 음극 리드(123)를 총체적으로 제공하기 위해 집결된다. 조립 동안, 음극 리드(123)는 적절한 형상으로 형성되고 전기 패드(110) 각각에 접합되며, 양극 리드(124)(이 단면도에는 도시되지 않음)에 대해 동일한 공정이 발생한다. 이어서, 본체(101)는 칩 캡(100)에 적합한 전해질(126)의 실시형태로 채워진다. 전해질(126)은 리드(123, 124) 및 저장 셀(105)의 내용물들을 적신다.
- [0117] 일부 실시형태에서, 에너지 저장 셀(105)은 커패시터의 양극 및 음극에 동일한 질량의 활성 재료가 제공되는 대칭 EDLC일 수 있다. 그러나, 동일한 전극 질량을 갖는 것은 전극 및 전해질이 완전히 이용되지 않을 수 있기 때문에, 전해질에서 음이온 및 양이온의 크기가 상이하면, EDLC가 가능한 최대 비정전 용량(specific capacitance)을 갖는 것을 방지할 수 있다. 일부 실시형태에서, 이 문제는, 예를 들어, EDLC의 비정전 용량을 증가시키기 위해, 이온의 크기에 따라서 전극 질량을 조정하는 것에 의한 질량 밸런싱에 의해 해결될 수 있다. 일부 실시형태에서, 스택(201)은 개선된 질량 밸런싱을 제공하기 위해 동일하지 않은 수의 양극 및 음극 층을 포함할 수 있다.
- [0118] 결과적인 칩 캡(100)은 전형적으로 경쟁하는 장치들을 파괴하는 제조 공정에 견고하다. 이러한 제조 공정의 한 예는 "리플로우" 공정이다. 리플로우 공정에서, 구성요소는 땀납의 유동을 일으키기에 적합한 온도로 가열된다. 일반적으로, 전자 구성요소의 효율적인 대량 생산은 리플로우 공정의 사용을 필요로 한다. 또한, 콤팩트한 설계들은 종종 구성요소에 의해 사용되는 공간을 제한하기 위해 표면 실장 장치를 사용하고, 마찬가지로 리플로우 처리에 의존한다.
- [0119] 일 실시형태에서, 칩 캡(100)은 권장된 납땀 리플로우 프로파일에 따라서 인쇄 회로 기판 상에 실장된다. 시간대 온도의 그래프가 도 13에 제공된다. 도 13의 예에서, 온도는 초당 3°C에서 예열 단계("담그기(soak)")로 지칭됨)로 증가된다. 예열 단계에서, 칩 캡(100)은 약 100초 동안 약 150°C 내지 약 160°C의 온도로 유지된다. 이어서, 온도가 초당 3°C에서 리플로우 온도("리플로우"로 지칭됨)로 증가된다. 리플로우 온도는 약 260°C에 도달될

수 있다. 일반적으로, 200℃를 초과하는 시간은 약 60 초보다 짧아야 하고, 그 후에 실장된 칩 컵(100)은 약 6℃ 이하의 속도로 냉각된다.

[0120] 일부 실시형태에서, 칩 컵(100)은 1, 2, 3, 4번 이상의 리플로우 사이클 공정에 응답하여 10%, 5%, 2.5% 이하의 정전 용량 저하를 보일 수 있다. 일부 실시형태에서, 칩 컵(100)은 1, 2, 3, 4번 이상의 리플로우 사이클 공정에 응답하여 10%, 5%, 2.5% 이하의 ESR 증가를 보일 수 있다. 일부 실시형태에서, 리플로우 공정은 훨씬 유리하게 정전 용량을 증가시키고 그리고/또는 칩 컵의 ESR을 감소시켜, 본질적으로 장치에 대한 시즈닝(seasoning) 공정으로서 동작한다.

[0121] 칩 컵(100)의 평가는 우수한 성능을 보여주었다. 상기 평가에 대한 일부 맥락을 제공하기 위해, 일부 용어가 도입된다.

[0122] 전기 회로 이론은 회로에 저항, 정전 용량 또는 인덕턴스에만 기여하는 것으로 각각 가정되는, 이상적인 저항, 커패시터 및 인덕터를 다룬다. 그러나, 모든 구성요소는 0이 아닌 값의 각각의 이러한 파라미터를 갖는다. 특히, 모든 물리적 장치는 물리적 구성요소가 다른 특성 외에도 일부 저항을 가지도록 유한한 전기 저항을 갖는 재료로 구성된다. ESR의 물리적 기원은 당해 장치에 의존한다.

[0123] 고체 전해질을 갖는 비전해 커패시터 및 전해 커패시터에서, 리드 및 전극의 금속 저항 및 유전체 손실은 ESR을 유발한다. 세라믹 커패시터에 대해 일반적으로 인용된 ESR 값은 0.01 내지 0.1Ω이다. 비전해 커패시터의 ESR은 시간이 지남에 따라 상당히 안정적인 경향이 있으며; 대부분의 목적을 위해, 실제 비전해 커패시터는 이상적인 구성요소로서 처리될 수 있다.

[0124] 비고체 전해질을 갖는 알루미늄 및 탄탈륨 전해 커패시터는 수 Ω까지의 훨씬 높은 ESR 값을 갖는다. 더 높은 정전 용량의 종래 기술의 전해 커패시터는 더 낮은 ESR을 갖는다. ESR은 커패시터의 자기 공진 주파수까지 주파수에 따라 감소한다. 특히 알루미늄 전해액이 가진 심각한 문제는 ESR이 사용과 함께 시간이 지남에 따라 증가한다는 것이다. ESR은 측정된 정전 용량이 허용 오차 내에 있을 수 있더라도, 회로 오작동 및 심지어 구성요소 손상을 유발할 수 있을 정도로 증가할 수 있다. 이는 정상적인 노화에서 발생하지만, 고온 및 큰 리플 전류(ripple current)는 문제를 악화시킨다. 상당한 리플 전류가 있는 회로에서, ESR의 증가는 방열을 증가시키며, 따라서 노화를 가속시킬 것이다.

[0125] 고온 동작 및 기본 소비자 등급 부품보다 높은 품질의 전해 커패시터는 ESR 증가로 인해 조기에 사용 불가능하게 되는 경향이 적다. 저렴한 전해 커패시터는 85℃에서 1000시간 미만의 수명으로 정격화될 수 있다. 고급 부품들은 일반적으로 최대 정격 온도에서 수천 시간에 정격화된다. ESR이 중요하면, 온도 등급이 높거나, "ESR이 낮거나" 또는 아니면 정전 용량이 필요한 것보다 큰 사양의 부품이 유리할 수 있다.

[0126] 본 명세서에서의 유형의 칩 컵은 까다로운 조건 하에서 우수한 성능을 입증하였다. 일부 실시형태에서, 칩 컵은 적어도 2.0V, 2.1V, 2.2V, 2.3V, 2.4V, 2.5V, 3.0V 이상의 동작 전압을 가질 수 있다. 일부 실시형태에서, 칩 컵은 적어도 300 mF, 400 mF, 450 mF, 500 mF 이상의 정전 용량을 가질 수 있다. 일부 실시형태에서, 칩 컵은 적어도 4.0 J/cc, 4.5 J/cc, 5.0 J/cc, 5.1 J/cc 이상의 에너지 밀도를 가질 수 있다. 일부 실시형태에서, 칩 컵은 적어도 15 W/cc, 적어도 20 W/cc, 적어도 22 W/cc 이상의 피크 전력 밀도를 가질 수 있다. 일부 실시형태에서, 장치는 500 MΩ 이하의 등가 직렬 저항, 400 MΩ 이하의 등가 직렬 저항, 300 MΩ 이하의 등가 직렬 저항을 가질 수 있다. 일부 실시형태에서, 장치는 적어도 65℃, 75℃, 85℃, 100℃, 125℃, 150℃ 이상의 동작 온도 등급을 가질 수 있다. 일반적으로, 전술한 성능 파라미터는 단일 에너지 저장 셀을 포함하는 칩 컵을 사용하여 달성될 수 있다. 확장된 성능(예를 들어, 더 높은 전압 동작)은 복수의 칩 컵 및/또는 복수의 에너지 저장 셀을 통합하는 칩 컵을 사용하는 것에 의해 달성될 수 있다.

[0127] 오남용 테스트에서, 본 명세서에서 설명된 유형의 칩 컵은 30% 미만의 정전 용량 저하 및 100% 미만의 등가 직렬 저항 증가를 보이면서, 적어도 2.0V 또는 2.1V 이상(예를 들어, 2.5V, 3.0V 또는 그 초과)의 동작 전압 및 적어도 65℃, 85℃, 100℃ 이상의 동작 온도에서 적어도 1,000, 적어도 1,500 또는 적어도 2,000시간 이상의 동작 수명을 입증할 수 있다. 일부 실시형태에서, 전술한 동작 수명은 장치가 적어도 100℃, 200℃, 300℃ 이상의 피크 온도로 적어도 30초, 60초, 120초, 180초, 240초, 360초 이상의 적어도 1, 2, 3, 4, 5, 6번 이상의 온도 사이클을 갖는 리플로우 공정을 사용하여 인쇄 회로 기판에 납땜된 후에 입증될 수 있다. 유리하게, 전술한 오남용 테스트 성능의 레벨은 오남용이 없는 조건에서 2,000시간보다 훨씬 긴 동작 수명에 대응되는 것으로 예상된다. 예를 들어, 일부 전형적인 적용(예를 들어, 엔터프라이즈 컴퓨팅 환경에서 솔리드 스테이트 장치에 대한 대기 전력을 제공하는)에서, 칩 컵은 수천, 수만, 수십만 또는 심지어 수백만 번의 충전 및 방전 사이클을 필요

로 하는 조건 하에서도, 5,000시간, 7,500시간, 10,000시간, 12,500시간 이상의 동작 수명을 가질 수 있다.

- [0128] 도 14 내지 도 16은 칩 캡(100)의 실시형태에 대한 성능의 양태를 도시한다. 도 14는 85℃에서 동작되는 샘플 칩 캡에 대한 ESR 성능 데이터를 도시한다. 그래프에 도시된 바와 같이, 온도에서 3800시간 동안, 칩 캡 성능의 ESR 저하는 98 %이다. 비교 데이터가 도 15에 제공되며, 이는 종래 장치에 대해 상당히 더 큰 ESR 저하를 도시한다. 칩 캡에 대한 추가 성능 데이터가 도 16에 제공된다. 도 16에서, 85℃에서의 정전 용량 저하 데이터는 3800시간의 테스트 후, 초기 셀 성능의 72%에 불과하다.
- [0129] 도 17a 및 도 17b는 칩 캡(100)의 실시형태에 대한 성능의 양태를 도시한다. 도 17a는 2.1V의 전압으로 85℃에서 동작되는 샘플 칩 캡에 대한 ESR 성능 데이터를 도시한다. 그래프에 도시된 바와 같이, 온도 및 전압에서 2,500시간 동안, 칩 캡 성능의 ESR 저하는 40% 미만이다. 칩 캡에 대한 추가 성능 데이터가 도 17b에 제공된다. 도 17b에서, 2.1V의 전압에서 85℃의 정전 용량 저하 데이터는 2,500시간의 테스트 후에 초기 셀 성능의 14% 미만이다. 칩 캡을 납땜 리플로우 공정에 성공적으로 적용한 후에 테스트가 수행되었음에 유의한다.
- [0130] 도 18a 및 도 18b는 칩 캡(100)의 실시형태에 대한 성능의 양태를 도시한다. 도 18a는 2.1V의 전압으로 100℃에서 동작되는 샘플 칩 캡에 대한 ESR 성능 데이터를 도시한다. 그래프에 도시된 바와 같이, 온도 및 전압에서 1,500시간 동안, 칩 캡 성능의 ESR 저하는 65% 미만이다. 칩 캡에 대한 추가 성능 데이터가 도 18b에 제공된다. 도 18b에서, 2.1V의 전압으로 100℃에서의 정전 용량 저하 데이터는 1,500시간의 테스트 후에 초기 셀 성능의 14% 미만이다. 칩 캡을 납땜 리플로우 공정에 성공적으로 적용한 후에 테스트가 수행되었음에 유의한다.
- [0131] 도 19를 참조하면, 칩 캡(100)을 사용할 수 있는 컴퓨팅 디바이스(500)의 예가 도시되어 있다. 컴퓨팅 디바이스(500)는 개인용 컴퓨터(PC)(501), 랩탑(502), 태블릿(503), 모바일 디바이스(예를 들어, 스마트 폰), 및 서버(505) 중 어느 하나일 수 있다. 다른 유형의 컴퓨팅 디바이스가 포함될 수 있다. 예는 산업 시스템, 가정용 시스템(예를 들어, 가전 제품, 가정용 전자 기기 등)뿐만 아니라 자동차 시스템을 위한 제어기를 포함한다. 요약하면, 칩 캡(100)을 이용하는 컴퓨팅 디바이스는 기관 레벨 전력이 요구되는 임의의 전자 디바이스(예를 들어, 엔터프라이즈 컴퓨팅에 사용되는 솔리드 스테이트 드라이브)를 포함할 수 있다. 일부 실시형태에서, 예를 들어, 칩이 100℃, 125℃, 150℃ 이상의 동작 온도 등급을 갖는 경우, 칩 캡은 오일 및 가스 탐사 및 생산 분야에서 공지된 극한 다운 홀 조건(down hole condition)에서 사용될 수 있다.
- [0132] 도시된 예시에서, 칩 캡(100)은 컴퓨터 메모리(501)에 전원을 공급하는데 사용된다. 메모리(510)는 임의의 유형의 메모리일 수 있다. 칩 캡(100)으로부터 전력을 변환하는데 적합한 전력 변환기 및 제어기가 도시되지 않았지만, 이러한 디바이스는 당업계에 공지되어 있다.
- [0133] 도 20을 참조하면, 본 명세서에 개시된 유형의 칩 캡을 조립하기 위한 공정 흐름이 도시된다. 단계 2001에서, 전극 롤(electrode roll)이 제공된다. 전극 롤은 금속 호일 집전체의 양쪽 면에 탄소질 에너지 저장 매체를 갖는 양면 전극 롤일 수 있다. 단계 2002에서, 탄소질 에너지 저장 매체의 일부는 (예를 들어, 스크래핑을 통해) 제거되어 집전체의 스트립을 노출시킨다. 단계 2003에서, 우측 및 좌측 전극층은 전도성 탭이 롤의 노출된 부분으로 형성되도록 롤로부터 편칭되거나 절단된다. 단계 2004에서, 편칭된 전극층은 본 명세서에서 상세히 설명된 유형의 스택을 형성하기 위해 세퍼레이터와 조립된다. 단계 2005에서, 임의의 과잉 세퍼레이터는 절단되며, 스택은 전도성 탭이 스택으로부터 연장되도록 고정된다. 단계 2006에서, 전극 스택은 수분을 제거하기 위해 진공 건조된다. 단계 2007에서, 스택은 각각의 패키지의 개방된 본체로 이송된다. 단계 2008에서, 본 명세서에 상세히 설명된 바와 같이, 스택으로부터 패키지에서의 점접 패드로의 전기 연결이 만들어진다. 단계 2009에서, 스택은 패키지 내에 위치된다. 단계 2010에서, 전해질은 스택의 전극 층을 적시도록 분산된다. 단계 2011에서, 덮개는 패키지 상에 배치된다. 단계 2012에서, 덮개는 기밀 밀봉을 형성하도록 패키지에 용접된다. 단계 2013에서, 마무리된 칩 캡은 육안 검사 및 전기 테스트를 거친다. 단계 2014에서, 칩 캡은, 예를 들어, 당업계에 널리 공지된 픽 앤 플레이스 설치 기술에 적합한 형태로 패키지를 테이핑(taping) 및 릴링(reeling)하는 것에 의해 패키징된다.
- [0134] 쉘리 롤을 권취하기 위한 도구 및 장비의 양태가 도 21 내지 도 25와 관련하여 제시된다.
- [0135] 도 21 내지 도 24를 참조하면, 예시적인 권취 도구(2100)의 양태가 도시되어 있다. 이 예에서, 권취 도구(2100)는 베드(2110)를 포함한다. 일반적으로, 베드(2110)는 조립을 위한 준비로 양면 전극(600)을 위한 휴지 장소를 제공한다. 베드(2110)는 베이스(2190)에 장착된 후방 벽(2115)에 장착될 수 있다. 베드는 후방 벽(2115) 상의 힌지 위에 장착될 수 있다. 후방 벽(2115)에 대해 직각으로 배향된 양쪽 지지부(2185)는 이에 장착된 베어링 조립체(2130)(또는 "베어링")를 위한 지지를 제공한다. 각각의 베어링(2130)은 스플릿 굴대(2120)의 일부에 대

한 호스트이다. 관례적으로, 권취 도구(2100)의 "근위측"의 지지부(2185)는 드라이브(2140)를 포함한다. 드라이브(2140)를 구동하는 것은 구동 샤프트(2150)가 변속기(2160)를 구동하고, 차례로 회전 굴대(2120)를 회전시키게 한다.

- [0136] 한쪽(이 경우에, 근위측으로서 도시됨) 또는 양쪽의 지지부(2185)는 캐리지(2170)에 장착될 수 있다. 일반적으로, 캐리지(2170)는 도 21의 방향 화살표에 의해 도시된 바와 같이 굴대(2120)의 반대 부분(또는 "원위측")을 향하고 이로부터 멀어지게 굴대(2120)의 근위측의 관절 운동을 제공한다. 잠금 장치(2180)는 축 방향 관절 운동을 적절하게 제한하기 위해 포함될 수 있다.
- [0137] 굴대(2120)의 각각의 부분은 맨드릴(2300)을 수용하기 위한 구성으로 종료된다. 이 예에서, 종료는 도 24에 가장 잘 도시된 바와 같이 클램프(2320)를 포함한다. 양쪽 클램프(2320)들은 기계적 응력 또는 편향을 최소화하기 위해 서로 오프셋될 수 있다. 도 24에서, 오프셋은 180° 까지이다. 클램프(2320)에 대한 다른 배열이 도 26에 도시되어 있다.
- [0138] 권취된 저장 셀을 제조할 때, 일 실시형태에서, 스플릿 굴대(2120)의 근위측은 굴대(2120)의 원위측으로부터 멀어지게 이동된다. 이어서, 일정 길이의 세퍼레이터(5)는 베드(2110) 상에 배치된다. 길이의 약 절반은 베드(2110) 상에 배치되는 반면에, 나머지 절반은 맨드릴(2300) 너머로 연장된다. 이어서, 맨드릴(2300)은 원위측의 느슨하게 설정된 클램프(2320)에 삽입되고, 세퍼레이터(5) 위에 배치될 수 있다. 이어서, 양면 전극(600) 중 제1 전극은 세퍼레이터(5) 위와 맨드릴(2300) 아래에 배치된다. 맨드릴(2300)과 접촉하는 베드(2110)의 부분은 후방 벽(2115) 상의 힌지의 작용에 의해 하향으로 관절 운동될 수 있다. 양면 전극(600) 중 제1 전극 및 세퍼레이터(5)는 베드 상에 그리고 맨드릴(2300) 아래에 정렬되고, 제2 바(2502)는 들어 올려지고, 세퍼레이터(5)의 나머지 길이는 제1 바(2501)와 제2 바(2502) 사이를 지나 베드(2110) 상에 놓인 양면 전극(600) 중 제1 전극 위에서 뒤로 진행한다. 따라서, 양면 전극(600) 중 제1 전극은 단일 세퍼레이터(5)의 층들 사이에 배치된다.
- [0139] 굴대(2120)의 근위측은 클램프(2320)가 맨드릴(2300)의 양쪽 단부를 수용하도록 캐리지(2170)의 사용에 의해 원위측을 향해 관절 운동된다. 클램프(2320)가 맨드릴(2300)을 수용하였으면, 클램프(2320)는 클램핑되고 맨드릴(2300)이 고정된다. 선택적 잠금 장치(2180)는 또한 축 방향 힘을 제한하기 위해 잠겨질 수 있다.
- [0140] 이어서, 굴대(2120)는 약 130° 내지 170° (또는 그 정도) 회전되고, 제2 양면 전극(600)은 세퍼레이터(5)의 상단에 배치되고 세퍼레이터 재료 사이에 끼이는 지점까지 앞으로 밀려난다. 따라서, 제2 양면 전극(600)은 세퍼레이터(5), 차례로 제1 양면 전극(600) 위에 놓인다. 이어서, 굴대(2120)는 회전되어, 세퍼레이터(5)에 의해 분리된 제1 양면 전극(600)과 제2 양면 전극(600)의 조합의 권취를 초래한다.
- [0141] 권취가 완료되었으면, 클램프(2320)는 해제되고, 맨드릴(2300)과 그 위에 권취된 저장 셀(105)의 조합이 권취 도구(2100)로부터 제거된다. 맨드릴(2300)의 2개의 바는 저장 셀(105)을 형성하도록 사용되는 권취물로부터 인출된다. 이어서, 권취물은 세퍼레이터 재료의 정돈 및 적절한 것으로 간주되는 임의의 추가 단계(예컨대, 권취물의 평탄화)로 마무리될 수 있다.
- [0142] 도 26에 도시된 바와 같이, 클램프(2320)는 굴대(2120)의 동일한 회전 위치(즉, 측면)로부터 고정될 수 있다. 이러한 구성에서, 양쪽 클램프(2320)(즉, 좌측 클램프(2320) 및 우측 클램프(2320))는 (즉, 굴대(2120)의 추가 회전에 대한 요구 없이) 단일 지지부에서 접근될 수 있다.
- [0143] 도 23에 도시된 바와 같이, 전극(600)은 단일 음극 리드(123)를 포함할 수 있다. 유사하게, 제2 전극은 단일 양극 리드(124)를 포함할 수 있다. 일부 실시형태에서, 다수의 리드가 각각의 극성(123, 124)을 위해 포함된다. 결과적인 저장 셀(105)의 하나의 예가 도 6b에 도시되어 있다.
- [0144] 도 27 내지 도 31은 본 명세서에서 "텐서너"(2800)로 지칭되는 인장 시스템의 양태를 도시한다. 일반적으로, 텐서너(2800)는 권취물이 에너지 저장 셀(105)로 권취될 때 권취물(2400)로의 전극 재료의 균일한 공급을 보장한다.
- [0145] 이 예에서, 텐서너(2800)는 릴(2730)을 포함한다. 릴(2730)은 베드(2110)와 커버링 가이드 플레이트(2710) 사이의 흡입구에 전극 재료의 일관된 급송을 제공하도록 위치된다. 가이드 플레이트(2710)는 전극 재료가 권취물(2400)로 급송됨에 따라서 평탄한 상태를 유지하는 것에 의해 전극 재료가 원활하게 공급되는 것을 보장한다. 균일한 급송은 스프링(2740)에 의해 유발되는 장력의 인가에 의해 추가로 도움이 된다. 장력은 전극 재료가 베드(2110)를 떠나 권취물(2400)에 들어감에 따라서 전극 재료에서 발생할 수 있는 어떠한 주름도 고정적으로 해결한다.

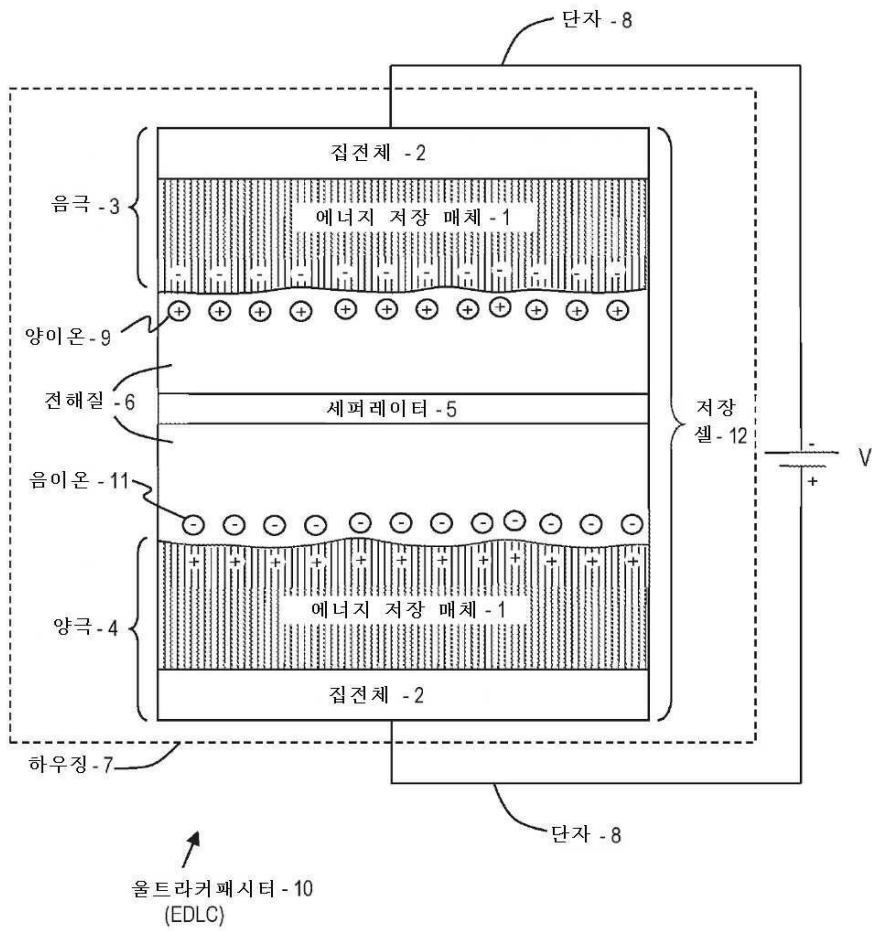
- [0146] 도 28에 도시된 바와 같이, 가이드 플레이트(2710)는 복수의 세트 스크루(2740)와 같은 체결구를 사용하여 부착될 수 있다. 빠른 연결 및 해체에 적합한 것과 같은 다른 체결구가 사용될 수 있다. 가이드 플레이트(2710) 및 베드(2110)는 에너지 저장 매체(1)의 통로를 가이드하기 위한 각각의 그루브 또는 적어도 하나의 슬롯(2705)을 포함할 수 있다. 적어도 하나의 슬롯(2705)의 통합. 일부 실시형태에서, 텐서너 시스템은 압력 바(2720)를 더 포함할 수 있다. 압력 바(2720)는 가이드 플레이트(2710)에 대한 압력을 미세 조정하고, 이에 의해 가이드 플레이트(2710)의 성능을 조정하는데 유용할 수 있다. 이러한 예시에서, 가이드 플레이트(2710)는 아크릴 또는 폴리 카보네이트와 같은 실질적으로 투명한 재료로 제조된다. 도 29는 텐서너(2800)의 일부에 대한 평면도이다. 이러한 예시에서, 텐서너(2800)는 윈도우(2708)를 포함한다. 이들 실시형태는 모두 육안 검사를 허용하고, 작업자가 에너지 저장 매체(1)의 원활한 흐름을 보장하게 한다. 도 30은 도 29에 도시된 텐서너(2800)의 사시도를 도시한다.
- [0147] 도 31에 도시된 바와 같이, (에너지 저장 매체(1)가 그 위에 배치된) 집전체(2)는 복수의 전도성 탭(602)을 포함할 수 있다. 전도성 탭(602)은 오프셋(0)에 의해 측 방향으로 떨어져 설정된다. 오프셋(0)은 권취 공정에서 증가하는 반경을 설명하기 위해 점진적으로 증가한다. 이러한 것이 전도성 탭(602)의 정렬을 초대하여서, 권취된 저장 셀(105)(도 12 참조)에서, 전도성 탭(602)은 총체적으로 각각의 패드(110)와 정렬되는 리더를 초대한다.
- [0148] 권취된 저장 셀의 다른 실시형태가 있을 수 있다. 예를 들어, 권취된 저장 셀은 단일 연속 세퍼레이터 대신 2개의 세퍼레이터를 포함할 수 있다. 권취된 저장 셀은 각각의 권취가 완료됨에 따라서 요소의 주기적인 분할과 함께 연속적인 길이의 전극 및 세퍼레이터 재료를 사용하여 제조될 수 있다. 따라서, 본 명세서에 개시된 기술은 단지 권취된 저장 셀을 제공하는 방법의 예시일 뿐이다.
- [0149] 일반적으로, 본 명세서에서 사용된 "메모리"라는 용어는 컴퓨터에서 즉시 사용하기 위한 정보를 저장하는 컴퓨터 하드웨어 집적 회로를 지칭하고, "1차 저장 장치"라는 용어와 동의어이다. 컴퓨터 메모리는 액세스 속도가 느린 정보를 제공하지만 더 큰 용량을 제공하는 저장 장치와 구별되는, 예를 들어, 고속 랜덤 액세스 메모리(RAM)로 동작한다.
- [0150] "메모리", "1차 저장 장치", "주 메모리", "시스템 메모리"라는 용어 및 기타 유사한 용어는 종종 어드레스 지정 가능한 반도체 메모리, 즉 예를 들어 1차 저장 장치이지만 컴퓨터 및 기타 디지털 전자 디바이스의 다른 목적으로도 사용되는 실리콘 기반 트랜지스터를 포함하는 집적 회로와도 관련된다. 휘발성 및 비휘발성의 주요한 두 종류의 반도체 메모리가 있다. 비휘발성 메모리의 예는 플래시 메모리(보조 메모리로 사용됨) 및 ROM, PROM, EPROM 및 EEPROM 메모리(BIOS와 같은 펌웨어 저장에 사용됨)이다. 휘발성 메모리의 예는 일반적으로 동적 랜덤 액세스 메모리(DRAM)인 1차 저장 장치, 및 일반적으로 DRAM보다 빠르지만 에너지 소비가 적고 메모리 면적 밀도가 낮은 정적 랜덤 액세스 메모리(SRAM)인 고속 CPU 캐시 메모리이다.
- [0151] 휘발성 메모리는 저장된 정보를 유지하기 위해 전원을 필요로 하는 컴퓨터 메모리이다. 대부분의 최신 반도체 휘발성 메모리는 정적 RAM(SRAM) 또는 동적 RAM(DRAM)이다. SRAM은 전원이 연결되어 있는 동안 콘텐츠를 보유한다. 동적 RAM은 인터페이스 및 제어가 더 복잡하여, 그 콘텐츠를 상실하는 것을 방지하기 위해 정기적인 리프레시 사이클을 필요로 한다.
- [0152] 비휘발성 메모리는 전원이 공급되지 않아도 저장된 정보를 보유할 수 있는 컴퓨터 메모리이다. 비휘발성 메모리의 예는 읽기 전용 메모리(ROM 참조), 플래시 메모리, 대부분의 자기 컴퓨터 저장 디바이스(예들 들어, 하드 디스크 드라이브, 플로피 디스크 및 자기 테이프), 광 디스크 및 종이 테이프 및 펀칭된 카드와 같은 초기 컴퓨터 저장 방법이다. 향후 비휘발성 메모리 기술은 FeRAM, CBRAM, PRAM, STT-RAM, SONOS, RRAM, 레이스트랙(racetrack) 메모리, NRAM, 3D XPoint 및 밀리피드(millipede) 메모리를 포함한다.
- [0153] 제3 범주의 메모리는 "반휘발성(semi-volatile)"이다. "반휘발성"이라는 용어는 일반적으로 전력이 제거된 후 비휘발성 지속 시간이 일부 제한되지만, 이어서 결국 데이터가 상실되는 메모리를 말한다. 반휘발성 메모리를 사용할 때 일반적인 목표는 고성능/내구성 등을 제공하는 동시에, 진정한 비휘발성 메모리의 장점을 제공하는 것이다.
- [0154] 솔리드 스테이트 드라이브(SSD)는 집적 회로 조립체를 메모리로서 사용하여 데이터를 지속적으로 저장하는 솔리드 스테이트 저장 디바이스이다. SSD는 움직이는 기계적 구성요소가 없다. 이는 회전(spinning) 디스크 및 이동식 읽기/쓰기 헤드를 포함하는 하드 디스크 드라이브(HDD) 또는 플로피 디스크와 같은 통상의 전자 기계식 드라이브와 구별된다. 전자 기계식 드라이브와 비교하여, SSD는 일반적으로 물리적 충격에 더 강하고, 조용히 실행

되며, 빠른 액세스 시간과 짧은 레이턴시를 갖는다.

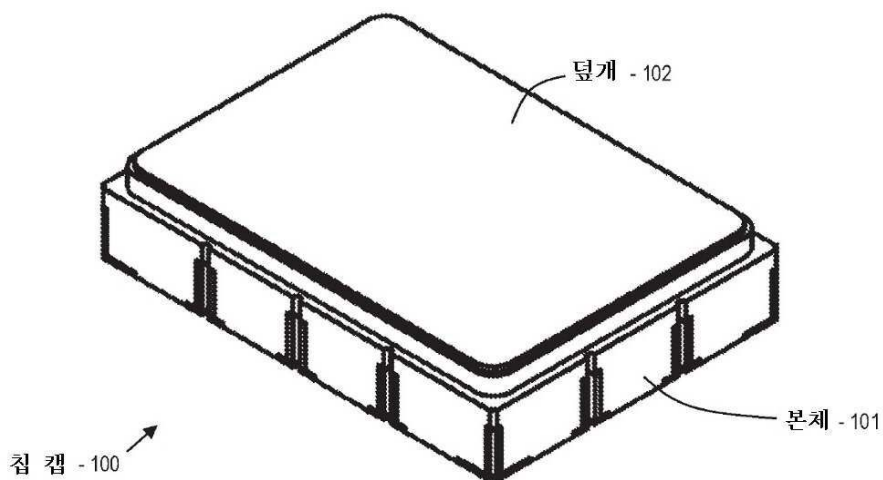
- [0155] 2017년 현재, 대부분의 SSD는 전원이 꺼질 때 데이터를 보유하는 비휘발성 메모리의 유형인, NAND 기반 플래시 메모리를 사용한다. 빠른 액세스가 필요하지만 전력 손실 후 데이터 지속성이 반드시 필요한 것은 아닌 적용을 위해, SSD는 랜덤 액세스 메모리(RAM)로 구성될 수 있다. 이러한 디바이스는 외부 전원이 상실된 후에 특정 시간 동안 데이터를 보지하기 위해 배터리를 통합 전원으로서 사용할 수 있다.
- [0156] 그러나, 모든 SSD는 여전히 데이터를 전기 전하에 저장하고, 이는 전원 없이 방치하면 시간이 지남에 따라 천천히 누출된다. 이는 일반적으로 저장 장치에서 일정 시간이 지난 후에 소모된 드라이브(내구성 등급을 초과함)가 데이터를 상실하기 시작하게 하는 원인이다. 따라서, 현재 SSD는 기록 보관 목적에 적합하지 않다.
- [0157] 따라서, 향상된 전원 공급 장치를 추가하여 SSD의 성능을 실질적으로 향상시킬 수 있다. 많은 SSD는 휘발성 메모리를 비휘발성 메모리에 기록하기 위해 DRAM 모듈에 백업 전원을 제공하는데 커패시터를 사용한다. 불행하게도, 사용 가능한 커패시터는 크고, 낮은 성능을 보인다.
- [0158] 요약하면, SSD 환경은 울트라커패시터 기술뿐만 아니라 모든 용량성 에너지 저장 장치에 고유한 과제를 제시한다. 용량성 저장 장치는 휘발성 메모리(SRAM/DRAM)에 저장된 데이터를 비휘발성 메모리(NAND, FLASH)로 전송하기 위한 온-보드(on-board) 전기 에너지 백업으로서 사용된다. 동작은 정전 시에 데이터가 상실되지 않도록 하는 것이 중요하다. 거의 모든 비즈니스 부문에서 컴퓨팅 저장 장치가 더욱 중요하게 됨에 따라서, 매우 안정적인 메모리 백업 솔루션에 대한 필요성이 가장 우선시된다.
- [0159] 따라서, 이와 같이 전기 회로에 전력을 공급하기 위한 에너지 저장 장치의 실시형태를 도입하였으며, 이제 몇몇 추가 양태가 제시된다.
- [0160] 본 명세서에서의 교시에 대한 양태를 제공하기 위해 다양한 다른 구성요소가 포함되고 호출될 수 있다. 예를 들어, 추가 재료, 재료의 조합 및/또는 재료의 생략은 본 명세서에서의 교시 범위 내에 있는 추가 실시형태를 제공하는데 사용될 수 있다.
- [0161] 본 명세서에서의 교시의 다양한 수정이 실현될 수 있다. 일반적으로, 사용자, 설계자, 제조업자 또는 기타 유사한 이해 당사자의 요구에 따라 수정이 설계될 수 있다. 수정은 해당 당사자가 중요하게 생각하는 특정 성능 표준을 충족시키도록 의도될 수 있다.
- [0162] "하기 위한 수단" 또는 "하기 위한 단계"라는 단어들 이 특정 청구항에서 명시적으로 사용되지 않는 한, 첨부된 청구항 또는 청구항 요소는 35 U.S.C. § 112(f)를 발동하도록 해석되어서는 안된다.
- [0163] 본 발명의 요소 또는 이의 실시형태(들)를 도입할 때, 단수 형태 표현은 요소 중 하나 이상이 존재함을 의미하도록 의도된다. 마찬가지로, "다른(another)" 이라는 형용사는, 요소를 도입하도록 사용될 때, 하나 이상의 요소를 의미하도록 의도된다. "포함하는" 및 "갖는"이라는 용어는 열거된 요소 이외의 추가 요소가 있을 수 있도록 포괄적인 것으로 의도된다. 본 명세서에서 사용된 바와 같이, "예시적인"이라는 용어는 최상급 예를 의미하는 것으로 의도되지 않는다. 오히려, "예시적인"은 많은 가능한 실시형태 중 하나인 실시형태를 지칭한다.
- [0164] 본 발명은 예시적인 실시형태를 참조하여 설명되었지만, 본 발명의 범위를 벗어나지 않으면서 다양한 변경이 만들어질 수 있으며 그 요소를 등가물로 대체할 수 있음이 당업자에게 이해될 것이다. 추가로, 당업자는 본 발명의 본질적인 범위를 벗어나지 않으면서 특정 기계, 상황 또는 물질을 본 발명의 교시에 적응시키기 위한 많은 수정이 이해될 것이다. 따라서, 본 발명은 본 발명을 수행하기 위해 고려된 최상의 모드로서 개시된 특정 실시형태로 제한되지 않으며, 본 발명은 첨부된 청구항의 범위 내에 속하는 모든 실시형태를 포함할 것으로 의도된다.

도면

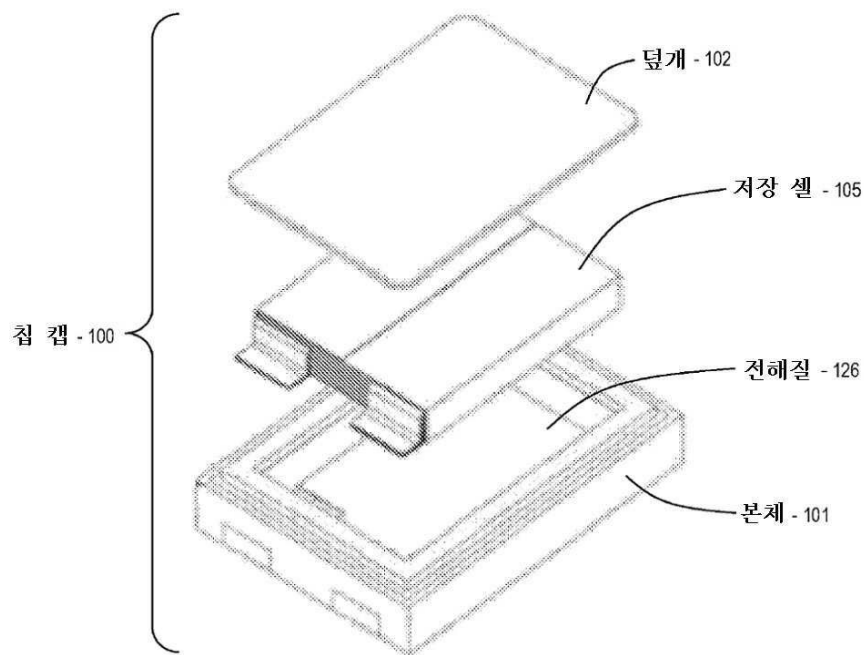
도면1



도면2

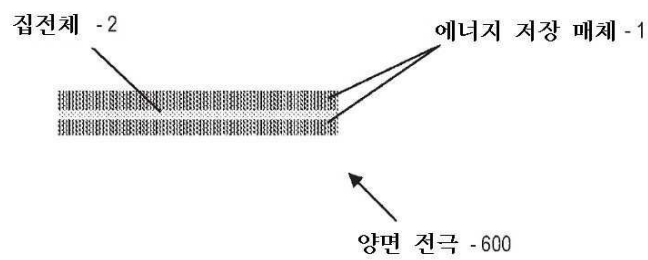


도면3

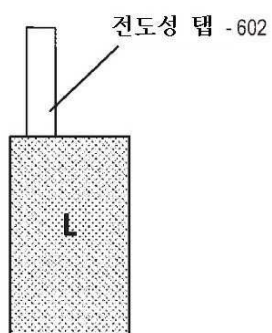


도면4

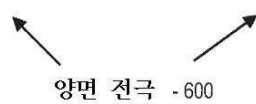
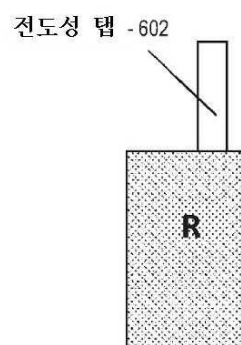
a



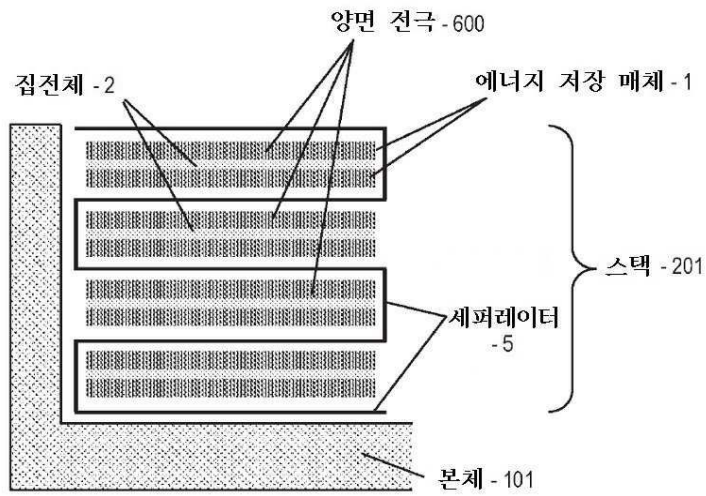
b



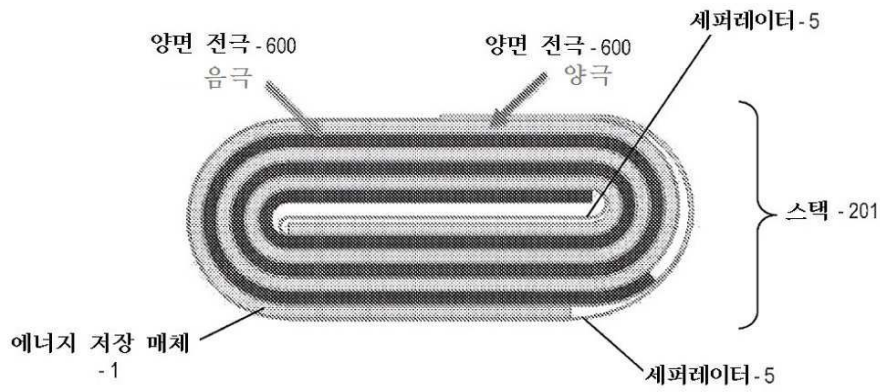
c



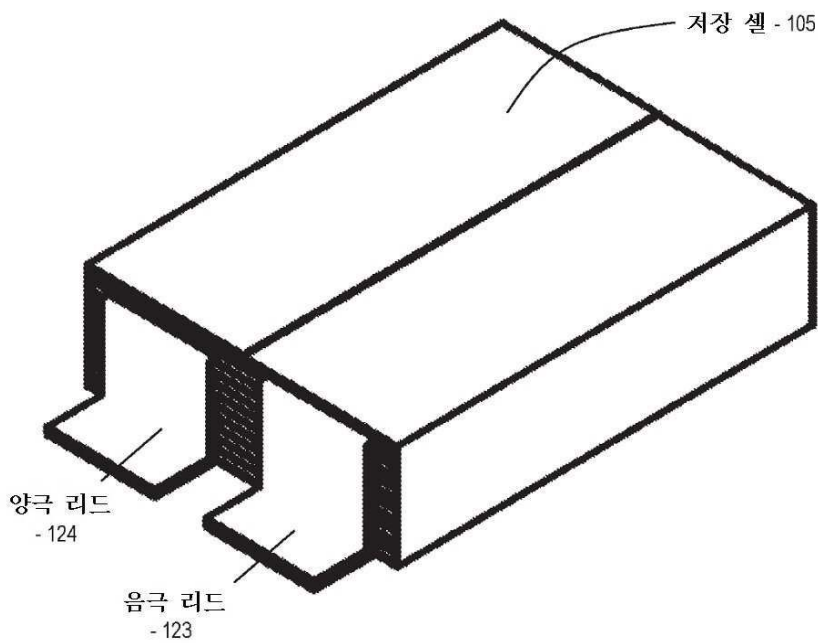
도면5a



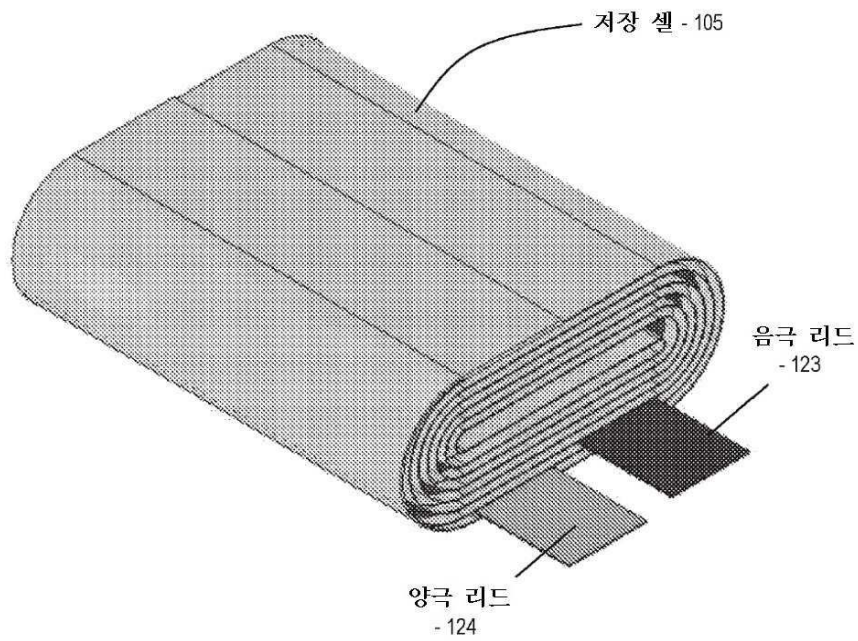
도면5b



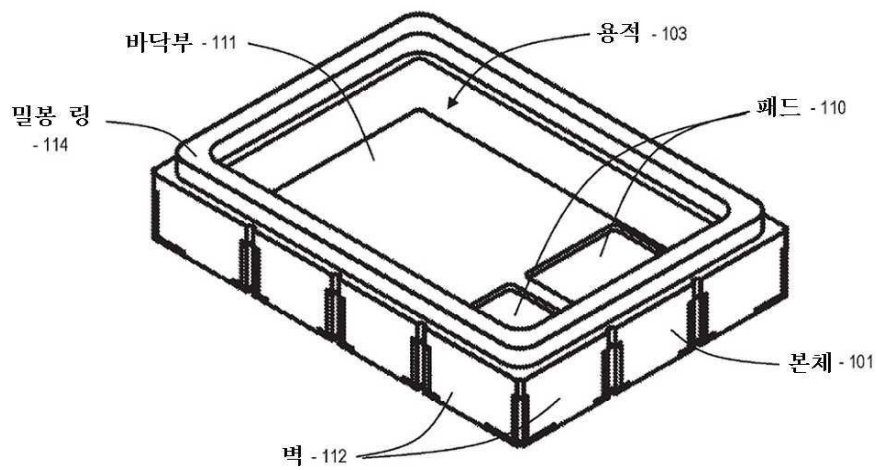
도면6a



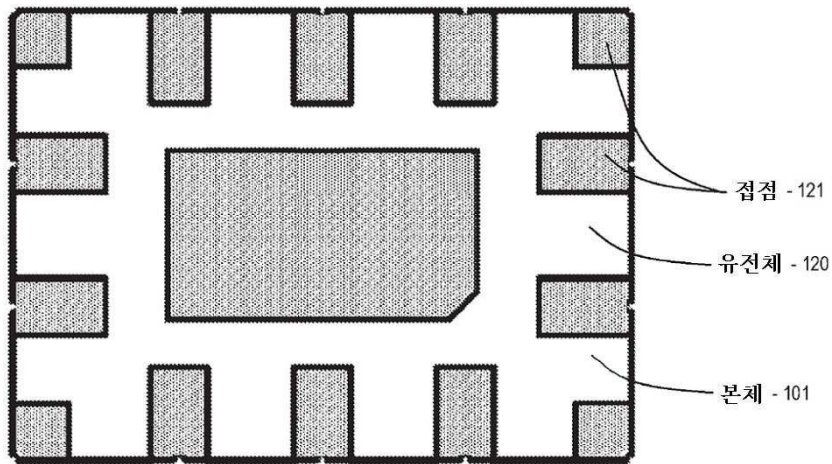
도면6b



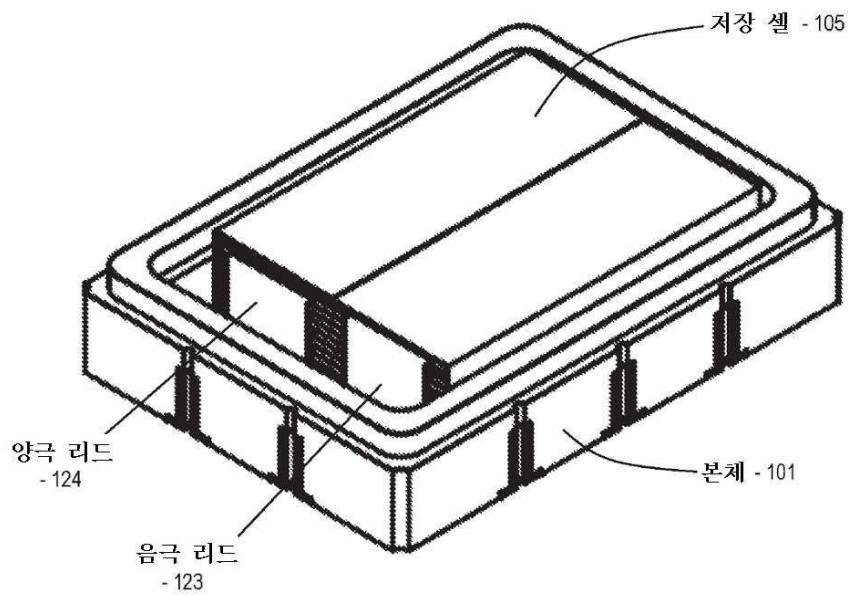
도면7



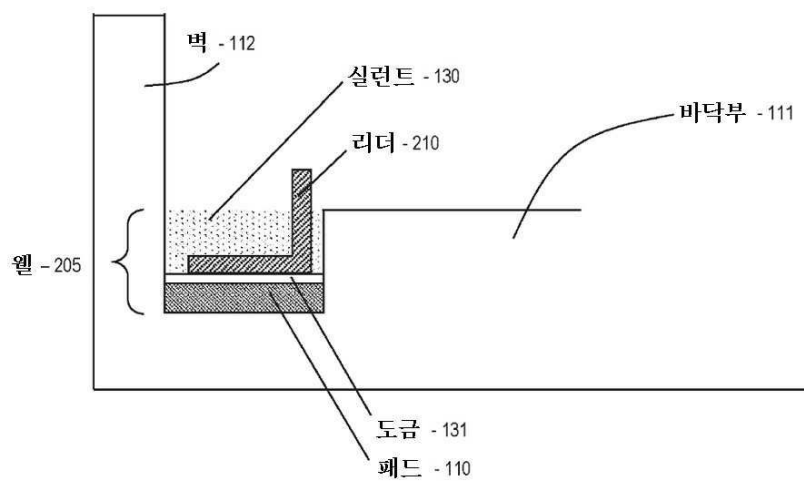
도면8



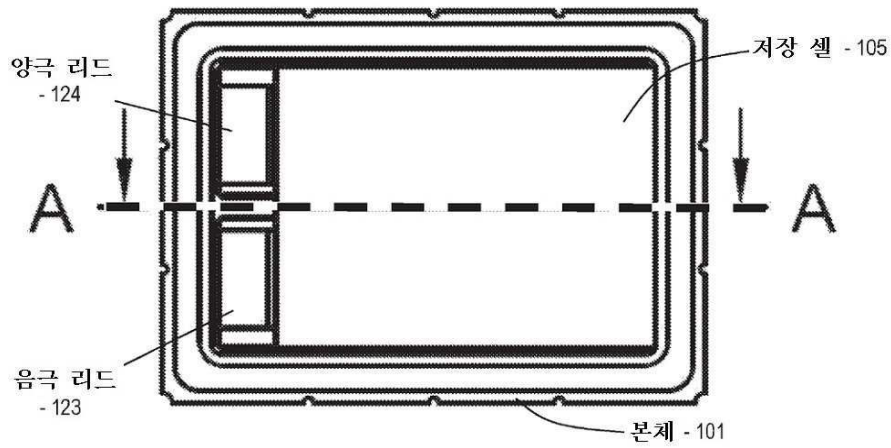
도면9



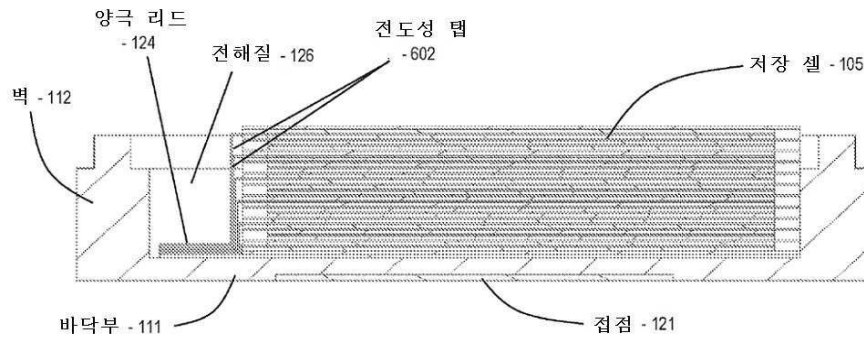
도면10



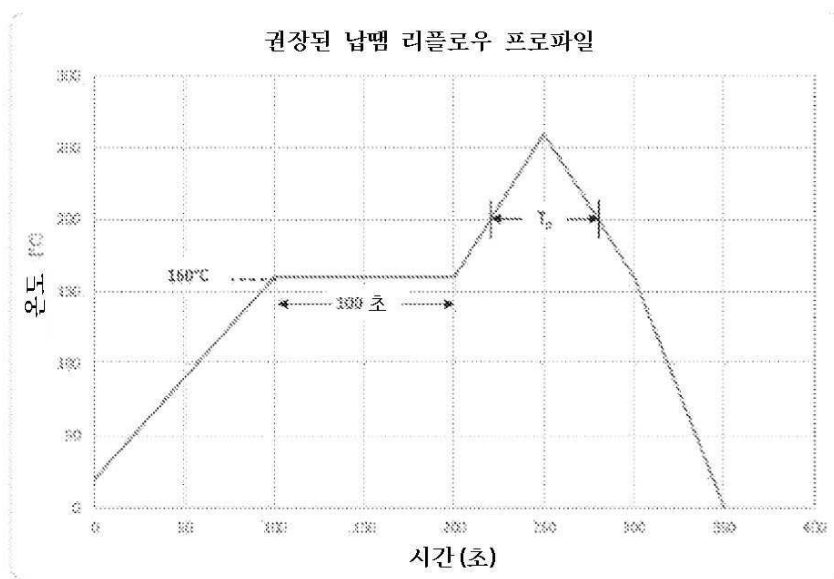
도면11



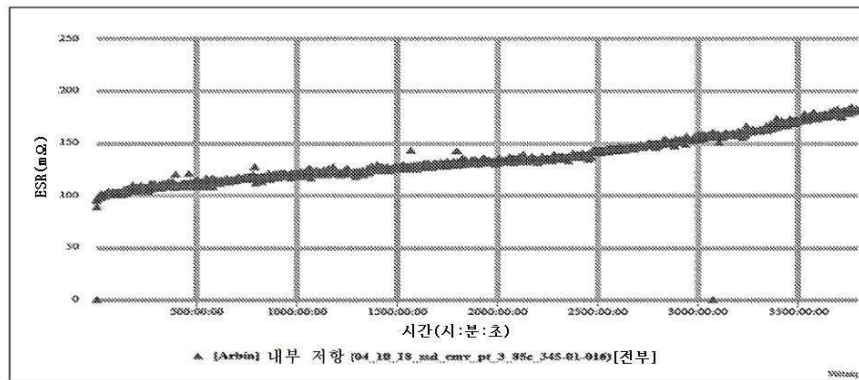
도면12



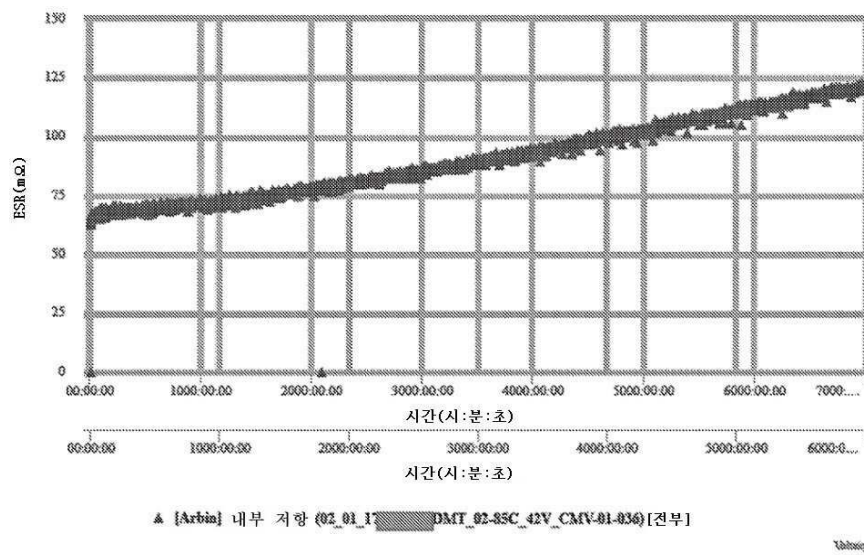
도면13



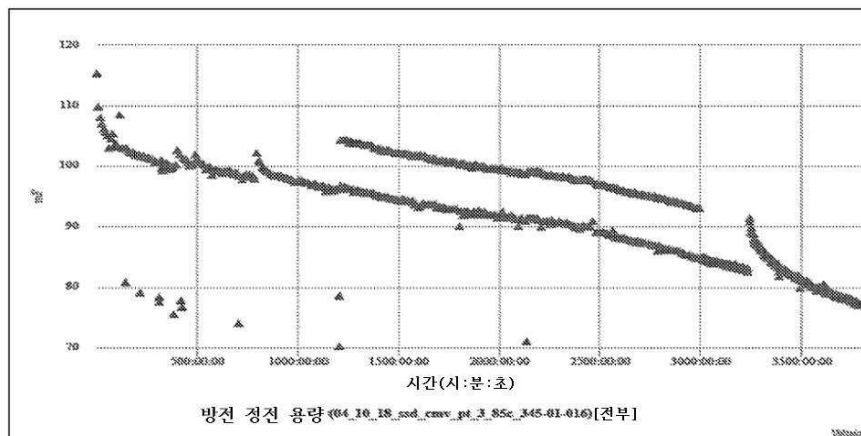
도면14



도면15



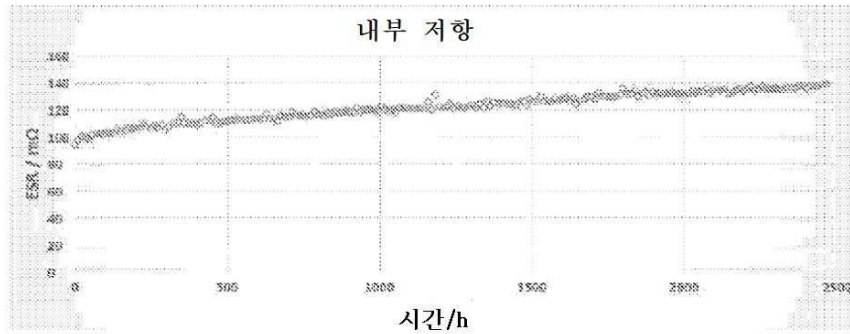
도면16



도면17

a

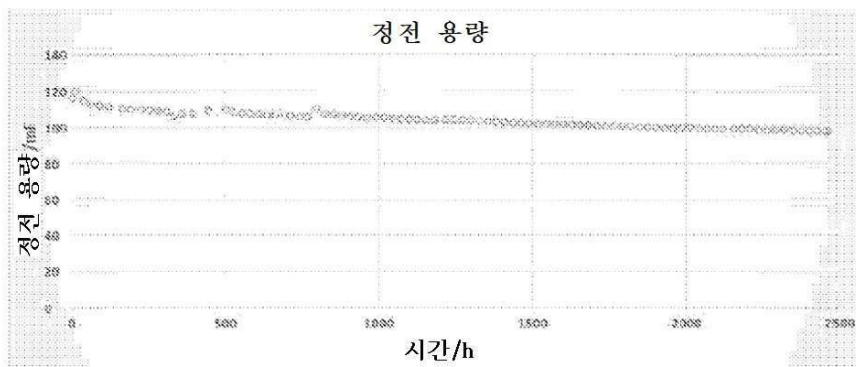
수명 > 85℃, 2.1V에서 2500시간



Nanoramic SD85-500의 내부 저항

b

수명 > 85℃, 2.1V에서 2500시간



Nanoramic SD85-500의 정전 용량

* 2500시간 후에 14% 미만의 정전 용량 저하

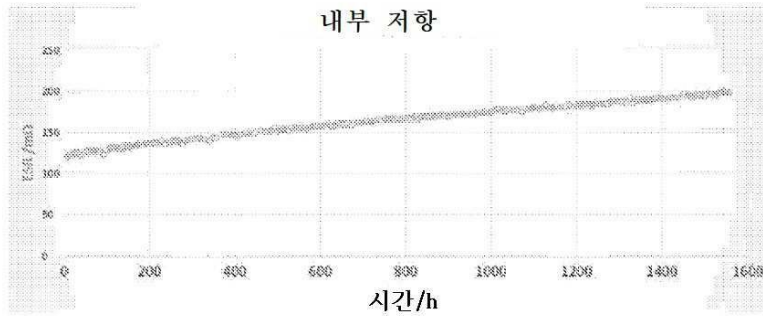
▲ ▲ ▲

도면18

a

수명 > 100℃, 2.1V에서 1500시간

내부 저항



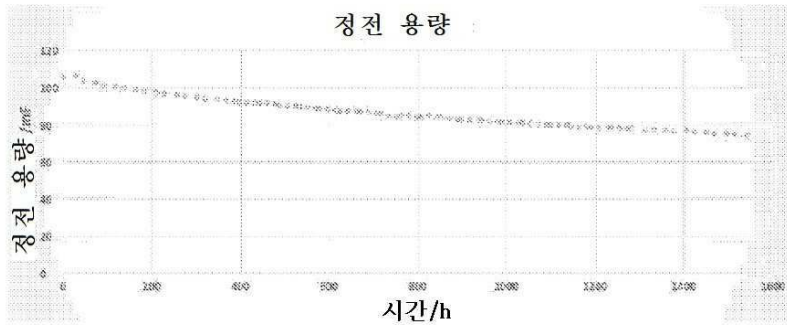
Nanoramic SD85-500의 내부 저항

• ESR 저하는 100℃에서 1500시간 후에 65% 미만임

b

수명 > 100℃, 2.1V에서 1500시간

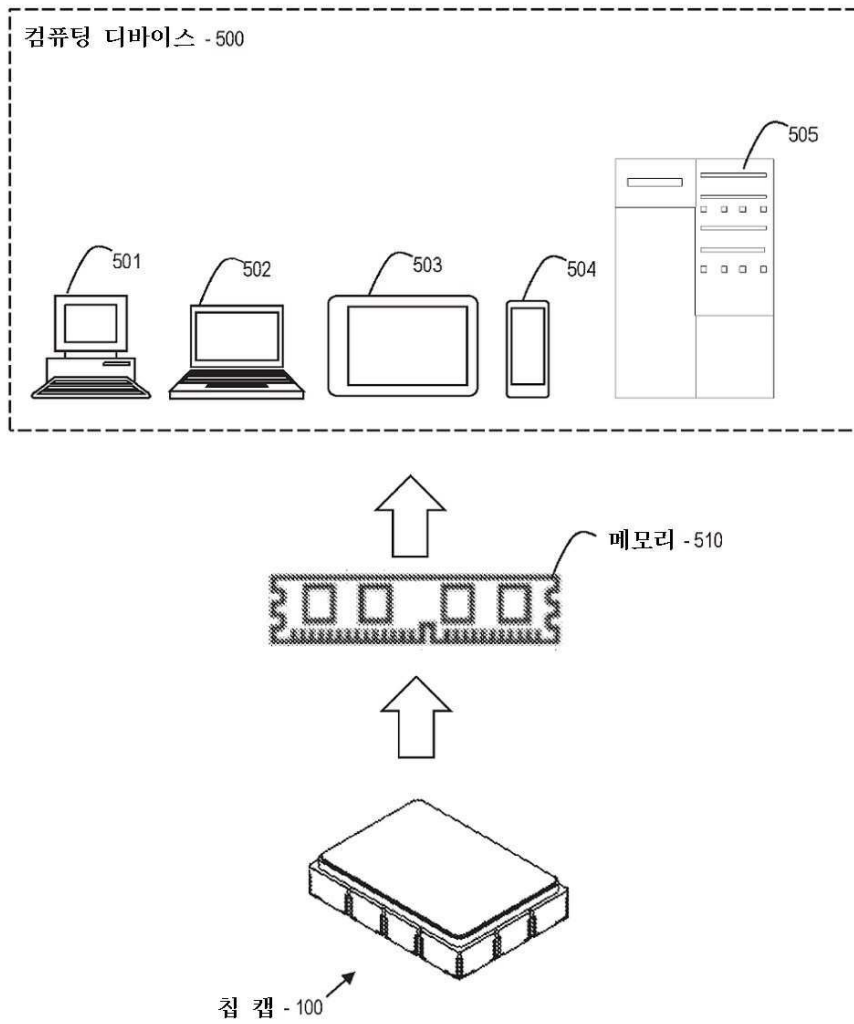
정전 용량



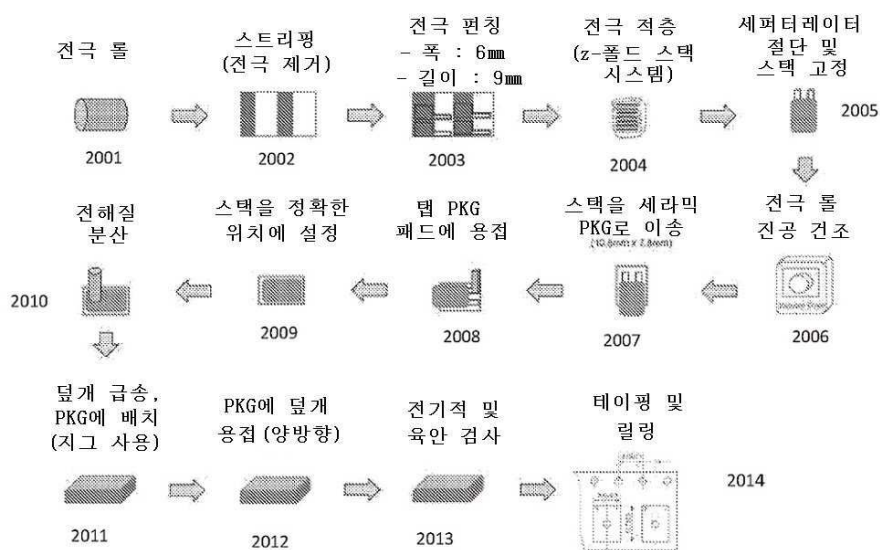
Nanoramic SD85-500의 정전 용량

• 100℃에서 1500시간 후에 정전 용량이 30% 미만 저하

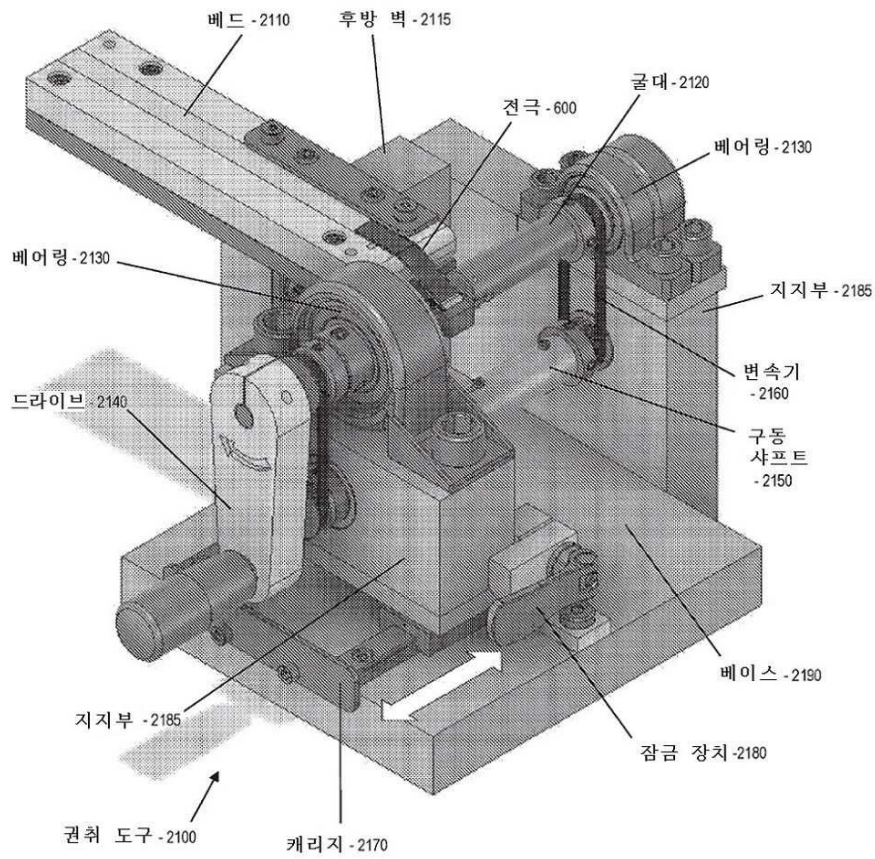
도면19



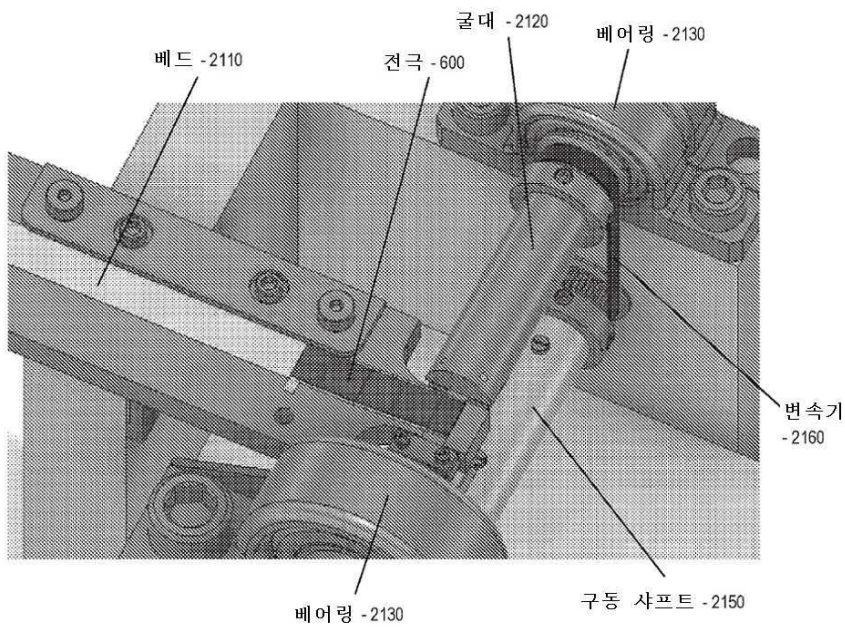
도면20



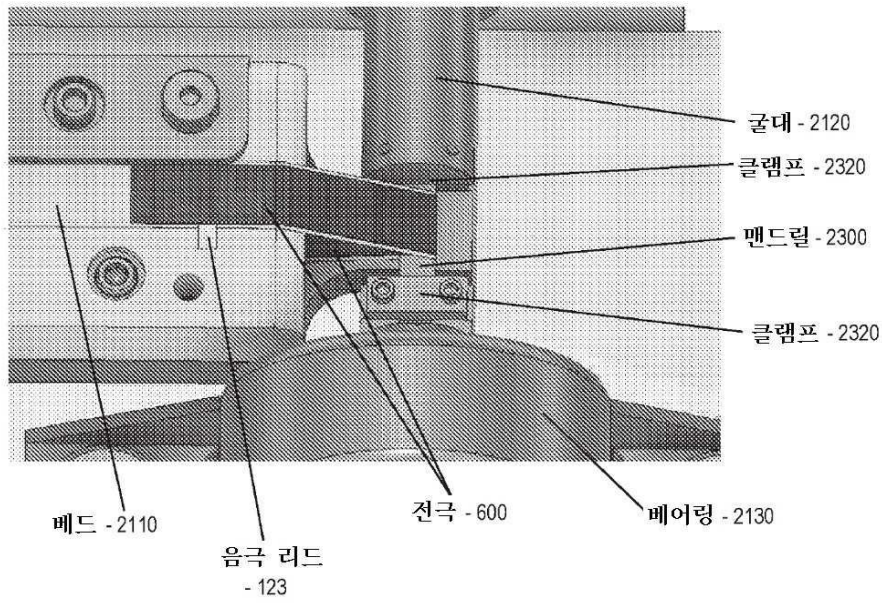
도면21



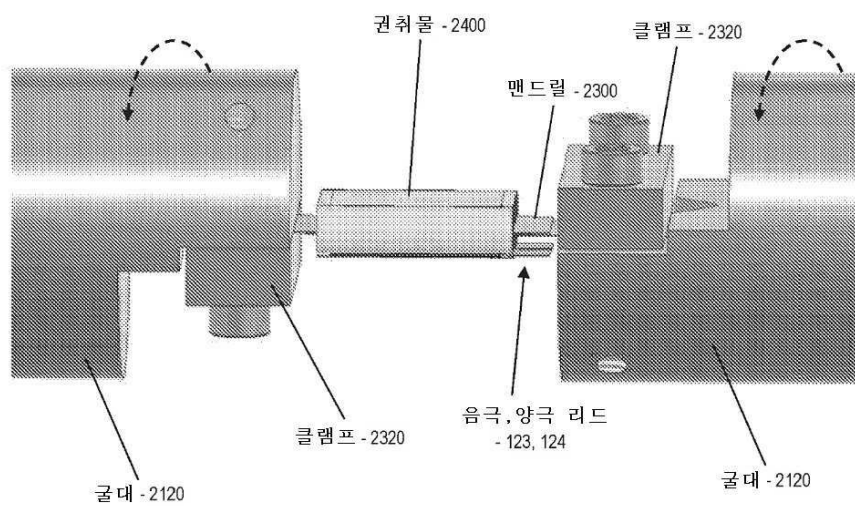
도면22



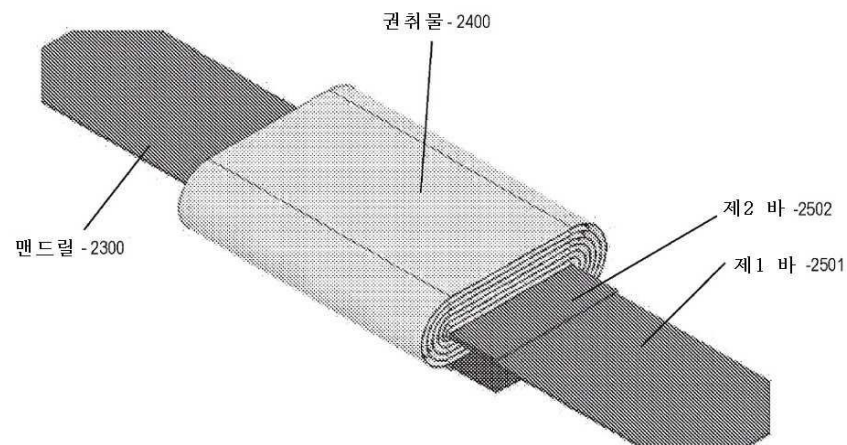
도면23



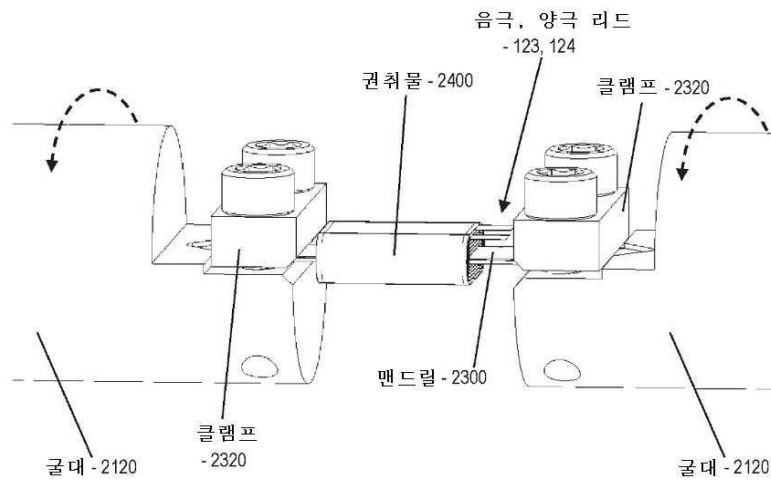
도면24



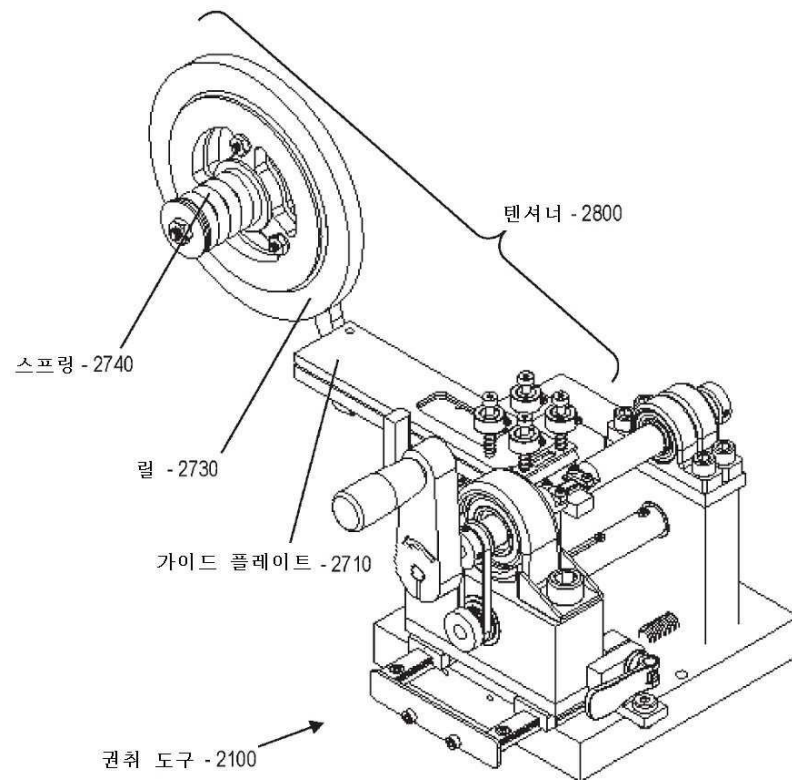
도면25



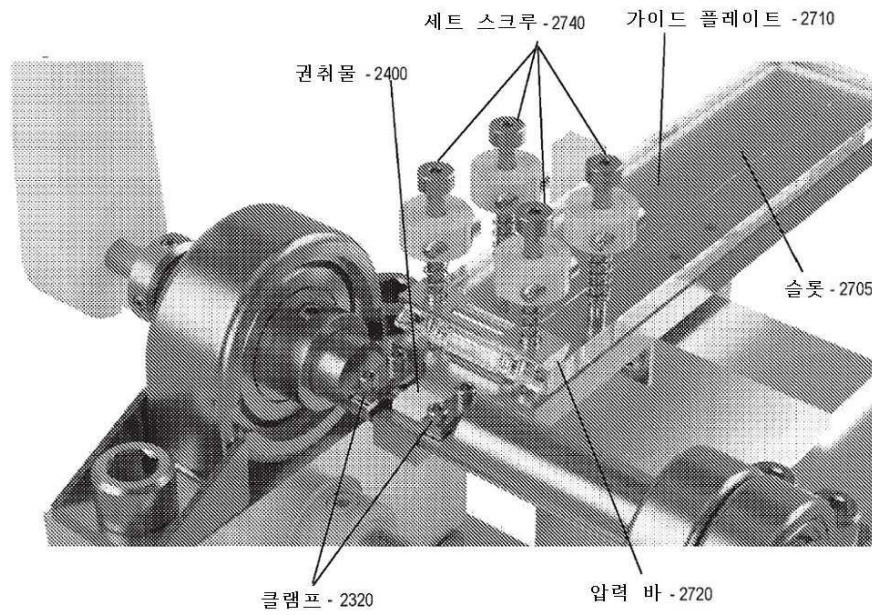
도면26



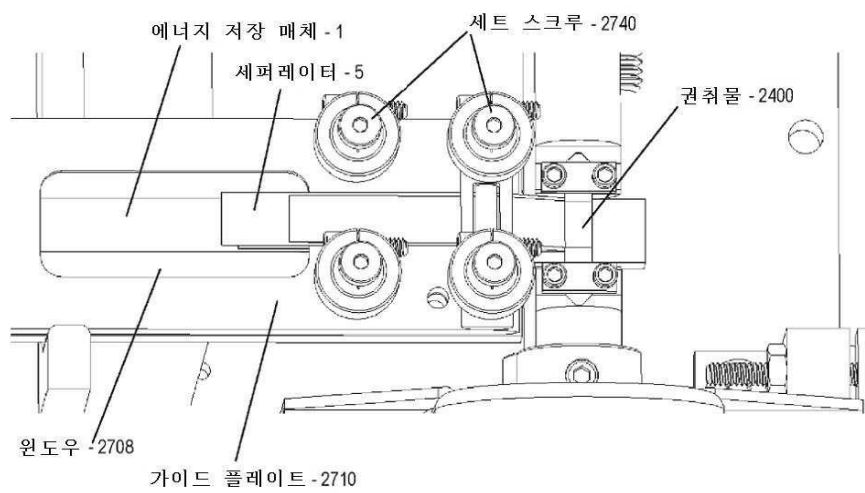
도면27



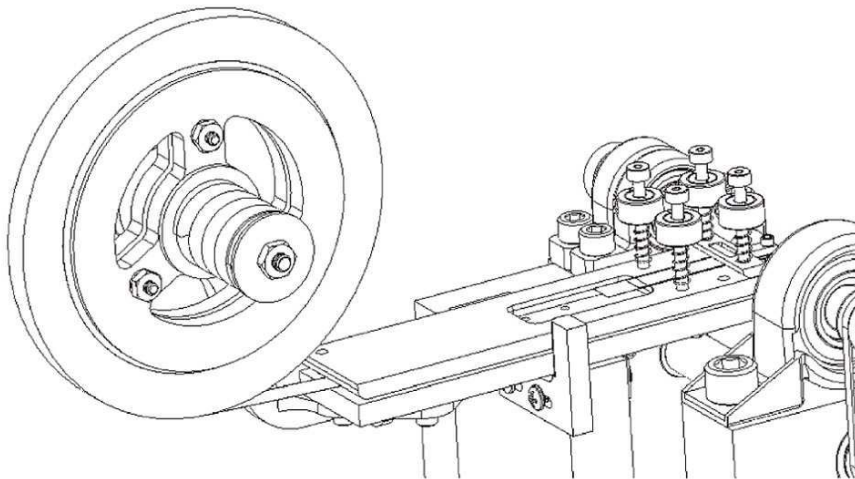
도면28



도면29



도면30



도면31

