

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号

WO 2012/121373 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H05K 3/34 (2006.01)
H05K 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/056125
- (22) 国際出願日: 2012 年 3 月 9 日(09.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-051378 2011 年 3 月 9 日(09.03.2011) JP
特願 2011-078583 2011 年 3 月 31 日(31.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 日立化成工業株式会社 (HITACHI CHEMICAL COMPANY, LTD.) [JP/JP]; 〒1630449 東京都新宿区西新宿二丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田村 匡史 (TAMURA, Tadashi) [JP/JP]; 〒3088521 茨城県筑西市小川 1 5 0 0 番地 日立化成工業株式会社内 Ibaraki (JP). 川崎 沙織 (KAWASAKI, Saori) [JP/JP]; 〒3088521 茨城県筑西市小川 1 5 0 0 番地 日立化成エレクトロニクス株式会社内 Ibaraki (JP). 若林 昭彦 (WAKABAYASHI, Akihiko) [JP/JP]; 〒

3088521 茨城県筑西市小川 1 5 0 0 番地 日立化成工業株式会社内 Ibaraki (JP). 鈴木 邦司 (SUZUKI, Kuniji) [JP/JP]; 〒3088521 茨城県筑西市小川 1 5 0 0 番地 日立化成工業株式会社内 Ibaraki (JP). 坪松 良明 (TSUBOMATSU, Yoshiaki) [JP/JP]; 〒3088521 茨城県筑西市小川 1 5 0 0 番地 日立化成工業株式会社内 Ibaraki (JP).

(74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

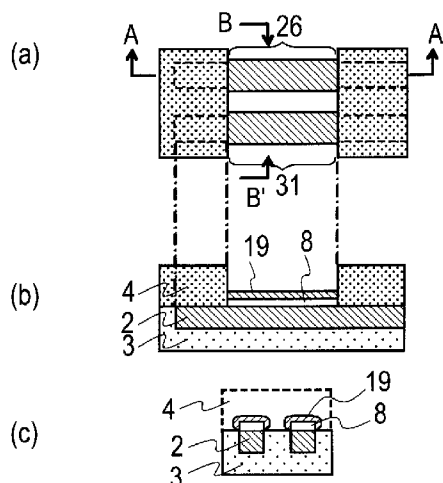
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: METHOD FOR PRODUCING PACKAGE SUBSTRATE FOR MOUNTING SEMICONDUCTOR ELEMENT, PACKAGE SUBSTRATE FOR MOUNTING SEMICONDUCTOR ELEMENT, AND SEMICONDUCTOR PACKAGE

(54) 発明の名称: 半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージ

[図2]



(57) Abstract: Provided is a method and the like that is for producing a package substrate for mounting a semiconductor element, can support heightened density, and has superior reliability. The method and the like for producing a package substrate for mounting a semiconductor element has: a step for preparing a multi-layer metal foil that laminates a first carrier metal foil, a second carrier metal foil, and a base metal foil, and forming a core substrate by laminating the multi-layer metal foil to a substrate; a step for physically peeling the first carrier metal foil between the first carrier metal foil and the second carrier metal foil of the multi-layer metal foil; a step for performing a first pattern plating on the second carrier metal foil; a step for forming a laminate by forming an insulating layer, a conductive circuit, and an interlayer connection on the first pattern plating; a step for peeling the laminate together with the carrier metal foil from the core substrate; and a step for forming a 3D circuit or an embedded circuit by means of etching.

(57) 要約:

[続葉有]



ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー 添付公開書類:

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, — 国際調査報告 (条約第 21 条(3))
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

高密度化に対応可能で信頼性にも優れた半導体素子搭載用パッケージ基板の製法等を提供する。第 1 キャリア金属箔と第 2 キャリア金属箔とベース金属箔とを積層した多層金属箔を準備し、基材と積層してコア基板を形成する工程と、前記多層金属箔の第 1 キャリア金属箔と第 2 キャリア金属箔との間で、第 1 キャリア金属箔を物理的に剥離する工程と、第 2 キャリア金属箔上に第 1 のパターンめっきを行う工程と、第 1 のパターンめっき上に絶縁層と導体回路と層間接続と形成して積層体を形成する工程と、積層体をキャリア金属箔とともにコア基板から分離する工程と、エッチングにより、埋め込み回路または立体回路を形成する工程と、を有する半導体素子搭載用パッケージ基板の製造方法等。

明 細 書

発明の名称：

半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージ

技術分野

[0001] 本発明は、高密度化が可能な半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージに関し、より詳細には、 bumps を有する半導体素子と接続するフリップチップ接続端子を備えた半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージに関する。

背景技術

[0002] 半導体素子と半導体素子搭載用パッケージ基板（以下、「半導体素子搭載用パッケージ基板」を「パッケージ基板」ということがある。）の接続端子を電氣的に接続する方法として、フリップチップ接続が用いられている。このフリップチップ接続では、半導体素子の bumps との間に良好なはんだフィレットを形成する目的で、パッケージ基板のフリップチップ接続端子上に予備はんだを形成し、この予備はんだと半導体素子の bumps に形成されたはんだの両者によってはんだ量を確保して半導体素子に設けた bumps と接続する方法が用いられることが多い。一方で、電子部品の小型化や高密度化に伴い、半導体素子との接続端子を高密度に配置する必要が生じており、フリップチップ接続端子の微細化が要求されている。

[0003] フリップチップ接続端子が微細化すると、予備はんだが形成される接続端子の面積が減少するため、フリップチップ接続端子上に形成される予備はんだの量も減少する結果、半導体素子の bumps との間に形成されるはんだフィレットの形成が不十分になり、接続信頼性が低下する問題がある。また、微細なフリップチップ接続端子上に、半導体素子との接続に十分な量の予備はんだを形成しようとする、図 1 に示すように、一般的な製法では、フリッ

プチップ接続端子 26 は、パッケージ基板の表面に対して凸状に形成されているので、予備はんだ 19 がフリップチップ接続端子 26 の側面に回り込み、隣接するフリップチップ接続端子 26 との間で予備はんだ 19 のブリッジを生じる問題がある。つまり、予備はんだ 19 をフリップチップ接続端子 26 上に形成するためのはんだを供給しても、かなりの割合のはんだがフリップチップ接続端子 26 の側面を覆うために使われてしまい、接続に必要なはんだフィレットを形成するために使用できる予備はんだ 19 の割合が減少してしまうばかりか、隣接するフリップチップ接続端子 26 とブリッジを生じてしまうのである。

[0004] このような問題を改善する方法として、パッケージ基板上のフリップチップ接続端子となる領域の配線パターンを比較的長く形成して、この領域のはんだ量を増加させる方法（特許文献 1）や、フリップチップ接続端子となる領域の配線パターンの幅を他の領域に比べて部分的に幅広にすることにより、フリップチップ接続端子上の予備はんだ量を増加させる方法（特許文献 2）が開示されている。

先行技術文献

特許文献

[0005] 特許文献 1：特開 2002-329744 号公報

特許文献 2：特開 2005-101137 号公報

発明の概要

発明が解決しようとする課題

[0006] 上記の特許文献 1、2 の方法によると、半導体素子との接続のためのフリップチップ接続端子上の予備はんだの量はある程度確保できる。しかし、図 1 に示すように、フリップチップ接続端子 26 を形成する回路パターンは、パッケージ基板 1 の表面から凸状に形成されている回路パターン（以下、「凸状回路」ということがある。）であり、パッケージ基板 1 の絶縁層 3 の表面と密着しているのは、この凸状回路 32 の底面のみである。しかも、この

凸状回路 3 2 は、一般に、セミアディティブ法などのエッチングを伴う方法で形成されるため、いわゆるアンダーカットが生じてしまい、その結果、回路パターンの幅がトップ（表面側）よりも厚み方向の途中やボトム（底面側）で狭くなる。このため、フリップチップ接続端子 2 6 が微細化すると、フリップチップ接続端子 2 6 とその下の絶縁層 3 との密着面積の減少や回路パターンの幅の減少によって密着力が低下し、フリップチップ接続の際にわずかな外力が加わるだけで、フリップチップ接続端子 2 6 の剥れが生じる可能性がある。

[0007] 本発明は、上記問題点に鑑みなされたものであり、微細であっても密着力を確保したフリップチップ接続端子が形成可能であり、かつ半導体素子のバンプとのフリップチップ接続に必要な予備はんだ量を確保したフリップチップ接続端子を備えることにより、高密度化に対応可能で信頼性にも優れた半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージを提供することを目的とする。

課題を解決するための手段

[0008] 本発明は、以下のものに関する。

1. 第 1 キャリア金属箔と第 2 キャリア金属箔とベース金属箔とをこの順に積層した多層金属箔を準備し、この多層金属箔のベース金属箔側と基材とを積層してコア基板を形成する工程と、前記多層金属箔の第 1 キャリア金属箔と第 2 キャリア金属箔との間で、第 1 キャリア金属箔を物理的に剥離する工程と、前記コア基板の第 2 キャリア金属箔上に第 1 のパターンめっきを行う工程と、前記第 1 のパターンめっきを含む第 2 キャリア金属箔上に絶縁層と導体回路と層間接続とを形成して積層体を形成する工程と、前記多層金属箔の第 2 キャリア金属箔とベース金属箔との間で、前記積層体を第 2 キャリア金属箔とともにコア基板から物理的に剥離して分離する工程と、前記剥離した積層体の第 2 キャリア金属箔上にエッチングレジストを形成してエッチングを行うことにより、前記積層体表面の絶縁層から第 1 のパターンめっきを露出させて埋め込み回路を形成する工程、または前記積層体表面の第 1 の

パターンめっき上に立体回路を形成する工程、または前記積層体表面の絶縁層上に立体回路を形成する工程、または前記積層体表面の第1のパターンめっき上に凹み形状を形成する工程と、を有する半導体素子搭載用パッケージ基板の製造方法。

2. 第1キャリア金属箔と第2キャリア金属箔とベース金属箔とをこの順に積層した多層金属箔を準備し、この多層金属箔のベース金属箔側と基材とを積層してコア基板を形成する工程と、前記多層金属箔の第1キャリア金属箔と第2キャリア金属箔との間で、第1キャリア金属箔を物理的に剥離する工程と、前記コア基板の第2キャリア金属箔上に第1のパターンめっきを行う工程と、前記第1のパターンめっきを含む第2キャリア金属箔上に絶縁層と導体回路と層間接続とを形成して積層体を形成する工程と、前記多層金属箔の第2キャリア金属箔とベース金属箔との間で、前記積層体を第2キャリア金属箔とともにコア基板から物理的に剥離して分離する工程と、前記剥離した積層体の第2キャリア金属箔上に第2のパターンめっきを行う工程と、前記第2のパターンめっきを行った部分以外の第2キャリア金属箔上にエッチングレジストを形成してエッチングを行い、前記第2のパターンめっきを行った部分及びエッチングレジストを形成した部分以外の第2キャリア金属箔をエッチングにより除去することにより、前記積層体表面の絶縁層から第1のパターンめっきを露出させて埋め込み回路を形成する工程、または前記積層体表面の第1のパターンめっき上に立体回路を形成する工程、または前記積層体表面の絶縁層上に立体回路を形成する工程、または前記積層体表面の第1のパターンめっき上に凹み形状を形成する工程と、を有する半導体素子搭載用パッケージ基板の製造方法。

3. 項1または2において、第1のパターンめっきを含む第2キャリア金属箔上に絶縁層と導体回路と層間接続とを形成して積層体を形成する工程と、多層金属箔の第2キャリア金属箔とベース金属箔との間で、前記積層体を第2キャリア金属箔とともにコア基板から物理的に剥離して分離する工程との間に、所望の層数の絶縁層と導体回路とを形成する工程を有する半導体素

子搭載用パッケージ基板の製造方法。

4. 項1から3の何れかにおいて、積層体表面の絶縁層から第1のパターンめっきを露出させて埋め込み回路を形成する工程ではフリップチップ接続端子を、積層体表面の第1のパターンめっき上に立体回路を形成する工程ではピラーまたはフリップチップ接続端子の長手方向の一部に凸形状を、積層体表面の絶縁層上に立体回路を形成する工程ではダミー端子を形成する半導体搭載用パッケージ基板の製造方法。

5. 項1から4の何れかの半導体搭載用パッケージ基板の製造方法によって製造される半導体素子搭載用パッケージ基板であって、絶縁層と、この絶縁層の表面に上面が露出するように設けられた埋込回路と、前記絶縁層上及び埋込回路上に設けられたソルダーレジストとを有し、このソルダーレジストの開口内に配置された埋込回路がフリップチップ接続端子を形成し、このフリップチップ接続端子が厚さ $3\mu\text{m}$ 以上の予備はんだによって被覆された半導体素子搭載用パッケージ基板。

6. 項5において、フリップチップ接続端子を形成する埋込回路の底面にビアが接続した半導体素子搭載用パッケージ基板。

7. 項5または6において、フリップチップ接続端子の長手方向の一部に凸形状が形成された半導体素子搭載用パッケージ基板。

8. 項5から7の何れかにおいて、フリップチップ接続端子の長手方向の一部に凹み形状が形成された半導体素子搭載用パッケージ基板。

9. 項5から8の何れかにおいて、フリップチップ接続端子の先端が、ソルダーレジストの開口内に配置された半導体素子搭載用パッケージ基板。

10. 項5から9の何れかにおいて、フリップチップ接続端子の長手方向の両側または片側に延長された部分を有する埋込回路が設けられた半導体素子搭載用パッケージ基板。

11. 項5から10の何れかにおいて、フリップチップ接続端子の一部が、短手方向に拡張された半導体素子搭載用パッケージ基板。

12. 項5から11の何れかの半導体素子搭載用パッケージ基板のフリッ

プチップ接続端子上に半導体素子のバンプをフリップチップ接続により搭載した半導体パッケージ。

発明の効果

[0009] 本発明によれば、微細であっても密着力を確保したフリップチップ接続端子が形成可能であり、かつ半導体素子のバンプとのフリップチップ接続に必要な予備はんだ量を確保したフリップチップ接続端子を備えることにより、高密度化に対応可能で信頼性にも優れた半導体素子搭載用パッケージ基板の製造方法、半導体素子搭載用パッケージ基板及び半導体パッケージを提供することができる。

図面の簡単な説明

[0010] [図1]従来のパッケージ基板のフリップチップ接続端子近傍の（a）平面図、（b）A－A' 断面図、（c）B－B' 断面図である。

[図2]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図、（b）A－A' 断面図、（c）B－B' 断面図である。

[図3]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図及び（b）A－A' 断面図である。

[図4]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図、（b）A－A' 断面図、（c）B－B' 断面図である。

[図5]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図及び（b）A－A' 断面図である。

[図6]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図及び（b）A－A' 断面図である。

[図7]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図及び（b）A－A' 断面図である。

[図8]本発明のパッケージ基板のフリップチップ接続端子近傍の（a）平面図、（b）A－A' 断面図、（c）B－B' 断面図である。

[図9]本発明のパッケージのフリップチップ接続端子近傍の断面図である。

[図10]本発明に用いる多層金属箔の断面図である。

[図11]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図12]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図13]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図14]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図15]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図16]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図17]本発明のパッケージ基板の製造方法の一部を表すフロー図である。

[図18]本発明のパッケージ基板の製造方法を用いて作製した半導体パッケージの断面図である。

発明を実施するための形態

[0011] 本発明の半導体素子搭載用パッケージ基板の例について、図2～図9を用いて以下に説明する。

[0012] 本発明の半導体素子搭載用パッケージ基板（以下、「パッケージ基板」という。）の第1の例としては、図2に示すように、絶縁層3と、この絶縁層3の表面に上面が露出するように設けられた埋込回路2と、前記絶縁層3上及び埋込回路2上に設けられたソルダーレジスト4とを有し、このソルダーレジスト4の開孔31内に配置された埋込回路2がフリップチップ接続端子26を形成し、このフリップチップ接続端子26が厚さ3 μ m以上の予備はんだ19によって被覆された半導体素子搭載用パッケージ基板1が挙げられる。この構成によれば、フリップチップ接続端子26が、絶縁層3の表面に上面が露出した埋込回路2によって形成される。このため、フリップチップ接続端子26の側面と底面が絶縁層3に埋め込まれて固定されるので、フリップチップ接続端子26を形成する埋込回路2が、ライン／スペースが20 μ m／20 μ m以下レベルの微細な回路パターンであっても、絶縁層3との密着力を確保したフリップチップ接続端子26が形成可能になる。フリップチップ接続端子26の長手方向の両側に延長された埋込回路2を有する方が、フリップチップ接続端子26を埋込回路2が両側からも固定することになるため、密着力の確保の観点からは望ましいが、本発明においては、図1に

示すような凸状回路 32 に比べて、微細であっても絶縁層 3 との密着力を確保したフリップチップ接続端子 26 が形成可能になる。このため、図 3 に示すように、フリップチップ接続端子 26 の長手方向の片側だけに延長された埋込回路 2 を設けることも可能であり、この場合はフリップチップ接続端子 26 のサイズを小さくすることができるので、より高密度化を図ることができる点で望ましい。また、図 4 に示すように、フリップチップ接続端子 26 の長手方向の片側及び両側に延長された埋込回路 2 の両者を設けることも可能である。このように、フリップチップ接続端子 26 の長手方向に延長された埋込回路 2 は、フリップチップ接続端子 26 の長手方向の両側に設けても、片側だけに設けてもよいので、設計の自由度を大きくすることが可能である。また、フリップチップ接続端子 26 が厚さ $3\ \mu\text{m}$ 以上の予備はんだ 19 によって被覆されるので、半導体素子 15 の bumps 25 とのフリップチップ接続に必要なはんだ量を確保可能になる。したがって、高密度化に対応可能で信頼性にも優れた半導体素子搭載用パッケージ基板 1 を提供することができる。

[0013] 本発明の絶縁層とは、有機絶縁材料を用いて形成された絶縁基板、コア基板、フィルム、層間絶縁層、ビルドアップ層等をいう。このような絶縁層として、一般にパッケージ基板に用いられるものを使用することができ、ガラスクロスにエポキシ樹脂やポリイミド樹脂を含浸させたプリプレグ、エポキシ系接着シートやポリイミド系接着シート等を加熱、加圧して形成されるものが挙げられる。

[0014] 本発明の埋込回路とは、絶縁層に少なくとも底面及び側面の一部が埋め込まれ、少なくとも上面が絶縁層の表面に露出するように設けられる回路をいう。このような埋込回路は、例えば、金属箔を給電層としてその上にパターン電気めっきで所定の回路パターンを形成し、この回路パターン上に絶縁層を形成して回路パターンを絶縁層に埋め込んだ後、給電層とした金属箔をエッチング等で除去することにより、パターン絶縁層に埋め込まれた回路パターンの表面を絶縁層から露出させる、いわゆる転写法などで形成することが

できる。

[0015] 本発明のソルダーレジストとは、予備はんだがフリップチップ接続端子となる埋込回路以外の部分に付着しないようにパッケージ基板の表面を保護するものである。また、ソルダーレジストに設けられる開口によって、埋込回路の中でフリップチップ接続端子となる部分が規定されることにより、この開口内の埋込回路がフリップチップ接続端子を形成するものである。ソルダーレジストとしては、フリップチップ接続端子を形成するための、縦 $100\mu\text{m}$ ×横 $100\mu\text{m}$ 以下レベルの微小な開口を精度よく形成できることから感光性のソルダーレジストが好ましい。

[0016] 本発明のフリップチップ接続端子とは、半導体素子をフリップチップ接続によってパッケージ基板に搭載するために用いる接続端子をいう。また、フリップチップ接続とは、半導体素子の能動素子面をパッケージ基板に向けて接続する方法をいい、半導体素子に電極としてのバンプを形成し、半導体素子を裏返してパッケージ基板上の搭載位置に合せた後、半導体素子のバンプとパッケージ基板に形成されたフリップチップ接続端子とを接続する方法である。本発明のフリップチップ接続端子は、実際に半導体素子のバンプと当接する接続部だけをいうのではなく、半導体素子のバンプと接続する埋込回路であって、ソルダーレジストの開口内で絶縁層の表面に露出した部分をいう。フリップチップ接続端子の表面には、表面を酸化から防ぎ、予備はんだの濡れ性を確保するために、ニッケル／金めっき（ニッケルめっきとその上に金めっきを形成したもの）、ニッケル／パラジウム／金めっき（ニッケルめっきとその上にパラジウムめっきとその上に金めっきを形成したもの）等の保護めっきが設けられてもよい。

[0017] 本発明の予備はんだとは、半導体素子とのフリップチップ接続のためにフリップチップ接続端子上に設けられるはんだのことをいう。予備はんだは、はんだペーストを印刷しリフローする方法、その他の公知の方法によって形成することができる。はんだペーストの一例としては、電子部品の実装で用いられる、 Sn （スズ）－ Pb （鉛）系、 Sn （スズ）－ Ag （銀）－ Cu

(銅)系等のはんだ粒子をロジンや有機溶剤と混合したもの等が挙げられる。はんだペーストの印刷には、メタルマスクやシルクスクリーン等を用いることができる。リフローは、電子部品の実装で一般的に用いられる、赤外線リフロー、熱風リフロー、VPS（ベーパーフェイズソルダーリング）リフロー等を用いて行なうことができる。リフロー条件は、はんだペーストによっても異なるが、例えばSn-Pb（スズと鉛）系であれば、ピーク温度が240℃程度、Sn（スズ）-Ag（銀）-Cu（銅）系であれば、ピーク温度が260℃程度の条件が挙げられる。

[0018] 本発明のパッケージ基板は、フリップチップ接続端子が、厚さ3μm以上の予備はんだによって被覆される。予備はんだの厚さが3μm未満では、フリップチップ接続端子と半導体素子のバンプとの間にはんだフィレットを形成するのに十分ではなく、接続信頼性を確保することが難しい。一方、予備はんだの厚みが20μmを超えると、隣接するフリップチップ接続端子上の予備はんだとはんだブリッジを生じる可能性がある。このため、予備はんだの厚みは、3μm以上、20μm以下が望ましい。なお、一般的にフリップチップ接続端子の上面が平面視で細長い長方形であるため、はんだペースト等をリフローして形成される予備はんだは、はんだの表面張力によって略半円柱状（かまぼこ状）に形成される。このため、予備はんだの厚みは、フリップチップ接続端子の長手方向（長さ方向）と短手方向（幅方向）の略中央において最も厚く形成される。そこで、本発明において、予備はんだの厚みは、フリップチップ接続端子の長手方向（長さ方向）と短手方向（幅方向）の略中央について、ソルダーレジスト表面とはんだ表面との段差を非接触式段差測定機を用いて測定して求めたものとした。

[0019] 本発明のパッケージ基板の第2の例としては、図5に示すように、フリップチップ接続端子26を含む埋込回路2の底面にビア18が接続されるものが挙げられる。なお、予備はんだは省略して示している。図5では、フリップチップ接続端子26の底面及びこのフリップチップ接続端子26から長手方向に延長された埋込回路2の底面の両方に、ビア18が形成されているが

、この何れか一方にビア 18 が形成されていてもよい。つまり、この第 2 の例では、絶縁層 3 に埋め込まれているフリップチップ接続端子 26 の底面、このフリップチップ接続端子 26 から長手方向に延長された埋込回路 2 の底面、または、これらの両者の底面にビア 18 が形成される。このように底面にビア 18 が接続されることで、フリップチップ接続端子 26 またはフリップチップ接続端子 26 から長手方向に延長された埋込回路 2 が、ビア 18 によって絶縁層 3 に固定されるので、第 1 の例よりもフリップチップ接続端子 26 と絶縁層 3 との密着をさらに強固にすることが可能になる。

[0020] 本発明において、ビアとは、パッケージ基板に多層に設けられる配線層の層間を接続するものであり、例えば、配線層の層間接続用の孔をレーザ等で形成した後、この孔内にめっき等を行うことにより形成することができる。なお、フリップチップ接続端子の底面やフリップチップ接続端子から長手方向に延長された埋込回路の底面と、ビアとの接続面積を稼ぐために、ビアはいわゆるフィールドビアめっきにより形成するのが望ましい。

[0021] 本発明のパッケージ基板の第 3 の例としては、図 6 に示すように、フリップチップ接続端子 26 の長手方向の一部に凸形状 27 が形成されるものが挙げられる。なお、予備はんだ 19 は省略して示している。この凸形状 27 は、例えば、めっきレジストを形成して、埋込回路のフリップチップ接続端子 26 となる箇所の一部にパターンめっきすることによって形成することができる。また、図示しないが、例えば、絶縁層 3 の表面から側面の一部と上面が突出した埋込回路を形成した後、エッチングレジストを形成し、突出した埋込回路の一部が突出したまま残り、他の部分は絶縁層 3 の表面と面一になるようにエッチングすることによっても形成することができる。凸形状 27 の高さは、 $3\mu\text{m}$ ～ $8\mu\text{m}$ 程度が望ましく、凸形状 27 を設ける範囲は、フリップチップ接続端子 26 の短手方向（幅方向）の寸法の 50%～100%で、フリップチップ接続端子 26 の長手方向（長さ方向）の寸法の 10%～70%程度であるのが望ましい。このようにフリップチップ接続端子 26 の長手方向の一部に凸形状 27 を形成することにより、凸形状 27 の段差部分

にはんだが溜まるので（図示しない。）、表面が平坦な場合に比べて、フリップチップ接続端子 26 の上に配置されるはんだの量を増加させることができる。また、凸形状 27 は、他の部分のはんだを引き寄せるきっかけとなり、はんだは、凸形状 27 を中心として凝集するので、突出したはんだ溜まりをフリップチップ接続端子 26 の長手方向の所定の位置に形成することもできる。このため、フリップチップ接続端子 26 に搭載される半導体素子のバンプの位置に対応して、フリップチップ接続端子 26 上の突出する部分を設けることができるので、フリップチップ接続端子 26 と半導体素子のバンプとを確実に接続することができる。

[0022] 本発明のパッケージ基板の第 4 の例としては、図 7 に示すように、フリップチップ接続端子 26 の長手方向の一部に凹み形状 28 が形成されるものが挙げられる。なお、予備はんだは省略して示している。この凹み形状 28 は、図示しないが、例えば、絶縁層 3 の表面から上面が露出した埋込回路を形成した後、エッチングレジストを形成し、上面が露出した埋込回路の上面の一部が絶縁層 3 の表面よりも凹み、他の部分はそのまま残るようにエッチングすることによって形成することができる。凹み形状 28 の深さは、 $3\mu\text{m}$ ～ $8\mu\text{m}$ 程度が望ましく、凹み形状 28 の範囲は、フリップチップ接続端子 26 の短手方向（幅方向）の寸法の 50% ～ 100% で、フリップチップ接続端子 26 の長手方向（長さ方向）の寸法の 10% ～ 70% 程度であるのが望ましい。このように凹み形状 28 を形成することにより、この部分に溶融したはんだが溜まるので、フリップチップ接続端子 26 上に配置するはんだ（図示しない。）の量を増加させることができる。つまり、凹み形状 28 は、はんだを溜める容器の役割を果たし、はんだが凹み形状 28 の中に溜まるので、はんだフィレットを形成するのに十分なはんだをフリップチップ接続端子 26 上に形成することができる。

[0023] 本発明のパッケージ基板の第 5 の例としては、図 3 に示すように、フリップチップ接続端子 26 の先端が、ソルダーレジスト 4 の開口 31 内に形成されたものが挙げられる。なお、予備はんだは省略して示している。従来の一

一般的なパッケージ基板のように、絶縁層 3 の表面上に接着した金属箔をエッチングすることによって回路パターンが形成される場合、この回路パターンは凸状回路 3 2（図 1）であり、形成されるフリップチップ接続端子 2 6 は、その底面のみが絶縁層 3 と接着している。また、エッチングによって形成されるため、凸状回路 3 2 による回路パターンは、断面から見て、回路パターンの表面側よりも底面側の方が幅が細くなる、いわゆるアンダーカットを生じる。このため、フリップチップ接続端子 2 6 のサイズが微細化すると、凸状回路 3 2 による回路パターンの底面と絶縁層 3 との接着面積が減少するので、絶縁層 3 との密着力が低下し、フリップチップ接続の際にわずかな外力が加わるだけで剥がれてしまう可能性がある。そこで、絶縁層 3 とフリップチップ接続端子 2 6 との密着力を確保するために、溶剤レジスト 4 で被覆して上側から回路パターンを固定し、溶剤レジスト 4 の開口 3 1 からフリップチップ接続端子 2 6 を露出させることで、フリップチップ接続端子 2 6 の長手方向の両側を溶剤レジスト 4 で固定する方法が採られる。しかし、この方法では、溶剤レジスト 4 の解像度の限界によって、溶剤レジスト 4 の開口 3 1 の幅が規定されるため、フリップチップ接続端子 2 6 を、溶剤レジスト 4 の解像度の限界よりも長くする必要があった。また、このため、回路パターンの引き回しの自由度も制限されていた。本発明のパッケージ基

板 1 の第 5 の例によれば、フリップチップ接続端子 2 6 が絶縁層 3 の表面上に上面が露出した埋込回路によって形成されるので、微細であっても密着力を確保することが可能になる。このため、溶剤レジスト 4 によって、フリップチップ接続端子 2 6 の長手方向の両側に延長された回路パターンを上から被覆して固定する必要がなく、フリップチップ接続端子 2 6 の先端を溶剤レジスト 4 の開口 3 1 内に形成することができる。したがって、溶剤レジスト 4 の解像度に制限されることなく、フリップチップ接続端子 2 6 を微細化できるので、より高密度化を図ることが可能となり、また回路パターンの設計の自由度を向上させることができる。

[0024] 本発明のパッケージ基板の第6の例としては、図4に示すように、フリップチップ接続端子26の長手方向の両側または片側に延長された埋込回路2が設けられたものが挙げられる。本発明のパッケージ基板の第6の例によれば、第5の例と同様に、ソルダーレジスト4の解像度に制限されることなく、フリップチップ接続端子26を微細化できるので、より高密度化を図ることが可能となり、また回路パターンの設計の自由度を向上させることができる。

[0025] 本発明のパッケージ基板の第7の例としては、図8に示すように、フリップチップ接続端子26の一部が、短手方向（幅方向）に拡張された部分33を有するものが挙げられる。フリップチップ接続端子26の先端は、ソルダーレジスト4の開口31内に形成されてもよい。なお、予備はんだは省略して示している。このフリップチップ接続端子26が部分的に短手方向（幅方向）に拡張された部分33を有することにより、絶縁層3との密着面積が拡大するため、フリップチップ接続端子26と絶縁層3との密着力をより向上させることができるとともに、予備はんだ19の量をより多く確保することができ、また、短手方向（幅方向）に拡張された部分33の予備はんだ19が表面張力によってそれ以外の部分のはんだを引き寄せてはんだ溜りを形成するので、はんだ溜りを所定の位置に安定して形成することができる。

[0026] 本発明の半導体パッケージの一例としては、図9に示すように、上記の第1から第7の例のパッケージ基板1に半導体素子15をフリップチップ接続により搭載したものが挙げられる。半導体素子15の bumps 25 形成面と、半導体素子搭載用パッケージ基板1のフリップチップ接続端子26を有する絶縁層3との間に、アンダーフィル材23が充填されるのが望ましい。これによれば、アンダーフィル材23が半導体素子15の bumps 25 形成面とフリップチップ接続端子26を有する絶縁層3との間の密着力を、さらに強固にすることが可能になる。したがって、高密度化に対応可能で信頼性にも優れた半導体パッケージ24を提供することができる。

[0027] 本発明のパッケージ基板の製造方法の一例について、図10～図18を用

いて以下に説明する。

[0028] まず、図10に示すように、第1キャリア金属箔10と第2キャリア金属箔11とベース金属箔12とをこの順に積層した多層金属箔9を準備する。

[0029] 第1キャリア金属箔10は、第2キャリア金属箔11の表面（第1キャリア金属箔10との間）を保護するためのものであり、第2キャリア金属箔11との間で物理的に剥離可能とされる。第2キャリア金属箔11の表面を保護できれば、特に材質や厚みは問わないが、汎用性や取り扱い性の点で、材質としては銅箔やアルミニウム箔が好ましく、厚みとしては $1\sim 35\mu\text{m}$ が好ましい。また、第1キャリア金属箔10と第2キャリア金属箔11との間には、これらの間での剥離強度を安定化するための剥離層（図示しない。）を設けるのが好ましく、剥離層としては、絶縁樹脂と積層する際の加熱・加圧を複数回行っても剥離強度が安定化しているものが好ましい。このような剥離層としては、特開2003-181970号公報に開示された金属酸化物層と有機剤層を形成したものや、特開2003-094553号公報に開示されたCu-Ni-Mo合金からなるもの、再公表特許WO2006/013735号公報に示されたNi及びWの金属酸化物又はNi及びMoの金属酸化物を含有するものが挙げられる。なお、この剥離層は、第1キャリア金属箔10を第2キャリア金属箔11との間で物理的に剥離する際には、第1キャリア金属箔10側に付着した状態で剥離し、第2キャリア金属箔11の表面には残留しないものが望ましい。

[0030] 第2キャリア金属箔11は、第1キャリア金属箔10を剥離した後の表面に第1のパターンめっき13を行うために電流を供給するシード層（給電層）となるものであり、第1キャリア金属箔10との間およびベース金属箔12との間で物理的に剥離可能とされる。ベース金属箔12とともに給電層として機能すればよく、特に材質や厚みは問わないが、汎用性や取り扱い性の点で、材質としては銅箔やアルミニウム箔が好ましく、厚みとしては1から $18\mu\text{m}$ のものを使用できる。ただ、後述するように外層回路2を形成する際（図16（12）、（13）、（14））にはエッチングで除去されるの

で、エッチング量のばらつきを極力低減して高精度な微細回路を形成するためには $1 \sim 5 \mu\text{m}$ の極薄金属箔が好ましい。また、第1キャリア金属箔10との間およびベース金属箔12との間には、これらの間での剥離強度を安定化するため、上述したような剥離層（図示しない。）を設けるのが好ましい。なお、この剥離層は、第2キャリア金属箔11とベース金属箔12とが一体となってシード層として作用するようにするため、導電性を有するものが望ましい。なお、この剥離層は、第2キャリア金属箔11とベース金属箔12との間で物理的に剥離する際には、ベース金属箔12側に付着した状態で剥離し、第2キャリア金属箔11の表面には残留しないものが望ましい。

[0031] ベース金属箔12は、多層金属箔9を基材16と積層してコア基板17を作製する際に、基材16と積層される側に位置するものであり、第2キャリア金属箔11との間で物理的に剥離可能とされる。基材16と積層される際に、基材16との接着性を有していれば特に材質や厚みは問わないが、汎用性や取り扱い性の点で、材質としては銅箔やアルミニウム箔が好ましく、厚みとしては $9 \sim 70 \mu\text{m}$ が好ましい。また、第2キャリア金属箔11との間には、これらの間での剥離強度を安定化するため、上述したような剥離層（図示しない。）を設けるのが好ましい。なお、この剥離層は、第2キャリア金属箔11とベース金属箔12との間で物理的に剥離する際には、ベース金属箔12側に付着した状態で剥離し、第2キャリア金属箔11の表面には残留しないものが望ましい。

[0032] 多層金属箔9としては、3層以上の金属箔（例えば、上述したように、第1キャリア金属箔10と第2キャリア金属箔11とベース金属箔12）を有する多層金属箔9であって、少なくとも2箇所の間（例えば、上述したように、第1キャリア金属箔10と第2キャリア金属箔11との間および第2キャリア金属箔11とベース金属箔12との間）が物理的に剥離可能なものを用いる。多層金属箔9のベース金属箔12側に基材16を積層してコア基板17を形成する工程の際には、第1キャリア金属箔10の表面に樹脂粉等の異物が付着することがあるが、このような異物が付着したとしても、第1キ

キャリア金属箔 10 を第 2 キャリア金属箔 11 との間で物理的に剥離することで、樹脂粉等の異物の影響のない第 2 キャリア金属箔 11 の表面が形成されるので、高品質な金属箔表面を確保することができる。したがって、第 2 キャリア金属箔 11 をシード層として使用して第 1 のパターンめっき 13 を行う場合にも、欠陥の発生を抑制することができるので、歩留りの向上を図ることが可能になる。

[0033] 次に、図 11 (1) に示すように、多層金属箔 9 のベース金属箔 12 側と基材 16 とを積層してコア基板 17 を形成する。基材 16 は、多層金属箔 9 と積層一体化してコア基板 17 を形成するものであり、基材 16 としては、一般的に半導体素子搭載用パッケージ基板 1 の絶縁層 3 として使用されるものを用いることができる。このような基材 16 として、ガラスエポキシ、ガラスポリイミド等が挙げられる。コア基板 17 は、多層金属箔 9 を用いて、パッケージ基板 1 を製造する際に支持基板となるものであり、剛性を確保することによって、作業性を向上させること、およびハンドリング時の損傷を防いで歩留りを向上させるのを主な役割とするものである。このため、基材 16 としては、ガラス繊維等の補強材を有するものが望ましく、例えば、ガラスエポキシ、ガラスポリイミド等のプリプレグを、多層金属箔 9 と重ねて、熱プレス等を用いて加熱・加圧して積層一体化することで形成できる。基材 16 の両側 (図 11 (1) の上下両側) に多層金属箔 9 を積層し、この後の工程を行うことで、1 回の工程で 2 つのパッケージ基板 1 を製造する工程を進めることができるので、工数低減を図ることができる。また、コア基板 17 の両側に対称な構成の積層板を構成できるので、反りを抑制することができ、作業性や製造設備への引っ掛かり等による損傷も抑制できる。

[0034] 次に、図 11 (2) に示すように、多層金属箔 9 の第 1 キャリア金属箔 10 と第 2 キャリア金属箔 11 との間で、第 1 キャリア金属箔 10 を物理的に剥離する。第 1 キャリア金属箔 10 の表面には、積層時に基材 16 の材料となるプリプレグ等からの樹脂粉等の異物が付着する場合がある。このため、この第 1 キャリア金属箔 10 を用いて回路を形成する場合は、表面に付着し

た樹脂粉等の異物によって、回路に断線や短絡等の欠陥が生じることがあり、歩留りの低下に繋がる可能性がある。しかし、このように、第1キャリア金属箔10を剥離し除去することにより、樹脂粉等の異物が付着していない第2キャリア金属箔11を使用して回路を形成することができるので、回路欠陥の発生を抑制することができ、歩留りを改善することが可能になる。また、第1キャリア金属箔10を物理的に剥離可能であるため、第1キャリア金属箔10と第2キャリア金属箔11との間の剥離強度を調整することで、剥離作業を容易に行うことができる。このとき、多層金属箔9の第1キャリア金属箔10と第2キャリア金属箔11との間の剥離層（図示しない。）は、第1キャリア金属箔10側に移行するのが望ましい。これにより、第1キャリア金属箔10を剥離した後の第2キャリア金属箔11側には、第2キャリア金属箔11の表面が露出するので、後工程で行う第2キャリア金属箔11上へのめっきレジスト形成や第1のパターンめっき13の形成が、剥離層によって阻害されることがない。

[0035] ここで、多層金属箔9は、第2キャリア金属箔11とベース金属箔12との間の剥離強度が、第1キャリア金属箔10と第2キャリア金属箔11との間の剥離強度よりも大きく形成された多層金属箔9であるのが望ましい。これにより、第1キャリア金属箔10と第2キャリア金属箔11との間で物理的に剥離する際に、第2キャリア金属箔11とベース金属箔12との間が同時に剥離するのを抑制することができる。剥離強度としては、加熱・加圧する前の初期において、第1キャリア金属箔10と第2キャリア金属箔11の間では $2\text{ N/m} \sim 50\text{ N/m}$ 、第2キャリア金属箔11とベース金属箔12の間では $10\text{ N/m} \sim 70\text{ N/m}$ とし、第1キャリア金属箔10と第2キャリア金属箔11との間の剥離強度が、第2キャリア金属箔11とベース金属箔12との間の剥離強度よりも $5\text{ N/m} \sim 20\text{ N/m}$ 小さくなるようにすると、製造工程でのハンドリングで剥離することがなく、一方で剥離する際は容易であり、しかも第1キャリア金属箔10を剥離する際に、第2キャリア金属箔11が同時に剥れるのを抑制することができるので作業性がよい。

。

[0036] 剥離強度の調整は、例えば、特開 2003-181970 号公報や特開 2003-094553 号公報、再公表特許 WO 2006/013735 号公報に示されるように、剥離層の下地となる第 2 キャリア金属箔 11 の表面（第 1 キャリア金属箔 10 との間）の粗さを調整したり、剥離層となる金属酸化物や合金めっき層を形成するためのめっき液組成や条件を調整することにより可能となる。

[0037] 次に、図 11（3）に示すように、コア基板 17 に残った第 2 キャリア金属箔 11 上に第 1 のパターンめっき 13 を行う。上述したように、第 2 キャリア金属箔 11 の表面（第 1 キャリア金属箔 10 との間）には、積層時に使用するプリプレグ等からの樹脂粉等の異物は付着しないので、これに起因する回路欠陥を抑制可能となる。第 1 のパターンめっき 13 は、第 2 キャリア金属箔 11 上に、めっきレジスト（図示しない。）を形成した後、電気めっきを用いて行うことができる。めっきレジストとしては、パッケージ基板 1 の製造プロセスで用いられる感光性レジストを使用することができる。電気めっきとしては、パッケージ基板 1 の製造プロセスで用いられる硫酸銅めっきを用いることができる。

[0038] 多層金属箔 9 は、平均粗さ（Ra）が $0.3\ \mu\text{m} \sim 1.2\ \mu\text{m}$ の凹凸を予め設けた第 2 キャリア金属箔 11 の表面に、剥離層（図示しない。）を介して第 1 キャリア金属箔 10 が積層された多層金属箔 9 であるのが望ましい。これにより、第 1 キャリア金属箔 10 を剥離層とともに物理的に剥離した後の第 2 キャリア金属箔 11 の表面は、予め設けた平均粗さ（Ra）が $0.3\ \mu\text{m} \sim 1.2\ \mu\text{m}$ の凹凸を有する。このため、第 2 キャリア金属箔 11 の表面（第 1 キャリア金属箔 10 との間）に、第 1 のパターンめっき 13 用のめっきレジストを形成する際に、めっきレジストの密着や解像性を向上させることができ、高密度回路の形成に有利となる。また、第 2 キャリア金属箔 11 の表面に予め凹凸を設けておくことで、第 1 キャリア金属箔 10 を剥離した後に、第 2 キャリア金属箔 11 の表面に粗面化処理を行う必要がないため

、工数の低減を図ることができる。

[0039] 第2キャリア金属箔11の表面に設ける凹凸の表面粗さは、平均粗さ(Ra)が0.3~1.2 μ mであるのが、めっきレジストの密着や解像性を改善しつつ、第1のパターンめっき13後の剥離性を確保できる点で望ましい。平均粗さ(Ra)が0.3 μ m未満の場合、めっきレジストの密着不足が生じる傾向があり、平均粗さ(Ra)が1.2 μ mを超える場合、めっきレジストが追従し難くなりやはり密着不足が生じる傾向がある。さらに、めっきレジストのライン/スペースが15 μ m/15 μ mよりも微細になる場合には、平均粗さ(Ra)が0.5 μ m~0.9 μ mであるのが望ましい。ここで、平均粗さ(Ra)とは、JIS B 0601(2001)で規定される平均粗さ(Ra)であり、触針式表面粗さ計などを用いて測定することが可能である。なお、平均粗さ(Ra)の調整は、第2キャリア金属箔11が銅箔であれば、第2キャリア金属箔11としての銅箔を形成する際の電気銅めっきの組成(添加剤等を含む)や条件を調整することで可能となる。

[0040] 次に、図12(4)に示すように、第1のパターンめっき13を含む第2キャリア金属箔11上に絶縁層3を積層して積層体22を形成する。絶縁層3としては、一般的にパッケージ基板1の絶縁層3として使用されるものを用いることができる。このような絶縁層3として、エポキシ系樹脂、ポリイミド系樹脂等が挙げられ、例えば、エポキシ系やポリイミド系の接着シート、ガラスエポキシやガラスポリイミド等のプリプレグを、熱プレス等を用いて加熱・加圧して積層一体化することで形成できる。ここで、積層体22とは、このように積層一体化した状態のもののうち、第1のパターンめっき13を含む第2キャリア金属箔11上に積層されたものをいう。絶縁層3となるこれらの樹脂の上に、さらに導体層20となる金属箔とを重ねて同時に加熱・加圧して積層一体化した場合は、この導体層20も含む。また、後述するように、導体層20により内層回路6を形成したり、導体層20を接続する層間接続5を形成した場合は、これらの内層回路6や層間接続5も含む。

[0041] 次に、図12(5)、(6)に示すように、層間接続孔21を形成し、層

間接続 5 や内層回路 6 を形成してもよい。層間接続 5 は、例えば、いわゆるコンフォーマル工法を用いて層間接続孔 2 1 を形成した後、この層間接続孔 2 1 内をめっきすることで形成することができる。このめっきには、下地めっきとして薄付け無電解銅めっきを行った後、厚付けめっきとして無電解銅めっきや電気銅めっき、フィルドビアめっき等を用いることができる。エッチングする導体層 2 0 の厚みを薄くして微細回路を形成し易くするためには、薄付けの下地めっきの後、めっきレジストを形成し、厚付けめっきを電気銅めっきやフィルドビアめっきで行うのが望ましい。内層回路 6 は、例えば、層間接続孔 2 1 へのめっきを行った後、エッチングによって不要部分の導体層 2 0 を除去することにより形成することができる。

[0042] 次に、図 1 3 (7) 、 (8) および図 1 4 (9) 、 (1 0) に示すように、内層回路 6 や層間接続 5 の上に、さらに絶縁層 3 と導体層 2 0 を形成し、図 1 2 (5) 、 (6) のときと同様にして、所望の層数となるように、内層回路 6 や外層回路 2 、 7 、層間接続 5 を形成することもできる。なお、本発明では、内層回路 6 と外層回路 2 、 7 とを合わせて、導体回路という場合がある。

[0043] 次に、図 1 5 (1 1) に示すように、多層金属箔 9 の第 2 キャリア金属箔 1 1 とベース金属箔 1 2 との間で、積層体 2 2 を第 2 キャリア金属箔 1 1 とともにコア基板 1 7 から物理的に剥離して分離する。このとき、多層金属箔 9 の第 2 キャリア金属箔 1 1 とベース金属箔 1 2 との間の剥離層（図示しない。）は、ベース金属箔 1 2 側に移行するのが望ましい。これにより、ベース金属箔 1 2 を剥離した後の積層体 2 2 側には、第 2 キャリア金属箔 1 1 の表面が露出するので、後工程で行う第 2 キャリア金属箔 1 1 のエッチングが、剥離層によって阻害されることがない。

[0044] 次に、図 1 6 (1 2) ～ (1 4) に示すように、分離して剥離した積層体 2 2 の第 2 キャリア金属箔 1 1 上にエッチングレジスト 3 4 を形成して積層体 2 2 の第 2 キャリア金属箔 1 1 をエッチングすることにより、前記第 1 のパターンめっき 1 3 を絶縁層 3 の表面に露出させて埋め込み回路 2 を形成し

たり、第1のパターンめっき13上または絶縁層3上に立体回路27を形成する。また、図17(12)～(14)に示すように、分離して剥離した積層体22の第2キャリア金属箔11上に第2のパターンめっき14を行い、第2のパターンめっきを行った部分以外のキャリア金属箔上にエッチングレジストを形成してエッチングを行うことにより、第2のパターンめっき14を行った部分及びエッチングレジストを形成した部分以外の第2キャリア金属箔11をエッチングにより除去し、第1のパターンめっき13を絶縁層3の表面に露出させて埋め込み回路2を形成したり、第1のパターンめっき13上または絶縁層3上に立体回路27を形成することもできる。なお、図16(12)～(14)及び図17(12)～(14)は、図15(11)のように分離した積層体22のうち、下側の部分のみを表している。図16(12)～(14)または図17(12)～(14)の工程により、絶縁層3から第1のパターンめっき13を露出させて形成した埋め込み回路2はフリップチップ接続端子を、積層体表面の第1のパターンめっき上に形成した立体回路27はバンプやピラーを、積層体表面の絶縁層上に形成した立体回路27はダミー端子を形成することができる。これにより、外層回路2を形成する際に、外層回路2の側面がエッチングによって侵食されないため、アンダーカットを生じないので、微細な外層回路2を形成することができる。また、本発明で形成される外層回路2は、絶縁層3に埋め込まれた状態となるため、外層回路2の底面だけでなく、両側の側面も絶縁層3と密着しているため、微細回路であっても、十分な密着性を確保することができる。また、第2キャリア金属箔11として厚さ1 μ m～5 μ mの極薄銅箔を用いた場合は、僅かなエッチング量でも第2キャリア金属箔11を除去することができるため、絶縁層3に埋め込まれ、絶縁層3から露出した外層回路2の表面は平坦であり、ワイヤーボンディング端子やフリップチップ接続端子とすることで、接続信頼性を確保することができ、半導体素子との接続端子として用いられるのに適している。また、半導体素子との接続端子を、層間接続5と平面視において重なる位置の外層回路2に設けることが可能であるため、半

導体素子との接続端子を層間接続 5 の直上または直下に設けることが可能であり、小型化・高密度化にも対応が可能である。さらに、任意の箇所に立体回路 27 を形成することによりバンプやピラー、ダミー端子等の種々の導体回路の構成を形成可能であり、第 2 キャリア金属箔 11 や第 2 のパターンめっき 14 の厚みを変えることで、任意の高さに形成することも可能であるため、種々の半導体素子（図示しない。）や他のパッケージ基板との接続形態に対応することができる。例えば、図 18 に示すように、本発明のパッケージ基板 1 の第 1 のパターンめっき 13 上に立体回路 27 を設けてピラーを形成し、トップ基板との接続を行うようにすることで、キャビティを設けなくても、P o P を構成することが可能となる。また、図 18 に示すように、半導体素子 35 側のバンプ 25 がペリフェラル配置（半導体素子 35 の周囲にバンプ 25 が並ぶ配置）の場合、フリップチップ接続の際に、半導体素子 35 を半導体素子搭載用パッケージ基板 1 側に押し付けると、半導体素子 35 の中央部が撓んで変形し易いが、ダミー端子（図 18 では、絶縁層上に形成された立体回路 27 である。）を設けておくことによって、半導体素子 35 の下面を支えることができるので、変形を抑制できる。また、ダミー端子を第 1 のパターンめっきや層間接続 5 に接続するように形成すると、半導体素子 35 からの熱を放熱することもできる。このため、信頼性を向上することができる。なお、ダミー端子とは、電氣的に独立で電気回路としては機能しないものであり、図 16、図 17 では、絶縁層上に形成されているが、電氣的に機能しないようにした第 1 のパターンめっきや層間接続 5 に接続されてもよい。

[0045] 次に、必要に応じて溶剤レジスト 4 や保護めっき 8 を形成してもよい。保護めっき 8 としては、一般的にパッケージ基板の接続端子の保護めっきとして用いられるニッケルめっきと金めっきが望ましい。

[0046] 以上のように、本発明のパッケージ基板の製造方法によれば、層間接続と重なる位置に平坦でかつ微細な埋め込み回路を有するパッケージ基板を形成することができ、ワイヤーボンディングやフリップチップ接続に適したパッ

ケース基板を形成することができる。また、任意の箇所に立体回路を形成することによりバンプやピラー等の種々の金属構成を備えるパッケージ基板を形成することができる。

実施例

[0047] 次に、本発明のパッケージ基板の他の製造方法の実施例について説明するが、本発明は本実施例に限定されない。

[0048] (実施例 1)

まず、図 10 に示すように、第 1 キャリア金属箔 10 と第 2 キャリア金属箔 11 とベース金属箔 12 とをこの順に積層した多層金属箔 9 を準備した。第 1 キャリア金属箔 10 は $9\ \mu\text{m}$ の銅箔を、第 2 キャリア金属箔 11 は $3\ \mu\text{m}$ の極薄銅箔を、ベース金属箔 12 は $18\ \mu\text{m}$ の銅箔を用いている。ベース金属箔 12 の表面（第 2 キャリア金属箔 11 との間）には、物理的な剥離が可能になるように、剥離層（図示しない。）を設けた。また、第 2 キャリア金属箔 11 の表面（第 1 キャリア金属箔 10 との間）には、平均粗さ（ R_a ） $0.7\ \mu\text{m}$ の凹凸を予め設けた。また、この凹凸の上、つまり第 1 キャリア金属箔 10 との間には、物理的な剥離が可能になるように、剥離層（図示しない。）を設けた。ベース金属箔 12 と第 2 キャリア金属箔 11 との間、及び第 2 キャリア金属箔 11 と第 1 キャリア金属箔 10 との間の剥離層は、何れも $\text{Ni } 30\text{ g/L}$ 、 $\text{Mo } 3.0\text{ g/L}$ 、クエン酸 30 g/L の組成を持つめっき浴を用いて金属酸化物層を形成することで形成した。なお、剥離強度の調整は、電流を調整することで、剥離層を形成する金属酸化物量を調整して行った。このときの剥離強度は、ベース金属箔 12 と第 2 キャリア金属箔 11 との間が 47 N/m 、第 2 キャリア金属箔 11 と第 1 キャリア金属箔 10 との間が 29 N/m であった。なお、加熱・加圧した後（基材 16 となるプリプレグを積層してコア基板 17 を形成した後）の剥離強度の変化率は、初期に対して約 10% 程度上昇した程度であった。

[0049] 図 10 に示す多層金属箔 9 の作製は、具体的には以下のように行った。

(1) ベース金属箔 12 として、厚さ $18\ \mu\text{m}$ の電解銅箔を用い、硫酸 30

g/Lに60秒浸漬して酸洗浄後に流水で30秒間水洗を行った。

(2) 洗浄した電解銅箔を陰極とし、酸化イリジウムコーティングを施したTi(チタン)極板を陽極とし、Ni(ニッケル)、Mo(モリブデン)、クエン酸を含有するめっき浴として、硫酸ニッケル6水和物30g/L、モリブデン酸ナトリウム2水和物3.0g/L、クエン酸3ナトリウム2水和物30g/L、pH6.0、液温度30℃の浴にて、電解銅箔の光沢面に、電流密度20A/dm²で5秒間電解処理し、ニッケルとモリブデンからなる金属酸化物を含有する剥離層(図示しない。)を形成した。

(3) 剥離層(図示しない。)を形成後の表面に、硫酸銅5水和物200g/L、硫酸100g/L、液温度40℃の浴にて、酸化イリジウムコーティングを施したTi(チタン)極板を陽極として、電流密度4A/dm²で200秒間電解めっきを行い、厚さ3μmの第2キャリア金属箔11となる金属層を形成した。

(4) 第2キャリア金属箔11となる金属層を形成した後の表面に、上記(2)と同様の浴を用いて、電流密度10A/dm²で10秒間電解処理し、ニッケルとモリブデンからなる金属酸化物を含有する剥離層(図示しない。)を形成した。

(5) 剥離層13を形成した後の表面に、上記(3)と同様の浴を用いて、電流密度4A/dm²で600秒間電解めっきを行い厚さ9μmの第1キャリア金属箔10となる金属層を形成した。

(6) 基材16と接触する面に、硫酸銅めっきにより粒状の粗化粒子を形成し、クロメート処理及びシランカップリング剤処理を施した。また、基材16と接しない面にはクロメート処理を施した。

[0050] 次に、図11(1)に示すように、多層金属箔9のベース金属箔12側と基材16とを積層してコア基板17を形成した。基材16としてガラスエポキシのプリプレグを用い、このプリプレグの上下両側に多層金属箔9を重ねて、熱プレスを用いて加熱・加圧して積層一体化した。

[0051] 次に、図11(2)に示すように、多層金属箔9の第1キャリア金属箔1

0と第2キャリア金属箔11との間で、第1キャリア金属箔10を物理的に剥離した。

[0052] 次に、図11(3)に示すように、コア基板17に残った第2キャリア金属箔11上に第1のパターンめっき13を行った。第1のパターンめっき13は、第2キャリア金属箔11上に、感光性のめっきレジストを形成した後、硫酸銅電気めっきを用いて形成した。

[0053] 次に、図12(4)に示すように、第1のパターンめっき13を含む第2キャリア金属箔11上に絶縁層3と導体層20として銅箔(12 μ m)を積層して積層体22を形成した。絶縁層3としては、エポキシ系の接着シートを熱プレスを用い、加熱・加圧して積層一体化することで形成した。

[0054] 次に、図12(5)、(6)に示すように、層間接続5や内層回路6を形成した。層間接続5は、コンフォーマル工法を用いて層間接続孔21を形成した後、この層間接続孔21内をめっきすることで形成した。このめっきには、下地めっきとして薄付け無電解銅めっきを行った後、感光性のめっきレジストを形成し、厚付けめっきを硫酸銅電気めっきで行った。この後、エッチングによって不要部分の導体層20を除去することにより内層回路6を形成した。

[0055] 次に、図13(7)、(8)および図14(9)、(10)に示すように、内層回路6や層間接続5の上に、さらに絶縁層3と導体層20を形成し、内層回路6や外層回路2、7、層間接続5を形成して、4層の導体層20を有する積層体22を形成した。

[0056] 次に、図15(11)に示すように、多層金属箔9の第2キャリア金属箔11とベース金属箔12との間で、積層体22を第2キャリア金属箔11とともにコア基板17から物理的に剥離して分離した。

[0057] 次に、図16(12)～(14)に示すように、分離して剥離した積層体22の第2キャリア金属箔11上にエッチングレジスト14を形成して積層体22の第2キャリア金属箔11をエッチングして、前記第1のパターンめっき13を前記絶縁層3の表面に露出させて埋め込み回路2を形成するとと

もに、第1のパターンめっき13上または絶縁層3上に立体回路27を形成した。なお、絶縁層3から第1のパターンめっき13を露出させて形成した埋め込み回路2はフリップチップ接続端子とし、積層体表面の第1のパターンめっき上に形成した立体回路27はバンプとし、積層体表面の絶縁層上に形成した立体回路27はダミー端子とした。

[0058] 次に、感光性のソルダーレジストを形成し、その後、保護めっきとして、無電解ニッケルめっきと無電解金めっきを行い、パッケージ基板を形成した。

[0059] (実施例2)

ベース金属箔12と第2キャリア金属箔11との間、及び第2キャリア金属箔11と第1キャリア金属箔10との間の剥離強度を、何れもNi（ニッケル）30g/L、Mo（モリブデン）3.0g/L、クエン酸30g/Lの組成を持つめっき浴を用いて金属酸化物層を形成する際の電流を変えることで、剥離層を形成する金属酸化物量を調整して変化させた。このときの剥離強度は、ベース金属箔12と第2キャリア金属箔11との間が23N/m、第2キャリア金属箔11と第1キャリア金属箔10との間が18N/mであった。これ以外は実施例1と同様にしてパッケージ基板を作製した。

[0060] (実施例3)

ベース金属箔12と第2キャリア金属箔11との間、及び第2キャリア金属箔11と第1キャリア金属箔10との間の剥離強度を、何れもNi（ニッケル）30g/L、Mo（モリブデン）3.0g/L、クエン酸30g/Lの組成を持つめっき浴を用いて金属酸化物層を形成する際の電流を変えることで、剥離層を形成する金属酸化物量を調整して変化させた。このときの剥離強度は、ベース金属箔12と第2キャリア金属箔11との間が15N/m、第2キャリア金属箔11と第1キャリア金属箔10との間が2N/mであった。これ以外は実施例1と同様にしてパッケージ基板を作製した。

[0061] (実施例4)

ベース金属箔12と第2キャリア金属箔11との間、及び第2キャリア金

属箔 11 と第 1 キャリア金属箔 10 との間の剥離強度を、何れも Ni（ニッケル）30 g/L、Mo（モリブデン）3.0 g/L、クエン酸 30 g/L の組成を持つめっき浴を用いて金属酸化物層を形成する際の電流を変えることで、剥離層を形成する金属酸化物量を調整して変化させた。このときの剥離強度は、ベース金属箔 12 と第 2 キャリア金属箔 11 との間が 68 N/m、第 2 キャリア金属箔 11 と第 1 キャリア金属箔 10 との間が 48 N/m であった。

[0062] 上記で準備した多層金属箔 9 を用い、実施例 1 の図 16（12）～（14）に示す工程の代わりに、図 17（12）～（14）に示すように、分離して剥離した積層体 22 の第 2 キャリア金属箔 11 上に第 2 のパターンめっき 14 を行い、第 2 のパターンめっきを行った部分以外のキャリア金属箔上にエッチングレジスト 34 を形成してエッチングを行い、第 2 のパターンめっき 14 を行った部分及びエッチングレジストを形成した部分以外の第 2 キャリア金属箔 11 をエッチングにより除去し、第 1 のパターンめっき 13 を絶縁層 3 の表面に露出させて埋め込み回路 2 を形成するとともに、第 1 のパターンめっき 13 上または絶縁層 3 上に立体回路 27 を形成した。なお、絶縁層 3 から第 1 のパターンめっき 13 を露出させて形成した埋め込み回路 2 はフリップチップ接続端子とし、積層体表面の第 1 のパターンめっき上に形成した立体回路 27 はピラーとし、積層体表面の絶縁層上に形成した立体回路 27 はダミー端子とした。この工程以外は、実施例 1 と同様にしてパッケージ基板を作製した。

[0063] （実施例 5）

ベース金属箔 12 と第 2 キャリア金属箔 11 との間、及び第 2 キャリア金属箔 11 と第 1 キャリア金属箔 10 との間の剥離強度を、何れも Ni（ニッケル）30 g/L、Mo（モリブデン）3.0 g/L、クエン酸 30 g/L の組成を持つめっき浴を用いて金属酸化物層を形成する際の電流を変えることで、剥離層を形成する金属酸化物量を調整して変化させた。このときの剥離強度は、ベース金属箔 12 と第 2 キャリア金属箔 11 との間が 43 N/m

、第2キャリア金属箔11と第1キャリア金属箔10との間が28 N/mであった。これ以外は実施例4と同様にしてパッケージ基板を作製した。

[0064] (実施例6)

ベース金属箔12と第2キャリア金属箔11との間、及び第2キャリア金属箔11と第1キャリア金属箔10との間の剥離強度を、何れもNi（ニッケル）30 g/L、Mo（モリブデン）3.0 g/L、クエン酸30 g/Lの組成を持つめっき浴を用いて金属酸化物層を形成する際の電流を変えることで、剥離層を形成する金属酸化物量を調整して変化させた。このときの剥離強度は、ベース金属箔12と第2キャリア金属箔11との間が22 N/m、第2キャリア金属箔11と第1キャリア金属箔10との間が4 N/mであった。これ以外は実施例4と同様にしてパッケージ基板を作製した。

[0065] 表1に、実施例1～6について、絶縁層3に埋め込まれて形成された外層回路2の仕上がり状態、第1キャリア金属箔10と第2キャリア金属箔11との間の剥離強度、第2キャリア金属箔11とベース金属箔12との間の剥離強度、ハンドリング時のキャリア金属箔の剥れの有無を示す。実施例1～6の何れもライン/スペースが10 μm/10 μmまでの微細な外層回路2を形成することができた（表1の“○”は、アンダーカットのないことを示す。）。また、断面を観察した結果、何れもアンダーカットは生じていなかった。さらに、断面の観察結果から、第2キャリア金属箔11は3 μmの極薄銅を用いているため、僅かなエッチング量で均一に除去されており、外層回路2の表面の凹凸は平坦であった。また、実施例1～6の何れも、製造工程でのハンドリングで第1キャリア金属箔10と第2キャリア金属箔11との間や、第2キャリア金属箔11とベース金属箔12との間が剥離することはなかった（表1の“○”は、剥れがないことを示す。）。また、第1キャリア金属箔10と第2キャリア金属箔11との間で剥離する際に、第2キャリア金属箔11とベース金属箔12との間が剥離することはなかった。

[0066]

[表1]

項 目	ライン/スペース($\mu\text{m}/\mu\text{m}$)			剥離強度(N/m)		ハンドライピング時の金属箔の剥れ
	10/10	15/15	20/20	第1キャリア金属箔 /第2キャリア金属箔	第2キャリア金属箔 /ベース金属箔	
実施例1	○	○	○	29	47	○
実施例2	○	○	○	18	23	○
実施例3	○	○	○	2	15	○
実施例4	○	○	○	48	68	○
実施例5	○	○	○	28	43	○
実施例6	○	○	○	4	22	○

[0067] 図18に示すように、実施例4で作製したパッケージ基板（図17（14））の埋め込み回路2に、半導体素子35の bumps 25を押し付け、はんだ（図示しない。）を用いてフリップチップ接続した。半導体素子35は、bumps 25がペリフェラル配置であったが、半導体素子35の下面をダミー端子となる立体回路27が支えていたため、半導体素子35に撓みは生じなかった。

[0068] 加熱・加圧する前（基材16となるプリプレグを積層してコア基板17を形成する前）の初期の剥離強度（N/m）の測定は、10mm幅にカットした多層金属箔のサンプルを作製し、テンシロンRTM-100（株式会社オリエンテック製、商品名、「テンシロン」は登録商標。）を用い、JIS Z 0237の90度引き剥がし法に準じて、室温（25℃）で、まず、第1キャリア金属箔を90度方向に毎分300mmの速さで引き剥がして測定し、次に、第2キャリア金属箔を90度方向に毎分300mmの速さで引き剥がして測定した。また、加熱・加圧した後（基材16となるプリプレグを積層してコア基板17を形成した後）の剥離強度も、初期の剥離強度と同様にして測定し、初期に対する変化率を求めた。なお、多層金属箔9と基材16となるガラスエポキシプリプレグとを積層してコア基板17を形成する際の加熱・加圧の条件は、真空プレスを用いて、圧力3MPa、温度175℃

、保持時間 1.5 h r（時間）である。

[0069] 以下、本発明を実施例によって具体的に説明するが、本発明はこれらの実施例に限定されない。

[0070] （実施例 7）

実施例 1 と同様の方法で、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。ここで、パッケージ基板上に形成された溶剤レジストには開口が設けられ、この開口内にはライン／スペースが $20\mu\text{m}/20\mu\text{m}$ （ $40\mu\text{m}$ ピッチ）のフリップチップ接続端子となる埋込回路が配置されている。溶剤レジストの開口によって規定されるフリップチップ接続端子の長手方向の寸法（フリップチップ接続端子の長さ）は、約 $100\mu\text{m}$ である。

[0071] 次に、フリップチップ接続端子となる埋込回路上に、はんだペーストを印刷しリフローすることによって予備はんだを形成した。予備はんだ用のはんだペーストには、Sn（スズ）－Ag（銀）－Cu（銅）系のエコ溶剤 M705（千住金属工業株式会社製、商品名。エコ溶剤は、登録商標。）を用い、リフローには赤外線リフロー装置を用いて、ピーク温度 260°C の条件で行なった。

[0072] 次に、パッケージサイズに切断加工を施した。この切断加工されたパッケージ基板は、図 2 に示すように、絶縁層 3 と、この絶縁層 3 の表面に上面が露出するように設けられた埋込回路 2 と、絶縁層 3 上及び埋込回路 2 上に設けられた溶剤レジスト 4 とを有し、この溶剤レジスト 4 に設けられた開口 31 内の埋込回路 2 がフリップチップ接続端子 26 を形成している。また、このフリップチップ接続端子 26 を被覆する予備はんだ 19 の厚さは、 $3\sim 5\mu\text{m}$ である。ここで、はんだの厚さは、非接触段差測定機であるハイソメット（ユニオン光学株式会社製、商品名。ハイソメットは登録商標。）を用い、予備はんだ 19 を形成する前後において、溶剤レジストとフリップチップ接続端子 26 との段差を測定することにより測定した。

[0073] 図 9 に示すように、パッケージ基板 1 を作製した後、半導体素子 15 をフ

リップチップ接続により搭載した。フリップチップ接続は、パッケージ基板 1 上のフリップチップ接続端子 26 と半導体素子 15 のバンプ 25（銅ピラー上に Sn（スズ）－3.0 質量% Ag（銀）－0.5 質量% Cu（銅）はんだを形成したもので、40 μ m ピッチ、高さ 25 μ m。）とが対向するように位置合わせした後、超音波フリップチップボンダー SH-50MP（株式会社アルテクス製、製品名）を用いてフリップチップ接続を行なった。フリップチップ接続の圧着条件は、超音波を併用しつつ、230℃に昇温し 1 バンプ当たり 50 g の加圧を行いながら、4 秒間保持した。その後、半導体素子 15 のバンプ 25 形成面と、パッケージ基板 1 のフリップチップ接続端子 26 を有する絶縁層 3 との間に、アンダーフィル剤 23 を充填し、半導体パッケージ 24 を得た。

[0074] （実施例 8）

フリップチップ接続端子を被覆する予備はんだの厚さは、7～10 μ m である。これ以外は、実施例 7 と同様にして、第 10 の回路基板及び半導体パッケージを得た。

[0075] （実施例 9）

フリップチップ接続端子を被覆する予備はんだの厚さは、17～20 μ m である。これ以外は、実施例 7 と同様にして、パッケージ基板及び半導体パッケージを得た。

[0076] （比較例 1）

フリップチップ接続端子を被覆する予備はんだの厚さは、1～2 μ m である。これ以外は、実施例 7 と同様にして、パッケージ基板及び半導体パッケージを得た。

[0077] （参考例 1）

フリップチップ接続端子を被覆する予備はんだの厚さは、25～28 μ m である。これ以外は、実施例 7 と同様にして、パッケージ基板及び半導体パッケージを得た。

[0078] （実施例 10）

実施例 7 と同様にして、フリップチップ接続端子となる埋込回路上に、予備はんだを形成した。ここで、図 5 に示すように、ソルダーレジスト 4 には開口 3 1 が設けられ、この開口 3 1 内にはフリップチップ接続端子 2 6 となる埋込回路 2 が配置されている。また、フリップチップ接続端子 2 6 を含む埋込回路 2 の底面にビア 1 8 が接続されている。これ以降は、実施例 7 と同様にして、パッケージ基板及び半導体パッケージを形成した。

[0079] (実施例 1 1)

実施例 4 と同様の方法で、図 1 7 (1 2) ~ (1 4) に示すように、第 2 キャリア金属箔 1 1 上に第 2 のパターンめっき 1 4 を行い、埋込回路のフリップチップ接続端子となる箇所の一部に、凸形状 (立体回路) を形成した。ソルダーレジスト形成、保護めっきとしてのニッケル／金めっき (ニッケルめっきとその上に金めっき) を形成した。ここで、図 6 に示すように、ソルダーレジスト 4 には開口 3 1 が設けられ、この開口 3 1 内にはフリップチップ接続端子 2 6 となる埋込回路 2 が配置されている。また、フリップチップ接続端子 2 6 の長手方向の一部には、凸形状 2 7 が形成されており、この凸形状 2 7 の高さは 5 μ m 程度である。凸形状 2 7 の範囲はフリップチップ接続端子 2 6 の短手方向の寸法の 1 0 0 % で、フリップチップ接続端子 2 6 の長手方向の寸法の 3 0 % 程度である。これ以降は、実施例 7 と同様にして、パッケージ基板及び半導体パッケージを形成した。

[0080] (実施例 1 2)

実施例 1 と同様にして、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。その後、エッチングレジストを形成し、上面が露出した埋込回路の上面の一部が絶縁層の表面よりも凹み、他の部分はそのまま残るようにエッチングすることによって凹み形状を形成した。その後、ソルダーレジスト形成、保護めっきとしてのニッケル／金めっき (ニッケルめっきとその上に金めっき) を形成した。ここで、図 7 に示すように、ソルダーレジスト 4 には開口 3 1 が設けられ、この開口 3 1 内にはフリップチップ接続端子 2 6 となる埋込回路 2 が配置されている。また、フリップチップ接続端子 2

6の長手方向の一部には、凹み形状28が形成されており、この凹み形状28の深さは5 μ m程度である。凹み形状28の範囲はフリップチップ接続端子26の短手方向の寸法の100%で、フリップチップ接続端子26の長手方向の寸法の30%程度である。これ以降は、実施例7と同様にして、パッケージ基板)及び半導体パッケージを形成した。

[0081] (実施例13)

実施例7と同様にして、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。ここで、図3に示すように、ソルダーレジスト4には開口31が設けられ、この開口31内には、フリップチップ接続端子26となる埋込回路2が配置されている。また、フリップチップ接続端子26の先端は、ソルダーレジスト4の開口31内に形成されている。これ以降は、実施例7と同様にして、パッケージ基板及び半導体パッケージを形成した。

[0082] (実施例14)

実施例7と同様にして、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。ここで、図4に示すように、ソルダーレジスト4には開口31が設けられ、この開口31内には、フリップチップ接続端子26となる埋込回路2が配置されている。また、フリップチップ接続端子26の長手方向の両側または片側に延長された埋込回路2が設けられている。これ以降は、実施例7と同様にして、パッケージ基板及び半導体パッケージを形成した。

[0083] (実施例15)

実施例7と同様にして、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。ここで、図8に示すように、ソルダーレジスト4には開口31が設けられ、この開口31内には、フリップチップ接続端子26となる埋込回路2が配置されている。また、フリップチップ接続端子26の長手方向の一部が、短手方向(幅方向)に拡張された部分33を形成している。つまり、フリップチップ接続端子26が部分的に短手方向(幅方向)に拡張された部分33を形成している。これ以降は、実施例7と同様にして、

パッケージ基板及び半導体パッケージを形成した。

[0084] (比較例 2)

実施例 7 と同様にして、埋め込み回路のフリップチップ端子を有するパッケージ基板を作製した。ここで、図 16 (14) に示すように、埋め込み回路 2 のフリップチップ接続端子が配置されている面の反対面には、図 1 に示すのと同様な、凸状回路による回路パターン (外層回路 7) が配置されている。

[0085] 次に、この凸状回路による回路パターン (外層回路 7) 上に、ソルダーレジスト形成、保護めっきとしてのニッケル／金めっき (ニッケルめっきとその上に金めっき) 形成を行った。ここで、ソルダーレジストには開口が設けられ、この開口内にはライン／スペースが $20\mu\text{m}/20\mu\text{m}$ ($40\mu\text{m}$ ピッチ) のフリップチップ接続端子となる、凸状回路による回路パターンが配置されている。

[0086] 次に、フリップチップ接続端子となる、凸状回路による回路パターン (外層回路 7) 上に、はんだペーストを印刷しリフローすることによって予備はんだを形成した。予備はんだ用のはんだペーストには、 Sn (スズ) - Ag (銀) - Cu (銅) 系のエコソルダー M705 (千住金属工業株式会社製、商品名。エコソルダーは、登録商標。) を用い、リフローには赤外線リフロー装置を用いて、ピーク温度 260°C の条件で行なった。

[0087] 次に、パッケージサイズに切断加工を施した。このパッケージ基板は、図 1 に示すように、絶縁層 3 と、この絶縁層 3 の表面に設けられた凸状回路 32 による回路パターンと、絶縁層 3 上及び凸状回路 32 による回路パターン上に設けられたソルダーレジスト 4 とを有し、このソルダーレジスト 4 に設けられた開口 31 内の凸状回路 32 による回路パターンがフリップチップ接続端子 26 を形成している。また、このフリップチップ接続端子 26 を被覆する予備はんだ 19 の厚さは、 $3\sim 5\mu\text{m}$ である。その後、実施例 7 と同様にして、半導体パッケージを得た。

[0088] (比較例 3)

フリップチップ接続端子を被覆する予備はんだの厚さは、 $17 \sim 20 \mu\text{m}$ である。これ以外は、比較例3と同様にして、パッケージ基板及び半導体パッケージを得た。

[0089] 表2に、実施例7～15、参考例1、比較例1～3のパッケージ基板について、フリップチップ接続端子の断面形状、はんだ厚み、はんだブリッジの有無を調べた結果を示す。また、実施例7～15、参考例1及び比較例1～3の半導体パッケージについて、はんだフィレットの状態を調べた結果を示す。

[0090] [表2]

項 目	フリップチップ 接続端子	はんだ厚み (μm)	回路パターン の断面形状	はんだブリッジ の有無	はんだフィレット の状態
実施例7	埋込回路	3～5	ほぼ矩形	無し	良好
実施例8	〃	7～10	〃	〃	〃
実施例9	〃	17～20	〃	〃	〃
比較例1	〃	1～2	〃	〃	不良
参考例1	〃	25～28	〃	有り	〃
実施例10	〃	3～5	〃	無し	良好
実施例11	〃	8～10	〃	〃	〃
実施例12	〃	3～5	〃	〃	〃
実施例13	〃	3～5	〃	〃	〃
実施例14	〃	3～5	〃	〃	〃
実施例15	〃	3～5	〃	〃	〃
比較例2	凸状回路	3～5	アンダーカット有り	〃	不良
比較例3	〃	17～20	〃	有り	良好

[0091] フリップチップ接続端子の断面形状の観察結果から、実施例7～15では、フリップチップ接続端子の側面及び底面は絶縁層に埋め込まれて密着しており、断面形状はほぼ矩形でアンダーカットは認められなかった。一方、比較例2、3では、凸状回路であるため、フリップチップ接続端子の底面のみが絶縁層と密着していた。また、フリップチップ接続端子の断面形状にアンダーカットが観察され、最も狭い箇所では、トップ幅（表面側の幅）に対して半分未満の幅となっていた。

[0092] はんだ厚みの測定結果から、実施例 7～15 では、はんだ厚みは 3～20 μm であり、また、はんだブリッジの確認結果から、このはんだ厚みの範囲ではんだブリッジの発生はなかった。一方、比較例 1 では、はんだ厚みは 1～2 μm と薄く、はんだブリッジの発生はなかった。参考例 1 では、はんだ厚みは 25～28 μm と厚く、隣接するフリップチップ接続端子間ではんだブリッジが発生した。比較例 3 では、はんだ厚みが 17～20 μm であるが、凸状回路であるため、はんだがフリップチップ接続端子の側面に回りこみ、はんだブリッジが発生した。

[0093] 半導体パッケージのはんだフィレットの確認結果から、実施例 7～15、参考例 1 及び比較例 3 では、半導体素子のバンプとの間に形成されるはんだフィレットは、半導体素子のバンプ及びパッケージ基板のフリップチップ接続端子の両者にはんだが濡れ広がっており、状態は良好であった。一方、比較例 1 及び 2 では、半導体素子のバンプまたはパッケージ基板のフリップチップ接続端子の一部にはんだの濡れ広がりが不十分な箇所があり、はんだフィレットの形成は不十分であった。

[0094] フリップチップ接続端子の断面形状は、マイクロセクションを作製し、金属顕微鏡で断面を観察することにより行った。フリップチップ接続端子上のはんだの厚みは、非接触段差測定機であるハイソメット（ユニオン光学株式会社製、商品名。ハイソメットは登録商標。）を用い、予備はんだを形成する前後において、ソルダージストとフリップチップ接続端子との段差を測定することにより測定した。はんだブリッジの有無及びはんだフィレットの状態は、実体顕微鏡を用いて 10 倍で観察することにより確認した。

符号の説明

- [0095] 1 : 半導体素子搭載用パッケージ基板またはパッケージ基板または第 10 の回路基板
- 2 : 外層回路または埋込回路
- 3 : 絶縁層
- 4 : ソルダージスト

- 5 : 層間接続
- 6 : 内層回路
- 7 : 外層回路
- 8 : 保護めっき
- 9 : 多層金属箔
- 10 : 第1キャリア金属箔
- 11 : 第2キャリア金属箔
- 12 : ベース金属箔
- 13 : 第1のパターンめっき
- 14 : 第2のパターンめっき
- 15 : 半導体素子
- 16 : 基材
- 17 : コア基板
- 18 : ビア
- 19 : 予備はんだ
- 20 : 導体層
- 21 : 層間接続孔
- 22 : 積層体
- 23 : アンダーフィル材
- 24 : 半導体パッケージ
- 25 : (半導体素子側の) バンプ
- 26 : フリップチップ接続端子
- 27 : 凸形状または立体回路
- 28 : 凹み形状
- 29 : 封止材
- 31 : (ソルダーレジストの) 開口
- 32 : 凸状回路
- 33 : 短手方向に拡張された部分

34 : エッチングレジスト

35 : 半導体素子

請求の範囲

[請求項1]

第1 キャリア金属箔と第2 キャリア金属箔とベース金属箔とをこの順に積層した多層金属箔を準備し、この多層金属箔のベース金属箔側と基材とを積層してコア基板を形成する工程と、

前記多層金属箔の第1 キャリア金属箔と第2 キャリア金属箔との間で、第1 キャリア金属箔を物理的に剥離する工程と、

前記コア基板の第2 キャリア金属箔上に第1 のパターンめっきを行う工程と、

前記第1 のパターンめっきを含む第2 キャリア金属箔上に絶縁層と導体回路と層間接続とを形成して積層体を形成する工程と、

前記多層金属箔の第2 キャリア金属箔とベース金属箔との間で、前記積層体を第2 キャリア金属箔とともにコア基板から物理的に剥離して分離する工程と、

前記剥離した積層体の第2 キャリア金属箔上にエッチングレジストを形成してエッチングを行うことにより、前記積層体表面の絶縁層から第1 のパターンめっきを露出させて埋め込み回路を形成する工程、または前記積層体表面の第1 のパターンめっき上に立体回路を形成する工程、または前記積層体表面の絶縁層上に立体回路を形成する工程、または前記積層体表面の第1 のパターンめっき上に凹み形状を形成する工程と、を有する半導体素子搭載用パッケージ基板の製造方法。

[請求項2]

第1 キャリア金属箔と第2 キャリア金属箔とベース金属箔とをこの順に積層した多層金属箔を準備し、この多層金属箔のベース金属箔側と基材とを積層してコア基板を形成する工程と、

前記多層金属箔の第1 キャリア金属箔と第2 キャリア金属箔との間で、第1 キャリア金属箔を物理的に剥離する工程と、

前記コア基板の第2 キャリア金属箔上に第1 のパターンめっきを行う工程と、

前記第1 のパターンめっきを含む第2 キャリア金属箔上に絶縁層と

導体回路と層間接続とを形成して積層体を形成する工程と、

前記多層金属箔の第2キャリア金属箔とベース金属箔との間で、前記積層体をキャリア金属箔とともにコア基板から物理的に剥離して分離する工程と、

前記剥離した積層体の第2キャリア金属箔上に第2のパターンめっきを行う工程と、

前記第2のパターンめっきを行った部分以外の第2キャリア金属箔上にエッチングレジストを形成してエッチングを行い、前記第2のパターンめっきを行った部分及びエッチングレジストを形成した部分以外の第2キャリア金属箔をエッチングにより除去することにより、前記積層体表面の絶縁層から第1のパターンめっきを露出させて埋め込み回路を形成する工程、または前記積層体表面の第1のパターンめっき上に立体回路を形成する工程、または前記積層体表面の絶縁層上に立体回路を形成する工程、または前記積層体表面の第1のパターンめっき上に凹み形状を形成する工程と、を有する半導体素子搭載用パッケージ基板の製造方法。

[請求項3] 請求項1または2において、

第1のパターンめっきを含む第2キャリア金属箔上に絶縁層と導体回路と層間接続とを形成して積層体を形成する工程と、多層金属箔の第2キャリア金属箔とベース金属箔との間で、前記積層体を第2キャリア金属箔とともにコア基板から物理的に剥離して分離する工程との間に、所望の層数の絶縁層と導体回路とを形成する工程を有する半導体素子搭載用パッケージ基板の製造方法。

[請求項4] 請求項1から3の何れかにおいて、

積層体表面の絶縁層から第1のパターンめっきを露出させて埋め込み回路を形成する工程ではフリップチップ接続端子を、積層体表面の第1のパターンめっき上に立体回路を形成する工程ではピラーまたはフリップチップ接続端子の長手方向の一部に凸形状を、積層体表面の

絶縁層上に立体回路を形成する工程ではダミー端子を形成する半導体搭載用パッケージ基板の製造方法。

[請求項5] 請求項1から4の何れかの半導体搭載用パッケージ基板の製造方法によって製造される半導体素子搭載用パッケージ基板であって、

絶縁層と、この絶縁層の表面に上面が露出するように設けられた埋込回路と、前記絶縁層上及び埋込回路上に設けられたソルダーレジストとを有し、このソルダーレジストの開口内に配置された埋込回路がフリップチップ接続端子を形成し、このフリップチップ接続端子が厚さ $3\mu\text{m}$ 以上の予備はんだによって被覆された半導体素子搭載用パッケージ基板。

[請求項6] 請求項5において、フリップチップ接続端子を形成する埋込回路の底面にビアが接続した半導体素子搭載用パッケージ基板。

[請求項7] 請求項5または6において、フリップチップ接続端子の長手方向の一部に凸形状が形成された半導体素子搭載用パッケージ基板。

[請求項8] 請求項5から7の何れかにおいて、フリップチップ接続端子の長手方向の一部に凹み形状が形成された半導体素子搭載用パッケージ基板。

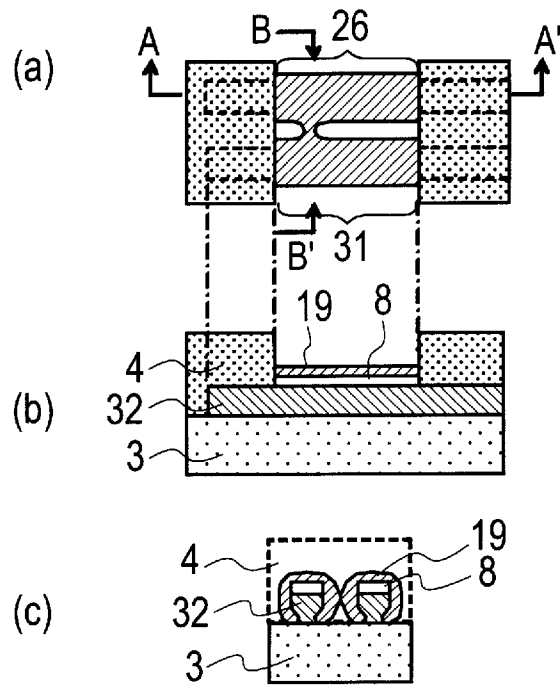
[請求項9] 請求項5から8の何れかにおいて、フリップチップ接続端子の先端が、ソルダーレジストの開口内に配置された半導体素子搭載用パッケージ基板。

[請求項10] 請求項5から9の何れかにおいて、フリップチップ接続端子の長手方向の両側または片側に延長された部分を有する埋込回路が設けられた半導体素子搭載用パッケージ基板。

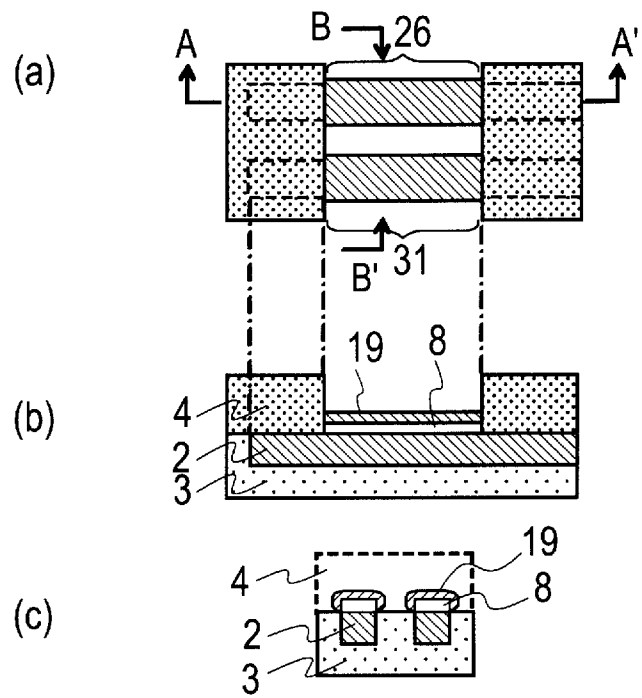
[請求項11] 請求項5から10の何れかにおいて、フリップチップ接続端子の一部が、短手方向に拡張された半導体素子搭載用パッケージ基板。

[請求項12] 請求項5から11の何れかの半導体素子搭載用パッケージ基板のフリップチップ接続端子上に半導体素子のバンプをフリップチップ接続により搭載した半導体パッケージ。

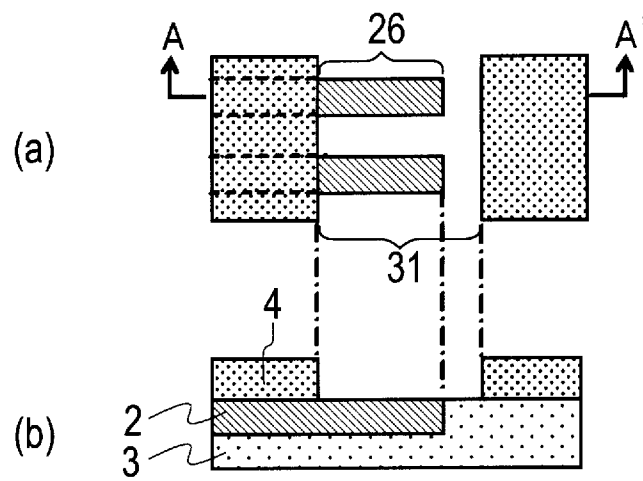
[図1]



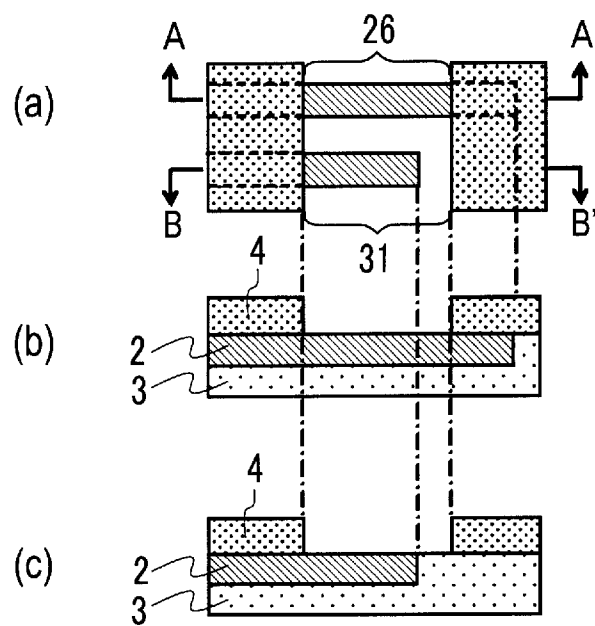
[図2]



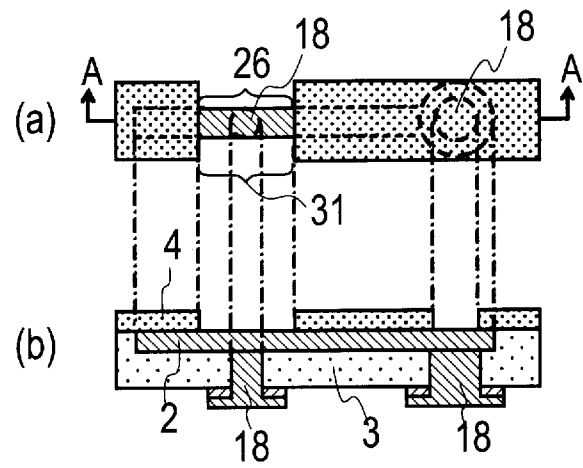
[図3]



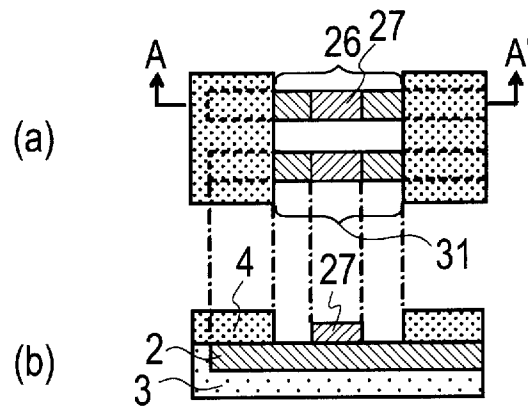
[図4]



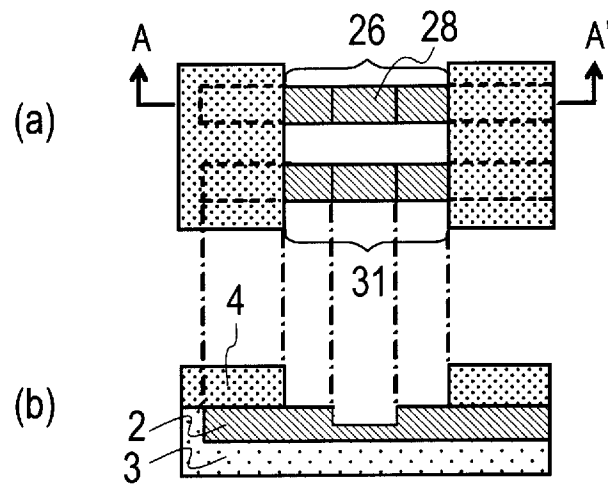
[図5]



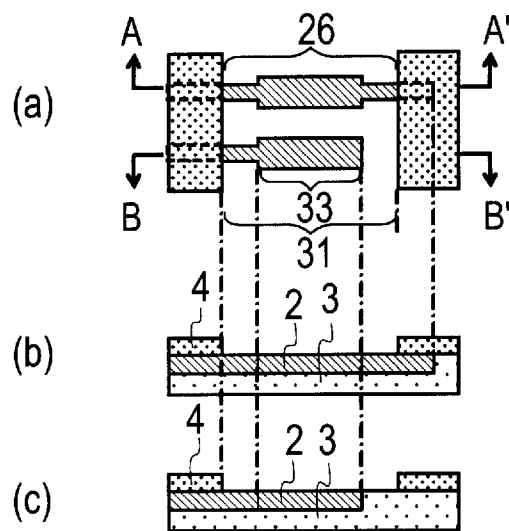
[図6]



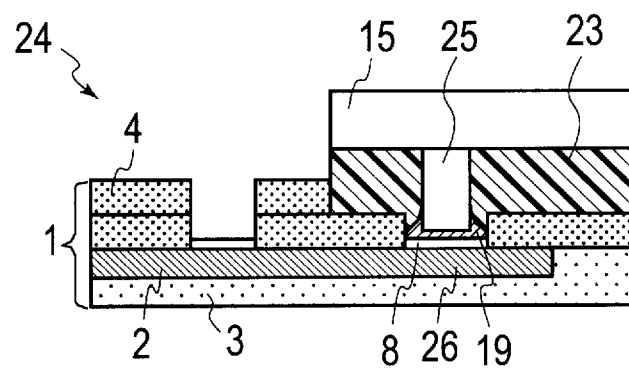
[図7]



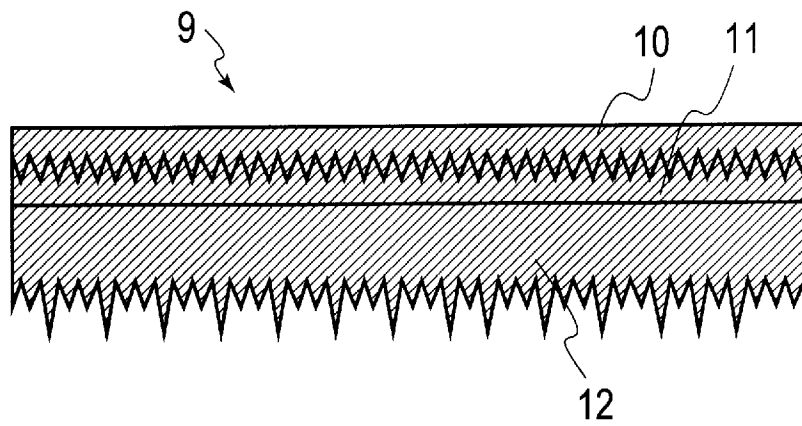
[図8]



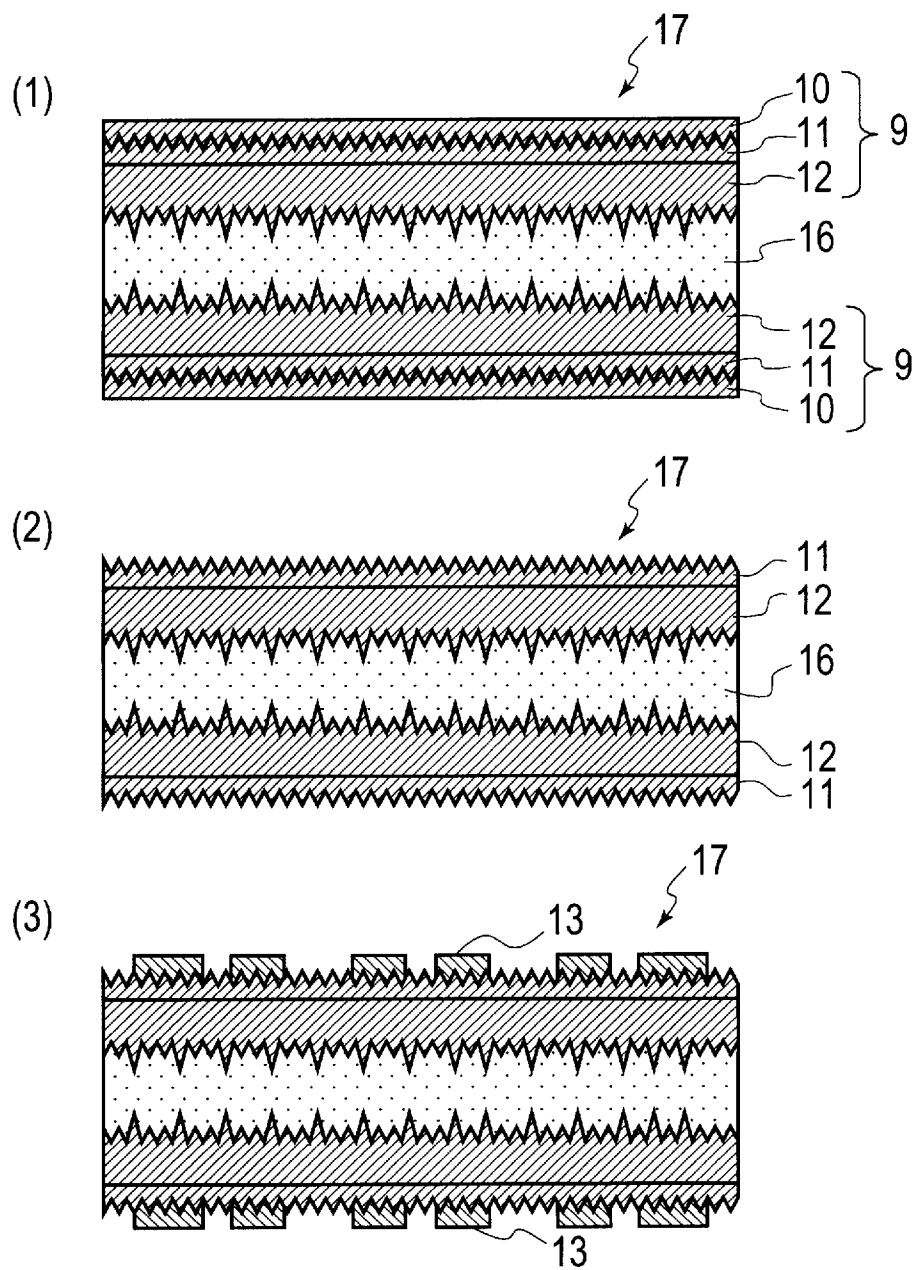
[図9]



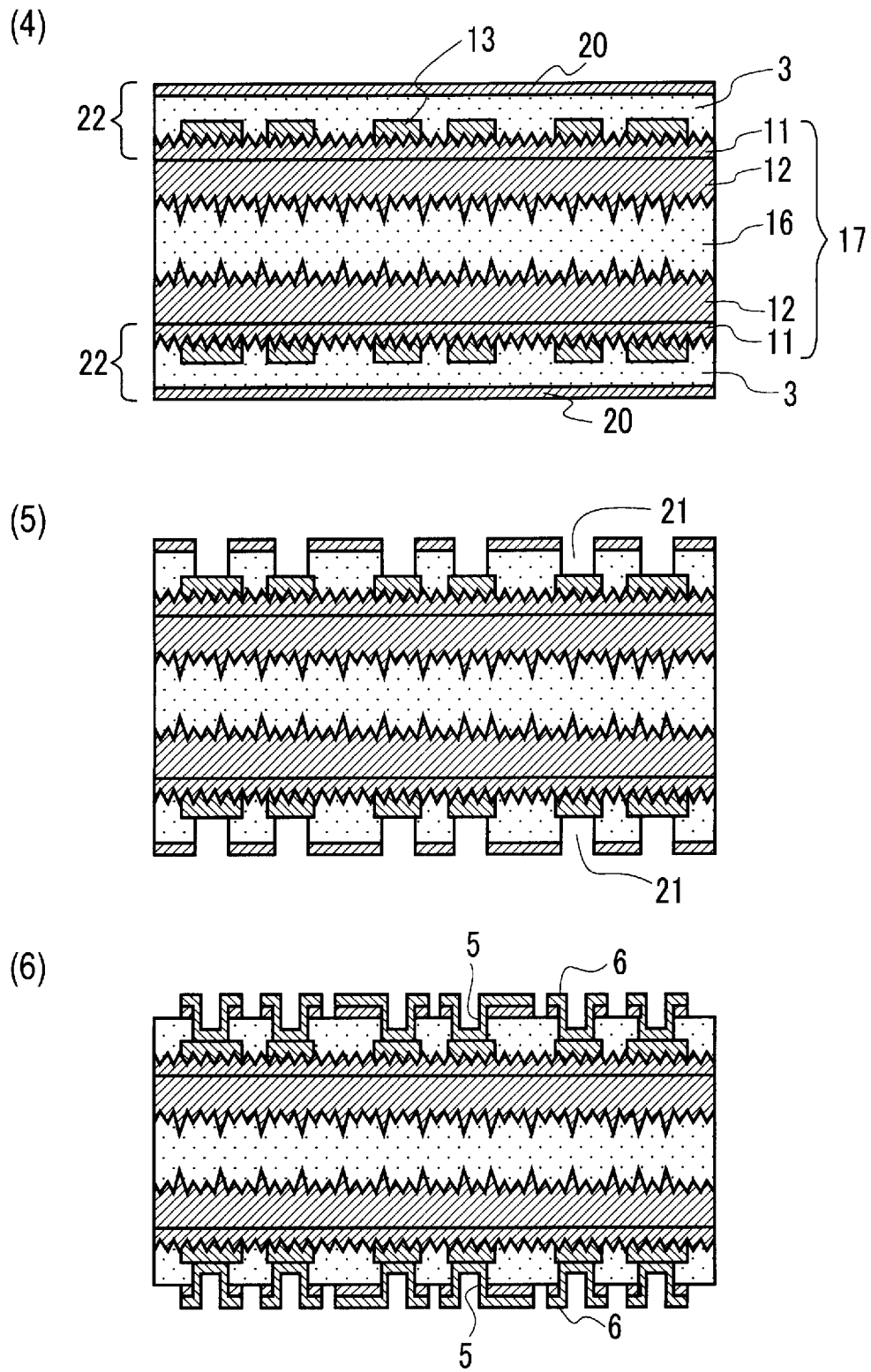
[図10]



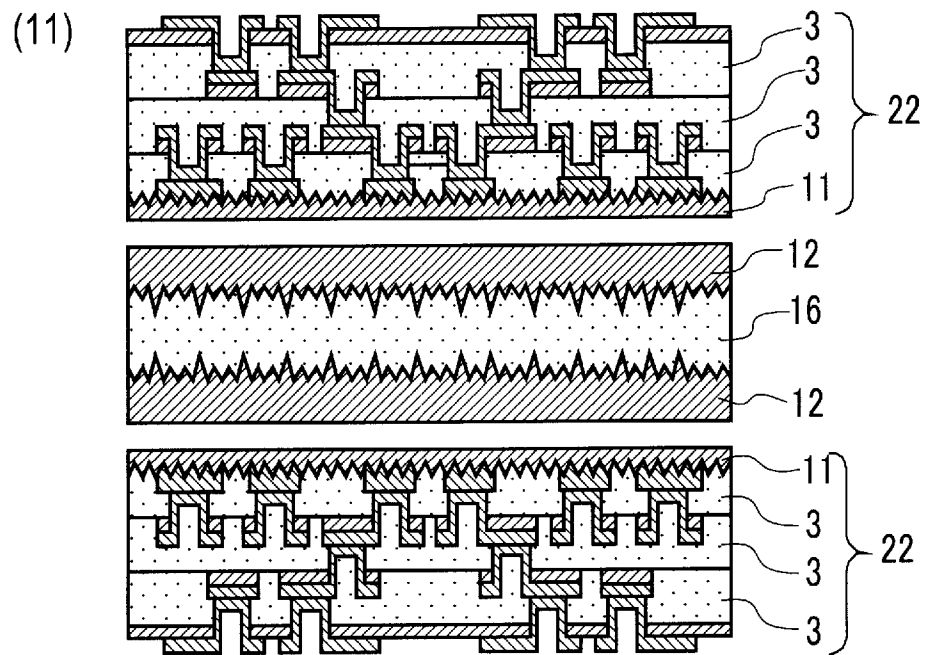
[図11]



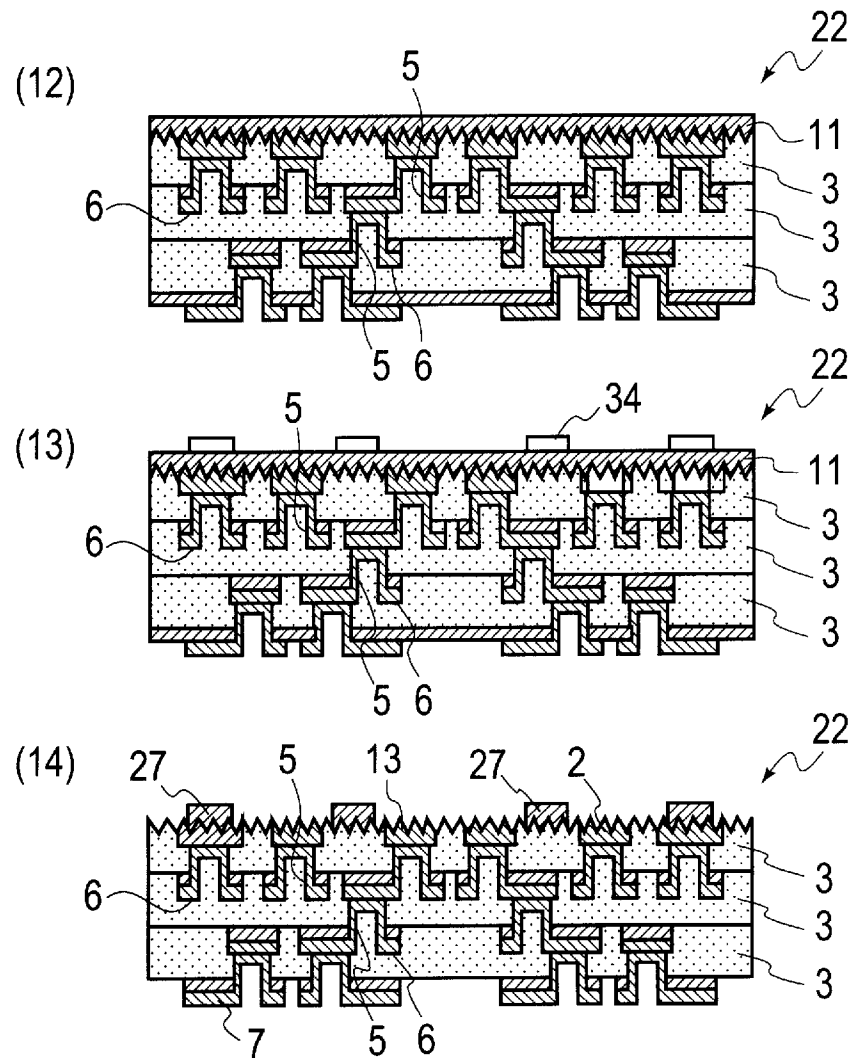
[図12]



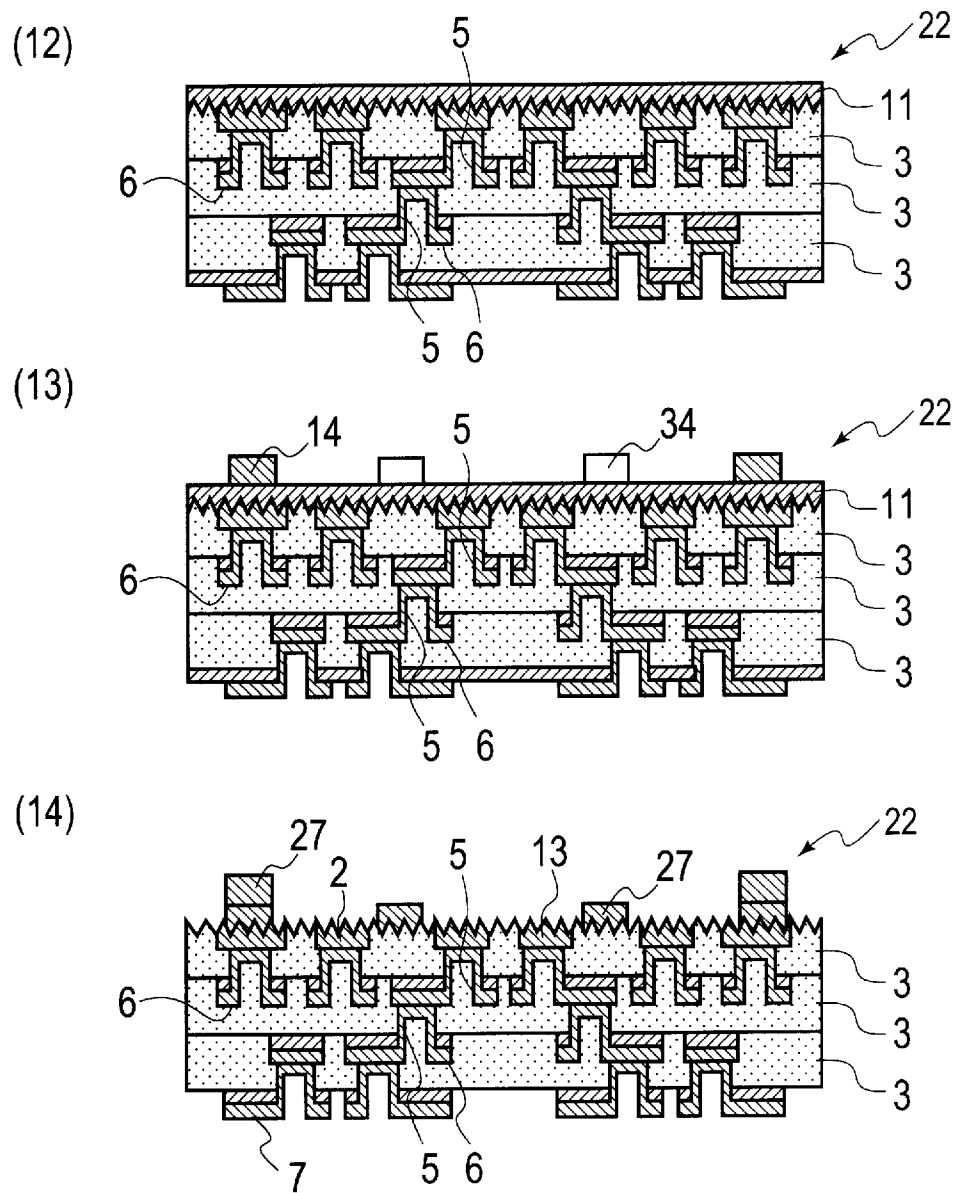
[図15]



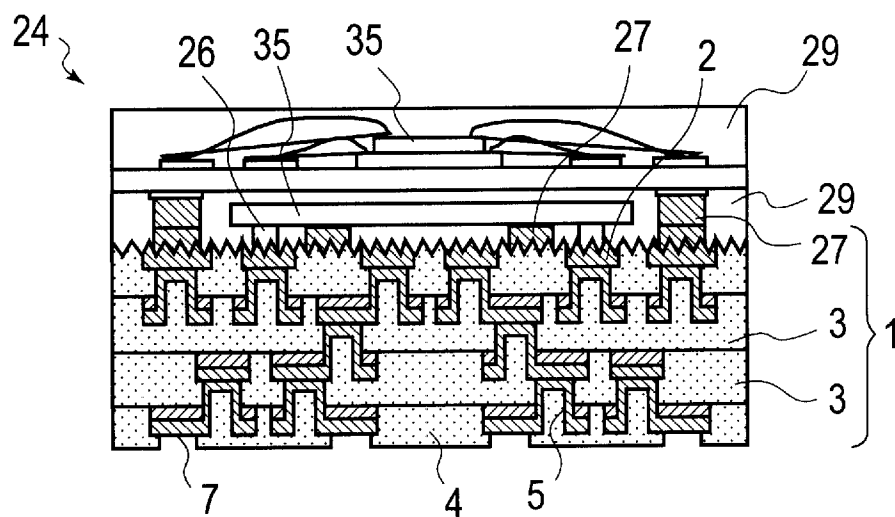
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056125

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H05K3/20(2006.01)i, H05K3/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H05K3/20, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-253261 A (Samsung Electro-Mechanics Co., Ltd.), 29 October 2009 (29.10.2009), paragraphs [0038] to [0059]; fig. 4 to 13 & US 2009/0250260 A1 & KR 10-2009-0106708 A & CN 101557674 A	1-12
Y	JP 2002-52614 A (Kaneka Corp.), 19 February 2002 (19.02.2002), paragraph [0020] & US 7101455 B1 & WO 2001/032418 A1	1-12
Y	JP 2004-253648 A (Sumitomo Bakelite Co., Ltd.), 09 September 2004 (09.09.2004), paragraphs [0024], [0025]; fig. 3 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 June, 2012 (01.06.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-166464 A (Toppan Printing Co., Ltd.), 17 July 2008 (17.07.2008), paragraph [0022]; fig. 2 (Family: none)	2
Y	JP 2008-252042 A (Sharp Corp.), 16 October 2008 (16.10.2008), paragraphs [0058], [0059], [0078]; fig. 1 & US 2008/0236882 A1 & CN 101276800 A	5, 6, 9-12
Y	JP 2010-206192 A (Ibiden Co., Ltd.), 16 September 2010 (16.09.2010), paragraph [0017]; fig. 4 & US 2010/0218986 A1	7
Y	JP 10-242328 A (Toshiba Corp.), 11 September 1998 (11.09.1998), paragraph [0027] (Family: none)	8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, H05K3/20(2006.01)i, H05K3/34(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H05K3/20, H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-253261 A（三星電機株式会社）2009.10.29, 段落【0038】－【0059】、第4－13図 & US 2009/0250260 A1 & KR 10-2009-0106708 A & CN 101557674 A	1-12
Y	JP 2002-52614 A（鐘淵化学工業株式会社）2002.02.19, 段落【0020】 & US 7101455 B1 & WO 2001/032418 A1	1-12
Y	JP 2004-253648 A（住友ベークライト株式会社）2004.09.09, 段落【0024】、【0025】、第3図（ファミリーなし）	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

長谷部 智寿

電話番号 03-3581-1101 内線 3471

4 R

4 8 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-166464 A (凸版印刷株式会社) 2008.07.17, 段落【0022】, 第2図 (ファミリーなし)	2
Y	JP 2008-252042 A (シャープ株式会社) 2008.10.16, 段落【0058】, 【0059】, 【0078】, 第1図 & US 2008/0236882 A1 & CN 101276800 A	5, 6, 9-12
Y	JP 2010-206192 A (イビデン株式会社) 2010.09.16, 段落【0017】, 第4図 & US 2010/0218986 A1	7
Y	JP 10-242328 A (株式会社東芝) 1998.09.11, 段落【0027】 (ファミリーなし)	8