



(12) 发明专利

(10) 授权公告号 CN 101894759 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201010146957. 9

EP 0561462 A2, 1993. 09. 22, 全文.

(22) 申请日 2010. 03. 12

CN 1658376 A, 2005. 08. 24, 全文.

(30) 优先权数据

2009-061607 2009. 03. 13 JP

US 20080296568 A1, 2008. 12. 04, 说明书第

1 页第 7 段 - 第 3 页第 39 段, 第 53-62 段, 图 1、3A-3F.

(73) 专利权人 株式会社半导体能源研究所

审查员 仵乐娟

地址 日本神奈川县厚木市

(72) 发明人 大原宏树 佐佐木俊成

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 徐予红

(51) Int. Cl.

H01L 21/34(2006. 01)

H01L 21/471(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

CN 101335304 A, 2008. 12. 31, 实施方式 1,
图 1A-1B.

US 6387737 B1, 2002. 05. 14, 实施例 5.

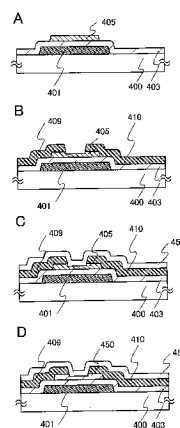
权利要求书2页 说明书19页 附图18页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

若不由无机绝缘膜覆盖氧化物半导体层情况下进行加热处理而使氧化物半导体层晶化, 则因晶化而形成表面凹凸, 可能会产生电特性的不均匀。通过如下顺序进行工序: 在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的无机绝缘膜之前的期间一次也不进行加热处理, 在接触于衬底上的氧化物半导体层上地形成第二绝缘膜之后进行加热处理。此外, 在包含氧化硅的无机绝缘膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上, 或其氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。



1. 一种半导体装置的制造方法,包括如下步骤:

在以第一温度加热衬底时,在所述衬底上形成包含氧化硅的第一无机绝缘膜;

在所述第一无机绝缘膜上形成具有非晶结构的氧化物半导体层;

在以第二温度加热所述衬底时,在所述氧化物半导体层上形成包含氧化硅的第二无机绝缘膜;以及

在形成所述第二无机绝缘膜之后以大于或等于 300℃ 进行加热处理,

其中,所述第二温度低于所述第一温度,

其中,所述第二温度低于或等于 300℃,以及

其中,在形成所述氧化物半导体层之后并且在形成所述第二无机绝缘膜之前的时期期间,所述氧化物半导体层没有被以大于或等于 300℃ 加热。

2. 根据权利要求 1 所述的半导体装置的制造方法,其中在所述第二无机绝缘膜中含有的氢密度为大于或等于 $5 \times 10^{20} / \text{cm}^3$ 。

3. 根据权利要求 1 所述的半导体装置的制造方法,其中在所述第二无机绝缘膜中含有的氮密度为大于或等于 $1 \times 10^{19} / \text{cm}^3$ 。

4. 根据权利要求 1 所述的半导体装置的制造方法,其中在大气气氛下或氮气氛下进行所述加热处理。

5. 根据权利要求 1 所述的半导体装置的制造方法,其中所述第二无机绝缘膜至少使用 N_2O 气体形成。

6. 根据权利要求 1 所述的半导体装置的制造方法,其中所述第二温度为大于或等于 100℃ 且小于或等于 300℃。

7. 根据权利要求 1 所述的半导体装置的制造方法,其中所述氧化物半导体层包含铟、镓以及锌中的至少一种。

8. 根据权利要求 1 所述的半导体装置的制造方法,其中所述氧化物半导体层是由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,并且 M 表示选自 Ga、Fe、Ni、Mn 或 Co 中的一种金属元素或多种金属元素。

9. 根据权利要求 8 所述的半导体装置的制造方法,其中 M 表示 Ga。

10. 根据权利要求 1 所述的半导体装置的制造方法,其中在所述加热处理之后在所述第二无机绝缘膜上还形成布线。

11. 一种半导体装置的制造方法,包括如下步骤:

在具有绝缘表面的衬底上形成栅电极;

在以第一温度加热所述衬底时,在所述栅电极上形成包含氧化硅的栅极绝缘层;

在所述栅极绝缘层上形成具有非晶结构的氧化物半导体层;

在所述氧化物半导体层上形成源电极及漏电极;

在以第二温度加热所述衬底时,在所述氧化物半导体层上形成包含氧化硅的无机绝缘膜;以及

在形成所述无机绝缘膜之后进行大于或等于 300℃ 且小于或等于所述衬底的应变点的加热处理,

其中,所述第二温度低于所述第一温度,

其中,所述第二温度低于或等于 300℃,以及

其中,在形成所述氧化物半导体层之后并且在形成所述无机绝缘膜之前的时期期间,所述氧化物半导体层没有被以大于或等于 300℃ 加热。

12. 根据权利要求 11 所述的半导体装置的制造方法,其中在所述无机绝缘膜中含有的氢密度为大于或等于 $5 \times 10^{20} / \text{cm}^3$ 。

13. 根据权利要求 11 所述的半导体装置的制造方法,其中在所述无机绝缘膜中含有的氮密度为大于或等于 $1 \times 10^{19} / \text{cm}^3$ 。

14. 根据权利要求 11 所述的半导体装置的制造方法,其中在大气气氛下或氮气氛下进行所述加热处理。

15. 根据权利要求 11 所述的半导体装置的制造方法,其中所述无机绝缘膜至少使用 N_2O 气体形成。

16. 根据权利要求 11 所述的半导体装置的制造方法,其中所述栅极绝缘层至少使用 N_2O 气体形成。

17. 根据权利要求 11 所述的半导体装置的制造方法,其中所述第二温度为大于或等于 100℃ 且小于或等于 300℃。

18. 根据权利要求 11 所述的半导体装置的制造方法,其中所述氧化物半导体层包含铟、镓以及锌中的至少一种。

19. 根据权利要求 11 所述的半导体装置的制造方法,其中所述氧化物半导体层是由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,并且 M 表示选自 Ga、Fe、Ni、Mn 或 Co 中的一种金属元素或多种金属元素。

20. 根据权利要求 19 所述的半导体装置的制造方法,其中 M 表示 Ga。

21. 根据权利要求 11 所述的半导体装置的制造方法,其中在所述加热处理之后在所述无机绝缘膜上还形成布线。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及使用氧化物半导体的半导体装置及其制造方法。

背景技术

[0002] 金属氧化物的种类繁多且其用途广泛。氧化铟为较普遍的材料而被用作液晶显示器等中所需要的透明电极材料。

[0003] 在金属氧化物中存在呈现半导体特性的金属氧化物。作为呈现半导体特性的金属氧化物,例如有氧化铟、氧化锡、氧化铟、氧化锌等,已知将这些呈现半导体特性的金属氧化物用作沟道形成区的薄膜晶体管(专利文献1至4、非专利文献1)。

[0004] 另外,已知金属氧化物不仅有一元氧化物还有多元氧化物。例如,作为具有In、Ga及Zn的多元氧化物半导体已知具有同源相(homologous phase)的 $\text{InGaO}_3(\text{ZnO})_m$ (m :自然数)(非专利文献2至4)。

[0005] 并且,已经确认可以将使用上述那样的In-Ga-Zn类氧化物形成的氧化物半导体应用于薄膜晶体管的沟道层(专利文献5、非专利文献5及6)。

[0006] 此外,使用氧化物半导体制造薄膜晶体管,并且将该薄膜晶体管应用于电子器件和光器件的技术受到关注。例如,专利文献6及专利文献7公开作为氧化物半导体膜使用氧化锌、In-Ga-Zn-O类氧化物半导体来制造薄膜晶体管,并将该薄膜晶体管用于图像显示装置的开关元件等的技术。

[0007] [专利文献1]日本专利申请公开昭60-198861号公报

[0008] [专利文献2]日本专利申请公开平8-264794号公报

[0009] [专利文献3]日本PCT国际申请翻译平11-505377号公报

[0010] [专利文献4]日本专利申请公开2000-150900号公报

[0011] [专利文献5]日本专利申请公开2004-103957号公报

[0012] [专利文献6]日本专利申请公开2007-123861号公报

[0013] [专利文献7]日本专利申请公开2007-096055号公报

[0014] [非专利文献1]M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明铁电薄膜晶体管), Appl. Phys. Lett., 17 June 1996, Vol. 68 pp. 3650-3652

[0015] [非专利文献2]M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C" (In_2O_3 - Ga_2ZnO_4 -ZnO类在1350°C时的相位关系), J. Solid State Chem., 1991, Vol. 93, pp. 298-315

[0016] [非专利文献3]N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 -ZnO System" (同系物的合成和单晶数据, In_2O_3 - ZnGa_2O_4 -ZnO类的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, 及 5), $\text{InGaO}_3(\text{ZnO})_3$,

及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, 及 16)), J. Solid State Chem., 1995, Vol. 116, pp. 170-178

[0017] [非专利文献 4] 中村真佐樹、君塚昇、毛利尚彦、磯部光正, "ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造" (同系物、镓铁锌氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 为自然数) 及其同晶型化合物的合成以及结体结构), 固体物理 (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

[0018] [非专利文献 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由单晶透明氧化物半导体制造的薄膜晶体管), SCIENCE, 2003, Vol. 300, pp. 1269-1272

[0019] [非专利文献 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (室温下的使用非晶氧化物半导体的透明柔性薄膜晶体管的制造), NATURE, 2004, Vol. 432 pp. 488-492

[0020] 在氧化物半导体中设置沟道形成区的薄膜晶体管的场效应迁移率高于使用非晶硅的薄膜晶体管的场效应迁移率。使用这种氧化物半导体在玻璃衬底、塑料衬底等上形成薄膜晶体管, 该薄膜晶体管被期待应用于液晶显示器、电致发光显示器或电子纸等的显示装置。

发明内容

[0021] 本发明提供使用氧化物半导体且可靠性高的半导体装置。

[0022] 在具有绝缘表面的衬底上形成成为薄膜晶体管的沟道区的氧化物半导体层, 由包含氧化硅的绝缘膜覆盖该氧化物半导体层之后, 对该氧化物半导体层进行加热处理。此外, 进行加热处理之前的氧化物半导体层具有非晶结构, 进行加热处理之后的氧化物半导体层也具有非晶结构。

[0023] 通过在由包含氧化硅的无机绝缘膜覆盖氧化物半导体层之后进行 300°C 以上的加热处理, 可以抑制氧化物半导体层的晶化。加热处理的温度范围为 300°C 以上且具有绝缘表面的衬底的应变点以下, 优选为高于形成包含氧化硅的无机绝缘膜时的衬底温度的温度且低于加热处理后的氧化物半导体层具有非晶结构的温度。

[0024] 若不由无机绝缘膜覆盖氧化物半导体层的情况下进行加热处理而使氧化物半导体层晶化, 则因晶化而形成表面凹凸等, 会产生电特性的不均匀。

[0025] 此外, 使氧化物半导体层包含氧化硅, 也能抑制氧化物半导体的晶化。

[0026] 此外, 通过不仅对氧化物半导体层进行加热处理而且对包含氧化硅的无机绝缘膜进行加热处理, 可以减少包含氧化硅的无机绝缘膜中的缺陷等, 并实现具有良好的电特性的薄膜晶体管。

[0027] 在覆盖氧化物半导体层的包含氧化硅的无机绝缘膜中, 在膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上, 该密度基于使用 SIMS (次级离子质谱仪) 的分析。此外, 在覆盖氧化物半导体层的包含氧化硅的无机绝缘膜中, 在膜中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上, 该密度同样基于使用 SIMS 的分析。覆盖氧化物半导体层的包含氧化硅的无机绝缘膜若满足上述氢密度或上述氮密度, 则不局限于其成膜方法, 例如利用等离子体 CVD 法或溅射法形成。

[0028] 此外,本说明书中的密度是指根据使用 SIMS 的分析的密度的平均值。SIMS 是指从密度低一侧朝着密度高一侧在深度方向上进行分析的值。

[0029] 在形成与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜时,若将衬底温度设定为比 300℃还要高,则在减压下露出的氧化物半导体层表面上的氧密度降低,从而氧化物半导体层表面的导电率升高,而得到截止时的 TFT 特性变得困难。

[0030] 在此,以下示出在形成与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜时,在衬底温度不同的条件下制造 TFT,对其电特性进行比较的实验结果。此外,在以下所示的任何条件下,所制造的薄膜晶体管的沟道长度为 100 μm,其沟道宽度为 100 μm,并对 Vd 电压为 1V 时的特性以及 Vd 电压为 10V 时的特性进行测定。

[0031] 图 6A 示出作为与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的条件,使用在如下条件下形成的膜而制造的 TFT 的测定结果:衬底温度为 200℃,硅烷气体的流量为 25sccm,一氧化二氮(N₂O)的流量为 1000sccm,压力为 133.3Pa,电功率为 35W,电源频率为 13.56MHz。

[0032] 此外,图 6B 示出作为与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的条件,使用在如下条件下形成的膜而制造的 TFT 的测定结果:衬底温度为 300℃,硅烷气体的流量为 30sccm,一氧化二氮(N₂O)的流量为 700sccm,压力为 133.32Pa,电功率为 80W,电源频率为 60MHz。在对图 6A 和 6B 进行比较时,与在衬底温度为 300℃下形成的 TFT 的 S 值相比,在衬底温度为 200℃下形成的 TFT 的 S 值良好。

[0033] 此外,图 7 示出作为比较条件,使用在如下条件下形成的膜而制造的 TFT 的测定结果:衬底温度为 325℃,硅烷气体的流量为 27sccm,一氧化二氮(N₂O)的流量为 1000sccm,压力为 133.3Pa,电功率为 35W,电源频率为 13.56MHz。如图 7 所示,在与 300℃相比高的衬底温度的 325℃时,氧化物半导体层变为呈现高导电率的层,不能得到 TFT 特性,具体地不能得到导通/截止特性。

[0034] 此外,虽然在此未图示,但在衬底温度为 100℃下进行实验的结果也可以得到与衬底温度为 200℃时同样地结果。

[0035] 从而,根据这些实验结果,与氧化物半导体层上接触地设置的包含氧化硅的无机绝缘膜的成膜时的衬底温度为 300℃以下,优选为 100℃以上且 150℃以下。

[0036] 此外,在氧化物半导体层的下方也设置有包含氧化硅的无机绝缘膜,在用包含氧化硅的无机绝缘膜上下夹住氧化物半导体层的状态下,对氧化物半导体层进行热处理,该热处理的温度为高于接触于氧化物半导体层上地形成的无机绝缘膜的成膜时的衬底温度的温度,优选为 300℃以上。另外,设置在氧化物半导体层的上方的包含氧化硅的无机绝缘膜的成膜时的衬底温度低于设置在氧化物半导体层的下方的包含氧化硅的无机绝缘膜的成膜时的衬底温度。此外,设置在氧化物半导体层的上方和下方的包含氧化硅的无机绝缘膜都能够采用至少使用 N₂O 气体进行成膜的等离子体 CVD 法。

[0037] 在对由上述包含满足氢密度或氮密度的氧化硅的绝缘膜覆盖氧化物半导体层进行 300℃以上的热处理时,通过进行一次该热处理,可以提高 TFT 的电特性并减少 TFT 的电特性的衬底面内的不均匀。在一次也不进行 300℃以上的热处理时,难以得到均匀的 TFT 的电特性。此外,在覆盖氧化物半导体层的绝缘膜的成膜之前,即在氧化物半导体层的至少一部分露出的状态下进行第一次热处理,在绝缘膜的成膜之后进行第二次热处理时,TFT 的电

特性的衬底面内的不均匀增大。换言之,在与氧化物半导体层上接触地设置上述包含满足氢密度或氮密度的氧化硅的绝缘膜时,在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜前的期间,至少一次进行 300℃ 以上的热处理,会增大 TFT 特性的不均匀。

[0038] 上述的这些方法不仅是设计的问题,而且是本发明人的发明,本发明人对进行热处理的时序及次数进行一些实验,而对那些实验结果进行了充分的研究。

[0039] 此外,晶体管的结构没有特别的限制,例如,在将氧化物半导体层用作薄膜晶体管的沟道区时,若将栅电极形成在氧化物半导体层的下方,则晶体管成为底栅型晶体管,而若将栅电极形成在氧化物半导体层的上方,则晶体管成为顶栅型晶体管。另外,若在将栅电极形成在氧化物半导体层的下方并形成源电极之后形成氧化物半导体层,则晶体管成为底接触型(也称为反共面型(inverted coplanar))晶体管。

[0040] 此外,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜之前的期间一次也不进行加热处理,在与衬底上的氧化物半导体层上接触地形成包含氧化硅的绝缘膜之后进行加热处理的工序顺序,可以进行即将晶化之前的温度(小于 700℃)的加热处理。此外,该加热处理不超过所使用的衬底的耐热温度。

[0041] 此外,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜之前的期间一次也不进行加热处理,与衬底上的氧化物半导体层上接触地形成包含氧化硅的绝缘膜之后进行加热处理的工序顺序,即使在形成包含氧化硅的绝缘膜之后多次进行 300℃ 以上的加热处理,也可以得到稳定的 TFT 特性。

[0042] 作为本说明书中所使用的氧化物半导体,形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜,来制造将该薄膜作为半导体层的薄膜晶体管。此外,M 表示选自 Ga、Fe、Ni、Mn 和 Co 中的一种金属元素或多种金属元素。例如,作为 M,除了包含 Ga 之外,还有 Ga 和 Ni 或 Ga 和 Fe 等包含 Ga 以外的上述金属元素的情况。另外,在上述氧化物半导体中,除了包含作为 M 的金属元素之外,作为杂质元素有时包含 Fe、Ni 以及其他过渡金属或该过渡金属的氧化物。在本说明书中将该薄膜也称为 In-Ga-Zn-O 类非单晶膜。

[0043] In-Ga-Zn-O 类非单晶膜的结构即使通过溅射法形成然后例如在 200℃ 至 500℃ 下,典型地在 300℃ 至 400℃ 下进行 10 分钟到 100 分钟的加热处理,也在 XRD 分析中观察到非晶结构。此外,若不由绝缘膜覆盖 In-Ga-Zn-O 类非单晶膜进行 700℃ 以上的加热处理,则在膜中形成单晶。从而,在 In-Ga-Zn-O 类非单晶膜中,即将晶化之前的温度的加热处理是指通过进行该加热处理不在膜中形成单晶的范围的加热处理。

[0044] 加热处理利用在炉中的热处理(小于 700℃,优选为 300℃ 至 550℃、0.1 小时至 5 小时的热处理)或快速热退火法(RTA 法)。RTA 法有如下方法:使用灯光源的方法;将衬底移动到加热的气体中在短时间内进行热处理的方法。通过使用 RTA 法,可以使热处理所需要的时间为短于 0.1 小时的时间。此外,在使用玻璃衬底作为衬底时,进行 300℃ 以上且玻璃衬底的应变点以下温度的加热处理。

[0045] 此外,作为包含氧化硅的绝缘膜使用上述满足膜中的氢密度及氮密度的无机材料,根据该无机材料可以利用等离子体 CVD 法等。

[0046] 根据本说明书所公开的半导体装置的制造方法的发明之一包括如下步骤:在具有绝缘表面的衬底上形成栅电极,覆盖栅电极地形成第一绝缘膜,隔着第一绝缘膜与栅电极

重叠地形成氧化物半导体层,覆盖氧化物半导体层地形成第二绝缘膜,然后进行 300℃ 以上的热处理。

[0047] 在上述制造方法中,第二绝缘膜至少包含氧化硅,在膜中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上。此外,在第二绝缘膜中含有的氢密度与在氧化物半导体层中含有的氢密度大致相同。

[0048] 此外,在上述制造方法中,第二绝缘膜至少包含氧化硅,在膜中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。

[0049] 此外,在上述制造方法中,至少使用 N_2O 气体形成第二绝缘膜。

[0050] 此外,在形成与第二绝缘膜上接触的绝缘膜之前或在形成与第二绝缘膜上接触的导电膜之前进行热处理。此外,在进行一次 300℃ 以上的热处理之后,即使在后面的工序进行 300℃ 以上的热处理也 TFT 特性几乎没有变化。换言之,通过采用在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成第二绝缘膜之前的期间一次也不进行加热处理,与衬底上的氧化物半导体层上接触地形成第二绝缘膜之后进行加热处理的工序顺序,在形成第二绝缘膜之后的工序中,可以多次进行 300℃ 以上的热处理。

[0051] 此外,为方便起见附加了第一、第二等序数词,但其并不表示工序顺序或层叠顺序。另外,在本说明书中序数词不表示用来特定发明的事项的固有名词。

[0052] 通过在形成在氧化物半导体层上的无机绝缘膜的成膜之后进行一次加热处理的工序,可得到良好的 TFT 特性,与在无机绝缘膜的成膜之前及之后进行两次加热处理的情况相比可抑制 TFT 特性的不均匀。

附图说明

[0053] 图 1A 至图 1D 是示出本发明的一个方式的截面工序图;

[0054] 图 2 是示出本发明的一个方式的薄膜晶体管的电特性的图;

[0055] 图 3 是示出第一比较例的薄膜晶体管的电特性的图;

[0056] 图 4 是示出第二比较例的薄膜晶体管的电特性的图;

[0057] 图 5 是示出绝缘层中的氢密度、氮密度的 SIMS 分析结果的图;

[0058] 图 6A 和图 6B 是示出本发明一个方式的薄膜晶体管的电特性的图;

[0059] 图 7 是示出比较例的薄膜晶体管的电特性的图;

[0060] 图 8A 和图 8B 是说明示出本发明的一个方式的半导体装置的制造方法的图;

[0061] 图 9A 至图 9C 是说明示出本发明的一个方式的半导体装置的制造方法的图;

[0062] 图 10 是说明示出本发明一个方式的半导体装置的制造方法的图;

[0063] 图 11 是说明示出本发明一个方式的半导体装置的制造方法的图;

[0064] 图 12 是说明示出本发明的一个方式的半导体装置的图;

[0065] 图 13 是说明示出本发明一个方式的半导体装置的制造方法的图;

[0066] 图 14A1、图 14A2、图 14B1 及图 14B2 是说明示出本发明的一个方式的半导体装置的图;

[0067] 图 15 是说明示出本发明的一个方式的半导体装置的图;

[0068] 图 16 是示出本发明的一个方式的像素电路的图;

[0069] 图 17A 至图 17C 是示出本发明的一个方式的截面图;

- [0070] 图 18A 和图 18B 分别是示出本发明一个方式的截面图及外观图；
[0071] 图 19A 和图 19B 是示出本发明的一个方式的外观图；
[0072] 图 20A 和图 20B 是示出本发明的一个方式的外观图。

具体实施方式

[0073] 以下参照附图详细说明本发明的实施方式。此外，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是其方式和详细内容可以被变换为各种各样的形式。此外，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0074] 实施方式 1

[0075] 首先，在具有绝缘表面的衬底 400 上形成栅电极层 401，并形成覆盖栅电极层 401 的栅极绝缘层 403。

[0076] 栅电极层 401 可以通过使用铝、铜、钼、钛、铬、钽、钨、钕、铈等金属材料；或以这些材料为主要成分的合金材料；或以这些金属材料为成分的氮化物的单层或叠层形成。

[0077] 例如，作为栅电极层 401 的叠层结构，优选采用在铝层上层叠有钼层的双层结构、在铜层上层叠钼层的双层的叠层结构、或在铜层上层叠氮化钛层或氮化钽层的双层结构、层叠氮化钛层和钼层的双层结构。作为三层的叠层结构，优选采用层叠钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、及氮化钛层或钛层的结构。

[0078] 在本实施方式中通过使用钨靶材的溅射法形成 150nm 的导电膜。

[0079] 栅极绝缘层 403 通过等离子体 CVD 法或溅镀法而形成。栅极绝缘层 403 可以通过 CVD 法或溅射法等使用氧化硅层、氮化硅层、氧氮化硅层或氮氧化硅层的单层或叠层形成。在采用叠层时，优选至少包含氧化硅的膜成为与后面形成的氧化物半导体层接触的栅极绝缘层 403。另外，作为栅极绝缘层 403，还可以通过使用有机硅烷气体的 CVD 法而形成氧化硅层。

[0080] 在本实施方式中，通过等离子体 CVD 法形成 200nm 的绝缘膜。成膜条件为如下条件：硅烷流量为 4sccm；一氧化二氮 (N_2O) 的流量为 800sccm；衬底温度为 400℃。

[0081] 接着，如图 1A 所示那样，隔着栅极绝缘膜在与栅电极重叠的位置上形成氧化物半导体层 405。在利用溅射法形成之后，通过使用选择性地曝光来形成的抗蚀剂掩模选择性地蚀刻而得到氧化物半导体层 405。作为氧化物半导体层 405，可以应用 In-Ga-Zn-O 类、In-Sn-Zn-O 类、Sn-Ga-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类氧化物半导体。此外，为了使氧化物半导体层 405 阻挡晶化，使用包含 SiO_x 的氧化物半导体靶材形成包含氧化硅的氧化物半导体层。

[0082] 在本实施方式中，作为氧化物半导体层 405，使用通过使用包含 In(铟)、Ga(镓)及 Zn(锌)的氧化物半导体靶材(摩尔比为 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)的溅射法来得到的 50nm 厚的 In-Ga-Zn-O 类非单晶膜。在本实施方式中，利用 DC 溅射法，氩的流量为 30sccm，氧的流量为 15sccm，衬底温度为室温。

[0083] 接着，在栅极绝缘层 403 及氧化物半导体层 405 上形成导电膜。作为导电膜的材料，可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素；或者以上述元素为成分的合金；或者组合上述元素的合金膜等。此外，在导电膜中包含 Nd(钕)或 Sc(钪)或 Si(硅)。另外，导电

膜使用以上述元素为成分的氮化物形成。

[0084] 在本实施方式中,作为导电膜采用钛膜和铝膜的叠层结构。此外,导电膜也可以采用单层结构,还可以采用在铝膜上层叠的三层以上的叠层。在本实施方式中,采用 50nm 厚的钛膜、200nm 厚的纯铝膜、50nm 厚的铝合金膜的三层。此外,形成导电膜时的衬底温度为室温。

[0085] 在形成导电膜之后进行光刻工序形成抗蚀剂掩模,通过蚀刻去除不需要的部分来形成源电极层 409 及漏电极层 410。

[0086] 此外,进行形成源电极层 409 及漏电极层 410 时的蚀刻或以源电极层 409 及漏电极层 410 为掩模对氧化物半导体层 405 进行蚀刻。通过对氧化物半导体层 405 的露出区的一部分进行蚀刻,能够得到图 1B 的状态。

[0087] 接着,如图 1C 所示,在源电极层 409 及漏电极层 410 上形成包含氧化硅的绝缘膜 452。包含氧化硅的绝缘膜 452 与氧化物半导体层 405 的一部分(露出区)接触。在包含氧化硅的绝缘膜 452 中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上,该密度是基于 SIMS 分析得到的。此外,在覆盖氧化物半导体层的包含氧化硅的绝缘膜 452 中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。覆盖氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上或氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上的氧化物半导体层的包含氧化硅的绝缘膜 452 通过 CVD 法或溅射法等形式形成。此外,包含氧化硅的绝缘膜 452 也可以采用叠层膜。

[0088] 在本实施方式中,作为包含氧化硅的绝缘膜 452,通过等离子体 CVD 法形成 300nm 的包含氧化硅的绝缘膜。包含氧化硅的绝缘膜 452 的形成条件为如下条件:硅烷流量为 25sccm;一氧化二氮(N_2O)的流量为 1000sccm;压力为 133Pa;衬底温度为 200°C 。

[0089] 在形成包含氧化硅的绝缘膜 452 之后,如图 1D 所示,进行 300°C 至 600°C 的热处理(包括光退火)。在此放置在炉中,在大气气氛下以 350°C 进行 1 个小时的热处理。此外,通过该热处理,进行 In-Ga-Zn-O 类非单晶膜的原子级的重新排列,而成为氧化物半导体层 450。另外,通过该热处理减少在包含氧化硅的绝缘膜 452 中的缺陷。

[0090] 图 2 示出经过上述工序得到的薄膜晶体管的电特性。

[0091] 此外,表 1 示出包含氧化硅的绝缘膜 452 的 SIMS 分析所得到的氢密度和氮密度。

[0092] 表 1

[0093]

350℃的 1 个小时的热处理	氧化物半导体层中的氢密度 [cm^{-3}]	绝缘膜中的氢密度 [cm^{-3}]	氧化物半导体层中的氮密度 [cm^{-3}]	绝缘膜中的氮密度 [cm^{-3}]
不进行	1×10^{21}	2×10^{21}	2×10^{19}	1.5×10^{21}
进行	1×10^{21}	2×10^{21}	1.5×10^{19}	6×10^{20}

[0094] 如表 1 所示,包含氧化硅的绝缘膜 452 的 SIMS 分析所得到的氢密度的平均值为 $2 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{21}/\text{cm}^3$ 。如表 1 所示,在形成包含氧化硅的绝缘膜 452 之后不管进行 350°C 的 1 个小时的热处理还是不进行该热处理,包含氧化硅的绝缘膜 452 中的氢密度都没有大的变化。此外,在形成包含氧化硅的绝缘膜 452 之后以 350°C 进行 1 个小时的

热处理的包含氧化硅的绝缘膜 452 中的氮密度为 $6 \times 10^{20}/\text{cm}^3$ 。另外,在形成包含氧化硅的绝缘膜 452 之后进行 350°C 的 1 个小时的热处理的氧化物半导体层 450 的 SIMS 分析所得到的氢密度的平均值为 $1 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{19}/\text{cm}^3$ 。如表 1 所示随着进行热处理还是不进行热处理,氧化物半导体层中的氢密度及氮密度没有大的变化。

[0095] 此外,图 5 示出利用次级离子质谱法测定的绝缘层(样品 1)中的氢密度及氮密度的分布。在图 5 中,横轴表示深度(nm),而纵轴表示密度(atoms/ cm^3)。另外,在图 5 中,实线表示氢密度的分布,而虚线表示氮密度的分布。

[0096] 此外,图 3 示出作为第一比较例,在形成包含氧化硅的绝缘膜 452 之后不进行热处理时的薄膜晶体管的电特性。另外,其他制造工序与具有图 2 所示的特性的薄膜晶体管的制造方法相同。如图 3 所示,即使在不进行热处理时使栅电压变化也难以使薄膜晶体管截止,将上述那样的电特性的薄膜晶体管难以用作开关元件。

[0097] 此外,图 4 示出作为第二比较例在形成包含氧化硅的绝缘膜 452 之前在 350°C 进行 1 个小时的加热处理,在形成包含氧化硅的绝缘膜 452 之后还以 350°C 进行 1 个小时的加热处理,一共进行两次加热处理的情况的电特性。另外,其他制造工序与具有图 2 所示的特性的薄膜晶体管的制造方法相同。如图 4 所示,在进行了两次加热处理时,TFT 特性的不均匀增大,此外,在一共进行两次加热处理时,截止电流也增大。另外,在一共进行两次加热处理时,总工序数增加,总工序所需的时间也增长。

[0098] 从而,在形成覆盖氧化物半导体层的包含氧化硅的绝缘膜 452 之后,进行一次加热处理来实现提高氧化物半导体层 405 及包含氧化硅的绝缘膜 452 的质量是很有用的。

[0099] 此外,第二比较例中的包含氧化硅的绝缘膜的 SIMS 分析所得到的氢密度的平均值为 $2 \times 10^{21}/\text{cm}^3$,其氮密度为 $1.5 \times 10^{21}/\text{cm}^3$ 。

[0100] 实施方式 2

[0101] 在本实施方式中示出使用灯光源进行加热处理的例子。

[0102] 由于在热处理的工序中使用灯光源以外的工序与实施方式 1 相同,所以省略详细说明。

[0103] 在形成覆盖氧化物半导体层的包含氧化硅的绝缘膜 452 之后,使用灯光源进行加热处理。此外,在覆盖氧化物半导体层的包含氧化硅的绝缘膜 452 中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上,其氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。该加热处理在大气气氛下或在氮气下进行。此外,在反复进行多次灯光源的点亮和熄灭时也进行一次加热处理。

[0104] 作为灯光源使用卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯。以上述灯光源为光源的强光的加热处理法被称为快速热退火(Rapid Thermal Anneal;以下称为 RTA),是在几十秒至几微秒之间瞬间进行加热的热处理技术。

[0105] 通过使用灯光源,与使用炉或热板相比能够在更短时间内进行加热处理。在使用灯光源时,氧化物半导体层的温度和包含氧化硅的绝缘膜 452 的温度都设定为在 300°C 至 600°C 这样的温度范围内。

[0106] 此外,由于是短时间的加热,所以难以产生氧化物半导体层的晶化,可以保持氧化物半导体层的非晶结构。另外,由于在由包含氧化硅的绝缘膜 452 覆盖氧化物半导体层的状态下进行加热,所以难以产生氧化物半导体层的晶化。

[0107] 此外,与氧化物半导体层上接触地设置上述满足氢密度或氮密度的包含氧化硅的

绝缘膜 452, 在从刚形成氧化物半导体层之后直到与氧化物半导体层上接触地形成包含氧化硅的绝缘膜 452 之前的期间一次也不进行 300℃ 以上的加热处理, 因此在形成包含氧化硅的绝缘膜 452 之后进行 300℃ 至 600℃ 的加热处理也可抑制 TFT 特性的不均匀。

[0108] 本实施方式可以与实施方式 1 自由地组合。

[0109] 实施方式 3

[0110] 在本实施方式中, 参照图 8A 至图 14 说明薄膜晶体管及其制造工序。

[0111] 在图 8A 中, 作为具有透光性的衬底 100, 可以使用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底。

[0112] 接着, 在衬底 100 的整个表面上形成导电层, 然后进行第一光刻工序, 形成抗蚀剂掩模, 通过蚀刻去除不需要的部分来形成布线及电极 (包括栅电极 101 的栅极布线、电容布线 108 及第一端子 121)。此时, 进行蚀刻以至少在栅电极 101 的端部形成锥形形状。图 8A 示出这个阶段的截面图。另外, 这个阶段的俯视图相当于图 10。

[0113] 包括栅电极 101 的栅极布线、电容布线 108 和端子部的第一端子 121 通过使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、铝 (Al)、铜 (Cu) 中的元素; 或以上述元素为成分的合金; 或组合上述元素的合金膜; 或者以上述元素为成分的氮化物膜而形成。

[0114] 接着, 在栅电极 101 的整个表面上形成栅极绝缘层 102。通过溅射法等, 形成 50nm 至 250nm 厚的栅极绝缘层 102。

[0115] 例如, 通过 PCVD 法或溅射法并使用氧化硅膜来形成 100nm 厚的栅极绝缘层 102。当然, 栅极绝缘层 102 不局限于这种氧化硅膜, 也可以使用氧氮化硅膜、氮化硅膜、氧化铝膜、氧化钽膜等的其他绝缘膜来形成由这些材料构成的单层或叠层结构作为栅极绝缘层 102。但是, 在栅极绝缘层 102 为单层时, 优选使用氧化硅膜或氧氮化硅膜, 以便与后面形成的氧化物半导体层接触。此外, 在栅极绝缘层 102 为叠层时, 与后面形成的氧化物半导体层接触的层优选使用氧化硅膜或氧氮化硅膜。

[0116] 接着, 通过溅射法或真空蒸镀法在栅极绝缘层 102 上形成由金属材料构成的导电膜。作为导电膜的材料, 可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素; 或以上述元素为成分的合金; 或组合上述元素的合金膜等。在此, 作为导电膜, 层叠铝 (Al) 膜和在该铝膜上重叠的钛 (Ti) 膜。此外, 导电膜也可以采用双层结构, 也可以在钨膜上层叠钛膜。另外, 导电膜也可以采用包含硅的铝膜的单层结构、或钨膜的单层结构。

[0117] 接着, 通过溅射法在导电膜上形成第一氧化物半导体膜 (在本实施方式中为第一 In-Ga-Zn-O 类非单晶膜)。在此, 使用摩尔比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材并在如下成膜条件下进行溅射成膜: 压力为 0.4Pa; 电力为 500W; 成膜温度为室温; 所引入的氩气体流量为 40sccm。尽管有意使用摩尔比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材, 但有时在刚成膜后形成有包含尺寸为 1nm 至 10nm 的晶粒的 In-Ga-Zn-O 类非单晶膜。此外, 可以认为通过适当地调节靶材的成分比、成膜压力 (0.1Pa 至 2.0Pa)、电力 (250W 至 3000W; 8 英寸)、温度 (室温至 100℃)、反应性溅射的成膜条件等, 可以调节是否有晶粒、或晶粒的密度、或直径尺寸为 1nm 至 10nm 的范围内。第一 In-Ga-Zn-O 类非单晶膜的厚度为 5nm 至 20nm。当然, 当在膜中包含晶粒时, 所包含的晶粒的尺寸不超过膜厚度。在本实施方式中, 第一 In-Ga-Zn-O 类非单晶膜的厚度为 5nm。

[0118] 接着,进行第二光刻工序形成抗蚀剂掩模,而对第一 In-Ga-Zn-O 类非单晶膜进行蚀刻。在此,通过使用 ITO-07N(日本关东化学株式会社制造)的湿蚀刻,去除不需要的部分形成第一 In-Ga-Zn-O 类非单晶膜 111a、111b。另外,在此的蚀刻不局限于湿蚀刻,也可以利用干蚀刻。

[0119] 接着,使用与用于第一 In-Ga-Zn-O 类非单晶膜的蚀刻相同的抗蚀剂掩模,通过蚀刻去除不需要的部分来形成源电极层 105a 及漏电极层 105b。作为此时的蚀刻方法,利用湿蚀刻或干蚀刻。在此,通过利用将 SiCl_4 、 Cl_2 、 BCl_3 的混合气体用作反应气体的干蚀刻,对层叠 Al 膜、Ti 膜的导电膜进行蚀刻而形成源电极层 105a 及漏电极层 105b。图 8B 示出这个阶段的截面图。另外,这个阶段的俯视图相当于图 11。

[0120] 此外,在该第二光刻工序中,将与源电极层 105a 及漏电极层 105b 相同的材料的第二端子 122 残留在端子部。另外,第二端子 122 与源极布线(包括源电极层 105a 的源极布线)电连接。另外,在端子部存在于第二端子 122 的上方且与第二端子 122 重叠的第一 In-Ga-Zn-O 类非单晶膜 123 残留。

[0121] 此外,将与源电极层 105a 及漏电极层 105b 相同的材料的电容电极层 124 残留在电容部。另外,在电容部存在于电容电极层 124 的上方且与电容电极层 124 重叠的第一 In-Ga-Zn-O 类非单晶膜 111c 残留。

[0122] 接着,在去除抗蚀剂掩模之后,不暴露于大气地形成第二氧化物半导体膜(在本实施方式中为第二 In-Ga-Zn-O 类非单晶膜)。在进行等离子体处理之后,以不暴露于大气的方式形成第二 In-Ga-Zn-O 类非单晶膜来防止尘屑等附着在栅极绝缘层和半导体膜的界面,因此是有用的。在此,使用直径为 8 英寸的包含 In、Ga 及 Zn 的氧化物半导体靶材($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$),衬底和靶材之间的距离为 170mm,压力为 0.4Pa,直流(DC)电源为 0.5kW,在氩或氧气氛下形成第二 In-Ga-Zn-O 类非单晶膜。此外,通过使用脉冲直流(DC)电源,可以减少尘屑(在成膜时形成的粉状或片状的物质),膜厚度分布也成为均匀,因此是优选的。第二 In-Ga-Zn-O 类非单晶膜的厚度为 5nm 至 200nm。在本实施方式中,第二 In-Ga-Zn-O 类非单晶膜的厚度为 100nm。

[0123] 通过使第二 In-Ga-Zn-O 类非单晶膜的成膜条件与第一 In-Ga-Zn-O 类非单晶膜的成膜条件不同,第二 In-Ga-Zn-O 类非单晶膜的电阻高于第一 In-Ga-Zn-O 类非单晶膜的电阻。例如,采用如下条件:第一 In-Ga-Zn-O 类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率高于第二 In-Ga-Zn-O 类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率。具体而言,第一 In-Ga-Zn-O 类非单晶膜的成膜条件是在稀有气体(氩或氦等)气氛下(或将氧气体设定为 10%以下,将氩气体设定为 90%以上),第二 In-Ga-Zn-O 类非单晶膜的成膜条件是在氧混合气氛下(氧气体流量多于稀有气体流量)。

[0124] 接着,进行第三光刻工序形成抗蚀剂掩模,并且通过蚀刻去除不需要的部分来形成半导体层 103。在此通过使用 ITO-07N(日本关东化学株式会社制造)的湿蚀刻去除第二 In-Ga-Zn-O 类非单晶膜来形成半导体层 103。另外,由于对第一 In-Ga-Zn-O 类非单晶膜和第二 In-Ga-Zn-O 类非单晶膜使用相同的蚀刻剂进行蚀刻,因此通过在此的蚀刻去除第一 In-Ga-Zn-O 类非单晶膜。由此,虽然覆盖有第二 In-Ga-Zn-O 类非单晶膜的第一 In-Ga-Zn-O 类非单晶膜的一部分受到保护,但是如图 9A 所示,露出的第一 In-Ga-Zn-O 类非单晶膜 111a、111b 受到蚀刻而形成源区 104a、漏区 104b。另外,半导体层 103 的蚀刻不局

限于湿蚀刻,也可以利用干蚀刻。通过上述工序可以制造将半导体层 103 用作沟道形成区的薄膜晶体管 170。图 9A 示出这个阶段的截面图。另外,这个阶段的俯视图相当于图 12。

[0125] 接着,去除抗蚀剂掩模,形成覆盖半导体层的保护绝缘膜 107。此外,与半导体层接触的保护绝缘膜 107 中含有的氢密度为 $5 \times 10^{20}/\text{cm}^3$ 以上。或者,与半导体层接触的保护绝缘膜 107 中含有的氮密度为 $1 \times 10^{19}/\text{cm}^3$ 以上。保护绝缘膜 107 若满足上述氢密度或上述氮密度,则不局限于形成方法,例如利用等离子体 CVD 法或溅射法形成。保护绝缘膜 107 使用氧化硅膜、氮化硅膜。此外,形成保护绝缘膜 107 时的衬底温度为 300°C 以下。

[0126] 接着,在形成保护绝缘膜 107 之后优选进行 300°C 至 600°C 的,典型为 300°C 至 500°C 的热处理。在此放置在炉中,在氮气氛下或大气气氛下以 350°C 进行 1 个小时的热处理。通过该热处理,进行 In-Ga-Zn-O 类非单晶膜的原子级的重新排列。由于通过该热处理释放阻挡载流子的迁移的应变,因此在此进行的热处理(包括光退火)很重要。

[0127] 接着,进行第四光刻工序形成抗蚀剂掩模,并且通过保护绝缘膜 107 的蚀刻形成到达漏电极层 105b 的接触孔 125。此外,通过在此的蚀刻还形成到达第二端子 122 的接触孔 127。此外,通过在此的蚀刻,还形成到达电容电极层 124 的接触孔 109。另外,为了减少掩模数,优选使用同一抗蚀剂掩模对栅极绝缘层进行蚀刻并且使用同一抗蚀剂掩模形成到达栅电极的接触孔 126。图 9B 示出这个阶段的截面图。

[0128] 接着,在去除抗蚀剂掩模之后,形成透明导电膜。作为透明导电膜的材料,利用溅射法或真空蒸镀法等由氧化铟(In_2O_3)、或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$ 、缩写为 ITO) 等形成透明导电膜。使用盐酸类的溶液进行对这些材料的蚀刻处理。然而,由于对 ITO 的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0129] 接着,进行第五光刻工序形成抗蚀剂掩模,并且通过蚀刻去除不需要的部分来形成像素电极 110。

[0130] 此外,在该第五光刻工序中,以在电容部中的栅极绝缘层 102 为电介质,并由电容电极层 124 和电容布线 108 形成存储电容。像素电极 110 通过接触孔 109 与电容电极层 124 电连接。

[0131] 此外,在该第五光刻工序中,使用抗蚀剂掩模覆盖第一端子及第二端子并使形成在端子部的透明导电膜 128、129 残留。透明导电膜 128、129 成为用来与 FPC 连接的电极或布线。形成在第二端子 122 上的透明导电膜 129 是用作源极布线的输入端子的连接用端子电极。

[0132] 接着,去除抗蚀剂掩模。图 9C 示出这个阶段的截面图。另外,这个阶段的俯视图相当于图 13。

[0133] 此外,图 14A1 和图 14A2 分别示出这个阶段的栅极布线端子部的截面图及俯视图。图 14A1 相当于沿着图 14A2 中的 C1-C2 线的截面图。在图 14A1 中,形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外,在图 14A1 中,在端子部使用与栅极布线相同的材料形成的第一端子 151 和使用与源极布线相同的材料形成的连接电极 153 隔着栅极绝缘层 152 重叠,利用透明导电膜 155 导通。此外,图 9C 所示的透明导电膜 128 和第一端子 121 接触的部分对应于图 14A1 的透明导电膜 155 和第一端子 151 接触的部分。

[0134] 另外,图 14B1 及图 14B2 分别示出与图 9C 所示的源极布线端子部不同的源极布线

端子部的截面图及俯视图。此外,图 14B1 相当于沿着图 14B2 中的 D1-D2 线的截面图。在图 14B 中,形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外,在图 14B1 中,在端子部使用与栅极布线相同的材料形成的电极 156 隔着栅极绝缘层 152 重叠在与源极布线电连接的第二端子 150 的下方。电极 156 不与第二端子 150 电连接,通过将电极 156 设定为与第二端子 150 不同的电位,例如浮动状态、GND、0V 等,可以形成作为对噪声的措施的电容或作为对静电的措施的电容。此外,第二端子 150 隔着保护绝缘膜 154 与透明导电膜 155 电连接。

[0135] 根据像素密度设置多个栅极布线、源极布线及电容布线。此外,在端子部排列地配置多个具有与栅极布线相同的电位的第一端子、多个具有与源极布线相同的电位的第二端子、多个具有与电容布线相同的电位的第三端子等。各端子的数量可以是任意的,而实施者适当地决定各端子的数量,即可。

[0136] 像这样,通过五次的光刻工序,使用五个光掩模来可以完成包括底栅型的 n 沟道型薄膜晶体管的薄膜晶体管 170 的像素部、存储电容。再者,通过对应于每一个像素将该像素部、存储电容配置为矩阵状来构成像素部,可以形成用来制造有源矩阵型显示装置的一个衬底。在本说明书中,为方便起见将这种衬底称为有源矩阵衬底。

[0137] 当制造有源矩阵型液晶显示装置时,在有源矩阵衬底和设有对置电极的对置衬底之间设置液晶层,固定有源矩阵衬底和对置衬底。另外,在有源矩阵衬底上设置与设置在对置衬底上的对置电极电连接的共同电极,在端子部设置与共同电极电连接的第四端子。该第四端子是用来将共同电极设定为固定电位例如 GND、0V 等的端子。

[0138] 此外,本发明不局限于图 13 的像素结构。图 15 示出与图 13 不同的俯视图的例子。图 15 示出例子,其中不设置电容布线,而是将栅极绝缘层用作电介质,由第一像素的栅极布线和隔着栅极绝缘层重叠的第一像素相邻的第二像素的电容电极层,来形成存储电容。此时,可以省略电容布线及与电容布线连接的第三端子。另外,第二像素的电容电极层与第二像素的像素电极电连接。此外,在图 15 中,使用相同的附图标记说明与图 13 相同的部分。

[0139] 在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,在屏幕上形成显示图案。详细地说,通过在所选择的像素电极和对应于该像素电极的对置电极之间施加电压,进行配置在像素电极和对置电极之间的液晶层的光学调制,该光学调制以显示图案的方式观察者确认。

[0140] 当液晶显示装置显示动态图像时,由于液晶分子本身的响应慢,所以有产生余像或动态图像模糊的问题。有一种被称作黑插入的驱动技术,其中为了改善液晶显示装置的动态图像特性,在每隔一帧进行整个面的黑显示。

[0141] 此外,还有一种被称为倍速驱动的驱动技术,该倍速驱动是指通过将垂直同步频率设定为通常的 1.5 倍以上,优选设定为通常的 2 倍以上来改善动态图像特性。

[0142] 另外,还有如下驱动技术:为了改善液晶显示装置的动态图像特性,作为背光灯使用多个 LED(发光二极管)光源或多个 EL 光源等构成面光源,并使构成面光源的各光源独立地在一个帧期间内进行间歇点亮驱动。作为面光源,可以使用三种以上的 LED,也可以使用白色发光的 LED。由于可以独立地控制多个 LED,因此也可以按照液晶层的光学调制的切换时序使 LED 的发光时序同步。因为在这种驱动技术中可以局部地熄灭 LED,所以特别在进

行一个屏幕中的黑色显示区所占的比率高的图像显示的情况下,可以得到耗电量的减少效果。

[0143] 通过组合这些驱动技术,可以与现有的液晶显示装置相比进一步改善液晶显示装置的动态图像特性等的显示特性。

[0144] 由于本实施方式所得到的 n 沟道型晶体管将 In-Ga-Zn-O 类非单晶膜的半导体层用于沟道形成区并具有良好的动态特性,所以可以组合这些驱动技术。

[0145] 此外,在制造发光显示装置的情况下,因为将有机发光元件的一个电极(也称为阴极)设定为低电源电位,例如 GND、0V 等,所以在端子部设置用来将阴极设定为低电源电位,例如 GND、0V 等的第四端子。此外,在制造发光显示装置的情况下,除了源极布线及栅极布线之外还设置电源供给线。由此,在端子部设置与电源供给线电连接的第五端子。

[0146] 在本实施方式中采用有栅电极层、栅极绝缘层、源电极层及漏电极层、源区或漏区(包含 In、Ga 及 Zn 的氧化物半导体层)、半导体层(包含 In、Ga 及 Zn 的氧化物半导体层)的叠层结构的薄膜晶体管,在形成保护绝缘膜之后进行热处理来可以减少电特性的不均匀。

[0147] 根据本实施方式可以得到导通截止比高的薄膜晶体管,而可以制造具有良好的动态特性的薄膜晶体管。因此,可以提供具有电特性高且可靠性高的薄膜晶体管的半导体装置。

[0148] 实施方式 4

[0149] 在本实施方式中示出发光显示装置的一例作为半导体装置。在此,示出利用电致发光的发光元件作为显示装置所具有的显示元件。对利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别,前者被称为有机 EL 元件,而后者被称为无机 EL 元件。

[0150] 在有机 EL 元件中,通过对发光元件施加电压,电子和空穴从一对电极分别注入到包含发光有机化合物的层,以产生电流。然后,由于这些载流子(电子和空穴)重新结合,发光有机化合物处于激发态,并且当该激发态恢复到基态时,得到发光。根据这种机理,这种发光元件被称为电流激发型发光元件。

[0151] 根据其元件的结构,将无机 EL 元件分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括在粘合剂中分散有发光材料的粒子的发光层,并且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机 EL 元件具有由电介质层夹住发光层并还利用电极夹住该夹住发光层的电介质层的结构,并且其发光机理是利用金属离子的内层电子跃迁的定域型发光。另外,在此使用有机 EL 元件作为发光元件而进行说明。

[0152] 图 16 示出可以使用数字时间灰度驱动的像素结构的一例作为半导体装置的例子。

[0153] 对可以应用数字时间灰度驱动的像素的结构以及像素的工作进行说明。在此示出在一个像素中使用两个 n 沟道型晶体管的例子,该 n 沟道型晶体管中将氧化物半导体层(典型为 In-Ga-Zn-O 类非单晶膜)用于沟道形成区。

[0154] 像素 6400 包括开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容元件 6403。在开关晶体管 6401 中,栅极与扫描线 6406 连接,第一电极(源电极及漏电极中的一方)与信号线 6405 连接,第二电极(源电极及漏电极中的另一方)与驱动晶体管 6402 的

栅极连接。在驱动晶体管 6402 中,栅极通过电容元件 6403 与电源线 6407 连接,第一电极与电源线 6407 连接,第二电极与发光元件 6404 的第一电极(像素电极)连接。发光元件 6404 的第二电极相当于共同电极 6408。共同电极 6408 与形成在同一衬底上的共同电位线电连接,将该连接部分用作公共连接部。

[0155] 另外,将发光元件 6404 的第二电极(共同电极 6408)设定为低电源电位。另外,低电源电位是指以设定于电源线 6407 的高电源电位为基准并低电源电位低于高电源电位的电位,作为低电源电位例如可以设定为 GND、0V 等。将该高电源电位与低电源电位的电位差施加到发光元件 6404 上,为了使发光元件 6404 产生电流以使发光元件 6404 发光,以高电源电位与低电源电位的电位差为发光元件 6404 的正向阈值电压以上的方式分别设定其电位。

[0156] 此外,还可以使用驱动晶体管 6402 的栅极电容代替电容元件 6403 而省略电容元件 6403。至于驱动晶体管 6402 的栅极电容,可以在沟道区与栅电极之间形成电容。

[0157] 在此,在采用电压输入电压驱动方式的情况下,对驱动晶体管 6402 的栅极输入能够使驱动晶体管 6402 成为充分地导通或截止的两个状态的视频信号。即,驱动晶体管 6402 在线形区域进行工作。由于驱动晶体管 6402 在线形区域进行工作,将比电源线 6407 的电压高的电压施加到驱动晶体管 6402 的栅极上。另外,对信号线 6405 施加(电源线电压+驱动晶体管 6402 的 V_{th}) 以上的电压。

[0158] 另外,当进行模拟灰度驱动而代替数字时间灰度驱动时,通过使信号的输入不同,可以使用与图 16 相同的像素结构。

[0159] 当进行模拟灰度驱动时,对驱动晶体管 6402 的栅极施加(发光元件 6404 的正向电压+驱动晶体管 6402 的 V_{th}) 以上的电压。发光元件 6404 的正向电压是指设定为所希望的亮度时的电压,至少包含正向阈值电压。另外,通过输入使驱动晶体管 6402 在饱和区域工作的视频信号,可以在发光元件 6404 中产生电流。为了使驱动晶体管 6402 在饱和区域进行工作,使电源线 6407 的电位比驱动晶体管 6402 的栅极电位还要高。通过将视频信号设定为模拟方式,可以在发光元件 6404 中产生响应视频信号的电流,而进行模拟灰度驱动。

[0160] 另外,图 16 所示的像素结构不局限于此。例如,还可以对图 16 所示的像素新添加开关、电阻元件、电容元件、晶体管或逻辑电路等。

[0161] 下面,参照图 17A 至图 17C 说明发光元件的结构。在此,以驱动 TFT 是 n 型的情况为例子来说明像素的截面结构。可以与实施方式 3 所示的薄膜晶体管 170 同样地制造用于图 17A、图 17B 和图 17C 的半导体装置的驱动 TFT 的 TFT7001、7011、7021,这些 TFT 是作为半导体层包含氧化物的薄膜晶体管。

[0162] 为了取出发光,发光元件的阳极或阴极的至少一方是透明的即可。又,在衬底上形成薄膜晶体管及发光元件,并且有如下结构的发光元件,即从与衬底相反的面取出发光的顶部发射、或从衬底一侧的面取出发光的底部发射、或从衬底一侧及与衬底相反的面取出发光的双面发射。像素结构可以应用于任何发射结构的发光元件。

[0163] 参照图 17A 说明顶部发射结构的发光元件。

[0164] 在图 17A 中示出当驱动 TFT 的 TFT7001 为 n 型且从发光元件 7002 发射的光穿过阳极 7005 一侧时的像素的截面图。在 TFT7001 中,作为半导体层使用包含氧化硅的

In-Ga-Zn-O 类非单晶膜。通过包含氧化硅等的杂质,即使进行 300℃至 600℃的热处理,也可以防止该氧化物半导体的晶化或微晶粒的产生。在图 17A 中,发光元件 7002 的阴极 7003 和驱动 TFT 的 TFT7001 电连接,在阴极 7003 上按顺序层叠有发光层 7004、阳极 7005。至于阴极 7003,只要是功函数小且反射光的导电膜,就可以使用各种材料。例如,优选采用 Ca、Al、MgAg、AlLi 等。再者,发光层 7004 可以由单层或多层的叠层构成。在由多层构成时,在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。另外,不需要设置所有这些层。使用具有透光性的导电材料形成阳极 7005,也可以使用具有透光性的导电膜例如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、氧化铟氧化锡合金、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0165] 由阴极 7003 及阳极 7005 夹有发光层 7004 的区域相当于发光元件 7002。在图 17A 所示的像素中,从发光元件 7002 发射的光如箭头所示那样发射到阳极 7005 一侧。

[0166] 接着,参照图 17B 说明底部发射结构的发光元件。图 17B 示出在驱动 TFT7011 是 n 型,并且从发光元件 7012 发射的光发射到阴极 7013 一侧的情况下的像素的截面图。在 TFT7011 中,作为半导体层使用包含氧化硅的 Zn-O 类氧化物半导体。通过包含氧化硅等的杂质,即使进行 300℃至 600℃的热处理,也可以防止该氧化物半导体的晶化或微晶粒的产生。在图 17B 中,在与驱动 TFT7011 电连接的具有透光性的导电膜 7017 上形成有发光元件 7012 的阴极 7013,在阴极 7013 上按顺序层叠有发光层 7014、阳极 7015。另外,在阳极 7015 具有透光性的情况下,也可以覆盖阳极上地形成有用来反射光或遮光的屏蔽膜 7016。与图 17A 的情况同样地,至于阴极 7013,只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度(优选为 5nm 至 30nm 程度)。例如,可以将膜厚度为 20nm 的铝膜用作阴极 7013。又,与图 17A 同样地,发光层 7014 可以由单层或多个层的叠层构成。阳极 7015 不需要透过光,但是可以与图 17A 同样地使用具有透光性的导电材料形成。并且,虽然屏蔽膜 7016 例如可以使用反射光的金属等,但是不局限于金属膜。例如,也可以使用添加有黑色的颜料的树脂等。

[0167] 由阴极 7013 及阳极 7015 夹有发光层 7014 的区域相当于发光元件 7012。在图 17B 所示的像素中,从发光元件 7012 发射的光如箭头所示那样发射到阴极 7013 一侧。

[0168] 接着,参照图 17C 说明双面发射结构的发光元件。在图 17C 中,在与驱动 TFT7021 电连接的具有透光性的导电膜 7027 上形成有发光元件 7022 的阴极 7023,在阴极 7023 上按顺序层叠有发光层 7024、阳极 7025。在 TFT7021 中,作为半导体层使用 In-Ga-Zn-O 类非单晶膜。与图 17A 的情况同样地,至于阴极 7023,只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度。例如,可以将膜厚度为 20nm 的 Al 膜用作阴极 7023。再者,与图 17A 同样地,发光层 7024 可以由单层或多个层的叠层构成。阳极 7025 可以与图 17A 同样地使用透过光的具有透光性的导电材料形成。

[0169] 阴极 7023、发光层 7024 和阳极 7025 重叠的区域相当于发光元件 7022。在图 17C 所示的像素中,从发光元件 7022 发射的光如箭头所示那样发射到阳极 7025 一侧和阴极 7023 一侧的双方。

[0170] 另外,虽然在此描述了有机 EL 元件作为发光元件,但是也可以设置无机 EL 元件作为发光元件。

[0171] 另外,在本实施方式中示出了控制发光元件的驱动的薄膜晶体管(驱动 TFT)和发光元件电连接的例子,但是也可以采用在驱动 TFT 和发光元件之间连接有电流控制 TFT 的结构。

[0172] 此外,在本实施方式中,通过在形成保护绝缘膜之后进行热处理(300℃至600℃),在设置隔壁以防止相邻的发光元件的阳极的短路时,即使将使用聚酰亚胺等的隔壁的焙烧温度设定为300℃并进行加热处理,也可以抑制对薄膜晶体管的电特性的影响,并降低电特性的不均匀。

[0173] 通过上述步骤,可以制造减少电特性的不均匀的发光显示装置(显示面板)作为半导体装置。

[0174] 实施方式 5

[0175] 在本实施方式中,作为半导体装置示出一例电子纸。

[0176] 图 18A 示出有源矩阵型电子纸的截面图。可以与实施方式 3 所示的薄膜晶体管 170 同样地制造配置在用于半导体装置的显示部的薄膜晶体管 581,该薄膜晶体管 581 是包括将氧化物半导体膜用作半导体层的电特性高的薄膜晶体管。在本实施方式中,使用包括将 Sn-Zn-O 类氧化物半导体用作半导体层的电特性高的薄膜晶体管。

[0177] 图 18A 的电子纸是采用扭转球(twisting ball)显示方式的显示装置的例子。扭转球显示方式是指一种方法,其中将分开涂敷有白色和黑色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间,并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0178] 薄膜晶体管 581 是底栅结构的薄膜晶体管,并通过源电极层或漏电极层与第一电极层 587 在形成在绝缘层 583、584、585 的开口互相接触而电连接。在第一电极层 587 和第二电极层 588 之间存在有空腔 594。在空腔 594 内充满着具有黑色区 590a 及白色区 590b 的球形粒子和液体。此外,空腔 594 的周围被树脂等的填充材料 595 填充(参照图 18A)。

[0179] 在本实施方式中,第一电极层 587 相当于像素电极,第二电极层 588 相当于公共电极。第二电极层 588 与设置在与薄膜晶体管 581 同一衬底上的公共电位线电连接。在公共连接部可以通过配置在一对衬底 580、596 之间的导电粒子,使第二电极层 588 与公共电位线电连接。

[0180] 此外,还可以使用电泳元件来代替扭转球。使用直径为 10 μm 至 200 μm 程度的微囊,该微囊中封入有透明液体、带有正电的白色微粒以及带有负电的黑色微粒。当对于设置在第一电极层和第二电极层之间的微囊由第一电极层和第二电极层施加电场时,白色微粒和黑色微粒移动到相反方向,从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件,被称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因而不需要辅助灯。此外,其耗电量低,并且在昏暗的地方也能够辨别显示部。另外,即使不给显示部供应电源,也能够保持显示过一次的图像,因此,即使使具有显示功能的半导体装置(简单地称为显示装置,或称为具备显示装置的半导体装置)远离电波发射源,也能够保存显示过的图像。

[0181] 通过使用由实施方式 3 所示的工序来得到的电特性良好的薄膜晶体管 170,可以制造电子纸。电子纸可以用于用来显示信息的各种领域的电子设备。例如,可以将电子纸应用于电子书籍(电子书)、招贴、电车等的交通工具的车内广告、信用卡等的各种卡片中

的显示等。图 18B 示出电子设备的一例。

[0182] 图 18B 示出电子书籍 2700 的一例。例如,电子书籍 2700 由两个框体,即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 由轴部 2711 形成为一体,并且可以以该轴部 2711 为轴进行开闭动作。通过采用这种结构,可以进行如纸的书籍那样的动作。

[0183] 框体 2701 组装有显示部 2705,而框体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如在右边的显示部(图 18B 中的显示部 2705)中可以显示文章,而在左边的显示部(图 18B 中的显示部 2707)中可以显示图像。

[0184] 此外,在图 18B 中示出框体 2701 具备操作部等的例子。例如,在框体 2701 中,具备电源 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。另外,也可以采用在与框体的显示部同一面上具备键盘或指示装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书籍 2700 也可以具有电子词典的功能。

[0185] 此外,电子书籍 2700 也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

[0186] 本实施方式可与其他实施方式所记载的结构适当地组合而实施。

[0187] 实施方式 6

[0188] 包括使用氧化物半导体层的薄膜晶体管的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备,例如可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机、数码摄像机、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机等的大型游戏机等。

[0189] 图 19A 示出电视装置 9601 的一例。在电视装置 9601 中,框体组装有显示部 9603。利用显示部 9603 可以显示映像。此外,在此示出固定在墙 9600 上支撑框体的背面的结构。

[0190] 可以通过利用框体所具备的操作开关、或另外提供的遥控操作机 9610 进行电视装置 9601 的操作。通过利用遥控操作机 9610 所具备的操作键 9609,可以进行频道或音量的操作,并可以对在显示部 9603 上显示的映像进行操作。此外,也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0191] 另外,电视装置 9601 采用具备接收机及调制解调器等结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而也可进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0192] 图 19B 示出一种便携式游戏机,其由框体 9881 和框体 9891 这两个框体构成,并且通过连接部 9893 可以开闭地连接。框体 9881 安装有显示部 9882,并且框体 9891 安装有显示部 9883。另外,图 19B 所示的便携式游戏机还具备扬声器部 9884、记录介质插入部 9886、LED 灯 9890、输入单元(操作键 9885、连接端子 9887、传感器 9888(包括测定如下因素的功能:力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)以及麦克风 9889)等。当然,便携式游戏机的结构不局限于上述结构,只要采用至少具备半导体

装置的结构即可,并且可以采用适当地设置有其它附属设备的结构。图 19B 所示的便携式游戏机具有如下功能:读出存储在记录介质中的程序或数据并将其显示在显示部上;或与其他便携式游戏机进行无线通信而实现信息共享。另外,图 19B 所示的便携式游戏机所具有的功能不局限于此,而可以具有各种各样的功能。

[0193] 图 20A 示出移动电话机 1000 的一例。移动电话机 1000 除了安装在框体 1001 的显示部 1002 之外还具备操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

[0194] 图 20A 所示的移动电话机 1000 可以用手指等触摸显示部 1002 来输入信息。此外,可以用手指等触摸显示部 1002 来打电话或进行电子邮件的输入等的操作。

[0195] 显示部 1002 的画面主要有三个模式。第一是以图像的显示为主的显示模式,第二是以文字等的信息的输入为主的输入模式,第三是显示模式和输入模式这两个模式混合的显示+输入模式。

[0196] 例如,在打电话或制作电子邮件的情况下,将显示部 1002 设定为以文字输入为主的文字输入模式,并进行在画面上显示的文字的输入操作,即可。在此情况下,优选的是,在显示部 1002 的画面的大部分中显示键盘或号码按钮。

[0197] 此外,通过在移动电话机 1000 的内部设置具有陀螺仪和加速度传感器等检测倾斜度的传感器的检测装置,来判断移动电话机 1000 的方向(纵向还是横向),从而可对显示部 1002 的画面显示进行自动切换。

[0198] 通过触摸显示部 1002 或对框体 1001 的操作按钮 1003 进行操作,切换画面模式。还可以根据显示在显示部 1002 上的图像种类切换画面模式。例如,当显示在显示部上的图像信号为动态图像的数据时,将画面模式切换成显示模式,而当显示在显示部上的图像信号为文字数据时,将画面模式切换成输入模式。

[0199] 另外,当在输入模式中通过探测出显示部 1002 的光传感器所检测的信号并在一定期间中没有显示部 1002 的触摸操作输入时,也可以以将画面模式从输入模式切换成显示模式的方式来进行控制。

[0200] 还可以将显示部 1002 用作图像传感器。例如,通过用手掌或手指触摸显示部 1002,来拍摄掌纹、指纹等,而可以进行身份识别。此外,通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测光源,也可以拍摄手指静脉、手掌静脉等。

[0201] 图 20B 也是移动电话机的一例。图 20B 的移动电话机,在框体 9411 中具有包括显示部 9412 以及操作按钮 9413 的显示装置 9410,在框体 9401 中具有包括操作按钮 9402、外部输入端子 9403、麦克风 9404、扬声器 9405 以及来电话时发光的发光部 9406 的通信装置 9400,具有显示功能的显示装置 9410 与具有电话功能的通信装置 9400 可以沿着箭头所指的两个方向拆装。所以可以将显示装置 9410 和通信装置 9400 的短轴互相连接,或将显示装置 9410 和通信装置 9400 的长轴互相连接。另外,当仅需要显示功能时,可以将显示装置 9410 从通信装置 9400 分开而单独使用显示装置 9410。通信装置 9400 和显示装置 9410 可以通过无线通信或有线通信来进行图像或输入信息的接收,并分别具有可进行充电的电池。

[0202] 本实施方式可与其他实施方式所记载的结构适当地组合而实施。

[0203] 符号说明

[0204] 100 衬底;101 栅电极;102 栅极绝缘层;103 半导体层;104a 源区;104b 漏区;105a 源电极层;105b 漏电极层;107 保护绝缘膜;108 电容布线;109 接触孔;110 像素电极;

111a、111b、111cIn-Ga-Zn-O 类非单晶膜 ;121 端子 ;122 端子 ;123In-Ga-Zn-O 类非单晶膜 ;
124 电容电极层 ;125 接触孔 ;126 接触孔 ;127 接触孔 ;128 透明导电膜 ;150 端子 ;151 端子 ;
152 栅极绝缘层 ;153 连接电极 ;154 保护绝缘膜 ;155 透明导电膜 ;156 电极 ;170 薄膜晶体
管。

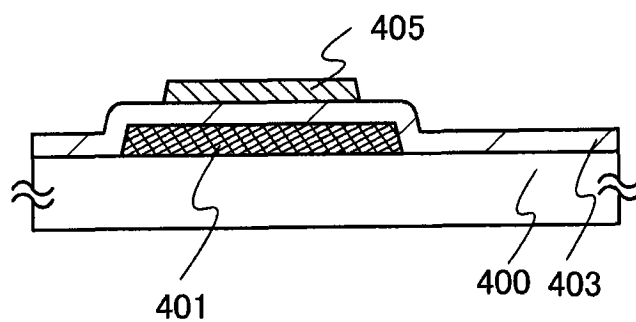


图 1A

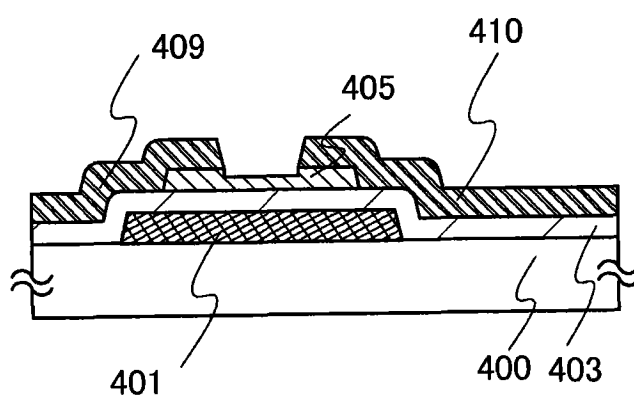


图 1B

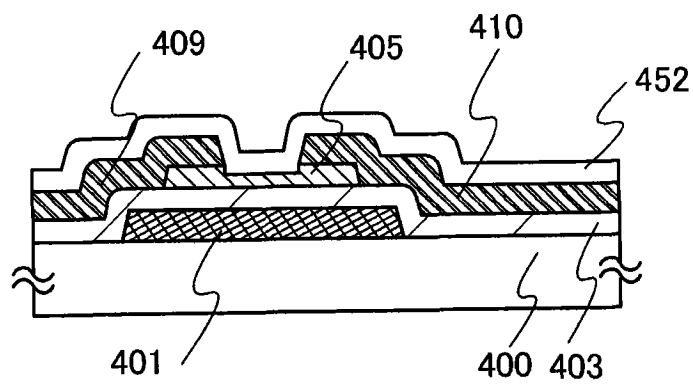


图 1C

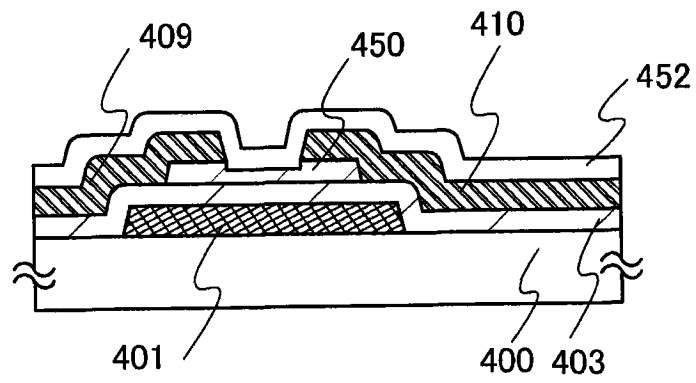


图 1D

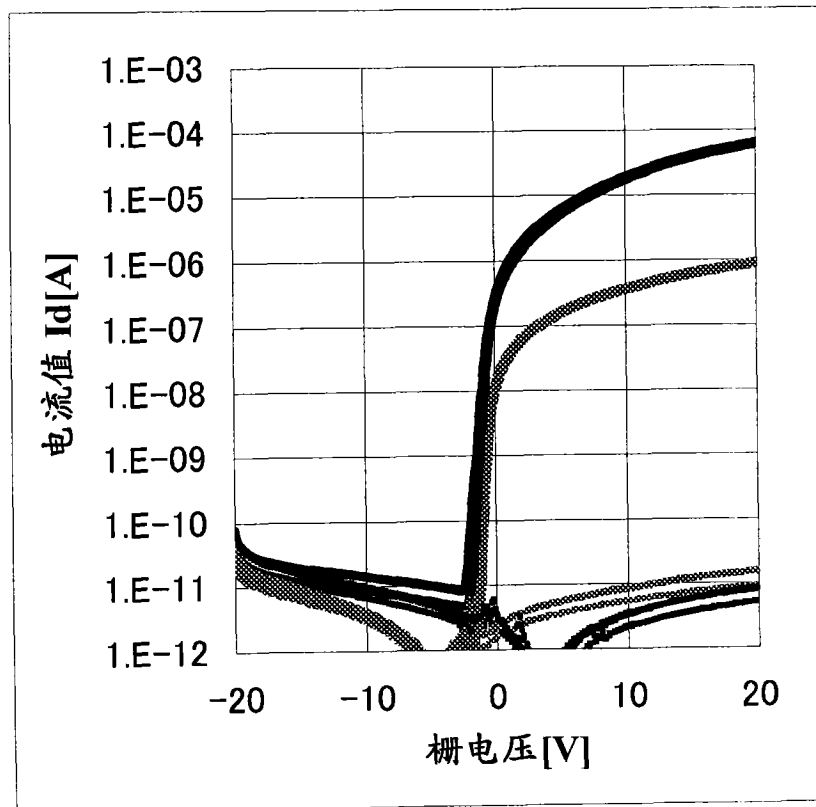


图 2

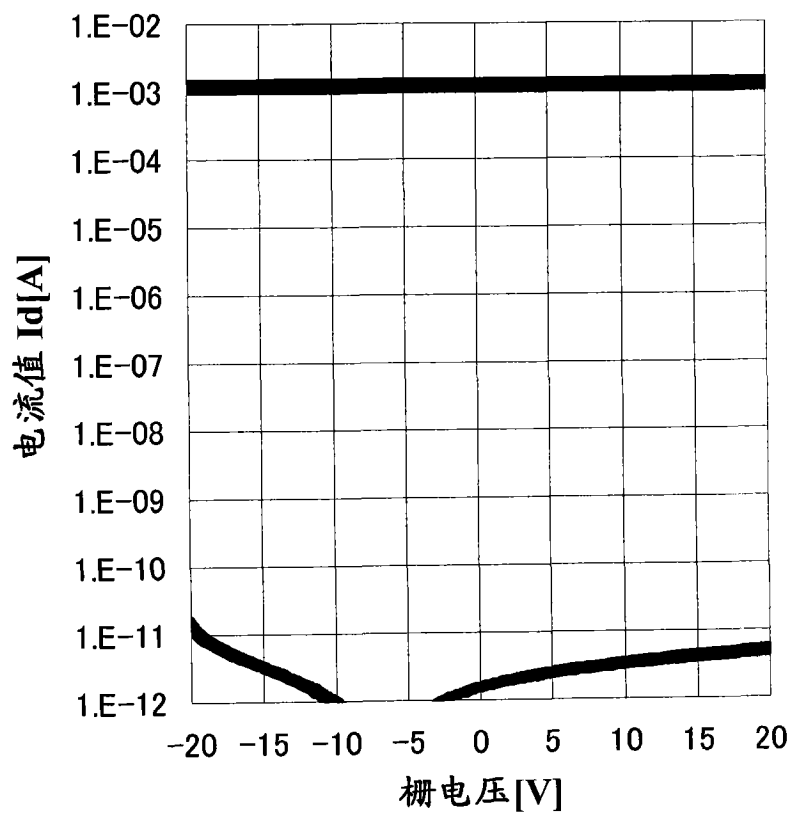


图 3

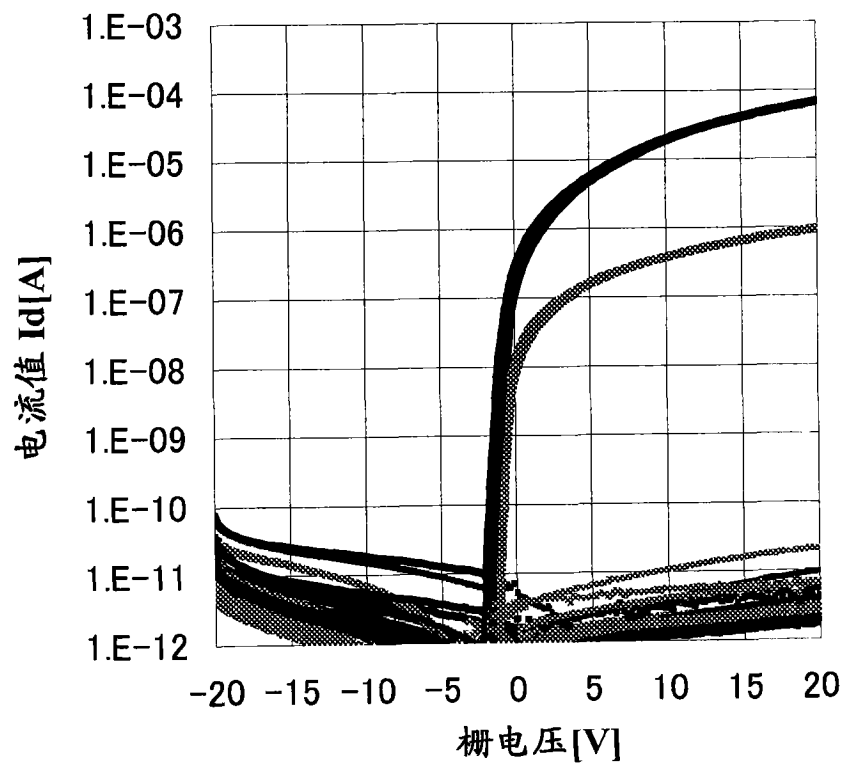


图 4

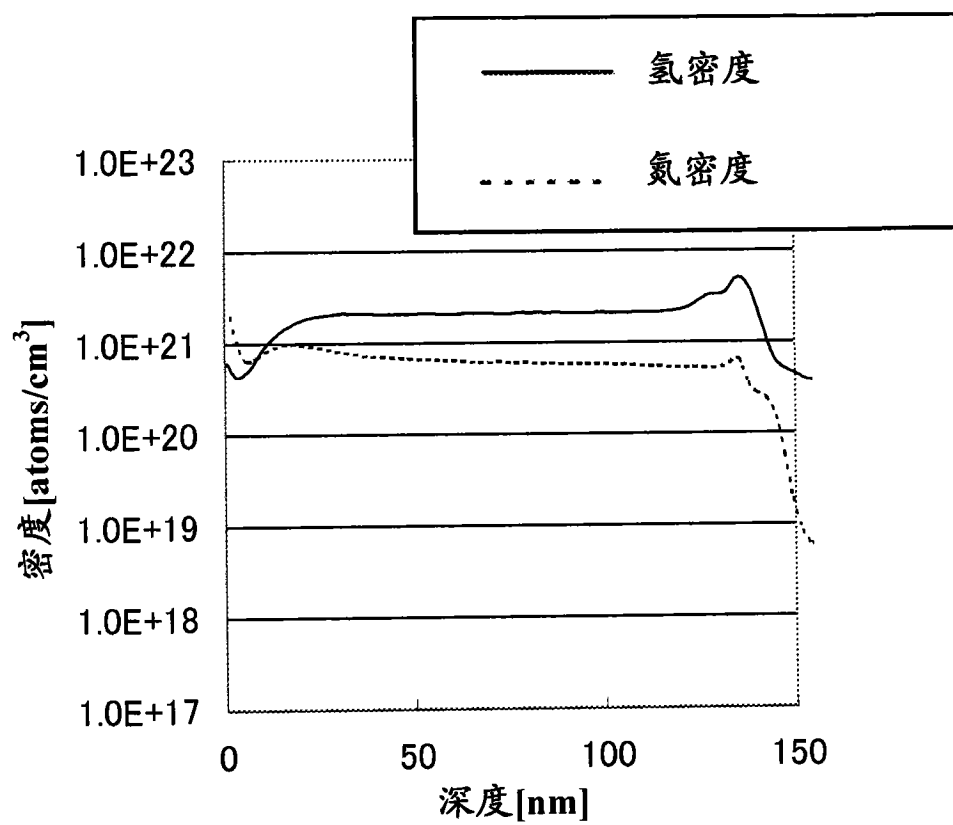


图 5

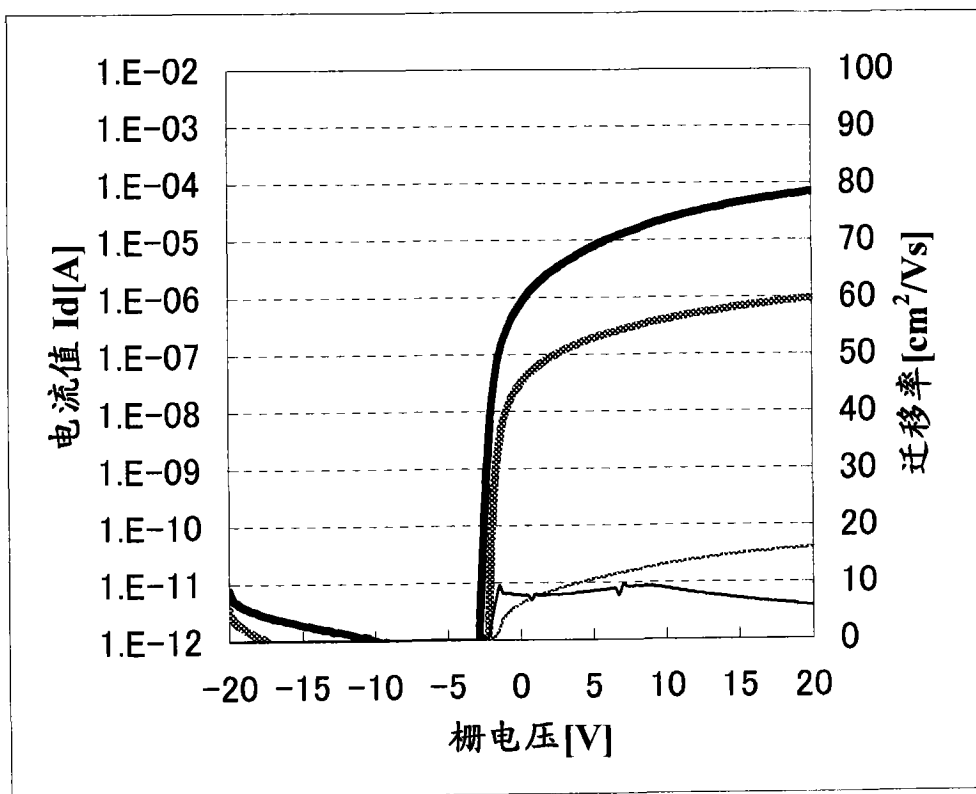


图 6A

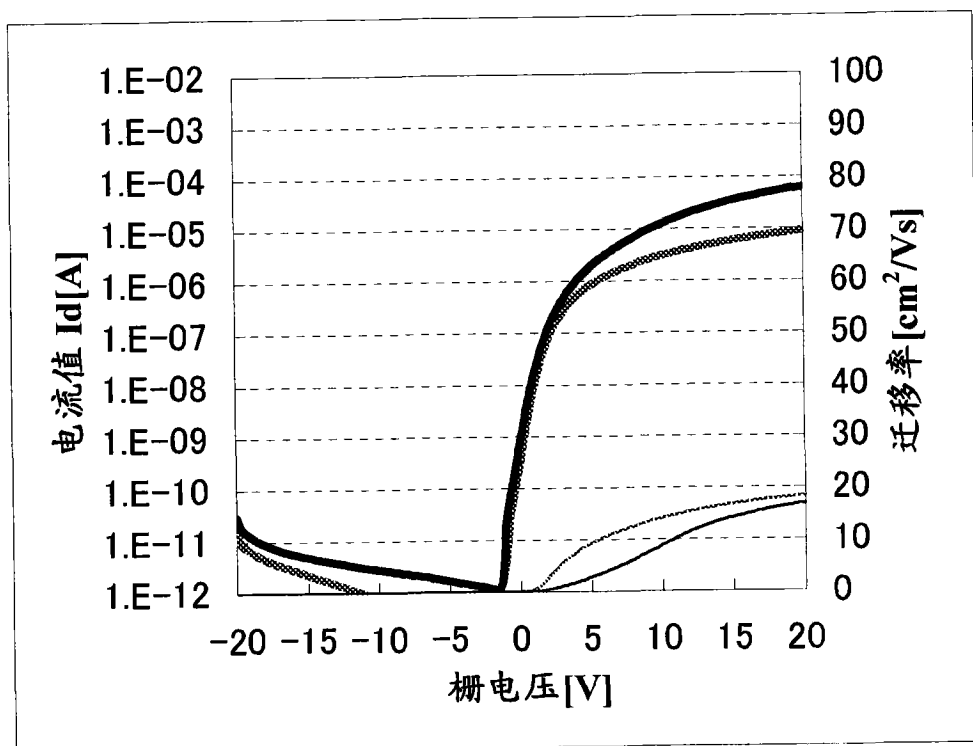


图 6B

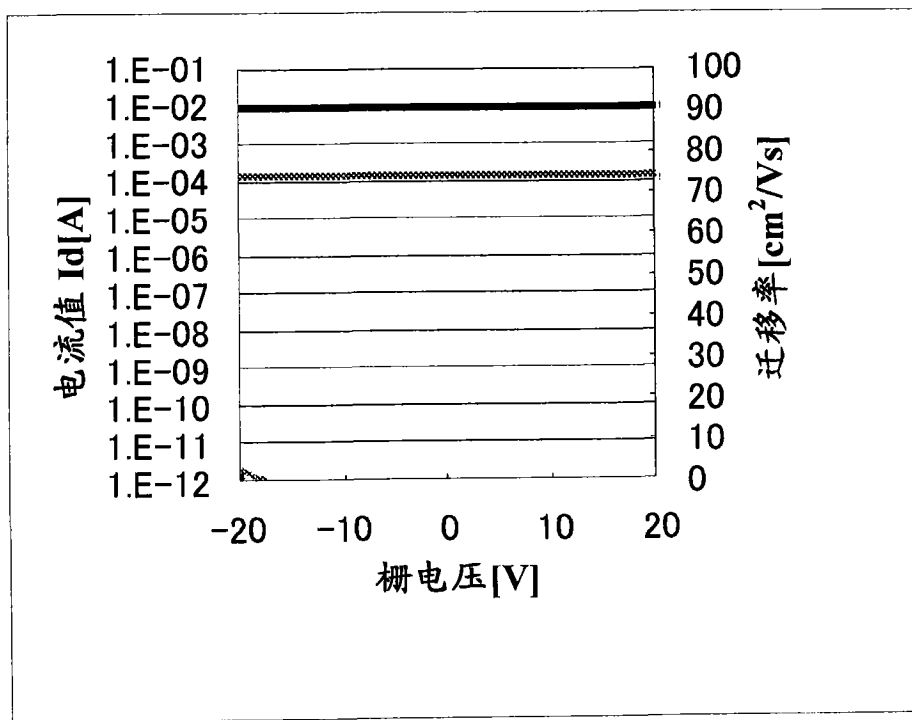


图 7

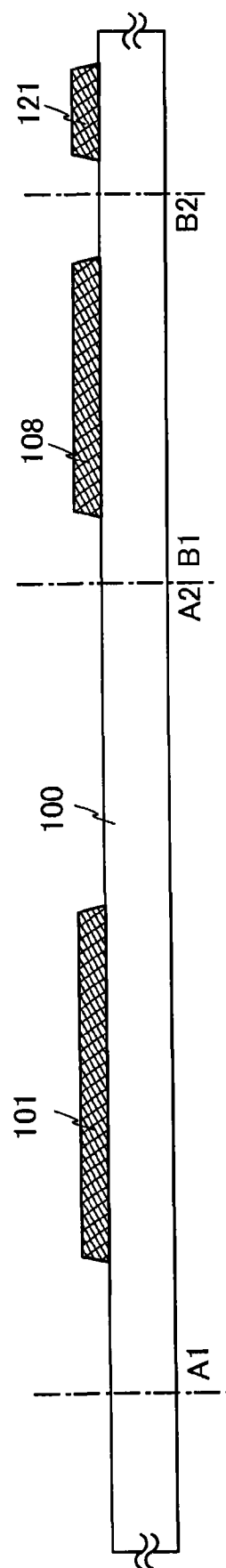


图 8A

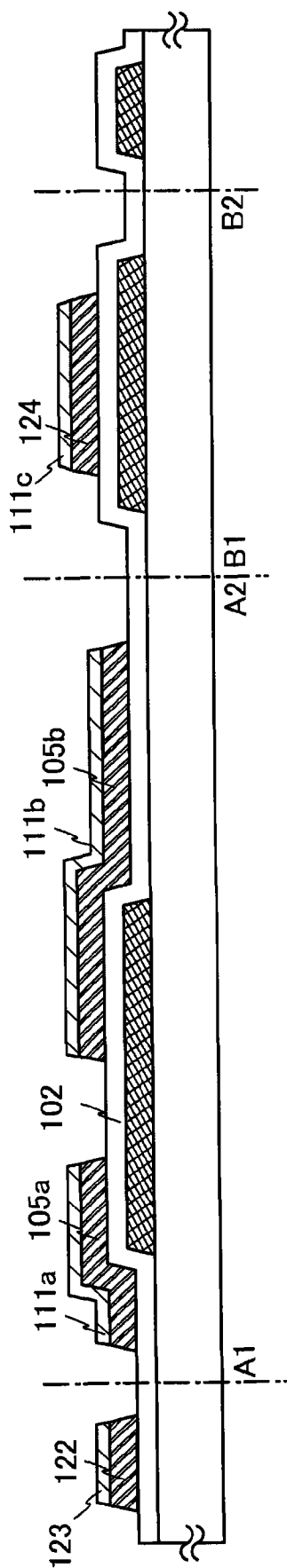


图 8B

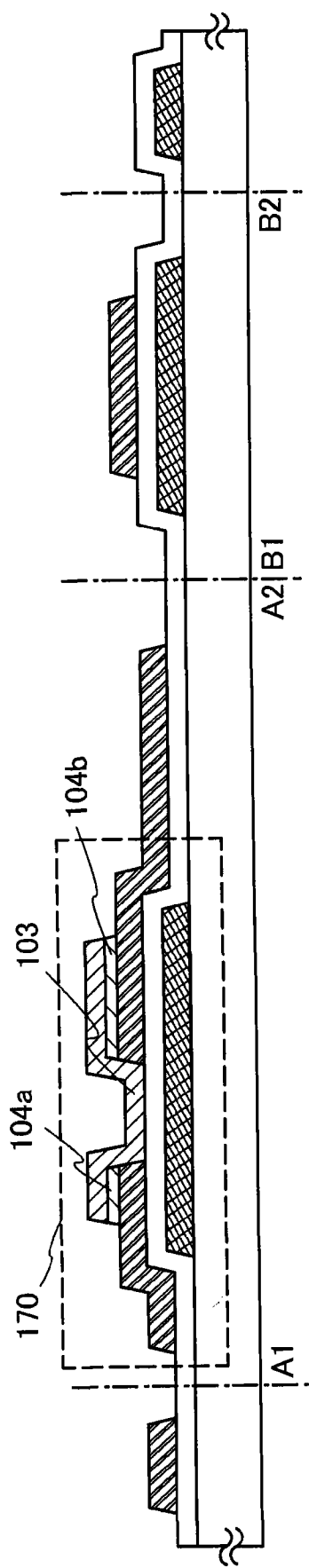


图 9A

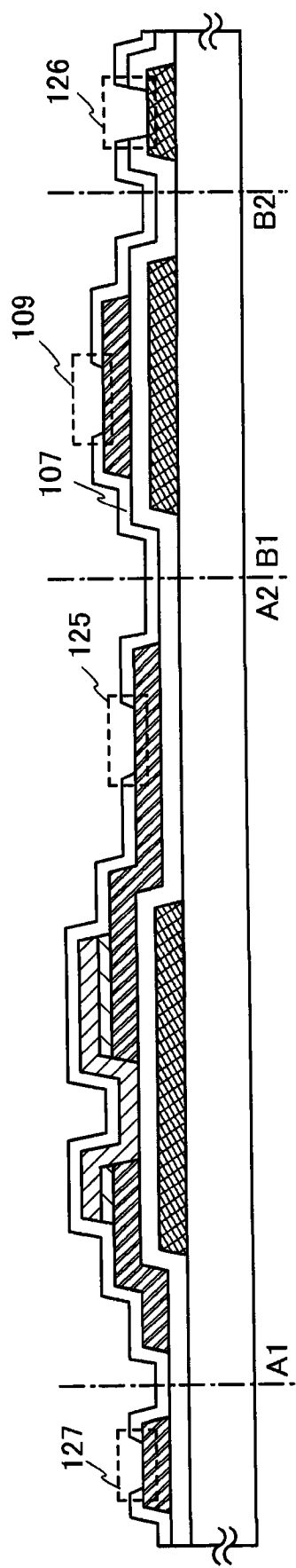


图 9B

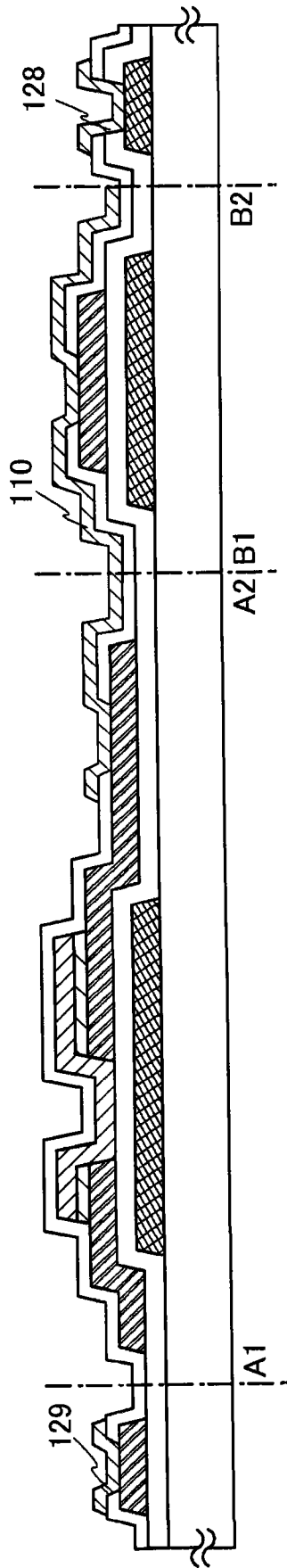


图 9C

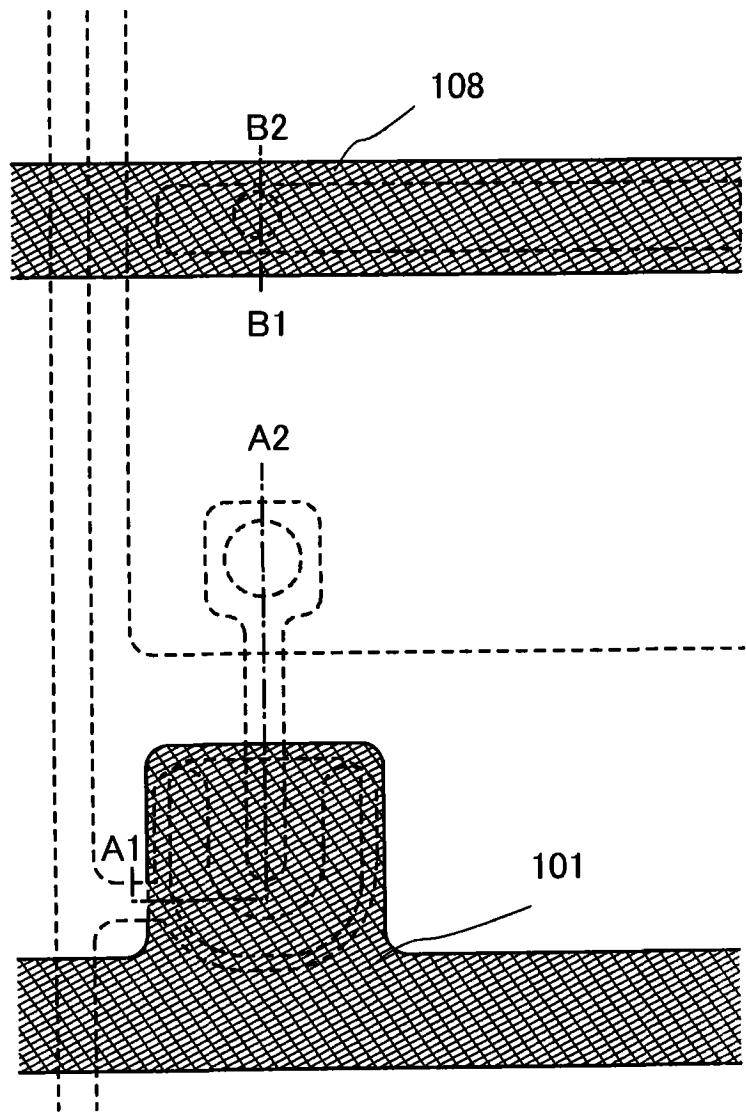


图 10

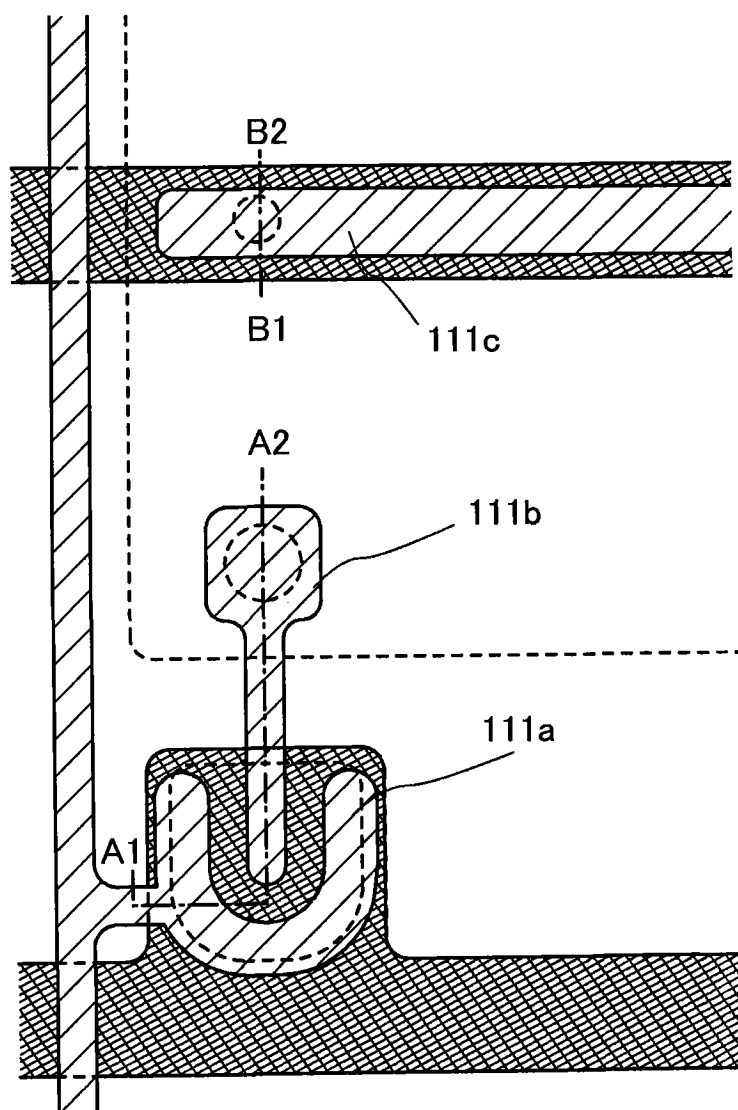


图 11

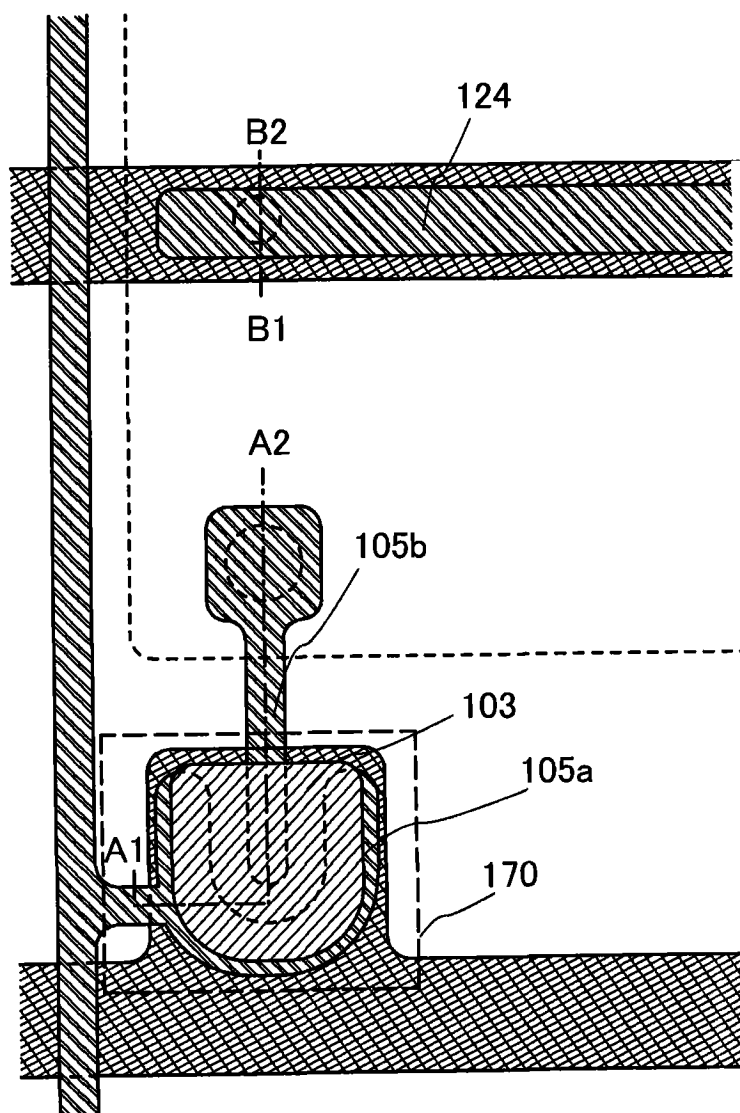


图 12

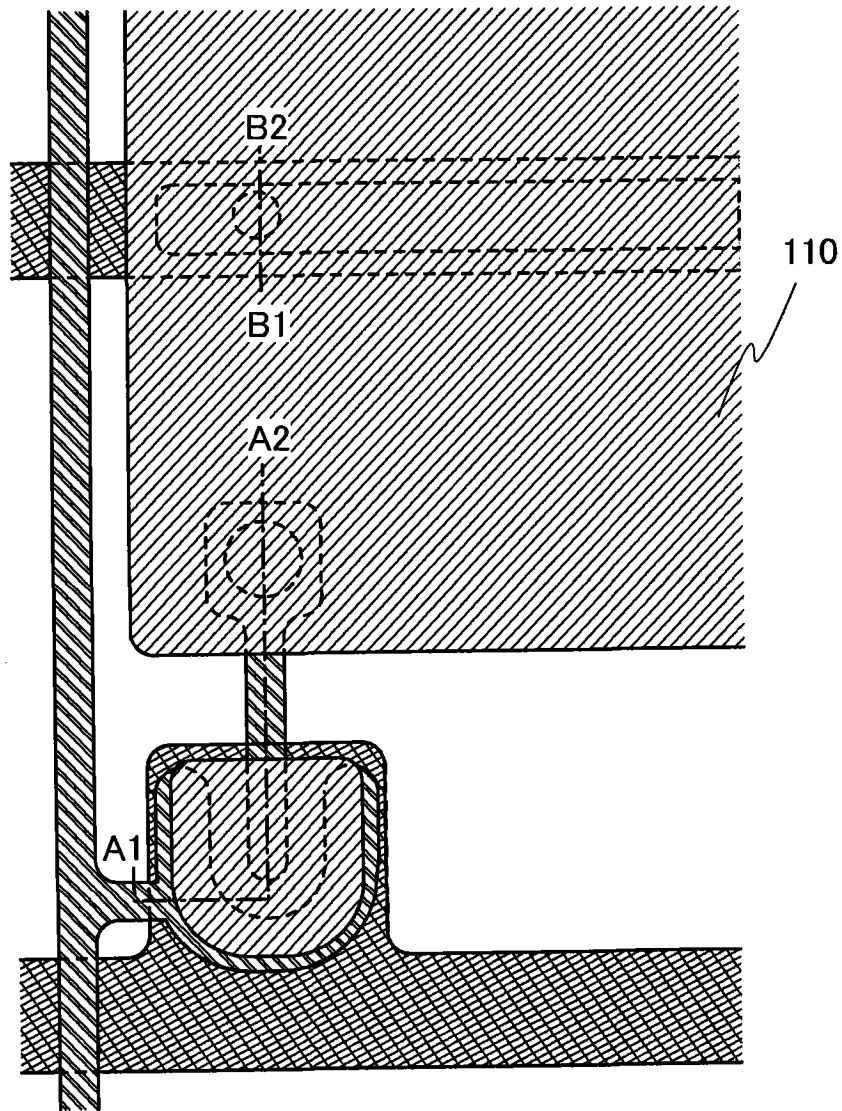


图 13

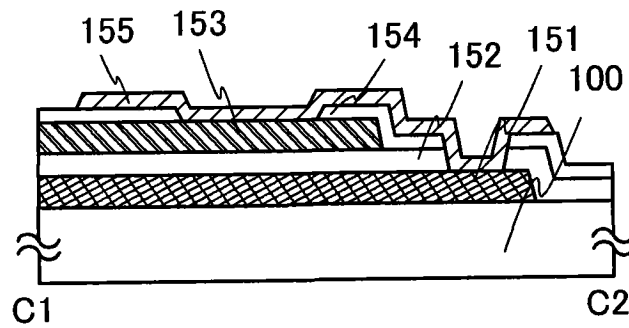


图 14A1

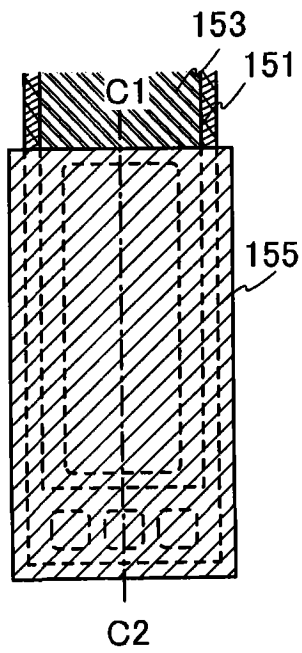


图 14A2

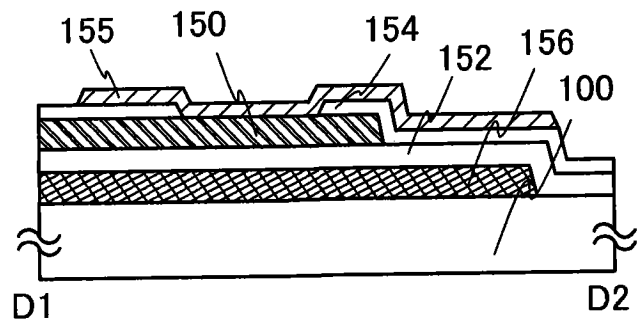


图 14B1

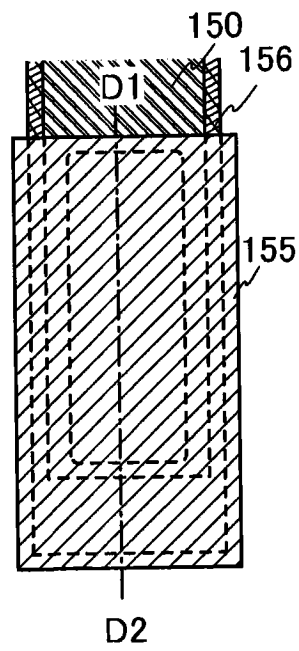


图 14B2

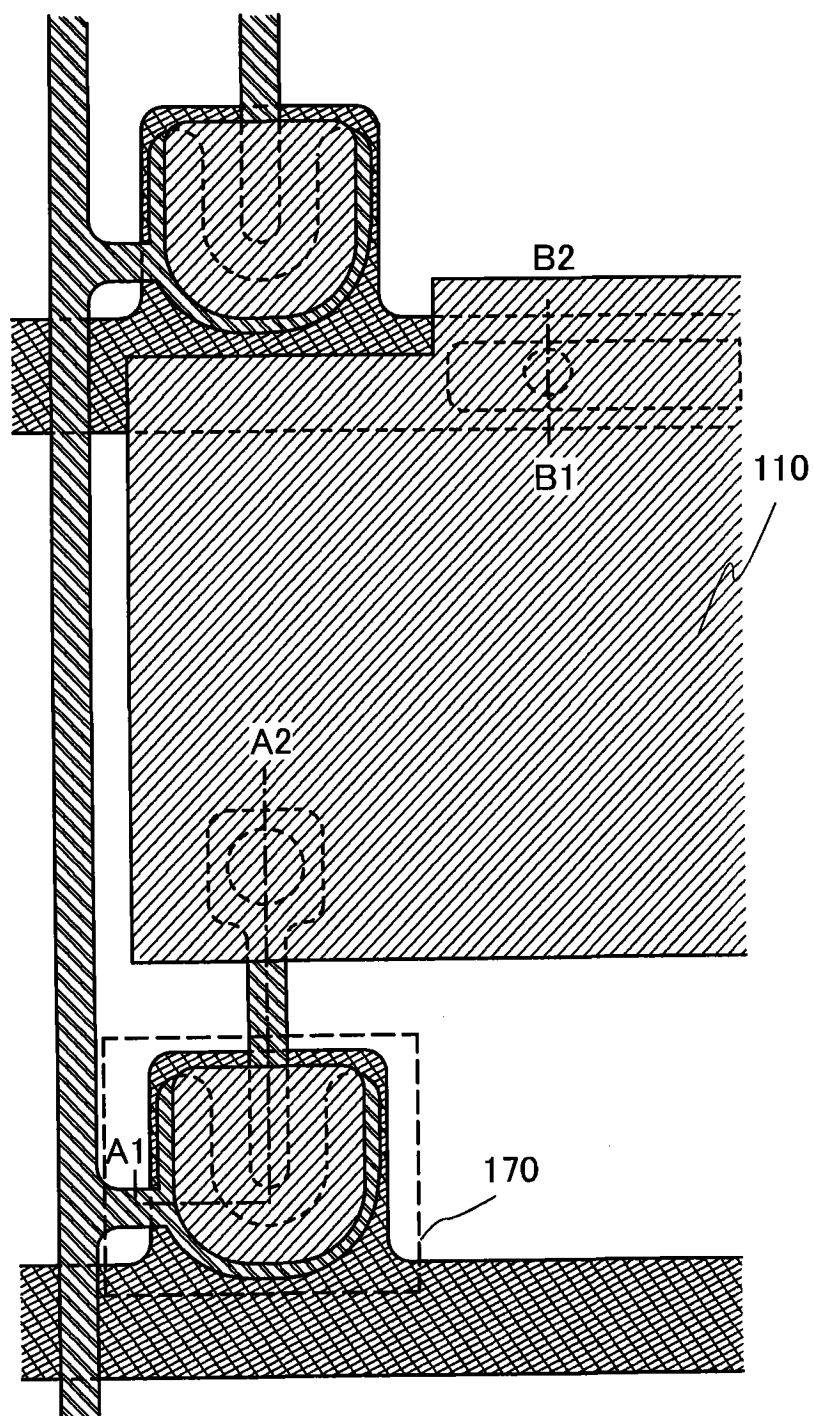


图 15

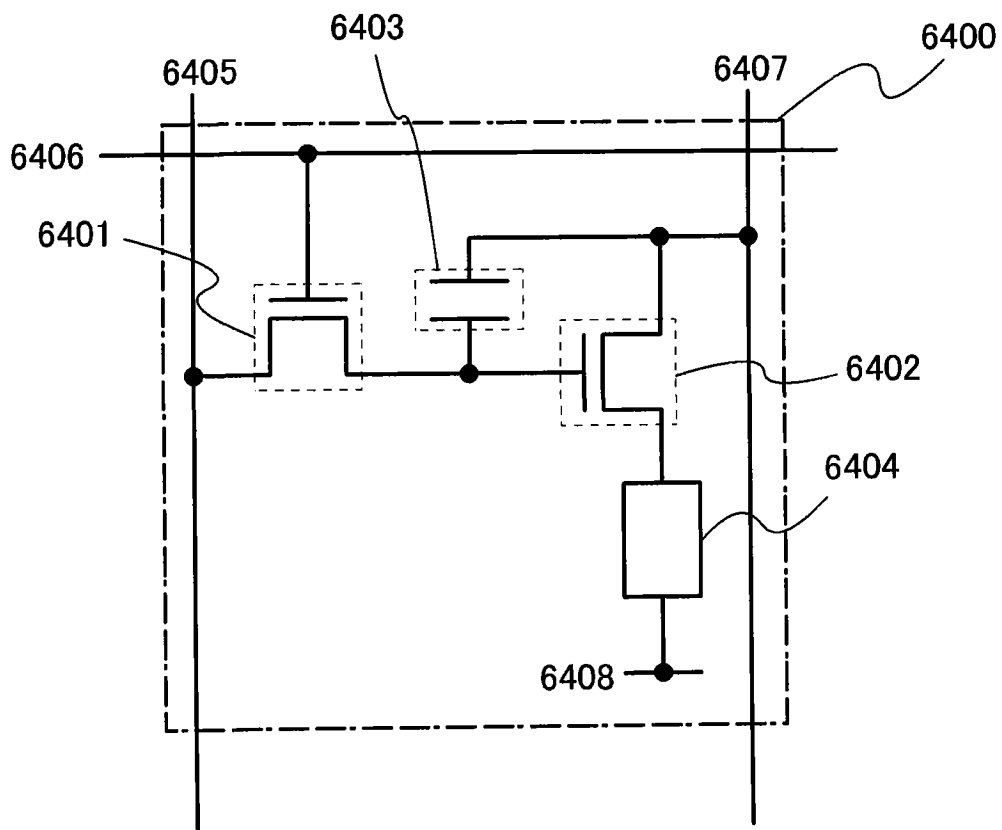


图 16

图 17A

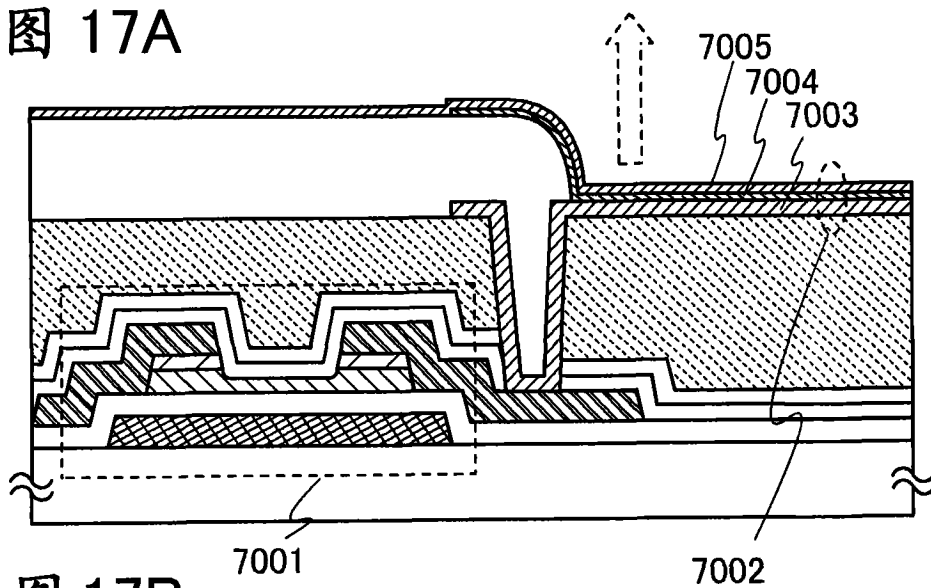


图 17B

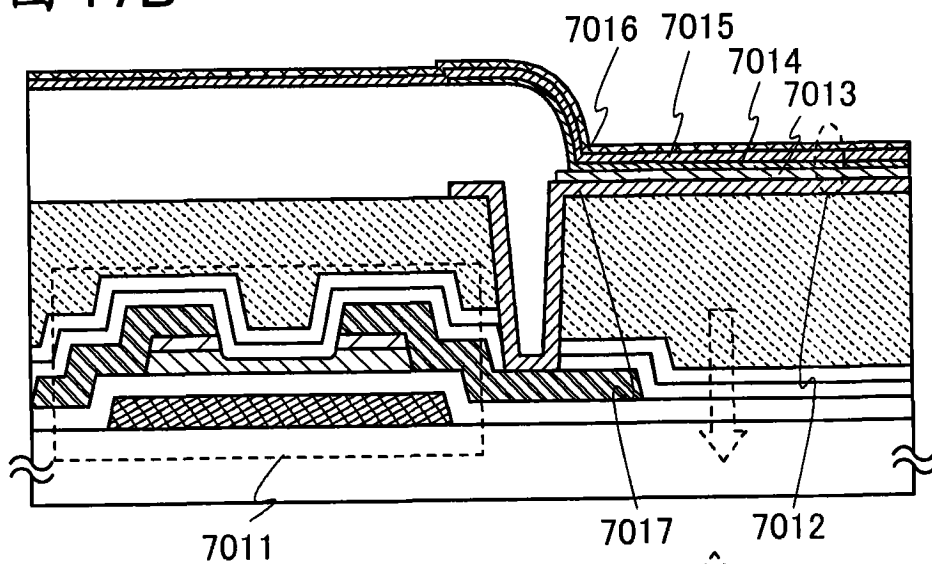
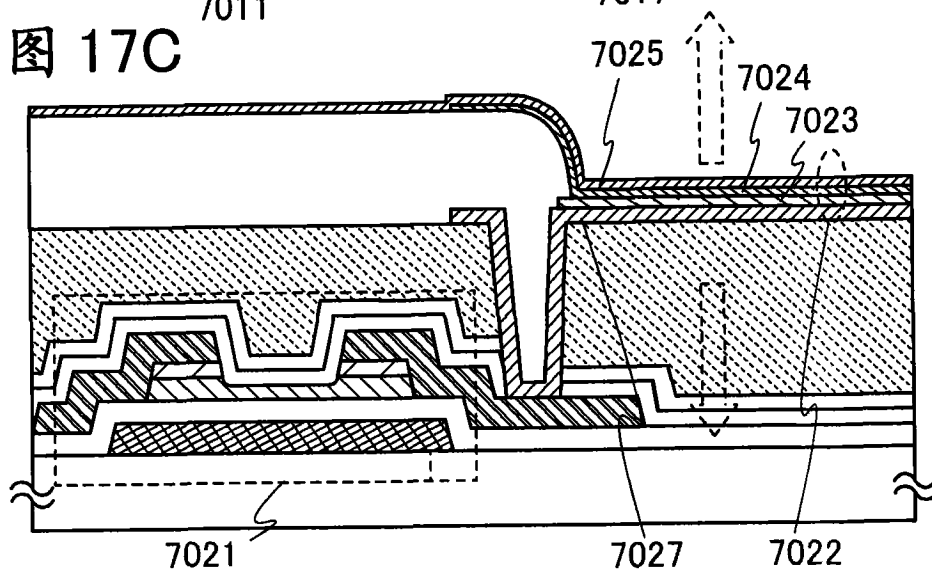


图 17C



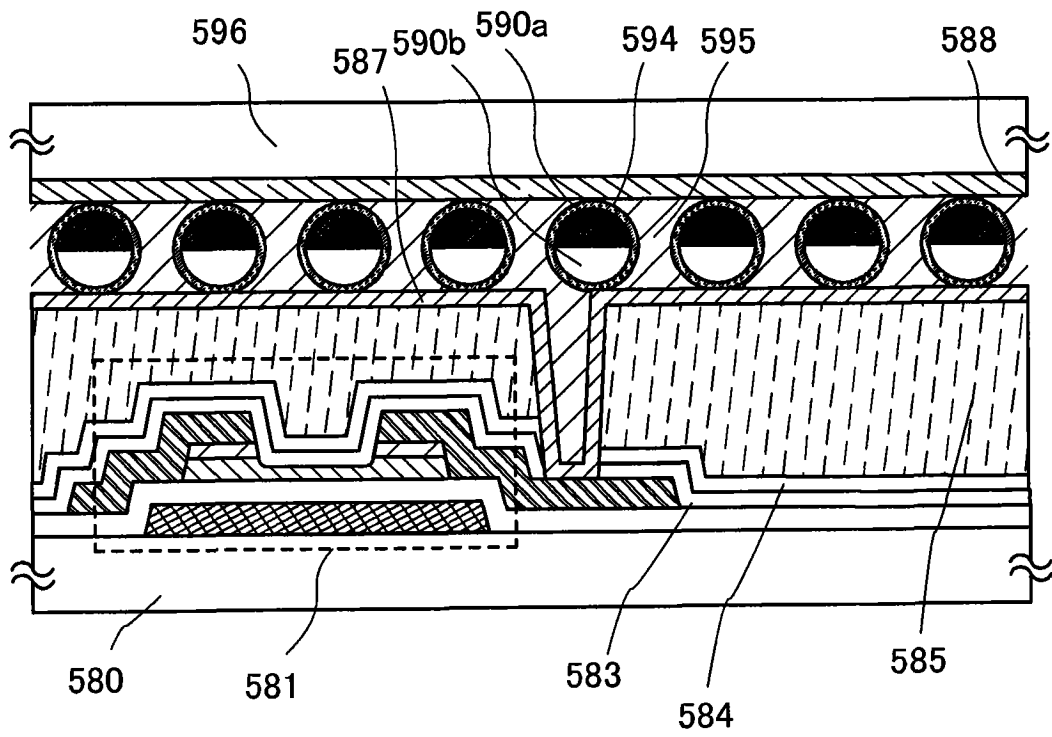


图 18A

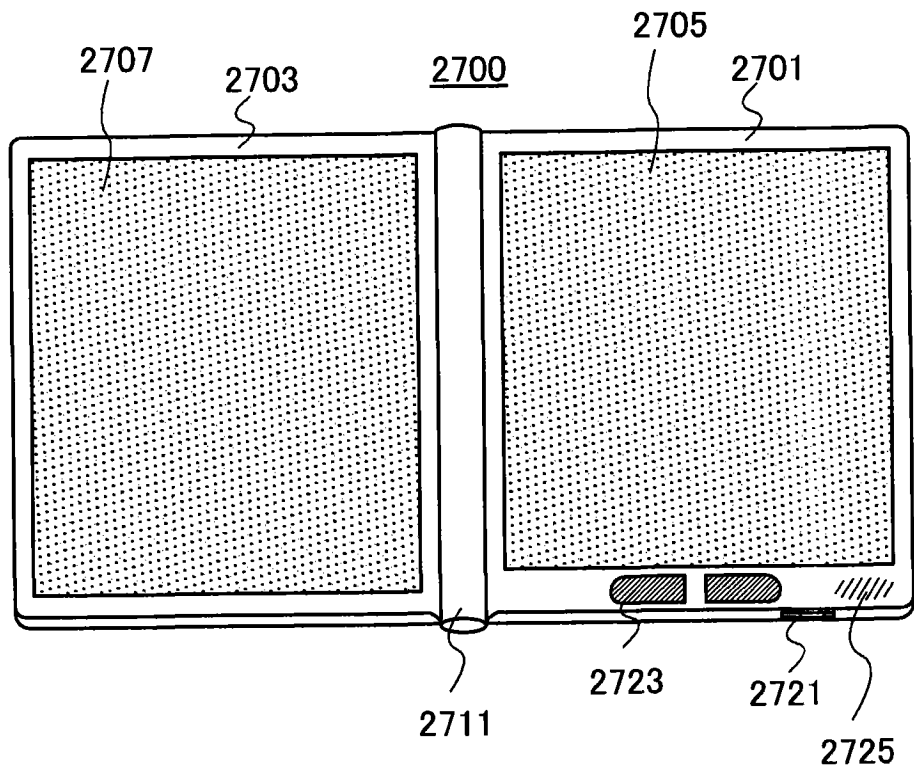


图 18B

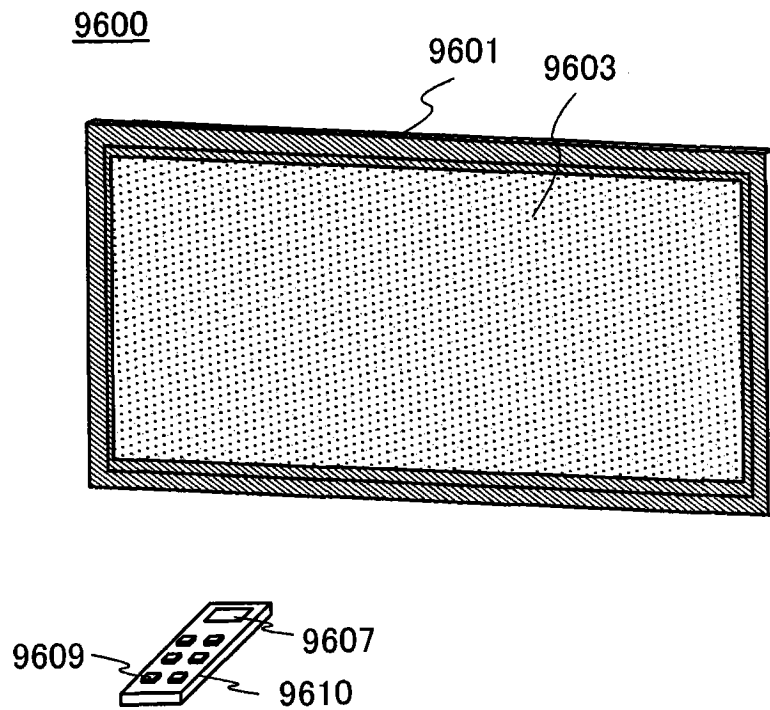


图 19A

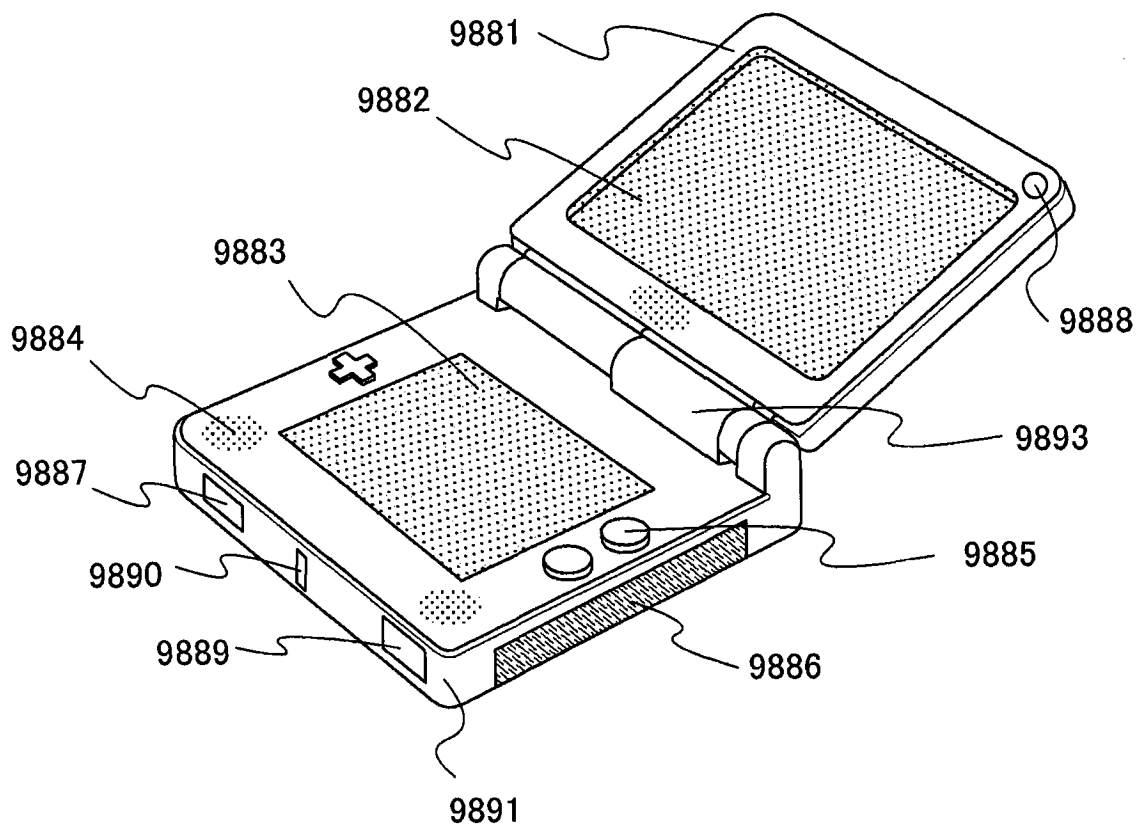


图 19B

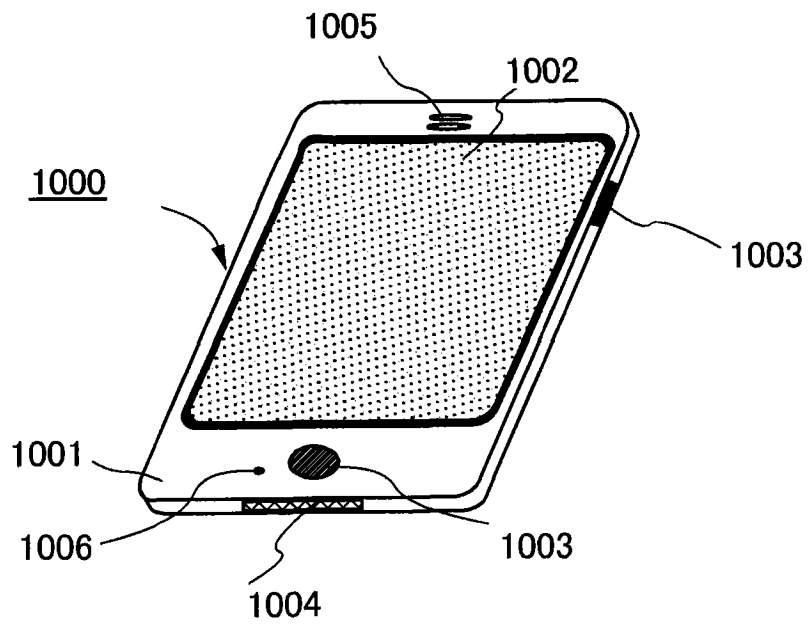


图 20A

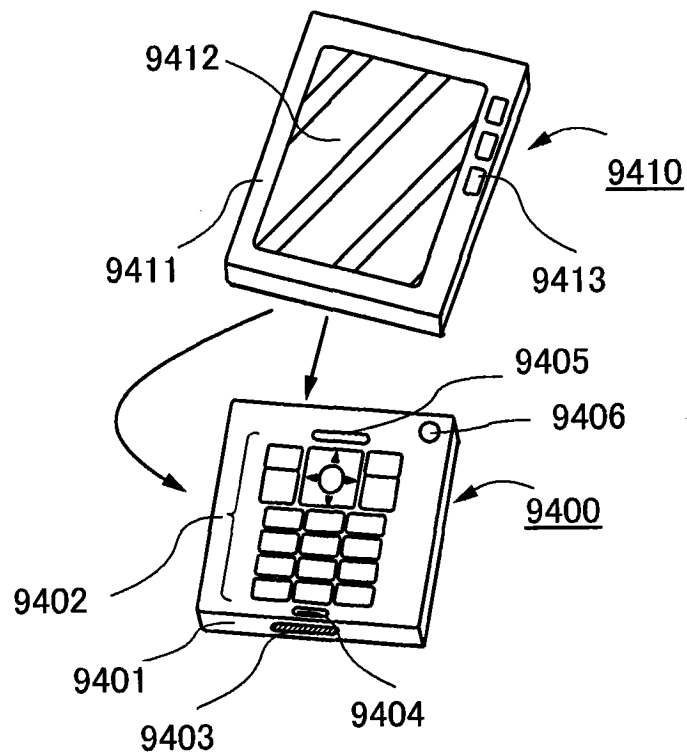


图 20B