

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4192681号
(P4192681)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl.		F I			
HO 1 J	31/12	(2006.01)	HO 1 J	31/12	C
HO 1 J	9/227	(2006.01)	HO 1 J	9/227	D
HO 1 J	9/24	(2006.01)	HO 1 J	9/24	A
HO 1 J	29/87	(2006.01)	HO 1 J	29/87	

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2003-152063 (P2003-152063)	(73) 特許権者	000002185
(22) 出願日	平成15年5月29日(2003.5.29)		ソニー株式会社
(65) 公開番号	特開2004-355947 (P2004-355947A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年12月16日(2004.12.16)	(74) 代理人	100086298
審査請求日	平成18年3月30日(2006.3.30)		弁理士 船橋 國則
		(72) 発明者	岡南 聡
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	松岡 智也

最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

平面視略矩形状に形成されたアノード電極を有するアノード基板とカソード基板とを板状のスペーサを介して貼り合わせた構成の表示パネルを備える表示装置であって、前記スペーサは、当該スペーサの長辺側の端面に導電膜を有するとともに、前記アノード基板上でスペーサの端部が前記アノード電極の形成領域からはみ出した状態に配置され、前記アノード基板は、前記アノード電極の形成領域から外側に突出し、かつ、前記スペーサの端部と対向する状態に形成された導電性の突出パターン部を有することを特徴とする表示装置。

【請求項2】

前記アノード基板はブラックマトリクスを有するもので、当該ブラックマトリクスと一体に前記突出パターン部を形成してなることを特徴とする請求項1記載の表示装置。

【請求項3】

平面視略矩形状に形成されたアノード電極を有するアノード基板とカソード基板とを板状のスペーサを介して貼り合わせた構成の表示パネルを備える表示装置の製造方法であって、前記スペーサを取り付けるために前記アノード基板に設定された取付ライン上に、前記アノード電極の形成領域から外側に突出する状態で導電性の突出パターン部を形成しておき、

前記アノード基板に前記スペーサを取り付けるときに、前記アノード電極の形成領域から前記スペーサの端部がはみ出すように配置するとともに、そのはみ出し部分で前記スペーサの端部が前記突出パターン部と対向するように配置することを特徴とする表示装置の製造方法。

【請求項 4】

前記アノード基板にブラックマトリクスを形成する際に、当該ブラックマトリクスと同時に前記突出パターン部を形成することを特徴とする請求項 3 記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、表示装置とその製造方法に係り、特に、2枚のパネル基板を貼り合わせた構成の表示パネルを備える平面型表示装置とその製造方法に関する。

【0002】

【従来の技術】

真空中におかれた金属等の導体あるいは半導体の表面に、ある閾値以上の電界を与えると、トンネル効果によって電子が障壁を通過し、常温時においても真空中に電子が放出される。この現象は電界放出(Field Emission)と呼ばれ、これによって電子を放出するカソードは電界放出型カソード(Field Emission Cathode)と呼ばれている。近年では、ミクロンサイズの電界放出型カソードを、半導体加工技術を駆使して基板上に多数形成したフラットディスプレイ装置(平面型の表示装置)としてFED(Field Emission Display)が注目されている。FEDは、電氣的に選択(アドレッシング)されたエミッタから電界の集中によって電子を放出させるとともに、この電子をアノード基板側の蛍光体に衝突させて、蛍光体の励起・発光により画像を表示するものである。

20

【0003】

FEDの表示パネルは、その構造上、カソード基板とアノード基板とを微小なギャップを介して対向状態に配置し、その間のギャップ空間部を真空状態に封止している。そのため、カソード基板やアノード基板が大気圧に耐えられるよう、それらの基板の間にスペーサを介装し、このスペーサで両基板を支持している。FEDに用いられるスペーサとしては、長尺の薄板状に形成されたものが知られている。スペーサはアノード基板に組み付けられる。スペーサの寸法は、例えば、高さ寸法が1~2mmで、厚み寸法が0.05~0.1mmといった具合に非常にアスペクト比が高いものとなる。したがって、アノード基板上にはスペーサを起立状態に支持するために、例えば、微小な支持体が形成されている。アノード基板へのスペーサの組み付け技術に関しては、例えば、下記特許文献1に記載された技術が知られている。

30

【0004】

【特許文献1】

特開2000-156181号公報

【0005】

ところで、FEDの動作時には、スペーサを介して対向するアノード基板とカソード基板の各電極(アノード電極-カソード電極)間に高電圧(以下、HVとも記す)が加えられる。このとき、カソード基板とスペーサとの接触界面及びアノード基板とスペーサとの接触界面をそれぞれ安定した電位状態とするために、スペーサの長辺側の端面に導電膜を形成し、この導電膜によって上記接触界面を等電位に保持している。

40

【0006】

また一方では、アノード基板にスペーサを取り付ける場合に、アノード基板に形成されたアノード電極からスペーサの端部(本明細書ではスペーサの長手方向の端部を意味する)をはみ出した状態に配置し、このはみ出し部分を、スペーサの位置合わせのために利用している。具体的には、例えば、アノード電極の形成領域からはみ出したスペーサの端部を含む画像を、アノード基板の透明部分(ガラス部分)を透過した透過光の画像としてカメ

50

ラに取り込み、これによって得られた画像データを処理してスペーサの位置を認識し、そこからスペーサを所定量だけX-Y方向にシフトさせて規定の位置に合わせ込むようにしている。

【0007】

【発明が解決しようとする課題】

しかしながら、アノード電極の形成領域からスペーサの端部をはみ出すように配置すると、そのはみ出し部分で、上述のようにスペーサの端面に形成された導電膜が、アノード基板の素地面（ガラス面）と直接対向することになる。そのため、カソード基板とアノード基板との電極間に高電圧を加えたときに、スペーサの端面とアノード基板の素地面との対向部分で、チャージアップによる微小な放電が発生しやすいものとなっていた。

10

【0008】

本発明は、上記課題を解決するためになされたもので、その目的とするところは、アノード基板上でスペーサの端部をアノード電極の形成領域からはみ出して配置したときの放電を確実に防止することができる表示装置とその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

本発明に係る表示装置は、平面視略矩形状に形成されたアノード電極を有するアノード基板とカソード基板とを板状のスペーサを介して貼り合わせた構成の表示パネルを備える表示装置であって、スペーサは、当該スペーサの長辺側の端面に導電膜を有するとともに、アノード基板上でスペーサの端部がアノード電極の形成領域からはみ出した状態に配置され、アノード基板は、当該アノード電極の形成領域から外側に突出し、かつ、スペーサの端部と対向する状態に形成された導電性の突出パターン部を有するものである。

20

【0010】

この表示装置においては、アノード電極の形成領域からはみ出し部分で、スペーサの端部（導電膜）と対向するように導電性の突出パターン部を形成した構成となっているため、それらの間で電位状態が安定する。したがって、スペーサの端部で放電が起こりにくくなる。

【0011】

本発明に係る表示装置の製造方法は、平面視略矩形状に形成されたアノード電極を有するアノード基板とカソード基板とを板状のスペーサを介して貼り合わせた構成の表示パネルを備える表示装置の製造方法であって、スペーサを取り付けるためにアノード基板に設定された取付ライン上に、アノード電極の形成領域から外側に突出する状態で導電性の突出パターン部を形成しておき、アノード基板にスペーサを取り付けるときに、アノード電極の形成領域からスペーサの端部がはみ出すように配置するとともに、そのはみ出し部分でスペーサの端部が突出パターン部と対向するように配置するものである。

30

【0012】

この表示装置の製造方法においては、アノード基板の取付ライン上に予め導電性の突出パターン部を形成し、実際にスペーサを取り付けたときに、アノード電極の形成領域からはみ出し部分で、スペーサの端部（導電膜）が導電性の突出パターン部と対向するように配置することにより、それらの間で電位状態が安定する。したがって、スペーサの端部で放電が起こりにくくなる。

40

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0014】

図1は本発明が適用される表示装置の一例としてFEDの表示パネルの構成を示す断面図であり、図2はその表示パネルの構成を示す斜視図である。図1及び図2においては、平板状のカソード基板（カソードパネル）1と、同じく平板状のアノード基板（アノードパネル）2とを、所定の間隙を介して対向状態に配置するとともに、それら2つの基板1, 2の間に長方形の枠体3を介装して一体的に組み付けることにより、画像表示のための一

50

つのパネル構体（表示パネル）が構成されている。

【 0 0 1 5 】

カソード基板 1 上には複数の電子放出素子が形成されている。これら複数の電子放出素子は、カソード基板 1 の有効領域（実際に表示部分として機能する領域）に 2 次元マトリクス状に多数形成されている。各々の電子放出素子は、カソード基板 1 のベースとなる絶縁性の支持基板（例えば、ガラス基板）4 と、この支持基板 4 上に積層状態で順に形成されたカソード電極 5、絶縁層 6 及びゲート電極 7 と、ゲート電極 7 及び絶縁層 6 に形成されたゲートホール 8 と、このゲートホール 8 の底部に形成された電子放出部 9 とによって構成されている。

【 0 0 1 6 】

カソード電極 5 は、複数のカソードラインを形成するようにストライプ状に形成されている。ゲート電極 7 は、各々のカソードラインと交差（直交）する複数のゲートラインを形成するようにストライプ状に形成されている。ゲートホール 8 は、ゲート電極 7 に形成された第 1 の開口部 8 A と、この第 1 の開口部 8 A に連通する状態で絶縁層 6 に形成された第 2 の開口部 8 B とから構成されている。電子放出部 9 は、電子の放出源となるもので、モリブデン（Mo）等の高融点金属を円錐状に形成した、いわゆるスピント型のエミッタ構造を有する。この電子放出部 9 は、先ず、絶縁層 6 及びゲート電極 7 にそれぞれ開口部 8 A、8 B を形成した状態でゲート電極 7 上に例えばアルミニウムの斜め蒸着によって剝離層（不図示）を形成し、次いで、エミッタ材料となる高融点金属（Mo 等）を垂直に蒸着することでホール開口径を徐々に縮めてゲートホール 8 の底部にエミッタ材料を円錐状に堆積させ、その後、不要なエミッタ材料を剝離層と一緒に取り除くことにより得られる。

【 0 0 1 7 】

アノード基板 2 は、ベースとなる透明基板 1 2 と、この透明基板 1 2 上に形成された蛍光体層 1 3 及びブラックマトリクス 1 4 と、これら蛍光体層 1 3 及びブラックマトリクス 1 4 を覆う状態で透明基板 1 2 上に形成されたアノード電極 1 5 とを備えて構成されている。蛍光体層 1 3 は、赤色発光用の蛍光体層 1 3 R と、緑色発光用の蛍光体層 1 3 G と、青色発光用の蛍光体層 1 3 B とから構成されている。ブラックマトリクス 1 4 は、各色発光用の蛍光体層 1 3 R、1 3 G、1 3 B の間に形成されている。アノード電極 1 5 は、カソード基板 1 の電子放出素子と対向するように、アノード基板 2 の有効領域全域を覆うように積層状態で形成されている。

【 0 0 1 8 】

これらのカソード基板 1 とアノード基板 2 とは、それぞれの外周部（周縁部）で枠体 3 を介して接合されている。また、カソード基板 1 の無効領域（有効領域の外側の領域で、実際に表示部分として機能しない領域）には真空排気用の貫通孔 1 6 が設けられている。貫通孔 1 6 には、真空排気後に封じ切られるチップ管 1 7 が接続されている。ただし、図 1 は表示装置の組み立て完了状態を示しているため、チップ管 1 7 は既に封じ切られた状態となっている。

【 0 0 1 9 】

上記構成のパネル構造を有する表示装置においては、カソード電極 5 に相対的な負電圧が走査回路 1 8 から印加され、ゲート電極 7 には相対的な正電圧が制御回路 1 9 から印加され、アノード電極 1 5 にはゲート電極 7 よりも更に高い正電圧が加速電源 2 0 から印加される。かかる表示装置において、実際に画像の表示を行う場合は、カソード電極 5 に走査回路 1 8 から走査信号を入力し、ゲート電極 7 に制御回路 1 9 からビデオ信号を入力する。

【 0 0 2 0 】

これにより、カソード電極 5 とゲート電極 7 との間に電圧が印加され、これによって電子放出部 9 の先鋭部に電界が集中することにより、量子トンネル効果によって電子がエネルギー障壁を突き抜けて電子放出部 9 から真空中へと放出される。こうして放出された電子はアノード電極 1 5 に引き付けられてアノード基板 2 側に移動し、透明基板 1 2 上の蛍光

10

20

30

40

50

体層 13 (13R , 13G , 13B) に衝突する。その結果、蛍光体層 13 が電子の衝突により励起されて発光するため、この発光位置を画素単位で制御することにより、表示パネル上に所望の画像を表示することができる。

【 0021 】

図 3 はスペーサの取付状態を示す一部破断部分を含む斜視図である。図においては、カソード基板 1 とアノード基板 2 との対向部分 (ギャップ空間部) に複数のスペーサ 21 が介装されている。スペーサ 21 は、真空容器を構成する表示パネルが大気圧の影響で変形したり破壊したりしないように支える真空耐圧用の支持部材となるもので、例えばセラミックス等の絶縁材料を用いて長尺の薄板状に形成されている。

【 0022 】

図 4 はスペーサの全体構造を示すもので、図中 (A) はその上面図、(B) はその側面図である。図示のように、スペーサ 21 は、例えば、厚み寸法が 0.05 ~ 0.1 mm の薄板状をなすもので、側面から見ると横長の長方形に形成されている。スペーサ 21 の長辺側の端面には導電膜 22 が形成されている。導電膜 22 は、例えば白金 (Pt) 等の金属材料を成膜することにより形成されたもので、スペーサ 21 の長手方向の一端から他端 (スペーサ長手方向の全域) にわたって一様な厚みで連続的に形成されている。このスペーサ 21 は、FED の一連の製造プロセスのなかで、アノード基板 2 上に予め所定数のスペーサ 21 を組み付けて、カソード基板 1 とアノード基板 2 とをスペーサ 21 を介して貼り合わせることににより、それらの基板 1 , 2 間に介装されるものである。

【 0023 】

その際、アノード基板 2 には、その基板作成段階で図 5 (A) に示すように、スペーサ 21 を起立状態 (アノード基板 2 の基板面に対して直立状態) に支持するための支持体 23 が複数形成される。支持体 23 は、例えばポリイミド樹脂からなるもので、フォトリソグラフィ技術を用いてアノード基板 2 のブラックマトリクス 14 上に突状に形成される。また、各々の支持体 23 は、スペーサ 21 が一直線状に取り付けられる取付ラインを挟んで対向する状態に配置される。これに対して、スペーサ 21 は、図 5 (B) に示すように、相対向する支持体 23 の間に差し込むように取り付けられる。こうして取り付けられたスペーサ 21 は、アノード基板 2 上で各々の支持体 23 に挟持 (グリップ) された状態となる。

【 0024 】

図 6 はアノード基板上でのスペーサの取付位置を示すもので、図中 (A) はその全体的な平面図、(B) はその一部 (P 部) を拡大した図である。アノード基板 2 上には、実際に表示部分として機能する有効領域に、ブラックマトリクス 14 で区画された状態で蛍光体層 13 が形成され、さらにその有効領域を覆うように、それよりも若干広い領域でアルミニウムのメタルバックとなるアノード電極 15 が形成されている。アノード電極 15 は、ベースとなる透明基板 12 上において、表示パネルの画面形状及び画面サイズに対応して正面視略矩形状に形成されている。また、アノード基板 2 には、ブラックマトリクス 14 の形成部位に重なるように、スペーサ 21 を取り付けするための取付ラインが予め設定されている。スペーサの取付ラインは、画面の水平方向に沿って一直線状に設定されるとともに、画面の垂直方向に複数ラインにわたって設定されている。

【 0025 】

これに対して、スペーサ 21 は、画面の水平方向で 1 ラインあたり 3 つずつの組となってスペーサの取付ライン上に一直線状に配置され、かつ、それらの組が画面の垂直方向に所定のピッチで複数ラインにわたって配置されている。また、画面の水平方向では、一直線状に並ぶ 3 つのスペーサ 21 のうち、中央部を除く左右のスペーサ 21 の一端部 21A が、アノード電極 15 の形成領域 (矩形領域) からはみ出した状態で配置されている。すなわち、アノード電極 15 の両側では、右側に配置されたスペーサ 21 の一端部 (右端部) 21A と、左側に配置されたスペーサ 21 の一端部 (左端部) 21A が、それぞれアノード電極 15 の形成領域 (矩形領域) からはみ出した状態で配置されている。

【 0026 】

ちなみに、スペーサ 21 の設置個数や設置間隔は、F E D の表示パネルの画面サイズなどに応じて適宜設定されることから、例えば、比較的画面サイズが小さいタイプでは、1 ラインあたり 1 つずつスペーサが配置される場合もあり得る。そうした場合は、アノード電極 15 の片側又は両側でスペーサの一端部又は両端部がアノード電極 15 の形成領域からはみ出すように配置されることになる。

【 0 0 2 7 】

アノード電極 15 からのスペーサ 21 のはみ出し部分 (2 1 A) は、アノード基板 2 上に 3 つ一組でスペーサ 21 を取り付けるときに、各々のスペーサ 21 の位置合わせ (位置出し、平行出しなど) のために用いられる。例えば、アノード電極 15 の形成領域からはみ出したスペーサ 21 の端部 2 1 A を含む画像を、アノード基板 2 の透明部分 (ガラス部分) を透過した透過光の画像としてカメラに取り込み、これによって得られた画像データを処理してスペーサ 21 の位置を認識し、そこからスペーサ 21 を所定量だけ X - Y 方向にシフトさせて規定の位置に合わせ込む。

10

【 0 0 2 8 】

このとき、スペーサ 21 の端部 2 1 A が位置合わせされる箇所には、アノード電極 15 の形成領域から外側に突出する状態で導電性の突出パターン部 2 4 が形成されている。この突出パターン部 2 4 は、アノード基板 2 にスペーサ 21 を取り付けたときに、アノード電極 15 の形成領域からはみ出したスペーサ 21 の端部 2 1 A と対向する状態で、例えば、酸化クロムからなるブラックマトリクス 1 4 と一体に形成されている。その際、スペーサ 21 の端部 2 1 A と突出パターン部 2 4 とが対向する方向は、アノード基板 2 の板厚方向となる。

20

【 0 0 2 9 】

図 7 は本発明の表示装置 (F E D) の製造方法を適用した場合の製造工程の一例を示すフローチャートである。図において、カソード基板作成工程 F 1 1 では、カソード電極 5 の形成 (成膜、パターンニング)、絶縁層 6 の形成 (成膜)、ゲート電極 7 の形成 (成膜、パターンニング)、ゲートホール 8 の形成 (孔開け)、電子放出部 9 の形成などにより、カソード基板 1 を作成する。次いで、カソード基板検査工程 F 1 2 では、カソード基板作成工程 F 1 1 で作成されたカソード基板 1 に外観上或いは特性上の欠陥がないかどうかを検査する。

【 0 0 3 0 】

一方、アノード基板作成工程 F 2 1 では、ブラックマトリクス 1 4 の形成、蛍光体層 1 3 の形成、アノード電極 15 の形成 (成膜) などにより、アノード基板 2 を作成する。このアノード基板作成工程 F 2 1 では、先ず、図 8 (A) に示すように、ベースとなる透明基板 1 2 上に酸化クロム等によってブラックマトリクス 1 4 及び突出パターン部 2 4 (図 6 参照) を同時に形成した後、ブラックマトリクス 1 4 上にポリイミド樹脂等を用いて支持体 2 3 (図 5 参照) を形成する。

30

【 0 0 3 1 】

突出パターン部 2 4 は、アノード基板 2 に設定されたスペーサの取付ライン上に、ブラックマトリクス 1 4 の後に形成されるアノード電極 15 の形成領域から突出する状態で形成される。突出パターン部 2 4 の寸法としては、図 9 に示すように、スペーサ 21 の最終的な取付位置 (図中二点鎖線で示す) に対して、画面の水平及び垂直方向 (X - Y 方向) にそれぞれスペーサ 21 の変形や取付誤差等を考慮したマージン分 (X、 Y) を見込んで適宜設定すればよい。例えば、画面の垂直方向 (Y 方向) に関しては、スペーサ 21 の厚み寸法の 3 倍程度に設定すればよい。

40

【 0 0 3 2 】

ここでブラックマトリクス 1 4 の形成材料 (酸化クロム等) を用いてブラックマトリクス 1 4 と同時に突出パターン部 2 4 を形成 (パターンニング) した場合は、実質的にブラックマトリクス 1 4 のパターン形状を変更するだけで突出パターン部 2 4 の形成が可能となるため、別途、突出パターン部 2 4 を形成するための処理工程が不要になる。また、図示はしないが、突出パターン部 2 4 をアノード電極 15 と同時に形成する場合も同様の効果が

50

得られる。

【0033】

ちなみに、アノード電極15の形成領域とは、有効領域よりも若干広い矩形領域で、蛍光体膜13及びブラックマトリクス14を覆うように設定された領域をいう。よって、アノード電極15と一体に突出パターン部24を形成した場合は、アノード電極15の形成領域となる矩形領域の外縁部から外側に突出する状態で突出パターン部24が形成配置されることになる。ただし、突出パターン部24については、ブラックマトリクス14やアノード電極15と別個に形成してもかまわない。

【0034】

次いで、図8(B)に示すように、ブラックマトリクス14で区画される画素位置に蛍光体層13を形成した後、図8(C)に示すように、蛍光体層13及びブラックマトリクス14を覆う状態でアノード電極15を形成する。これにより、アノード基板2が得られる。その後、アノード基板検査工程F22では、アノード基板作成工程F21で作成されたアノード基板2に外見上或いは特性上の欠陥がないかどうかを検査する。

【0035】

また、スペーサ作成工程F31では、板状のスペーサ材料(例えば、セラミックス)からの切り出しや表面研磨などにより、上記図4に示したように長尺で薄板状のスペーサ21を作成する。このとき、スペーサ21の長辺側の端面に白金等を用いて導電膜22を形成する。

【0036】

その後、スペーサ検査工程F32では、スペーサ作成工程F31で作成されたスペーサ21に外観上の欠陥がないかどうかを検査する。続いて、スペーサ洗浄工程F33では、スペーサ検査工程F32で検査合格(良品)とされたスペーサ21の洗浄処理(例えば、ウェット洗浄)を行う。

【0037】

続いて、スペーサ組み付け工程F41では、図10に示すように、アノード基板2に複数のスペーサ21, ...を組み付ける。アノード基板2のスペーサ取付ライン上には予め複数の支持体23(図5参照)が形成されているため、これらの支持体23の間にスペーサ21の長辺側の一端部を差し込むようにしてアノード基板2上にスペーサ21を取り付ける。このとき、アノード電極15の両側では、それぞれスペーサ21の端部21Aがアノード電極15の形成領域からはみ出した状態となり、そのはみ出し部分(21A)が突出パターン部24に対向した状態となる。アノード基板2にスペーサ21を取り付ける際の位置決め方法に関しては前述したとおりであるが、さらに補足すると、次のような手順を例示することができる。

【0038】

まず、アノード基板2上で1つのスペーサ取付ライン上に取り付けるべき3つのスペーサ21を真空チャックなどで同時に保持するとともに、最終的なスペーサ21の取付位置から画面の垂直方向に所定量だけずれた(オフセットした)位置にスペーサ21を配置する。このとき、両サイドのスペーサ21の端部21が、それぞれ図11に示すように、アノード電極15の形成領域から外側(水平方向)にはみ出すように配置する。この状態でアノード基板2の非電極形成面側からランプ等の光を照射し、その透過光をランプと反対側でカメラに取り込むことにより、スペーサ21の端部21Aを含む画像を、アノード基板2の透明部分(ガラス部分)を透過した透過光の画像として取り込む。

【0039】

次いで、画像の取り込みにより得られた画像データを処理してスペーサ21の位置を認識するとともに、狙いとする規定の取付位置からのずれ量 L_x , L_y を求め、このずれを補正するように(ずれ量 L_x , L_y がゼロとなるように)スペーサ21をX-Y方向にシフトさせて規定の位置に合わせ込み、そこでスペーサ21の長辺側の一端部を支持体23(図5参照)に差し込む。以降、アノード基板2上の他のスペーサ取付ライン上でも上記同様の手順でスペーサ21を取り付ける。

10

20

30

40

50

【 0 0 4 0 】

基板貼り合わせ工程 F 4 2 では、カソード基板 1 とアノード基板 2 とをスペーサ 2 1 を介して貼り合わせる。この基板貼り合わせ工程 3 1 においては、カソード基板検査工程 F 1 2 で検査合格とされたカソード基板 1 と、アノード基板検査工程 F 2 2 で検査合格とされかつスペーサ組み付け工程 F 4 1 でスペーサ 2 1 が組み付けられたアノード基板 2 とを、図 1 2 に示すように、互いに対向させた状態で、相対的な位置を合わせつつ貼り合わせる。その際、例えば、アノード基板 2 の外周部には長方形の枠体 3 が取り付けられ、この枠体 3 の部分でカソード基板 1 とアノード基板 2 がフリットシールにより接合される。

【 0 0 4 1 】

続いて、後工程 F 4 3 では、上述のようにカソード基板 1 とアノード基板 2 とを貼り合わせて得られる表示パネルの内部を真空にするための排気処理や、チップ管 1 7 (図 1 参照) を封じ切るための処理、表示制御用回路 1 8 , 1 9 , 2 0 (図 1 参照) との電気的接続のための T A B (Tape Automated Bonding) 処理などが行われる。

【 0 0 4 2 】

このように本実施形態においては、スペーサ 2 1 の取付位置に対応してブラックマトリクス 1 4 と一体に突出パターン部 2 4 を形成し、この突出パターン部 2 4 をアノード基板 2 の板厚方向でスペーサ 2 1 の端部 2 1 A と対向するように配置するため、アノード電極 1 5 の形成領域からはみ出した部分では、図 1 3 (A) , (B) に示すように、スペーサ 2 1 の長辺側の端面に形成された導電膜 2 2 が、アノード基板 2 の素地面 (ガラス面) と直接対向せず、導電性の突出パターン部 2 4 と対向するようになる。したがって、組み立ての完了した表示パネルを駆動する際に、カソード基板 1 とアノード基板 2 との電極間に高電圧を加えたときでも、スペーサ 2 1 の端部 2 1 A とこれに対向する突出パターン部 2 4 との間で電位状態が安定し、放電が起こりにくくなる。

【 0 0 4 3 】

なお、上記実施形態においては、カソード基板 1 のエミッタ構造として、スピント型のエミッタ構造を示したが、これ以外にも、例えば、複数のカーボンナノチューブを用いて形成される平面型のエミッタ構造など、他のエミッタ構造を採用したものでよい。

【 0 0 4 4 】

【 発明の効果 】

以上説明したように本発明によれば、アノード基板上でスペーサの端部をアノード電極の形成領域からはみ出して配置する場合に、スペーサの端部 (導電膜) が導電性の突出パターン部と対向することになる。これにより、アノード電極の形成領域からはみ出した部分では導電体同士が対向することになるため、その間で電位状態が安定したものとなる。したがって、スペーサ端部での微小放電の発生を確実に防止することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明が適用される表示装置の一例として F E D の表示パネルの構成を示す断面図である。

【 図 2 】 本発明が適用される表示装置の一例として F E D の表示パネルの構成を示す斜視図である。

【 図 3 】 スペーサの取付状態を示す一部破断部分を含む斜視図である。

【 図 4 】 スペーサの全体構造を示す図である。

【 図 5 】 スペーサの支持構造を示す図である。

【 図 6 】 アノード基板上でのスペーサの取付位置を示す図である。

【 図 7 】 本発明の表示装置 (F E D) の製造方法を適用した場合の製造工程の一例を示すフローチャートである。

【 図 8 】 アノード基板作成工程の処理手順を示す図である。

【 図 9 】 ブラックマトリクスの突出パターン部の形成パターンを示す図である。

【 図 1 0 】 スペーサ組み付け状態を示す斜視図である。

【 図 1 1 】 スペーサの位置決め手順を説明する図である。

【 図 1 2 】 基板貼り合わせ工程を説明する図である。

10

20

30

40

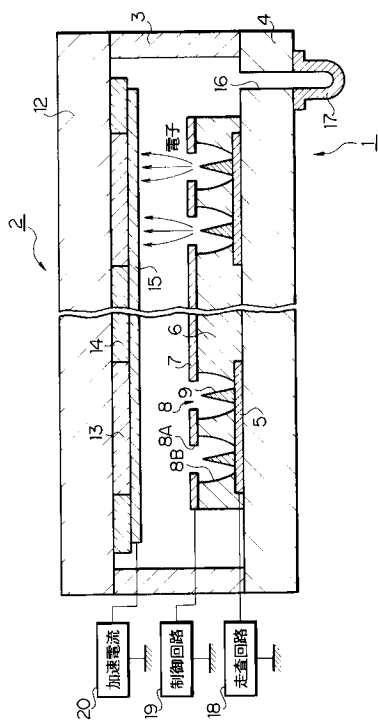
50

【図13】スペーサと突出パターン部の配置状態を示す図である。

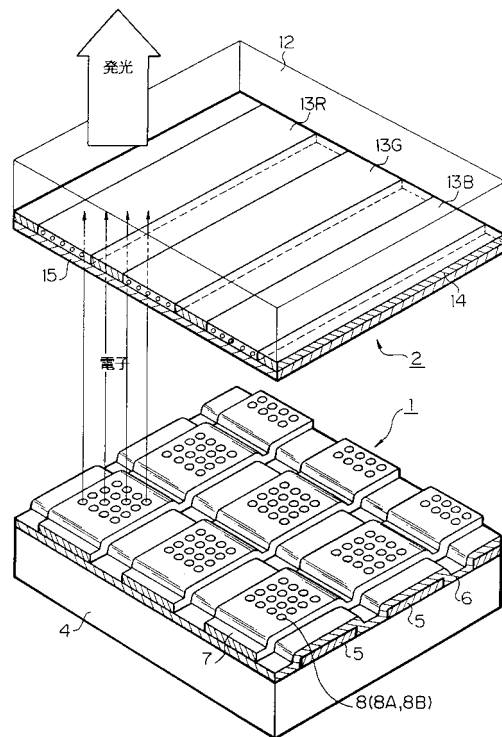
【符号の説明】

1 ... カソード基板、2 ... アノード基板、14 ... ブラックマトリクス、15 ... アノード電極、
21 ... スペーサ、22 ... 導電膜、24 ... 突出パターン部

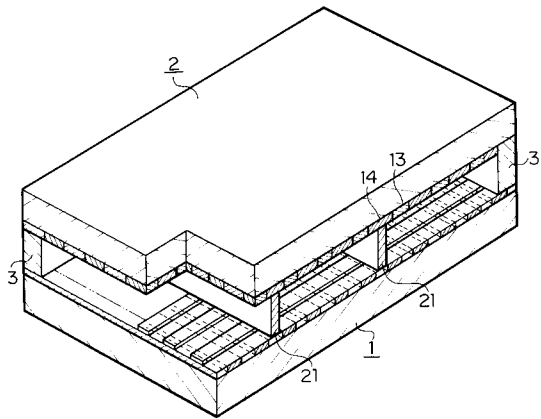
【図1】



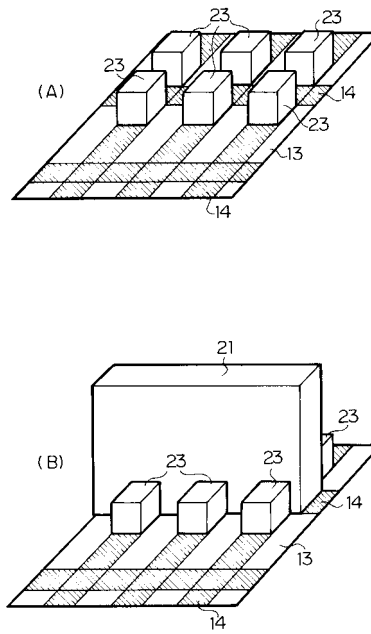
【図2】



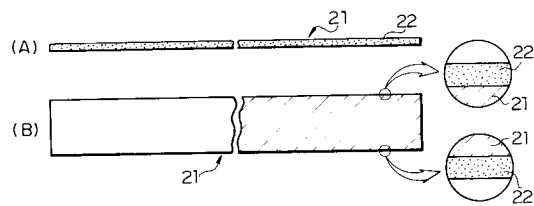
【図3】



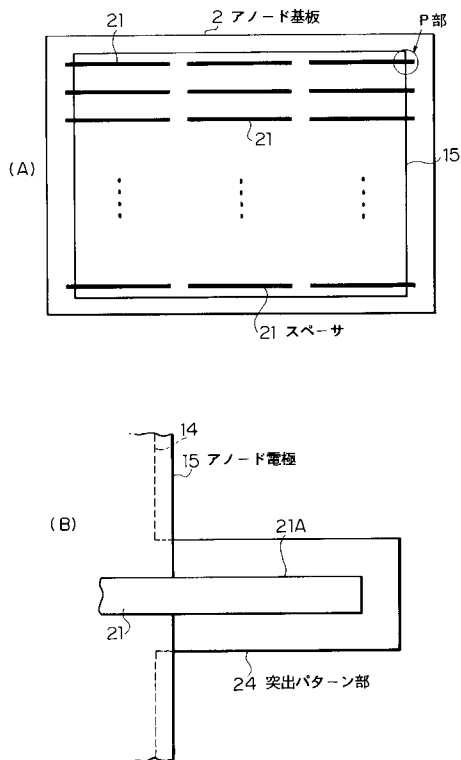
【図5】



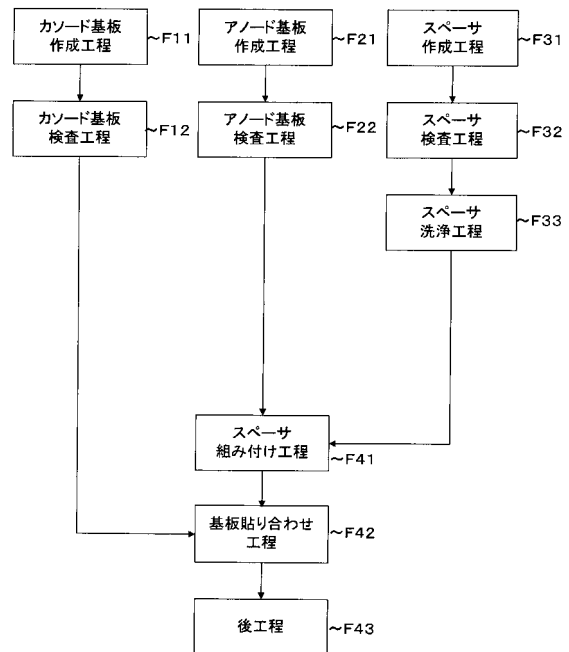
【図4】



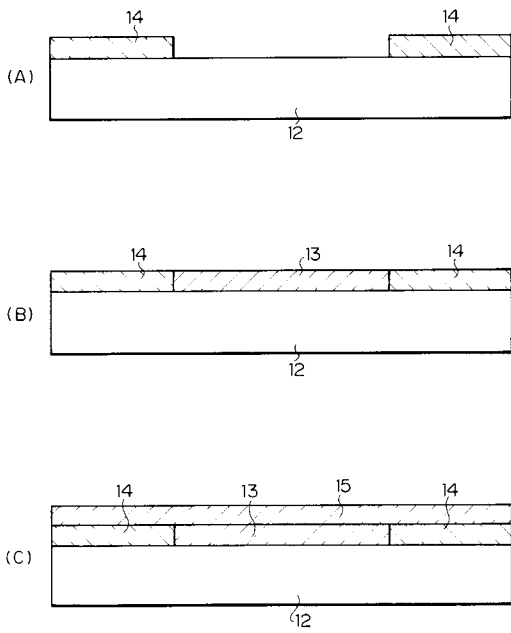
【図6】



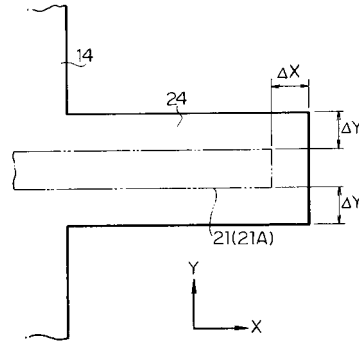
【図7】



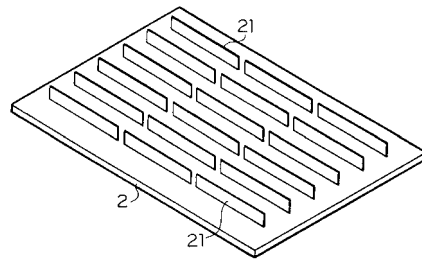
【図 8】



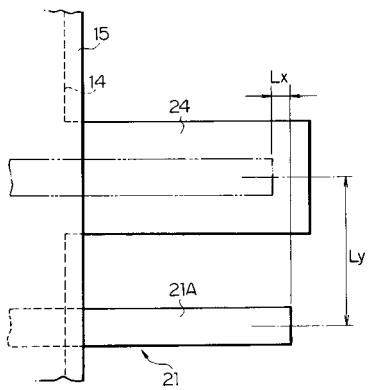
【図 9】



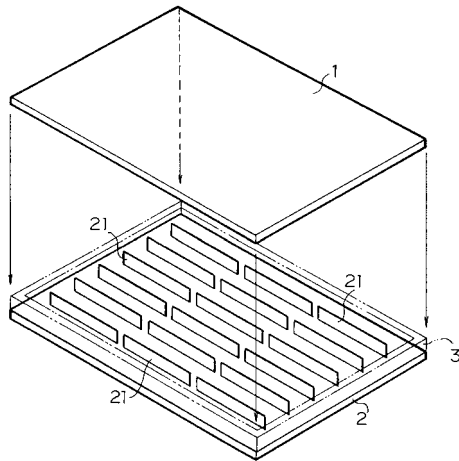
【図 10】



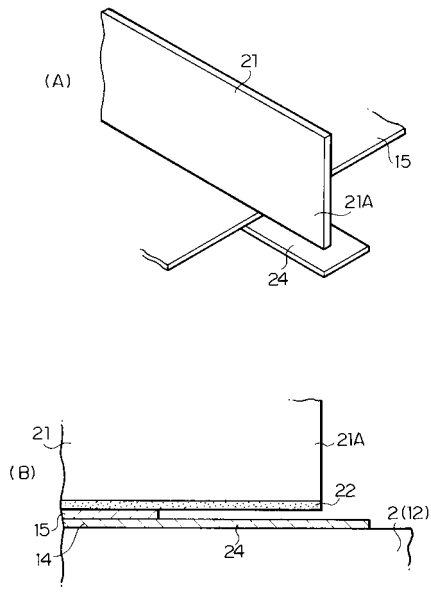
【図 11】



【図 12】



【 図 1 3 】



フロントページの続き

- (56)参考文献 特開2001-250494(JP,A)
特開2002-237268(JP,A)
特開2000-133131(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01J 31/12
H01J 9/227
H01J 9/24
H01J 29/87