

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

wall portion. The ribs include penetrating portions that penetrate between the portions arranged in parallel and ensure a creepage distance between the electrodes arranged in parallel.

(57) 要約：半導体装置は、ベース板と、基板と、回路パターンと、板状の第1電極と、板状の第2電極と、板状の第3電極と、第1半導体チップと、第2半導体チップと、ベース板に取り付けられ、基板の外周を取り囲む側壁部を含む枠体14と、を備える。第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含む。枠体は、側壁部の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関するものである。

[0002] 本出願は、2021年1月22日出願の日本出願第2021-8836号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003] 半導体素子が基板上に配置された半導体装置が知られている（例えば、特許文献1参照）。特許文献1に開示の半導体装置は、パワー半導体モジュールであり、正極電源端子と、負極電源端子と、出力端子と、を含む。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-98921号公報

発明の概要

[0005] 本開示に従った半導体装置は、ベース板と、ベース板上に配置され、第1の主面を含む基板と、それぞれ離れて位置する第1回路板、第2回路板、第3回路板および第4回路板を含み、第1の主面上に配置される回路パターンと、回路パターン上に配置され、第1回路板と接続される板状の第1電極と、回路パターン上に配置され、第2回路板および第3回路板と接続される板状の第2電極と、回路パターン上に配置され、第4回路板と接続される板状の第3電極と、第1回路板上に配置される第1半導体チップと、第3回路板上に配置される第2半導体チップと、第1半導体チップと第2回路板とを電氣的に接続する第1導電部材と、第2半導体チップと第4回路板とを電氣的に接続する第2導電部材と、ベース板に取り付けられ、基板の外周を取り囲む側壁部を含む枠体と、を備える。第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含む。枠体は、側壁部

の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。

図面の簡単な説明

[0006] [図1]図 1 は、実施の形態 1 における半導体装置の概略斜視図である。

[図2]図 2 は、図 1 に示す半導体装置を図 1 中の I I - I I で切断した場合の概略断面図である。

[図3]図 3 は、図 1 に示す半導体装置を図 1 中の I I I - I I I で切断した場合の概略断面図である。

[図4]図 4 は、図 1 に示す半導体装置において、後述する蓋部の図示を省略した場合の概略斜視図である。

[図5]図 5 は、図 1 に示す半導体装置において、後述する蓋部、封止材および枠体の図示を省略した場合の概略斜視図である。

[図6]図 6 は、図 5 に示す半導体装置の概略側面図である。

[図7]図 7 は、図 6 に示す半導体装置を図 6 中の V I I - V I I で切断した場合の概略断面図である。

[図8]図 8 は、図 7 に示す半導体装置において、後述する第 1 電極、第 2 電極および第 3 電極の図示を省略した場合の概略断面図である。

[図9]図 9 は、図 7 に示す半導体装置において、第 1 電極、第 2 電極および第 3 電極のみを図示した場合の概略断面図である。

[図10]図 10 は、図 1 に示す半導体装置の回路図の一部を概略的に示す図である。

[図11]図 11 は、図 1 に示す半導体装置に含まれる枠体の概略斜視図である。

[図12]図 12 は、図 1 に示す半導体装置の一部を模式的に示す概略断面図である。

[図13]図 13 は、図 1 に示す半導体装置の一部を模式的に示す概略断面図である。

[図14]図14は、図7中に破線で示す領域Rの拡大図である。

[図15]図15は、ベース板に基板を接合し、回路パターンに第1電極、第2電極、第3電極および第1半導体チップ等の各半導体チップを接合した状態を示す概略斜視図である。

[図16]図16は、枠体をベース板に取り付け、第1導電部材等を接合した状態を示す概略斜視図である。

[図17]図17は、蓋部を枠体に取り付けた状態を示す概略斜視図である。

[図18]図18は、実施の形態2における半導体装置の一部を示す概略斜視図である。

[図19]図19は、図18に示す半導体装置の概略側面図である。

[図20]図20は、図19に示す半導体装置を図19中のX-X'で切断した場合の概略断面図である。

[図21]図21は、図20に示す半導体装置において、第1電極、第2電極および第3電極の図示を省略した場合の概略断面図である。

[図22]図22は、図20に示す半導体装置において、第1電極、第2電極および第3電極のみを図示した場合の概略断面図である。

[図23]図23は、実施の形態3における半導体装置の一部を模式的に示す概略断面図である。

[図24]図24は、実施の形態4における半導体装置の一部を模式的に示す概略断面図である。

[図25]図25は、実施の形態5における半導体装置の一部を模式的に示す概略断面図である。

[図26]図26は、実施の形態6における半導体装置の一部を模式的に示す概略断面図である。

発明を実施するための形態

[0007] [本開示が解決しようとする課題]

特許文献1に開示されるパワー半導体モジュールのような半導体装置においては、端子（電極）間における高い絶縁性が求められる。高い絶縁性を確

保するに際し、煩雑な製造工程を経ることなく、容易に実現できることが望ましい。

[0008] そこで、容易に電極間の高い絶縁性を確保することができる半導体装置を提供することを目的の1つとする。

[0009] [本開示の効果]

上記半導体装置によれば、容易に電極間の高い絶縁性を確保することができる。

[0010] [本開示の実施形態の説明]

最初に本開示の実施態様を列記して説明する。本開示に係る半導体装置は、ベース板と、ベース板上に配置され、第1の主面を含む基板と、それぞれ離れて位置する第1回路板、第2回路板、第3回路板および第4回路板を含み、第1の主面上に配置される回路パターンと、回路パターン上に配置され、第1回路板と接続される板状の第1電極と、回路パターン上に配置され、第2回路板および第3回路板と接続される板状の第2電極と、回路パターン上に配置され、第4回路板と接続される板状の第3電極と、第1回路板上に配置される第1半導体チップと、第3回路板上に配置される第2半導体チップと、第1半導体チップと第2回路板とを電氣的に接続する第1導電部材と、第2半導体チップと第4回路板とを電氣的に接続する第2導電部材と、ベース板に取り付けられ、基板の外周を取り囲む側壁部を含む枠体と、を備える。第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含む。枠体は、側壁部の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。

[0011] 半導体装置において電流が流れる際の電流経路は、第1電極、第1回路板、第1半導体チップ、第1導電部材、第2回路板、第2電極に至る。さらに、第2電極、第3回路板、第2半導体チップ、第2導電部材、第4回路板、そして第3電極となる。本開示の半導体装置によると、第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含

む。そして、枠体は、側壁部の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。したがって、平行に配置されている部分を含む第1電極、第2電極および第3電極のうちの少なくとも2つにおいて、平行に配置されている部分の間の絶縁性を進入部により高めることができる。この場合、内壁面から突出するリブは、枠体に含まれているため、枠体のベース板への取り付け時にリブを配置することができる。よって、容易に電極間の高い絶縁性を確保することができる。平行については、幾何学的に厳密な平行の関係を有するのではなく、例えば一方に対して他方が数度程度、具体的には30度の範囲内で傾いていてもよい。

[0012] 上記半導体装置において、第3電極は、間隔をあけてそれぞれ平行に配置される第1平板部および第2平板部を含んでもよい。第2電極は、第1平板部と第2平板部との間であって、第1平板部および第2平板部のそれぞれと間隔をあけて配置される第3平板部を含んでもよい。進入部は、第1平板部と第3平板部との間および第2平板部と第3平板部との間のうちの少なくともいずれか1つに進入してもよい。このようにすることにより、進入部は、第1平板部と第3平板部との間および第2平板部と第3平板部との間のうちの少なくともいずれか1つに進入しているため、第1平板部と第3平板部との間および第2平板部と第3平板部との間のうちの少なくともいずれか1つにおいて、容易に電極間の高い絶縁性を確保することができる。

[0013] 上記半導体装置において、第1平板部、第2平板部および第3平板部は、第1の主面に対して垂直であってもよい。このようにすることにより、枠体をベース板に取り付ける際に、進入部を第1平板部と第3平板部との間および第2平板部と第3平板部との間のうちの少なくともいずれか1つに容易に配置しやすくすることができる。よって、より容易に電極間の高い絶縁性を確保することができる。ここで、垂直について、幾何学的に厳密な垂直の関係を有するのではなく、例えば一方に対して他方が90度に対して数度程度、具体的には30度の範囲内で傾いていてもよい。

- [0014] 上記半導体装置において、第1電極は、第7平板部を含んでもよい。第3電極は、第7平板部と平行に配置される第8平板部を含んでもよい。進入部は、第7平板部と第8平板部との間に配置されてもよい。このようにすることにより、平行に配置される第1電極の第7平板部と第3電極の第8平板部との間に進入する進入部を容易に配置することができる。したがって、容易に第1電極と第3電極との間の高い絶縁性を確保することができる。
- [0015] 上記半導体装置において、第7平板部および第8平板部は、第1の主面に対して垂直であってもよい。このようにすることにより、枠体をベース板に取り付ける際に、進入部を第7平板部と第8平板部との間に容易に配置しやすくすることができる。よって、より容易に電極間の高い絶縁性を確保することができる。
- [0016] 上記半導体装置において、リブは、側壁部と着脱可能であってもよい。このようにすることにより、リブと側壁部とを別途製造することができ、沿面距離に応じて比較トラッキング指数（CTI（Comparative Tracking Index））の異なる材質を使うことができる。したがって、それぞれの材質を変更することが容易となる。
- [0017] 上記半導体装置において、リブは、側壁部と一体であってもよい。このようにすることにより、封止材を封入した際に、リブが浮力で動くことを抑制することができる。よって、確実な絶縁を図ることができる。また、一つの金型で成形できるため、安価に構成することができる。
- [0018] 上記半導体装置において、リブは、熱可塑性樹脂から構成されていてもよい。このようにすることにより、リブを容易に製造することができる。
- [0019] 上記半導体装置において、枠体に取り囲まれた領域のうちのベース板上の空間を絶縁する封止材をさらに備えてもよい。進入部は、封止材と接触していてもよい。このようにすることにより、十分な沿面距離を確保することができ、より確実に電極間の絶縁を図ることができる。
- [0020] 上記半導体装置において、平行に配置されている部分の間に配置される絶縁紙をさらに備えてもよい。リブと比較してCTIの高い絶縁紙を用いるこ

とで最小沿面距離を小さくすることができる。したがって、このようにすることにより、リブを樹脂部材として沿面距離が十分に確保することが困難な場合においても、絶縁性の向上を図ることができる。

[0021] なお、本開示において、回路パターン上の回路板や半導体チップの位置や導電部材の位置については、必ずしも上述の場合に限定されない。例えば、以下のような実施態様でもよい。本開示の半導体装置は、ベース板と、ベース板上に配置され、第1の主面を含む基板と、それぞれ離れて位置する複数の回路板を含み、第1の主面上に配置される回路パターンと、回路パターン上に配置され、回路板の一つと接続される板状の第1電極と、回路パターン上に配置され、回路板の二つと接続される板状の第2電極と、回路パターン上に配置され、回路板の一つと接続される板状の第3電極と、回路板上に配置される第1半導体チップと、回路板上に配置される第2半導体チップと、ベース板に取り付けられ、基板の外周を取り囲む側壁部を含む枠体と、を備える。第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含む。枠体は、側壁部の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。

[0022] [本開示の実施形態の詳細]

次に、本開示の半導体装置の一実施形態を、図面を参照しつつ説明する。以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰り返さない。

[0023] (実施の形態1)

本開示の実施の形態1における半導体装置の構成について説明する。図1は、実施の形態1における半導体装置の概略斜視図である。図2は、図1に示す半導体装置を図1中のⅠ-Ⅰで切断した場合の概略断面図である。図3は、図1に示す半導体装置を図1中のⅡ-Ⅱで切断した場合の概略断面図である。図4は、図1に示す半導体装置において、後述する蓋部の図示を省略した場合の概略斜視図である。なお、理解を容易にする観点か

ら、図4において後述するナットを図示している。図5は、図1に示す半導体装置において、後述する蓋部、封止材および枠体の図示を省略した場合の概略斜視図である。図6は、図5に示す半導体装置の概略側面図である。図7は、図6に示す半導体装置を図6中のV I I - V I Iで切断した場合の概略断面図である。図7は、後述する基板の厚さ方向に見た図である。なお、図7は、後述する封止材が位置しない領域における断面で切断した場合を図示している。図8は、図7に示す半導体装置において、後述する第1電極、第2電極および第3電極の図示を省略した場合の概略断面図である。なお、図2は、図7中の一点鎖線を含む平面で切断した場合の断面に対応する。また、図3は、図7中の二点鎖線を含む平面で切断した場合の断面に対応する。図9は、図7に示す半導体装置において、第1電極、第2電極および第3電極のみを図示した場合の概略断面図である。図10は、図1に示す半導体装置の回路図の一部を概略的に示す図である。なお、図10においては、理解を容易にする観点から、後述する第1半導体チップおよび第2半導体チップと並列接続される、本開示の半導体装置に含まれない構成のコンデンサも図示している。図11は、図1に示す半導体装置に含まれる枠体の概略斜視図である。図12は、図1に示す半導体装置の一部を模式的に示す概略断面図である。図13は、図1に示す半導体装置の一部を模式的に示す概略断面図である。図12は、X-Y平面で切断した場合を示し、図13は、X-Z平面で切断した場合を示す。

[0024] 図1～図13を参照して、実施の形態1における半導体装置10aは、ベース部としての板状のベース板11aと、基板12aと、回路パターン13aと、枠体14aと、封止材15aと、蓋部16aと、第1電極17aと、第2電極18aと、第3電極19aと、第1半導体チップ21a, 21b, 21c, 21dと、第2半導体チップ22a, 22b, 22c, 22dと、第3半導体チップ23a, 23b, 23c, 23dと、第4半導体チップ24a, 24b, 24c, 24dと、第5半導体チップ21e, 21fと、第6半導体チップ22e, 22fと、第7半導体チップ23e, 23fと、第

8半導体チップ24e、24fと、第1制御端子25aと、第2制御端子25bと、第3制御端子25cと、第4制御端子25dと、第1導電部材26a、26b、26c、26dと、第2導電部材27a、27b、27c、27dと、第3導電部材26e、26fと、第4導電部材27e、27fと、ワイヤ28a、28b、28c、28d、28eと、を含む。

[0025] 本実施形態においては、ベース板11aは、厚さ方向（Z方向）に見て、X方向の長さの方がY方向の長さよりも長い矩形状である。ベース板11aは、例えば金属製である。ベース板11aは、厚さ方向の一方に位置する第1の主面11bと、厚さ方向の他方に位置する第2の主面11cと、を含む。ベース板11aの四隅に近い部分には、それぞれ厚さ方向に貫通する貫通孔11d、11e、11f、11gが形成されている。貫通孔11d、11e、11f、11gは、後述する貫通孔14h、14i、14j、14kと共に、半導体装置10aを所定の設置個所に取り付ける際に有効に利用される。

[0026] 第1の主面11b上には、基板12aが配置されている。本実施形態においては、基板12aは、厚さ方向（Z方向）に見て、X方向の長さの方がY方向の長さよりも長い矩形状である。基板12aは、絶縁性を有する。基板12aは、例えばセラミック製である。基板12aは、厚さ方向の一方に位置する第1の主面12bと、厚さ方向の他方に位置する第2の主面12cと、を含む。基板12aの第2の主面12cは、接合材によりベース板11aの第1の主面11bに接合されている。

[0027] 基板12aの第1の主面12b上には、回路パターン13aが配置されている。回路パターン13aは、導電性を有する部材、具体的には例えば銅板から構成されている。回路パターン13aは、それぞれ離れて位置する回路板（第1回路板）13b、回路板（第2回路板）13c、回路板（第3回路板）13dおよび回路板（第4回路板）13eを含む。回路パターン13aはさらに、それぞれ離れて位置する回路板（第5回路板）13f、回路板（第6回路板）13g、回路板（第7回路板）13h、回路板（第8回路板）

13 i、回路板（第9回路板）13 j、回路板（第10回路板）13 k、回路板（第11回路板）13 lおよび回路板（第12回路板）13 mを含む。回路板13 bおよび回路板13 eはそれぞれ、Y方向に分離されて配置されている。分離する回路板13 bのY方向の間に、回路板13 cが配置される。回路板13 b、回路板13 c、回路板13 dおよび回路板13 eのうち、回路板13 bおよび回路板13 eは、電氣的に接続される複数の回路板、具体的には2つの回路板に分割されている（特に図8参照）。なお、回路板13 fおよび回路板13 hについても、電氣的に接続される複数の回路板、具体的には2つの回路板に分割されている。本実施形態においては、回路板13 fおよび回路板13 hはそれぞれ、Y方向に分離されて配置されている。

[0028] 回路板13 bおよび回路板13 cが配置される領域と、回路板13 dおよび回路板13 eが配置される領域と、回路板13 f、回路板13 gおよび回路板13 hが配置される領域は、X方向に並んで配置される。具体的には、X方向において、第1制御端子25 aに近い位置に回路板13 bおよび回路板13 cが配置される領域が配置され、次に、回路板13 f、回路板13 gおよび回路板13 hが配置される領域が配置され、次に、回路板13 dおよび回路板13 eが配置される領域が配置される。すなわち、X方向において、回路板13 bおよび回路板13 cが配置される領域と回路板13 dおよび回路板13 eが配置される領域との間に、回路板13 f、回路板13 gおよび回路板13 hが配置される領域が配置される。

[0029] 半導体装置10 aの動作時において、回路板13 b、回路板13 c、回路板13 d、回路板13 e、回路板13 f、回路板13 gおよび回路板13 hは、第1電極17 a、第2電極18 aおよび第3電極19 aと共に電流経路を構成する。回路板13 i、回路板13 j、回路板13 k、回路板13 lおよび回路板13 mは、第1制御端子25 a、第2制御端子25 b、第3制御端子25 cおよび第4制御端子25 dによる第1半導体チップ21 a等の制御に用いられる。

[0030] 枠体14 aは、ベース板11 aに取り付けられる。具体的には、ベース板

11aの第1の主面11b上に図示しない接着剤により取り付けられる。本実施形態においては、枠体14aは、基板12aの厚さ方向に見て、X方向の長さの方がY方向の長さよりも長い矩形状である。枠体14aは、基板12aの外周を取り囲む4つの側壁部14b, 14c, 14d, 14eを含む。側壁部14b, 14c, 14d, 14eは、側壁部14bの内壁面14lと側壁部14cの内壁面14mとが対向し、側壁部14dの内壁面14nと側壁部14eの内壁面14oとが対向するように配置される。枠体14aの4つの側壁部14b, 14c, 14d, 14eによって取り囲まれる空間14fに、基板12aが配置される。枠体14aの四隅に近い部分には、Z方向に貫通する4つの貫通孔14h, 14i, 14j, 14kが形成されている。貫通孔14h, 14i, 14j, 14kは、枠体14aがベース板11aに取り付けられた際に、ベース板11aの4つの貫通孔11d, 11e, 11f, 11gの位置とそれぞれ合わさるように配置される。なお、第1制御端子25a、第2制御端子25b、第3制御端子25cおよび第4制御端子25dは、枠体14aの側壁部14dにインサートされる。

[0031] 枠体14aの材質としては、絶縁性および強度が高い材質が用いられ、具体的には例えばPPS (Polyphenylenesulfide) 樹脂が採用される。このような樹脂は、熱可塑性樹脂であって成形性が良好であり、絶縁性、耐湿性、耐熱性が優れており、強度も高い。なお、枠体14aの材質として他にPBT (Poly Butylene Terephthalate) 樹脂を用いてもよい。枠体14aは、リブ41aを含む。枠体14aの具体的な構成については、後に詳述する。

[0032] 封止材15aは、基板12a上を覆う。封止材15aは、枠体14a内の空間14fの一部を充填する。封止材15aは、蓋部16aと間隔をあけて配置される。封止材15aは、基板12aの側面および第1の主面12bの一部と接触している。具体的には、封止材15aは、基板12aの側面および半導体チップ21a等が配置されていない部分における第1の主面12bと接触している。封止材15aは、枠体14aに取り囲まれた領域のうちの

基板 1 2 a の側面側の空間および基板 1 2 a 上の空間を電氣的に絶縁する。電極 1 7 a の一部、電極 1 8 a の一部、電極 1 9 a の一部および導電部材 2 6 a, 2 6 b, 2 6 c, 2 6 d、導電部材 2 7 a, 2 7 b, 2 7 c, 2 7 d、導電部材 2 6 e, 2 6 f、導電部材 2 7 e, 2 7 f は、封止材 1 5 a によって覆われている。具体的には、封止材 1 5 a は、基板 1 2 a 上に配置される各部品、より具体的には、第 1 半導体チップ 2 1 a, 2 1 b, 2 1 c, 2 1 d、第 2 半導体チップ 2 2 a, 2 2 b, 2 2 c, 2 2 d、第 3 半導体チップ 2 3 a, 2 3 b, 2 3 c, 2 3 d、第 4 半導体チップ 2 4 a, 2 4 b, 2 4 c, 2 4 d、第 5 半導体チップ 2 1 e, 2 1 f、第 6 半導体チップ 2 2 e, 2 2 f、第 7 半導体チップ 2 3 e, 2 3 f、第 8 半導体チップ 2 4 e, 2 4 f、第 1 導電部材 2 6 a, 2 6 b, 2 6 c, 2 6 d、第 2 導電部材 2 7 a, 2 7 b, 2 7 c, 2 7 d、第 3 導電部材 2 6 e, 2 6 f、第 4 導電部材 2 7 e, 2 7 f およびワイヤ 2 8 a, 2 8 b, 2 8 c, 2 8 d, 2 8 e の封止をするために用いられる。封止材 1 5 a により、ベース板 1 1 a 上の部材は固定される。封止材 1 5 a の材質としては、例えば、絶縁性および耐熱性が高い樹脂が採用される。具体的には、熱硬化性樹脂であるエポキシ樹脂やフェノール樹脂、シリコン樹脂等が封止材 1 5 a として採用される。

[0033] 蓋部 1 6 a は、板状である。本実施形態においては、蓋部 1 6 a は、基板 1 2 a の厚さ方向に見て、X 方向の長さの方が Y 方向の長さよりも長い矩形形状であって、四隅に近い部分に 4 つの切り欠きが設けられた形状である。蓋部 1 6 a は、図示しない接着剤により枠体 1 4 a に接着される。蓋部 1 6 a は、上記した枠体 1 4 a の開口 1 4 g を覆うように配置される。蓋部 1 6 a には、長手方向に間隔をあけて配置される 3 つの端子台 1 6 b, 1 6 c, 1 6 d が形成されている。端子台 1 6 b, 1 6 c, 1 6 d は、X 方向に間隔をあけて配置されている。また、蓋部 1 6 a には、厚さ方向（Z 方向）に貫通する 3 つの貫通孔 1 6 e, 1 6 f, 1 6 g が形成されている。3 つの貫通孔 1 6 e, 1 6 f, 1 6 g はそれぞれ、3 つの端子台 1 6 b, 1 6 c, 1 6 d が設けられた位置に形成されている。3 つの貫通孔 1 6 e, 1 6 f, 1 6 g

は、蓋部 16 a が枠体 14 a に取り付けられた際に、それぞれ後述する第 3 領域 17 d, 18 d, 19 d が折り曲げられていない状態の第 1 電極 17 a、第 2 電極 18 a および第 3 電極 19 a の一部がそれぞれ貫通する位置に配置される。蓋部 16 a のうち、端子台 16 b, 16 c, 16 d が設けられた位置には、それぞれ第 1 電極 17 a、第 2 電極 18 a および第 3 電極 19 a を外部電極（図示せず）と電氣的に接続するために用いられる締結部材としてのナット 16 h, 16 i, 16 j がアウトサートまたは圧入されている。なお、理解を容易にする観点から、図 4 においてナット 16 h, 16 i, 16 j を図示している。蓋部 16 a の材質としては、例えば枠体 14 a と同じ材質、具体的には PPS 樹脂や PBT 樹脂が採用される。

[0034] 第 1 半導体チップ 21 a, 21 b, 21 c, 21 d、第 2 半導体チップ 22 a, 22 b, 22 c, 22 d、第 3 半導体チップ 23 a, 23 b, 23 c, 23 d、第 4 半導体チップ 24 a, 24 b, 24 c, 24 d、第 5 半導体チップ 21 e, 21 f、第 6 半導体チップ 22 e, 22 f、第 7 半導体チップ 23 e, 23 f および第 8 半導体チップ 24 e, 24 f はそれぞれ、ワイドバンドギャップ半導体チップである。具体的には、第 1 半導体チップ 21 a, 21 b, 21 c, 21 d、第 2 半導体チップ 22 a, 22 b, 22 c, 22 d、第 3 半導体チップ 23 a, 23 b, 23 c, 23 d、第 4 半導体チップ 24 a, 24 b, 24 c, 24 d、第 5 半導体チップ 21 e, 21 f、第 6 半導体チップ 22 e, 22 f、第 7 半導体チップ 23 e, 23 f および第 8 半導体チップ 24 e, 24 f はそれぞれ、SiC（炭化ケイ素）から構成される半導体層を含む。なお、半導体層としては、例えば Si（シリコン）や GaN（窒化ガリウム）から構成されていてもよい。

[0035] 第 1 半導体チップ 21 a, 21 b, 21 c, 21 d、第 2 半導体チップ 22 a, 22 b, 22 c, 22 d、第 5 半導体チップ 21 e, 21 f および第 6 半導体チップ 22 e, 22 f はそれぞれ、金属－酸化物－半導体電界効果型トランジスタ（MOSFET）である。本実施形態においては、第 1 半導体チップ 21 a, 21 b, 21 c, 21 d、第 2 半導体チップ 22 a, 22

b, 22c, 22d、第5半導体チップ21e, 21fおよび第6半導体チップ22e, 22fはそれぞれ、縦型のトランジスタチップである。すなわち、第1半導体チップ21a, 21b, 21c, 21d、第2半導体チップ22a, 22b, 22c, 22d、第5半導体チップ21e, 21fおよび第6半導体チップ22e, 22fはそれぞれ、厚さ方向（Z方向）に電流が流れるトランジスタチップである。第1半導体チップ21a, 21b, 21c, 21d、第2半導体チップ22a, 22b, 22c, 22d、第5半導体チップ21e, 21fおよび第6半導体チップ22e, 22fはそれぞれ、スイッチング素子である。

[0036] 第1半導体チップ21a, 21b, 21c, 21dは、回路板13b上に配置される。具体的には、第1半導体チップ21a, 21bは、分割された回路板13bのうち、側壁部14bに近い方の回路板13b上に配置される。また、第1半導体チップ21c, 21dは、分割された回路板13bのうち、側壁部14cに近い方の回路板13b上に配置される。第1半導体チップ21a, 21bは、X方向に間隔をあけて配置される。第1半導体チップ21c, 21dは、X方向に間隔をあけて配置される。第1半導体チップ21a, 21cは、Y方向に間隔をあけて配置される。第1半導体チップ21b, 21dは、Y方向に間隔をあけて配置される。第1半導体チップ21a, 21b, 21c, 21dは、導電性を有する図示しない接合材により回路板13bと接合されることにより、第1半導体チップ21a, 21b, 21c, 21dのそれぞれのドレイン電極パッドと、回路板13bとが電氣的に接続される。

[0037] 第2半導体チップ22a, 22b, 22c, 22dは、回路板13d上に配置される。具体的には、第2半導体チップ22a, 22bは、回路板13dのうち、側壁部14bに近い位置に配置される。また、第2半導体チップ22c, 22dは、回路板13dのうち、側壁部14cに近い位置に配置される。第2半導体チップ22a, 22bは、X方向に間隔をあけて配置される。第2半導体チップ22c, 22dは、X方向に間隔をあけて配置される。

。第2半導体チップ22a, 22cは、Y方向に間隔をあけて配置される。第2半導体チップ22b, 22dは、Y方向に間隔をあけて配置される。第2半導体チップ22a, 22b, 22c, 22dは、導電性を有する図示しない接合材により回路板13dと接合されることにより、第2半導体チップ22a, 22b, 22c, 22dのそれぞれのドレイン電極パッドと、回路板13dとが電氣的に接続される。

[0038] 第5半導体チップ21e, 21fは、回路板13f上に配置される。具体的には、第5半導体チップ21eは、分割された回路板13fのうち、側壁部14bに近い方の回路板13f上に配置される。第5半導体チップ21fは、分割された回路板13fのうち、側壁部14cに近い方の回路板13f上に配置される。第5半導体チップ21e, 21fは、Y方向に間隔をあけて配置される。第5半導体チップ21e, 21fは、導電性を有する図示しない接合材により回路板13fと接合されることにより、第5半導体チップ21e, 21fのそれぞれのドレイン電極パッドと、回路板13fとが電氣的に接続される。第6半導体チップ22e, 22fは、回路板13g上に配置される。具体的には、第6半導体チップ22eは、回路板13gのうち、側壁部14bに近い位置に配置される。第6半導体チップ22fは、回路板13gのうち、側壁部14cに近い位置に配置される。第6半導体チップ22e, 22fは、Y方向に間隔をあけて配置される。第6半導体チップ22e, 22fは、導電性を有する図示しない接合材により回路板13gと接合されることにより、第6半導体チップ22e, 22fのそれぞれのドレイン電極パッドと、回路板13gとが電氣的に接続される。

[0039] 第3半導体チップ23a, 23b, 23c, 23d、第4半導体チップ24a, 24b, 24c, 24d、第7半導体チップ23e, 23fおよび第8半導体チップ24e, 24fはそれぞれ、ショットキーバリアダイオード(SBD)である。本実施形態においては、第3半導体チップ23a, 23b, 23c, 23d、第4半導体チップ24a, 24b, 24c, 24d、第7半導体チップ23e, 23fおよび第8半導体チップ24e, 24fは

それぞれ、厚さ方向（Z方向）に電流が流れるダイオードチップである。

[0040] 第3半導体チップ23a, 23b, 23c, 23dは、回路板13b上に配置される。具体的には、第3半導体チップ23a, 23bは、分割された回路板13bのうち、側壁部14bに近い方の回路板13b上に配置される。また、第3半導体チップ23c, 23dは、分割された回路板13bのうち、側壁部14cに近い方の回路板13b上に配置される。また、第3半導体チップ23a, 23bはそれぞれ、Y方向において側壁部14bと第1半導体チップ21a, 21bとの間に配置される。第3半導体チップ23c, 23dはそれぞれ、Y方向において側壁部14cと第1半導体チップ21c, 21dとの間に配置される。第3半導体チップ23a, 23bは、X方向に間隔をあけて配置される。第3半導体チップ23c, 23dは、X方向に間隔をあけて配置される。第3半導体チップ23a, 23cは、Y方向に間隔をあけて配置される。第3半導体チップ23b, 23dは、Y方向に間隔をあけて配置される。第3半導体チップ23a, 23b, 23c, 23dは、導電性を有する図示しない接合材により回路板13bと接合されることにより、第3半導体チップ23a, 23b, 23c, 23dのそれぞれのカソード電極パッドと、回路板13bとが電氣的に接続される。

[0041] 第4半導体チップ24a, 24b, 24c, 24dは、回路板13d上に配置される。具体的には、第4半導体チップ24a, 24bは、回路板13dのうち、側壁部14bに近い位置に配置される。また、第4半導体チップ24c, 24dは、回路板13dのうち、側壁部14cに近い位置に配置される。また、第4半導体チップ24a, 24bはそれぞれ、Y方向において側壁部14bと第2半導体チップ22a, 22bとの間に配置される。第4半導体チップ24c, 24dはそれぞれ、Y方向において側壁部14cと第2半導体チップ22c, 22dとの間に配置される。第4半導体チップ24a, 24bは、X方向に間隔をあけて配置される。第4半導体チップ24c, 24dは、X方向に間隔をあけて配置される。第4半導体チップ24a, 24cは、Y方向に間隔をあけて配置される。第4半導体チップ24b, 24dは、Y方向に間隔をあけて配置される。

4 d は、Y 方向に間隔をあけて配置される。第 4 半導体チップ 2 4 a, 2 4 b, 2 4 c, 2 4 d は、導電性を有する図示しない接合材により回路板 1 3 d と接合されることにより、第 4 半導体チップ 2 4 a, 2 4 b, 2 4 c, 2 4 d のそれぞれのカソード電極パッドと、回路板 1 3 d とが電氣的に接続される。

[0042] 第 7 半導体チップ 2 3 e, 2 3 f は、回路板 1 3 f 上に配置される。具体的には、第 7 半導体チップ 2 3 e は、分割された回路板 1 3 f のうち、側壁部 1 4 b に近い方の回路板 1 3 f 上に配置される。第 7 半導体チップ 2 3 f は、分割された回路板 1 3 f のうち、側壁部 1 4 c に近い方の回路板 1 3 f 上に配置される。また、第 7 半導体チップ 2 3 e は、Y 方向において側壁部 1 4 b と第 5 半導体チップ 2 1 e との間に配置される。第 7 半導体チップ 2 3 f は、Y 方向において側壁部 1 4 c と第 5 半導体チップ 2 1 f との間に配置される。第 7 半導体チップ 2 3 e, 2 3 f は、Y 方向に間隔をあけて配置される。第 7 半導体チップ 2 3 e, 2 3 f は、導電性を有する図示しない接合材により回路板 1 3 f と接合されることにより、第 7 半導体チップ 2 3 e, 2 3 f のそれぞれのカソード電極パッドと、回路板 1 3 f とが電氣的に接続される。第 8 半導体チップ 2 4 e, 2 4 f は、回路板 1 3 g 上に配置される。具体的には、第 8 半導体チップ 2 4 e は、回路板 1 3 g のうち、側壁部 1 4 b に近い位置に配置される。第 8 半導体チップ 2 4 f は、回路板 1 3 g のうち、側壁部 1 4 c に近い位置に配置される。また、第 8 半導体チップ 2 4 e は、Y 方向において側壁部 1 4 b と第 6 半導体チップ 2 2 e との間に配置される。第 8 半導体チップ 2 4 f は、Y 方向において側壁部 1 4 c と第 6 半導体チップ 2 2 f との間に配置される。第 8 半導体チップ 2 4 e, 2 4 f は、Y 方向に間隔をあけて配置される。第 8 半導体チップ 2 4 e, 2 4 f は、導電性を有する図示しない接合材により回路板 1 3 g と接合されることにより、第 8 半導体チップ 2 4 e, 2 4 f のそれぞれのカソード電極パッドと、回路板 1 3 g とが電氣的に接続される。

[0043] 第 1 導電部材 2 6 a, 2 6 b, 2 6 c, 2 6 d、第 2 導電部材 2 7 a, 2

7 b, 2 7 c, 2 7 d、第3導電部材2 6 e, 2 6 f、第4導電部材2 7 e, 2 7 fはそれぞれ、本実施形態においては、中実円筒状であって、導電性を有するアルミニウム製のワイヤである。第1導電部材2 6 a, 2 6 b, 2 6 c, 2 6 d、第2導電部材2 7 a, 2 7 b, 2 7 c, 2 7 d、第3導電部材2 6 e, 2 6 f、第4導電部材2 7 e, 2 7 f、ワイヤ2 8 a, 2 8 b, 2 8 c, 2 8 d, 2 8 eはそれぞれ、ボンディングツールを用いたワイヤボンディングにより各部材に接合される。なお、第1導電部材2 6 a, 2 6 b, 2 6 c, 2 6 d、第2導電部材2 7 a, 2 7 b, 2 7 c, 2 7 d、第3導電部材2 6 e, 2 6 f、第4導電部材2 7 e, 2 7 fは、導電性を有する銅製のワイヤでもよいし、アルミニウム製や銅製の板状の導電性の部材でもよい。なお、アルミニウムおよび銅については、純粋なアルミニウムや純粋な銅であってもよいし、アルミニウム合金や銅合金であってもよい。板状の部材の場合には、例えばはんだにより接合される。

[0044] 第1導電部材2 6 a, 2 6 b, 2 6 c, 2 6 dは、第1半導体チップ2 1 a, 2 1 b, 2 1 c, 2 1 dと回路板1 3 cとを電氣的に接続する。具体的には、第1導電部材2 6 a, 2 6 b, 2 6 c, 2 6 dは、第1半導体チップ2 1 a, 2 1 b, 2 1 c, 2 1 dのソース電極パッドと回路板1 3 cとを電氣的に接続する。なお、第1導電部材2 6 a, 2 6 b, 2 6 c, 2 6 dは、第1半導体チップ2 1 a, 2 1 b, 2 1 c, 2 1 dのソース電極パッドと第3半導体チップ2 3 a, 2 3 b, 2 3 c, 2 3 dのアノード電極パッドとを電氣的に接続する。

[0045] 第2導電部材2 7 a, 2 7 b, 2 7 c, 2 7 dは、第2半導体チップ2 2 a, 2 2 b, 2 2 c, 2 2 dと回路板1 3 eとを電氣的に接続する。具体的には、第2導電部材2 7 a, 2 7 b, 2 7 c, 2 7 dは、第2半導体チップ2 2 a, 2 2 b, 2 2 c, 2 2 dのソース電極パッドと回路板1 3 eとを電氣的に接続する。なお、第2導電部材2 7 a, 2 7 b, 2 7 c, 2 7 dは、第2半導体チップ2 2 a, 2 2 b, 2 2 c, 2 2 dのソース電極パッドと第4半導体チップ2 4 a, 2 4 b, 2 4 c, 2 4 dのアノード電極パッドとを

電氣的に接続する。

[0046] 第3導電部材26e, 26fは、第5半導体チップ21e, 21fと回路板13gとを電氣的に接続する。具体的には、第3導電部材26e, 26fは、第5半導体チップ21e, 21fのソース電極パッドと回路板13gとを電氣的に接続する。なお、第3導電部材26e, 26fは、第5半導体チップ21e, 21fのソース電極パッドと第7半導体チップ23e, 23fのアノード電極パッドとを電氣的に接続する。第4導電部材27e, 27fは、第6半導体チップ22e, 22fと回路板13hとを電氣的に接続する。具体的には、第4導電部材27e, 27fは、第6半導体チップ22e, 22fのソース電極パッドと回路板13hとを電氣的に接続する。なお、第4導電部材27e, 27fは、第6半導体チップ22e, 22fのソース電極パッドと第8半導体チップ24e, 24fのアノード電極パッドとを電氣的に接続する。

[0047] また、第1制御端子25aと回路板13iとは、ワイヤ28aにより接続されている。第2制御端子25bと回路板13jとは、ワイヤ28bにより接続されている。第3制御端子25cと回路板13kとは、ワイヤ28cにより接続されている。第4制御端子25dと回路板13lとは、ワイヤ28dにより接続されている。回路板13lと回路板13mとは、ワイヤ28eにより接続されている。

[0048] なお、第1半導体チップ21a, 21b, 21c, 21dおよび第5半導体チップ21e, 21fのゲート電極パッドと回路板13iとは、ワイヤにより電氣的に接続されている。第1半導体チップ21a, 21b, 21c, 21dおよび第5半導体チップ21e, 21fのソース電極パッドと回路板13jとは、ワイヤにより電氣的に接続されている。第2半導体チップ22a, 22b, 22c, 22dおよび第6半導体チップ22e, 22fのゲート電極パッドと回路板13kとは、ワイヤにより電氣的に接続されている。第2半導体チップ22a, 22b, 22c, 22dおよび第6半導体チップ22e, 22fのソース電極パッドと回路板13lまたは回路板13mとは

、ワイヤにより電氣的に接続されている。

[0049] 次に、第1電極17a、第2電極18aおよび第3電極19aの構成について説明する。第1電極17a、第2電極18aおよび第3電極19aはそれぞれ、板状である。第1電極17a、第2電極18aおよび第3電極19aは、導電性を有する。本実施形態においては、第1電極17a、第2電極18aおよび第3電極19aはそれぞれ、折り曲げられた銅板から構成されている。第1電極17a、第2電極18aおよび第3電極19aはそれぞれ、回路パターン13a上に配置される。本実施形態においては、第1電極17a、第2電極18aおよび第3電極19aはそれぞれ、枠体14aを構成する側壁部14b、14c、14d、14eから離れて配置される。第1電極17a、第2電極18aおよび第3電極19aにはそれぞれ、蓋部16aから露出する部分において、厚さ方向に貫通する貫通孔17e、18e、19eが形成されている。本実施形態においては、第1電極17aは、いわゆるP端子であり、第2電極18aは、いわゆるO端子であり、第3電極19aは、いわゆるN端子である。

[0050] 第1電極17aは、回路パターン13aの回路板13bと接続される。第1電極17aは、回路板13bと接続される第1領域17bと、第1領域17bと連なって第1の主面12bと交差する方向、本実施形態においてはZ方向に延びる第2領域17cと、第2領域17cと連なって第2領域17cの延びる方向と交差する方向に延び、封止材15aから露出する第3領域17dと、を含む。本実施形態においては、第3領域17dは、X方向に延びる部分を含む。第1領域17bは、回路板13bと導電性を有する接合材、例えばはんだにより接合される。第1領域17bおよび第2領域17cの一部は、封止材15aの内部に位置する。第3領域17dは、外部に露出する領域、すなわち、蓋部16aから露出する領域を含む。第3領域17dには、上記した貫通孔17eが形成されている。なお、第1電極17aは、回路板13fとも接続される。このようにして、第1電極17aと、回路板13bおよび回路板13fとは電氣的に接続されている。

[0051] 第2電極18aは、回路パターン13aの回路板13cおよび回路板13dと接続される。第2電極18aは、回路板13cおよび回路板13dと接続される第1領域18bと、第1領域18bと連なって第1の主面12bと交差する方向、本実施形態においてはZ方向に延びる第2領域18cと、第2領域18cと連なって第2領域18cの延びる方向と交差する方向に延び、封止材15aから露出する第3領域18dと、を含む。本実施形態においては、第3領域18dは、X方向に延びる部分を含む。第1領域18bは、回路板13cおよび回路板13dのそれぞれと導電性を有する接合材、例えばはんだにより接合される。第1領域18bおよび第2領域18cの一部は、封止材15aの内部に位置する。第3領域18dは、外部に露出する領域、すなわち、蓋部16aから露出する領域を含む。第3領域18dには、上記した貫通孔18eが形成されている。なお、第2電極18aは、回路板13gとも接続される。このようにして、第2電極18aと、回路板13c、回路板13dおよび回路板13gとは電氣的に接続されている。

[0052] ここで、板状の第2電極18aにより回路板13cと回路板13dとは、電氣的に接続されている。よって、回路板13cと回路板13dとの間の電気経路において、ワイヤや回路パターン13a等の配線により回路板13cと回路板13dとを接続する場合に比べて、配線抵抗の低下を実現することができる。

[0053] 第3電極19aは、回路パターン13aの回路板13eと接続される。第3電極19aは、回路板13eと接続される第1領域19bと、第1領域19bと連なって第1の主面12bと交差する方向、本実施形態においてはZ方向に延びる第2領域19cと、第2領域19cと連なって第2領域19cの延びる方向と交差する方向に延び、封止材15aから露出する第3領域19dと、を含む。本実施形態においては、第3領域19dは、X方向に延びる部分を含む。第1領域19bは、回路板13eと導電性を有する接合材、例えばはんだにより接合される。第1領域19bおよび第2領域19cの一部は、封止材15aの内部に位置する。第3領域19dは、外部に露出する

領域、すなわち、蓋部 16 a から露出する領域を含む。第 3 領域 19 d には、上記した貫通孔 19 e が形成されている。なお、第 3 電極 19 a は、回路板 13 h とともに接続される。このようにして、第 3 電極 19 a と、回路板 13 e および回路板 13 h とは電氣的に接続されている。

[0054] ここで、第 1 電極 17 a、第 2 電極 18 a および第 3 電極 19 a の具体的な構成について説明する（特に図 6～図 9 参照）。

[0055] 第 3 電極 19 a は、間隔をあけてそれぞれ平行に配置される第 1 平板部 19 f および第 2 平板部 19 g を含む。第 1 平板部 19 f と第 2 平板部 19 g とは、Y 方向に間隔をあけて設けられている。第 1 平板部 19 f および第 2 平板部 19 g は、第 1 の主面 12 b に対して垂直である。第 1 平板部 19 f および第 2 平板部 19 g はそれぞれ、X-Z 平面に平行である。

[0056] 第 2 電極 18 a は、第 3 平板部 18 f を含む。第 3 平板部 18 f は、第 1 の主面 12 b に対して垂直である。第 3 平板部 18 f は、X-Z 平面に平行である。第 3 平板部 18 f は、第 1 平板部 19 f と第 2 平板部 19 g との間であって、第 1 平板部 19 f および第 2 平板部 19 g のそれぞれと間隔をあけて配置される。すなわち、第 1 平板部 19 f、第 2 平板部 19 g および第 3 平板部 18 f は、平行平板を構成している。

[0057] 第 2 電極 18 a は、第 3 電極 19 a と間隔をあけて平行に配置される第 1 部分 18 g を含む。本実施形態においては、第 1 部分 18 g は、第 3 平板部 18 f である。

[0058] また、第 1 電極 17 a は、第 7 平板部 17 f を含む（特に図 6 参照）。第 7 平板部 17 f は、第 1 の主面 12 b に対して垂直である。第 7 平板部 17 f は、Y-Z 平面に平行である。

[0059] 第 3 電極 19 a は、第 8 平板部 19 h を含む。第 8 平板部 19 h は、第 1 の主面 12 b に対して垂直である。本実施形態においては、第 8 平板部 19 h は、Y-Z 平面に平行である。すなわち、第 7 平板部 17 f および第 8 平板部 19 h は、平行平板を構成している。

[0060] 第 1 電極 17 a は、第 3 電極 19 a と間隔をあけて平行に配置される第 3

部分 17 g を含む。本実施形態においては、第 3 部分 17 g は、第 7 平板部 17 f である。

[0061] なお、第 2 電極 18 a は、第 9 平板部 18 h を含む。第 9 平板部 18 h は、第 1 の主面 12 b に対して垂直である。第 9 平板部 18 h は、Y-Z 平面に平行である。

[0062] 次に、第 1 導電部材 26 a 等の配置について説明する。基板 12 a の厚さ方向に見て封止材 15 a の内部に位置する電極、ここでは、第 1 電極 17 a、第 2 電極 18 a および第 3 電極 19 a と、導電部材、ここでは、第 1 導電部材 26 a、26 b、26 c、26 d、第 2 導電部材 27 a、27 b、27 c、27 d、第 3 導電部材 26 e、26 f、第 4 導電部材 27 e、27 f との間には、それぞれ隙間がある。すなわち、図 7 に示すように、基板 12 a の厚さ方向に見て、第 1 電極 17 a、第 2 電極 18 a および第 3 電極 19 a のそれぞれと、第 1 導電部材 26 a、26 b、26 c、26 d、第 2 導電部材 27 a、27 b、27 c、27 d、第 3 導電部材 26 e、26 f、第 4 導電部材 27 e、27 f とは重なった領域を有さず、それぞれ間隔をあけて配置されている。

[0063] 図 14 は、図 7 中に破線で示す領域 R の拡大図である。図 14 を参照して、基板 12 a の厚さ方向に見て、封止材 15 a によって覆われている電極 19 a と導電部材 27 b との間には、隙間 29 a がある。具体的には、第 3 電極 19 a の第 1 領域 19 b と第 2 導電部材 27 b との間の隙間 29 a、より具体的には、第 2 導電部材 27 b の Y 方向の端部 29 b と第 1 領域 19 b の Y 方向の端部 29 c との間の隙間 29 a は、図 14 中の D_1 で示される。隙間 D_1 は、本実施形態においては、1 mm 以上である。あるいは、隙間 D_1 は、5 mm 以上である。

[0064] 次に、枠体 14 a の具体的な構成について説明する（特に図 11 および図 12 参照）。枠体 14 a は、リブ 41 a を含む。リブ 41 a は、側壁部 14 d、14 e の内壁面 14 n、14 o から突出する。具体的には、リブ 41 a は、側壁部 14 d の内壁面 14 n から対向する内壁面 14 o に向かって X 方

向に延びるように設けられている。リブ41aは、側壁部14dから側壁部14eにわたって設けられている。すなわち、リブ41aは、枠体14aにおいて、側壁部14dと側壁部14eとを接続する梁状となるよう設けられている。このような梁状のリブ41aを備えることにより、枠体14aが振れにくい構成となり、耐振動性を向上させることができる。本実施形態においては、リブ41aは、側壁部14d、14eと一体である。リブ41aについても、上記した熱可塑性樹脂から構成されている。このようにすることにより、リブ41aを容易に製造することができる。また、一つの金型で枠体14aを成形できるため、安価に構成することができる。

[0065] リブ41aは、側壁部14dの内壁面14nに接続され、X方向に真っ直ぐに延びる第1突出部42aと、側壁部14eの内壁面14oに接続され、X方向に真っ直ぐに延びる第2突出部43aと、第1突出部42aおよび第2突出部43aのそれぞれに接続される中央部44aと、を含む。中央部44aは、側壁部14bの内壁面14lおよび側壁部14cの内壁面14mのそれぞれと接触していない。中央部44aは、第1電極17aおよび第3電極19aを支持する第1支持部45aと、第2電極18aおよび第3電極19aを支持する第2支持部46aと、を含む。第1支持部45aは、第1突出部42aと接続されている。第2支持部46aは、第2突出部43aと接続されている。第1支持部45aと第2支持部46aとは、X方向に並んで配置されている。

[0066] 第1支持部45aには、第1ガイド孔47aと、第2ガイド孔48aと、が形成されている。第1ガイド孔47aおよび第2ガイド孔48aはそれぞれ、基板12aの厚さ方向に（Z方向）に貫通している。第1ガイド孔47aと第2ガイド孔48aとは、X方向に間隔をあけて配置されている。第1ガイド孔47aおよび第2ガイド孔48aを構成する壁面はそれぞれ、基板12aの厚さ方向に見て、それぞれ第1電極17aおよび第3電極19aの外形形状に沿った矩形状である。第1ガイド孔47aは、第1電極17aの折り曲げる前の第3領域17dを貫通可能に構成されている。第2ガイド孔

48aは、第3電極19aの折り曲げる前の第3領域19dを貫通可能に構成されている。第1ガイド孔47aと第2ガイド孔48aとの間に位置する部分が、第1電極17aと第3電極19aとの間に進入する進入部49aとなる。

[0067] 第2支持部46aには、第1ガイド溝51aと、第2ガイド溝52aと、が形成されている。第1ガイド溝51aは、Z方向に凹むように形成されている。第2支持部46aは、第11平板部53aと、第12平板部54aと、第1接続部55aと、を含む。第11平板部53aと第12平板部54aとは、Y方向に間隔をあけて平行に配置される。第1接続部55aは、第11平板部53aのZ方向の端部と第12平板部54aのZ方向の端部とを接続するように設けられる。第1ガイド溝51aは、Y方向に間隔をあけて配置される第11平板部53aと第12平板部54aとの間に形成される。第1ガイド溝51a内には、第2電極18aの第3平板部18fの一部が配置される。第11平板部53aのうち、側壁部14cの内壁面14mと対向する対向面56a側には、第3電極19aの第1平板部19fが配置される。第11平板部53aは、第2電極18aと第3電極19aとの間に進入する進入部58aとなる。第12平板部54aのうち、側壁部14bの内壁面14lと対向する対向面57a側には、第3電極19aの第2平板部19gが配置される。第12平板部54aは、第2電極18aと第3電極19aとの間に進入する進入部59aとなる。

[0068] 第2ガイド溝52aは、Y方向に凹むように形成されている。第2支持部46aは、第13平板部61aと、第14平板部62aと、第2接続部63aと、を含む。第13平板部61aと第14平板部62aとは、X方向に間隔をあけて平行に配置される。第2接続部63aは、第13平板部61aのY方向の端部と第14平板部62aのY方向の端部とを接続するように設けられる。第2ガイド溝52aは、X方向に間隔をあけて配置される第13平板部61aと第14平板部62aとの間に形成される。第2ガイド溝52a内には、第9平板部18hの一部が配置される。

[0069] 本実施形態においては、リブ41aに含まれる進入部49a, 58a, 59aはそれぞれ、封止材15aが配置される位置に至るよう構成されている。すなわち、進入部49a, 58a, 59aはそれぞれ、図13に示すように封止材15aと接触している。

[0070] 次に、半導体装置10aの動作時において流れる電流経路について説明する。半導体装置10aにおいて電流が流れる際の電流経路は、第1電極17aから回路板13b、第1半導体チップ21a, 21b, 21c, 21d、第1導電部材26a, 26b, 26c, 26d、回路板13c、第2電極18aに至る。さらに、第2電極18a、回路板13d、第2半導体チップ22a, 22b, 22c, 22d、第2導電部材27a, 27b, 27c, 27d、回路板13e、そして第3電極19aに至る。また、電流経路として、第1電極17aから回路板13f、第5半導体チップ21e, 21f、第3導電部材26e, 26f、回路板13g、第2電極18aに至り、さらに、第2電極18a、回路板13h、第4導電部材27e, 27f、第6半導体チップ22e, 22f、回路板13g、そして第3電極19aに至る経路もある。

[0071] ここで、第1電極17aから第3電極19aに至る電流経路について考える。半導体装置10aには、図10に示すように、例えば平滑コンデンサといったコンデンサ101が第1半導体チップ21a, 21b, 21c, 21dおよび第2半導体チップ22a, 22b, 22c, 22dと並列に接続される場合がある。この時、第1半導体チップ21a, 21b, 21c, 21dおよび第2半導体チップ22a, 22b, 22c, 22dとコンデンサ101との間において閉回路が形成される。半導体装置10aにおいてこの閉回路の経路は、第1電極17aから回路板13b、第1半導体チップ21a, 21b, 21c, 21d、第1導電部材26a, 26b, 26c, 26d、回路板13c、第2電極18a、回路板13d、第2半導体チップ22a, 22b, 22c, 22d、第2導電部材27a, 27b, 27c, 27d、回路板13e、そして第3電極19aに至る経路となる。この閉回路には

、スイッチング時において高い di/dt が発生してしまう。サージ電圧において、インダクタンスが大きいと、高い di/dt が発生した場合に高いサージ電圧が発生し、第1半導体チップ21a, 21b, 21c, 21dおよび第2半導体チップ22a, 22b, 22c, 22dに印加されることになる。このような状態は、第1半導体チップ21a, 21b, 21c, 21dおよび第2半導体チップ22a, 22b, 22c, 22dの損傷を招くおそれがある。よって、サージ電圧の抑制が求められる。第1電極17aから第3電極19aに至る電流経路において、インダクタンスの低減を図ることができれば、サージ電圧の抑制を図ることができる。

[0072] なお、図10に示すように、第1半導体チップ21a, 21b, 21c, 21dと並列に第5半導体チップ21e, 21fを配置することができる。また、第2半導体チップ22a, 22b, 22c, 22dと並列に第6半導体チップ22e, 22fを配置することもできる。

[0073] ここで、第2電極18a内において、電流は、第1領域18bから第2領域18cを経由して第3領域18dに流れる。図9に示すように第2領域18cにおける第1部分18gである第3平板部18fにおいては、矢印 V_1 で示すように矢印Xの向きに電流は流れる。一方、第3電極19a内において、電流は、第1領域19bから第2領域19cを経由して第3領域19dに流れる。第2領域19cにおける第1平板部19fおよび第2平板部19gにおいては、矢印 V_2 で示すように矢印Xと逆の向きに電流は流れる。

[0074] また、第1電極内17a内において、電流は、第3領域17dから第2領域17cを経由して第1領域17bに流れる。第2領域17cにおいては、矢印 V_3 で示すように矢印Zと逆の向きに電流は流れる。一方、第3電極19a内においては、電流は第1領域19bから第2領域19cを経由して第3領域19dに流れる。第2領域19cにおける第8平板部19hにおいては、矢印 V_4 で示すように矢印Zの向きに電流は流れる。

[0075] 本開示の半導体装置10aにおいては、第2電極18aは、第3電極19aと間隔をあけて平行に配置される第1部分18gを含む。したがって、こ

の平行に配置される部分において、第3電極19aを流れる電流の向きと、第2電極18aを流れる電流の向きとを逆向きとすることにより、第2電極18aおよび第3電極19a内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより電流経路のインダクタンスは差し引かれる。したがって、半導体装置10aのインダクタンスの低減を図ることができる。

[0076] 本実施形態においては、第3電極19aは、間隔をあけてそれぞれ平行に配置される第1平板部19fおよび第2平板部19gを含む。第2電極18aは、第1平板部19fと第2平板部19gとの間であって、第1平板部19fおよび第2平板部19gのそれぞれと間隔をあけて配置される第3平板部18fを含む。本実施形態においては、第3平板部18fが、第1部分18gとなっている。したがって、平行に配置される第3平板部18fと第1平板部19fおよび第2平板部19gとのそれぞれの間において、第3電極19aを流れる電流の向きと、第2電極18aを流れる電流の向きとを逆向きとすることにより、第3電極19aおよび第2電極18a内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置10aのインダクタンスをさらに低減することができる。

[0077] 本実施形態においては、第1電極17aは、第3電極19aと間隔をあけて平行に配置される第3部分17gを含む。したがって、平行に配置される部分において、第1電極17aを流れる電流の向きと、第3電極19aを流れる電流の向きとを逆向きとすることにより、第1電極17aおよび第3電極19a内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置10aのインダクタンスをさらに低減することができる。

[0078] 本実施形態においては、第1電極17aは、第7平板部17fを含む。第3電極19aは、第7平板部17fと平行に配置される第8平板部19hを含む。本実施形態においては、第7平板部17fが、第3部分17gとなっている。したがって、平行に配置される第7平板部17fと第8平板部19

hとの間において、第1電極17aを流れる電流の向きと、第3電極19aを流れる電流の向きとを逆向きとすることにより、第1電極17aおよび第3電極19a内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置10aのインダクタンスをさらに低減することができる。

[0079] 本開示の半導体装置10aにおいて、枠体14aは、側壁部14d, 14eの内壁面14n, 14oから突出する絶縁性のリブ41aを含む。リブ41aは、平行に配置されている部分、具体的には、第2電極18aと第3電極19aとの間に進入し、平行に配置された第2電極18aおよび第3電極19a間の沿面距離を確保する進入部58a, 59aを含む。また、リブ41aは、第1電極17aと第3電極19aとの間に進入し、平行に配置された第1電極17aおよび第3電極19a間の沿面距離を確保する進入部49aを含む。したがって、平行に配置されている部分の間の絶縁性を進入部49a, 58a, 59aにより高めることができる。この場合、内壁面14l, 14oから突出するリブ41aは、枠体14aに含まれているため、枠体14aのベース板11aへの取り付け時にリブ41aを配置することができる。よって、容易に電極間の高い絶縁性を確保することができる。

[0080] 本実施形態においては、進入部58a, 59aは、第1平板部19fと第3平板部18fとの間および第2平板部19gと第3平板部18fとの間に進入する。したがって、進入部58a, 59aは、第1平板部19fと第3平板部18fとの間および第2平板部19gと第3平板部18fとの間において、容易に第2電極18aおよび第3電極19a間の高い絶縁性を確保することができる。

[0081] 本実施形態においては、進入部49aは、第7平板部17fと第8平板部19hとの間に配置されている。したがって、平行に配置される第1電極17aの第7平板部17fと第3電極19aの第8平板部19hとの間に進入する進入部49aを容易に配置することができる。したがって、容易に第1電極17aと第3電極19aとの間の高い絶縁性を確保することができる。

[0082] 次に、上記構成の半導体装置 10 a の製造方法について簡単に説明する。

まず、ベース板 11 a を準備する。次に、板はんだやペーストはんだ等の導電性を有する接合材を用い、ベース板 11 a に基板 12 a を接合すると共に、回路パターン 13 a に第 1 電極 17 a、第 2 電極 18 a、第 3 電極 19 a および第 1 半導体チップ 21 a 等の各半導体チップを接合する。ここで、第 1 電極 17 a、第 2 電極 18 a、第 3 電極 19 a は、各第 3 領域 17 d、18 d、19 d が折り曲げられていない状態のものを用いる。図 15 は、ベース板 11 a に基板 12 a を接合し、回路パターン 13 a に第 1 電極 17 a、第 2 電極 18 a、第 3 電極 19 a および第 1 半導体チップ 21 a 等の各半導体チップを接合した状態を示す概略斜視図である。

[0083] その後、接着剤を用いて枠体 14 a をベース板 11 a に取り付ける。なお、枠体 14 a には、第 1 制御端子 25 a、第 2 制御端子 25 b、第 3 制御端子 25 c および第 4 制御端子 25 d が予め取り付けられている。枠体 14 a は、第 1 電極 17 a の第 7 平板部 17 f が第 1 ガイド孔 47 a 内に收容され、第 3 電極 19 a の第 8 平板部 19 h が第 2 ガイド孔 48 a 内に收容され、第 2 電極の第 3 平板部 18 f が第 1 ガイド溝 51 a 内に收容され、第 2 電極の第 9 平板部 18 h が第 2 ガイド溝 52 a 内に收容されるようにして、ベース板 11 a に取り付けられる。この時、対向面 56 a が第 3 電極 19 a の第 1 平板部 19 f に対向し、対向面 57 a が第 3 電極 19 a の第 2 平板部 19 g に対向するように配置される。

[0084] 本実施形態においては、第 1 平板部 19 f、第 2 平板部 19 g および第 3 平板部 18 f は、第 1 の主面 12 b に対して垂直である。したがって、枠体 14 a をベース板 11 a に取り付ける際に、進入部 58 a、59 a を第 1 平板部 19 f と第 3 平板部 18 f との間および第 2 平板部 19 g と第 3 平板部 18 f との間に容易に配置しやすくすることができる。よって、より容易に第 2 電極 18 a および第 3 電極 19 a 間の高い絶縁性を確保することができる。

[0085] 本実施形態においては、第 7 平板部 17 f および第 8 平板部 19 h は、第

1の主面12bに対して垂直である。したがって、枠体14aをベース板11aに取り付ける際に、進入部49aを第7平板部17fと第8平板部19hとの間に容易に配置しやすくすることができる。よって、より容易に第1電極17aおよび第3電極19a間の高い絶縁性を確保することができる。

[0086] 次に、第1導電部材26a等により、各部材を電氣的に接続する。この場合、ボンディングツールを用い、ワイヤボンディングにより各部材を接続する。図16は、枠体14aをベース板11aに取り付け、第1導電部材26a等を接合した状態を示す概略斜視図である。

[0087] ここで、本開示の半導体装置10aによると、基板12aの厚さ方向に見て、封止材15aによって覆われている第1電極17a、第2電極18aおよび第3電極19aと第1導電部材26a、26b、26c、26d、第2導電部材27a、27b、27c、27d、第3導電部材26e、26fおよび第4導電部材27e、27fとの間には、隙間29aがある。このような半導体装置10aは、基板12aの厚さ方向に見て、封止材15aによって覆われている第1電極17a、第2電極18aおよび第3電極19aと第1導電部材26a、26b、26c、26d、第2導電部材27a、27b、27c、27d、第3導電部材26e、26fおよび第4導電部材27e、27fとが重ならない構成である。よって、回路パターン13aと第1半導体チップ21a、21b、21c、21d、第2半導体チップ22a、22b、22c、22d、第3半導体チップ23a、23b、23c、23d、第4半導体チップ24a、24b、24c、24d、第5半導体チップ21e、21f、第6半導体チップ22e、22f、第7半導体チップ23e、23fおよび第8半導体チップ24e、24fとの接合および回路パターン13aと第1電極17a、第2電極18aおよび第3電極19aとの接合を同時に行うことができる。また、このような構成の半導体装置10aにおいては、ボンディングツールを用いて第1導電部材26a、26b、26c、26d、第2導電部材27a、27b、27c、27d、第3導電部材26e、26fおよび第4導電部材27e、27fにより配線を行うに際し、

ボンディングツールが第1電極17a、第2電極18aおよび第3電極19aと干渉するおそれを低減することができる。したがって、生産性の向上を図ることができる。

[0088] その後、開口14g側から枠体14aによって取り囲まれた空間14fに液状の封止材15aが充填される。封止材15aは、封止材15aの硬化後においても封止材15aと進入部49a、58a、59aとが接触するように充填される。

[0089] 本実施形態においては、リブ41aは、側壁部14d、14eと一体である。したがって、封止材15aを封入した際に、リブ41aが浮力で動くことを抑制することができる。よって、確実な絶縁を図ることができる。

[0090] 本実施形態においては、第1平板部19f、第2平板部19gおよび第3平板部18fは、第1の主面12bに対して垂直である。したがって、封止材15aを充填する際に封止材15a中に噛み込んだ気泡が第1平板部19f、第2平板部19gおよび第3平板部18fの下部領域に溜まってしまふことを回避することができる。したがって、封止材15a中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置10aの信頼性の向上を図ることができる。

[0091] 本実施形態においては、第7平板部17fおよび第8平板部19hは、第1の主面12bに対して垂直である。したがって、封止材15aを封入する際に、封止材15aの封入時に噛み込んだボイドが第7平板部17fおよび第8平板部19hの下部領域に溜まってしまふことを回避することができる。したがって、封止材15a中にボイドが溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置10aの信頼性の向上を図ることができる。

[0092] 充填された封止材15aが硬化した後、蓋部16aが枠体14aに取り付けられる。図17は、蓋部16aを枠体14aに取り付けた状態を示す概略斜視図である。図17を参照して、第1電極17a、第2電極18aおよび第3電極19a、具体的には第1電極17aのうちの折り曲げられていない

第3領域17d、第2電極18aのうちの折り曲げられていない第3領域18dおよび第3電極19aのうちの折り曲げられていない第3領域19dがそれぞれ、蓋部16aの貫通孔16e、16f、16gを貫通するようにして、蓋部16aは、枠体14aに取り付けられる。

[0093] その後、第1電極17a、第2電極18aおよび第3電極19aのうちの蓋部16aから露出した部分をX方向に90度折り曲げる。このようにして、第1電極17a、第2電極18aおよび第3電極19aの露出した部分が端子台16b、16c、16dの外形に沿い、貫通孔17e、18e、19eの開口部分がナット16h、16i、16jのそれぞれのねじ孔と一致するように構成する。このようにして図1に示す半導体装置10aが製造される。

[0094] (実施の形態2)

次に、他の実施の形態である実施の形態2について説明する。図18は、実施の形態2における半導体装置の一部を示す概略斜視図である。図18に示す半導体装置において、蓋部、封止材および枠体の図示を省略している。図19は、図18に示す半導体装置の概略側面図である。図20は、図19に示す半導体装置を図19中のXX-XXで切断した場合の概略断面図である。図21は、図20に示す半導体装置において、第1電極、第2電極および第3電極の図示を省略した場合の概略断面図である。図22は、図20に示す半導体装置において、第1電極、第2電極および第3電極のみを図示した場合の概略断面図である。実施の形態2の半導体装置は、第1電極、第2電極および第3電極の構成が異なる点において、実施の形態1の場合と相違する。また、実施の形態2において、回路板13eおよび回路板13hは分割されていない。

[0095] 図18～図22を参照して、実施の形態2の半導体装置10bは、第1電極17jと、第2電極18jと、第3電極19jと、を含む。

[0096] 第1電極17jは、間隔をあけてそれぞれ平行に配置される第4平板部17kおよび第5平板部17lを含む。第4平板部17kと第5平板部17l

とは、Y方向に間隔をあけて設けられている。第4平板部17kおよび第5平板部17lは、第1の主面12bに対して垂直である。第4平板部17kおよび第5平板部17lはそれぞれ、X-Z平面に平行である。

[0097] 第2電極18jは、第6平板部18kを含む。第6平板部18kは、第1の主面12bに対して垂直である。第6平板部18kは、X-Z平面に平行である。第6平板部18kは、第4平板部17kと第5平板部17lとの間であって、第4平板部17kおよび第5平板部17lのそれぞれと間隔をあけて配置される。すなわち、第4平板部17k、第5平板部17lおよび第6平板部18kは、平行平板を構成している。

[0098] 第2電極18jは、第1電極17jと間隔をあけて平行に配置される第2部分18lを含む。本実施形態においては、第2部分18lは、第6平板部18kである。

[0099] また、第1電極17jは、第7平板部17mを含む（特に図19参照）。第7平板部17mは、第1の主面12bに対して垂直である。第7平板部17mは、Y-Z平面に平行である。

[0100] 第3電極19jは、第8平板部19kを含む。第8平板部19kは、第1の主面12bに対して垂直である。本実施形態においては、第8平板部19kは、Y-Z平面に平行である。すなわち、第7平板部17mおよび第8平板部19kは、平行平板を構成している。

[0101] 第1電極17jは、第3電極19jと間隔をあけて平行に配置される第3部分17nを含む。本実施形態においては、第3部分17nは、第7平板部17mである。

[0102] なお、第2電極18jは、第9平板部18mを含む。第9平板部18mは、第1の主面12bに対して垂直である。第9平板部18mは、Y-Z平面に平行である。

[0103] なお、本実施形態における半導体装置10bに含まれる枠体14aについては、第1電極17j、第2電極18jおよび第3電極19jの構成に応じて、第1ガイド孔、第2ガイド孔、第1ガイド溝、第2ガイド溝が設けられ

たりブを含む枠体 14 a が用いられる。

[0104] 本実施形態においては、第 2 電極 18 j は、第 1 電極 17 j と間隔をあけて平行に配置される第 2 部分 18 l を含む。したがって、この平行に配置される部分において、第 3 電極 19 j を流れる電流の向きと、第 2 電極 18 j を流れる電流の向きとを逆向きとすることにより、第 2 電極 18 j および第 3 電極 19 j 内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより電流経路のインダクタンスは差し引かれる。したがって、半導体装置 10 b のインダクタンスの低減を図ることができる。

[0105] 本実施形態においては、第 1 電極 17 j は、間隔をあけてそれぞれ平行に配置される第 4 平板部 17 k および第 5 平板部 17 l を含む。第 2 電極 18 j は、第 4 平板部 17 k と第 5 平板部 17 l との間であって、第 4 平板部 17 k および第 5 平板部 17 l のそれぞれと間隔をあけて配置される第 6 平板部 18 k を含む。本実施形態においては、第 6 平板部 18 k が、第 2 部分 18 l となっている。したがって、平行に配置される第 6 平板部 18 k と第 4 平板部 17 k および第 5 平板部 17 l とのそれぞれの間において、第 2 電極 18 j および第 1 電極 17 j 内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置 10 b のインダクタンスをさらに低減することができる。

[0106] 本実施形態においては、第 4 平板部 17 k、第 5 平板部 17 l および第 6 平板部 18 k は、第 1 の主面 12 b に対して垂直である。したがって、封止材 15 a を充填する際に封止材 15 a 中に噛み込んだ気泡が第 4 平板部 17 k、第 5 平板部 17 l および第 6 平板部 18 k の下部領域に溜まってしまふことを回避することができる。したがって、封止材 15 a 中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置 10 b の信頼性の向上を図ることができる。また、枠体 14 a をベース板 11 a に取り付ける際に、進入部 58 a、59 a を第 4 平板部 17 k と第 6 平板部 18 k との間および第 5 平板部 17 l と第 6 平板部 18 k との間に容易に配置しやすくすることができる。よって、より容易に第 2 電極 18 j および第 3

電極 1 9 j 間の高い絶縁性を確保することができる。

[0107] 本実施形態においては、第 1 電極 1 7 j は、第 7 平板部 1 7 m を含む。第 3 電極 1 9 j は、第 7 平板部 1 7 m と平行に配置される第 8 平板部 1 9 k を含む。したがって、平行に配置される第 7 平板部 1 7 m と第 8 平板部 1 9 k との間において、第 1 電極 1 7 j を流れる電流の向きと、第 3 電極 1 9 j を流れる電流の向きとを逆向きとすることにより、第 1 電極 1 7 j および第 3 電極 1 9 j 内を電流が流れる際に生ずる磁束を打ち消し、相互インダクタンスにより経路のインダクタンスは差し引かれる。よって、半導体装置 1 0 b のインダクタンスをさらに低減することができる。

[0108] 本実施形態においては、第 7 平板部 1 7 m および第 8 平板部 1 9 k は、第 1 の主面 1 2 b に対して垂直である。したがって、封止材 1 5 a を充填する際に封止材 1 5 a 中に噛み込んだ気泡が第 7 平板部 1 7 m および第 8 平板部 1 9 k の下部領域に溜まってしまふことを回避することができる。したがって、封止材 1 5 a 中に気泡が溜まるおそれを回避して絶縁性能の低下を抑制することができ、半導体装置 1 0 b の信頼性の向上を図ることができる。また、枠体 1 4 a をベース板 1 1 a に取り付ける際に、進入部 4 9 a を第 7 平板部 1 7 m と第 8 平板部 1 9 k との間に容易に配置しやすくすることができる。よって、より容易に第 1 電極 1 7 j および第 3 電極 1 9 j 間の高い絶縁性を確保することができる。

[0109] (実施の形態 3)

次に、さらに他の実施の形態である実施の形態 3 について説明する。図 2 3 は、実施の形態 3 における半導体装置の一部を模式的に示す概略断面図である。図 2 3 は、枠体、第 1 電極、第 2 電極および第 3 電極を含む断面である。実施の形態 3 の半導体装置は、枠体の構成が異なる点において、実施の形態 1 の場合と相違する。

[0110] 図 2 3 を参照して、本実施形態における半導体装置に含まれる枠体 1 4 p において、リブ 4 1 b は、側壁部 1 4 d, 1 4 e と着脱可能である。すなわち、リブ 4 1 b は、側壁部 1 4 b, 1 4 c, 1 4 d, 1 4 e と別部材である

。側壁部14d, 14eにはそれぞれ、リブ41bを嵌め込む切り欠き14q, 14rが形成されている。リブ41bの第1突出部42aおよび第2突出部43aはそれぞれ、実施の形態1に示す場合よりもX方向に長く形成されている。切り欠き14q, 14rに第1突出部42aの端部および第2突出部43aの端部を嵌め込んで、リブ41bは側壁部14d, 14eに取り付けられる。

[0111] このようにすることにより、リブ41bと側壁部14b, 14c, 14d, 14eとを別途製造することができ、沿面距離に応じて比較トラッキング指数(CTI (Comparative Tracking Index))の異なる材質を使うことができる。したがって、それぞれ、すなわち、側壁部14b, 14c, 14d, 14eおよびリブ41bの材質を変更することが容易となる。

[0112] なお、本実施形態においても、側壁部14b, 14c, 14d, 14eおよびリブ41bの材質を変更しなくともよく、また、側壁部14d, 14eの内壁面14n, 14oにそれぞれ凹部を設け、この凹部にリブ41bの第1突出部42aおよび第2突出部43aを嵌め込むようにして枠体14pを構成することにしてもよい。

[0113] (実施の形態4)

次に、さらに他の実施の形態である実施の形態4について説明する。図24は、実施の形態4における半導体装置の一部を模式的に示す概略断面図である。図24は、枠体、第1電極、第2電極および第3電極を含む断面である。実施の形態4の半導体装置は、第1電極、第2電極および第3電極と枠体とが一体となっている点において、実施の形態1の場合と相違する。

[0114] 図24を参照して、本実施形態における半導体装置に含まれる枠体14sにおいて、リブ41aは、第1電極17a、第2電極18aおよび第3電極19aと一体成型されている。リブ41aの第1支持部45aには、第1電極17aを収容する第1収容部47bと、第3電極19aを収容する第2収容部48bとが形成されている。リブ41aの第2支持部46aには、第2

電極 1 8 a を收容する第 3 收容部 5 1 b と、第 3 電極 1 9 a、具体的には、第 3 電極 1 9 a の第 1 平板部 1 9 f および第 2 平板部 1 9 g がそれぞれ嵌め込まれる第 1 嵌合部 5 6 b と第 2 嵌合部 5 7 b とが形成されている。

[0115] このようにすることにより、枠体 1 4 s と第 1 電極 1 7 a、第 2 電極 1 8 a および第 3 電極 1 9 a とを一体とすることができるため、部品点数を少なくすることができ、電極間における確実な絶縁を図ることができる。

[0116] (実施の形態 5)

次に、さらに他の実施の形態である実施の形態 5 について説明する。図 2 5 は、実施の形態 5 における半導体装置の一部を模式的に示す概略断面図である。図 2 5 は、枠体、第 1 電極、第 2 電極および第 3 電極を含む断面である。実施の形態 5 の半導体装置は、枠体が絶縁紙を含む点において、実施の形態 1 の場合と相違する。

[0117] 図 2 5 を参照して、本実施形態における半導体装置に含まれる枠体 1 4 t は、第 1 電極 1 7 a、第 2 電極 1 8 a および第 3 電極 1 9 a の少なくともいずれか 2 つが平行に配置されている部分の間に配置される絶縁紙 6 4 a、6 5 a、6 6 a を含む。絶縁紙 6 4 a は第 1 ガイド孔 4 7 a のうちの進入部 4 9 a が位置する側の壁面に貼付するように配置される。すなわち、第 1 電極 1 7 a と進入部 4 9 a との X 方向の間に絶縁紙 6 4 a が配置される。絶縁紙 6 5 a は、対向面 5 6 a に貼付するようにして配置される。すなわち、第 3 電極 1 9 a の第 1 平板部 1 9 f と対向面 5 6 a との Y 方向の間に絶縁紙 6 5 a が配置される。絶縁紙 6 6 a は、対向面 5 7 a に貼付するようにして配置される。すなわち、第 3 電極 1 9 a の第 2 平板部 1 9 g と対向面 5 7 a との Y 方向の間に絶縁紙 6 6 a が配置される。絶縁紙 6 4 a、6 5 a、6 6 a はそれぞれ、例えば接着剤により貼付するように取り付けられる。

[0118] このように、リブ 4 1 a と比較して C T I の高い絶縁紙 6 4 a、6 5 a、6 6 a を用いることで最小沿面距離を小さくすることができる。したがって、このようにすることにより、リブ 4 1 a を樹脂部材として沿面距離が十分に確保することが困難な場合においても、絶縁性の向上を図ることができる。

。

[0119] (実施の形態6)

次に、さらに他の実施の形態である実施の形態6について説明する。図26は、実施の形態6における半導体装置の一部を模式的に示す概略断面図である。図26は、枠体、第1電極、第2電極および第3電極を含む断面である。実施の形態6の半導体装置は、絶縁紙を含む枠体と第1電極等とが一体化されている点において、実施の形態5の場合と相違する。

[0120] 図26を参照して、本実施形態における半導体装置に含まれる枠体14uは、第1電極17a、第2電極18aおよび第3電極19aの少なくともいずれか2つが平行に配置されている部分の間に配置される絶縁紙64a、65a、66aを含む。本実施形態における半導体装置に含まれる枠体14uにおいて、リブ41aは、第1電極17a、第2電極18aおよび第3電極19a、さらに絶縁紙64a、65a、66aと一体成型されている。リブ41aの第1支持部45aにおいて、第1電極17aを収容する第1収容部47bと、第3電極19aを収容する第2収容部48bとの間には、絶縁紙64aが配置されている。すなわち、絶縁紙64aは、進入部49aに埋め込まれた構成である。リブ41aの第2支持部46aにおいて、第2電極18aを収容する第3収容部51bと、対向面56aとの間には、絶縁紙65aが配置されている。すなわち、絶縁紙65aは、進入部58aに埋め込まれた構成である。また、リブ41aの第2支持部46aにおいて、第2電極18aを収容する第3収容部51bと、対向面57aとの間には、絶縁紙66aが配置されている。すなわち、絶縁紙66aは、進入部59aに埋め込まれた構成である。

[0121] このように、枠体14uと第1電極17a、第2電極18aおよび第3電極19a、さらには絶縁紙64a、65a、66aを一体とすることができ、部品点数を少なくすることができ、電極間における確実な絶縁を図ることができると共に、リブ41aを樹脂部材として沿面距離が十分に確保することが困難な場合においても、絶縁性の向上を図ることができる。

[0122] なお、上記の実施の形態5および実施の形態6において、絶縁紙64a, 65a, 66aについては、例えば必要に応じていずれか1つが設けられる構成としてもよい。

[0123] (他の実施の形態)

なお、上記の実施の形態においては、リブは、熱可塑性樹脂で構成することとしたが、これに限らず、リブは、熱可塑性樹脂以外の材質、例えば、その少なくとも一部が熱硬化性樹脂から構成されていてもよく、リブの一部が絶縁性を有する部材、例えばセラミック製であってもよい。

[0124] なお、上記の実施の形態において、第1電極、第2電極および第3電極のそれぞれの第3領域において、蓋部から露出している部分を90度折り曲げることとしたが、これに限らず、蓋部から露出している部分を折り曲げずにそのままの形状、例えば第1の主面に垂直な方向に延びるよう構成してもよい。また、第3領域において、他の部材を溶接等により取り付け、第1電極等を構成することとしてもよい。

[0125] なお、上記の実施の形態において、回路板13b、回路板13c、回路板13dおよび回路板13eのうちの少なくともいずれか1つは、電氣的に接続される複数の回路板に分割されていてもよい。このようにすることにより、回路パターン13aの形状の設計の自由度を高めることができる。

[0126] なお、本開示において、回路パターン上の回路板や半導体チップの位置や導電部材の位置については、必ずしも上述の場合に限定されない。例えば、以下のような実施態様でもよい。本開示の半導体装置は、ベース板と、ベース板上に配置され、第1の主面を含む基板と、それぞれ離れて位置する複数の回路板を含み、第1の主面上に配置される回路パターンと、回路パターン上に配置され、回路板の一つと接続される板状の第1電極と、回路パターン上に配置され、回路板の二つと接続される板状の第2電極と、回路パターン上に配置され、回路板の一つと接続される板状の第3電極と、回路板上に配置される第1半導体チップと、回路板上に配置される第2半導体チップと、ベース板に取り付けられ、基板の外周を取り囲む側壁部を含む枠体と、を備

える。第1電極、第2電極および第3電極のうちの少なくとも2つは、平行に配置されている部分を含む。枠体は、側壁部の内壁面から突出する絶縁性のリブを含む。リブは、平行に配置されている部分の間に進入し、平行に配置された電極間の沿面距離を確保する進入部を含む。

[0127] 今回開示された実施の形態はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本開示の範囲は上記した説明ではなく、請求の範囲によって規定され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0128] 10a, 10b 半導体装置、11a ベース板、11b, 12b 第1の主面、11c, 12c 第2の主面、11d, 11e, 11f, 11g, 14h, 14i, 14j, 14k, 16e, 16f, 16g, 17e, 18e, 19e 貫通孔、12a 基板、13a 回路パターン、13b 回路板（第1回路板）、13c 回路板（第2回路板）、13d 回路板（第3回路板）、13e 回路板（第4回路板）、13f 回路板（第5回路板）、13g 回路板（第6回路板）、13h 回路板（第7回路板）、13i 回路板（第8回路板）、13j 回路板（第9回路板）、13k 回路板（第10回路板）、13l 回路板（第11回路板）、13m 回路板（第12回路板）、14a, 14p, 14s, 14t, 14u 枠体、14b, 14c, 14d, 14e 側壁部、14f 空間、14g 開口、14l, 14m, 14n, 14o 内壁面、14q, 14r 切り欠き、15a 封止材、16a 蓋部、16b, 16c, 16d 端子台、16h, 16i, 16j ナット、17a, 17j 第1電極、17b, 18b, 19b 第1領域、17c, 18c, 19c 第2領域、17d, 18d, 19d 第3領域、17f, 17m 第7平板部、17g, 17n 第3部分、17k 第4平板部、17l 第5平板部、18a, 18j 第2電極、18f 第3平板部、18g 第1部分、18h 第9平板部、18k 第6平板部、18l 第2部分、19a, 19j 第3電極、19f 第1平板部、19

g 第2平板部、19h、19k 第8平板部、21a, 21b, 21c, 21d 第1半導体チップ、21e, 21f 第5半導体チップ、22a, 22b, 22c, 22d 第2半導体チップ、22e, 22f 第6半導体チップ、23a, 23b, 23c, 23d 第3半導体チップ、23e, 23f 第7半導体チップ、24a, 24b, 24c, 24d 第4半導体チップ、24e, 24f 第8半導体チップ、25a 第1制御端子、25b 第2制御端子、25c 第3制御端子、25d 第4制御端子、26a, 26b, 26c, 26d 第1導電部材、26e, 26f 第3導電部材、27a, 27b, 27c, 27d 第2導電部材、27e, 27f 第4導電部材、28a, 28b, 28c, 28d, 28e ワイヤ、29a、隙間、29b, 29c 端部、41a, 41b リブ、42a 第1突出部、43a 第2突出部、44a 中央部、45a 第1支持部、46a 第2支持部、47a 第1ガイド孔、47b 第1収容部、48a 第2ガイド孔、48b 第2収容部、49a, 58a, 59a 進入部、51a 第1ガイド溝、51b 第3収容部、52a 第2ガイド溝、53a 第11平板部、54a 第12平板部、55a 第1接続部、56a, 57a 対向面、56b 第1嵌合部、57b 第2嵌合部、61a 第13平板部、62a 第14平板部、63a 第2接続部、64a, 65a, 66a 絶縁紙、101 コンデンサ、D₁ 隙間、R 領域、V₁, V₂, V₃, V₄ 矢印

請求の範囲

[請求項1]

ベース板と、
前記ベース板上に配置され、第1の主面を含む基板と、
それぞれ離れて位置する第1回路板、第2回路板、第3回路板および第4回路板を含み、前記第1の主面上に配置される回路パターンと、
前記回路パターン上に配置され、前記第1回路板と接続される板状の第1電極と、
前記回路パターン上に配置され、前記第2回路板および前記第3回路板と接続される板状の第2電極と、
前記回路パターン上に配置され、前記第4回路板と接続される板状の第3電極と、
前記第1回路板上に配置される第1半導体チップと、
前記第3回路板上に配置される第2半導体チップと、
前記第1半導体チップと前記第2回路板とを電氣的に接続する第1導電部材と、
前記第2半導体チップと前記第4回路板とを電氣的に接続する第2導電部材と、
前記ベース板に取り付けられ、前記基板の外周を取り囲む側壁部を含む枠体と、を備え、
前記第1電極、前記第2電極および前記第3電極のうちの少なくとも2つは、平行に配置されている部分を含み、
前記枠体は、前記側壁部の内壁面から突出する絶縁性のリブを含み、
前記リブは、前記平行に配置されている部分の間に進入し、前記平行に配置された電極間の沿面距離を確保する進入部を含む、半導体装置。

[請求項2]

ベース板と、

前記ベース板上に配置され、第1の主面を含む基板と、
それぞれ離れて位置する複数の回路板を含み、前記第1の主面上に配置される回路パターンと、
前記回路パターン上に配置され、前記回路板の一つと接続される板状の第1電極と、
前記回路パターン上に配置され、前記回路板の二つと接続される板状の第2電極と、
前記回路パターン上に配置され、前記回路板の一つと接続される板状の第3電極と、
前記回路板上に配置される第1半導体チップと、
前記回路板上に配置される第2半導体チップと、
前記ベース板に取り付けられ、前記基板の外周を取り囲む側壁部を含む枠体と、を備え、
前記第1電極、前記第2電極および前記第3電極のうちの少なくとも2つは、平行に配置されている部分を含み、
前記枠体は、前記側壁部の内壁面から突出する絶縁性のリブを含み、
前記リブは、前記平行に配置されている部分の間に進入し、前記平行に配置された電極間の沿面距離を確保する進入部を含む、半導体装置。

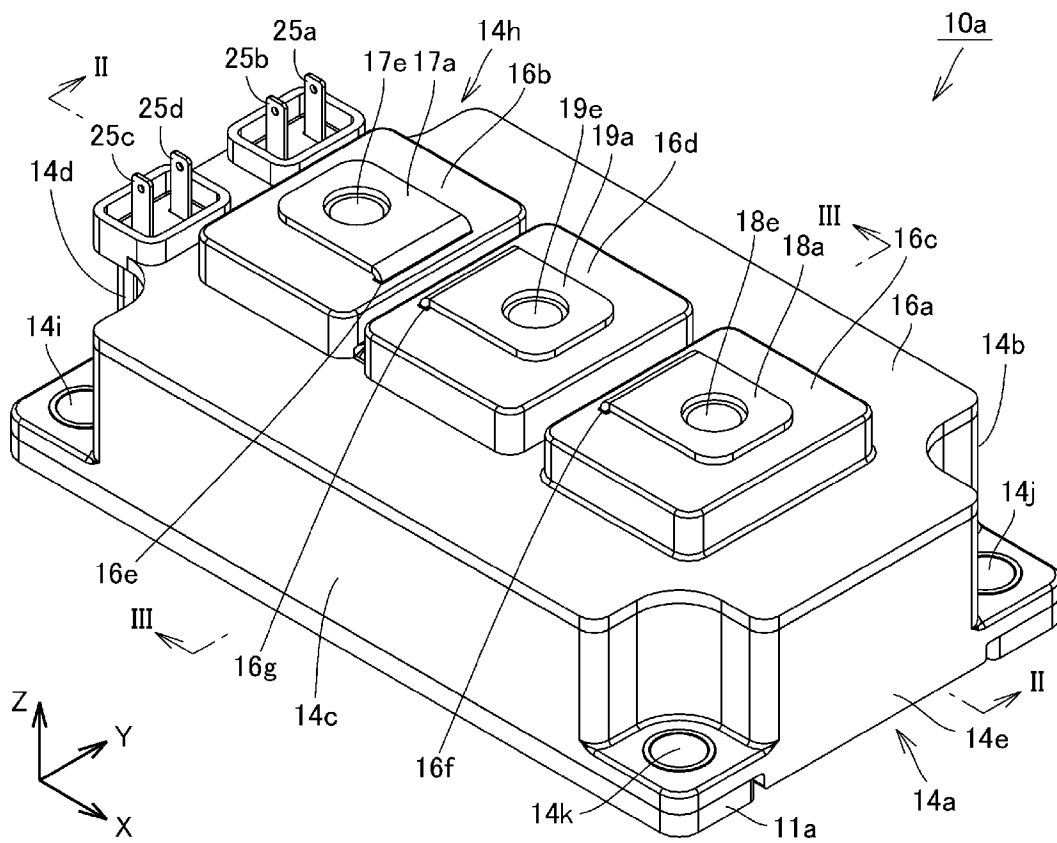
[請求項3]

前記第3電極は、間隔をあけてそれぞれ平行に配置される第1平板部および第2平板部を含み、
前記第2電極は、前記第1平板部と前記第2平板部との間であって、前記第1平板部および前記第2平板部のそれぞれと間隔をあけて配置される第3平板部を含み、
前記進入部は、前記第1平板部と前記第3平板部との間および前記第2平板部と前記第3平板部との間のうちの少なくともいずれか1つに進入する、請求項1または請求項2に記載の半導体装置。

- [請求項4] 前記第1平板部、前記第2平板部および前記第3平板部は、前記第1の主面に対して垂直である、請求項3に記載の半導体装置。
- [請求項5] 前記第1電極は、第7平板部を含み、
前記第3電極は、前記第7平板部と平行に配置される第8平板部を含み、
前記進入部は、前記第7平板部と前記第8平板部との間に配置される、請求項1から請求項4のいずれか1項に記載の半導体装置。
- [請求項6] 前記第7平板部および前記第8平板部は、前記第1の主面に対して垂直である、請求項5に記載の半導体装置。
- [請求項7] 前記リブは、前記側壁部と着脱可能である、請求項1から請求項6のいずれか1項に記載の半導体装置。
- [請求項8] 前記リブは、前記側壁部と一体である、請求項1から請求項6のいずれか1項に記載の半導体装置。
- [請求項9] 前記リブは、熱可塑性樹脂から構成されている、請求項1から請求項8のいずれか1項に記載の半導体装置。
- [請求項10] 前記枠体に取り囲まれた領域のうちの前記ベース板上の空間を絶縁する封止材をさらに備え、
前記進入部は、前記封止材と接触している、請求項1から請求項9のいずれか1項に記載の半導体装置。
- [請求項11] 前記平行に配置されている部分の間に配置される絶縁紙をさらに備える、請求項1から請求項10のいずれか1項に記載の半導体装置。

[図1]

FIG.1



[図2]

FIG.2

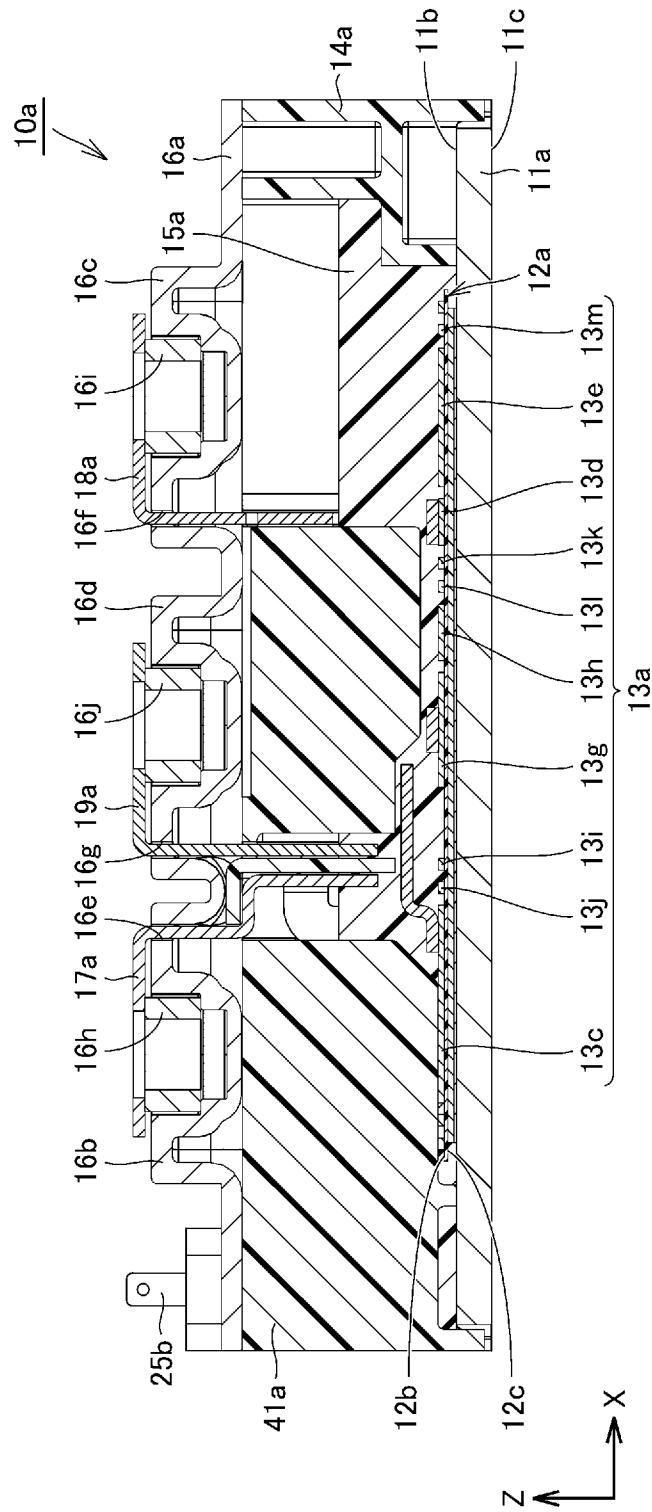


FIG.3

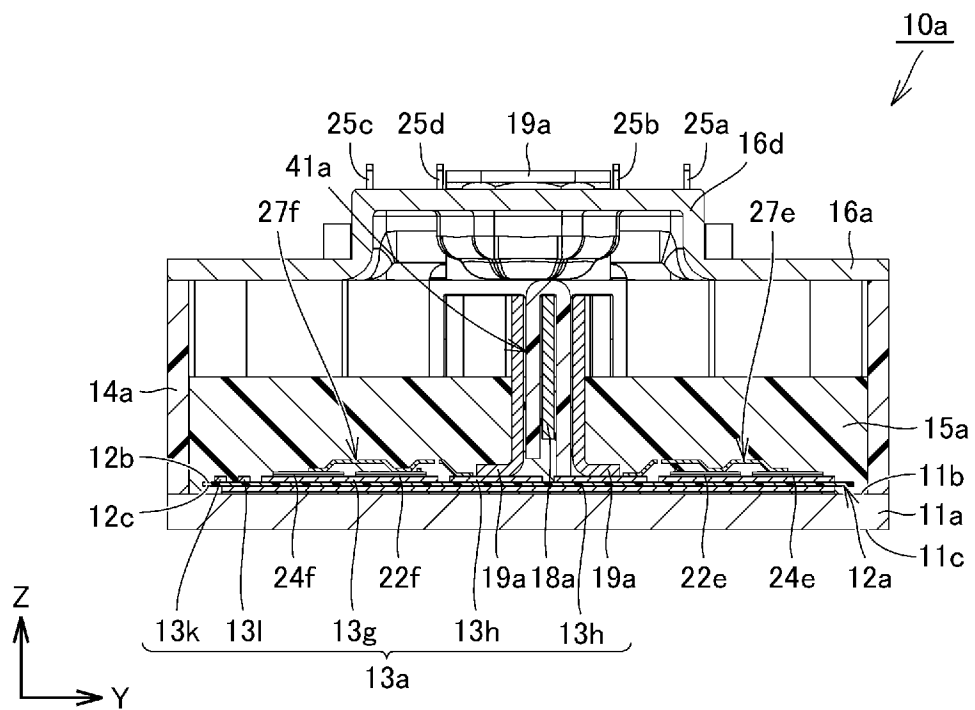
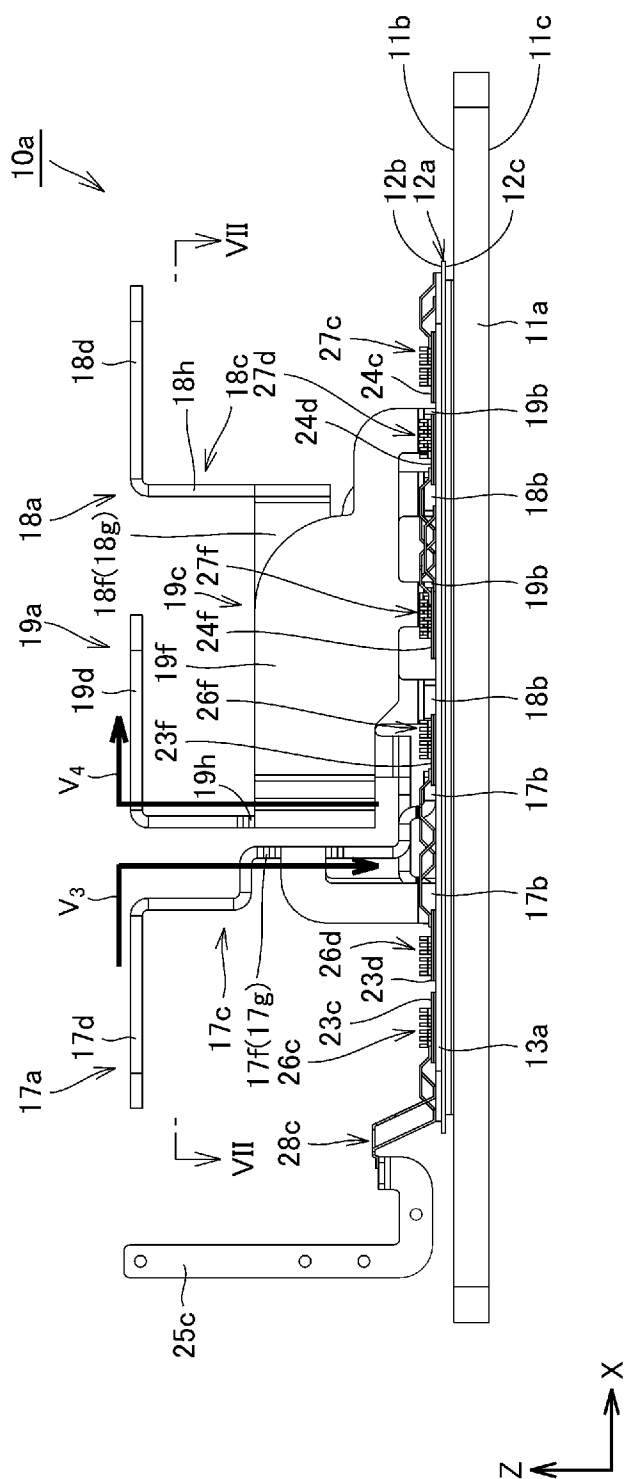
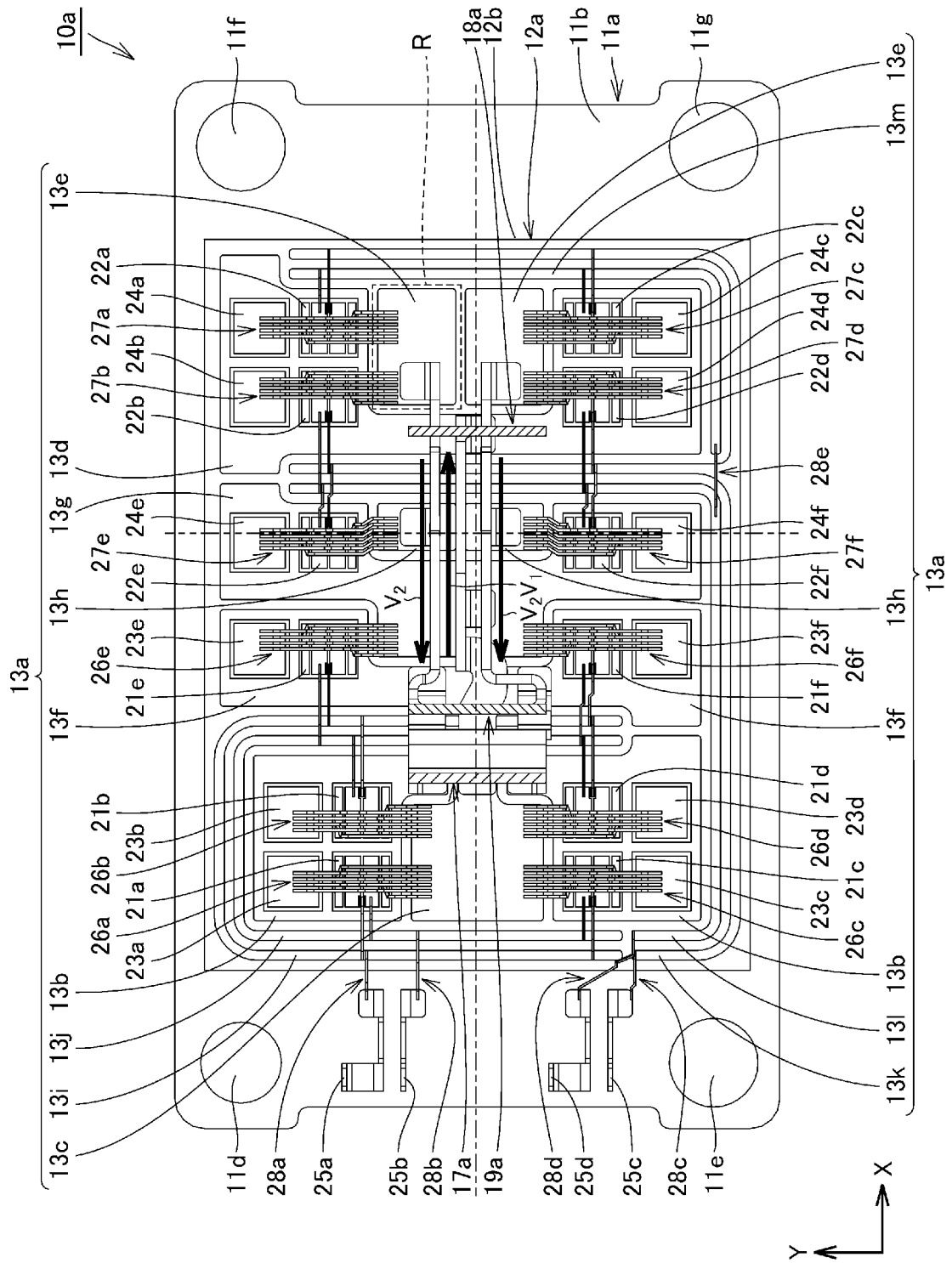


FIG.6



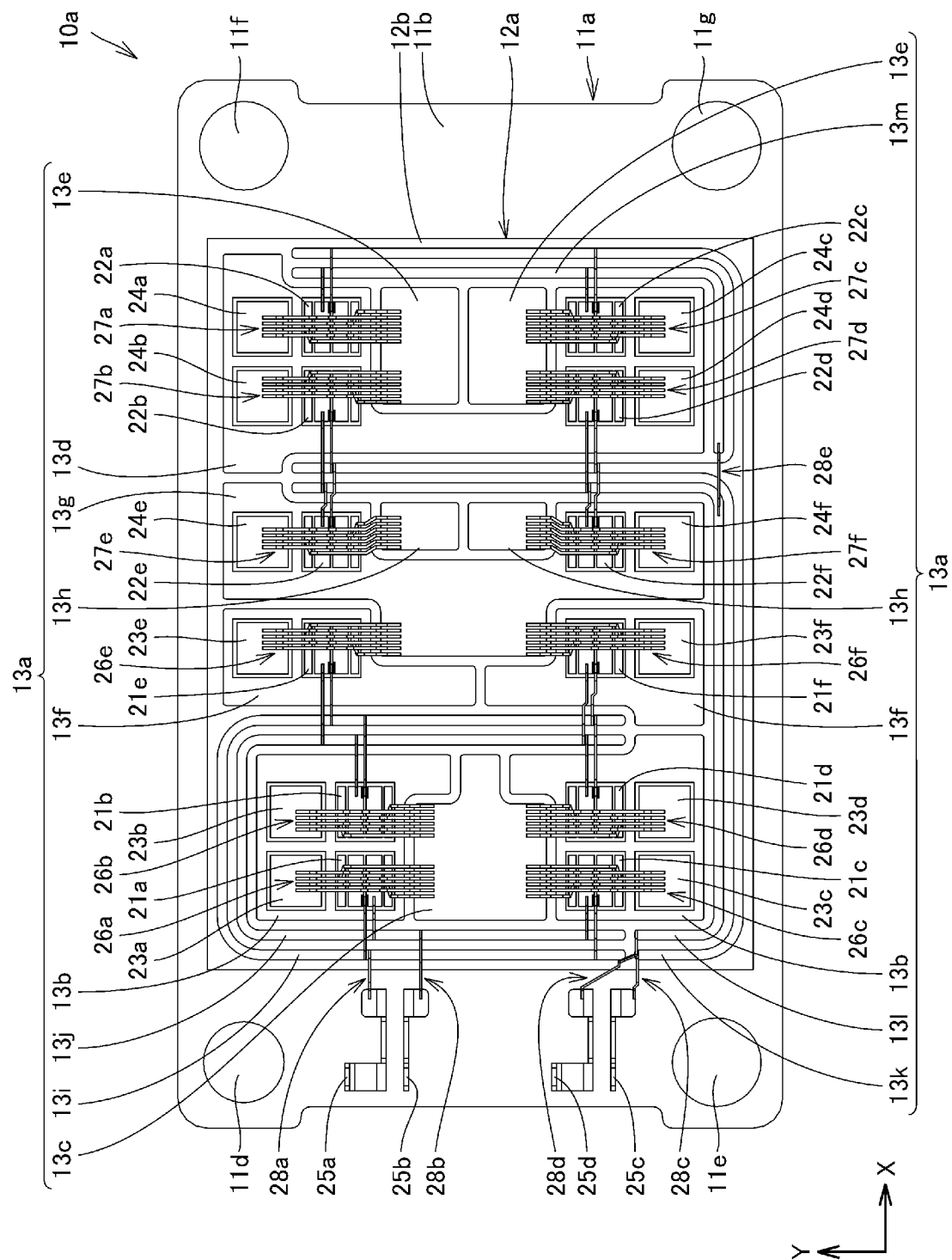
[図7]

FIG.7



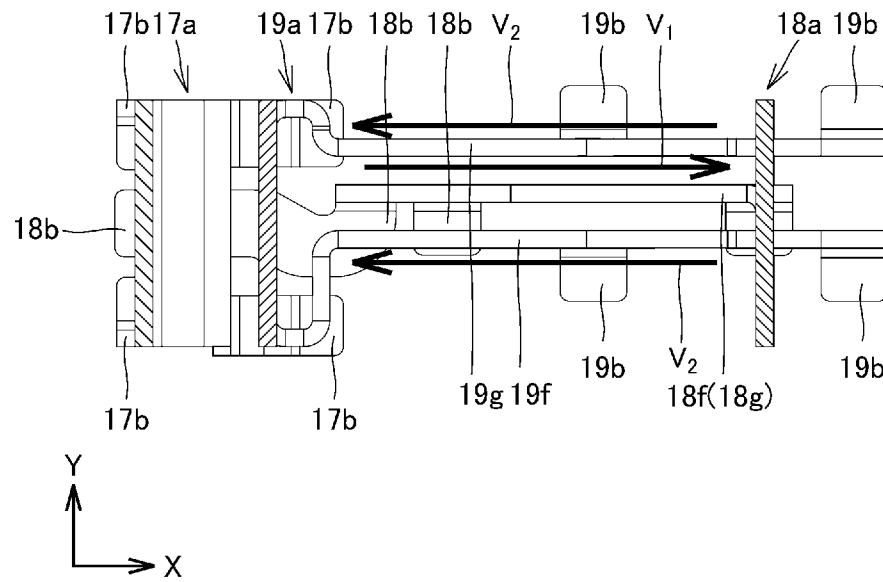
[図8]

FIG.8



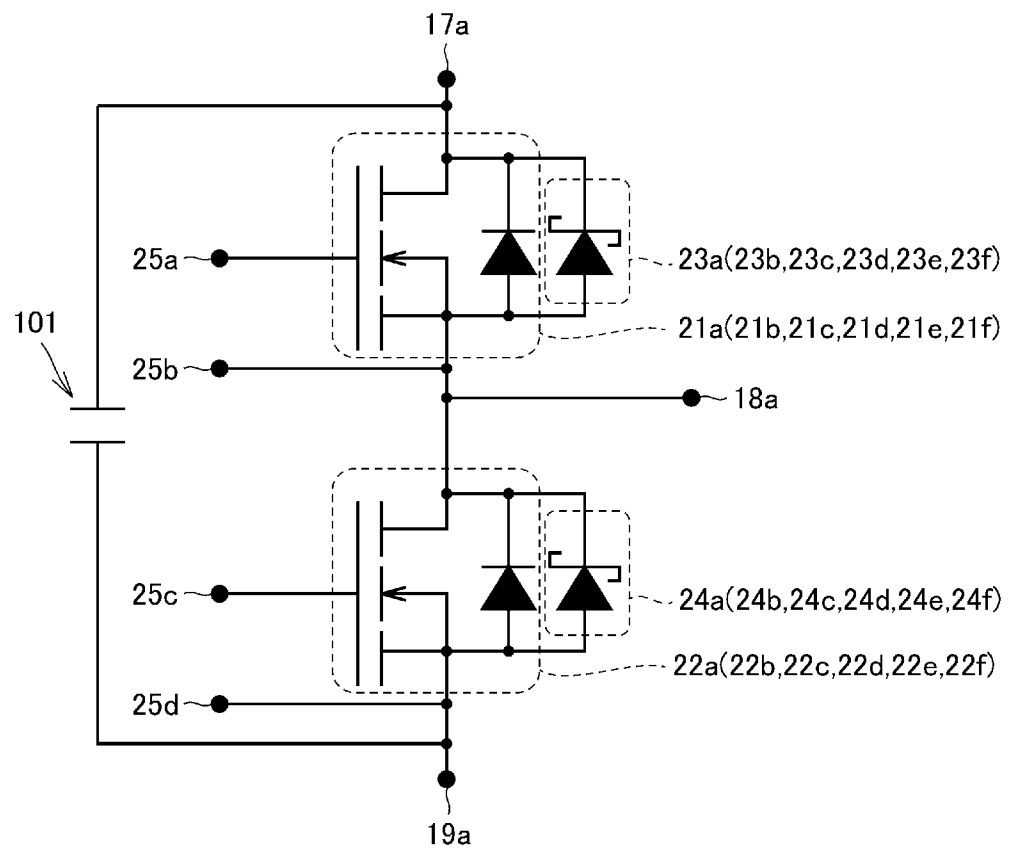
[図9]

FIG.9



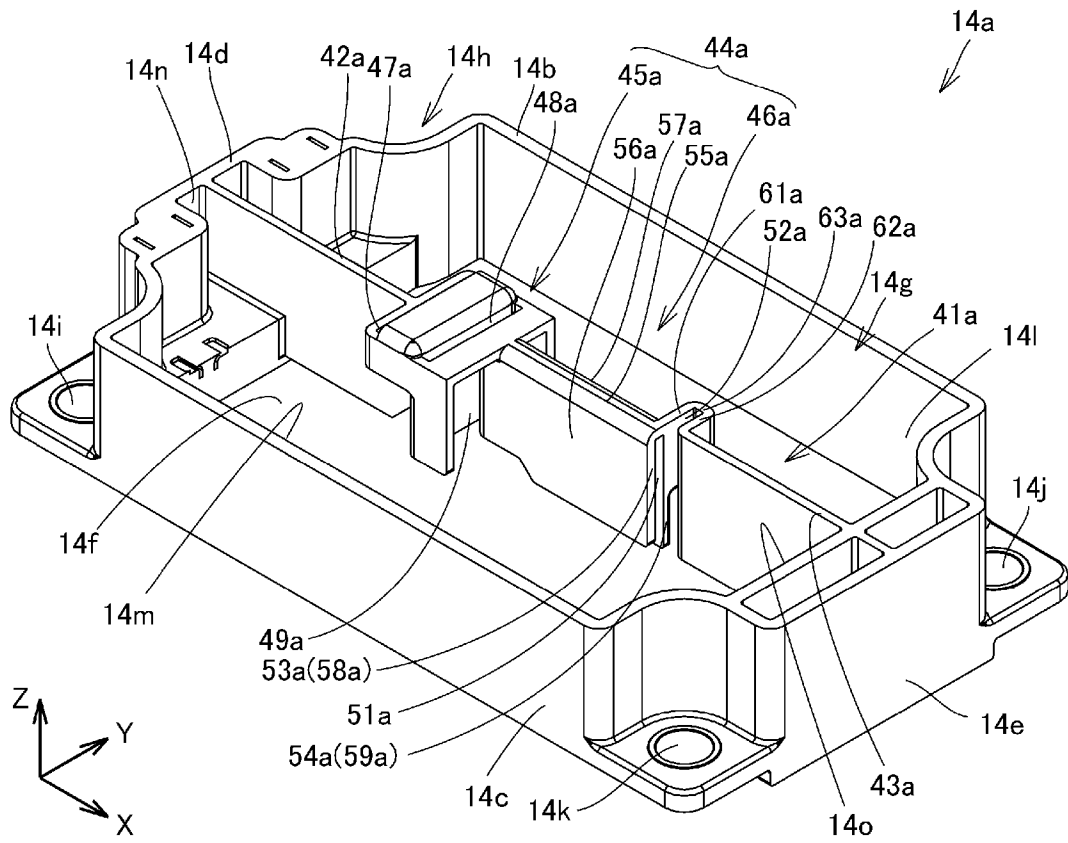
[図10]

FIG.10



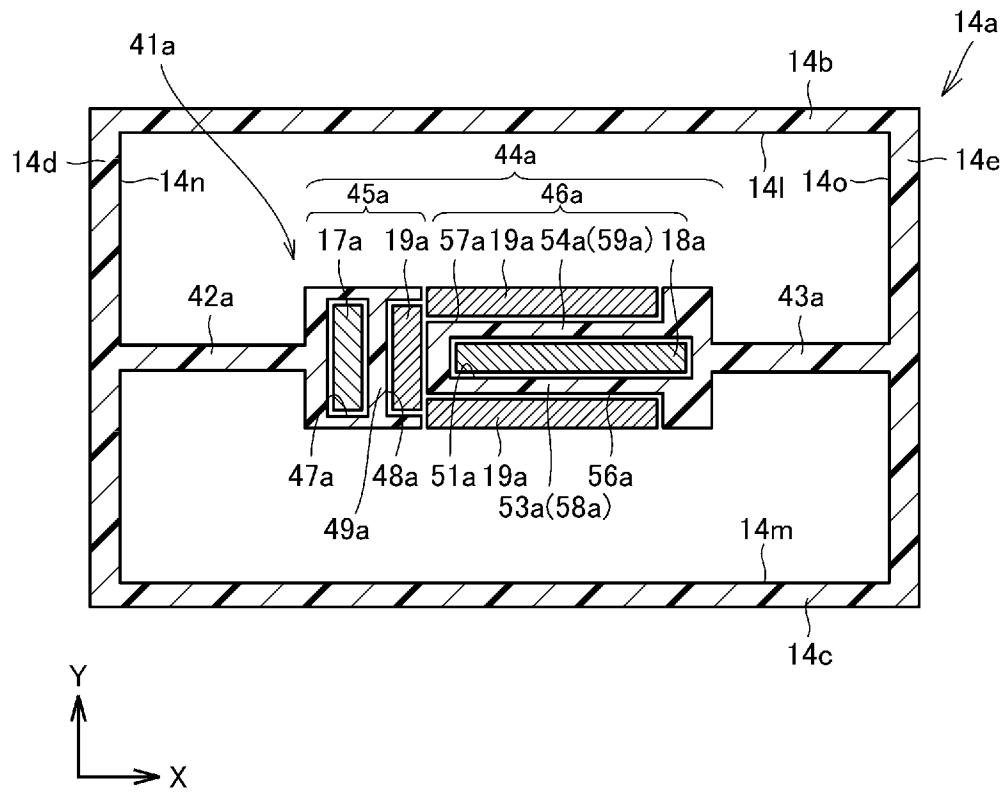
[図11]

FIG.11



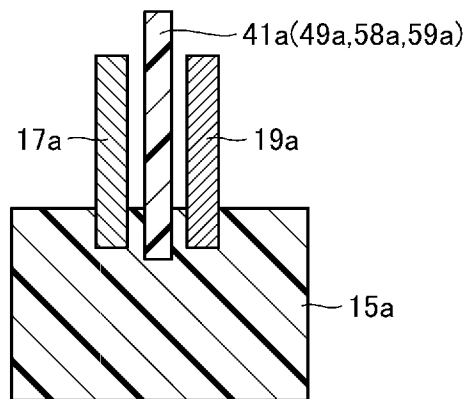
[図12]

FIG.12



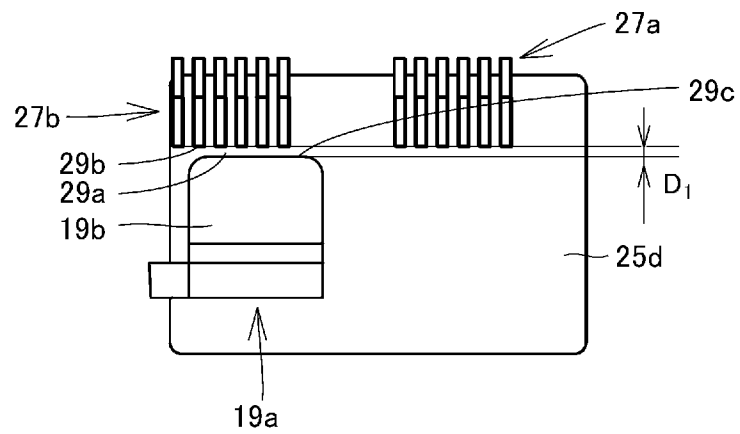
[図13]

FIG.13



[図14]

FIG.14



[図16]

FIG.16

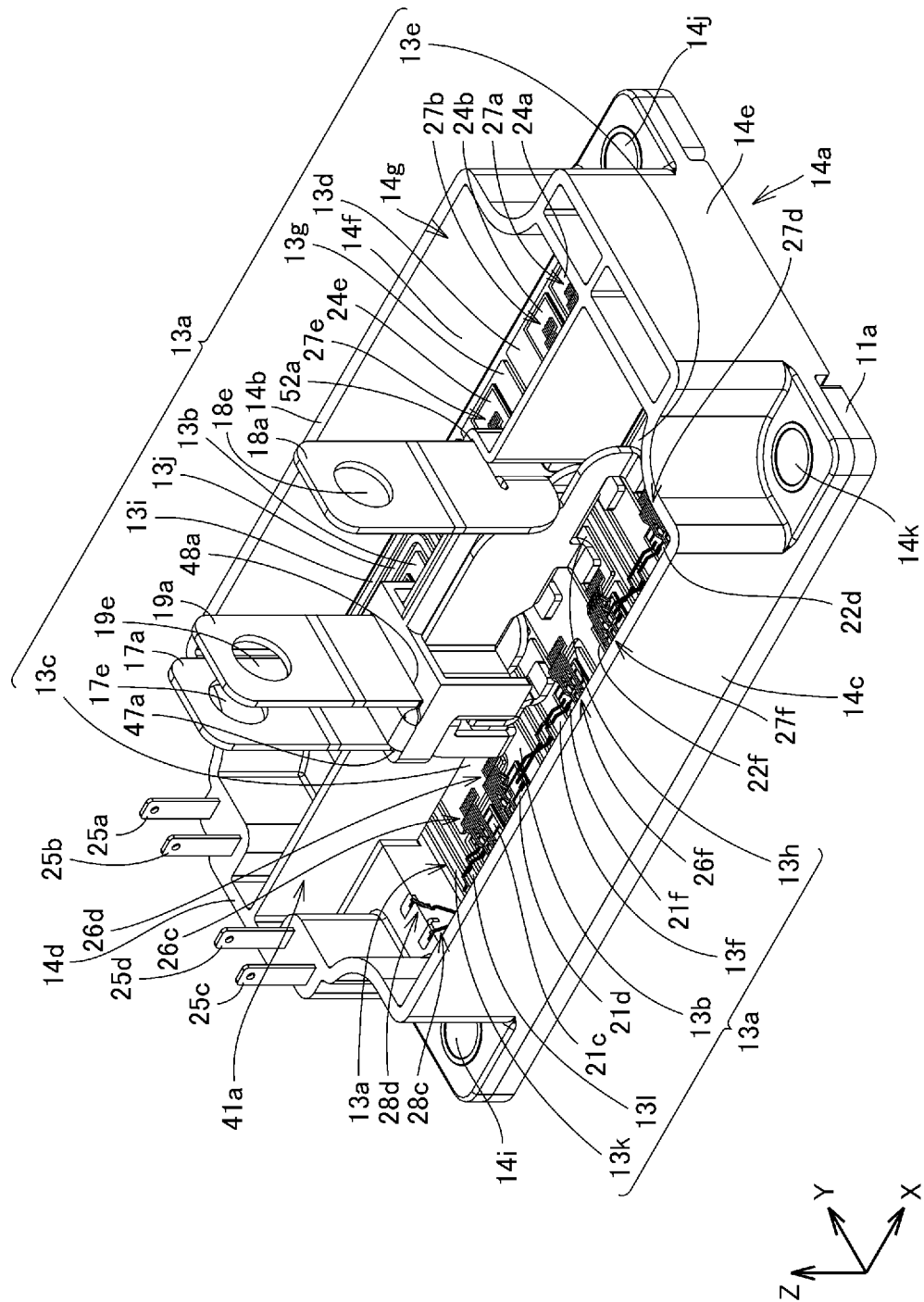
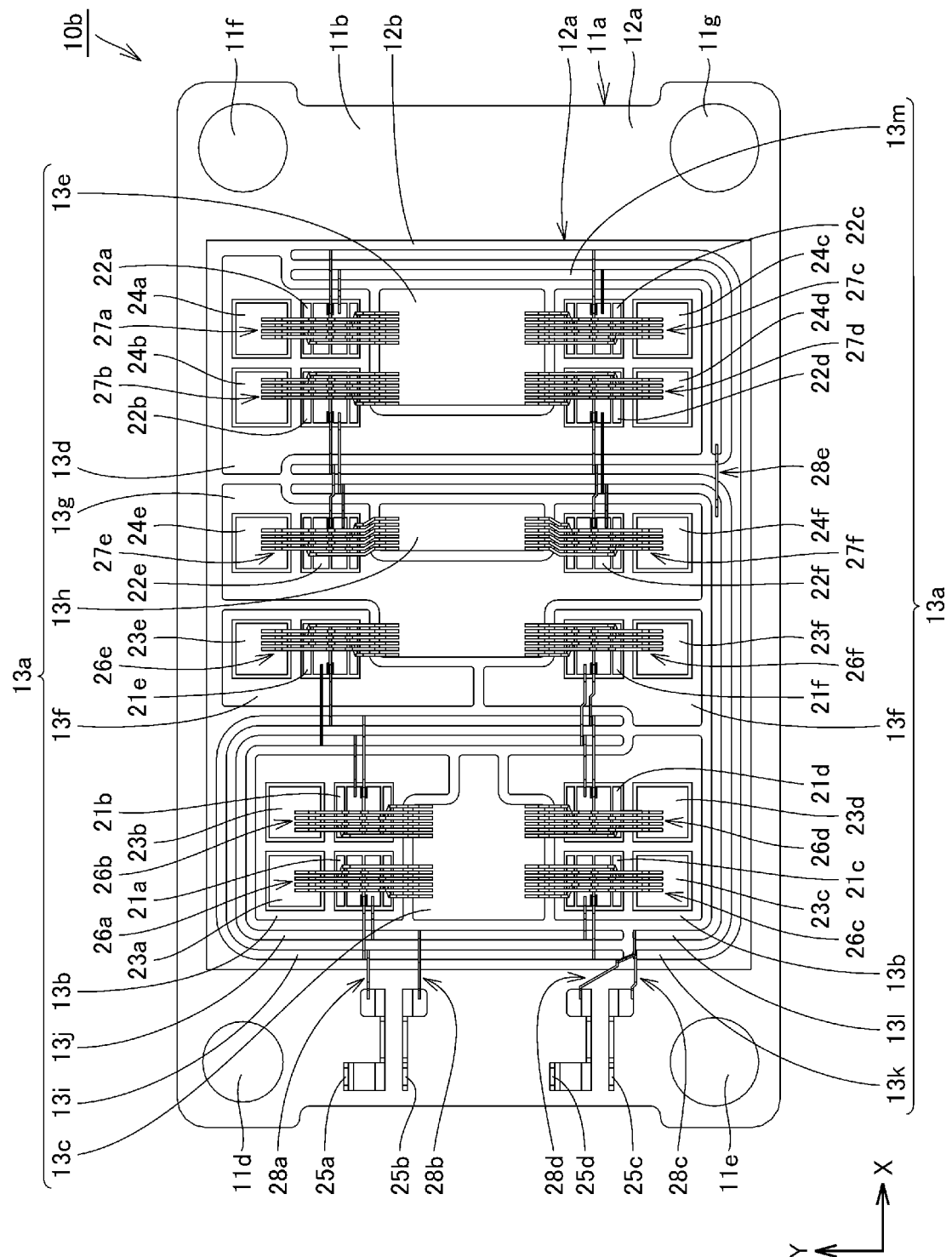
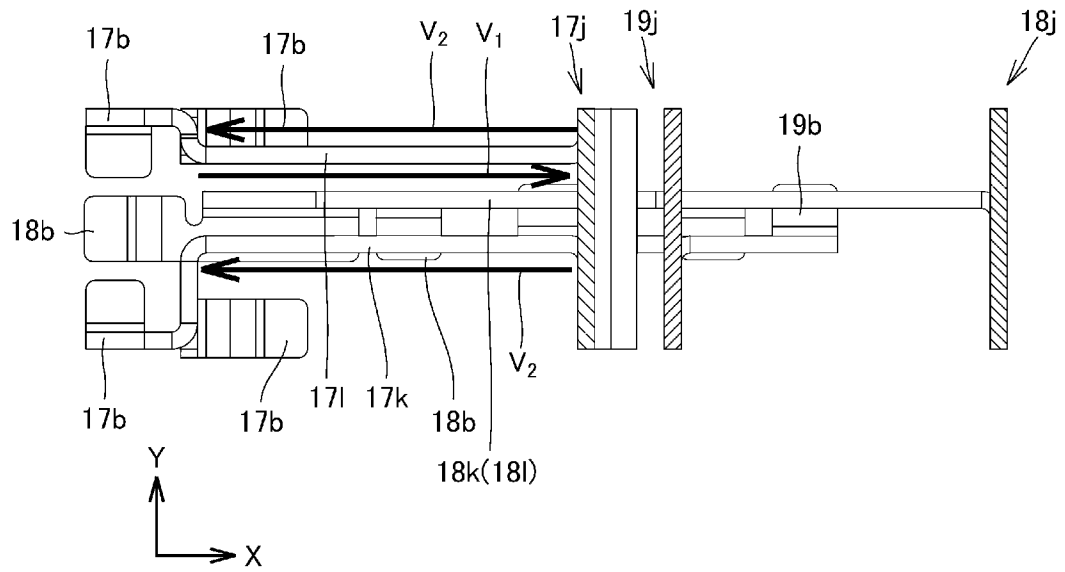


FIG.21



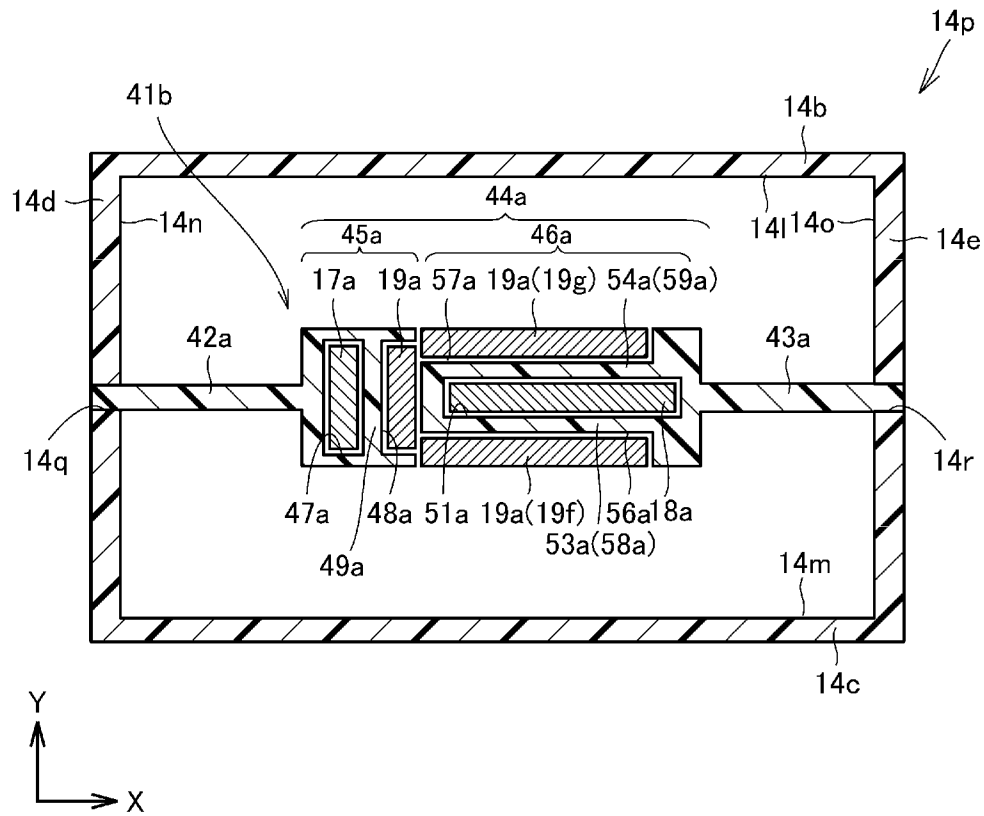
[図22]

FIG.22



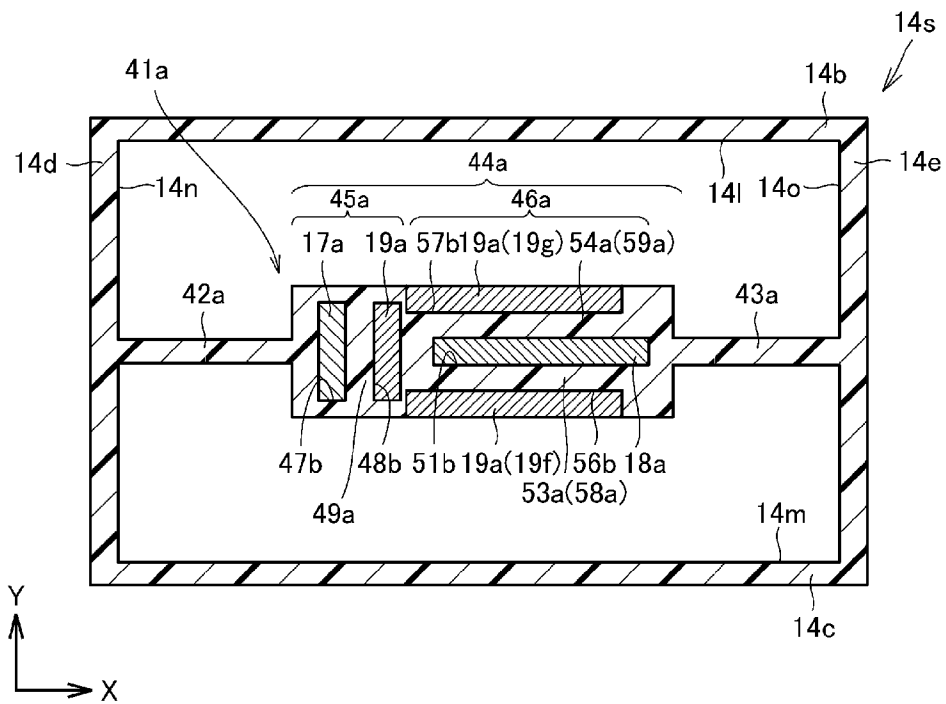
[図23]

FIG.23



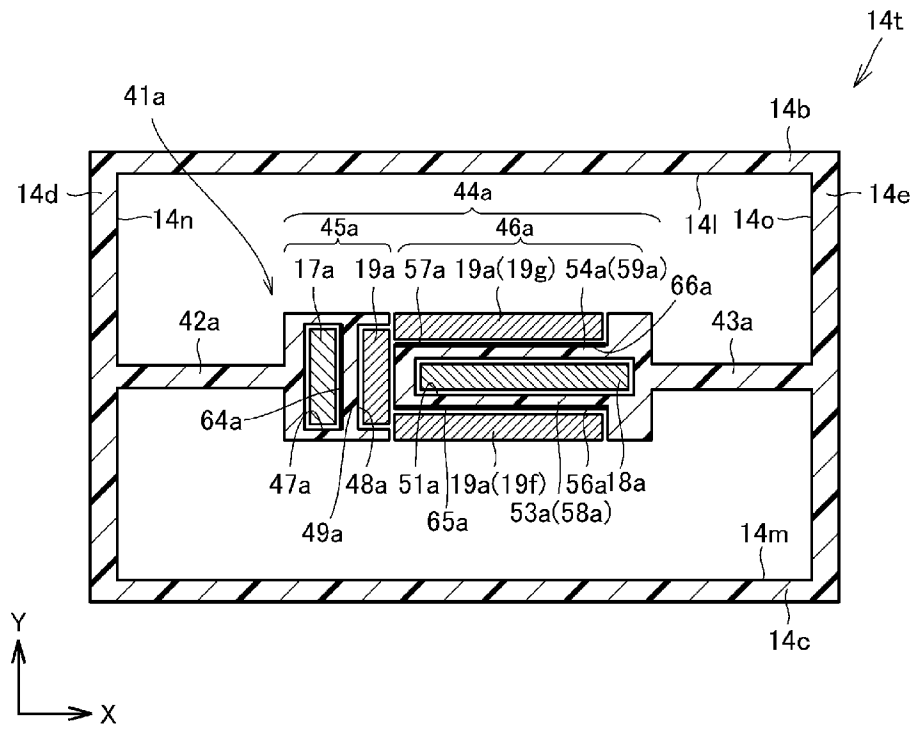
[図24]

FIG.24



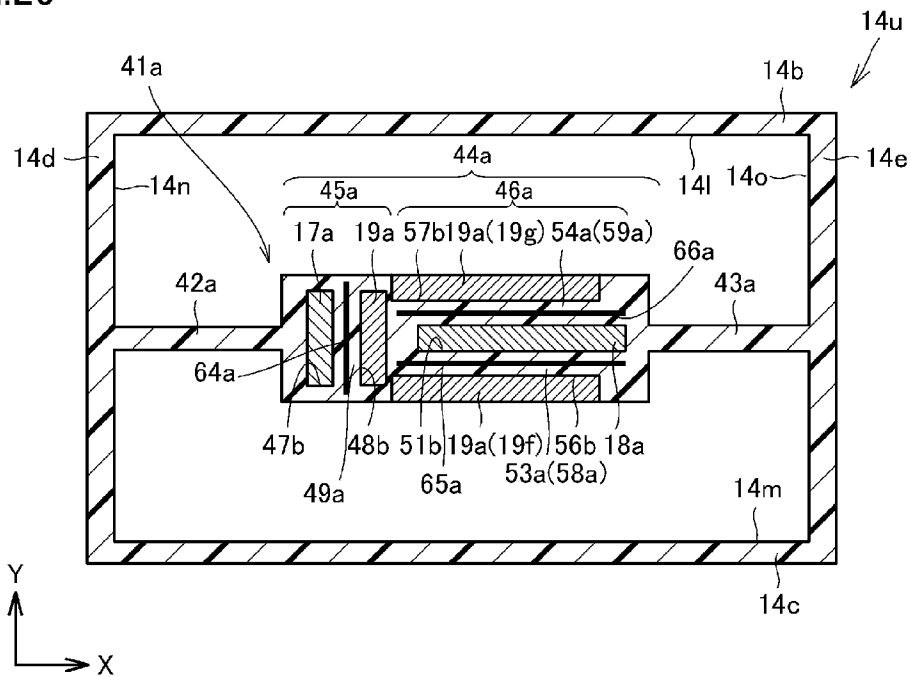
[図25]

FIG.25



[図26]

FIG.26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/048315

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/28**(2006.01)i; **H01L 25/07**(2006.01)i; **H01L 25/18**(2006.01)i

FI: H01L25/04 C; H01L23/28 K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/28; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-55926 A (TOYODA IRON WORKS CO., LTD.) 19 February 2004 (2004-02-19) entire text, all drawings	1-11
A	JP 9-121019 A (MITSUBISHI ELECTRIC CORP.) 06 May 1997 (1997-05-06) entire text, all drawings	1-11
A	JP 4-336454 A (MITSUBISHI ELECTRIC CORP.) 24 November 1992 (1992-11-24) entire text, all drawings	1-11
A	WO 2016/052183 A1 (SANSUHA ELECTRIC MANUFACTURING CO., LTD.) 07 April 2016 (2016-04-07) entire text, all drawings	1-11
A	JP 2008-294362 A (NIPPON INTER ELECTRONICS CORP.) 04 December 2008 (2008-12-04) entire text, all drawings	1-11
A	WO 2013/015031 A1 (FUJI ELECTRIC CO., LTD.) 31 January 2013 (2013-01-31) entire text, all drawings	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

21 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/048315

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2004-55926	A	19 February 2004	(Family: none)	
JP	9-121019	A	06 May 1997	US 5751058 A	
				entire text, all drawings	
				EP 772235 A2	
JP	4-336454	A	24 November 1992	(Family: none)	
WO	2016/052183	A1	07 April 2016	US 2017/0301594 A1	
				entire text, all drawings	
				EP 3203515 A1	
				CN 107078130 A	
JP	2008-294362	A	04 December 2008	(Family: none)	
WO	2013/015031	A1	31 January 2013	US 2013/0285231 A1	
				entire text, all drawings	
				EP 2738808 A1	
				CN 103299421 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/28(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C; H01L23/28 K														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L23/28; H01L25/07; H01L25/18														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2004-55926 A（豊田鉄工株式会社）19.02.2004（2004 - 02 - 19） 全文, 全図	1-11												
A	JP 9-121019 A（三菱電機株式会社）06.05.1997（1997 - 05 - 06） 全文, 全図	1-11												
A	JP 4-336454 A（三菱電機株式会社）24.11.1992（1992 - 11 - 24） 全文, 全図	1-11												
A	WO 2016/052183 A1（株式会社三社電機製作所）07.04.2016（2016 - 04 - 07） 全文, 全図	1-11												
A	JP 2008-294362 A（日本インター株式会社）04.12.2008（2008 - 12 - 04） 全文, 全図	1-11												
A	WO 2013/015031 A1（富士電機株式会社）31.01.2013（2013 - 01 - 31） 全文, 全図	1-11												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 21.02.2022	国際調査報告の発送日 08.03.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/048315

引用文献			公表日	パテントファミリー文献	公表日
JP	2004-55926	A	19.02.2004	(ファミリーなし)	
JP	9-121019	A	06.05.1997	US 5751058 A	
				全文, 全図	
				EP 772235 A2	
JP	4-336454	A	24.11.1992	(ファミリーなし)	
WO	2016/052183	A1	07.04.2016	US 2017/0301594 A1	
				全文, 全図	
				EP 3203515 A1	
				CN 107078130 A	
JP	2008-294362	A	04.12.2008	(ファミリーなし)	
WO	2013/015031	A1	31.01.2013	US 2013/0285231 A1	
				全文, 全図	
				EP 2738808 A1	
				CN 103299421 A	