



(12) 发明专利申请

(10) 申请公布号 CN 117795687 A

(43) 申请公布日 2024. 03. 29

(21) 申请号 202280054850.2

(22) 申请日 2022.08.19

(30) 优先权数据

2021-146137 2021.09.08 JP

(85) PCT国际申请进入国家阶段日

2024.02.05

(86) PCT国际申请的申请数据

PCT/JP2022/031398 2022.08.19

(87) PCT国际申请的公布数据

W02023/037847 JA 2023.03.16

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 寺田力 藤江周作

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理师 龙淳 王昊

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 29/06 (2006.01)

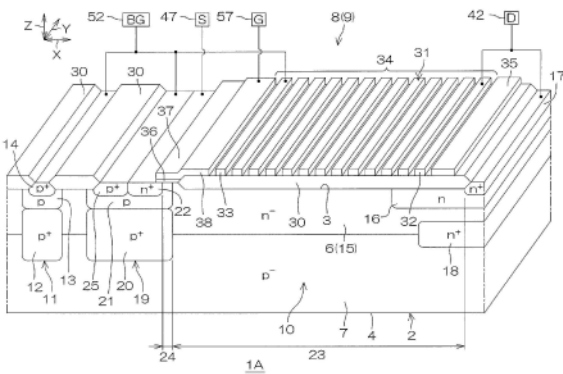
权利要求书2页 说明书16页 附图7页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置(1A),其包括:具有主面(3)的芯片(2);形成在上述主面的表层部的第一导电型的漏极区域(17);在上述主面的表层部形成在与上述漏极区域不同的区域的第一导电型的源极区域(22);以与上述漏极区域和上述源极区域电隔离的方式,在上述主面的表层部中形成在与上述漏极区域和上述源极区域不同的区域的第二导电型的背栅区域(25);在上述主面上覆盖上述源极区域的栅极绝缘膜(36);和形成在上述栅极绝缘膜上的栅极电极(37)。



1. 一种半导体装置,其特征在于,包括:
具有主面的芯片;
形成于所述主面的表层部的第一导电型的漏极区域;
在所述主面的表层部中形成于与所述漏极区域不同的区域的第一导电型的源极区域,
以与所述漏极区域和所述源极区域电隔离的方式,在所述主面的表层部中形成于与所
述漏极区域和所述源极区域不同的区域中的第二导电型的背栅区域;
在所述主面上覆盖所述源极区域的栅极绝缘膜;和
形成在所述栅极绝缘膜上的栅极电极。
2. 根据权利要求1所述的半导体装置,其特征在于,进一步包括:
在所述主面上覆盖所述漏极区域与所述源极区域之间的区域的场绝缘膜,和
配置在所述场绝缘膜上的场电极。
3. 根据权利要求2所述的半导体装置,其特征在于:
所述场电极与所述源极区域电隔离。
4. 根据权利要求2或3所述的半导体装置,其特征在于:
所述场电极由场电阻膜构成。
5. 根据权利要求2~4中任一项所述的半导体装置,其特征在于:
所述场电极与所述漏极区域和所述背栅区域电连接。
6. 根据权利要求2~5中任一项所述的半导体装置,其特征在于:
所述场电极以在俯视时包围所述漏极区域的方式形成为螺旋状。
7. 根据权利要求2~6中任一项所述的半导体装置,其特征在于:
所述栅极绝缘膜与所述场绝缘膜连接,
所述栅极电极具有从所述栅极绝缘膜上引出到所述场绝缘膜上的引出部。
8. 根据权利要求1~7中任一项所述的半导体装置,其特征在于:
进一步包括以在所述主面划分器件区域的方式形成在所述主面的表层部的第二导电
型的分离区域,
所述漏极区域、所述源极区域和所述背栅区域形成在所述器件区域内。
9. 根据权利要求8所述的半导体装置,其特征在于:
所述分离区域与所述源极区域电隔离。
10. 根据权利要求8或9所述的半导体装置,其特征在于:
所述分离区域固定为与所述背栅区域相同的电位。
11. 根据权利要求8~10中任一项所述的半导体装置,其特征在于:
所述分离区域形成为在俯视时包围所述主面的一部分的环状。
12. 根据权利要求1~11中的任一项所述的半导体装置,其特征在于,进一步包括:
配置在所述主面上,且与所述漏极区域电连接的漏极配线;
配置在所述主面上,且与所述源极区域电连接的源极配线;和
配置在所述主面上,且与所述背栅区域电连接的背栅配线。
13. 根据权利要求12所述的半导体装置,其特征在于:
所述背栅配线与所述漏极配线和所述源极配线隔开间隔地配置,并且与所述漏极配线
和所述源极区域电隔离。

14. 根据权利要求12或13所述的半导体装置,其特征在于:
所述漏极配线在截面观察时与所述漏极区域相对,
所述源极配线在截面观察时与所述源极区域相对,
所述背栅配线在截面观察时与所述背栅区域相对,且不与所述源极区域相对。
15. 根据权利要求1~14中任一项所述的半导体装置,其特征在于:
所述漏极区域形成为在俯视时沿一个方向延伸的带状或环状,
所述源极区域形成为在俯视时沿所述一个方向延伸的带状,
所述背栅区域形成为在俯视时沿所述一个方向延伸的带状。
16. 根据权利要求1~15中任一项所述的半导体装置,其特征在于:
进一步包括形成于所述主面的表层部的第一导电型的阱区域,
所述漏极区域形成在所述阱区域内。
17. 根据权利要求1~16中任一项所述的半导体装置,其特征在于:
进一步包括在所述芯片的厚度方向上与所述漏极区域离开地形成的第一导电型的埋设区域。
18. 根据权利要求1至17中任一项所述的半导体装置,其特征在于:
进一步包括与所述漏极区域隔开间隔地形成于所述主面的表层部的第二导电型的体区域,
所述源极区域形成在所述体区域内,
所述背栅区域在所述体区域内形成于与所述源极区域不同的区域。
19. 根据权利要求1至17中任一项所述的半导体装置,其特征在于:
进一步包括与所述漏极区域隔开间隔地形成于所述主面的表层部的第二导电型的体区域,
所述源极区域形成在所述体区域内,
所述背栅区域形成在所述体区域外。
20. 一种半导体装置,其特征在于,包括:
半导体芯片;
晶体管构造,其具有漏极、源极、栅极和背栅,并且以对所述源极独立地施加源极电位,且对所述背栅独立地施加背栅电位的方式形成于所述半导体芯片;和
以与所述源极电隔离且与所述漏极和所述背栅电连接的方式配置在所述半导体芯片上的电阻。

半导体装置

技术领域

[0001] 本发明对应于2021年9月8日提交给日本国特许厅的日本特愿2021-146137号,该申请的全部公开内容通过引用编入本发明。本发明涉及半导体装置。

背景技术

[0002] 专利文献1公开了包含半导体层、第一电极、第二电极、横向型元件、LOCOS氧化膜电阻性场板的半导体装置。第一电极形成在半导体层的表面上。第二电极与第一电极隔开间隔地形成在半导体层的表面上。横向型元件在半导体层的表面的表层部形成于第一电极和第二电极之间的区域,并与第一电极和第二电极电连接。LOCOS氧化膜在半导体层的表面将构成横向型元件的各部分分离。电阻性场板形成在LOCOS氧化膜上。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2013/075877号说明书

发明内容

[0006] 发明要解决的技术问题

[0007] 一个实施方式提供具有新的结构的半导体装置。

[0008] 用于解决课题的技术方案

[0009] 一个实施方式提供一种半导体装置,其包括:具有主面的芯片(基片);形成于所述主面的表层部的第一导电型的漏极区域;在所述主面的表层部中形成于与所述漏极区域不同的区域的第一导电型的源极区域,以与所述漏极区域和所述源极区域电隔离的方式,在所述主面的表层部中形成于与所述漏极区域和所述源极区域不同的区域中的第二导电型的背栅区域;在所述主面上覆盖所述源极区域的栅极绝缘膜;和形成在所述栅极绝缘膜上的栅极电极。

[0010] 一个实施方式提供一种半导体装置,包括:半导体芯片;晶体管构造,其具有漏极、源极、栅极和背栅,并且以对所述源极独立地施加源极电位,且对所述背栅独立地施加背栅电位的方式形成于所述半导体芯片;和以与所述源极电隔离且与所述漏极和所述背栅电连接的方式配置在所述半导体芯片上的电阻。

[0011] 上述的或者其他目的、特征和效果通过参照附图说明的实施方式能够明确。

附图说明

[0012] 图1是表示第一实施方式的半导体装置的芯片的俯视图。

[0013] 图2是图1所示的区域II的放大俯视图。

[0014] 图3是图2所示的区域III的截面立体图。

[0015] 图4是图2所示的区域III的截面图。

[0016] 图5是表示晶体管区域内的电构造的电路图。

[0017] 图6是表示第二实施方式的半导体装置的主要部分的放大俯视图。

[0018] 图7是图6所示的区域VII的截面立体图。

具体实施方式

[0019] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严谨的图示,比例尺等不一定一致。另外,对附图之间对应的构造标注相同的参照附图标记,省略或简化重复的说明。对于省略或简化了说明的构造,适用省略或简化前已经说明了的内容。

[0020] 图1是表示第一实施方式的半导体装置1A的芯片2的俯视图。图2是图1所示的区域II的放大图。图3是图2所示的区域III的截面立体图。图4是图2所示的区域III的截面图。参照图1~图4,半导体装置1A包含形成为长方体形状的硅制的芯片2(半导体芯片)。芯片2具有一侧的第一主面3、另一侧的第二主面4、和连接第一主面3与第二主面4的第一~第四侧面5A~5D。

[0021] 第一主面3和第二主面4在从它们的法线方向Z观察的俯视(以下,简称为“俯视”)时形成为四边形形状。法线方向Z也是芯片2的厚度方向。第一侧面5A和第二侧面5B在第一方向X上延伸,且在与第一方向X交叉(具体而言为正交)的第二方向Y上相对。第三侧面5C和第四侧面5D在第二方向Y上延伸,且在第一方向X上相对。

[0022] 半导体装置1A包含在芯片2内形成于第一主面3侧的区域的n型(第一导电型)的第一半导体区域6。第一半导体区域6形成为沿着第一主面3延伸的层状,从第一主面3和第一~第四侧面5A~5D露出。第一半导体区域6的厚度可以是 $5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。在该方式(this embodiment:该实施方式)中,第一半导体区域6由n型的外延层形成。

[0023] 半导体装置1A包含在芯片2内形成于第二主面4侧的区域的p型(第二导电型)的第二半导体区域7。第二半导体区域7被固定为背栅电位。背栅电位可以是成为电路动作的基准的基准电位、接地电位、或者这些以外的电位。第二半导体区域7形成为沿着第二主面4延伸的层状,从第二主面4和第一~第四侧面5A~5D露出。

[0024] 第二半导体区域7在芯片2的内部与第一半导体区域6连接。第二半导体区域7的厚度可以为 $50\mu\text{m}$ 以上且 $400\mu\text{m}$ 以下。在该方式中,第二半导体区域7由p型的半导体基片形成。即,芯片2具有包含半导体基片和外延层的积层构造,并且包含形成在外延层的第一半导体区域6、和形成在半导体基片的第二半导体区域7。

[0025] 半导体装置1A包含在第一主面3划分的多个器件区域8。多个器件区域8的个数和配置是任意的。多个器件区域8分别包含利用芯片2的内外区域形成的功能器件。功能器件可以包括半导体开关器件、半导体整流器件和被动器件中的至少一者。功能器件也可以包括将半导体开关器件、半导体整流器件和被动器件中的至少两者组合而成的电路网。

[0026] 半导体开关器件可以包括MISFET(Metal Insulator Semiconductor Field Effect Transistor:金属绝缘体半导体场效应晶体管)、BJT(Bipolar Junction Transistor:双极结型晶体管)、IGBT(Insulated Gate Bipolar Junction Transistor:绝缘栅双极结型晶体管)和JFET(Junction Field Effect Transistor:结型场效应晶体管)中的至少一者。

[0027] 半导体整流器件也可以包含pn结二极管、pin结二极管、齐纳二极管、肖特基势垒二极管和快速恢复二极管中的至少一者。被动器件可以包括电阻器、电容器、电感器和熔断

器中的至少一者。

[0028] 多个器件区域8包括至少一个(在该方式中为一个)晶体管区域9(参照图1的区域II)。晶体管区域9包含FET构造10(晶体管构造)。在该方式中,FET构造10具有所谓的LDMISFET(Lateral Double diffused MISFET:横向双扩散MISFET)构造。在该方式中,FET构造10由在截止状态下能够施加800V以上的漏极电压的高耐压器件构成。以下,具体说明晶体管区域9侧的构造。

[0029] 参照图2至图4,半导体装置1A包括在第一主面3中作为划分晶体管区域9的区域分离结构(a region separation structure)的一例的p型分离区域11(a separation region)。分离区域11在俯视时形成为包围第一主面3的一部分的环状,划分规定形状的晶体管区域9。分离区域11将晶体管区域9与其他区域(器件区域8)电隔离。

[0030] 在该方式中,分离区域11在俯视时形成为四边环状(具体而言,沿第二方向Y延伸的长方形环状),由内边缘划分出四边形状(具体而言,沿第二方向Y延伸的长方形状)的晶体管区域9。分离区域11的平面形状(晶体管区域9的平面形状)是任意的。分离区域11以横穿第一半导体区域6的方式从第一主面3向第二半导体区域7呈壁状地延伸,与第二半导体区域7电连接。即,分离区域11被固定为背栅电位。

[0031] 在该方式中,分离区域11包含第一分离区域12、第二分离区域13和第三分离区域14。第一分离区域12形成于第一半导体区域6和第二半导体区域7之间的边界部。第一分离区域12在法线方向Z上与第一主面3和第二主面4隔开间隔地形成,与第二半导体区域7电连接。第一分离区域12具有比第二半导体区域7高的p型杂质浓度。

[0032] 第二分离区域13在第一半导体区域6中形成于第一主面3与第一分离区域12之间的区域,与第一分离区域12电连接。第二分离区域13也可以具有比第一分离区域12低的p型杂质浓度。第三分离区域14形成于第二分离区域13的表层部,从第一主面3露出。第三分离区域14也可以具有比第二分离区域13高的p型杂质浓度。

[0033] 参照图2~图4,半导体装置1A包含在晶体管区域9中形成于第一主面3的表层部的n型杂质区域15。在该方式中,杂质区域15利用第一半导体区域6中由分离区域11划分的部分形成。因此,杂质区域15具有与第一半导体区域6的n型杂质浓度相等的n型杂质浓度。

[0034] 半导体装置1A包含形成于杂质区域15的表层部的n型阱区域16。阱区域16被固定为漏极电位。阱区域16形成于杂质区域15的内部。阱区域16具有比杂质区域15高的n型杂质浓度。在该方式中,阱区域16形成为在俯视时沿着杂质区域15延伸的长圆形状。阱区域16也可以在俯视时形成为圆形、椭圆形或多边形(例如四边形)。

[0035] 半导体装置1A包含形成于阱区域16的表层部的n型的漏极区域17。漏极区域17被固定为漏极电位。漏极区域17具有比阱区域16高的n型杂质浓度。漏极区域17与阱区域16的周边缘离开地形成于阱区域16的内部。在该方式中,漏极区域17在俯视时形成为沿着阱区域16延伸的长圆形状。漏极区域17也可以在俯视时形成为圆形、椭圆形或多边形(例如四边形)。

[0036] 半导体装置1A包括n型掩埋区域18,该n型掩埋区域18以横穿杂质区域15的底部的方式形成在芯片2的内部。具体而言,掩埋区域18在阱区域16下方形成在第二半导体区域7和杂质区域15的边界部分中。掩埋区域18具有比杂质区域15高的n型杂质浓度。掩埋区域18优选具有比阱区域16高的n型杂质浓度。

[0037] 掩埋区域18在法线方向Z上与阱区域16的底部隔开间隔地形成,并且隔着杂质区域15的一部分与阱区域16相对。掩埋区域18优选在俯视时与阱区域16的周边缘向内方隔开间隔地形成。掩埋区域18优选在俯视时具有小于阱区域16的面积的面积。

[0038] 半导体装置1A包括在晶体管区域9中与阱区域16离开地形成于第一主面3的表层部的p型的体区域19。在该方式中,体区域19以横穿杂质区域15的方式从第一主面3向第二半导体区域7呈壁状地延伸,与第二半导体区域7电连接。即,体区域19被固定为背栅电位。

[0039] 在该方式中,体区域19包括第一体区域20和第二体区域21。第一体区域20形成在第二半导体区域7和杂质区域15的边界部。第一体区域20在法线方向Z上与第一主面3和第二主面4隔开间隔地形成,并与第二半导体区域7电连接。第一体区域20具有比第二半导体区域7高的p型杂质浓度。

[0040] 第二体区域21形成于第一主面3与第一体区域20之间的区域,与第一体区域20电连接。第二体区域21从第一主面3露出。第二体区域21具有比第一体区域20低的p型杂质浓度。

[0041] 在该方式中,体区域19在俯视时形成为包围漏极区域17(阱区域16)的环状(在该方式中为长圆环状),具有沿第一方向X延伸的部分和沿第二方向Y延伸的部分。具体而言,体区域19在俯视时包括第一区域19A、第二区域19B、第三区域19C和第四区域19D。体区域19的第一~第四区域19A~19D由第一体区域20和第二体区域21形成。

[0042] 第一区域19A是在俯视时与漏极区域17(阱区域16)向第一方向X的一侧离开地沿第二方向Y呈带状延伸的部分。第二区域19B是在俯视时与漏极区域17(阱区域16)向第一方向X的另一侧离开地沿第二方向Y呈带状延伸的部分。第二区域19B在俯视时相对于第一区域19A平行地延伸,在第一方向X上隔着漏极区域17(阱区域16)与第一区域19A相对。在第二方向Y上,第一区域19A和第二区域19B的长度优选为漏极区域17的长度以下。

[0043] 第三区域19C是以在俯视时连接第一区域19A的一端部和第二区域19B的一端部的方式在第一方向X上呈带状延伸的部分。在该方式中,第三区域19C在俯视时在第一区域19A的一端部与第二区域19B的一端部之间呈圆弧带状延伸。当然,第三区域19C也可以形成为沿第一方向X延伸的直线带状。

[0044] 第四区域19D是以在俯视时连接第一区域19A的另一端部和第二区域19B的另一端部的方式在第一方向X上呈带状延伸的部分。在该方式中,第四区域19D在俯视时在第一区域19A的另一端部与第二区域19B的另一端部之间呈圆弧带状延伸。当然,第四区域19D也可以形成为沿第一方向X延伸的直线带状。

[0045] 半导体装置1A包括与漏极区域17离开地形成于第一主面3的表层部的至少一个(在该方式中为多个)n型的源极区域22。多个源极区域22被固定为源极电位。具体而言,多个源极区域22分别以通过从芯片2的外部独立地施加源极电位而固定为该源极电位的方式形成。

[0046] 即,源极电位与背栅电位独立地被赋予多个源极区域22。源极电位也可以是基准电位、接地电位或者这些以外的电位。源极区域22具有比阱区域16高的n型杂质浓度。源极区域22的n型杂质浓度优选与漏极区域17的n型杂质浓度相等。

[0047] 具体而言,多个源极区域22分别与体区域19的周边缘向内方隔开间隔地形成于体区域19的表层部。在该方式中,多个源极区域22分别在俯视时在体区域19的一部分区域中

形成为有端带状。具体而言,多个源极区域22分别形成于第一区域19A的表层部和第二区域19B的表层部,没有形成于第三区域19C和第四区域19D。多个源极区域22在俯视时分别沿着第一区域19A和第二区域19B呈有端带状延伸。

[0048] 多个源极区域22在第一方向X上与漏极区域17相对。在第二方向Y上,各源极区域22的长度优选为漏极区域17的长度以下。当然,也可以形成有包围杂质区域15的环状(具体而言为长圆环状)的单一的源极区域22。另外,一个或多个源极区域22也可以形成于体区域19的第一区域19A、第二区域19B、第三区域19C和第四区域19D中的至少一个区域。

[0049] 半导体装置1A包含在第一主面3的表层部中的漏极区域17和源极区域22之间形成在漏极区域17侧的区域的n型的漂移区域23。具体而言,漂移区域23在杂质区域15的表层部中形成于漏极区域17和体区域19之间的区域,形成连结漏极区域17和源极区域22的电流路径。漂移区域23形成为包围漏极区域17的环状(在该方式中为长圆环状)。

[0050] 在该方式中,漂移区域23具有被体区域19的第一区域19A(第二区域19B)划分为沿第二方向Y延伸的直线状的第一部分(直线部)、和被体区域19的第三区域19C(第四区域19D)划分为圆弧状的第二部分(圆弧部)。漂移区域23在沿着体区域19的第一区域19A(第二区域19B)的部分形成电流路径,在沿着体区域19的第三区域19C(第四区域19D)的部分不形成电流路径。

[0051] 漂移区域23的宽度也可以为 $50\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。漂移区域23的宽度是漏极区域17与体区域19之间的距离。漂移区域23的宽度也可以沿着环状(在该方式中为长圆环状)以大致一定的宽度形成。漂移区域23的圆弧部的宽度也可以从直线部向圆弧中央部逐渐增加。在该情况下,漂移区域23的直线部也可以以大致一定的宽度形成。

[0052] 半导体装置1A包含在第一主面3的表层部中的漏极区域17和源极区域22之间形成于源极区域22侧的区域的p型的沟道区域24。具体而言,沟道区域24在体区域19的表层部中形成于源极区域22与漂移区域23之间的区域。在沟道区域24控制漏极区域17和源极区域22之间的电流路径的导通和非导通。

[0053] 半导体装置1A包括在第一主面3的表层部中形成于与漏极区域17和源极区域22不同的区域的至少一个(在该方式中为多个)p型的背栅区域25。多个背栅区域25固定为背栅电位。具体而言,多个背栅区域25分别以通过从芯片2的外部独立地施加背栅电位而固定为该背栅电位的方式形成。即,背栅电位与源极电位独立地被赋予多个背栅区域25。

[0054] 具体而言,多个背栅区域25在体区域19的表层部分别形成于与源极区域22不同的区域。更具体而言,多个背栅区域25分别在体区域19的表层部中相对于源极区域22形成于与漏极区域17相反侧的区域。多个背栅区域25分别从体区域19的周边缘向内侧隔开间隔地形成。第一背栅区域61具有比体区域19高的p型杂质浓度。

[0055] 在该方式中,多个背栅区域25分别在俯视时在体区域19的一部分区域形成为有端带状。具体而言,多个背栅区域25分别形成于第一区域19A的表层部和第二区域19B的表层部,而没有形成于第三区域19C和第四区域19D。多个背栅区域25在俯视时分别沿着第一区域19A和第二区域19B呈有端带状地延伸。

[0056] 在该方式中,多个背栅区域25在第一方向X上分别连接于源极区域22。即,在该方式中,在体区域19的表层部并存有被独立地赋予源极电位的源极区域22和被独立地赋予背栅电位的背栅区域25。

[0057] 在第二方向Y上,各背栅区域25的长度优选为漏极区域17的长度以下。当然,也可以形成包围杂质区域15的环状(具体而言为长圆环状)的单一的背栅区域25。另外,一个或多个背栅区域25也可以形成于体区域19的第一区域19A、第二区域19B、第三区域19C和第四区域19D中的至少一个区域。

[0058] 半导体装置1A包含在晶体管区域9中有选择性地覆盖第一主面3的场绝缘膜30。场绝缘膜30含有氧化硅。在该方式中,场绝缘膜30由通过第一主面3的选择氧化而形成的LOCOS膜(Local oxidation of silicon film:局部硅氧化膜)构成。场绝缘膜30可以具有 $0.1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下的厚度。场绝缘膜30以使分离区域11、漏极区域17、源极区域22和背栅区域25露出的方式有选择地覆盖第一主面3。

[0059] 场绝缘膜30在第一主面3具有覆盖漏极区域17和源极区域22之间的区域的部分。具体而言,场绝缘膜30以在俯视时使漏极区域17和体区域19露出的方式形成包围漏极区域17的环状(在该方式中为长圆环状)。即,场绝缘膜30以使沟道区域24露出的方式覆盖漂移区域23。

[0060] 另外,场绝缘膜30在第一主面3中具有覆盖分离区域11和源极区域22之间的区域的部分。具体而言,场绝缘膜30在分离区域11和体区域19之间的区域中,以使分离区域11、源极区域22和背栅区域25露出的方式形成包围体区域19的环状。另外,场绝缘膜30在第一主面3上以使分离区域11露出的方式覆盖晶体管区域9外的区域。

[0061] 参照图2~图4,半导体装置1A包含在晶体管区域9中配置在场绝缘膜30上的场电极31。场电极31也可以包含导电性多晶硅(n型或p型的多晶硅)。在该方式中,场电极31由与漏极区域17和背栅区域25电连接的场电阻膜构成。场电极31与源极区域22电隔离。场电极31形成从漏极区域17向背栅区域25的电位梯度,抑制漂移区域23中的电场分布的偏差。

[0062] 场电极31在场绝缘膜30上呈线状地引绕。在俯视时在设定了连结漏极区域17和背栅区域25的一条直线时,场电极31以多次横穿该直线的方式呈线状地延伸。具体而言,场电极31在俯视时呈同心圆状地多次包围漏极区域17。更具体而言,场电极31在俯视时引绕成包围漏极区域17的螺旋状。

[0063] 场电极31具有漏极区域17侧的第一端部32(第一部分)、背栅区域25(体区域19)侧的第二端部33(第二部分)、和在第一端部32与第二端部33之间延伸的螺旋部34。第一端部32是与漏极区域17(漏极电位)电连接的连接部(电施加端),第二端部33是与背栅区域25(背栅电位)电连接的连接部(电施加端)。即,场电极31与源极区域22(源极电位)电隔离。

[0064] 第一端部32和第二端部33的配置是任意的。在该方式中,第一端部32配置于在第一方向X上与漏极区域17相对的位置。第一端部32也可以隔着场绝缘膜30与阱区域16相对。在该方式中,第二端部33配置于在第一方向X上与源极区域22相对的位置。

[0065] 第二端部33也可以隔着场绝缘膜30与杂质区域15相对。螺旋部34以在俯视时包围漏极区域17的方式从第一端部32向第二端部33呈长圆螺旋状卷绕。螺旋部34隔着场绝缘膜30与漂移区域23相对。

[0066] 场电极31在从第一端部32向第二端部33的螺旋方向上形成电位梯度。另外,场电极31形成在与螺旋方向正交的方向上从漏极区域17向背栅区域25(体区域19)根据螺旋部34的卷绕间距而逐渐减小的电位梯度。场电极31使漂移区域23内的电场稀疏,抑制漂移区域23中的电场分布的偏差。

[0067] 场电极31可以具有 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下的线宽。线宽由与场电极31的延伸方向(即,螺旋方向)正交的方向的宽度定义。线宽优选为 $3\mu\text{m}$ 以下。场电极31可以具有 $10\text{M}\Omega$ 以上且 $100\text{M}\Omega$ 以下的电阻值。场电极31也可以在直线部和圆弧部以大致一定的线宽形成。另外,例如,在漂移区域23的宽度向圆弧中央部去逐渐增加的情况下,场电极31的线宽也可以从直线部向圆弧中央部逐渐增加。

[0068] 场电极31的间距可以为 $1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。场电极31的间距优选为 $2\mu\text{m}$ 以上。场电极31的间距由相互相邻的线部之间的距离(即,螺旋部34的卷绕间距)定义。场电极31的匝数可以为5以上且100以下(优选为25以上且75以下)。

[0069] 半导体装置1A包括在场绝缘膜30上配置于比场电极31靠漏极区域17侧的区域的内场电极35。在该方式中,内场电极35配置在由场电极31包围的区域,固定为与漏极区域17(漏极区域17)相同的电位。内场电极35具有与场电极31大致相等的厚度,包含与场电极31相同的材料(即,导电性多晶硅)。

[0070] 内场电极35在俯视时与漏极区域17和场电极31隔开间隔地配置于漏极区域17和场电极31之间的区域。在该方式中,内场电极35形成为包围漏极区域17的环状(具体而言为长圆环状)。内场电极35也可以隔着场绝缘膜30与阱区域16相对。

[0071] 内场电极35包括内边缘部35a和外边缘部35b。内边缘部35a优选与漏极区域17隔开大致一定的间隔地形成。外边缘部35b优选与场电极31隔开大致一定的间隔地形成。内场电极35和场电极31之间的距离优选与场电极31的间距相等。

[0072] 在该方式中,内场电极35沿着周方向以不均匀的宽度形成。具体而言,内场电极35在外边缘部35b具有场突出部35c。场突出部35c以与场电极31的第一端部32的前端接近的方式向场电极31突出。场突出部35c将内场电极35与场电极31之间的距离保持为大致一定,抑制由场电极31的第一端部32引起的电场的偏差。

[0073] 在该方式中,场突出部35c与场电极31的第一端部32连接,固定为与该第一端部32相同的电位。只要内场电极35被固定为与第一端部32相同的电位,则并不一定需要与第一端部32连接。因此,场突出部35c也可以在场电极31的螺旋方向上与第一端部32的前端相对。另外,内场电极35的有无是任意的,也可以根据需要去除。

[0074] 内场电极35的宽度也可以为 $1\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下。内场电极35优选形成为比场电极31宽。内场电极35的宽度优选为场电极31的宽度的1.5倍以上且5倍以下。当然,也可以形成具有场电极31的线宽以下的宽度的内场电极35。

[0075] 半导体装置1A包括在第一主面3上覆盖沟道区域24的栅极绝缘膜36。栅极绝缘膜36具有小于场绝缘膜30的厚度的厚度,与场绝缘膜30连接。栅极绝缘膜36的厚度也可以为 10nm 以上且 200nm 以下。

[0076] 栅极绝缘膜36也可以包含氧化硅膜。栅极绝缘膜36在俯视时形成为沿着沟道区域24延伸的带状。在该方式中,栅极绝缘膜36在俯视时形成为包围场绝缘膜30的环状(具体而言为长圆环状),覆盖漂移区域23、体区域19和源极区域22。

[0077] 半导体装置1A包含配置在栅极绝缘膜36上的栅极电极37。栅极电极37也可以具有与场电极31大致相等的厚度,包含与场电极31相同的材料(即,导电性多晶硅)。栅极电极37也可以在导电性多晶硅内包含n型区域和p型区域的任意一方或者双方。栅极电极37隔着栅极绝缘膜36与漂移区域23和沟道区域24相对。

[0078] 栅极电极37在俯视时形成为沿着沟道区域24延伸的带状。在该方式中,栅极电极37在俯视时形成为包围场绝缘膜30的环状(具体而言为长圆环状)。栅极电极37具有从栅极绝缘膜36上引出到场绝缘膜30上的引出部38。引出部38与场电极31隔开间隔地形成为包围场电极31的环状(具体而言为长圆环状)。

[0079] 引出部38隔着场绝缘膜30与漂移区域23相对。引出部38优选与场电极31隔开大致一定的间隔地形成。引出部38与场电极31之间的距离优选与场电极31的间距相等。

[0080] 栅极电极37包括内边缘部37a和外边缘部37b。内边缘部37a由引出部38形成。外边缘部37b在俯视时形成于与体区域19重叠的区域。外边缘部37b优选与场绝缘膜30的外边缘部35b隔开大致一定的间隔地形成。

[0081] 在该方式中,栅极电极37沿着周方向以不均匀的宽度形成。具体而言,栅极电极37在外边缘部37b(引出部38)具有向漏极区域17侧突出的栅极突出部37c。栅极突出部37c在场电极31的螺旋方向上接近第二端部33的前端的方式向场电极31突出。

[0082] 栅极突出部37c在场电极31的螺旋方向上与第二端部33的前端相对。栅极突出部37c将栅极电极37与场电极31之间的距离保持为大致一定,抑制由场电极31的第二端部33引起的电场的偏差。

[0083] 参照图4,半导体装置1A包含在第一主面3上覆盖多个器件区域8的绝缘层40。绝缘层40具有将多个层间绝缘膜41层叠而成的层叠构造。多个层间绝缘膜41的层叠数是任意的,并不限定于特定的数值。绝缘层40也可以包含3层以上的层间绝缘膜41。在图4中,表示了多个层间绝缘膜41中的第一层间绝缘膜41A和第二层间绝缘膜41B。

[0084] 第一层间绝缘膜41A覆盖第一主面3,第二层间绝缘膜41B覆盖第一层间绝缘膜41A。各层间绝缘膜41包含氧化硅膜和氮化硅膜中的至少一个。各层间绝缘膜41也可以具有由氧化硅膜或氮化硅膜构成的单层构造。各层间绝缘膜41也可以具有至少一个氧化硅膜和至少一个氮化硅膜以任意的顺序层叠而成的层叠构造。

[0085] 半导体装置1A包含以与漏极区域17和场电极31的第一端部32电连接的方式在绝缘层40内有选择地引绕的漏极配线42。漏极配线42对漏极区域17和场电极31的第一端部32赋予漏极电位。漏极配线42在绝缘层40内形成有多层配线。

[0086] 在该方式中,漏极配线42包括第一漏极配线43、第二漏极配线44、第一漏极通孔电极45和第二漏极通孔电极46。第一漏极配线43一体地包含漏极区域17侧的第一漏极配线43A、和场电极31的第一端部32侧的第一漏极配线43B。当然,第一漏极配线43A和第一漏极配线43B只要固定为相同电位,则也可以相互隔开间隔地配置。

[0087] 第一漏极配线43在截面看时以与漏极区域17、场电极31的第一端部32和内场电极35相对的方式配置在第一层间绝缘膜41A上。第一漏极配线43优选在截面看时与漏极区域17的整个区域、第一端部32的整个区域和内场电极35的整个区域相对。

[0088] 第二漏极配线44以在截面看时与第一漏极配线43相对的方式配置在第二层间绝缘膜41B上。第二漏极配线44优选在截面看时被引出至与内场电极35相对的位置。第二漏极配线44优选在截面看时被引出至与场电极31的第一端部32相对的位置。第二漏极配线44特别优选的是在截面看时被引出至与场电极31的螺旋部34相对的位置。第二漏极配线44也可以具有超过第一漏极配线43的厚度的厚度。

[0089] 第一漏极通孔电极45插设于漏极区域17和第一漏极配线43之间的区域,使漏极区

域17电连接于第一漏极配线43。另外,第一漏极通孔电极45插设于场电极31的第一端部32与第一漏极配线43之间的区域,使第一端部32与第一漏极配线43电连接。

[0090] 当然,第一漏极通孔电极45也可以插设于内场电极35和第一漏极配线43的区域,使内场电极35与第一漏极配线43电连接。第二漏极通孔电极46插设于第一漏极配线43和第二漏极配线44之间的区域,使第一漏极配线43与第二漏极配线44电连接。

[0091] 半导体装置1A包含源极配线47,该源极配线47以与源极区域22电连接的方式与漏极配线42离开地在绝缘层40内有选择地引绕。源极配线47对源极区域22赋予源极电位。源极配线47与背栅区域25电隔离。另外,源极配线47与分离区域11电隔离。源极配线47在绝缘层40内形成有多层配线。

[0092] 具体而言,源极配线47包含第一源极配线48、第二源极配线49、第一源极通孔电极50和第二源极通孔电极51。第一源极配线48以在截面看时与源极区域22相对的方式配置在第一层间绝缘膜41A上。第一源极配线48优选在截面看时与源极区域22的整个区域相对。第一源极配线48优选在截面看时不与背栅区域25相对。

[0093] 第二源极配线49以在截面看时与第一源极配线48相对的方式配置在第二层间绝缘膜41B上。第二源极配线49优选在截面看时覆盖源极区域22的整个区域。第二源极配线49优选在截面看时横穿栅极电极37被引出至与内场电极35的第二端部33相对的位置。第二源极配线49特别优选在截面看时被引出到与内场电极35的螺旋部34相对的位置。第二源极配线49也可以具有超过第一源极配线48的厚度的厚度。

[0094] 第一源极通孔电极50插设于源极区域22和第一源极配线48之间的区域,使源极区域22电连接于第一源极配线48。第二源极通孔电极51插设于第一源极配线48和第二源极配线49之间的区域,使第一源极配线48电连接于第二源极配线49。

[0095] 半导体装置1A包含背栅配线52,该背栅配线52以与背栅区域25和场电极31的第二端部33电连接的方式与漏极配线42和源极配线47离开地有选择地在绝缘层40内引绕。在该方式中,背栅配线52也与分离区域11电连接。背栅配线52与源极区域22电隔离。背栅配线52在绝缘层40内形成有多层配线。

[0096] 具体而言,背栅配线52包含第一背栅配线53、第二背栅配线54、第一背栅通孔电极55和第二背栅通孔电极56。第一背栅配线53一体地包含背栅区域25侧的第一背栅配线53A、场电极31的第二端部33侧的第一背栅配线53B、和分离区域11侧的第一背栅配线53C。当然,第一背栅配线53A、第一背栅配线53B和第一背栅配线53C只要固定为相同电位,则也可以相互隔开间隔地配置。

[0097] 第一背栅配线53与源极区域22隔开间隔地形成在第一层间绝缘膜41A上。第一背栅配线53在截面看时与背栅区域25、场电极31的第二端部33和分离区域11相对。第一背栅配线53优选在截面看时与背栅区域25的整个区域相对。第一背栅配线53也可以与场电极31的螺旋部34相对。第一背栅配线53也可以在俯视时被引出到晶体管区域9外的区域。

[0098] 在该方式中,第二背栅配线54以在俯视时在晶体管区域9外的区域与第一背栅配线53相对的方式配置在第二层间绝缘膜41B上。当然,第二背栅配线54也可以以在俯视时在晶体管区域9与第一背栅配线53相对的方式配置。第二背栅配线54也可以具有超过第一背栅配线53的厚度的厚度。

[0099] 第一背栅通孔电极55插设于背栅区域25和第一背栅配线53之间的区域,使背栅区

域25电连接于第一背栅配线53。另外,第一背栅通孔电极55插设于场电极31的第二端部33和第一背栅配线53之间的区域,使场电极31的第二端部33电连接于第一背栅配线53。

[0100] 另外,第一背栅通孔电极55插设于分离区域11和第一背栅配线53之间的区域,使分离区域11电连接于第一背栅配线53。第二背栅通孔电极56插设于第一背栅配线53和第二背栅配线54之间的区域,使第一背栅配线53电连接于第二背栅配线54。

[0101] 半导体装置1A包括栅极配线57,该栅极配线57以与栅极电极37电连接的方式与漏极配线42、源极配线47和背栅配线52离开地在绝缘层40内有选择地引绕。栅极配线57对栅极电极37赋予栅极电位。栅极配线57在绝缘层40内形成有多层配线。

[0102] 具体而言,栅极配线57包括第一栅极配线58、第二栅极配线(未图示)、第一栅极通孔电极59和第二栅极通孔电极(未图示)。第一栅极配线58以在截面看时与栅极电极37相对的方式配置在第一层间绝缘膜41A上。

[0103] 第一栅极配线58在俯视时被引出到晶体管区域9外的区域。在该方式中,第二栅极配线(未图示)以在俯视时在晶体管区域9外的区域与第一栅极配线58相对的方式配置在第二层间绝缘膜41B上。第二栅极配线可以具有超过第一栅极配线58的厚度的厚度。

[0104] 第一栅极通孔电极59插设于栅极电极37与第一栅极配线58之间的区域,使栅极电极37与第一栅极配线58电连接。第二栅极通孔电极(未图示)插设于第一栅极配线58与第二栅极配线之间的区域,使第一栅极配线58与第二栅极配线电连接。

[0105] 图5是表示晶体管区域9内的电构造(FET构造10和场电极31)的电路图。参照图5,半导体装置1A在晶体管区域9中包含FET构造10和电阻R。FET构造10包括漏极D(漏极区域17)、源极S(源极区域22)、背栅BG(背栅区域25)和栅极G(栅极绝缘膜36和栅极电极37)。

[0106] 电阻R由场电极31构成,与漏极D和背栅BG电连接。电阻R不与漏极D和源极S连接。电阻R不与漏极D和栅极G连接。电阻R不与FET构造10的源极S和栅极G连接。

[0107] 在该方式中,在晶体管区域9内仅形成有FET构造10和电阻R。即,在晶体管区域9内,没有形成连接于漏极D和源极S之间的其他功能器件。另外,在晶体管区域9内,没有形成连接于漏极D和栅极G之间的其他功能器件。另外,在晶体管区域9内没有形成连接于源极S和栅极G之间的其他功能器件。

[0108] 在FET构造10中,从晶体管区域9外的区域(包含半导体装置1A外的区域)向漏极D(漏极区域17)、源极S(源极区域22)、背栅BG(背栅区域25)和栅极G(栅极电极37)分别赋予漏极电位、源极电位、背栅电位和栅极电位。即,FET构造10以对源极S(源极区域22)独立地赋予源极电位,对背栅BG(背栅区域25)独立地赋予背栅电位的方式构成。

[0109] 漏极电位也可以是电源电位。源极电位为漏极电位以下。源极电位也可以是基准电位、接地电位或者这些以外的电位。背栅电位为漏极电位以下。背栅电位可以是基准电位、接地电位或这些以外的电位。背栅电位与源极电位成为相同的电位也无妨。即,也可以在芯片2的内部,背栅区域25与源极区域22电隔离,另一方面,通过来自外部的电位控制,背栅区域25被固定为与源极区域22相同的电位。

[0110] 以上,半导体装置1A包含芯片2、n型的漏极区域17、n型的源极区域22、p型的背栅区域25、栅极绝缘膜36和栅极电极37。芯片2具有第一主面3。漏极区域17形成于第一主面3的表层部。源极区域22在第一主面3的表层部中形成于与漏极区域17不同的区域。

[0111] 背栅区域25在第一主面3的表层部中形成于与漏极区域17和源极区域22不同的区

域。背栅区域25与漏极区域17和源极区域22电隔离。栅极绝缘膜36覆盖源极区域22。栅极电极37隔着栅极绝缘膜36与源极区域22相对。

[0112] 根据该构造,能够从背栅区域25向源极区域22赋予电独立的源极电位,同时能够从源极区域22向背栅区域25赋予电独立的背栅电位。由此,能够提供一种具有新结构的半导体装置1A,其能够通过源极电位的微调整对栅极阈值电压 V_{th} 进行微调。

[0113] 在这样的构造中,半导体装置1A优选包括场绝缘膜30和场电极31。场绝缘膜30在第一主面3上覆盖漏极区域17和源极区域22之间的区域。场电极31配置在场绝缘膜30上。根据该构造,在包扩场绝缘膜30和场电极31的构造中能够对栅极阈值电压 V_{th} 进行微调。

[0114] 在该情况下,优选场电极31与源极区域22电隔离。根据该构造,能够从场电极31向源极区域22赋予电独立的源极电位。由此,能够抑制场电极31的电位作用于源极区域22。

[0115] 在该情况下,优选场电极31与漏极区域17和背栅区域25电连接。根据该构造,在场电极31产生漏极区域17的电位与背栅区域25的电位之间的电位差。由此,能够在保持对源极区域22赋予的源极电位的独立性的同时,通过场电极31调节漏极区域17与背栅区域25之间的电场分布。

[0116] 图6与图2对应,是表示第二实施方式的半导体装置1B的放大俯视图。图7是图6所示的区域VII的截面立体图。参照图6和图7,半导体装置1B具有使半导体装置1A变形的形态。

[0117] 具体而言,半导体装置1B在体区域19的表层部不含背栅区域25,仅包含多个源极区域22。多个源极区域22以与第一实施方式的情况相同的形态形成。

[0118] 半导体装置1B包括在晶体管区域9中与漏极区域17和源极区域22离开地形成在第一主面3的表层部的p型背栅区域25。具体而言,背栅区域25与分离区域11和体区域19隔开间隔地形成在分离区域11和体区域19之间的区域。在该方式中,背栅区域25以横穿杂质区域15的方式从第一主面3向第二半导体区域7呈壁状地延伸,并与第二半导体区域7电连接。

[0119] 在该方式中,背栅区域25包括第一背栅区域61、第二背栅区域62和第三背栅区域63。第一背栅区域61形成于第二半导体区域7与杂质区域15之间的边界部。第一背栅区域61在法线方向Z上与第一主面3和第二主面4隔开间隔地形成,与第二半导体区域7电连接。第一背栅区域61具有比第二半导体区域7高的p型杂质浓度。

[0120] 第二背栅区域62在杂质区域15中形成于第一主面3与第一背栅区域61之间的区域,并与第一背栅区域61电连接。第二背栅区域62也可以具有比第一背栅区域61低的p型杂质浓度。第三背栅区域63形成于第二背栅区域62的表层部,从第一主面3露出。第三背栅区域63也可以具有比第二背栅区域62高的p型杂质浓度。

[0121] 在该方式中,背栅区域25形成为在俯视时包围体区域19的环状,具有在第一方向X上延伸的部分和在第二方向Y上延伸的部分。在该方式中,背栅区域25在俯视时形成为四边环状(具体而言,在第二方向Y上延伸的长方形环状)。即,在该方式中,背栅区域25在俯视时具有与分离区域11的平面形状匹配的平面形状,另一方面具有与体区域19的平面形状不匹配的平面形状。

[0122] 具体而言,在俯视时,背栅区域25包括第一区域25A、第二区域25B、第三区域25C和第四区域25D。背栅区域25的第一~第四区域25A~25D由第一背栅区域61、第二背栅区域62和第三背栅区域63形成。

[0123] 第一区域25A是在俯视时与体区域19的第一区域19A向第一方向X的一侧离开并且在第二方向Y上呈带状延伸的部分。第二区域25B是在俯视时与体区域19的第二区域19B向第一方向X的另一侧离开并在第二方向Y上呈带状延伸的部分。第二区域25B在俯视时相对于第一区域25A平行地延伸,在第一方向X上隔着漏极区域17(阱区域16)与第一区域25A相对。在第二方向Y上,第一区域25A和第二区域25B的长度也可以超过漏极区域17的长度。

[0124] 第三区域25C是在俯视时以连接第一区域25A的一端部和第二区域25B的一端部的方式在第一方向X上以直线带状延伸的部分。第四区域25D是在俯视时以连接第一区域25A的另一端部和第二区域25B的另一端部的方式在第一方向X上以直线带状延伸的部分。

[0125] 背栅区域25也可以具有与体区域19的平面形状匹配的平面形状。即,背栅区域25的第三区域25C也可以在俯视时沿着体区域19的第三区域19C呈圆弧带状地延伸。另外,背栅区域25的第四区域25D也可以在俯视时沿着体区域19的第四区域19D呈圆弧带状地延伸。

[0126] 半导体装置1B包括在第一主面3的表层部中形成于体区域19和背栅区域25之间的区域的p型的表层区域64(surficial region)。表层区域64与杂质区域15的底部向第一主面3侧隔开间隔地形成。即,表层区域64形成得比体区域19和背栅区域25浅,不与第二半导体区域7连接。表层区域64也可以形成得比第二体区域21和第二背栅区域62浅。

[0127] 表层区域64也可以与体区域19和背栅区域25中的任一方或双方连接。在该方式中,表层区域64形成于体区域19和背栅区域25之间的区域的整个区域,并与体区域19和背栅区域25双方连接。在该方式中,表层区域64与源极区域22和背栅区域25连接。表层区域64抑制体区域19和背栅区域25之间的区域中的沟道反转。

[0128] 在该方式中,表层区域64包括第一表层区域65和第二表层区域66。第一表层区域65具有比第二体区域21高的p型杂质浓度,形成于第一主面3的表层部。第一表层区域65也可以具有比第二背栅区域62高的p型杂质浓度。第一表层区域65连接于第二体区域21和第二背栅区域62。在该方式中,第一表层区域65在第二体区域21(体区域19)内连接于源极区域22,在第二背栅区域62内连接于第三背栅区域63。

[0129] 第二表层区域66具有小于第一表层区域65的p型杂质浓度,形成于第一表层区域65和第一半导体区域6的底部侧(第二主面4侧)之间的区域。第二表层区域66与第二体区域21和第二背栅区域62连接。第二表层区域66也可以具有与第二体区域21和/或第三背栅区域63大致相等的p型杂质浓度。

[0130] 第二表层区域66也可以利用第二体区域21的一部分和/或第三背栅区域63的一部分形成。即,第二表层区域66也可以与第二体区域21和第三背栅区域63中的任一方或双方一体地形成。

[0131] 在该方式中,上述的场绝缘膜30在第一主面3中具有覆盖源极区域22与背栅区域25之间的区域的部分。具体而言,场绝缘膜30在俯视时覆盖表层区域64的整个区域,并且以使源极区域22和背栅区域25露出的方式形成为包围源极区域22(体区域19)的环状。

[0132] 另外,场绝缘膜30在第一主面3中具有覆盖分离区域11与背栅区域25之间的区域的部分。具体而言,场绝缘膜30以使分离区域11和背栅区域25露出的方式形成为包围背栅区域25的环状。

[0133] 上述的漏极配线42具有与第一实施方式的情况同样的形态,与漏极区域17和场电极31的第一端部32电连接。上述的源极配线47具有与第一实施方式的情况同样的形态,与

源极区域22电连接。上述的背栅配线52具有与第一实施方式的情况同样的形态,与分离区域11、背栅区域25和场电极31的第二端部33电连接。上述的栅极配线57具有与第一实施方式的情况同样的形态,与栅极电极37电连接。

[0134] 以上,通过半导体装置1B,也起到与关于半导体装置1A叙述的同样的效果。根据半导体装置1B,背栅区域25与源极区域22(体区域19)隔开间隔地形成。因此,根据该构造,能够抑制源极电位对背栅区域25的作用,抑制背栅电位对源极区域22的作用。因此,能够对源极区域22稳定地赋予源极电位,能够对背栅区域25稳定地赋予背栅电位。

[0135] 以上,说明了实施方式,但上述的实施方式还能够以其他方式实施。例如,在上述各实施方式中,表示了由场电阻膜构成的场电极31。但是,也可以采用与漏极区域17、源极区域22和背栅区域25电隔离且不作为场电阻膜发挥功能的场电极31。在该情况下,场电极31也可以形成为电浮动状态。

[0136] 在上述的各实施方式中,表示了形成有在俯视时沿第二方向Y呈带状延伸的阱区域16的例子。但是,阱区域16也可以在俯视时形成为环状(例如,在第二方向Y上延伸的长圆环状)。在该情况下,漏极区域17也可以形成为在俯视时沿着阱区域16延伸的环状(长圆环状)。

[0137] 在上述的各实施方式中,说明了第一导电型为n型、第二导电型为p型的例子。但是,也可以是第一导电型为p型,第二导电型为n型。该情况下的具体的结构通过在上述的说明和附图中将n型区域置换为p型区域、将p型区域置换为n型区域而得到。

[0138] 以下,表示了从该说明书和附图提取的特征例。以下,提供具有新结构的半导体装置。以下,括号内的字母数字等表示上述的实施方式中的对应构成要素等,但并不意味着将各项目(Clause)的范围限定于实施方式。

[0139] [A1]一种半导体装置(1A、1B),其包括:具有主面(3)的芯片(2);形成在上述主面(3)的表层部中的第一导电类型(n型)的漏极区域(17);在上述主面(3)的表层部中形成在与上述漏极区域(17)不同的区域中的第一导电型(n型)的源极区域(22);以及与上述漏极区域(17)和上述源极区域(22)电隔离的方式在上述主面(3)的表层部中形成于与上述漏极区域(17)和上述源极区域(22)不同的区域的第二导电型(p型)的背栅区域(25);在上述主面(3)上覆盖上述源极区域(22)的栅极绝缘膜(36);和形成在上述栅极绝缘膜(36)上的栅极电极(37)。

[0140] [A2]根据A1记载的半导体装置(1A、1B),其中,进一步包括:在上述主面(3)上覆盖上述漏极区域(17)和上述源极区域(22)之间的区域的场绝缘膜(30);和配置在上述场绝缘膜(30)上的场电极(31)。

[0141] [A3]根据A2记载的半导体装置(1A、1B),其中,上述场电极(31)与上述源极区域(22)电隔离。

[0142] [A4]根据A2或A3记载的半导体装置(1A、1B),其中,上述场电极(31)由场电阻膜(31)构成。

[0143] [A5]根据A2~A4中任一项记载的半导体装置(1A、1B),其中,上述场电极(31)与上述漏极区域(17)和上述背栅区域(25)电连接。

[0144] [A6]根据A2~A5中任一项记载的半导体装置(1A、1B),其中,上述场电极(31)在俯视时以包围上述漏极区域(17)的方式形成为螺旋状。

[0145] [A7]根据A2~A6中任一项记载的半导体装置(1A、1B),其中,上述栅极绝缘膜(36)与上述场绝缘膜(30)连接,上述栅极电极(37)具有从上述栅极绝缘膜(36)上引出到上述场绝缘膜(30)上的引出部(38)。

[0146] [A8]根据A1~A7中任一项记载的半导体装置(1A、1B),其中,进一步包括以在上述主面(3)划分器件区域(8、9)的方式形成于上述主面(3)的表层部的第二导电型(p型)的分离区域(11),上述漏极区域(17)、上述源极区域(22)和上述背栅区域(25)形成于上述器件区域(8、9)内。

[0147] [A9]根据A8记载的半导体装置(1A、1B),其中,上述分离区域(11)与上述源极区域(22)电隔离。

[0148] [A10]根据A8或A9记载的半导体装置(1A、1B),其中,上述分离区域(11)被固定为与上述背栅区域(25)相同的电位。

[0149] [A11]根据A8~A10中任一项记载的半导体装置(1A、1B),其中,上述分离区域(11)形成为在俯视时包围上述主面(3)的一部分的环状。

[0150] [A12]根据A1~A11中任一项记载的半导体装置(1A、1B),其中,进一步包括:配置在上述主面(3)上,且与上述漏极区域(17)电连接的漏极配线(42);配置在上述主面(3)上,且与上述源极区域(22)电连接的源极配线(47);和配置在上述主面(3)上,且与上述背栅区域(25)电连接的背栅配线(52)。

[0151] [A13]如A12记载的半导体装置(1A、1B),其中,上述背栅配线(52)与上述漏极配线(42)和上述源极配线(47)隔开间隔地配置,并且与上述漏极配线(42)和上述源极区域(22)电隔离。

[0152] [A14]根据A12或A13记载的半导体装置(1A、1B),其中,上述漏极配线(42)在截面看时与上述漏极区域(17)相对,上述源极配线(47)在截面看时与上述源极区域(22)相对,上述背栅配线(52)在截面看时与上述背栅区域(25)相对,且不与上述源极区域(22)相对。

[0153] [A15]根据A1~A14中任一项记载的半导体装置(1A、1B),其中,上述漏极区域(17)形成为在俯视时沿一个方向延伸的带状或环状,上述源极区域(22)形成为在俯视时沿上述一个方向延伸的带状,上述背栅区域(25)形成为在俯视时沿上述一个方向延伸的带状。

[0154] [A16]根据A1~A15中任一项记载的半导体装置(1A、1B),其中,进一步包括形成于上述主面(3)的表层部的第一导电型(n型)的阱区域(16),上述漏极区域(17)形成于上述阱区域(16)内。

[0155] [A17]根据A1~A16中任一项记载的半导体装置(1A、1B),其中,进一步包括在上述芯片(2)的厚度方向上与上述漏极区域(17)离开地形成的第一导电型(n型)的埋设区域(18)。

[0156] [A18]根据A1~A17中任一项记载的半导体装置(1A、1B),其中,进一步包括与上述漏极区域(17)隔开间隔地形成于上述主面(3)的表层部的第二导电型(p型)的体区域(19),上述源极区域(22)形成于上述体区域(19)内,上述背栅区域(25)在上述体区域(19)内形成于与上述源极区域(22)不同的区域。

[0157] [A19]根据A1~A17中任一项记载的半导体装置(1A、1B),其中,进一步包括与上述漏极区域(17)隔开间隔地形成于上述主面(3)的表层部的第二导电型(p型)的体区域(19),上述源极区域(22)形成于上述体区域(19)内,上述背栅区域(25)形成于上述体区域(19)

外。

[0158] [B1]一种半导体装置(1A、1B),包括:半导体芯片(2);晶体管构造(10),其具有漏极(D、17)、源极(S、22)、栅极(G、36、37)和背栅(BG、25),并且以对上述源极(S、22)独立地赋予源极电位、并且对上述背栅(BG、25)独立地赋予背栅电位的方式形成于上述半导体芯片(2);和以与上述源极(S、22)电隔离,且与上述漏极(D、17)和上述背栅(BG、25)电连接的方式配置于上述半导体芯片(2)上的电阻(R、31)。

[0159] [B2]根据B1记载的半导体装置(1A、1B),其中,进一步包括设置于上述半导体芯片(2)的器件区域(8、9),上述晶体管构造(10)形成于上述器件区域(8、9),上述电阻(R、31)配置于上述器件区域(8、9)。

[0160] [B3]根据B1或B2记载的半导体装置(1A、1B),进一步包括:以对上述源极(S、22)独立地赋予上述源极电位的方式配置在上述半导体芯片(2)上的源极配线(47);和以对上述背栅(BG、25)独立地赋予上述背栅电位的方式与上述源极配线(47)隔开间隔地配置在上述半导体芯片(2)上的背栅配线(52)。

[0161] 关于实施方式进行了详细说明,但这些只不过是使技术内容明确而使用的具体例,本发明不应限定于这些具体例来解释,本发明的范围由所附的权利请求的范围限定。

[0162] 附图标记说明

[0163] 1A半导体装置

[0164] 1B 半导体装置

[0165] 2 第一主面

[0166] 3芯片(基片)

[0167] 8器件区域

[0168] 9晶体管区域

[0169] 11分离区域

[0170] 16阱区域

[0171] 17漏极区域

[0172] 18埋设区域

[0173] 19体区域

[0174] 22源极区域

[0175] 25背栅区域

[0176] 30场绝缘膜

[0177] 31场电极

[0178] 36栅极绝缘膜

[0179] 37栅极电极

[0180] 38引出部

[0181] 40绝缘层

[0182] 42漏极配线

[0183] 47源极配线

[0184] 52背栅配线

[0185] D漏极

- [0186] S源
- [0187] G门
- [0188] BG背栅
- [0189] R电阻。

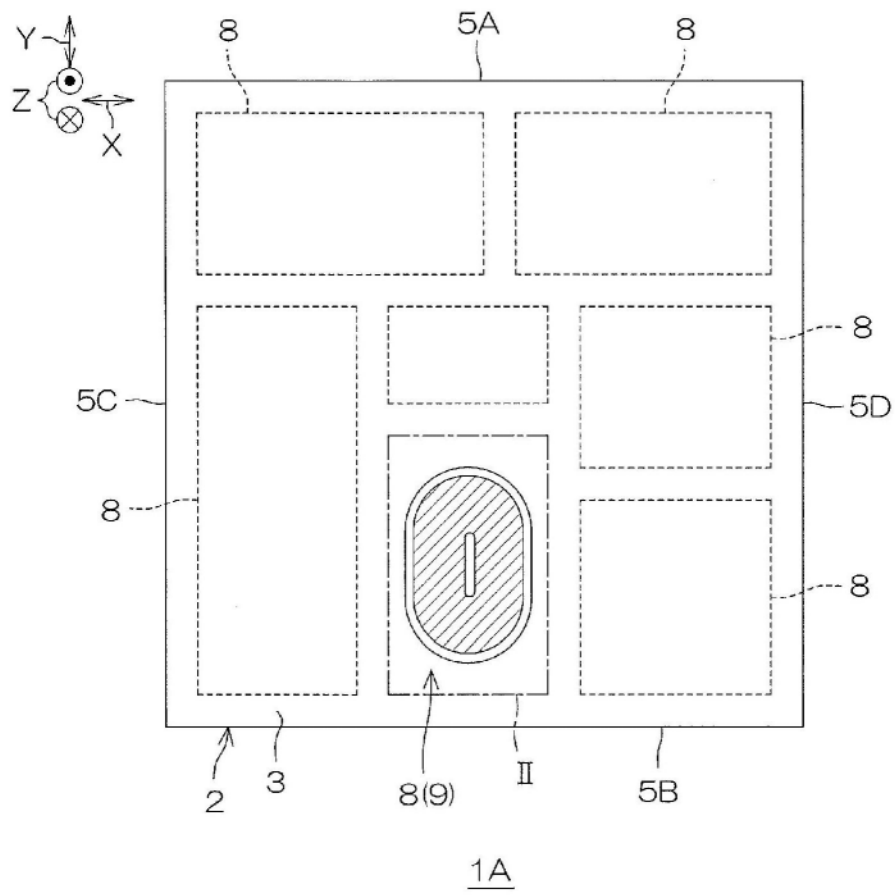


图1

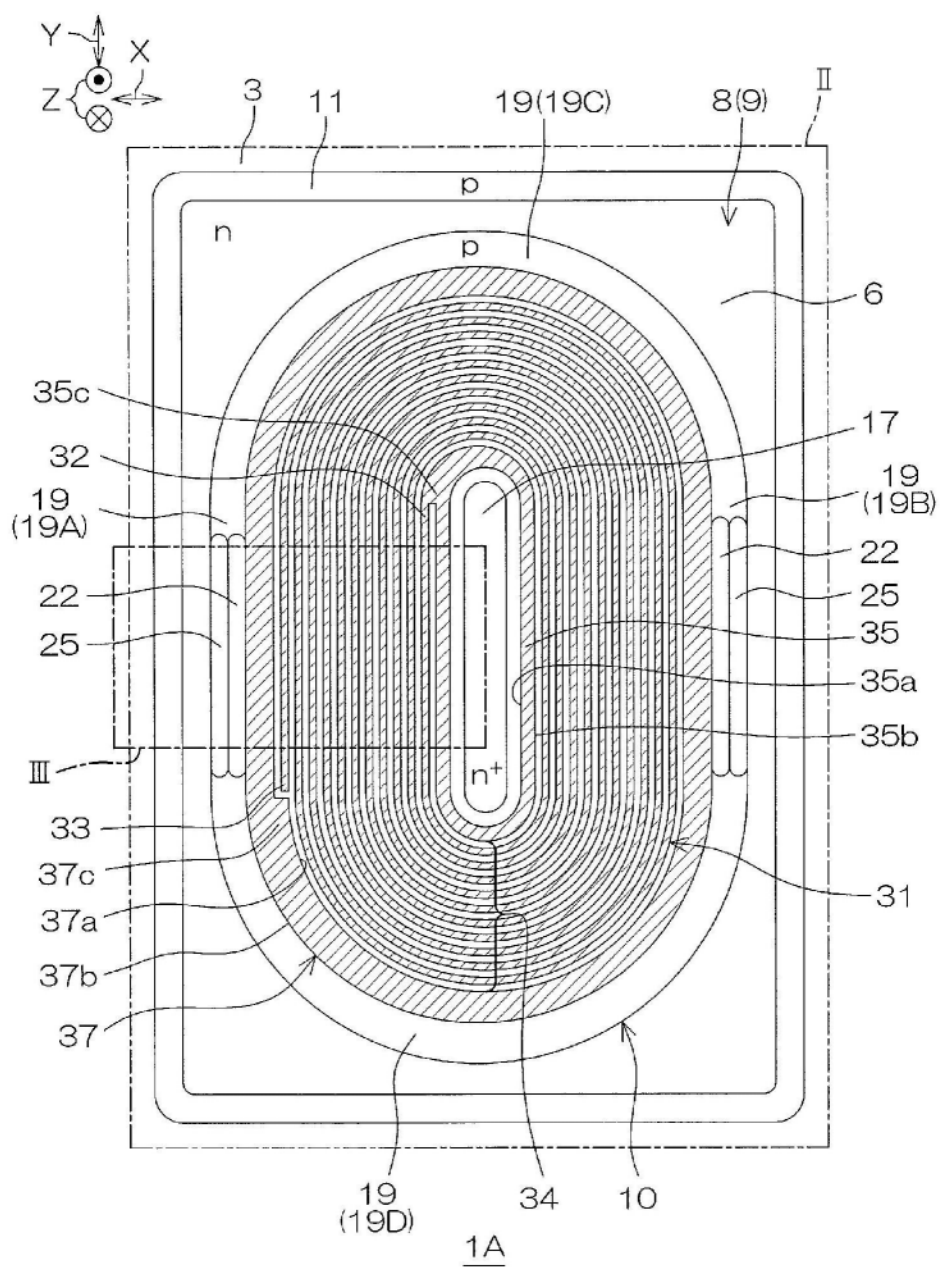


图2

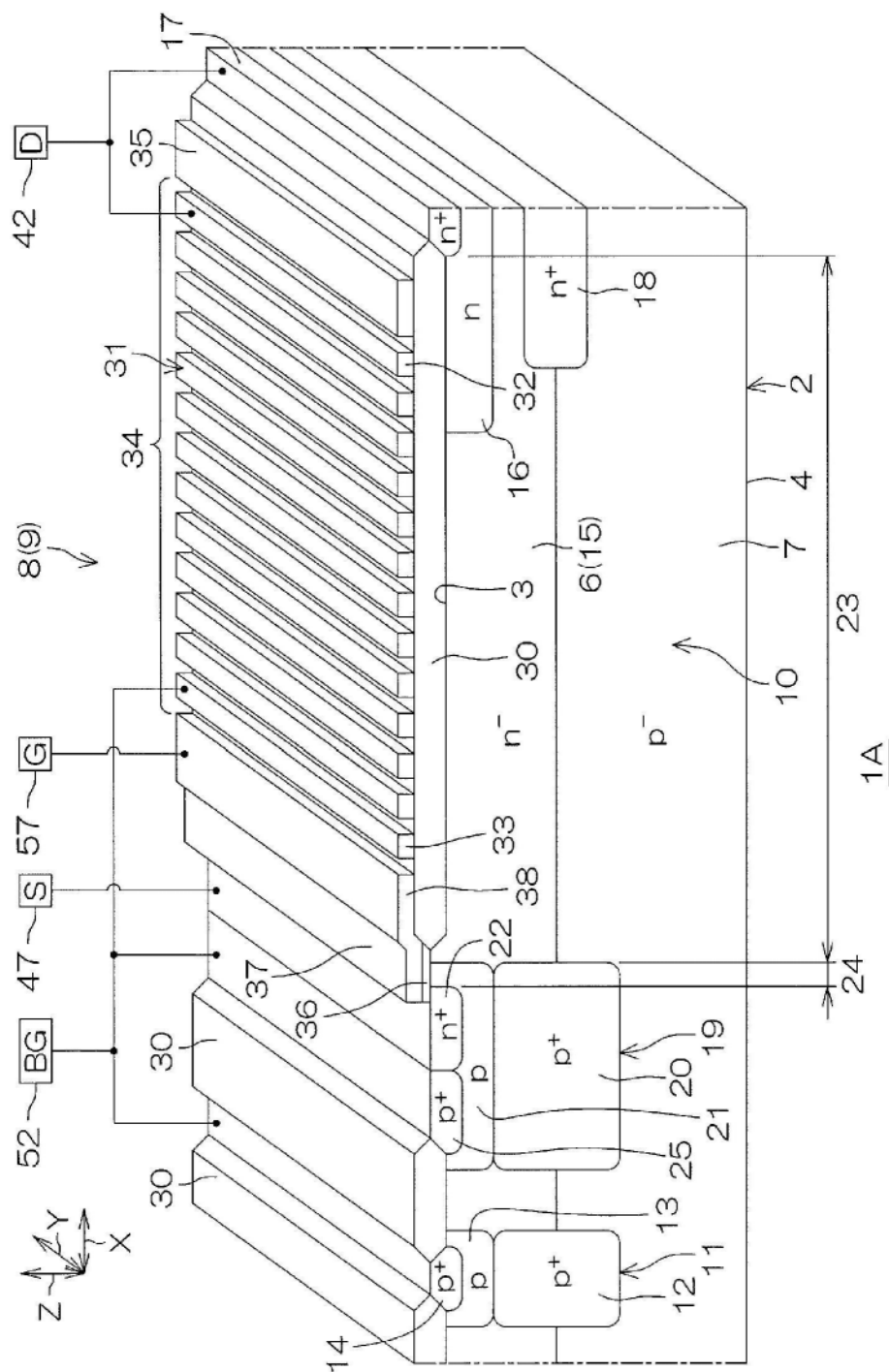


图3

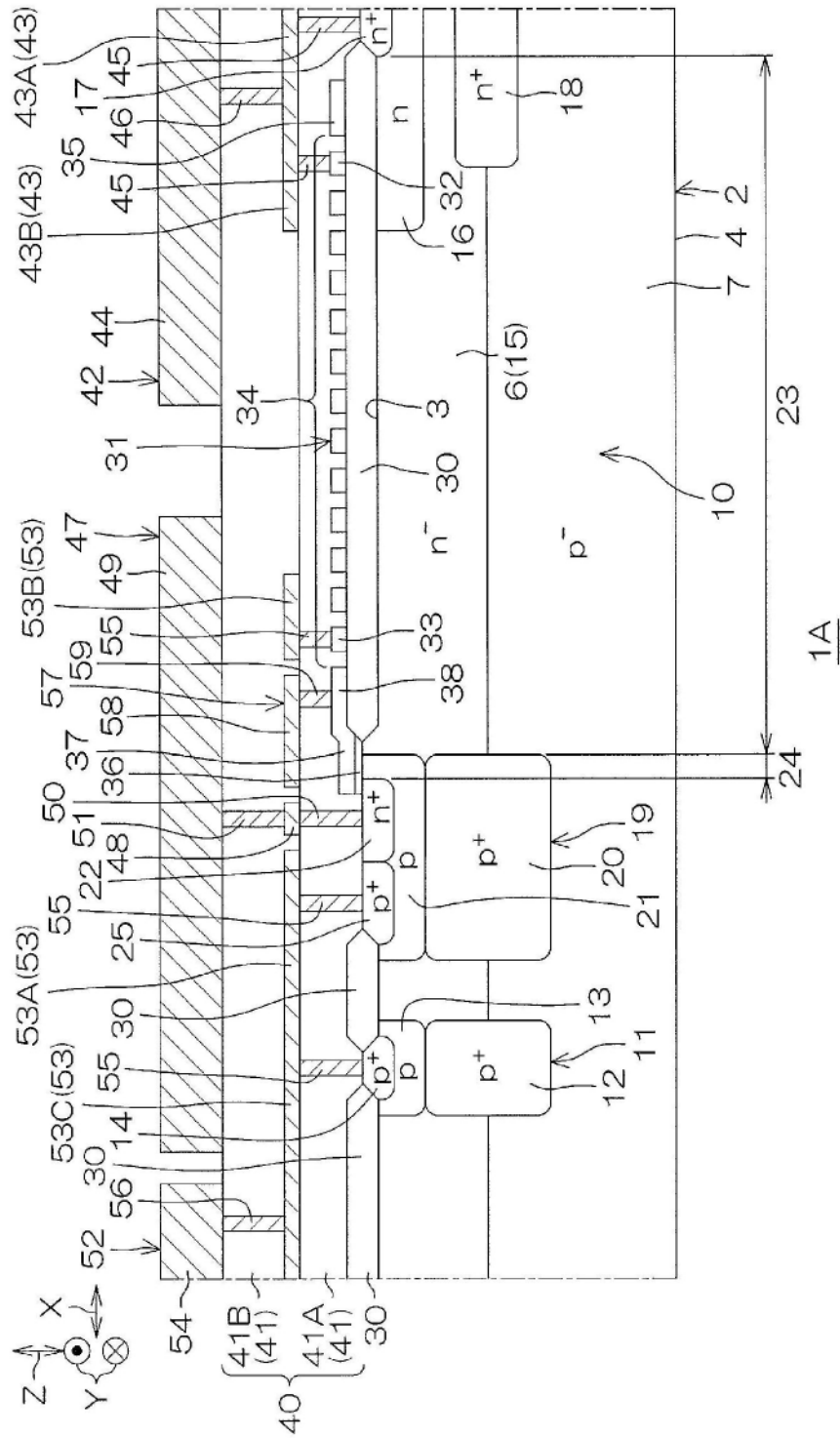


图4

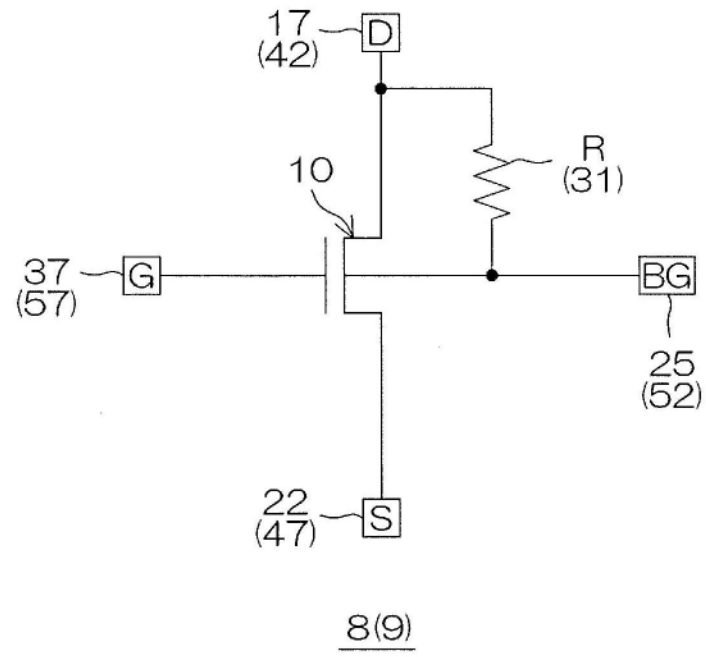


图5

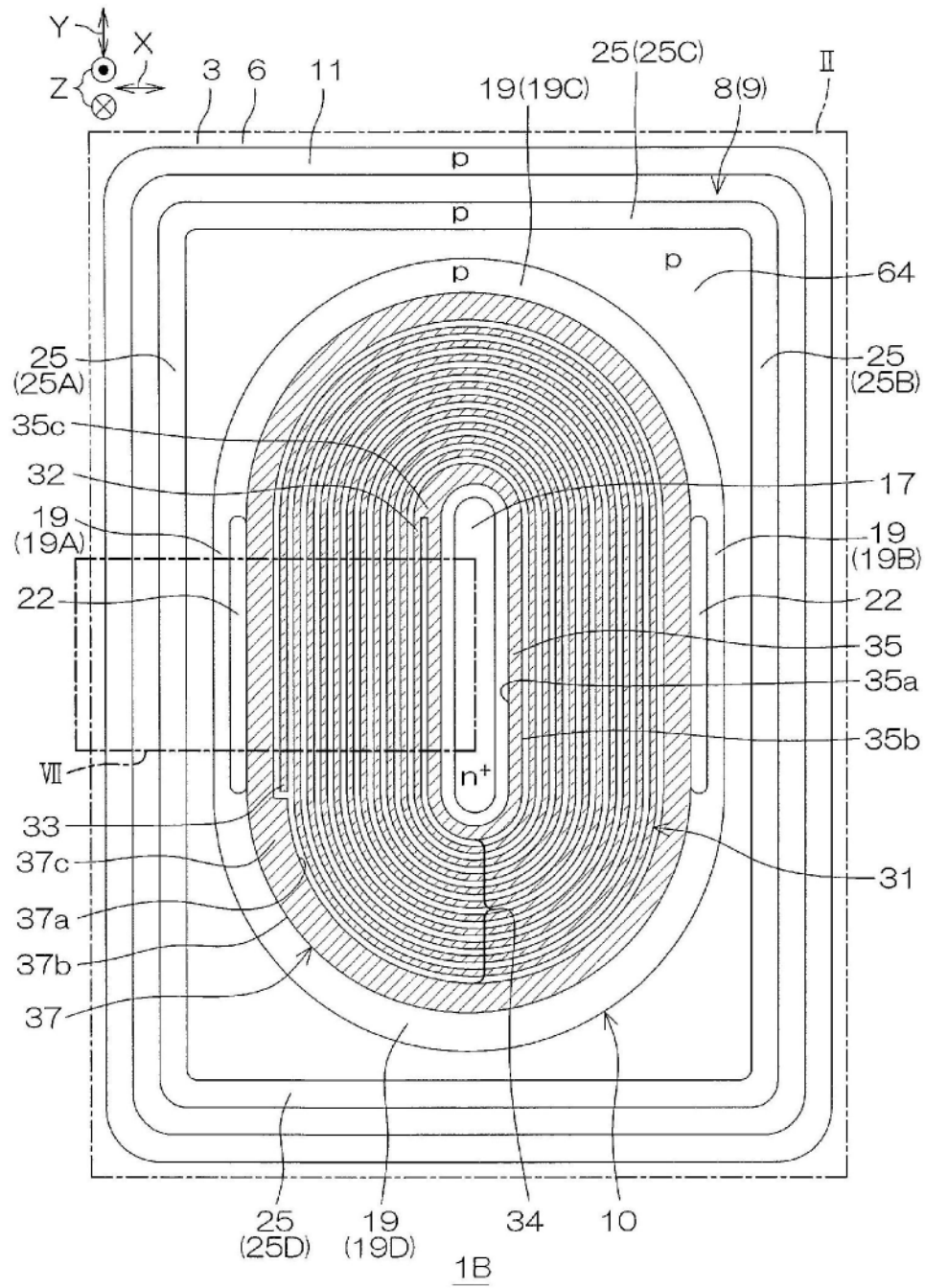


图6

