

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



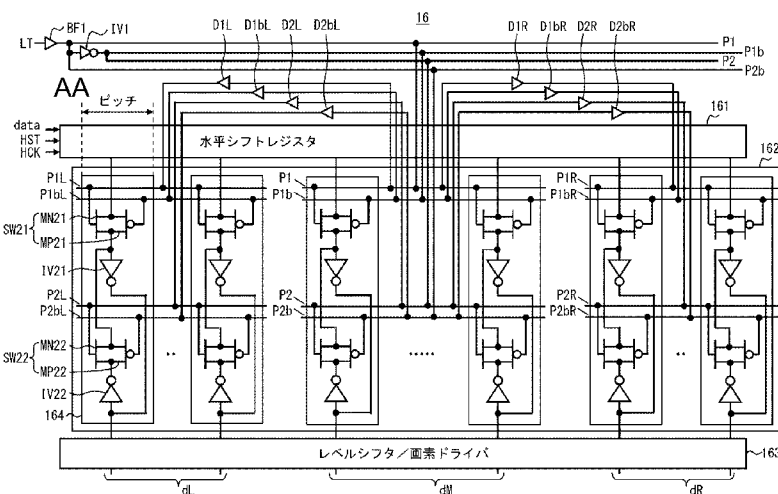
(10) 国際公開番号

WO 2018/042711 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (72) 発明者: 岩 佐 隆 行 (IWASA Takayuki);
〒2210022 神奈川県横浜市神奈川区守屋町
3丁目12番地 株式会社JVCケンウ
ッド知的財産部内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2017/007313
- (74) 代理人: 家入 健 (IEIRI Takeshi); 〒2210835 神
奈川県横浜市神奈川区鶴屋町三丁目3
3番8 アサヒビルディング5階 響国際
特許事務所 Kanagawa (JP).
- (22) 国際出願日: 2017年2月27日(27.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-168951 2016年8月31日(31.08.2016) JP
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
- (71) 出願人: 株 式 会 社 J V C ケ ン ウ ッ
ド (JVC KENWOOD CORPORATION) [JP/JP];
〒2210022 神奈川県横浜市神奈川区守屋町
3丁目12番地 Kanagawa (JP).

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: A liquid crystal display device (10) according to an embodiment includes: a plurality of pixels (12) arranged in a matrix and displaying an image having a gradation level created by a combination of a plurality of pieces of one-bit subframe data for each frame; n latch circuits (164) for supplying subframe data to each of n pixels (12) in a line selected as a line to which data is to be written from among the plurality of pixels (12); and a timing adjustment circuit for adjusting each of the times the subframe data is supplied from the n latch circuits (164) to the n pixels (12).

(57) 要約: 一実施の形態によれば、液晶表示装置(10)は、1フレーム毎に複数の1ビットのサブフレームデータを組み合わせた階調レベルの画像を表示する、マトリックス状に設けられた複数の画素(12)と、複数の画素(12)のうちデータ書き込み対象として選択された行のn個の画素(12)のそれぞれに対してサブフレームデータを供給するn個のラッチ回路(164)と、n個のラッチ回路(164)からn個の画素(12)へのサブフレームデータのそれぞれの供給タイミングを調整するタイミング調整回路と、を備える。

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関し、例えばＩＲドロップを抑制するのに適した液晶表示装置に関する。

背景技術

[0002] 液晶表示装置における中間調表示方式の１つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には１画像の表示単位である１フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせにより画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

[0003] サブフレーム駆動方式が採用された液晶表示装置の中には、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、複数のスイッチングトランジスタと、によって構成されているものがある。

[0004] この画素では、マスターラッチの入力端子に１ビットの第１のデータが第１のスイッチングトランジスタを通して印加され、行走査線を介して印加される行選択信号がアクティブになると、第１のスイッチングトランジスタがオン状態になり、第１のデータがマスターラッチに書き込まれる。

[0005] 全ての画素に設けられたマスターラッチへのデータの書き込みが完了すると、そのサブフレーム期間内において、全ての画素に設けられた第２のスイッチングトランジスタがオン状態になる。それにより、全ての画素に設けられたマスターラッチのデータが一斉に読み出されてスレーブラッチに書き込まれるとともに、当該スレーブラッチに書き込まれたデータが液晶表示素子の画素電極に印加される。各サブフレーム期間において、全ての画素に対して同様の処理が行われる。その結果、各画素は、１フレームを構成する複数

のサブフレームの組み合わせにより所望の階調表示を行うことができる。

- [0006] なお、1フレームを構成する複数のサブフレームの期間は、それぞれ同一又は異なる所定の期間に予め割り当てられている。例えば、各画素において、最大階調表示を行う（白を表示させる）場合には1フレームを構成する複数のサブフレームの全てにおいて表示を行い、最小階調表示を行う（黒を表示させる）場合には1フレームを構成する複数のサブフレームの全てにおいて表示を行わず、それ以外の階調表示を行う場合には、表示する階調に応じて表示するサブフレームを選択する。この従来からの手法を採用した液晶表示装置は、階調を示すデジタルデータを入力データとしており、また、2段ラッチ構成のデジタル駆動方式を採用している（例えば、特許文献1参照）。

先行技術文献

特許文献

- [0007] 特許文献1：特許第5733154号公報

発明の概要

- [0008] 特許文献1に開示された液晶表示装置では、データ書き込み対象として選択された行の n 個の画素に向けた n 個のサブフレームデータが、当該 n 個の画素に対応して設けられた n 本の列データに並列かつ一斉に出力される。この場合、通常は十分な機能を発揮するものの、画素数の増加に伴って列データ線の本数が増加すると、これらの列データ線に並列かつ一斉に電流が流れるため、電源電圧端子から接地電圧端子に向けて流れる電流が瞬間的に大きくなる（即ち、ピーク消費電流が大きくなる）。それにより、電源電圧 V_{DD} が低下したり接地電圧 GND が上昇したりする $I R$ ドロップ現象が発生してしまうという問題があった。その結果、特許文献1に開示された液晶表示装置では、例えば、誤動作が発生したり、画質が劣化したりしてしまう可能性があった。

- [0009] 本発明は以上の点に鑑みなされたもので、ピーク消費電流を抑制することにより $I R$ ドロップの発生を防止することが可能な液晶表示装置を提供する

ことを目的とする。

[0010] 本実施形態の一態様にかかる液晶表示装置は、1フレーム毎に複数の1ビットのサブフレームデータを組み合わせた階調レベルの画像を表示する、マトリックス状に設けられた複数の画素と、前記複数の画素のうちデータ書き込み対象として選択された行のn個の画素のそれぞれに対してサブフレームデータを供給するn個のラッチ回路と、前記n個のラッチ回路から前記n個の画素へのサブフレームデータのそれぞれの供給タイミングを調整するタイミング調整回路と、を備える。

[0011] 本実施形態によれば、ピーク消費電流を抑制することによりIRドロップを抑制することが可能な液晶表示装置を提供することができる。

図面の簡単な説明

[0012] [図1]実施の形態1にかかる液晶表示装置を示すブロック図である。

[図2]図1に示す液晶表示装置に設けられた画素の具体的構成を示す回路図である。

[図3]図2に示す画素に設けられた第1データ保持部を構成するインバータの具体的構成を示す回路図である。

[図4]図2に示す画素の概略断面図である。

[図5]図1に示す液晶表示装置の動作を示すタイミングチャートである。

[図6]液晶の印加電圧(RMS電圧)と液晶のグレースケール値との関係を示す図である。

[図7]実施の形態1に至る前の構想に係る液晶表示装置に設けられたラッチ部の具体的構成を示す回路図である。

[図8]図1に示す液晶表示装置に設けられたラッチ部の具体的構成例を示す回路図である。

[図9]図1に示す液晶表示装置に設けられたラッチ部の動作を示すタイミングチャートである。

発明を実施するための形態

[0013] <実施の形態1>

以下、図面を用いて本発明の実施形態について説明する。

[0014] 図1は、実施の形態1に係る液晶表示装置10を示すブロック図である。

図1に示すように、液晶表示装置10は、画像表示部11と、タイミングジェネレータ13と、垂直シフトレジスタ14と、データラッチ回路15と、水平ドライバ16と、を備える。水平ドライバ16は、水平シフトレジスタ161と、ラッチ部162と、レベルシフタ／画素ドライバ163と、により構成される。

[0015] 画像表示部11は、規則的に配置された複数の画素12を有する。複数の画素12は、垂直シフトレジスタ14に一端が接続されて行方向（X方向）に延在するm本（mは2以上の自然数）の行走査線g1～gmと、レベルシフタ／画素ドライバ163に一端が接続されて列方向（Y方向）に延在するn本（nは2以上の自然数）の列データ線d1～dnと、がそれぞれ交差する複数の交差部に二次元マトリクス状に配置されている。画像表示部11内の全ての画素12は、一端がタイミングジェネレータ13に接続されたトリガ線trig, triggに共通接続されている。

[0016] なお、正転トリガパルス用トリガ線trigが伝送する正転トリガパルスTRIと、反転トリガパルス用トリガ線triggが伝送する反転トリガパルスTRIBとは、常に逆論理値の関係（相補的な関係）にある。

[0017] タイミングジェネレータ13は、上位装置20から出力された垂直同期信号Vst、水平同期信号Hst、及び、基本クロックCLK等の外部信号を入力信号として受け取り、これら外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK, HCK、ラッチパルスLT、及び、トリガパルスTRI, TRIB等の各種の内部信号を生成する。

[0018] 交流化信号FRは、1サブフレーム毎に極性反転する信号であり、画像表示部11を構成する画素12内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。

[0019] スタートパルスVSTは、後述する各サブフレームの開始タイミングで出

力されるパルス信号であり、このスタートパルスVSTによって、サブフレームの切替わりが制御される。

[0020] スタートパルスHSTは、水平シフトレジスタ161の開始タイミングで当該水平シフトレジスタ161に対して出力されるパルス信号である。

[0021] クロック信号VCKは、垂直シフトレジスタ14における1水平走査期間(1H)を規定するシフトクロックであり、クロック信号VCKのタイミングで垂直シフトレジスタ14がシフト動作を行う。

[0022] クロック信号HCKは、水平シフトレジスタ161におけるシフトクロックであり、32ビット幅でデータをシフトさせるための信号である。

[0023] ラッチパルスLTは、水平シフトレジスタ161が水平方向の1行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。

[0024] 正転トリガパルスTRI及び反転トリガパルスTRIBは、それぞれトリガ線trig, tribを介して、画像表示部11内の全ての画素12に供給されるパルス信号である。

[0025] ここで、正転トリガパルスTRI及び反転トリガパルスTRIBは、あるサブフレーム期間において、画像表示部11内の全ての画素12内の第1データ保持部にデータが書き込まれた後にタイミングジェネレータ13から出力される。それにより、そのサブフレーム期間において、画像表示部11内の全ての画素12内の第1データ保持部に保持されたデータが、それぞれ対応する画素12内の第2データ保持部に一斉に転送される。

[0026] 垂直シフトレジスタ14は、各サブフレームの開始タイミングで供給されるVスタートパルスVSTをクロック信号VCKに従って転送し、行走査信号を行走査線g1～gmに対して1H単位で順次排他的に供給する。それにより、画像表示部11の最も上にある行走査線g1から最も下にある行走査線gmにかけて、行走査線が1本ずつ1H単位で順次選択されていく。

[0027] データラッチ回路15は、図示しない外部回路から供給される1サブフレーム単位の32ビット幅のデータを、上位装置20からの基本クロックCL

Kに基づいてラッチした後、基本クロックCLKに同期して水平シフトレジスタ161へ出力する。

[0028] なお、液晶表示装置10は、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割し、これらサブフレームの組み合わせにて階調表示を行っている。そのため、上記の外部回路は、各画素の階調を示す階調データを、複数のサブフレームに対応する複数の1ビットのサブフレームデータに変換している。さらに、上記の外部回路は、同じサブフレームに属する32画素分のサブフレームデータをまとめて32ビット幅のデータとしてデータラッチ回路15に供給している。

[0029] 水平シフトレジスタ161は、1ビットシリアルデータの処理系としてみた場合、タイミングジェネレータ13から1Hの初期に供給されるスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号CLKに同期してシフトする。

[0030] ラッチ部162は、水平シフトレジスタ161が画像表示部11の1行分の画素数nと同じnビット分のデータをシフトし終わると、タイミングジェネレータ13から供給されるラッチパルスLTに同期して、水平シフトレジスタ161から並列に供給されるnビット分のデータ（即ち、n画素分のサブフレームデータ）をラッチし、レベルシフタ／画素ドライバ163のレベルシフタへ出力する。なお、ラッチ部162のデータ転送が終了すると、タイミングジェネレータ13からスタートパルスHSTが再び出力され、水平シフトレジスタ161はクロック信号CLKに従ってデータラッチ回路15からの32ビット幅のデータのシフトを再開する。

[0031] レベルシフタ／画素ドライバ163のレベルシフタは、ラッチ部162から転送された1行のn画素に対応するn個のサブフレームデータの信号レベルを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ163の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本の列データ線d1～dnに並列に出力する。

[0032] 水平ドライバ16は、1水平走査期間において、データ書き込み対象とし

て選択されている行の画素に向けたサブフレームデータの出力と、次の1水平走査期間にデータ書き込み対象として選択される行の画素のためのサブフレームデータのシフトと、を並行して行っている。そして、ある水平走査期間において、1行の n 画素に対応する n 個のサブフレームデータが、データ信号としてそれぞれ n 本の列データ線 $d_1 \sim d_n$ に並列に、かつ、一斉に出力される。

[0033] 画像表示部11を構成する複数の画素12のうち、垂直シフトレジスタ14からの行走査信号により選択された1行の n 個の画素12は、レベルシフタ／画素ドライバ163から一斉に出力された1行分の n 個のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ を介してサンプリングして各画素12内の後述する第1データ保持部に書き込む。

[0034] 画素12の詳細については後述するが、画素12では、記憶部SM1に保持された入力データの反転データが反射電極PEに印加される。つまり、画素12は、レベルシフタ／画素ドライバ163から供給された入力データを反転する機能を有している。

[0035] (画素12の具体的構成)

続いて、画素12の具体的構成について説明する。

図2は、画素12の具体的構成を示す回路図である。

[0036] 図2に示すように、画素12は、行走査線 $g_1 \sim g_m$ の何れか（以下、行走査線 g と称す）と、列データ線 $d_1 \sim d_n$ の何れか（以下、列データ線 d と称す）と、が交差する交差部分に設けられている。

[0037] 画素12は、SRAMセル201と、DRAMセル202と、液晶表示素子LCと、を備える。SRAMセル201は、第1スイッチであるスイッチSW1と、第1データ保持部である記憶部SM1と、により構成されている。DRAMセル202は、第2スイッチであるスイッチSW2と、第2データ保持部である記憶部DM2と、により構成されている。液晶表示素子LCは、離間対向配置された光反射特性を有する画素電極である反射電極PEと、光透過性を有する共通電極CEとの間の空間に、液晶LCMが充填封入さ

れた公知の構造である。

[0038] (SRAMセル201の構成)

スイッチSW1は、例えばNチャネルMOS型トランジスタ（以下、NMOSトランジスタという）MN1により構成されている。スイッチSW1を構成するNMOSトランジスタMN1では、ソースが記憶部SM1の入力端子（ノードa）に接続され、ドレインが列データ線dに接続され、ゲートが行走査線gに接続されている。

[0039] 記憶部SM1は、一方の出力端子が他方の入力端子に接続された2つのインバータINV11, INV12からなる自己保持型メモリである。より具体的には、インバータINV11の入力端子は、インバータINV12の出力端子及びスイッチSW1を構成するNMOSトランジスタMN1のソースに接続されている。インバータINV12の入力端子は、スイッチSW2及びインバータINV11の出力端子に接続されている。

[0040] 図3は、インバータINV11の具体的構成を示す回路図である。

図3に示すように、インバータINV11は、直列接続されたPチャネルMOS型トランジスタ（以下、PMOSトランジスタという）MP11及びNMOSトランジスタMN11を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のCMOSインバータである。同じく、インバータINV12は、直列接続されたPMOSトランジスタMP12及びNMOSトランジスタMN12を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のCMOSインバータである。

[0041] ここで、インバータINV11, INV12の駆動能力は異なる。具体的には、記憶部SM1を構成するインバータINV11, INV12のうち、スイッチSW1から見て入力側となるインバータINV11内のトランジスタMP11, MN11の駆動能力は、スイッチSW1から見て出力側となるインバータINV12内のトランジスタMP12, MN12の駆動能力よりも大きい。それにより、列データ線dからスイッチSW1を介して記憶部S

M1にデータが伝搬しやすくなり、一方で、スイッチSW2を介して記憶部DM2から記憶部SM1にデータが伝搬しにくくなる。

[0042] さらに、スイッチSW1を構成するNMOSトランジスタMN1の駆動能力は、インバータINV12を構成するNMOSトランジスタMN12の駆動能力よりも大きい。それにより、例えば、列データ線d上でHレベルを示すデータを記憶部SM1に記憶させる場合、列データ線dからスイッチSW1を介して記憶部SM1の入力端子（ノードa）に流れる電流が、記憶部SM1の入力端子からNMOSトランジスタMN12を介して接地電圧端子GNDに流れる電流よりも大きくなるため、データを正確に記憶部SM1に記憶させることができる。

[0043] （DRAMセル202の構成）

スイッチSW2は、並列接続されたNMOSトランジスタMN2及びPMOSトランジスタMP2からなる公知のトランスミッションゲートである。より具体的には、NMOSトランジスタMN2及びPMOSトランジスタMP2では、それぞれのソースが記憶部SM1の出力端子に共通接続され、それぞれのドレインが記憶部DM2の入力端子及び液晶表示素子LCの反射電極PEに共通接続されている。そして、NMOSトランジスタMN2のゲートは、正転トリガパルス用トリガ線trigに接続され、PMOSトランジスタMP2のゲートは、反転トリガパルス用トリガ線trigbに接続されている。

[0044] 例えば、スイッチSW2は、トリガ線trigを介して供給される正転トリガパルスがHレベル（トリガ線trigbを介して供給される反転トリガパルスがLレベル）の場合にオン状態となり、記憶部SM1から読み出されたデータを記憶部DM2及び反射電極PEへ転送する。また、スイッチSW2は、トリガ線trigを介して供給される正転トリガパルスがLレベル（トリガ線trigbを介して供給される反転トリガパルスがHレベル）の場合にオフ状態となり、記憶部SM1の記憶データの読み出しは行わない。

[0045] スイッチSW2は、公知のトランスミッションゲートであるため、オン状

態において接地電圧GNDから電源電圧VDDまでの広範囲の電圧を転送することができる。より具体的には、記憶部SM1からトランジスタMN2, MP2のソースに印加される電圧が接地電圧GNDレベル（Lレベル）の場合、PMOSTランジスタMP2のソース・ドレインが導通しない代わりに、NMOSTランジスタMN2のソース・ドレインは低抵抗で導通することができる。一方、記憶部SM1からトランジスタMN2, MP2のソースに印加される電圧が電源電圧VDDレベル（Hレベル）の場合、NMOSTランジスタMN2のソース・ドレインが導通しない代わりに、PMOSTランジスタMP2のソース・ドレインは低抵抗で導通することができる。このように、スイッチSW2では、トランSMissionゲートのソース・ドレインが低抵抗で導通することができるため、オン状態において接地電圧GNDから電源電圧VDDまでの広範囲の電圧を転送することができる。

[0046] 記憶部DM2は、容量C1により構成されている。容量C1には、例えば、配線間で容量を形成するMIM（Metal Insulator Metal）容量、基板ーポリシリコン間で容量を形成するDiffusion容量、又は、2層ポリシリコン間で容量を形成するPIP（Poly Insulator Poly）容量等を用いることができる。

[0047] スイッチSW2がオンすると、記憶部SM1に記憶されたデータが読み出され、スイッチSW2を介して、記憶部DM2内の容量C1及び反射電極PEへ転送される。それにより、記憶部DM2に記憶されたデータが書き換えられる。

[0048] ここで、スイッチSW2がオンしている場合、容量C1に保持されたデータは記憶部SM1を構成するインバータINV12の入力ゲートにも影響を与える。しかしながら、インバータINV11の駆動能力をインバータINV12の駆動能力より大きくしているため、インバータINV12が容量C1のデータの影響を受ける前に、インバータINV11が容量C1のデータを書き換えてしまう。したがって、容量C1の保持データによって記憶部SM1のデータが意図せず書き換えられてしまうことはない。

[0049] このように、本実施の形態に係る液晶表示装置 10 は、SRAMセル及びDRAMセルを1つずつ備えた画素 12 を用いることにより、SRAMセルを2つ備えた画素を用いる場合よりも、画素を構成するトランジスタの数を少なくして、画素の小型化を実現している。

[0050] 本実施の形態では、スイッチSW2がPMOSTランジスタMP2及びNMOSTランジスタMN2により構成される場合について説明したが、これに限られない。スイッチSW2は、PMOSTランジスタMP2及びNMOSTランジスタMN2の何れか一つが設けられた構成に適宜変更可能である。その場合、トリガ線 $t r i g$, $t r i g b$ の一方のみが設けられることとなる。

[0051] なお、液晶表示装置 10 は、画素を構成するトランジスタの数を少なくすることで画素の小型化を実現できるだけでなく、以下に説明するように記憶部SM1, DM2及び反射電極PEを素子の高さ方向に有効に配置することによっても画素の小型化を実現することができる。以下、図4を用いて、詳細に説明する。

[0052] (画素 12 の断面構造)

図4は、画素 12 の要部を示す概略断面図である。また、図4では、容量C1が配線間で容量を形成するMIMにより構成された場合を例に説明する。

[0053] 図4に示すように、シリコン基板 100 上にはNウエル 101 及びPウエル 102 が形成されている。

[0054] Nウエル 101 上には、スイッチSW2のPMOSTランジスタMP2、及び、インバータINV11のPMOSTランジスタMP11が形成されている。より具体的には、Nウエル 101 上には、PMOSTランジスタMP2, MP11のそれぞれのソースとなる共通拡散層、及び、ドレインとなる2つの拡散層が形成され、共通拡散層と2つの拡散層との間のチャネル領域上には、PMOSTランジスタMP2, MP11のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

- [0055] Pウエル102上には、スイッチSW2のNMOSトランジスタMN2、及び、インバータINV11のNMOSトランジスタMN11が形成されている。より具体的には、Pウエル102上には、NMOSトランジスタMN2、MN11のそれぞれのソースとなる共通拡散層、及び、ドレインとなる2つの拡散層が形成され、共通拡散層と2つの拡散層との間のチャネル領域上には、NMOSトランジスタMN2、MN11のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。
- [0056] なお、Nウエル上の活性領域（拡散層及びチャネル領域）と、Pウエル上の活性領域と、の間には、素子分離酸化膜103が形成されている。
- [0057] トランジスタMP2、MP11、MN2、MN11の上方には、層間絶縁膜105をメタル間に介在させて第1メタル106、第2メタル108、第3メタル110、MIM電極112、第4メタル114、及び、第5メタル116が積層されている。
- [0058] 第5メタル116は、画素毎に形成される反射電極PEを構成している。
- [0059] トランジスタMN2、MP2の各ドレインを構成する各拡散層は、コンタクト118、第1メタル106、スルーホール119a、第2メタル108、スルーホール119b、第3メタル110、スルーホール119c、第4メタル114、及び、スルーホール119eを介して、第5メタル116に電氣的に接続されている。さらに、トランジスタMN2、MP2の各ドレインを構成する各拡散層は、コンタクト118、第1メタル106、スルーホール119a、第2メタル108、スルーホール119b、第3メタル110、スルーホール119c、第4メタル114、及び、スルーホール119dを介してMIM電極112に電氣的に接続されている。即ち、スイッチSW2を構成するトランジスタMN2、MP2の各ソースは、反射電極PE及びMIM電極112に電氣的に接続されている。
- [0060] 反射電極PE（第5メタル116）は、その上面に形成された保護膜であるパッシベーション膜（PSV）117を介して、透明電極である共通電極CEに離間対向配置されている。反射電極PEと共通電極CEとの間には、

液晶LCMが充填封止されている。反射電極PE、共通電極CE、及び、それらの間の液晶LCMによって液晶表示素子LCが構成される。

[0061] ここで、MIM電極112は、第3メタル110上に層間絶縁膜105を介して形成されている。このMIM電極112、第3メタル110、及び、それらの間の層間絶縁膜105によって容量C1が構成される。そのため、スイッチSW1、SW2及び記憶部SM1が、第1、2層配線である第1メタル106及び第2メタル108と、トランジスタと、を用いて形成されるのに対し、記憶部DM2は、それらの上層である第3メタル110及びMIM電極112を用いて形成されることとなる。つまり、スイッチSW1、SW2及び記憶部SM1と、記憶部DM2とは、それぞれ異なる層にて形成されることとなる。

[0062] 図示しない光源からの光は、共通電極CE及び液晶LCMを透過して反射電極PE（第5メタル116）に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

[0063] このように、液晶表示装置10は、第5層配線である第5メタル116を反射電極PEとして用い、第3層配線である第3メタル110を記憶部DM2の一部として用い、第1、2層配線である第1メタル106及び第2メタル108とトランジスタとを記憶部SM1等として用いることで、記憶部SM1、記憶部DM2及び反射電極PEを高さ方向に有効に配置することが可能になるため、画素をさらに小型化することができる。それにより、例えば、 $3\mu\text{m}$ 以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この $3\mu\text{m}$ 以下のピッチの画素を用いることで、対角の長さ0.55インチの横方向4000画素、縦方向2000画素の液晶表示パネルを実現できる。

[0064] （液晶表示装置10の動作）

次に、図5を用いて、液晶表示装置10の動作について説明する。

図5は、液晶表示装置10の動作を示すタイミングチャートである。

[0065] 前述したように、液晶表示装置10では、垂直シフトレジスタ14からの

行走査信号により、行走査線 $g_1 \sim g_m$ が 1 本ずつ 1 H 単位で順次選択されていくため、画像表示部 11 を構成する複数の画素 12 には、選択された行走査線に共通に接続された 1 行の n 個の画素単位でデータが書き込まれる。そして、画像表示部 11 を構成する複数の画素 12 の全てにデータが書き込まれると、その後、トリガパルス TR_I 、 TR_{IB} に基づき、全ての画素 12 のデータが一斉に読み出される（より具体的には、全ての画素 12 内の記憶部 SM_1 のデータが一斉に記憶部 DM_2 及び反射電極 PE に転送される）。

[0066] 図 5 の (A) は、各画素 12 に記憶されるサブフレームデータの変化を示している。なお、縦軸が行番号を表し、横軸が時間を表している。図 5 の (A) に示すように、サブフレームデータの境界線は右下がりとなっている。これは、行番号の大きな画素ほどサブフレームデータが遅れて書き込まれることを表している。この境界線の一端から他端までの期間がサブフレームデータの書き込み期間に相当する。なお、 B_{0b} 、 B_{1b} 、 B_{2b} は、それぞれビット B_0 、 B_1 、 B_2 のサブフレームデータの反転データを示している。

[0067] 図 5 の (B) は、トリガパルス TR_I の出力タイミング（立ち上がりタイミング）を示している。なお、トリガパルス TR_{IB} は、常にトリガパルス TR_I を論理反転した値を示すため、省略されている。図 5 の (C) は、反射電極 PE に印加されるサブフレームデータのビットを模式的に示している。図 5 の (D) は、共通電極電圧 V_{com} の値の変化を示している。図 5 の (E) は、液晶 LCM に印加される電圧の変化を示している。

[0068] まず、行走査信号により選択された画素 12 では、スイッチ SW_1 がオンするため、水平ドライバ 16 から列データ線 d に出力されたビット B_0 の正転サブフレームデータが、スイッチ SW_1 によりサンプリングされて記憶部 SM_1 に書き込まれる。同様にして、画像表示部 11 を構成する全ての画素 12 の記憶部 SM_1 に対してビット B_0 の正転サブフレームデータが書き込まれる。その後、画像表示部 11 を構成する全ての画素 12 に対して H レベ

ルのトリガパルス TR_I （及びLレベルのトリガパルス TR_{IB} ）が同時に供給される（時刻 T_1 ）。

[0069] これにより、全ての画素12のスイッチ SW_2 がオンするため、記憶部 SM_1 に記憶されているビット B_0 の正転サブフレームデータがスイッチ SW_2 を通して記憶部 DM_2 に一斉に転送されて保持されるとともに、ビット B_0 の正転サブフレームデータが反射電極 PE に印加される。ここで、図5の（C）を見てもわかるように、記憶部 DM_2 によるビット B_0 の正転サブフレームデータの保持期間（反射電極 PE へのビット B_0 の正転サブフレームデータの印加期間）は、トリガパルス TR_I がHレベルとなってから（時刻 T_1 ）、次に再びHレベルとなるまで（時刻 T_2 ）の1サブフレーム期間である。

[0070] ここで、サブフレームデータのビット値が「1」、すなわちHレベルのときには反射電極 PE には電源電圧 V_{DD} （ここでは3.3V）が印加され、ビット値が「0」、すなわちLレベルのときには反射電極 PE には接地電圧 GND （0V）が印加される。一方、共通電極 CE には、接地電圧 GND 及び電源電圧 V_{DD} に制限されることなく、自由な電圧が共通電極電圧 V_{com} として印加できるようになっており、Hレベルの正転トリガパルス TR_I の入力に同期して共通電極電圧 V_{com} が所定電圧に切り替わるように制御される。本例では、共通電極電圧 V_{com} は、ビット B_0 の正転サブフレームデータが反射電極 PE に印加されるサブフレーム期間中、図5（D）に示すように、0Vよりも液晶の閾値電圧 V_{th} だけ低い電圧に設定される。

[0071] 液晶表示素子 LC は、反射電極 PE の印加電圧と共通電極電圧 V_{com} との差電圧の絶対値である液晶 LCM の印加電圧に応じた階調表示を行う。したがって、ビット B_0 の正転サブフレームデータが反射電極 PE に印加されるサブフレーム期間（時刻 $T_1 \sim T_2$ ）では、液晶 LCM の印加電圧は、図5（E）に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{th}$ （ $= 3.3V - (-V_{th})$ ）となり、サブフレームデータのビット値が「0」のときは $+V_{th}$ （ $= 0V - (-V_{th})$ ）となる。

[0072] 図6は、液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す。

図6を参照すると、グレースケール値曲線は、黒のグレースケール値が液晶の閾値電圧 V_{tt} のRMS電圧に対応し、かつ、白のグレースケール値が液晶の飽和電圧 V_{sat} （ $=3.3V + V_{tt}$ ）のRMS電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。したがって、液晶表示素子LCは上記のように液晶LCMの印加電圧が（ $3.3V + V_{tt}$ ）のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

[0073] 図5に戻り、液晶表示素子LCがビットB0の正転サブフレームデータを表示しているサブフレーム期間（時刻 $T_1 \sim T_2$ ）において、画像表示部11を構成する全ての画素12の記憶部SM1に対するビットB0の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部11を構成する全ての画素12の記憶部SM1に対してビットB0の反転サブフレームデータが書き込まれると、その後、画像表示部11を構成する全ての画素12に対してHレベルのトリガパルス TR_I （及びLレベルのトリガパルス TR_{IB} ）が同時に供給される（時刻 T_2 ）。

[0074] これにより、全ての画素12のスイッチSW2がオンするため、記憶部SM1に記憶されているビットB0の反転サブフレームデータがスイッチSW2を通して記憶部DM2に一斉に転送されて保持されるとともに、ビットB0の反転サブフレームデータが反射電極PEに印加される。ここで、図5の（C）を見てもわかるように、記憶部DM2によるビットB0の反転サブフレームデータの保持期間（反射電極PEへのビットB0の反転サブフレームデータの印加期間）は、トリガパルス TR_I がHレベルとなってから（時刻 T_2 ）、次に再びHレベルとなるまで（時刻 T_3 ）の1サブフレーム期間である。ここで、ビットB0の反転サブフレームデータはビットB0の正転サブフレームデータと常に逆論理値の関係にあるため、ビットB0の正転サブフレームデータが「1」のときは「0」、ビットB0の正転サブフレームデ

ータが「0」のときは「1」である。

[0075] 一方、共通電極電圧 V_{com} は、ビット B_0 の反転サブフレームデータが反射電極 P_E に印加されるサブフレーム期間中、図5 (D) に示すように、 $3.3V$ よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。したがって、ビット B_0 の反転サブフレームデータが反射電極 P_E に印加されるサブフレーム期間 (時刻 $T_2 \sim T_3$) では、液晶 LCM の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{th}$ ($= 3.3V - (3.3V + V_{th})$) となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{th}$ ($= 0V - (3.3V + V_{th})$) となる。

[0076] 例えば、ビット B_0 の正転サブフレームデータのビット値が「1」であった場合には続いて印加されるビット B_0 の反転サブフレームデータのビット値は「0」となる。このとき、液晶 LCM の印加電圧は、 $-(3.3V + V_{th})$ となり、ビット B_0 の正転サブフレームデータが印加されたときと比較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素12は、ビット B_0 の反転サブフレームデータが印加されたときも、ビット B_0 の正転フレームデータが印加されたときと同様に、白を表示する。また、ビット B_0 の正転サブフレームデータのビット値が「0」であった場合には続いて印加されるビット B_0 の反転サブフレームデータのビット値は「1」となる。このとき、液晶 LCM の印加電圧は、 $-V_{th}$ となり、ビット B_0 の正転サブフレームデータが印加されたときと比較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素12は、ビット B_0 の反転サブフレームデータが印加されたときも、ビット B_0 の正転フレームデータが印加されたときと同様に、黒を表示する。

[0077] したがって、画素12は、図5の (E) に示すように、時刻 $T_1 \sim T_3$ の2サブフレーム期間中、ビット B_0 とビット B_0 の相補ビット B_0b とで同じ階調を表示するとともに、液晶 LCM の電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶 LCM の焼き付きを防止することができる。

[0078] 続いて、液晶表示素子 LC がビット B_0 の反転サブフレームデータを表示

しているサブフレーム期間（時刻 $T_2 \sim T_3$ ）において、全ての画素12の記憶部SM1に対するビットB1の正転サブフレームデータの書き込みが順次開始される。そして、画像表示部11の全画素12の記憶部SM1に対してビットB1の正転サブフレームデータが書き込まれると、その後、画像表示部11を構成するすべての画素12に対してHレベルのトリガパルス TR_I （及びLレベルのトリガパルス TR_{IB} ）が同時に供給される（時刻 T_3 ）。

[0079] これにより、全ての画素12のスイッチSW2がオンするため、記憶部SM1に記憶されているビットB1の正転サブフレームデータがスイッチSW2を通して記憶部DM2に一斉に転送されて保持されるとともに、ビットB1の正転サブフレームデータが反射電極PEに印加される。ここで、図5の（C）を見てもわかるように、記憶部DM2によるビットB1の正転サブフレームデータの保持期間（反射電極PEへのビットB1の正転サブフレームデータの印加期間）は、トリガパルス TR_I がHレベルとなってから（時刻 T_3 ）、次に再びHレベルとなるまで（時刻 T_4 ）の1サブフレーム期間である。

[0080] 一方、共通電極電圧 V_{com} は、ビットB1の正転サブフレームデータが反射電極PEに印加されるサブフレーム期間は、図5（D）に示すように、0Vよりも液晶の閾値電圧 V_{th} だけ低い電圧に設定される。したがって、ビットB1の正転サブフレームデータが反射電極PEに印加されるサブフレーム期間（時刻 $T_3 \sim T_4$ ）では、液晶LCMの印加電圧は、図5（E）に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{th}$ （ $= 3.3V - (-V_{th})$ ）となり、サブフレームデータのビット値が「0」のときは $+V_{th}$ （ $= 0V - (-V_{th})$ ）となる。

[0081] 続いて、液晶表示素子LCがビットB1の正転サブフレームデータを表示しているサブフレーム期間（時刻 $T_3 \sim T_4$ ）において、画像表示部11を構成する全ての画素12の記憶部SM1に対するビットB1の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部11を構成す

る全ての画素12の記憶部SM1に対してビットB1の反転サブフレームデータが書き込まれると、その後、画像表示部11を構成する全ての画素12に対してHレベルのトリガパルスTR1（及びLレベルのトリガパルスTR1B）が同時に供給される（時刻T4）。

[0082] これにより、全ての画素12のスイッチSW2がオンするため、記憶部SM1に記憶されているビットB1の反転サブフレームデータがスイッチSW2を通して記憶部DM2に一齐に転送されて保持されるとともに、ビットB1の反転サブフレームデータが反射電極PEに印加される。ここで、図5の（C）を見てもわかるように、記憶部DM2によるビットB1の反転サブフレームデータの保持期間（反射電極PEへのビットB1の反転サブフレームデータの印加期間）は、トリガパルスTR1がHレベルとなってから（時刻T4）、次に再びHレベルとなるまで（時刻T5）の1サブフレーム期間である。ここで、ビットB1の反転サブフレームデータはビットB1の正転サブフレームデータと常に逆論理値の関係にある。

[0083] 一方、共通電極電圧Vcomは、ビットB1の反転サブフレームデータが反射電極PEに印加されるサブフレーム期間中、図5（D）に示すように、 $3.3V$ よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。したがって、ビットB1の反転サブフレームデータが反射電極PEに印加されるサブフレーム期間（時刻T4～T5）では、液晶LCMの印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{th}$ （ $=3.3V - (3.3V + V_{th})$ ）となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{th}$ （ $=0V - (3.3V + V_{th})$ ）となる。

[0084] これにより、画素12は、図5の（E）に示すように、時刻T3～T5の2サブフレーム期間中、ビットB1とビットB1の相補ビットB1bとで同じ階調を表示するとともに、液晶LCMの電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶LCMの焼き付きを防止することができる。ビットB2以降についても同様の動作が繰り返される。

[0085] このようにして、液晶表示装置10は、複数のサブフレームの組み合わせ

にて階調表示を行っている。

[0086] なお、ビットB 0と相補ビットB 0 bの各表示期間は同じ第1のサブフレーム期間であり、また、ビットB 1と相補ビットB 1 bの各表示期間も同じ第2のサブフレーム期間であるが、第1のサブフレーム期間と第2のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第2のサブフレーム期間は第1のサブフレーム期間の2倍に設定されている。また、図5（E）に示すように、ビットB 2と相補ビットB 2 bの各表示期間である第3のサブフレーム期間は、第2のサブフレーム期間の2倍に設定されている。他のサブフレーム期間についても同様のことが言える。システムの仕様等に応じて、各サブフレーム期間の長さ、及び、サブフレーム数を任意に設定することができる。

[0087] （実施の形態1に至る前の構想に係るラッチ部562の具体的構成）

ここで、水平ドライバ16に設けられたラッチ部162の詳細について説明する前に、まず、本発明者が検討したラッチ部562について説明する。

[0088] 図7は、実施の形態1に至る前の構想に係るラッチ部562の具体的構成を示す回路図である。なお、図7には、ラッチ部562の周辺回路である水平シフトレジスタ161及びレベルシフタ／画素ドライバ163も示されている。

[0089] 図7に示すように、ラッチ部562は、マトリックス状に配置された複数の画素12のn個の列（カラム）に対応するn個のラッチ回路564を備える。n個のラッチ回路564は、それぞれ、行方向に配置されたn個の画素12に対向配置され、かつ、当該n個の画素12のピッチに対応したピッチ（行方向の幅）を有している。

[0090] なお、ラッチ部562には、タイミングジェネレータ13からのラッチパルスLTを正転又は反転させたパルス信号P 1，P 1 b，P 2，P 2 bが供給される。より具体的には、ラッチ部562には、バッファBF 1によってラッチパルスLTを正転させたパルス信号P 1，P 2 bが供給され、かつ、インバータI V 1によってラッチパルスLTを反転させたパルス信号P 1 b

， P 2 が供給される。

[0091] スイッチ SW 2 1 は、並列接続された NMOS トランジスタ MN 2 1 及び PMOS トランジスタ MP 2 1 からなる公知のトランSMissionゲートである。より具体的には、NMOS トランジスタ MN 2 1 及び PMOS トランジスタ MP 2 1 では、それぞれのソースが水平シフトレジスタ 1 6 1 における対応する出力端子に共通接続され、それぞれのドレインがインバータ I V 2 1 の入力端子に共通接続されている。そして、NMOS トランジスタ MN 2 1 のゲートには、パルス信号 P 1 が供給され、PMOS トランジスタ MP 2 1 のゲートには、パルス信号 P 1 の反転信号であるパルス信号 P 1 b が供給される。

[0092] インバータ I V 2 1 の出力端子は、インバータ I V 2 2 の入力端子と、レベルシフタ／画素ドライバ 1 6 3 における対応する入力端子と、に接続される。

[0093] スイッチ SW 2 2 は、並列接続された NMOS トランジスタ MN 2 2 及び PMOS トランジスタ MP 2 2 からなる公知のトランSMissionゲートである。より具体的には、NMOS トランジスタ MN 2 2 及び PMOS トランジスタ MP 2 2 では、それぞれのソースがインバータ I V 2 2 の出力端子に共通接続され、それぞれのドレインがインバータ I V 2 1 の入力端子に共通接続されている。そして、NMOS トランジスタ MN 2 2 のゲートには、パルス信号 P 2 が供給され、PMOS トランジスタ MP 2 2 のゲートには、パルス信号 P 2 の反転信号であるパルス信号 P 2 b が供給される。

[0094] 例えば、ラッチパルス L T が L レベルの場合、パルス信号 P 1 ， P 2 b が L レベルを示し、パルス信号 P 1 b ， P 2 が H レベルを示すため、スイッチ SW 2 1 はオフし、スイッチ SW 2 2 はオンする。他方、ラッチパルス L T が H レベルの場合、パルス信号 P 1 ， P 2 b が H レベルを示し、パルス信号 P 1 b ， P 2 が L レベルを示すため、スイッチ SW 2 1 はオンし、スイッチ SW 2 2 はオフする。

[0095] （ラッチ部 5 6 2 を備えた水平ドライバ 5 6 の動作）

続いて、ラッチ部562を備えた水平ドライバ56の動作について説明する。

例えば、まず、ラッチパルスLTがLレベルを示している。それにより、パルス信号P1、P2bがLレベルを示し、パルス信号P1b、P2がHレベルを示すため、スイッチSW21はオフし、スイッチSW22はオンする。このとき、水平シフトレジスタ161は、1ビットシリアルデータの処理系としてみた場合、タイミングジェネレータ13から1Hの初期に供給されるスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。

[0096] その後、水平シフトレジスタ161が画像表示部11の1行分の画素数nと同じnビット分のデータをシフトし終わると、ラッチパルスLTが立ち上がる（LレベルからHレベルに切り替わる）。それにより、パルス信号P1、P2bが立ち上がり（LレベルからHレベルに切り替わり）、パルス信号P1b、P2が立ち下がる（HレベルからLレベルに切り替わる）ため、スイッチSW21はオンし、スイッチSW22はオフする。それにより、水平シフトレジスタ161から並列に出力されたnビット分のデータ（即ち、n画素分のサブフレームデータ）は、ラッチ部562を介して、レベルシフタ／画素ドライバ163に転送される。

[0097] このとき、レベルシフタ／画素ドライバ163のレベルシフタは、ラッチ部562から転送された1行のn画素に対応するn個のサブフレームデータの信号レベルを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ163の画素ドライバは、レベルシフト後の1行のn画素に対応するn個のサブフレームデータをn本の列データ線d1～dnに並列に出力する。つまり、ある水平走査期間において、1行のn画素に対応するn個のサブフレームデータが、データ信号としてそれぞれn本の列データ線d1～dnに並列に、かつ、一斉に出力される。

[0098] その後、ラッチパルスLTが立ち下がる。それにより、パルス信号P1、

P 2 b が立下り、パルス信号 P 1 b, P 2 が立ち上がるため、スイッチ S W 2 1 はオフし、スイッチ S W 2 2 はオンする。それにより、ラッチ部 5 6 2 は、水平シフトレジスタ 1 6 1 と切り離されるが、直前まで水平シフトレジスタ 1 6 1 から供給されていた n 画素分のサブフレームデータを保持し続ける。そのため、ラッチ部 5 6 2 は、当該 n 画素分のサブフレームデータを n 本の列データ線 d 1 ~ d n に並列に出力し続けることができる。

[0099] なお、ラッチパルス L T が L レベルを示している期間中、水平シフトレジスタ 1 6 1 には、タイミングジェネレータ 1 3 から次の 1 H のスタートパルス H S T が供給される。それにより、水平シフトレジスタ 1 6 1 は、データラッチ回路 1 5 から供給される 3 2 ビット幅のデータをシフトする動作を再開する。

[0100] つまり、水平ドライバ 5 6 は、1 水平走査期間において、データ書き込み対象として選択されている行の画素に向けたサブフレームデータの出力と、次の水平走査期間にデータ書き込み対象として選択される行の画素のためのサブフレームデータのシフトと、を並行して行っている。

[0101] ここで、ラッチ部 5 6 2 の構成では、n 個の画素 1 2 に向けた n 個のサブフレームデータが、ラッチパルス L T の立ち上がり同期して、n 本の列データ線 d 1 ~ d n に並列かつ一斉に出力される。それにより、ラッチ部 5 6 2 を搭載した液晶表示装置では、電源電圧端子から接地電圧端子に向けて流れる電流が瞬間的に大きくなるため（即ち、ピーク消費電流が大きくなるため）、電源電圧 V D D が低下したり接地電圧 G N D が上昇したりする I R ドロップ現象が発生してしまうという問題があった。その結果、ラッチ部 5 6 2 を搭載した液晶表示装置では、例えば、誤動作が発生したり、画質が劣化したりしてしまう可能性があった。

[0102] そこで、ピーク消費電流を抑制することにより I R ドロップの発生を防止することができるように、ラッチ部 1 6 2 及びそれを搭載した液晶表示装置 1 0 が見出された。

[0103] （実施の形態 1 に係るラッチ部 1 6 2 の具体的構成例）

図8は、実施の形態1に係るラッチ部162の具体的構成例を示す回路図である。なお、図8には、ラッチ部162の周辺回路である水平シフトレジスタ161及びレベルシフタ／画素ドライバ163も示されている。

[0104] 図8に示すように、ラッチ部162は、マトリックス状に配置された複数の画素12の n 個の列（カラム）に対応して設けられた n 個のラッチ回路164を備える。 n 個のラッチ回路164は、それぞれ、行方向に配置された n 個の画素12に対向配置され、かつ、当該 n 個の画素12のピッチに対応したピッチ（行方向の幅）を有している。

[0105] さらに、ラッチ部162は、遅延バッファD1L、D1bL、D2L、D2bLと、遅延バッファD1R、D1bR、D2R、D2bRと、を備える。これら遅延バッファは、複数の画素12の各行に設けられた n 個の画素12のそれぞれに対するサブフレームデータの供給タイミングを調整するタイミング調整回路の役割を果たす。詳細については後述する。

[0106] ここで、 n 個のラッチ回路164は、複数のラッチ回路群に区分されている。本実施の形態では、 n 個のラッチ回路164は、中央に配置された $n/3$ 個のラッチ回路164（ラッチ回路群1642）と、ラッチ回路群1642よりも行方向負側（紙面の左側）に配置された $n/3$ 個のラッチ回路164（ラッチ回路群1641）と、ラッチ回路群1642よりも行方向正側（紙面の右側）に配置された $n/3$ 個のラッチ回路164（ラッチ回路群1643）と、に区分されている。

[0107] ラッチ部162の中央に設けられたラッチ回路群1642には、タイミングジェネレータ13からのラッチパルスLTを正転又は反転させたパルス信号P1、P1b、P2、P2bが供給される。より具体的には、ラッチ回路群1642には、バッファBF1によってラッチパルスLTを正転させたパルス信号P1、P2bが供給され、かつ、インバータIV1によってラッチパルスLTを反転させたパルス信号P1b、P2が供給される。

[0108] また、ラッチ部162の左側領域に設けられたラッチ回路群1641には、パルス信号P1、P1b、P2、P2bをそれぞれ遅延バッファD1L、

D 1 b L, D 2 L, D 2 b Lを用いて遅延させたパルス信号P 1 L, P 1 b L, P 2 L, P 2 b Lが供給される。

[0109] さらに、ラッチ部1 6 2の右側領域に設けられたラッチ回路群1 6 4 3には、パルス信号P 1, P 1 b, P 2, P 2 bをそれぞれ遅延バッファD 1 R, D 1 b R, D 2 R, D 2 b Rを用いて遅延させたパルス信号P 1 R, P 1 b R, P 2 R, P 2 b Rが供給される。

[0110] ラッチ部1 6 2の中央に設けられたラッチ回路群1 6 4 2の各ラッチ回路1 6 4において、スイッチSW 2 1は、並列接続されたNMOSトランジスタMN 2 1及びPMOSトランジスタMP 2 1からなる公知のトランSMissionゲートである。より具体的には、NMOSトランジスタMN 2 1及びPMOSトランジスタMP 2 1では、それぞれのソースが水平シフトレジスタ1 6 1における対応する出力端子に共通接続され、それぞれのドレインがインバータI V 2 1の入力端子に共通接続されている。そして、NMOSトランジスタMN 2 1のゲートには、パルス信号P 1が供給され、PMOSトランジスタMP 2 1のゲートには、パルス信号P 1の反転信号であるパルス信号P 1 bが供給される。インバータI V 2 1の出力端子は、インバータI V 2 2の入力端子と、レベルシフタ／画素ドライバ1 6 3における対応する入力端子と、に接続される。

[0111] また、ラッチ回路群1 6 4 2の各ラッチ回路1 6 4において、スイッチSW 2 2は、並列接続されたNMOSトランジスタMN 2 2及びPMOSトランジスタMP 2 2からなる公知のトランSMissionゲートである。より具体的には、NMOSトランジスタMN 2 2及びPMOSトランジスタMP 2 2では、それぞれのソースがインバータI V 2 2の出力端子に共通接続され、それぞれのドレインがインバータI V 2 1の入力端子に共通接続されている。そして、NMOSトランジスタMN 2 2のゲートには、パルス信号P 2が供給され、PMOSトランジスタMP 2 2のゲートには、パルス信号P 2の反転信号であるパルス信号P 2 bが供給される。

[0112] 例えば、ラッチパルスLTがLレベルの場合、パルス信号P 1, P 2 bが

Lレベルを示し、パルス信号P 1 b, P 2がHレベルを示す。それにより、ラッチ回路群1 6 4 2の各ラッチ回路1 6 4において、スイッチSW 2 1はオフし、スイッチSW 2 2はオンする。他方、ラッチパルスLTがHレベルの場合、パルス信号P 1, P 2 bがHレベルを示し、パルス信号P 1 b, P 2がLレベルを示す。それにより、ラッチ回路群1 6 4 2の各ラッチ回路1 6 4において、スイッチSW 2 1はオンし、スイッチSW 2 2はオフする。

[0113] ラッチ部1 6 2の左側領域に設けられたラッチ回路群1 6 4 1の各ラッチ回路1 6 4では、NMOSTランジスタMN 2 1のゲートに、パルス信号P 1 Lが供給され、PMOSTランジスタMP 2 1のゲートに、パルス信号P 1 Lの反転信号であるパルス信号P 1 b Lが供給される。また、NMOSTランジスタMN 2 2のゲートに、パルス信号P 2 Lが供給され、PMOSTランジスタMP 2 2のゲートに、パルス信号P 2 Lの反転信号であるパルス信号P 2 b Lが供給される。ラッチ回路群1 6 4 1の各ラッチ回路1 6 4のその他の構成については、ラッチ回路群1 6 4 2の各ラッチ回路1 6 4の構成と同様であるため、その説明を省略する。

[0114] 例えば、ラッチパルスLTがLレベルを示した場合、パルス信号P 1, P 2 bがLレベルを示し、パルス信号P 1 b, P 2がHレベルを示した後、所定の遅延時間経過後に、パルス信号P 1 L, P 2 b LがLレベルを示し、パルス信号P 1 b L, P 2 LがHレベルを示す。それにより、ラッチ回路群1 6 4 1の各ラッチ回路1 6 4において、スイッチSW 2 1はオフし、スイッチSW 2 2はオンする。他方、ラッチパルスLTがHレベルを示した場合、パルス信号P 1, P 2 bがHレベルを示し、パルス信号P 1 b, P 2がLレベルを示した後、所定の遅延時間経過後に、パルス信号P 1 L, P 2 b LがHレベルを示し、パルス信号P 1 b L, P 2 LがLレベルを示す。それにより、ラッチ回路群1 6 4 1の各ラッチ回路1 6 4において、スイッチSW 2 1はオンし、スイッチSW 2 2はオフする。

[0115] ラッチ部1 6 2の右側領域に設けられたラッチ回路群1 6 4 3の各ラッチ回路1 6 4では、NMOSTランジスタMN 2 1のゲートに、パルス信号P

1 Rが供給され、PMOSトランジスタMP 2 1のゲートに、パルス信号P 1 Rの反転信号であるパルス信号P 1 b Rが供給される。また、NMOSトランジスタMN 2 2のゲートに、パルス信号P 2 Rが供給され、PMOSトランジスタMP 2 2のゲートに、パルス信号P 2 Rの反転信号であるパルス信号P 2 b Rが供給される。ラッチ回路群1 6 4 3の各ラッチ回路1 6 4のその他の構成については、ラッチ回路群1 6 4 2の各ラッチ回路1 6 4の構成と同様であるため、その説明を省略する。

[0116] 例えば、ラッチパルスLTがLレベルを示した場合、パルス信号P 1, P 2 bがLレベルを示し、パルス信号P 1 b, P 2がHレベルを示した後、所定の遅延時間経過後に、パルス信号P 1 R, P 2 b RがLレベルを示し、パルス信号P 1 b R, P 2 RがHレベルを示す。それにより、ラッチ回路群1 6 4 3の各ラッチ回路1 6 4において、スイッチSW 2 1はオフし、スイッチSW 2 2はオンする。他方、ラッチパルスLTがHレベルを示した場合、パルス信号P 1, P 2 bがHレベルを示し、パルス信号P 1 b, P 2がLレベルを示した後、所定の遅延時間経過後に、パルス信号P 1 R, P 2 b RがHレベルを示し、パルス信号P 1 b R, P 2 RがLレベルを示す。それにより、ラッチ回路群1 6 4 3の各ラッチ回路1 6 4において、スイッチSW 2 1はオンし、スイッチSW 2 2はオフする。

[0117] なお、パルス信号P 1, P 1 b, P 2, P 2 bが伝搬する信号線は、主としてラッチ回路1 6 4を構成している配線層とは異なる配線層（例えば上層の配線層）に配線される。同様に、パルス信号P 1 L, P 1 b L, P 2 L, P 2 b Lが伝搬する信号線、及び、パルス信号P 1 R, P 1 b R, P 2 R, P 2 b Rが伝搬する信号線は、主としてラッチ回路1 6 4を構成している配線層とは異なる配線層（例えば上層の配線層）に部分的に配置される。さらに、遅延バッファD 1 L, D 1 b L, D 2 L, D 2 b L、及び、遅延バッファD 1 R, D 1 b R, D 2 R, D 2 b Rは、何れもラッチ回路1 6 4を構成している領域とは異なる領域（例えば図8の上側）に形成される。そのため、n個のラッチ回路1 6 4は、遅延バッファの影響を受けることなく、ピッ

チを乱さずに、行方向に配置された n 個の画素12に対向配置されることができる。それにより、液晶表示装置10は、画像表示部11に表示される画像全体をムラなく均一に表示させることができる。一方で、遅延バッファは、ラッチ回路164とは異なる領域に配置されているため、高い自由度でサイズや段数を変更することができる。

[0118] (ラッチ部162を備えた水平ドライバ16の動作)

続いて、ラッチ部162を備えた水平ドライバ16の動作について説明する。

図9は、ラッチ部162の動作を示すタイミングチャートである。なお、図9では、1行目の n 個の画素12に「1」を書き込み、2行目の n 個の画素12に「0」を書き込む場合の例が示されている。

[0119] まず、初期状態では、ラッチパルスLTがLレベルを示している(時刻T0)。それにより、パルス信号P1、P2bがLレベルを示し、パルス信号P1b、P2がHレベルを示すため、ラッチ回路群1642の各ラッチ回路164において、スイッチSW21はオフし、スイッチSW22はオンしている。また、パルス信号P1L、P2bLがLレベルを示し、パルス信号P1bL、P2LがHレベルを示すため、ラッチ回路群1641の各ラッチ回路164において、スイッチSW21はオフし、スイッチSW22はオンしている。さらに、パルス信号P1R、P2bRがLレベルを示し、パルス信号P1bR、P2RがHレベルを示すため、ラッチ回路群1643の各ラッチ回路164において、スイッチSW21はオフし、スイッチSW22はオンしている。

[0120] その後、ラッチパルスLTが立ち上がると(時刻T11)、それに伴って、パルス信号P1、P2bが立ち上がり、パルス信号P1b、P2が立ち下がる(時刻T11)。それにより、ラッチ回路群1642の各ラッチ回路164において、スイッチSW21はオンし、スイッチSW22はオフする。それにより、水平シフトレジスタ161から出力された1行目の n 画素分のサブフレームデータのうち、ラッチ回路群1642の各ラッチ回路164に

対応する $n/3$ 個のサブフレームデータが、レベルシフタ／画素ドライバ 163 に転送される。

[0121] このとき、レベルシフタ／画素ドライバ 163 のレベルシフタは、ラッチ部 162 から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ 163 の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群 1642 の各ラッチ回路 164 に対応して設けられた $n/3$ 本の列データ線 d (列データ線群 dM) に並列に出力する。それにより、列データ線群 dM の各列データ線 d の電圧レベルは L レベルから H レベルに切り替わる (時刻 $T11$)。

[0122] 続いて、パルス信号 $P1$, $P2b$ が立ち上がり、パルス信号 $P1b$, $P2$ が立ち下がった後、所定の遅延時間経過後に、パルス信号 $P1L$, $P2bL$ が立ち上がり、パルス信号 $P1bL$, $P2L$ が立ち下がる (時刻 $T12$)。それにより、ラッチ回路群 1641 の各ラッチ回路 164 において、スイッチ $SW21$ はオンし、スイッチ $SW22$ はオフする。それにより、水平シフトレジスタ 161 から出力された 1 行目の n 画素分のサブフレームデータのうち、ラッチ回路群 1641 の各ラッチ回路 164 に対応する $n/3$ 個のサブフレームデータが、レベルシフタ／画素ドライバ 163 に転送される。

[0123] このとき、レベルシフタ／画素ドライバ 163 のレベルシフタは、ラッチ部 162 から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ 163 の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群 1641 の各ラッチ回路 164 に対応して設けられた $n/3$ 本の列データ線 d (列データ線群 dL) に並列に出力する。それにより、列データ線群 dL の各列データ線 d の電圧レベルは L レベルから H レベルに切り替わる (時刻 $T12$)。

[0124] 続いて、パルス信号 $P1$, $P2b$ が立ち上がり、パルス信号 $P1b$, $P2$ が立ち下がった後、所定の遅延時間経過後に、パルス信号 $P1R$, $P2bR$

が立ち上がり、パルス信号P 1 b R, P 2 Rが立ち下がる（時刻T 1 3）。図9では図8における遅延バッファD 1 R、D 1 b R、D 2 R、D 2 b Rを、遅延バッファD 1 L、D 1 b L、D 2 L、D 2 b Lよりも遅延させた場合である。これは、左右の遅延時間を異ならせることにより、一度に動作する回路を少なくすることによってピーク消費電流を低減させるためである。もちろん、遅延バッファD 1 R、D 1 b R、D 2 R、D 2 b Rを、遅延バッファD 1 L、D 1 b L、D 2 L、D 2 b Lと同じ遅延時間に設定することも可能である。それにより、ラッチ回路群1 6 4 3の各ラッチ回路1 6 4において、スイッチSW 2 1はオンし、スイッチSW 2 2はオフする。それにより、水平シフトレジスタ1 6 1から出力された1行目のn画素分のサブフレームデータのうち、ラッチ回路群1 6 4 3の各ラッチ回路1 6 4に対応する $n/3$ 個のサブフレームデータが、レベルシフタ／画素ドライバ1 6 3に転送される。

[0125] このとき、レベルシフタ／画素ドライバ1 6 3のレベルシフタは、ラッチ部1 6 2から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ1 6 3の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群1 6 4 3の各ラッチ回路1 6 4に対応して設けられた $n/3$ 本の列データ線d（列データ線群d R）に並列に出力する。それにより、列データ線群d Rの各列データ線dの電圧レベルはLレベルからHレベルに切り替わる（時刻T 1 3）。

[0126] なお、各列データ線dには、m行分の画素1 2のそれぞれに設けられたスイッチSW 1のドレイン電極の寄生容量と、列データ線自体の配線容量と、が付加されている。そのため、各列データ線dの電圧レベルの立ち上がりは緩やかである（時刻T 1 1, T 1 2, T 1 3）。

[0127] その後、ラッチパルスL Tが立ち下がる（時刻T 1 4）。それにより、ラッチ部1 6 2は、水平シフトレジスタ1 6 1と切り離されるが、直前まで水平シフトレジスタ1 6 1から供給されていたn画素分のサブフレームデータ

を保持し続ける。そのため、ラッチ部 162 は、当該 n 画素分のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ に並列に出力し続けることができる。その結果、 n 本の列データ線 $d_1 \sim d_n$ の電圧レベルは H レベルに維持される。

[0128] その後、ラッチパルス L_T が再び立ち上がると（時刻 T_{21} ）、それに伴って、パルス信号 P_1 、 P_{2b} が立ち上がり、パルス信号 P_{1b} 、 P_2 が立ち下がる（時刻 T_{21} ）。それにより、ラッチ回路群 1642 の各ラッチ回路 164 において、スイッチ SW_{21} はオンし、スイッチ SW_{22} はオフする。それにより、水平シフトレジスタ 161 から出力された 2 行目の n 画素分のサブフレームデータのうち、ラッチ回路群 1642 の各ラッチ回路 164 に対応する $n/3$ 個のサブフレームデータが、レベルシフト／画素ドライバ 163 に転送される。

[0129] このとき、レベルシフト／画素ドライバ 163 のレベルシフトは、ラッチ部 162 から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフト／画素ドライバ 163 の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群 1642 の各ラッチ回路 164 に対応して設けられた $n/3$ 本の列データ線 d （列データ線群 d_M ）に並列に出力する。それにより、列データ線群 d_M の各列データ線 d の電圧レベルは H レベルから L レベルに切り替わる（時刻 T_{21} ）。

[0130] 続いて、パルス信号 P_1 、 P_{2b} が立ち上がり、パルス信号 P_{1b} 、 P_2 が立ち下がった後、所定の遅延時間経過後に、パルス信号 P_{1L} 、 P_{2bL} が立ち上がり、パルス信号 P_{1bL} 、 P_{2L} が立ち下がる（時刻 T_{22} ）。それにより、ラッチ回路群 1641 の各ラッチ回路 164 において、スイッチ SW_{21} はオンし、スイッチ SW_{22} はオフする。それにより、水平シフトレジスタ 161 から出力された 2 行目の n 画素分のサブフレームデータのうち、ラッチ回路群 1641 の各ラッチ回路 164 に対応する $n/3$ 個のサブフレームデータが、レベルシフト／画素ドライバ 163 に転送される。

- [0131] このとき、レベルシフタ／画素ドライバ163のレベルシフタは、ラッチ部162から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ163の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群1641の各ラッチ回路164に対応して設けられた $n/3$ 本の列データ線 d （列データ線群 dL ）に並列に出力する。それにより、列データ線群 dL の各列データ線 d の電圧レベルはHレベルからLレベルに切り替わる（時刻 $T22$ ）。
- [0132] 続いて、パルス信号 $P1$ 、 $P2b$ が立ち上がり、パルス信号 $P1b$ 、 $P2$ が立ち下がった後、所定の遅延時間経過後に、パルス信号 $P1R$ 、 $P2bR$ が立ち上がり、パルス信号 $P1bR$ 、 $P2R$ が立ち下がる（時刻 $T23$ ）。それにより、ラッチ回路群1643の各ラッチ回路164において、スイッチ $SW21$ はオンし、スイッチ $SW22$ はオフする。それにより、水平シフトレジスタ161から出力された2行目の n 画素分のサブフレームデータのうち、ラッチ回路群1643の各ラッチ回路164に対応する $n/3$ 個のサブフレームデータが、レベルシフタ／画素ドライバ163に転送される。
- [0133] このとき、レベルシフタ／画素ドライバ163のレベルシフタは、ラッチ部162から転送された $n/3$ 個のサブフレームデータを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ163の画素ドライバは、レベルシフト後の $n/3$ 個のサブフレームデータを、ラッチ回路群1643の各ラッチ回路164に対応して設けられた $n/3$ 本の列データ線 d （列データ線群 dR ）に並列に出力する。それにより、列データ線群 dR の各列データ線 d の電圧レベルはHレベルからLレベルに切り替わる（時刻 $T23$ ）。
- [0134] なお、各列データ線 d には、 m 行分の画素12のそれぞれに設けられたスイッチ $SW1$ のドレイン電極の寄生容量と、列データ線自体の配線容量と、が付加されている。そのため、各列データ線 d の電圧レベルの立ち上がりは緩やかである（時刻 $T21$ 、 $T22$ 、 $T23$ ）。

- [0135] その後、ラッチパルス L_T が立ち下がる（時刻 T_{24} ）。それにより、ラッチ部162は、水平シフトレジスタ161と切り離されるが、直前まで水平シフトレジスタ161から供給されていた n 画素分のサブフレームデータを保持し続ける。そのため、ラッチ部162は、当該 n 画素分のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ に並列に出力し続けることができる。その結果、 n 本の列データ線 $d_1 \sim d_n$ の電圧レベルは L レベルに維持される。
- [0136] このような動作を3行目 $\sim m$ 行目の画素12に対しても繰り返すことで、最終的に画像表示部11の1画面のデータが書き込まれていく。
- [0137] なお、時刻 T_{11} から時刻 T_{12} までの遅延時間 X_L 、及び、時刻 T_{21} から時刻 T_{22} までの遅延時間 X_L は、遅延バッファ D_{1L} 、 D_{1bL} 、 D_{2L} 、 D_{2bL} のサイズや段数を変更することによって調整可能である。時刻 T_{11} から時刻 T_{13} までの遅延時間 X_R 、及び、時刻 T_{21} から時刻 T_{23} までの遅延時間 X_R は、遅延バッファ D_{1R} 、 D_{1bR} 、 D_{2R} 、 D_{2bR} のサイズや段数を変更することによって調整可能である。遅延バッファを用いて遅延時間 X_L 、 X_R を調整する構成では、動作クロックに同期して遅延時間 X_L 、 X_R を調整する構成と比較して、回路構成が複雑にならず、また、動作クロックの周期よりも細かい精度で遅延時間 X_L 、 X_R の調整が可能である。
- [0138] このように、本実施の形態に係る液晶表示装置は、各行に設けられた n 個の画素12のそれぞれに対する n 個のサブフレームデータの供給タイミングを調整するタイミング調整回路を備える。タイミング調整回路は、例えば、遅延バッファであって、各行に設けられた n 個の画素12に対応して設けられた n 本の列データ線のうち、一部の列データ線に対するサブフレームデータの供給タイミングと、他の一部の列データ線に対するサブフレームデータの供給タイミングと、を異ならせる。それにより、本実施の形態に係る液晶表示装置は、ピーク消費電流を抑制することができるため、 I_R ドロップの発生を防止することができる。その結果、例えば、本実施の形態に係る液晶

表示装置は、誤動作を抑制したり、画質の劣化を抑制したりすることができる。

[0139] また、本実施の形態では、遅延バッファが n 個のラッチ回路 164 とは異なる領域に配置されている。そのため、 n 個のラッチ回路 164 は、遅延バッファの影響を受けることなく、ピッチを乱さずに、行方向に配置された n 個の画素 12 に対向配置されることができる。それにより、本実施の形態に係る液晶表示装置 10 は、画像表示部 11 に表示される画像全体をムラなく均一に表示させることができる。

[0140] 一方で、遅延バッファは、 n 個のラッチ回路 164 とは異なる領域に配置されているため、高い自由度でサイズや段数を変更することができる。ここで、予め多数の遅延バッファを配置しておき、そのうち必要な数の遅延バッファのみを用いてタイミング調整回路を構成し、その後、例えば不具合が発生した場合には、未使用の遅延バッファを代わりに用いてタイミング調整回路を構成しなおすこともできる。あるいは、タイミング調整が不要である場合には、遅延バッファを用いたタイミング調整回路を構成しないようにすることもできる。

[0141] 本実施の形態では、 n 個のラッチ回路 164 を 3 つのラッチ回路群に区分して、当該 3 つのラッチ回路群によるサブフレームデータの供給タイミングを互いに異ならせる場合を例に説明したが、これに限られない。 n 個のラッチ回路 164 を 2 つ以上の任意の数のラッチ回路群に区分して、これらラッチ回路群によるサブフレームデータの供給タイミングを互いに異ならせる構成に適宜変更可能である。

[0142] 例えば、1 つのラッチ回路群を構成するラッチ回路の数を少なくして、タイミング制御単位であるラッチ回路群の数を多くするほど、ピーク消費電流をより効果的に抑制することができる。他方、1 つのラッチ回路群を構成するラッチ回路の数を多くして、タイミング制御単位であるラッチ回路群の数を少なくするほど、遅延バッファによる遅延時間の増大を抑制することができるため、水平ドライバ 16 の 1 H 当たりの動作時間を許容時間内に容易に

収めることができる。なお、仮に試作段階のウエハで水平ドライバ16の1H当たりの動作時間を許容時間内に収めることができなかった場合には、遅延バッファのサイズや段数を変更したり、配線パターンを変更したりすることによって、水平ドライバ16の1H当たりの動作時間を許容範囲内に調整することが可能である。

[0143] また、本実施の形態では、各ラッチ回路群1641～1643を構成するラッチ回路の数が同じ（ $n/3$ 個）である場合を例に説明したが、これに限られない。各ラッチ回路群1641～1643を構成するラッチ回路の数は異なってもよい。

[0144] この出願は、2016年8月31日に提出された日本出願特願2016-168951を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0145] 本発明は、プロジェクタ等に搭載される液晶表示装置に好適に適用することができる。

符号の説明

- [0146] 10 液晶表示装置
 - 11 画像表示部
 - 12 画素
 - 13 タイミングジェネレータ
 - 14 垂直シフトレジスタ
 - 15 データラッチ回路
 - 16 水平ドライバ
- 20 上位装置
 - 100 シリコン基板
 - 101 Nウエル
 - 102 Pウエル
 - 103 素子分離酸化膜

105 層間絶縁膜
106 第1メタル
108 第2メタル
110 第3メタル
112 MIM電極
114 第4メタル
116 第5メタル
118 コンタクト
119a～119e スルーホール
161 水平シフトレジスタ
162 ラッチ部
163 レベルシフタ／画素ドライバ
164 ラッチ回路
1641～1643 ラッチ回路群
201 SRAMセル
202 DRAMセル
d1～dn 列データ線
dL, dM, dR 列データ線群
g1～gm 行走査線
trig, trigb トリガ線
BF1 バッファ
C1 容量
CE 共通電極
D1L, D1bL, D2L, D2bL 遅延バッファ
D1R, D1bR, D2R, D2bR 遅延バッファ
DM2 記憶部
INV11, INV12 インバータ
IV1 インバータ

I V 2 1 , I V 2 2 インバータ

L C 液晶表示素子

L C M 液晶

M N 1 , M N 2 N M O S トランジスタ

M N 1 1 , M N 1 2 N M O S トランジスタ

M N 2 1 , M N 2 2 N M O S トランジスタ

M P 2 P M O S トランジスタ

M P 1 1 , M P 1 2 P M O S トランジスタ

M P 2 1 , M P 2 2 P M O S トランジスタ

P E 反射電極

S M 1 記憶部

S W 1 , S W 2 スイッチ

S W 2 1 , S W 2 2 スイッチ

請求の範囲

- [請求項1] 1 フレーム毎に複数の1ビットのサブフレームデータを組み合わせた階調レベルの画像を表示する、マトリックス状に設けられた複数の画素と、
- 前記複数の画素のうちデータ書き込み対象として選択された行のn個の画素のそれぞれに対してサブフレームデータを供給するn個のラッチ回路と、
- 前記n個のラッチ回路から前記n個の画素へのサブフレームデータのそれぞれの供給タイミングを調整するタイミング調整回路と、
- を備えた、液晶表示装置。
- [請求項2] 前記タイミング調整回路は、前記n個のラッチ回路のうちの一部である第1ラッチ回路群から対応する画素へのサブフレームデータの供給タイミングと、前記n個のラッチ回路のうちの他の一部である第2ラッチ回路群から対応する画素へのサブフレームデータの供給タイミングと、を異ならせる、
- 請求項1に記載の液晶表示装置。
- [請求項3] 前記タイミング調整回路は、
- 前記第2ラッチ回路群からのサブフレームデータの出力を、前記第1ラッチ回路群からのサブフレームデータの出力よりも所定時間遅延させる遅延バッファを有する、
- 請求項2に記載の液晶表示装置。
- [請求項4] 前記タイミング調整回路は、前記n個のラッチ回路のうちの一部である第1ラッチ回路群から対応する画素へのサブフレームデータの供給タイミングと、前記n個のラッチ回路のうちの他の一部である第2ラッチ回路群から対応する画素へのサブフレームデータの供給タイミングと、前記n個のラッチ回路のうちのさらに他の一部である第3ラッチ回路群から対応する画素へのサブフレームデータの供給タイミングと、を互いに異ならせる、

請求項 1 に記載の液晶表示装置。

[請求項5]

前記タイミング調整回路は、

前記第 2 ラッチ回路群からのサブフレームデータの出力を、前記第 1 ラッチ回路群からのサブフレームデータの出力よりも第 1 所定時間遅延させる第 1 遅延バッファと、

前記第 3 ラッチ回路群からのサブフレームデータの出力を、前記第 1 ラッチ回路群からのサブフレームデータの出力よりも第 2 所定時間遅延させる第 2 遅延バッファと、

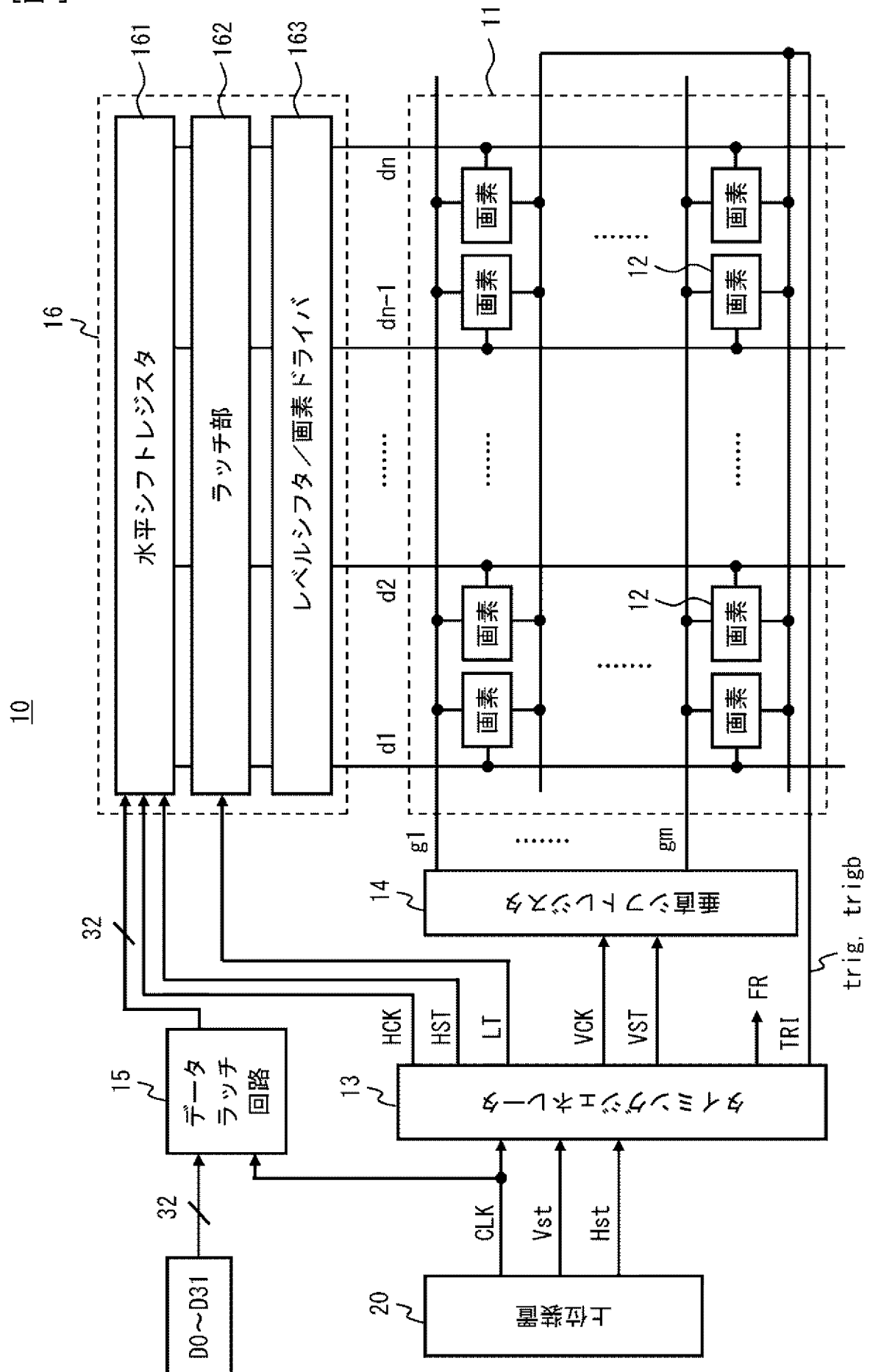
を有する、請求項 4 に記載の液晶表示装置。

[請求項6]

前記タイミング調整回路は、前記 n 個のラッチ回路が配置される領域とは異なる領域に形成されている、

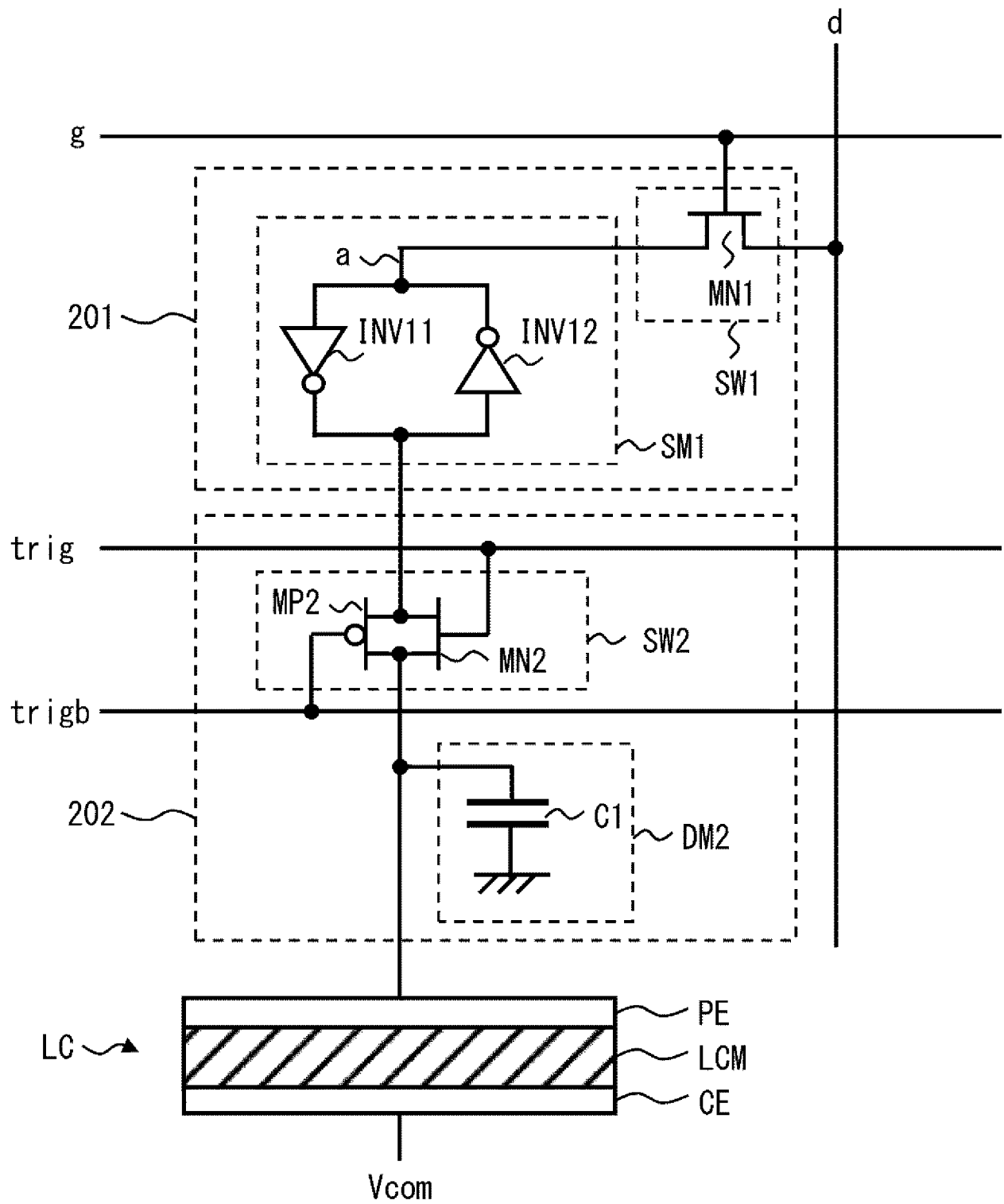
請求項 1 ～ 5 の何れか一項に記載の液晶表示装置。

[図1]

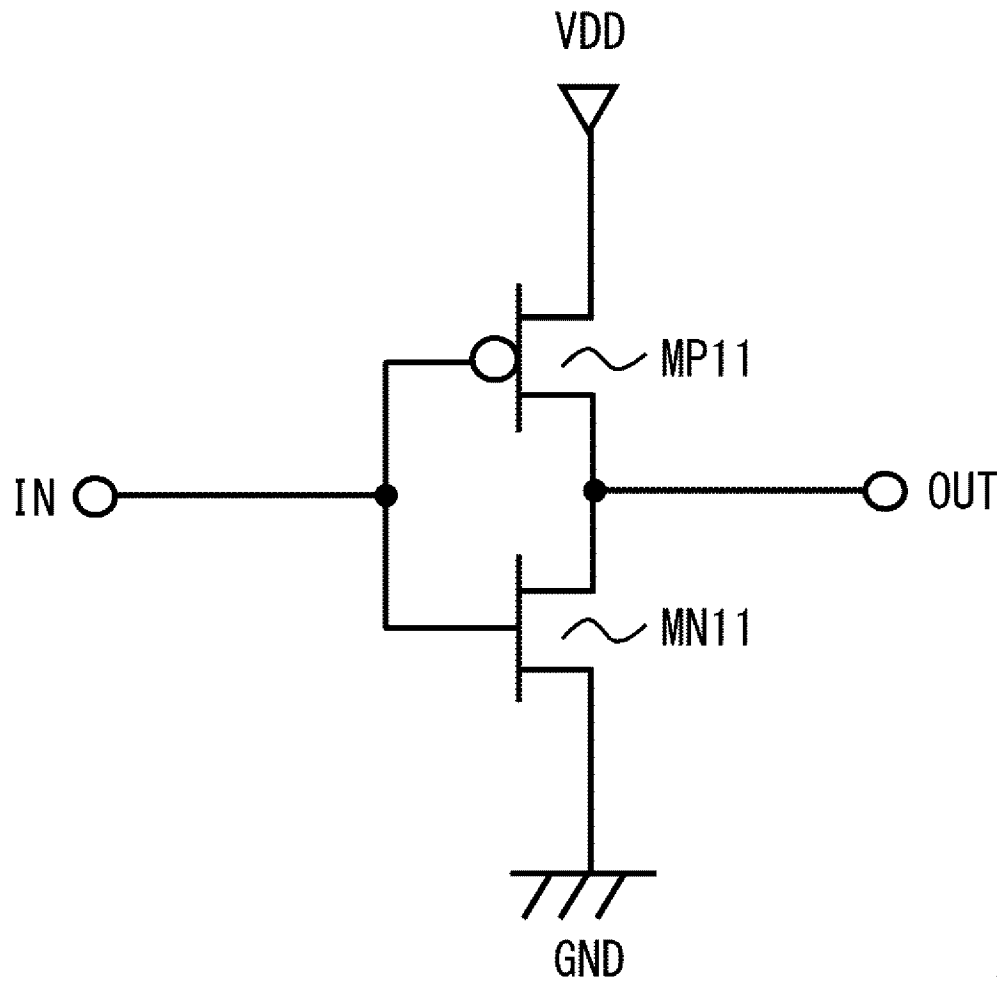


[図2]

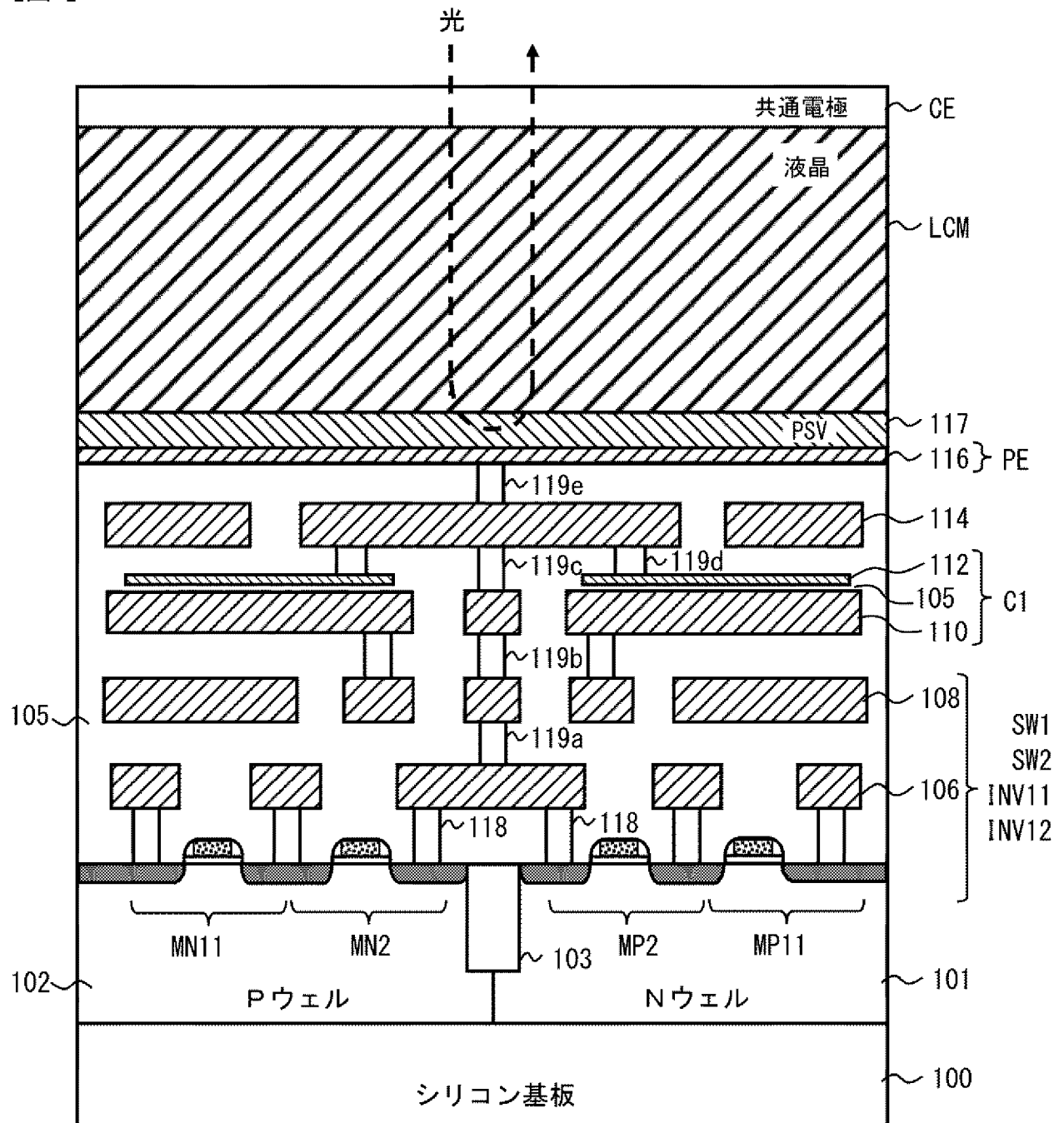
12

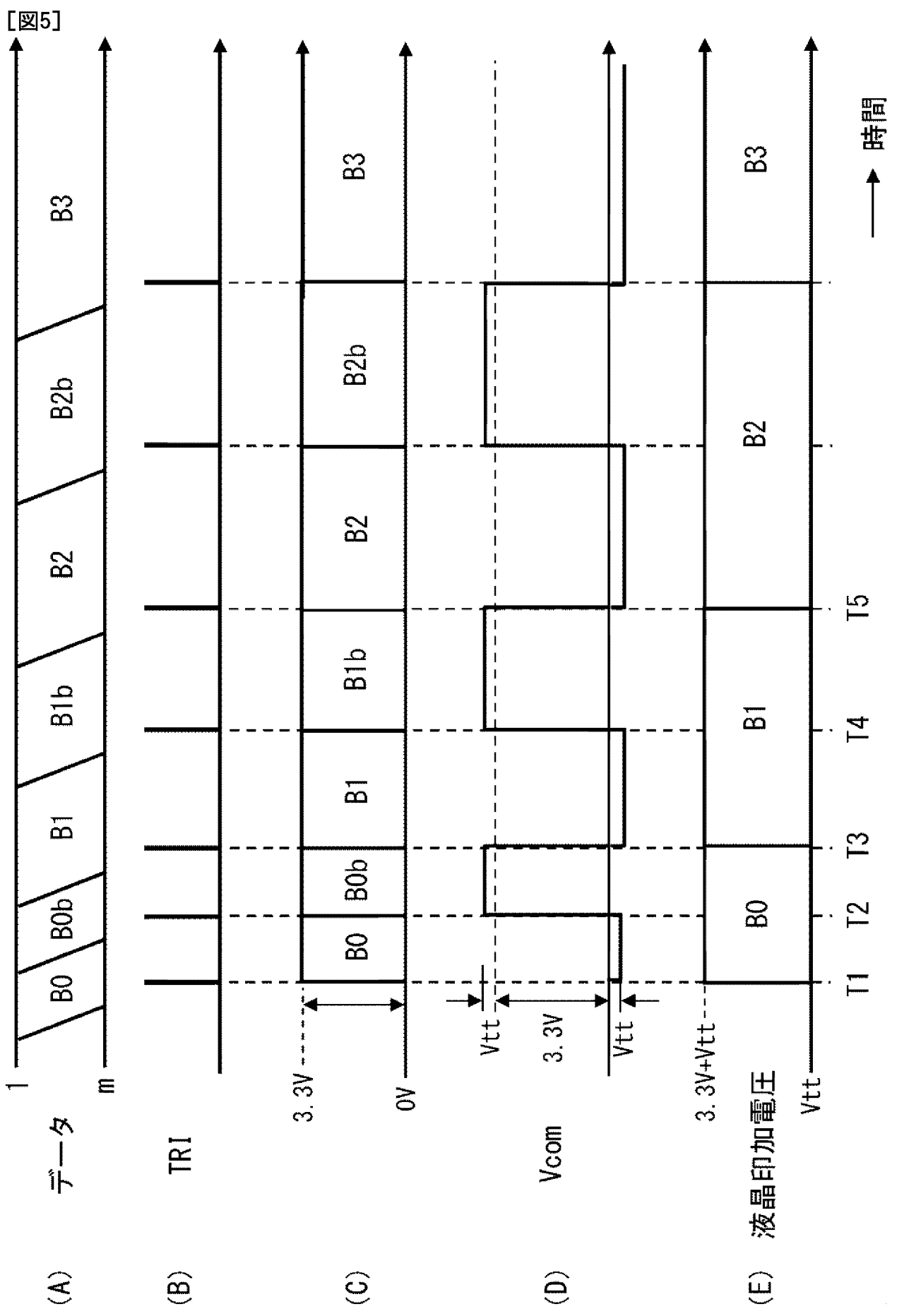


[図3]

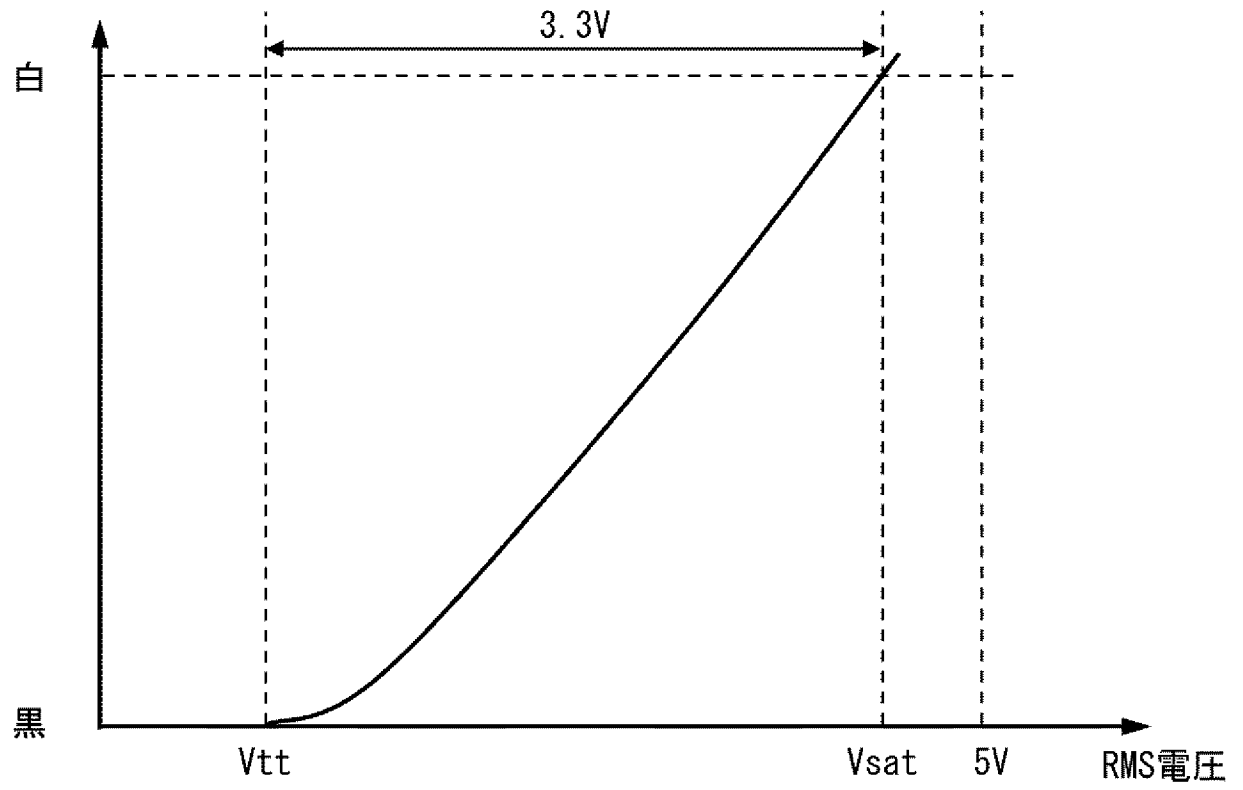
INV11

[図4]

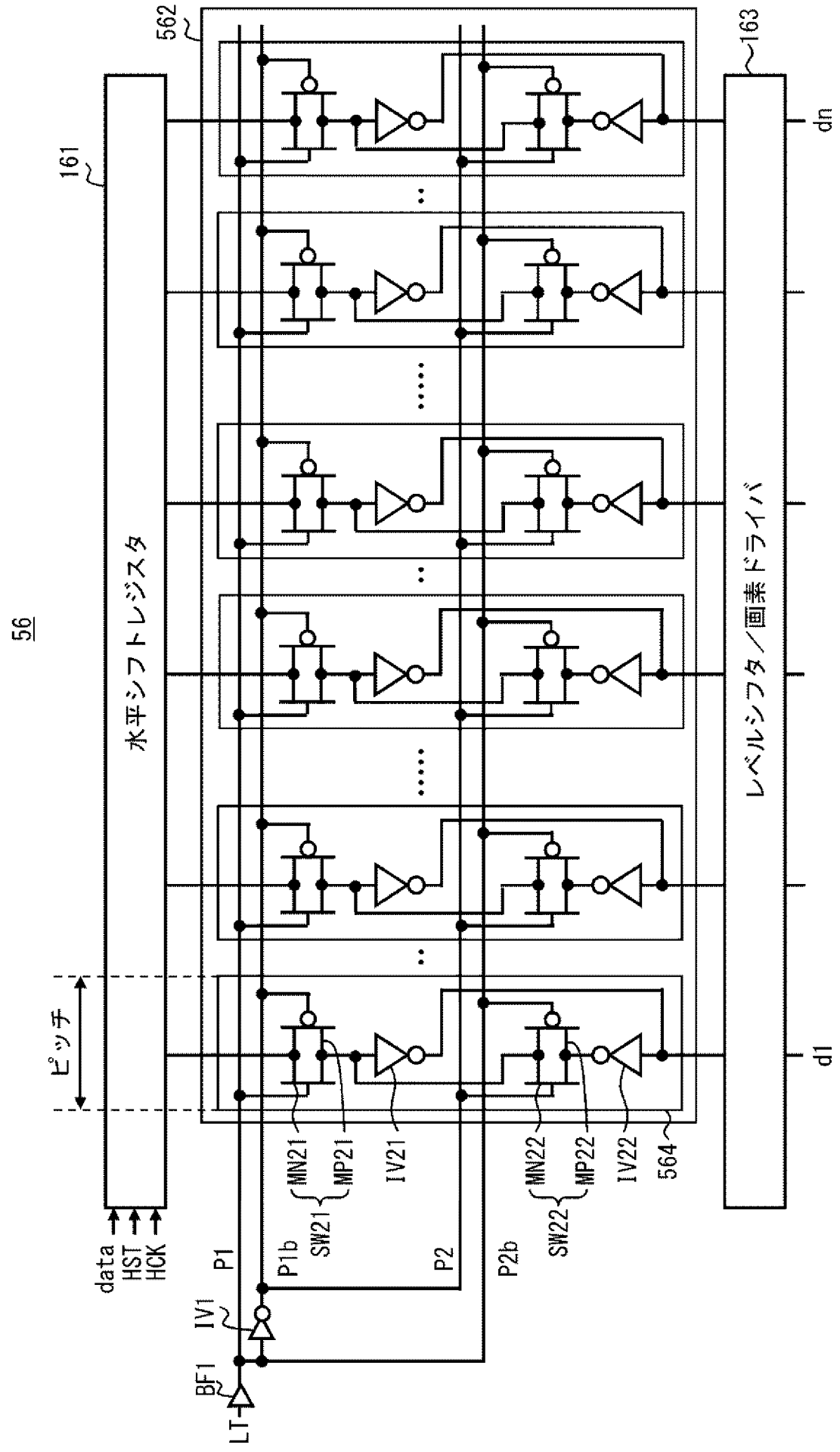




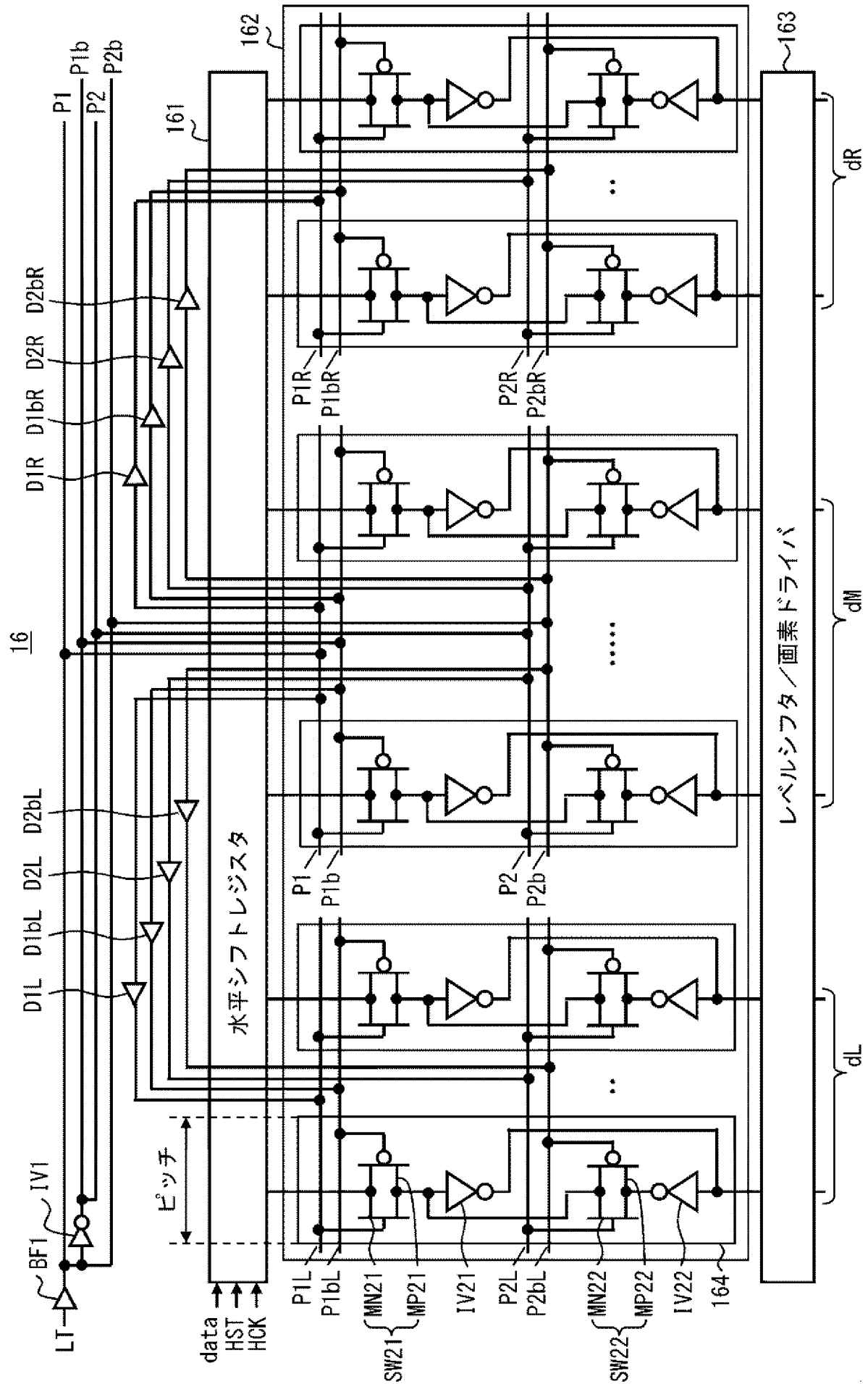
[図6]
グレースケール



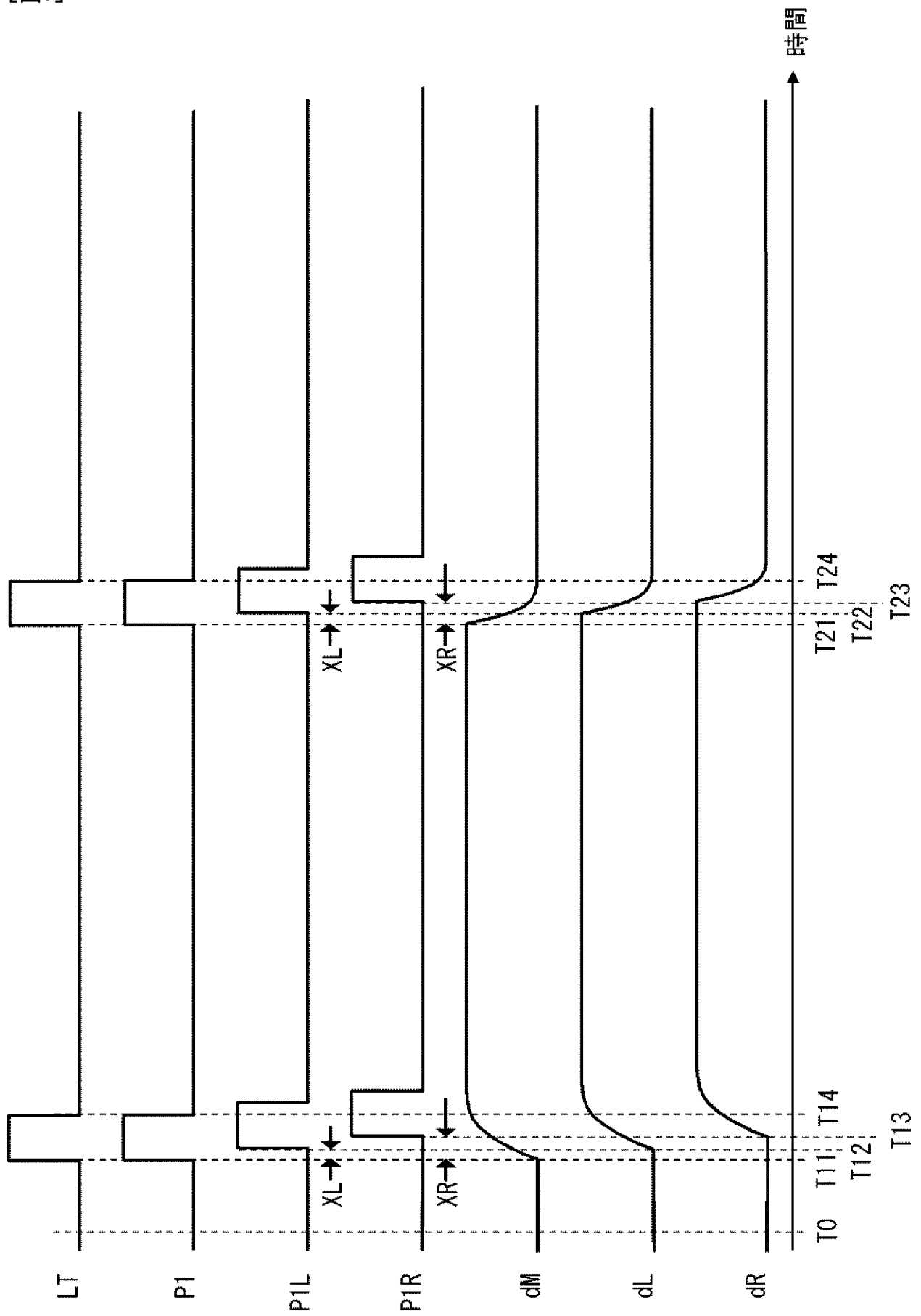
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007313

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-265460 A (Seiko Epson Corp.), 12 November 2009 (12.11.2009), paragraphs [0007] to [0034]; fig. 2 to 3, 8 to 10 (Family: none)	1-2, 4, 6 1-6
Y	JP 2007-133434 A (Semiconductor Energy Laboratory Co., Ltd.), 31 May 2007 (31.05.2007), fig. 30 & US 2002/0024497 A1 fig. 30	3, 5
Y	JP 2002-108287 A (NEC Kansai, Ltd.), 10 April 2002 (10.04.2002), paragraphs [0013] to [0020]; fig. 1 to 2 (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May 2017 (11.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007313

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-239675 A (Toshiba Corp.), 12 September 1995 (12.09.1995), paragraphs [0008] to [0016]; fig. 1 to 6 (Family: none)	3, 5
A	JP 2005-99770 A (Semiconductor Energy Laboratory Co., Ltd.), 14 April 2005 (14.04.2005), paragraphs [0025] to [0031]; fig. 1 & US 2005/0057547 A1 paragraphs [0030] to [0036]; fig. 1	1-6
A	US 2015/0302795 A1 (IMEC VZW), 22 October 2015 (22.10.2015), entire text; all drawings & JP 2016-500850 A	1-6
A	JP 2000-242241 A (Samsung Electronics Co., Ltd.), 08 September 2000 (08.09.2000), entire text; all drawings & US 6407729 B1	1-6
A	JP 2000-35777 A (Mitsubishi Electric Corp.), 02 February 2000 (02.02.2000), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-265460 A（セイコーエプソン株式会社）2009.11.12, [0007]-[0034], 図 2-3, 8-10（ファミリーなし）	1-2, 4, 6 1-6
Y	JP 2007-133434 A（株式会社半導体エネルギー研究所）2007.05.31, 図 30 & US 2002/0024497 A1, FIG. 30	3, 5
Y	JP 2002-108287 A（関西日本電気株式会社）2002.04.10, [0013]-[0020], 図 1-2（ファミリーなし）	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 直明

電話番号 03-3581-1101 内線 3273

21

9707

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 07-239675 A (株式会社東芝) 1995. 09. 12, [0008]-[0016], 図 1-6 (ファミリーなし)	3, 5
A	JP 2005-99770 A (株式会社半導体エネルギー研究所) 2005. 04. 14, [0025]-[0031], 図 1 & US 2005/0057547 A1, [0030]-[0036], FIG. 1	1-6
A	US 2015/0302795 A1 (IMEC VZW) 2015. 10. 22, 全文全図 & JP 2016-500850 A	1-6
A	JP 2000-242241 A (三星電子株式会社) 2000. 09. 08, 全文全図 & US 6407729 B1	1-6
A	JP 2000-35777 A (三菱電機株式会社) 2000. 02. 02, 全文全図 (ファ ミリーなし)	1-6