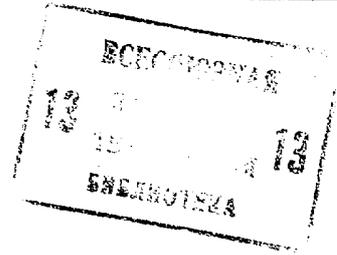




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4134351/24-24

(22) 13.10.86

(46) 23.03.88. Бюл. № 11

(72) В. Н. Лацин, Е. Л. Полин,  
А. В. Дрозд, В. П. Карпенко

и Е. Б. Великая

(53) 681.327 (088.8)

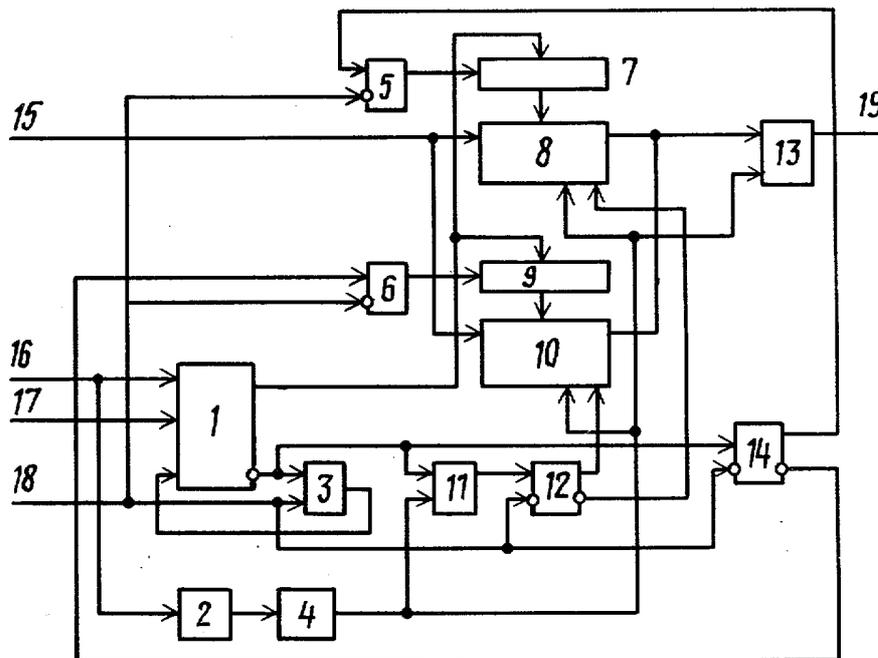
(56) Авторское свидетельство СССР  
№ 1193653, кл. G 06 F 1/04, 1984.

Электроника, 1983, № 7, с. 62.

(54) УСТРОЙСТВО ДЛЯ ПРОГРАММИРУЕМОЙ ЗАДЕРЖКИ ИНФОРМАЦИИ

(57) Изобретение относится к вычислительной технике и может быть использовано при построении блоков цифровой задержки информации систем с повышенной надежностью. Цель изобретения — повышение достоверности задержанной информации за счет многократного повторения задержки одного и того же массива. Устройство содержит

счетчик 1, одновибраторы 2 и 4, элемент И 3, счетные триггеры 5, 6, 12 и 14, блоки 7 и 9 элементов НЕРАВНОЗНАЧНОСТЬ, блоки 8 и 10 памяти, элемент ИЛИ 11 и регистр 13. Указанная цель достигается тем, что в устройство, содержащее счетчик, одновибраторы, первый и второй накопители, счетный триггер и выходной регистр, введены три счетных триггера и два блока управляемых инверторов. Устройство за три последовательных цикла задержки одного и того же массива выдает достоверную информацию, т. к. каждый элемент массива в следующем цикле задержки хранится в другой (неповторяющейся за эти три цикла) ячейке блока памяти. Это делает возможным правильный выбор мажорированием истинного значения каждого элемента массива в случае отказа одной или нескольких ячеек блока памяти. 1 ил.



Изобретение относится к вычислительной технике и может быть использовано при построении блоков цифровой задержки информации вычислительных систем с повышенной надежностью.

Цель изобретения — повышение достоверности задержанной информации.

На чертеже изображена структурная схема устройства для программируемой задержки информации.

Устройство содержит счетчик 1, первый одновибратор 2, элемент И 3, второй одновибратор 4, первый 5 и второй 6 счетные триггеры, первый блок 7 элементов НЕРАВНОЗНАЧНОСТЬ, первый блок 8 памяти, второй блок 9 элементов НЕРАВНОЗНАЧНОСТЬ, второй блок 10 памяти, элемент ИЛИ 11, третий счетный триггер 12, регистр 13, четвертый счетный триггер 14, информационный вход 15, вход 16 синхронизации, вход 17 кода задержки, вход 18 сброса, информационный выход 19.

Устройство работает следующим образом.

В начальный момент времени происходит установка всех триггеров устройства в исходное состояние и прием кода задержки в счетчик 1 (по импульсу отрицательной полярности на входе 18 сброса). На информационный вход 15 устройства последовательно поступают слова задерживаемого массива, сопровождаемые синхроимпульсами на входе 16 синхронизации. Причем во время каждого цикла задержки происходит запись слов массива в один из блоков 8 или 10 и одновременно чтение из другого блока памяти информации, записанной в предыдущем цикле задержки. В следующем цикле режимы работы блоков 8 и 10 меняются: из того блока памяти, в который записан массив, производится чтение, а в тот блок памяти (накопитель), из которого считан массив, записывается новая информация. Управление режимами работы блоков 8 и 10 производится с помощью счетного триггера 12. Сигнал логического «0» на его выходе означает, что соответствующий блок памяти работает в режиме записи, а сигнал логической «1» соответствует режиму чтения. Переключение триггера 12 происходит в конце каждого цикла задержки по сигналу заема счетчика 1. Одновибраторы 2 и 4 формируют необходимую задержку для установки адреса на входах блоков памяти и установления информации на входе выходного регистра 13.

Рассмотрим порядок работы блоков 8 и 10 для трехкратного повторения задержки одного и того же массива. В первом (после сигнала «Сброс») цикле задержки поступающий массив записывается в блок 8 по прямым (соответствующим счетчику 1) адресам. Этому соответствует логический «0» на входе управления первого блока 7. При этом адреса поступают на адресные входы блока 8

без изменений. Одновременно производится чтение из блока 10 по инверсным (по отношению к счетчику 1) адресам, при этом на управляющем входе блока 9 присутствует логическая «1». Во втором цикле задержки данного массива производится чтение из блока 8 результатов задержки по прямым адресам и запись в блок 10 данного массива также по прямым адресам. В третьем цикле задержки в блок 8 записан тот же самый массив, но уже по инверсным адресам, а из блока 10 считана информация по прямым адресам. В четвертом цикле блока 8 считана информация по инверсным адресам. Управление инвертированием адресов осуществляется с помощью счетных триггеров 5 и 6.

Таким образом, за три последовательных цикла задержки одного и того же массива его слова оказываются записанными в прямом порядке следования адресов в первом блоке памяти, в прямом порядке следования адресов во втором блоке памяти и в инверсном порядке следования адресов в первом блоке памяти, т. е. каждый элемент массива каждый раз хранится в новой ячейке блока памяти, отказ одной из них приводит к искажению только одного значения из трех, что делает возможным правильный выбор мажорированием истинного значения каждого элемента задерживаемого массива, что повышает достоверность функционирования устройства.

#### Формула изобретения

Устройство для программируемой задержки информации, содержащее счетчик, первый и второй одновибраторы, элемент И, элемент ИЛИ, первый и второй блоки памяти, первый счетный триггер и регистр, причем информационные входы первого и второго блоков памяти поразрядно соединены и являются информационными входами устройства, вычитающий вход счетчика и вход первого одновибратора соединены и являются входом синхронизации устройства, входы разрядов счетчика являются входами кода задержки устройства, выход заема счетчика соединен с первыми входами элемента И и элемента ИЛИ, второй вход элемента И и вход установки в «1» первого счетчика триггера соединены и являются входом сброса устройства, выход элемента И подключен к входу установки счетчика, выход первого одновибратора соединен с входом второго одновибратора, выход которого подключен к второму входу элемента ИЛИ, входам выборки первого и второго блоков памяти и входу синхронизации регистра, информационные входы которого подключены поразрядно к информационным входам

первого и второго блоков памяти, выход регистра является информационным выходом устройства, выход элемента ИЛИ соединен со счетным входом первого счетного триггера, инверсный и прямой выходы которого подключены к входам записи-чтения первого и второго блоков памяти соответственно, отличающееся тем, что, с целью повышения достоверности задержанной информации, в него введены второй, третий и четвертый счетные триггеры, первый и второй блоки элементов НЕРАВНОЗНАЧНОСТЬ, причем вход установки в «1» третьего счетного триггера и вход установки в «0» второго счетного триггера подключены к входу сброса устройства, выходы разрядов счетчика

подключены к информационным входам первого и второго блоков элементов НЕРАВНОЗНАЧНОСТЬ, выходы которых соединены с адресными входами первого и второго блоков памяти соответственно, управляющие входы первого и второго блоков элементов НЕРАВНОЗНАЧНОСТЬ соединены с выходами третьего и второго счетных триггеров соответственно, счетные входы третьего и второго счетных триггеров соединены соответственно с прямым и инверсным выходами четвертого счетного триггера, счетный вход и вход установки в «0» которого соединены с выходом заема счетчика и с входом сброса устройства соответственно.

Редактор Н. Бобкова  
Заказ 913/46

Составитель В. Рудаков  
Техред И. Верес  
Тираж 704

Корректор Л. Патай  
Подписное

ВНИИПИ Государственного комитета СССР по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4