

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6147785号
(P6147785)

(45) 発行日 平成29年6月14日(2017.6.14)

(24) 登録日 平成29年5月26日(2017.5.26)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

H O 1 L 21/8234 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 27/06 (2006.01)

H O 1 L 27/06 1 0 2 A

H O 1 L 27/08 (2006.01)

H O 1 L 27/08 3 3 1 E

H O 1 L 27/088 (2006.01)

H O 1 L 29/78 6 1 6 V

請求項の数 2 (全 80 頁) 最終頁に続く

(21) 出願番号 特願2015-36246 (P2015-36246)
 (22) 出願日 平成27年2月26日(2015.2.26)
 (62) 分割の表示 特願2010-44930 (P2010-44930)
 の分割
 原出願日 平成22年3月2日(2010.3.2)
 (65) 公開番号 特開2015-135977 (P2015-135977A)
 (43) 公開日 平成27年7月27日(2015.7.27)
 審査請求日 平成27年2月27日(2015.2.27)
 (31) 優先権主張番号 特願2009-51857 (P2009-51857)
 (32) 優先日 平成21年3月5日(2009.3.5)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁面を有する基板上に、透光性を有する第1の導電層と、第2の導電層とを積層し、
 前記第2の導電層上に第1のマスクを形成し、
 前記第1のマスクを用いて前記第1の導電層及び前記第2の導電層をエッチングして、
 第3の導電層と、前記第3の導電層上の第4の導電層と、第5の導電層と、前記第5の導電層上の第6の導電層と、を形成し、
 前記第1のマスクを後退させて第2のマスクを形成し、
 前記第2のマスクを用いて、前記第4の導電層をエッチングして前記第3の導電層上に第7の導電層を形成するとともに、前記第6の導電層を除去し、
 前記第3の導電層及び前記第5の導電層と接するように、透光性を有する半導体層を形成し、
 前記半導体層を覆う領域を有する絶縁層を形成し、
 前記絶縁層上に、透光性を有する第8の導電層と、第9の導電層とを積層し、
 前記第9の導電層上に第3のマスクを形成し、
 前記第3のマスクを用いて前記第8の導電層及び前記第9の導電層をエッチングして、
 前記半導体層と重なる領域を有する第10の導電層と、前記第10の導電層上の第11の導電層とを形成し、
 前記第3のマスクを後退させて第4のマスクを形成し、
 前記第4のマスクを用いて前記第11の導電層をエッチングして、前記第10の導電層

10

20

上に第 1 2 の導電層を形成し、

前記第 3 の導電層は、前記半導体層と接する領域において、第 1 の電極としての機能を有し、

前記第 5 の導電層は、前記半導体層と接する領域において、第 2 の電極としての機能を有し、

前記第 3 の導電層及び前記第 7 の導電層は、第 1 の配線としての機能を有し、

前記第 1 0 の導電層及び前記第 1 2 の導電層は、第 2 の配線としての機能を有し、

前記第 1 0 の導電層は、前記半導体層上において、第 3 の電極として機能する領域を有し、

前記第 1 0 の導電層は、前記第 3 の電極として機能する前記領域において、前記第 1 2 の導電層と重ならない、

前記第 3 のマスクを用いたエッチング工程において、前記絶縁層を介して前記第 5 の導電層と重なる領域を有する第 1 3 の導電層と、前記第 1 3 の導電層上の第 1 4 の導電層とを形成し、

前記第 4 のマスクを用いたエッチング工程において、前記第 1 4 の導電層を除去し、

前記第 1 3 導電層と、前記第 5 の導電層の前記第 1 3 の導電層と重なる部分と、を含む容量が形成されることを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、

前記半導体層は、I n、G a、及びZ nを含む酸化物半導体を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、半導体装置、表示装置、発光装置、またはそれらの製造方法に関するものである。特に、酸化物半導体を用いた薄膜トランジスタ（以下、T F Tという）を有する半導体装置に関する。

【背景技術】

【0002】

現在、液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等のシリコン層をチャンネル層として用いた薄膜トランジスタ（T F T）が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができるという利点を有している。

【0003】

また、近年、半導体特性を示す金属酸化物を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャンネル形成領域とする薄膜トランジスタが開示されている（例えば、特許文献 1 参照）。

【0004】

また、トランジスタのチャンネル層を、透光性を有する酸化物半導体層で形成すると共に、ゲート電極、ソース電極、ドレイン電極も透光性を有する透明導電膜で形成することによって、開口率を向上させる技術が検討されている（例えば、特許文献 2 参照）。

【0005】

開口率を向上することにより、光利用効率が向上し、表示装置の省電力化及び小型化を達成することが可能となる。その一方で、表示装置の大型化や、携帯機器への応用化の観点からは、開口率の向上と共にさらなる消費電力の低減が求められている。

【0006】

なお、電気光学素子の透明電極に対する金属補助配線の配線方法として、透明電極の上下どちらかで、透明電極と導通がとれるように金属補助配線と透明電極が重なるように配線

10

20

30

40

50

されるものが知られている（例えば、特許文献 3 参照）。

【 0 0 0 7 】

なお、アクティブマトリクス基板に設けられる付加容量電極を I T O、S n O₂ 等の透明導電膜からなるものとし、付加容量用電極の電気抵抗を小さくするため、金属膜から成る補助配線を付加容量用電極に接して設ける構成が知られている（例えば、特許文献 4 参照）。

【 0 0 0 8 】

なお、非晶質酸化物半導体膜を用いた電界効果型トランジスタにおいて、ゲート電極、ソース電極及びドレイン電極の各電極を形成する材料は、インジウム錫酸化物（I T O）、インジウム亜鉛酸化物、Z n O、S n O₂ などの透明電極や、A l、A g、C r、N i、M o、A u、T i、T aなどの金属電極、または、これらを含む合金の金属電極などを用いることができ、それらを 2 層以上積層して接触抵抗を低減し、または、界面強度を向上させてもよいことは知られている（例えば、特許文献 5 参照）。

【 0 0 0 9 】

なお、アモルファス酸化物半導体を用いるトランジスタのソース電極、ドレイン電極およびゲート電極、補助容量電極の材料として、インジウム（I n）、アルミ（A l）、金（A u）、銀（A g）等の金属や、酸化インジウム（I n₂ O₃）、酸化スズ（S n O₂）、酸化亜鉛（Z n O）、酸化カドミウム（C d O）、酸化インジウムカドミウム（C d I n₂ O₄）、酸化カドミウムスズ（C d₂ S n O₄）、酸化亜鉛スズ（Z n₂ S n O₄）等の酸化物材料を用いることができ、ゲート電極、ソース電極及びドレイン電極の材料は、全て同じでもよく、異なっても良いことが知られている（例えば、特許文献 6、7 参照）。

【先行技術文献】

【特許文献】

【 0 0 1 0 】

【特許文献 1】特開 2 0 0 4 - 1 0 3 9 5 7 号公報

【特許文献 2】特開 2 0 0 7 - 8 1 3 6 2 号公報

【特許文献 3】特開平 2 - 8 2 2 2 1 号公報

【特許文献 4】特開平 2 - 3 1 0 5 3 6 号公報

【特許文献 5】特開 2 0 0 8 - 2 4 3 9 2 8 号公報

【特許文献 6】特開 2 0 0 7 - 1 0 9 9 1 8 号公報

【特許文献 7】特開 2 0 0 7 - 1 1 5 8 0 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 1 】

そこで、本明細書等（少なくとも、明細書、特許請求の範囲、および図面を含む）において開示する発明の一態様は、開口率の高い半導体装置を提供することを課題とする。または、開示する発明の一態様は、消費電力の低い半導体装置を提供することを課題とする。または、開示する発明の一態様は、配線抵抗の低い半導体装置を提供することを課題とする。または、開示する発明の一態様は、信号波形のなまりを低減する半導体装置を提供することを課題とする。または、開示する発明の一態様は、導電率の高い配線を提供することを課題とする。または、開示する発明の一態様は、透過率の高い半導体装置を提供することを課題とする。または、開示する発明の一態様は、大画面化された半導体装置を提供することを課題とする。または、開示する発明の一態様は、プロセス工程数の増加を抑えた半導体装置を提供することを課題とする。または、開示する発明の一態様は、コントラストが向上した半導体装置を提供することを課題とする。または、開示する発明の一態様は、レイアウトの自由度が高い半導体装置を提供することを課題とする。または、開示する発明の一態様は、S 値（s u b t h r e s h o l d s w i n g v a l u e）の小さい半導体装置を提供することを課題とする。なお、これらの課題は、他の課題の存在を妨げるものではない。また、開示する発明の一態様が、上記の課題の全てを解決する必要は

ないものとする。

【課題を解決するための手段】

【0012】

本明細書等において開示する発明の一態様では、トランジスタを、透光性を有する材料を用いて形成する。より詳細には、次の通りである。

【0013】

本明細書等において開示する発明の一態様は、絶縁面を有する基板と、基板上に設けられた透光性を有する第1の電極（ソース電極）と、基板上に設けられた透光性を有する第2の電極（ドレイン電極）と、第1の電極および第2の電極と電氣的に接続するように設けられた透光性を有する半導体層（半導体層）と、第1の電極と電氣的に接続された第1の配線（ソース配線）と、少なくとも半導体層を覆うように設けられた絶縁層（ゲート絶縁層）と、半導体層と重なる領域の絶縁層上に設けられた透光性を有する第3の電極（ゲート電極）と、第3の電極と電氣的に接続された第2の配線（ゲート配線）と、を有することを特徴とする半導体装置である。

10

【0014】

また、本明細書等において開示する発明の別の態様は、絶縁面を有する基板上に、透光性を有する第1の導電層と、第2の導電層とを積層して形成し、第2の導電層上に第1のマスクを形成し、第1のマスクを用いて第1の導電層をエッチングして第1の電極および第2の電極を形成すると共に、第2の導電層をエッチングして第3の導電層を形成し、第1のマスクを後退させて、第2のマスクを形成し、第2のマスクを用いて第3の導電層をエッチングして第1の配線を形成し、第1の電極および第2の電極と電氣的に接続する透光性を有する半導体層を形成し、半導体層を覆うように絶縁層を形成し、絶縁層上に、透光性を有する第4の導電層と、第5の導電層とを積層して形成し、第5の導電層上に第3のマスクを形成し、第3のマスクを用いて第4の導電層をエッチングして第3の電極を形成すると共に、第5の導電層をエッチングして第6の導電層を形成し、第3のマスクを後退させて、第4のマスクを形成し、第4のマスクを用いて第6の導電層をエッチングして第2の配線を形成することを特徴とする半導体装置の作製方法である。

20

【0015】

なお、上記において、第2の電極と電氣的に接続された透光性を有する第4の電極（画素電極）を設けても良い。また、絶縁層を介して第2の電極の一部と重なる領域に設けられ、かつ第3の電極と同一層でなる第5の電極（容量電極）と、第5の電極と電氣的に接続され、かつ第2の配線と同一層でなる第3の配線（容量配線）と、を設けても良い。

30

【0016】

また、上記において、半導体層は、インジウム、ガリウムおよび亜鉛を含む酸化物半導体からなることが好ましい。また、第1の電極、第2の電極、および第3の電極は、インジウム錫酸化物、酸化珪素を含むインジウム錫酸化物、有機インジウム、有機スズ、酸化亜鉛、窒化チタン、酸化亜鉛を含むインジウム亜鉛酸化物、酸化亜鉛にガリウムを添加した材料、酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、のいずれかからなることが好ましい。

40

【0017】

また、上記において、第1の配線および第2の配線は、遮光性を有することが好ましい。また、第1の配線と第2の配線との交差部分に、半導体層と同一層でなる層を設けることが好ましい。これにより、配線が交差することに起因して生じる容量を低減することができるため、信号波形のなまりを抑制することができる。特に、大型の半導体装置ではその効果が著しい。

【0018】

本明細書等において開示する発明に用いることができる酸化物半導体の一例としては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記されるものがある。ここで、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ば

50

れた一の金属元素または複数の金属元素を示す。例えば、MとしてGaが選択される場合には、Gaのみの場合の他に、GaとNiや、GaとFeなど、Ga以外の上記金属元素が選択される場合を含む。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書等においては、上記酸化物半導体のうち、Mとして少なくともガリウムを含むものをIn-Ga-Zn-O系酸化物半導体と呼び、当該材料を用いた薄膜をIn-Ga-Zn-O系非単結晶膜と呼ぶことがある。

【0019】

さらに、上記において、多階調マスクを用いることにより、1枚のマスク（レチクル）で、透光性を有する領域（透過率の高い領域）と、透光性を有しない領域（透過率の低い領域）とを形成することができる。これにより、マスク数の増加を抑制できる。

10

【0020】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能し得る装置全般を指し、半導体回路、表示装置、電気光学装置、発光表示装置、電子機器などは全て半導体装置に含まれる。

【0021】

また、本明細書等において表示装置とは、画像表示デバイス、発光デバイス、または光源（照明装置含む）を指す。ここで、コネクタ、例えば、FPC（Flexible printed circuit）やTAB（Tape Automated Bonding）テープ、TCP（Tape Carrier Package）などが取り付けられたモジュール、TABテープやTCPの先にプリント配線基板が設けられたモジュール、表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールなどは全て表示装置に含まれる。

20

【0022】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

30

【0023】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0024】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、GND、0Vなど）の電位に近い値で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（Vddなど）の電位に近い値で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源の電位に近い値で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源の電位に近い値で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるからである。さらに

40

50

、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

【 0 0 2 5 】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

10

【 0 0 2 6 】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

【 0 0 2 7 】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

20

【 0 0 2 8 】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

30

【 0 0 2 9 】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

40

【 0 0 3 0 】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用い、また、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LE

50

D (白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイパネル(PDP)、デジタルマイクロミラーデバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイなど、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)など、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーなどがある。

10

【0031】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光(蛍光)を利用するもの、3重項励起子からの発光(燐光)を利用するもの、1重項励起子からの発光(蛍光)を利用するものと3重項励起子からの発光(燐光)を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むものなどを有することができる。ただし、これに限定されず、EL素子として様々なものを有することができる。

20

【0032】

なお、電子放出素子とは、陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ(CNT)型、金属絶縁体金属を積層したMIM(Metal-Insulator-Metal)型、金属絶縁体半導体を積層したMIS(Metal-Insulator-Semiconductor)型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、表面伝導エミッタSCD型、金属絶縁体半導体-金属型等の薄膜型、HEED型、EL型、ポラスシリコン型、表面伝導(SCE)型などを有することができる。ただし、これに限定されず、電子放出素子として様々なものを有することができる。

30

【0033】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界(横方向の電界、縦方向の電界又は斜め方向の電界を含む)によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶(PALC)、バナナ型液晶などを挙げることができる。また、液晶の駆動方式としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid

40

50

C r y s t a l) モード、ゲストホストモード、ブルー相 (B l u e P h a s e) モードなどを用いることができる。ただし、これに限定されず、液晶素子及びその駆動方法として様々なものを用いることができる。

【 0 0 3 4 】

なお、電子ペーパーの表示方法としては、分子により表示されるもの（光学異方性、染料分子配向など）、粒子により表示されるもの（電気泳動、粒子移動、粒子回転、相変化など）、フィルム的一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して自発光により表示されるものなどのことをいう。例えば、電子ペーパーとして、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱（透明／白濁変化）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、２色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ＥＬなどを用いることができる。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

【 0 0 3 5 】

なお、プラズマディスプレイパネルは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。あるいは、プラズマディスプレイパネルは、プラズマチューブを上下からフィルム状の電極で挟み込んだ構造とすることも可能である。プラズマチューブとは、ガラスチューブ内に、放電ガス、ＲＧＢそれぞれの蛍光体などを封止したものである。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイパネルとしては、ＤＣ型ＰＤＰ、ＡＣ型ＰＤＰでもよい。ここで、プラズマディスプレイパネルの駆動方法としては、ＡＷＳ（Ａｄｄｒｅｓｓ Ｗｈｉｌｅ Ｓｕｓｔａｉｎ）駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するＡＤＳ（Ａｄｄｒｅｓｓ Ｄｉｓｐｌａｙ Ｓ

【 0 0 3 6 】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（ＧＬＶ）を用いた表示装置、デジタルマイクロミラーデバイス（ＤＭＤ）を用いた表示装置などの光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、ＬＥＤ、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

【 0 0 3 7 】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（ＴＦＴ）などを用いることが出来る。ＴＦＴを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よ

りも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。これにより、同時に複数の表示装置を製造できるため、製造コストを抑制できる。さらに、製造温度が低いため、耐熱性の低い基板を用いることができる。これにより、ガラス基板などの透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が小さいため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

【0038】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、D A変換回路など）を基板上に一体形成することが出来る。

10

【0039】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、質の高い表示が可能である。

20

【0040】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0041】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶性を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来る。スループットが向上し、製造コストを低減させることが出来る。必要とされる製造装置の数も少なく済むため、製造コストを低減させる（増大させない）ことが出来る。

30

【0042】

または、半導体基板やS O I基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

40

【0043】

または、Z n O、a - I n G a Z n O、I Z O、I T O、S n O、T i O、A l Z n S n O（A Z T O）などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィル

50

ム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。また、SiGe、GaAs、などの半導体を用いても良い。

【0044】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することが出来る。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0045】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0046】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

【0047】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0048】

その他、様々なトランジスタを用いることができる。

【0049】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板（例えばシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タンゲステン基板、タンゲステン・ホイルを有する基板、可撓性基板などを用いることが出来る。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状の材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あ

10

20

30

40

50

るいは、人などの動物の皮膚（表皮、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0050】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。

10

【0051】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

20

【0052】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。あるいは、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

30

【0053】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てを、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てを、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の

40

50

部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

【0054】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW (Wは白) としても可能である。あるいは、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することも可能である。あるいは、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加することも可能である。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し波長が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することが出来る。別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素 (サブ画素) を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

20

30

【0055】

なお、一画素 (三色分) と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素 (一色分) と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

40

【0056】

なお、画素は、マトリクス状に配置 (配列) されている場合がある。ここで、画素がマトリクスに配置 (配列) されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素 (例えばRGB) でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三色の色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素のドット毎にその表示領域の大きさが異なっている場合もよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることが

50

できる。

【0057】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【0058】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

10

【0059】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0060】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

20

【0061】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

30

【0062】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

40

【0063】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

50

【0064】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もゲート電極またはゲート配線と呼んでも良い。

10

【0065】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

20

【0066】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0067】

なお、ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

30

【0068】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

40

【0069】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜

50

、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【 0 0 7 0 】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

10

【 0 0 7 1 】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【 0 0 7 2 】

なお、ソース端子とは、ソース領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

20

【 0 0 7 3 】

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【 0 0 7 4 】

なお、ドレインについては、ソースと同様である。

30

【 0 0 7 5 】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【 0 0 7 6 】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでいても良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

40

50

【 0 0 7 7 】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

【 0 0 7 8 】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【 0 0 7 9 】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

10

【 0 0 8 0 】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【 0 0 8 1 】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

20

【 0 0 8 2 】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【 0 0 8 3 】

なお、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

【 0 0 8 4 】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

【 0 0 8 5 】

さらに、Ａの上方にＢが形成されている、と明示的に記載されている場合についても同様であり、Ａの上にＢが直接接していることに限定されず、ＡとＢとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

40

【 0 0 8 6 】

なお、Ａの上にＢが形成されている、Ａ上にＢが形成されている、又はＡの上方にＢが形成されている、と明示的に記載する場合、斜め上にＢが形成される場合も含むこととする。

50

【0087】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0088】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0089】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

10

【0090】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0091】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【0092】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

20

【0093】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

【0094】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」、などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Aの上にB、と明示的に示される場合は、BがAの上にあることに限定されない。図中のデバイスは反転、又は180°回転することが可能なので、BがAの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」などの他の方向を含むことが可能である。

30

40

【発明の効果】

【0095】

本明細書等により開示される発明の一態様では、トランジスタおよび保持容量の少なくとも一部に、透光性を有する材料を用いる。これにより、トランジスタや保持容量が存在する領域においても光を透過させることが可能になるため、開口率を向上させることができる。また、トランジスタと別の素子（例えば、別のトランジスタ）とを接続する配線、または容量素子と別の素子（例えば、別の容量素子）とを接続する配線を、抵抗率が低い（導電率が高い）材料を用いて形成する場合には、信号波形のなまりを低減し、配線抵抗による電圧降下を抑制することができる。これにより、半導体装置の消費電力を低減するこ

50

とができる。また、半導体装置の大型化（大画面化）が容易となる。

【図面の簡単な説明】

【0096】

【図1】半導体装置の平面図および断面図である。

【図2】半導体装置の作製方法を説明する断面図である。

【図3】半導体装置の作製方法を説明する断面図である。

【図4】半導体装置の作製方法を説明する断面図である。

【図5】半導体装置の作製方法を説明する断面図である。

【図6】半導体装置の平面図および断面図である。

【図7】半導体装置の平面図および断面図である。

10

【図8】半導体装置の平面図および断面図である。

【図9】半導体装置の平面図および断面図である。

【図10】半導体装置の平面図および断面図である。

【図11】半導体装置の平面図および断面図である。

【図12】半導体装置の平面図および断面図である。

【図13】半導体装置の作製方法を説明する断面図である。

【図14】半導体装置の作製方法を説明する断面図である。

【図15】半導体装置の作製方法を説明する断面図である。

【図16】半導体装置の作製方法を説明する断面図である。

【図17】多階調マスクの構成を説明する断面図である。

20

【図18】半導体装置の平面図および断面図である。

【図19】半導体装置の平面図および断面図である。

【図20】半導体装置の平面図および断面図である。

【図21】半導体装置の平面図および断面図である。

【図22】半導体装置を説明する平面図および断面図である。

【図23】半導体装置を説明する図である。

【図24】半導体装置を説明する断面図である。

【図25】半導体装置を説明する断面図である。

【図26】半導体装置を説明する平面図および断面図である。

【図27】半導体装置を説明する図である。

30

【図28】半導体装置を説明する断面図である。

【図29】電子ペーパーの使用形態の例を説明する図である。

【図30】電子書籍の例を示す外観図である。

【図31】テレビジョン装置およびデジタルフォトフレームの例を示す外観図である。

【図32】遊技機の例を示す外観図である。

【図33】携帯電話機の例を示す外観図である。

【図34】半導体装置の作製方法を説明する断面図である。

【図35】半導体装置を説明する断面図である。

【図36】半導体装置の作製方法を説明する断面図である。

【図37】半導体装置を説明する平面図および断面図である。

40

【図38】半導体装置を説明する平面図および断面図である。

【図39】半導体装置を説明する図である。

【図40】半導体装置を説明する図である。

【図41】半導体装置を説明する図である。

【図42】半導体装置を説明する図である。

【図43】半導体装置を説明する図である。

【発明を実施するための形態】

【0097】

以下、実施の形態について、図面を用いて詳細に説明する。但し、発明は以下に示す実施の形態の記載内容に限定されず、本明細書等において開示する発明の趣旨から逸脱するこ

50

となく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせる実施することが可能である。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0098】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0099】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0100】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0101】

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。

【0102】

（実施の形態１）

本実施の形態では、半導体装置及びその作製方法について、図１乃至図１１を用いて説明する。

【0103】

図１には、本実施の形態に係る半導体装置の構成の一例を示す。本実施の形態では、半導体装置として、特に液晶表示装置について説明しているが、開示される発明はこれに限定されない。エレクトロルミネッセンス表示装置（ＥＬ表示装置）や、電気泳動素子を用いた表示装置（いわゆる電子ペーパー）などへの適用は、もとより可能である。また、表示装置以外の他の半導体装置への適用も可能である。なお、図１（Ａ）は平面図であり、図１（Ｂ）は図１（Ａ）のＡ－Ｂにおける断面図である。

【0104】

図１（Ａ）に示す半導体装置は、ソース配線として機能する導電層１１２と、導電層１１２と交差し、ゲート配線として機能する導電層１３２ａおよび容量配線として機能する導電層１３２ｂと、導電層１３２ａと導電層１１２の交差部付近のトランジスタ１５０と、導電層１３２ｂと電氣的に接続された保持容量１５２と、を有する画素部を備えている（図１（Ａ）、図１（Ｂ）参照）。なお、本明細書等において、画素部とは、ゲート配線として機能する導電層およびソース配線として機能する導電層に囲まれた領域のことを指す。また、図１（Ａ）において、導電層１１２と、導電層１３２ａおよび導電層１３２ｂとは９０°の角度で交差しているが、開示する発明は当該構成に限定されない。すなわち、導電層１１２と、導電層１３２ａおよび導電層１３２ｂとが９０°以外の角度で交差して

10

20

30

40

50

いても良い。

【0105】

トランジスタ150は、ソース電極として機能する導電層106aと、ドレイン電極として機能する導電層106bと、半導体層118aと、ゲート絶縁層120と、ゲート電極として機能する導電層126aと、で構成されるいわゆるトップゲート型のトランジスタである(図1(A)、図1(B)参照)。また、保持容量152は、導電層106bと、ゲート絶縁層120と、導電層126bと、導電層140とで構成されている。より詳細には、導電層106bと導電層126bとの間、および導電層126bと導電層140との間に容量が形成される。なお、トランジスタにおけるソース電極およびドレイン電極は、キャリアの流れる方向によってその機能が入れ替わることがあるから、ソース電極およびドレイン電極の称呼は便宜的なものに過ぎない。つまり、各種導電層の機能が、上記称呼に限定して解釈されるものではない。

10

【0106】

ここで、トランジスタ150を構成する導電層106a、導電層106b、半導体層118a、導電層126a、および保持容量152を構成する導電層126bは、透光性を有する材料で形成されている。これにより、画素の開口率向上が実現されている。

【0107】

また、導電層106aと電氣的に接続される導電層112、および導電層126aと電氣的に接続される導電層132aは、低抵抗材料で形成されている。このため、配線抵抗を低減し、消費電力を低減することができる。また、導電層112および導電層132aは遮光性を有する材料で形成されている。このため、画素間を遮光することができる。

20

【0108】

なお、上記において透光性を有するとは、少なくとも、導電層112や導電層132aと比較して、可視域(400nm~800nm程度)における光の透過率が高いことを意味する。

【0109】

次に、半導体装置の作製方法の一例について説明する。

【0110】

はじめに、絶縁面を有する基板100上に導電層102を形成する(図2(A1)、図2(A2)参照)。

30

【0111】

絶縁面を有する基板100としては、例えば、液晶表示装置などに使用される可視光透過性を有するガラス基板を用いることができる。上記のガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。他にも、絶縁面を有する基板100として、セラミック基板、石英基板、サファイア基板などの絶縁体からなる絶縁性基板、珪素などの半導体材料からなる半導体基板の表面を絶縁材料で被覆した基板、金属やステンレスなどの導電体からなる導電性基板の表面を絶縁材料で被覆した基板、などを用いることができる。ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表される可撓性を有する合成樹脂を用いても良い。

40

【0112】

図示しないが、絶縁面を有する基板100上には下地膜を設けるとよい。下地膜は、基板100からのアルカリ金属(Li、Cs、Na等)やアルカリ土類金属(Ca、Mg等)、その他の不純物の拡散を防止する機能を有する。つまり、下地膜を設けることにより、半導体装置の信頼性向上という課題を解決することができる。下地膜は、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜などから選ばれた一または複数の絶縁層により形成することができる。例えば、基板側から窒化シリコン膜と酸化シリコン膜を順に積層した構成とすると好ましい。窒化シリコン膜の不純物に対する

50

ブロッキング効果が高いためである。一方で、窒化シリコン膜が半導体と接する場合には不具合が発生する可能性もあるため、半導体と接する膜として、酸化シリコン膜を形成するのがよい。

【0113】

なお、本明細書等において、酸化窒化物とは、その組成において、窒素よりも酸素の含有量（原子数）が多いものを示し、例えば、酸化窒化シリコンとは、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量（原子数）が多いものを示し、例えば、窒化酸化シリコンとは、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）や、水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した場合のものである。また、構成元素の含有比率の合計は100原子%を超えない。

10

【0114】

導電層102は、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛（ZnO）、窒化チタン等の透光性（可視光透過性）を有する材料を用いて形成すると良い。また、酸化亜鉛を含むインジウム亜鉛酸化物（Indium Zinc Oxide：IZO）、酸化亜鉛にガリウム（Ga）を添加した材料、酸化スズ（SnO₂）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いてもよい。導電層102は単層構造としても良いし、積層構造としても良いが、積層構造とする場合には、光透過率が十分に高くなるように導電層102を形成することが望ましい。なお、導電層102の作製方法としてはスパッタリング法を用いることが好ましいが、これに限る必要はない。

20

【0115】

次に、導電層102上にレジストマスク104aおよびレジストマスク104bを形成し、当該レジストマスク104aおよびレジストマスク104bを用いて導電層102を選択的にエッチングして、導電層106aおよび導電層106bを形成する（図2（B1）、図2（B2）参照）。上記のエッチングとしては、ウエットエッチング、ドライエッチングのいずれを用いても良い。なお、上記エッチングの後にはレジストマスク104a、レジストマスク104bは除去する。導電層106aおよび導電層106bは、後に形成される絶縁層などの被覆性を向上し、段切れを防止するために、その端部がテーパ形状となるように形成することが好ましい。このように、導電層をテーパ形状となるように形成することで、半導体装置の歩留まり向上という課題を解決することができる。

30

【0116】

導電層106aはトランジスタのソース電極として、導電層106bはトランジスタのドレイン電極および保持容量の電極（容量電極）として機能する。なお、各種導電層の機能は、ソース電極またはドレイン電極の称呼に限定して解釈されるものではない。

40

【0117】

次に、導電層106aおよび導電層106bを覆うように導電層108を形成する（図2（C1）、図2（C2）参照）。なお、ここでは、導電層106aおよび導電層106bを覆うように導電層108を形成するが、開示される発明はこれに限定されない。

【0118】

導電層108は、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、ニオブ（Nb）、クロム（

50

Cr)、セリウム(Ce)などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層構造または積層構造で形成することができる。例えば、導電層108は、アルミニウムなどの抵抗が低い材料で形成することが望ましい。

【0119】

導電層106a上に導電層108を形成した場合、これらの導電層が反応してしまう場合がある。例えば、導電層106aにITOを用い、導電層108にアルミニウムを用いた場合、化学反応が生じ得る。このような反応を避けるために、導電層108を、高融点材料と低抵抗材料との積層構造としても良い。より具体的には、例えば、導電層108の導電層106aと接する領域を高融点材料で形成し、導電層108の導電層106aと接触しない領域を低抵抗材料で形成すると好適である。

10

【0120】

上記高融点材料としては、モリブデン、チタン、タングステン、タンタル、クロムなどが挙げられる。低抵抗材料としては、アルミニウム、銅、銀などが挙げられる。

【0121】

もちろん、導電層108を3層以上の積層構造としても良い。この場合、例えば、1層目がモリブデン、2層目がアルミニウム、3層目がモリブデンの積層構造、または、1層目がモリブデン、2層目がネオジムを微量に含むアルミニウム、3層目がモリブデンの積層構造とすることができる。導電層108をこのような積層構造とすることにより、ヒロックの発生を防止することができる。これにより、半導体装置の信頼性向上という課題を解決することができる。

20

【0122】

次に、導電層108上にレジストマスク110を形成し、当該レジストマスク110を用いて導電層108を選択的にエッチングして、導電層112を形成する(図2(D1)、図2(D2)参照)。なお、導電層112はソース配線としての機能を有する。また、導電層112は遮光性を有する材料を用いて形成されているため、遮光機能を有する。レジストマスク110は、導電層112の形成後に除去される。

【0123】

なお、本実施の形態においては、導電層106aおよび導電層106bを形成した後、導電層112を形成する工程について説明したが、開示される発明はこれに限定して解釈されない。例えば、導電層106aおよび導電層106bと、導電層112の形成順序を入れ替えても良い。つまり、ソース配線としての機能する導電層112を形成した後に、ソース電極としての機能する導電層106aおよび導電層106bを形成することもできる(図6(A)、図6(B)参照)。なお、図6においては、導電層126aおよび導電層126bと、導電層132aおよび導電層132bの形成順序は入れ替えていないが、導電層126aおよび導電層126bと、導電層132aおよび導電層132bの形成順序を入れ替えても良い。

30

【0124】

また、導電層108をエッチングして導電層112を形成する際に、後にコンタクトホールが形成される領域に導電層113を形成しても良い(図7(A)、図7(B)参照)。このような構成を採用することで、コンタクトホールが形成される領域を遮光することができる。これにより、コンタクト領域における電極(画素電極)の表面凹凸による表示不具合を低減できるため、コントラスト向上や、光漏れ低減といった効果が得られる。すなわち、表示特性の向上という課題を解決することができる。なお、当該構成は液晶表示装置において特に効果的であるが、他の半導体装置に適用しても良いことは言うまでもない。この場合、遮光が必要な領域に導電層113を適宜形成すれば良い。

40

【0125】

次に、少なくとも導電層106aおよび導電層106bを覆うように半導体層114を形成する(図3(A1)、図3(A2)参照)。本実施の形態では、導電層106a、導電層106b、導電層112を覆うように、基板100上に半導体層114を形成する。

50

【0126】

半導体層114は、In-Ga-Zn-O系の酸化物半導体材料をはじめ、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-O系など、各種の酸化物半導体材料を用いて形成することができる。また、その他の材料を用いることも可能である。例えば、In-Ga-Zn-O系の酸化物半導体材料による半導体層114は、In、Ga、Znを含む酸化物半導体ターゲット(In_2O_3 : Ga_2O_3 : ZnO =1:1:1)を用いたスパッタ法で形成することができる。スパッタの条件は、例えば、基板100とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW(直径8インチのターゲット使用時)、雰囲気をアルゴン雰囲気、酸素雰囲気、またはアルゴンと酸素との混合雰囲気とすることができる。なお、半導体層114として、ZnO系非単結晶膜を用いても良い。また、半導体層114の膜厚は、5nm~200nm程度とすればよい。

10

【0127】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いるRFスパッタ法や、DCスパッタ法、パルス的に直流バイアスを加えるパルスDCスパッタ法などを用いることができる。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるため好ましい。この場合、半導体装置の歩留まり向上、信頼性向上といった課題を解決することができる。

20

【0128】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置では、同一チャンバーで異なる複数の膜を形成することも、同一チャンバーで複数種類の材料を同時にスパッタして一の膜を形成することもできる。さらに、チャンバー内部に磁界発生機構を備えたマグネトロンスパッタ装置を用いる方法(マグネトロンスパッタ法)や、マイクロ波を用いて発生させたプラズマを用いるECRスパッタ法等を用いてもよい。また、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物を形成するリアクティブスパッタ法や、成膜中に基板にも電圧を印加するバイアスパッタ法等を用いてもよい。

【0129】

なお、半導体層114を形成する前に、半導体層114の被形成面(例えば、導電層106aおよび導電層106bの表面、下地膜を形成した場合には下地膜の表面を含む)にプラズマ処理を行ってもよい。プラズマ処理を行うことにより、被形成面に付着しているゴミなどを除去することができる。また、上述のプラズマ処理を行った後、大気に曝すことなく半導体層114を形成することにより、導電層106aおよび導電層106bと、半導体層114との電氣的接続を良好に行うことができる。つまり、半導体装置の歩留まり向上、信頼性向上といった課題を解決することが可能である。

30

【0130】

なお、本実施の形態においては、半導体層114として酸化物半導体材料を用いる場合について説明しているが、開示する発明の一態様はこれに限定されない。酸化物半導体材料以外の半導体材料、化合物半導体材料等であっても、厚みを小さくすることにより、透光性を確保できる場合がある。このため、酸化物半導体材料に代えて、他の半導体材料を用いても良い。上記他の半導体材料の一例としては、シリコンやガリウム、ガリウムヒ素などの各種無機半導体材料、カーボンナノチューブなどの有機半導体材料、これらの混合材料などを挙げることができる。これらの材料を、単結晶、多結晶、微結晶(マイクロクリスタル、ナノクリスタルを含む)、非晶質といった各種態様で用いて半導体層114とすれば良い。

40

【0131】

次に、半導体層114上にレジストマスク116aおよびレジストマスク116bを形成し、当該レジストマスク116aおよびレジストマスク116bを用いて半導体層114

50

を選択的にエッチングして、半導体層 118a および半導体層 118b を形成する（図 3（B1）、図 3（B2）参照）。半導体層 118a および半導体層 118b は島状に形成される。ここで、半導体層 118a はトランジスタの活性層となる。また、半導体層 118b は、配線間に生じる寄生容量を緩和する役割を果たす。なお、本実施の形態においては、半導体層 118b を形成する場合について説明しているが、半導体層 118b は必須の構成要素ではない。

【0132】

また、上記のレジストマスクはスピンコート法などの方法を用いて形成しても良いが、液滴的吐出法やスクリーン印刷法などを用いる場合には、レジストマスクを選択的に形成することができる。この場合、生産性向上という課題を解決することが可能である。

10

【0133】

半導体層 114 のエッチングの方法としては、ウェットエッチングまたはドライエッチングを用いることができる。ここでは、酢酸と硝酸と磷酸との混合液を用いたウェットエッチングにより、半導体層 114 の不要な部分を除去して、半導体層 118a および半導体層 118b を形成する。なお、上記エッチングの後にはレジストマスク 116a およびレジストマスク 116b は除去する。上記のウェットエッチングに用いることができるエッチャント（エッチング液）は半導体層 114 をエッチングできるものであればよく、上述したものに限られない。

【0134】

ドライエッチングを行う場合は、例えば、塩素を含有するガス、または塩素を含有するガスに酸素が添加されたガスを用いると良い。塩素と酸素を含有するガスを用いることで、導電層や下地膜と、半導体層 114 とのエッチング選択比がとりやすくなるためである。

20

【0135】

ドライエッチングに用いるエッチング装置としては、反応性イオンエッチング法（RIE 法）を用いたエッチング装置や、ECR（Electron Cyclotron Resonance）やICP（Inductively Coupled Plasma）などの高密度プラズマ源を用いたドライエッチング装置を用いることができる。また、ICPエッチング装置と比べて広い面積に渡って一様な放電が得られるECCP（Enhanced Capacitively Coupled Plasma）モードのエッチング装置を用いても良い。ECCPモードのエッチング装置であれば、基板として第10

30

【0136】

なお、本実施の形態において示すように、トランジスタのソース電極として機能する導電層 106a、および、トランジスタのドレイン電極として機能する導電層 106b 上に半導体層 118a を形成する場合には、半導体層 118a の薄膜化が容易である。半導体層 118a が導電層 106a および導電層 106b 上に存在する場合には、逆の場合とは異なり、導電層をエッチングする際のオーバーエッチングによる半導体層 118a の消失の問題が生じないためである。このように、半導体層 118a の薄膜化が実現されることで、電圧印加時の空乏化が容易になり、S 値を小さくすることができる。また、オフ電流を小さくすることも可能である。つまり、半導体装置の高性能化という課題を解決することが可能である。なお、半導体層 118a は、ソース配線として機能する導電層 112 や、ソース電極として機能する導電層 106a、ゲート配線として機能する導電層 132a、ゲート電極として機能する導電層 126a などと比較して薄く形成されることが好適である。

40

【0137】

その後、200 ～ 600 、代表的には 300 ～ 500 の熱処理を行うと良い。ここでは、窒素雰囲気下で 350 、1時間の熱処理を行う。この熱処理により半導体層 118a および半導体層 118b の半導体特性を向上させることができる。なお、上記熱処理のタイミングは、半導体層 118a および半導体層 118b の形成後であれば特に限定されない。

50

【0138】

なお、本実施の形態においては、導電層106aおよび導電層106bを形成した後、導電層112を形成し、その後、半導体層118aを形成する工程について説明したが、開示される発明はこれに限定して解釈されない。例えば、導電層106aおよび導電層106bを形成した後、半導体層118aを形成し、その後、導電層112を形成する工程を採用しても良い(図8(A)、図8(B)参照)。この場合、半導体層118aとのコンタクト抵抗を低減することができるという効果がある。

【0139】

なお、導電層106aおよび導電層106bは、導電層112と比較して薄く形成すると良い。導電層106aおよび導電層106bを薄く形成することにより、抵抗は高くなるが、透過率を一層向上させることができるため有利である。もちろん、開示する発明の一態様をこれに限定して解釈する必要はない。

10

【0140】

次に、半導体層118aおよび半導体層118bを覆うように、ゲート絶縁層120を形成する(図3(C1)、図3(C2)参照)。

【0141】

ゲート絶縁層120は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、または酸化タンタル膜の単層構造または積層構造とすることができる。例えば、スパッタ法やCVD法などを用いて、50nm以上250nm以下の厚さで形成すれば良い。ここでは、ゲート絶縁層120として、スパッタ法を用いて、酸化シリコン膜を100nmの厚さで形成する。なお、ゲート絶縁層120は、透光性を有していることが好ましい。

20

【0142】

次に、ゲート絶縁層120上に、導電層122を形成する(図3(D1)、図3(D2)参照)。導電層122は、導電層102と同様の材料、作製方法により形成することができる。導電層122の詳細については、導電層102に係る説明を参照することができるから、ここでは省略する。なお、導電層122は透光性を有することが望ましい。

【0143】

なお、導電層102と導電層122とを同じ材料を用いて形成する場合には、材料および製造装置を共有することが容易になるため、低コスト化、スループットの向上などに寄与する。もちろん、同じ材料を用いて導電層102および導電層122を形成することは、必須の要件ではない。

30

【0144】

次に、導電層122上にレジストマスク124aおよびレジストマスク124bを形成し、当該レジストマスク124aおよびレジストマスク124bを用いて導電層122を選択的にエッチングして、導電層126aおよび導電層126bを形成する(図4(A1)、図4(A2)参照)。上記のエッチングとしては、ウエットエッチング、ドライエッチングのいずれを用いても良い。なお、上記エッチングの後にはレジストマスク124a、レジストマスク124bは除去する。導電層126aはトランジスタのゲート電極として、導電層126bは保持容量の電極(容量電極)として機能する。

40

【0145】

なお、導電層106bと導電層126bとが重畳する領域の面積は適宜変更することができる。本実施の形態において示すように、導電層106bと導電層126bとは透光性を有する材料を用いて形成されているため、重畳する領域の面積を増大させて容量値を増加させる場合であっても、開口率を低下させずに済むという利点がある。つまり、容量値の増加という課題を、開口率の低下を伴わずに解決することができる。

【0146】

また、本実施の形態においては、ソース電極として機能する導電層106aおよびドレイン電極として機能する導電層106bと、ゲート電極として機能する導電層126aの一

50

部が重畳するように導電層 106a、導電層 106b、導電層 126a を形成しているが、半導体層 118a の一部の導電性を高めることができる場合には、導電層 106a または導電層 106b と、導電層 126a とを重畳させない構成としても良い（図 9（A）、図 9（B）参照）。この場合、少なくとも導電層 106a または導電層 106b と、導電層 126a とが重畳しない領域 160 の導電性を高めることになる。図 9 中において、領域 160 は、半導体層 118a の導電層 106a と隣接する領域または導電層 106b と隣接する領域にあたる。なお、領域 160 は、導電層 126a と重畳しても良いし、重畳しなくとも良い。また、領域 160 は、導電層 106a または導電層 106b と重畳する領域であることが好ましいが、この限りではない。

【0147】

半導体層 118a に酸化物半導体材料を用いる場合において、領域 160 の導電性を高める方法としては、例えば、水素を選択的に添加する方法がある。半導体層として酸化物半導体材料を用いない場合には、その材料にあわせて導電性を高める方法を選択すればよい。例えば、シリコン系の材料を用いて半導体層 118a を形成する場合には、リンやボロンなど、所定の導電性を付与する不純物元素を添加すればよい。

【0148】

このように、導電層 106a または導電層 106b と、導電層 126a とを重畳させない構成とすることにより、導電層 106a（または導電層 106b）と導電層 126a との重畳に起因する寄生容量を低減することができる。つまり、半導体装置の特性向上という課題を解決することができる。

【0149】

なお、上記水素の添加は、半導体層 114 の形成後、半導体層 118a の形成後、絶縁層 120 の形成後、導電層 126a の形成後など、各種工程後のいずれかに行うことができる。例えば、半導体層 118 の形成後に水素を添加する場合には、半導体層 118a 上に選択的にレジストマスク 170 を形成して（図 34（A）参照）、水素 190 を添加することにより（図 34（B）参照）、領域 160 を形成することができる（図 34（C）参照）。この場合、半導体装置の構成を図 35（A）や図 35（B）のようにすることも可能である。領域 160 では導電性が高められており、別途導電層 106b など設ける必要性が低下するためである。ここで、図 35（A）は導電層 106b を設けない構成を、図 35（B）は導電層 106a および導電層 106b を設けない構成を示している。なお、導電層 126a を形成した後に水素を添加する場合には、導電層 126a をマスクとして、自己整合的に水素を添加することが可能である。

【0150】

次に、導電層 126a および導電層 126b を覆うように、導電層 128 を形成する（図 4（B1）、図 4（B2）参照）。導電層 128 は、導電層 108 と同様の材料、作製方法により形成することができる。導電層 128 の詳細については、導電層 108 に係る説明を参照することができるから、ここでは省略する。この場合にも、導電層 108 と導電層 128 とを同じ材料を用いて形成することにより、低コスト化、スループットの向上などが実現されるため好ましい。

【0151】

次に、導電層 128 上にレジストマスク 130 を形成し、当該レジストマスク 130 を用いて導電層 128 を選択的にエッチングして、導電層 132a および導電層 132b を形成する（図 4（C1）、図 4（C2）参照、導電層 132b については図 1（A）参照）。なお、導電層 132a はゲート配線として、導電層 132b は容量配線として機能する。また、導電層 132a は遮光性を有する材料を用いて形成されているため、遮光機能を有する。レジストマスク 130 は、導電層 132a および導電層 132b の形成後に除去される。

【0152】

なお、本実施の形態においては、導電層 126a および導電層 126b を形成した後、導電層 132a および導電層 132b を形成する工程について説明したが、開示される発明

10

20

30

40

50

はこれに限定して解釈されない。例えば、導電層 1 2 6 a および導電層 1 2 6 b と、導電層 1 3 2 a および導電層 1 3 2 b の形成順序を入れ替えても良い。つまり、ゲート配線として機能する導電層 1 3 2 a および容量配線として機能する導電層 1 3 2 b を形成した後に、ゲート電極として機能する導電層 1 2 6 a および保持容量の電極として機能する導電層 1 2 6 b を形成することもできる（図 1 0 (A)、図 1 0 (B) 参照）。なお、図 1 0 においては、導電層 1 0 6 a および導電層 1 0 6 b と、導電層 1 1 2 の形成順序は入れ替えていないが、導電層 1 0 6 a および導電層 1 0 6 b と、導電層 1 1 2 の形成順序を入れ替えても良い。

【 0 1 5 3 】

なお、導電層 1 2 6 a および導電層 1 2 6 b は、導電層 1 3 2 a などと比較して薄く形成すると良い。導電層 1 2 6 a および導電層 1 2 6 b を薄く形成することにより、抵抗は高くなるが、透過率を一層向上させることができるため有利である。もちろん、開示する発明の一態様をこれに限定して解釈する必要はない。

【 0 1 5 4 】

また、導電層 1 2 6 b 上に残存するように導電層 1 3 2 b を形成しても良い（図 1 1 (A)、図 1 1 (B) 参照）。このように、導電層 1 3 2 b を形成することにより、容量配線の配線抵抗を低減することができる。なお、導電層 1 2 6 b 上における導電層 1 3 2 b の幅は、導電層 1 2 6 b と比較して十分に小さくすることが好ましい。このように導電層 1 3 2 b を形成することにより、容量配線の配線抵抗を低減するという課題を、実質的な開口率の低下なしに解決することができる。

【 0 1 5 5 】

次に、ゲート絶縁層 1 2 0、導電層 1 2 6 a、導電層 1 2 6 b、導電層 1 3 2 a、導電層 1 3 2 b を覆うように絶縁層 1 3 4 を形成する（図 4 (D 1)、図 4 (D 2) 参照）。絶縁層 1 3 4 の表面は、後の電極（画素電極）の被形成面となるため、平坦に形成することが好ましい。特に、開示する発明の一態様においては、透光性を有する材料を用いて各種素子を形成することが可能であるため、これらの素子が形成されている領域をも表示領域（開口領域）として利用することができる。したがって、素子や配線に起因する凹凸を緩和するように絶縁層 1 3 4 を形成することは極めて有益である。

【 0 1 5 6 】

絶縁層 1 3 4 は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を含有する材料からなる絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる膜、などの単層構造または積層構造とすることができる。例えば、窒化シリコンを有する膜は、不純物をブロッキングする効果が高いため、素子の信頼性向上に好適である。また、有機材料を有する膜は、凹凸を緩和する機能が高いため、素子の特性向上に好適である。なお、絶縁層 1 3 4 を、窒化珪素を有する膜と、有機材料を有する膜との積層構造とする場合には、図中下側（素子に近い側）に窒化珪素を有する膜を配置し、上側（画素電極の被形成面側）に有機材料を有する膜を配置することが好適である。絶縁層 1 3 4 は、十分な透光性を有していることが好ましい。

【 0 1 5 7 】

なお、絶縁層 1 3 4 を絶縁層 1 3 4 a と絶縁層 1 3 4 b の二層構造とする場合には（図 3 6 (A) 参照）、絶縁層 1 3 4 b の導電層 1 2 6 b と重畳する領域をエッチングにより除去することで（図 3 6 (B) 参照）、導電層 1 2 6 b と、後に形成される導電層 1 4 0 との間に形成される容量の容量値を増加させることが可能である（図 3 6 (C) 参照）。なお、開示する発明の一態様は上記に限定されず、絶縁層 1 3 4 を三層以上の多層構造としても良い。

【 0 1 5 8 】

カラーフィルタとしての機能を有するように絶縁層 1 3 4 を形成しても良い。このように、素子を形成する基板にカラーフィルタを形成することにより、対向基板などを貼り合わ

10

20

30

40

50

せる際の位置合わせが容易となる。もちろん、絶縁層 134 にカラーフィルタとしての機能を有せしめることに限定されず、別途カラーフィルタとして機能する層を基板 100 上に形成しても良い。なお、開示する発明の一態様では、遮光性を有する材料を用いてソース配線やゲート配線などを形成している。これにより、ブラックマスク（ブラックマトリクス）を別途形成することなく、画素間を遮光することができる。つまり、ブラックマスクを別途形成する場合と比較して、工程を簡略化しつつ、高性能な半導体装置を提供することができる。もちろん、開示する発明の一態様をこれに限定して解釈する必要はなく、別途ブラックマスクを形成しても良い。

【0159】

なお、絶縁層 134 が無くとも大きな不都合が生じない場合には、絶縁層 134 を形成しない構成とすることができる。この場合、工程を簡略化することができるというメリットがある。

【0160】

その後、絶縁層 134 に導電層 106b に達するコンタクトホール 136 を形成し、導電層 106b の表面の一部を露出させる（図 5（A1）、図 5（A2）参照）。

【0161】

そして、絶縁層 134 を覆うように、導電層 138 を形成する（図 5（B1）、図 5（B2）参照）。絶縁層 134 にはコンタクトホールが形成されているため、導電層 106b と導電層 138 とは電氣的に接続されることになる。

【0162】

導電層 138 は、導電層 102 や導電層 122 と同様の材料、作製方法により形成することができる。導電層 138 の詳細については、導電層 102 や導電層 122 に係る説明を参照することができるから、ここでは省略する。なお、導電層 138 は透光性を有することが望ましい。この場合にも、導電層 102 や導電層 122 と導電層 138 とを同じ材料を用いて形成することにより、低コスト化、スループットの向上などが実現されるため好ましい。

【0163】

次に、導電層 138 上にレジストマスクを形成し、当該レジストマスクを用いて導電層 138 を選択的にエッチングして、導電層 140 を形成する（図 5（C1）、図 5（C2）参照）。ここで、導電層 140 は、画素電極としての機能を有する。

【0164】

なお、導電層 140 は、その端部が、導電層 112 または導電層 132a と重なるように形成することが好ましい。このように導電層 140 を形成することで、画素の開口率を最大化すると共に不要な光漏れなどを抑制することが可能となる。これにより、コントラストが向上するという効果が得られる。つまり、表示装置の特性向上という課題を解決することができる。

【0165】

図中には示さないが、導電層 138 から形成される導電層を用いて、ソース配線、ソース電極、ゲート配線、ゲート電極、容量配線、容量電極、などを互いに接続させることができる。つまり、導電層 138 から形成される導電層を、各種配線として機能させることが可能である。

【0166】

以上により、透光性を有するトランジスタ 150 および透光性を有する保持容量 152 を備えた半導体装置を作製することができる（図 5（C1）、図 5（C2）参照）。

【0167】

このように、透光性を有する材料を用いてトランジスタ 150 および保持容量 152 を形成することにより、ソース電極やドレイン電極、ゲート電極などが形成された領域においても光を透過させることができるため、画素の開口率を向上させることができる。また、ソース配線やゲート配線、容量配線として機能する導電層を、低抵抗材料を用いて形成することにより、配線抵抗を低減し、消費電力を低減することができる。また、信号の波形

10

20

30

40

50

のなまりを低減し、配線抵抗に起因する電圧降下を抑制することができる。さらに、遮光性を有する材料を用いてソース配線やゲート配線などを形成することにより、ブラックマスク（ブラックマトリクス）を別途形成することなく、画素間を遮光することができる。つまり、ブラックマスクを別途形成する場合と比較して、工程を簡略化しつつ、高性能な半導体装置を提供することができる。

【0168】

また、透光性を有する材料を用いて容量電極を形成することにより、容量電極の面積を十分に大きくすることができる。つまり、保持容量の容量値を十分に大きくすることが可能である。これにより、画素電極の電位保持特性が向上し、表示品質が向上する。また、フィードスルー電位を小さくすることができる。また、クロストークを低減することができる。また、ちらつきを低減することができる。

10

【0169】

また、透光性を有する材料を用いてトランジスタ150を形成するため、トランジスタ150におけるチャネル長（L）やチャネル幅（W）の設計の自由度が極めて高い（レイアウトの自由度が高い）。これは、開口率がチャネル長やチャネル幅の影響を受けないためである。なお、駆動回路などの透光性が不要な対象に対して上記素子を用いる場合には、透光性を有しない材料を用いて形成しても良い。この場合、画素部に用いる素子と、それ以外の領域（例えば駆動回路）に用いる素子とを作り分けることができる。

【0170】

図37および図38に、半導体装置の別の構成例を示す。図37は、ソース配線として機能する導電層112が、ソース電極としての機能を備え、ゲート配線として機能する導電層132aが、ゲート電極としての機能を備えた一例である。ここで、導電層112および導電層132aは導電性の高い材料を用いて形成することができる。一方で、ドレイン電極として機能する導電層106bは、透光性を有する材料を用いて形成されることが好ましい。なお、容量配線として機能する導電層180は、導電性の高い材料を用いて形成しても良いし、透光性を有する材料を用いて形成しても良い。図38は、ゲート電極として機能する導電層126aが、保持容量の一方の電極としての機能を備えた一例である。すなわち、前段または後段のゲート配線として機能する導電層（導電層132aに対応）が容量配線としての機能を備えていることになる。ここで、導電層106aまたは導電層106bと同じ工程で形成される導電層182は、保持容量の他方の電極としての機能を備えている。導電層182は、画素部と重畳する領域に形成されるから、透光性を有する材料を用いて形成されることが好ましい。

20

30

【0171】

なお、トランジスタにおけるチャネル長（L）やチャネル幅（W）は、導電層132aなどの幅より大きいものとするのが可能である。これは、半導体層118aが光透過性を有する材料で形成されているため、開口率が半導体層118aの大きさに依存しないことによる。ただし、開示する発明の一態様がこれに限定して解釈されるものではない。トランジスタは並列または直列に複数配置しても良い。これにより、トランジスタ数を増加させることができる。

【0172】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

40

【0173】

（実施の形態2）

本実施の形態では、半導体装置の作製方法の他の一例について、図12乃至図16を用いて説明する。なお、本実施の形態に係る半導体装置の作製方法は、多くの部分で実施の形態1に係る作製方法と共通している。したがって、以下においては、重複する構成、重複する符号などの説明は省略する。

【0174】

図12に、本実施の形態に係る半導体装置の構成の一例を示す。図12に係る構成では、遮光性を有する導電層（例えば、導電層112、導電層132a、導電層132bなど）

50

の下層には、透光性を有する導電層（例えば、導電層 106a、導電層 126a、導電層 126b など）が存在している（図 12（A）、図 12（B）参照）。なお、図 12（A）は平面図であり、図 12（B）は図 12（A）の A - B における断面図である。

【0175】

次に、半導体装置の作製方法の一例について説明する。

【0176】

はじめに、絶縁面を有する基板 100 上に導電層 102 および導電層 108 を順に積層して形成する（図 13（A1）、図 13（A2）参照）。絶縁面を有する基板 100、導電層 102、導電層 108 の詳細については実施の形態 1 を参照することができる。

【0177】

図示しないが、絶縁面を有する基板 100 上には下地膜を設けるとよい。下地膜の詳細についても実施の形態 1 を参照することができる。なお、開示する発明の一態様は下地膜を設けることに限定されない。

【0178】

次に、導電層 108 上にレジストマスク 105a およびレジストマスク 105b を形成し、当該レジストマスク 105a およびレジストマスク 105b を用いて導電層 102 および導電層 108 を選択的にエッチングして、導電層 106a、導電層 106b、導電層 109a、導電層 109b を形成する（図 13（B1）、図 13（B2）参照）。

【0179】

本実施の形態に係る半導体装置の作製方法と、実施の形態 1 に係る半導体装置の作製方法との相違点の一は、導電層 102 および導電層 108 のエッチング工程にある。本実施の形態においては、エッチング工程において用いるレジストマスク 105a およびレジストマスク 105b を、多階調マスクを用いて形成している。

【0180】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクである。多階調マスクを用いることで、例えば、露光、半露光、未露光といった３段階の光量で露光を行うことができる。つまり、多階調マスクを用いることにより、一度の露光及び現像で、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの使用数を削減することができる。

【0181】

代表的な多階調マスクとしては、グレートーンマスクやハーフトーンマスクがある。グレートーンマスクは、透光性を有する基板上に遮光性を有する材料層により形成された遮光部と、該遮光性を有する材料層に設けられたスリット部で構成される。スリット部は露光に用いる光の解像度限界以下の間隔で設けられたスリット（ドットやメッシュなどを含む）を有することで、光の透過率を制御する機能を有する。なお、スリット部に設けられるスリットは周期的なものであってもよいし、非周期的なものであってもよい。ハーフトーンマスクは、透光性を有する基板上に遮光性を有する材料層により形成された遮光部と、所定の透光性を有する材料層により形成された半透過部で構成される。半透過部は、その材料層の材質や厚さに応じた光の透過率を有する。半透過部における透過率は、概ね 10% ~ 70% の範囲となっている。

【0182】

図 17 に、代表的な多階調マスクの断面を示す。図 17（A1）は、グレートーンマスク 400 を示しており、図 17（B1）は、ハーフトーンマスク 410 を示している。

【0183】

図 17（A1）に示すグレートーンマスク 400 は、透光性を有する基板 401 に遮光性を有する材料層により形成された遮光部 402、および遮光性を有する材料層のパターンにより形成されたスリット部 403 で構成されている。

【0184】

スリット部 403 は、露光に用いる光の解像度限界以下の間隔で設けられたスリットを有する。透光性を有する基板 401 としては、石英等を用いることができる。遮光部 402

10

20

30

40

50

およびスリット部 403 を構成する遮光層は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により形成される。図 17 (A1) に示すグレートーンマスク 400 に光を照射する場合には、図 17 (A2) に示される透過率が得られる。

【0185】

図 17 (B1) に示すハーフトーンマスク 410 は、透光性を有する基板 411 上に遮光性を有する材料層により形成された遮光部 412、および所定の透光性を有する材料層により形成された半透過部 413 で構成されている。

【0186】

半透過部 413 は、MoSiN、MoSi、MoSiO₂、MoSiON、CrSi 等の材料層を用いて形成することができる。遮光部 412 は、グレートーンマスクの遮光部と同様の材料を用いて形成すればよい。なお、図 17 (B1) において、遮光部 412 は、所定の透光性を有する材料層と、遮光性を有する材料層の積層構造で形成されている。図 17 (B1) に示すハーフトーンマスク 410 に光を照射する場合には、図 17 (B2) に示される透過率が得られる。

【0187】

上記のような多階調マスクを用いて、露光および現像を行うことで、膜厚の異なる領域を有するレジストマスク 105a を形成することができる。

【0188】

導電層 102 および導電層 108 のエッチングには、ウエットエッチング、ドライエッチングのいずれを用いても良い。ただし、この段階においては、導電層 102 および導電層 108 が共にエッチングされることが必要である。当該エッチングにより、トランジスタのソース電極として機能する導電層 106a と、トランジスタのドレイン電極および保持容量の電極として機能する導電層 106b の形状が確定する。

【0189】

次に、レジストマスク 105a を後退させてレジストマスク 111 を形成すると共に、レジストマスク 105b を除去し、レジストマスク 111 を用いて導電層 109a を選択的にエッチングして導電層 112 を形成し、あわせて導電層 109b を除去する (図 13 (C1)、図 13 (C2) 参照)。レジストマスク 105a を後退させる手段 (およびレジストマスク 105b を除去する手段) としては、例えば、酸素プラズマを用いたアッシング処理などがあるが、上記手段はこれに限定する必要はない。

【0190】

導電層 109a のエッチングおよび導電層 109b の除去には、ウエットエッチング、ドライエッチングのいずれを用いても良い。ただし、この段階においては、導電層 106a (導電層 106b) と、導電層 109a (導電層 109b) との選択比が取れる条件でエッチングを行う。つまり、当該エッチングによって導電層 106a および導電層 106b の形状が大きく変化しないことが重要になる。当該エッチングにより、トランジスタのソース配線として機能する導電層 112 の形状が確定する。ここで、導電層 112 は遮光性を有する材料を用いて形成されているため、遮光機能を有する。

【0191】

なお、上記エッチングの後にはレジストマスク 111 は除去する。上記の各種導電層は、後に形成される絶縁層などの被覆性を向上し、段切れを防止するために、その端部がテーパ形状となるように形成することが好ましい。このように、導電層をテーパ形状となるように形成することで、半導体装置の歩留まり向上という課題を解決することができる。ひいては、半導体装置の製造コスト抑制につながる。

【0192】

また、導電層 109a をエッチングして導電層 112 を形成する際に、後にコンタクトホールが形成される領域に導電層を形成しても良い (実施の形態 1 における図 7 (A)、図 7 (B) に対応)。このような構成を採用することで、コンタクトホールが形成される領域を遮光することができる。これにより、コンタクト領域における電極 (画素電極) の表面凹凸による表示不具合を低減できるため、コントラストが向上する。つまり、表示特性

10

20

30

40

50

の向上という課題を解決することができる。なお、当該構成は液晶表示装置において特に効果的であるが、他の半導体装置に適用しても良いことは言うまでもない。この場合、遮光が必要な領域に導電層を適宜形成すれば良い。

【0193】

次に、少なくとも導電層106aおよび導電層106bを覆うように半導体層114を形成する(図13(D1)、図13(D2)参照)。本実施の形態では、導電層106a、導電層106b、導電層112を覆うように、基板100上に半導体層114を形成する。半導体層114の詳細については実施の形態1を参照することができる。

【0194】

なお、半導体層114を形成する前に、半導体層114の被形成面(例えば、導電層106aおよび導電層106bの表面、下地膜を形成した場合には下地膜の表面を含む)にプラズマ処理を行ってもよい。プラズマ処理を行うことにより、被形成面に付着しているゴミなどを除去することができる。また、上述のプラズマ処理を行った後、大気に曝すことなく半導体層114を形成することにより、導電層106aおよび導電層106bと、半導体層114との電氣的接続を良好に行うことができる。つまり、半導体装置の歩留まり向上、信頼性向上といった課題を解決することが可能である。

【0195】

次に、半導体層114上にレジストマスク116aおよびレジストマスク116bを形成し、当該レジストマスク116aおよびレジストマスク116bを用いて半導体層114を選択的にエッチングして、半導体層118aおよび半導体層118bを形成する(図14(A1)、図14(A2)参照)。該工程の詳細についても実施の形態1を参照することができる。

【0196】

その後、200℃～600℃、代表的には300℃～500℃の熱処理を行うと良い。ここでは、窒素雰囲気下で350℃、1時間の熱処理を行う。この熱処理により半導体層118aおよび半導体層118bの半導体特性を向上させることができる。なお、上記熱処理のタイミングは、半導体層118aおよび半導体層118bの形成後であれば特に限定されない。

【0197】

次に、半導体層118aおよび半導体層118bを覆うように、ゲート絶縁層120を形成する(図14(B1)、図14(B2)参照)。ゲート絶縁層120の詳細については、実施の形態1を参照することができる。

【0198】

次に、ゲート絶縁層120上に、導電層122および導電層128を順に積層して形成する(図14(C1)、図14(C2)参照)。導電層122、導電層128の詳細については実施の形態1を参照することができる。

【0199】

図示しないが、絶縁面を有する基板100上には下地膜を設けるとよい。下地膜の詳細についても実施の形態1を参照することができる。

【0200】

次に、導電層128上にレジストマスク117aおよびレジストマスク117bを形成し、当該レジストマスク117aおよびレジストマスク117bを用いて導電層122および導電層128を選択的にエッチングして、導電層126a、導電層126b、導電層129a、導電層129bを形成する(図15(A1)、図15(A2)参照)。

【0201】

本実施の形態に係る半導体装置の作製方法と、実施の形態1に係る半導体装置の作製方法との相違点の一は、導電層122および導電層128のエッチング工程にある。本実施の形態においては、エッチング工程において用いるレジストマスク117aおよびレジストマスク117bを、多階調マスクを用いて形成している。多階調マスクその他の詳細については、レジストマスク105aおよびレジストマスク105bに係る記載を参照すれば

10

20

30

40

50

よい。

【0202】

多階調マスクを用いて露光および現像を行うことで、膜厚の異なる領域を有するレジストマスク117aを形成することができる。

【0203】

導電層122および導電層128のエッチングには、ウエットエッチング、ドライエッチングのいずれを用いても良い。ただし、この段階においては、導電層122および導電層128が共にエッチングされることが必要である。当該エッチングにより、トランジスタのゲート電極として機能する導電層126a、および保持容量の電極として機能する導電層126bの形状が確定する。

10

【0204】

次に、レジストマスク117aを後退させてレジストマスク131を形成すると共に、レジストマスク117bを除去し、レジストマスク131を用いて導電層129aを選択的にエッチングして導電層132aおよび導電層132bを形成し、あわせて導電層129bを除去する(図15(B1)、図15(B2)参照、導電層132bについては図12(A)参照)。レジストマスク117aを後退させる手段(およびレジストマスク117bを除去する手段)や、導電層129aのエッチング(導電層129bの除去)の詳細については、レジストマスク105aを後退させる手段(およびレジストマスク105bを除去する手段)や、導電層109aのエッチング(導電層109bの除去)の記載を参照することができる。なお、この段階においては、導電層126a(導電層126b)と、導電層129a(導電層129b)との選択比が取れる条件でエッチングを行う。つまり、当該エッチングによって導電層126aおよび導電層126bの形状が大きく変化しないことが重要になる。当該エッチングにより、トランジスタのゲート配線として機能する導電層132aおよび保持容量の配線として機能する導電層132bの形状が確定する。ここで、導電層132aは遮光性を有する材料を用いて形成されているため、遮光機能を有する。

20

【0205】

なお、上記エッチングの後にはレジストマスク131は除去する。上記の各種導電層は、後に形成される絶縁層などの被覆性を向上し、段切れを防止するために、その端部がテーパ形状となるように形成することが好ましい。このように、導電層をテーパ形状となるように形成することで、半導体装置の歩留まり向上という課題を解決することができる。

30

【0206】

なお、導電層106bと導電層126bとが重畳する領域の面積は適宜変更することができる。本実施の形態において示すように、導電層106bと導電層126bとは透光性を有する材料を用いて形成されているため、重畳する領域の面積を増大させて容量値を増加させる場合であっても、開口率を低下させずに済むという利点がある。つまり、容量値の増加という課題を、開口率の低下を伴わずに解決することができる。

【0207】

また、本実施の形態においては、ソース電極として機能する導電層106aおよびドレイン電極として機能する導電層106bと、ゲート電極として機能する導電層126aの一部が重畳するように導電層106a、導電層106b、導電層126aを形成しているが、半導体層118aの一部の導電性を高めることができる場合には、導電層106aまたは導電層106bと、導電層126aとを重畳させない構成としても良い(実施の形態1における図9(A)、図9(B)に対応)。詳細については実施の形態1を参照することができる。このように、導電層106aまたは導電層106bと、導電層126aとを重畳させない構成とすることにより、導電層106a(または導電層106b)と導電層126aとの重畳に起因する寄生容量を低減することができる。つまり、半導体装置の特性向上という課題を解決することができる。

40

【0208】

50

また、導電層 1 2 6 b 上に残存するように導電層 1 3 2 b を形成しても良い（実施の形態 1 における図 1 1（A）、図 1 1（B）に対応）。このように、導電層 1 3 2 b を形成することにより、容量配線の配線抵抗を低減することができる。なお、導電層 1 2 6 b 上における導電層 1 3 2 b の幅は、導電層 1 2 6 b と比較して十分に小さくすることが好ましい。このように導電層 1 3 2 b を形成することにより、容量配線の配線抵抗を低減するという課題を、実質的な開口率の低下なしに解決することができる。

【0209】

次に、ゲート絶縁層 1 2 0、導電層 1 2 6 a、導電層 1 2 6 b、導電層 1 3 2 a、導電層 1 3 2 b を覆うように絶縁層 1 3 4 を形成する（図 1 5（C1）、図 1 5（C2）参照）。絶縁層 1 3 4 の詳細については実施の形態 1 を参照することができる。

10

【0210】

なお、絶縁層 1 3 4 が無くとも大きな不都合が生じない場合には、絶縁層 1 3 4 を形成しない構成とすることができる。この場合、工程を簡略化することができるというメリットがある。

【0211】

その後、絶縁層 1 3 4 に導電層 1 0 6 b に達するコンタクトホール 1 3 6 を形成し、導電層 1 0 6 b の表面の一部を露出させる（図 1 6（A1）、図 1 6（A2）参照）。

【0212】

そして、絶縁層 1 3 4 を覆うように、導電層 1 3 8 を形成する（図 1 6（B1）、図 1 6（B2）参照）。絶縁層 1 3 4 にはコンタクトホールが形成されているため、導電層 1 0 6 b と導電層 1 3 8 とは電氣的に接続されることになる。導電層 1 3 8 の詳細については実施の形態 1 を参照することができる。

20

【0213】

次に、導電層 1 3 8 上にレジストマスクを形成し、当該レジストマスクを用いて導電層 1 3 8 を選択的にエッチングして、導電層 1 4 0 を形成する（図 1 6（C1）、図 1 6（C2）参照）。ここで、導電層 1 4 0 は、画素電極としての機能を有する。導電層 1 4 0 その他の詳細についても実施の形態 1 を参照することができる。

【0214】

以上により、透光性を有するトランジスタ 1 5 0 および透光性を有する保持容量 1 5 2 を備えた半導体装置を作製することができる（図 1 6（C1）、図 1 6（C2）参照）。

30

【0215】

なお、本実施の形態においては、多階調マスクを用いて各種配線や電極を形成しているが、開示する発明の一態様はこれに限定して解釈されない。導電層 1 0 6 a や導電層 1 1 2 の形成工程、または導電層 1 2 6 a や導電層 1 3 2 a の形成工程のいずれか一方のみを、多階調マスクを用いる方法で行っても良い。

【0216】

本実施の形態では、多階調マスクを用いてレジストマスクを形成し、エッチングを行っている。このため、フォトリソの使用数を抑え、工程数を減少させることができる。つまり、半導体装置の製造コストを抑制するという課題を解決することが可能である。

【0217】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

40

【0218】

（実施の形態 3）

本実施の形態では、半導体装置の他の例について、図 1 8 乃至図 2 1 を用いて説明する。なお、本実施の形態に係る半導体装置は、多くの部分で実施の形態 1 に係る半導体装置と共通している。したがって、以下においては、重複する構成、重複する符号などの説明は省略する。

【0219】

図 1 8 は、本実施の形態に係る半導体装置の構成の一例である。当該構成は、特に、エレクトロルミネッセンス表示装置（EL 表示装置）に用いるのに好適であるが、開示される

50

発明はこれに限定されない。なお、図 18 (A) は平面図であり、図 18 (B) は図 18 (A) の E - F における断面図である。

【0220】

図 18 (A) に示す半導体装置は、ソース配線として機能する導電層 112 と、導電層 112 と同様に形成された電源配線として機能する導電層 162 と、導電層 112 および導電層 162 と交差し、ゲート配線として機能する導電層 132a と、導電層 132a と導電層 112 の交差部付近のトランジスタ 150 と、導電層 162 と電氣的に接続されたトランジスタ 154 と、導電層 162 と電氣的に接続された保持容量 156 と、を有する画素部を備えている (図 18 (A)、図 18 (B) 参照)。なお、図 18 (A) において、導電層 112 および導電層 162 と、導電層 132a とは 90° の角度で交差しているが、開示する発明は当該構成に限定されない。

10

【0221】

トランジスタ 150 は、ソース電極として機能する導電層 106a と、ドレイン電極として機能する導電層 106b と、半導体層 118a と、ゲート絶縁層 120 と、ゲート電極として機能する導電層 126a と、で構成されるいわゆるトップゲート型のトランジスタである (図 18 (A)、図 18 (B) 参照)。同様に、トランジスタ 154 は、ソース電極として機能する導電層 106c と、ドレイン電極として機能する導電層 106d と、半導体層 118c と、ゲート絶縁層 120 と、ゲート電極として機能する導電層 126c と、で構成される。また、保持容量 156 は、導電層 106e と、ゲート絶縁層 120 と、導電層 126c と、で構成されている。なお、上記においても、ソース電極およびドレイン電極の称呼は便宜的なものに過ぎない。

20

【0222】

ここで、導電層 112 と導電層 106a は電氣的に接続されており、導電層 106b と導電層 126c とは、接続部 158 において、導電層 142 を介して電氣的に接続されている (図 18 (A)、図 18 (B) 参照)。また、導電層 162 と導電層 106c は電氣的に接続されており、導電層 106d と導電層 140 は電氣的に接続されており、導電層 162 と導電層 106e は電氣的に接続されている。なお、画素電極として機能する導電層 140 と導電層 142 とは同一の工程で作製することができる。また、導電層 106d と導電層 140 とを接続するためのコンタクトホール、導電層 106b と導電層 142 とを接続するためのコンタクトホール、導電層 126c と導電層 142 とを接続するためのコンタクトホールは、同一の工程で作製することができる。

30

【0223】

トランジスタ 150 を構成する導電層 106a、導電層 106b、半導体層 118a、導電層 126a、トランジスタ 154 を構成する導電層 106c、導電層 106d、半導体層 118c、導電層 126c、および保持容量 156 を構成する導電層 106e は、透光性を有する材料で形成されている。これにより、画素の開口率向上が実現されている。

【0224】

また、導電層 112、導電層 132a、および導電層 162 は、低抵抗材料で形成されている。このため、配線抵抗を低減し、消費電力を低減することができる。また、導電層 112、導電層 132a、および導電層 162 は、遮光性を有する材料で形成されている。このため、画素間を遮光することができる。

40

【0225】

なお、上記においては、一つの画素に二つのトランジスタを有する場合について説明しているが、開示される発明はこれに限定されない。一つの画素に三つ以上のトランジスタを設けることもできる。

【0226】

図 19 は、本実施の形態に係る半導体装置の構成の他の一例である。当該構成は、特に、エレクトロルミネッセンス表示装置 (EL 表示装置) に用いるのに好適であるが、開示される発明はこれに限定されない。なお、図 19 (A) は平面図であり、図 19 (B) は図 19 (A) の E - F における断面図である。

50

【0227】

図19に示される構成は、基本的には、図18に示される構成と同様である。図18に示される構成との相違点は接続部158にあり、図18では、導電層106bと導電層126cが導電層142を介して接続されているのに対して、図19では、導電層106bと導電層126cが直接接続されている（図19（A）、図19（B）参照）。この場合、導電層142が不要となるため、画素電極として機能する導電層140をより大きくすることが可能であり、図18に示される構成と比較して開口率を向上させることができる。なお、導電層106bと導電層126cとの電氣的接続を実現するためには、導電層126cの形成前に、ゲート絶縁層120に対してコンタクトホールを形成しておく必要がある。

10

【0228】

図20は、本実施の形態に係る半導体装置の構成の他の一例である。当該構成は、表示装置に用いるのに好適であるが、開示される発明はこれに限定されない。なお、図20（A）は平面図であり、図20（B）は図20（A）のA-Bにおける断面図である。

【0229】

図20に示される構成は、基本的には、図1に示される構成と同様である。図1に示される構成との相違点は、ソース電極として機能する導電層106aとドレイン電極として機能する導電層106bの形状にある。より具体的には、図20に示される構成において、チャンネル形成領域の形状がU字型となるように導電層106aと導電層106bが形成されている（図20（A）、図20（B）参照）。これにより、同じ面積のトランジスタを形成する場合でも、チャンネル幅（W）を大きくすることが可能である。なお、チャンネル形成領域の形状はU字型に限定されず、求められるチャンネル幅に応じて適宜その形状を変更することができる。

20

【0230】

図21は、本実施の形態に係る半導体装置の構成の他の一例である。当該構成は、表示装置に用いるのに好適であるが、開示される発明はこれに限定されない。なお、図21（A）は平面図であり、図21（B）は図21（A）のA-Bにおける断面図である。

【0231】

図21に示される構成は、図1に示される構成と類似している。図1に示される構成との相違点は、ゲート配線として機能する導電層132aがゲート電極としても機能する点にある（図21（A）、図21（B）参照）。つまり、図21においては、導電層126aに対応する導電層が存在しない。導電層132aは低抵抗材料を用いて形成することができるから、ゲート電極として導電層126a（透光性材料を用いた導電層）を用いる場合と比較して、半導体層118aに対する電界を一樣なものとすることができる。このため、トランジスタ150の素子特性を向上させることができる。

30

【0232】

なお、図21においては、導電層126aを設けない構成を採用しているが、開示される発明はこれに限定されない。導電層132aと電氣的に接続された導電層126aを設けても良い。また、図21においては導電層106aを形成しているが、導電層106aを設けずに、導電層106aの機能を導電層112に兼ねさせても良い。これは、ソース電極の機能を有する導電層が、ゲート配線として機能する導電層の下部に形成されることになるため、透光性を有する材料を用いてソース電極として機能する導電層を形成する必要性が低下することによる。この場合、少なくとも導電層106bと、導電層126bとを、透光性を有する材料によって形成すればよい。

40

【0233】

また、本実施の形態に係る構成を、多階調マスクを用いる場合に採用することができるのはいうまでもない。多階調マスクを用いる場合には、導電層126aが導電層132aの下部に形成される。

【0234】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

50

【 0 2 3 5 】

(実施の形態 4)

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを、画素部や周辺回路部（駆動回路など）に用いて表示機能を有する半導体装置（表示装置）を作製する場合について説明する。周辺回路部の一部または全部を、画素部と同じ基板上に一体形成することにより、システムオンパネルを形成することができる。

【 0 2 3 6 】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）や、発光素子（発光表示素子ともいう）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機 EL（E l e c t r o L u m i n e s c e n c e）、有機 EL 等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体を適用しても良い。

10

【 0 2 3 7 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。さらに、表示装置を構成する素子基板は、電流を表示素子に供給するための手段を各画素に備える。素子基板は、具体的には、表示素子の画素電極が形成された状態であっても良いし、画素電極となる導電層の成膜後、エッチング前の状態であっても良い。

【 0 2 3 8 】

以下、本実施の形態では、液晶表示装置の一例について示す。図 2 2 は、第 1 の基板 4 0 0 1 上に形成された薄膜トランジスタ 4 0 1 0、薄膜トランジスタ 4 0 1 1 および液晶素子 4 0 1 3 を、第 2 の基板 4 0 0 6 とシール材 4 0 0 5 によって封止した、パネルの平面図および断面図である。ここで、図 2 2（A 1）および図 2 2（A 2）は平面図を示し、図 2 2（B）は、図 2 2（A 1）および図 2 2（A 2）の M - N における断面図に相当する。

20

【 0 2 3 9 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 および走査線駆動回路 4 0 0 4 を囲むようにして、シール材 4 0 0 5 が設けられている。また、画素部 4 0 0 2 と走査線駆動回路 4 0 0 4 の上に、第 2 の基板 4 0 0 6 が設けられている。つまり、画素部 4 0 0 2 と走査線駆動回路 4 0 0 4 は、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、液晶層 4 0 0 8 と共に封止されている。また、第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれる領域とは異なる領域に、別途用意された基板上に単結晶半導体または多結晶半導体で形成された信号線駆動回路 4 0 0 3 が実装されている。

30

【 0 2 4 0 】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG 法、ワイヤボンディング法、TAB 法などを適宜用いることができる。図 2 2（A 1）は、COG 法により信号線駆動回路 4 0 0 3 を実装する例であり、図 2 2（A 2）は、TAB 法により信号線駆動回路 4 0 0 3 を実装する例である。

【 0 2 4 1 】

また、第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と走査線駆動回路 4 0 0 4 は、薄膜トランジスタを複数有しており、図 2 2（B）では、画素部 4 0 0 2 に含まれる薄膜トランジスタ 4 0 1 0 と、走査線駆動回路 4 0 0 4 に含まれる薄膜トランジスタ 4 0 1 1 を例示している。薄膜トランジスタ 4 0 1 0、薄膜トランジスタ 4 0 1 1 上には絶縁層 4 0 2 0 が設けられている。

40

【 0 2 4 2 】

薄膜トランジスタ 4 0 1 0、薄膜トランジスタ 4 0 1 1 には、先の実施の形態などに示すトランジスタを適用することができる。なお、本実施の形態において、薄膜トランジスタ 4 0 1 0、薄膜トランジスタ 4 0 1 1 は n チャネル型トランジスタとした。

【 0 2 4 3 】

また、液晶素子 4 0 1 3 が有する画素電極層 4 0 3 0 は、薄膜トランジスタ 4 0 1 0 と電

50

氣的に接続されている。そして、液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。上記の画素電極層4030と対向電極層4031、液晶層4008により、液晶素子4013が形成される。なお、画素電極層4030、対向電極層4031には、それぞれ配向膜として機能する絶縁層4032、絶縁層4033が設けられ、画素電極層4030および対向電極層4031は、これらを介して液晶層4008を挟持している。

【0244】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックなどを用いることができる。プラスチックとしては、FRP（Fiber glass - Reinforced Plastics）基板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルム、アクリル樹脂フィルムなどを用いることができる。また、アルミニウム箔をPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

10

【0245】

また、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために、柱状のスペーサ4035が設けられている。柱状のスペーサ4035は絶縁膜を選択的にエッチングすることで得られる。なお、柱状のスペーサに代えて球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。例えば、一对の基板間に配置される導電性粒子を介して、対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させると良い。

20

【0246】

また、配向膜が不要なブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、昇温によってコレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、5重量%以上のカイラル剤を混合させた液晶組成物を用いると良い。これにより、温度範囲を改善することができる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が $10\mu s \sim 100\mu s$ と短く、光学的等方性を有するため配向処理が不要であり、視野角依存性が小さい、といった特徴を有している。

【0247】

なお、本実施の形態では透過型液晶表示装置の一例を示しているが、これに限定されず、反射型液晶表示装置としても良いし、半透過型液晶表示装置としても良い。

30

【0248】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、および表示素子に用いる電極層を設ける例について示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、遮光膜として、ブラックマスク（ブラックマトリクス）を設けてもよい。

【0249】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、先の実施の形態で得られた薄膜トランジスタを絶縁層4020で覆う構成を採用しているが、開示される発明はこれに限定されない。

40

【0250】

絶縁層4020としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させて、絶縁層4020を形成してもよい。

【0251】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O

50

- S i 結合を含む樹脂に相当する。置換基としては、有機基（例えばアルキル基やアリアル基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0252】

絶縁層4020の形成方法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0253】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（ITOともいう）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0254】

また、画素電極層4030、対向電極層4031に、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いても良い。導電性組成物を用いて形成した画素電極は、シート抵抗が $1.0 \times 10^4 / \text{sq}$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は $0.1 \cdot \text{cm}$ 以下であることが好ましい。

【0255】

20

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0256】

信号線駆動回路4003、走査線駆動回路4004、画素部4002などに与えられる各種信号は、FPC4018から供給されている。

【0257】

また、接続端子電極4015は、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

30

【0258】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0259】

なお、図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装する例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0260】

図23は、半導体装置の一形態に相当する液晶表示モジュールに、TFT基板2600を用いる例を示している。

40

【0261】

図23では、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む素子層2603、配向膜や液晶を含む液晶層2604、着色層2605などが設けられることにより表示領域が形成されている。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合には、赤、緑、青の各色に対応した着色層が、各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。また、光源は冷陰極管2610と反射板2611により構成されている。回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、

50

これによって、コントロール回路や電源回路などの外部回路が液晶モジュールに組みこまれる。また、偏光板と液晶層との間には、位相差板を設けても良い。

【0262】

液晶の駆動方式としては、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0263】

以上の工程により、高性能な液晶表示装置を作製することができる。本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0264】

(実施の形態5)

本実施の形態では、図24を参照して半導体装置の一例であるアクティブマトリクス型の電子ペーパーについて説明する。半導体装置に用いられる薄膜トランジスタ650は、先の実施の形態で示す薄膜トランジスタと同様に作製することができる。

20

【0265】

図24に示す電子ペーパーは、ツイストボール表示方式を用いたものの一例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせることによって、球形粒子の向きを制御して、表示を行う方法である。

【0266】

基板600上に設けられた薄膜トランジスタ650は開示する発明の薄膜トランジスタであり、半導体層が、その上方のゲート電極層と、その下方のソース電極層またはドレイン電極層とによって挟まれた構造を有している。なお、ソース電極層またはドレイン電極層は、絶縁層に形成されたコンタクトホールを介して、第1の電極層660と電気的に接続している。基板602には第2の電極層670が設けられており、第1の電極層660と第2の電極層670との間には、黒色領域680a及び白色領域680bを有する球形粒子680が設けられている。また、球形粒子680の周囲は樹脂等の充填材682で満たされている(図24参照)。図24において、第1の電極層660が画素電極に相当し、第2の電極層670が共通電極に相当する。第2の電極層670は、薄膜トランジスタ650と同一基板上に設けられる共通電位線と電気的に接続される。

30

【0267】

ツイストボールの代わりに、電気泳動表示素子を用いることも可能である。その場合、例えば、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層によって電場が与えられると、白い微粒子と黒い微粒子が互いに逆方向に移動し、白または黒が表示される。電気泳動表示素子は液晶表示素子に比べて反射率が高いため、補助ライトが不要であり、また、明るさが十分ではない場所であっても表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるという利点を有している。

40

【0268】

以上のように、開示する発明を用いることで高性能な電子ペーパーを作製することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0269】

(実施の形態6)

50

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。

【０２７０】

有機ＥＬ素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより発光する。このようなメカニズムから、該発光素子は、電流励起型の発光素子と呼ばれる。

10

【０２７１】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。分散型無機ＥＬ素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機ＥＬ素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機ＥＬ素子を用いて説明する。

【０２７２】

発光素子の構成について、図２５を用いて説明する。ここでは、駆動用ＴＦＴがｎ型の場合を例に挙げて、画素の断面構造について説明する。図２５（Ａ）、図２５（Ｂ）、図２５（Ｃ）の半導体装置に用いられるＴＦＴ７０１、ＴＦＴ７１１、ＴＦＴ７２１は、先の実施の形態で示す薄膜トランジスタと同様に作製することができる。

20

【０２７３】

発光素子は、光を取り出すために、陽極または陰極の少なくとも一方が透明になっている。ここで、透明とは、少なくとも発光波長における透過率が十分に高いことを意味する。光の取り出し方式としては、基板上に薄膜トランジスタ及び発光素子を形成し、該基板とは反対側の面から光を取り出す上面射出方式（上面取り出し方式）や、基板側の面から光を取り出す下面射出方式（下面取り出し方式）、基板側およびその反対側の面から光を取り出す両面射出方式（両面取り出し方式）などがある。

30

【０２７４】

上面射出方式の発光素子について図２５（Ａ）を参照して説明する。

【０２７５】

図２５（Ａ）は、発光素子７０２から発せられる光が陽極７０５側に抜ける場合の、画素の断面図を示している。ここでは、駆動用ＴＦＴ７０１と電氣的に接続された透光性を有する導電層７０７上に、発光素子７０２が形成されており、陰極７０３上に発光層７０４、陽極７０５が順に積層されている。陰極７０３としては、仕事関数が小さく、光を反射する導電膜を用いることができる。例えば、Ca、Al、MgAg、AlLi等の材料を用いて陰極７０３を形成することが望ましい。発光層７０４は、単層で構成されていても、複数の層が積層されるように構成されていても良い。複数の層で構成されている場合、陰極７０３上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層すると良いが、もちろん、これらの層を全て設ける必要はない。陽極７０５は光を透過する導電性材料を用いて形成する。例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（ITOともいう）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いれば良い。

40

【０２７６】

陰極７０３及び陽極７０５で発光層７０４を挟んだ構造を、発光素子７０２と呼ぶことができる。図２５（Ａ）に示した画素の場合、発光素子７０２から発せられる光は、矢印で

50

示すように陽極 705 側に射出される。発光素子 702 の構造は、マイクロキャビティ構造としても良い。これにより、取り出し波長を選択することが可能となるため、色純度を向上させることができる。なお、この場合には、取り出し波長にあわせて発光素子 702 を構成する各層の厚みを設定することになる。また、所定の反射率を有する材料を用いて電極を形成すると良い。

【0277】

陽極 705 の上には、窒化シリコン、酸化シリコンなどを含む絶縁層を形成しても良い。これにより、発光素子の劣化を抑制することができる。

【0278】

次に、下面射出方式の発光素子について図 25 (B) を参照して説明する。

10

【0279】

図 25 (B) は、発光素子 712 から発せられる光が陰極 713 側に抜ける場合の、画素の断面図を示している。ここでは、駆動用 TFT 711 と電氣的に接続された透光性を有する導電層 717 上に、発光素子 712 の陰極 713 が形成されており、陰極 713 上に発光層 714、陽極 715 が順に積層されている。なお、陽極 715 が透光性を有する場合、該陽極 715 上を覆うように遮光膜 716 を設けても良い。陰極 713 は、図 25 (A) の場合と同様に、仕事関数が小さい導電性材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm 程度の膜厚を有するアルミニウム膜を、陰極 713 として用いることができる。発光層 714 は、図 25 (A) と同様に、単層で構成されていても、複数の層が積層されるように構成されていても良い。陽極 715 は、光を透過する必要はないが、図 25 (A) と同様に、透光性を有する導電性材料を用いて形成しても良い。遮光膜 716 には、光を反射する金属等を用いることができるが、これに限定されない。なお、遮光膜 716 に反射機能を有せしめることにより、光の取り出し効率を向上させることが可能である。

20

【0280】

陰極 713 及び陽極 715 で、発光層 714 を挟んだ構造を発光素子 712 と呼ぶことができる。図 25 (B) に示した画素の場合、発光素子 712 から発せられる光は、矢印で示すように陰極 713 側に射出される。発光素子 712 の構造は、マイクロキャビティ構造としても良い。また、陽極 715 の上には絶縁層を形成しても良い。

【0281】

30

次に、両面射出方式の発光素子について、図 25 (C) を参照して説明する。

【0282】

図 25 (C) は、駆動用 TFT 721 と電氣的に接続された透光性を有する導電層 727 上に、発光素子 722 の陰極 723 が形成されており、陰極 723 上に発光層 724、陽極 725 が順に積層されている。陰極 723 は、図 25 (A) の場合と同様に、仕事関数が小さい導電性材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 723 として用いることができる。発光層 724 は、図 25 (A) と同様に、単層で構成されていても、複数の層が積層されるように構成されていても良い。陽極 725 は、図 25 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。

40

【0283】

陰極 723 と、発光層 724 と、陽極 725 とが重なった構造を発光素子 722 と呼ぶことができる。図 25 (C) に示した画素の場合、発光素子 722 から発せられる光は、矢印で示すように陽極 725 側と陰極 723 側の両方に射出される。発光素子 722 の構造は、マイクロキャビティ構造としても良い。また、陽極 725 の上には絶縁層を形成しても良い。

【0284】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子設けることも可能である。また、ここでは、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 T

50

F Tと発光素子との間に電流制御用T F Tが接続されている構成であってもよい。

【0285】

なお、本実施の形態で示す半導体装置は、図25に示した構成に限定されるものではなく、各種の変形が可能である。

【0286】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図26を参照して説明する。図26は、第1の基板4501上に形成された薄膜トランジスタ4509、薄膜トランジスタ4510および発光素子4511を、第2の基板4506とシール材4505によって封止したパネルの平面図および断面図である。ここで、図26(A)は平面図を示し、図26(B)は、図26(A)のH-Iにおける断面図に相当する。

10

【0287】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bを囲むようにして、シール材4505が設けられている。また、画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bの上に第2の基板4506が設けられている。つまり、画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように、気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材などを用いてパッケージング（封入）することが好ましい。

20

【0288】

また、第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bは、薄膜トランジスタを複数有しており、図26(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509を例示している。

【0289】

薄膜トランジスタ4509、薄膜トランジスタ4510は、先の実施の形態において示したトランジスタを適用することができる。なお、本実施の形態において、薄膜トランジスタ4509、薄膜トランジスタ4510はnチャネル型トランジスタである。

30

【0290】

また、4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお、発光素子4511の構成は、第1の電極層4517、第2の電極層4512、電界発光層4513、第3の電極層4514の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、上記構成は適宜変更することができる。

【0291】

隔壁4520は、有機樹脂膜、無機絶縁膜、有機ポリシロキサンなどを用いて形成する。特に、感光性を有する材料を用いて第1の電極層4517上に開口部を形成し、その開口部の側壁が、連続した曲率を持つ傾斜面となるようにすることが好ましい。

40

【0292】

電界発光層4513は、単層で構成されていても、複数の層が積層されるように構成されていても良い。

【0293】

発光素子4511に酸素、水素、水、二酸化炭素等が侵入しないように、第3の電極層4514及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

50

【0294】

また、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504b、画素部4502などに与えられる各種信号は、FPC4518a、FPC4518bから供給されている。

【0295】

本実施の形態では、接続端子電極4515が、発光素子4511の第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509や薄膜トランジスタ4510のソース電極層及びドレイン電極層と同じ導電膜から形成される例について示している。

【0296】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0297】

発光素子4511からの光の取り出し方向に位置する基板は、透光性を有さなければならない。透光性を有する基板としては、ガラス板、プラスチック板、ポリエステルフィルム、アクリルフィルムなどがある。

【0298】

充填材4507としては、窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂や熱硬化樹脂などを用いることができる。例えば、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）、EVA（エチレンビニルアセテート）などを用いることができる。本実施の形態では、充填材として窒素を用いる例について示している。

【0299】

必要であれば、発光素子の射出面に偏光板、円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを設けてもよい。また、表面には反射防止処理を施しても良い。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0300】

信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bは、別途用意された基板上の単結晶半導体または多結晶半導体によって形成されていても良い。また、信号線駆動回路のみ、若しくはその一部、または走査線駆動回路のみ、若しくはその一部のみを別途形成して実装しても良く、本実施の形態は図26の構成に限定されない。

【0301】

以上の工程により、高性能な発光表示装置（表示パネル）を作製することができる。

【0302】

次に、デジタル時間階調駆動を適用可能な画素構成およびその動作について説明する。図39は、デジタル時間階調駆動を適用可能な画素構成の例を示す図である。ここでは、酸化物半導体層（In-Ga-Zn-O系非単結晶膜）をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0303】

図39（A）において、画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404および容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。

【0304】

10

20

30

40

50

なお、発光素子 6 4 0 4 の第 2 電極（共通電極 6 4 0 8 側）と第 1 電極（電源線 6 4 0 7 側）の電位の関係は、どちらが高電位となるように設定されても良い。発光表示装置では、高電位と低電位との電位差を発光素子 6 4 0 4 に印加し、それによって生じる電流で発光素子 6 4 0 4 を発光させるため、高電位と低電位との電位差が発光素子 6 4 0 4 のしきい値電圧以上となるように、それぞれの電位を設定すれば良い。

【 0 3 0 5 】

なお、容量素子 6 4 0 3 は駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 4 0 2 のゲート容量は、チャンネル領域とゲート電極との間で容量が形成されるものであってもよい。

【 0 3 0 6 】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 4 0 2 のゲートには、駆動用トランジスタ 6 4 0 2 がオン状態またはオフ状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。

【 0 3 0 7 】

また、入力信号を異ならせることで、図 3 9 (A) と同じ画素構成を用いてアナログ階調駆動が可能である。例えば、ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。ビデオ信号は駆動用トランジスタ 6 4 0 2 が飽和領域で動作するような信号とすることが好ましい。

【 0 3 0 8 】

また、電源線 6 4 0 7 の電位は、パルス状に変化するものであっても良い。この場合、図 3 9 (B) のような構成を採用すると好ましい。

【 0 3 0 9 】

また、図 3 9 (A) の構成において、ある画素の発光素子 6 4 0 4 の第 2 電極の電位は、他の画素の第 2 電極の電位と共通にすることが多いが（共通電極 6 4 0 8 の電位）、陰極を画素ごとにパターンニングして、各々駆動トランジスタと接続させる構成としても良い。

【 0 3 1 0 】

なお、開示する発明の一態様は、図 3 9 に示す画素構成に限定して解釈されない。例えば、図 3 9 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、論理回路などを追加してもよい。

【 0 3 1 1 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【 0 3 1 2 】

（実施の形態 7）

本実施の形態では、表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【 0 3 1 3 】

表示装置の一例であるアクティブマトリクス型表示装置のブロック図の一例を図 2 7 (A) に示す。図 2 7 (A) に示す表示装置は、基板 5 3 0 0 上に表示素子を備えた画素を複数有する画素部 5 3 0 1 と、各画素を選択する走査線駆動回路 5 3 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 3 0 3 とを有する。

【 0 3 1 4 】

表示装置の一例であるアクティブマトリクス型表示装置のブロック図の別の一例を図 2 7 (B) に示す。図 2 7 (B) に示す表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

【 0 3 1 5 】

図 2 7 (B) に示す表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素の輝度はトランジスタのオンとオフの切り替えによって制御される。この場合、例えば、面積階調法または時間階調法を用いて表示を行うことができる。面積階調法は、1画

10

20

30

40

50

素を複数の副画素に分割し、各副画素を独立に駆動させることによって、階調表示を行う駆動法である。また、時間階調法は、1フレーム期間を複数のサブフレーム期間に分割する等の方法により、トランジスタがオン状態となる期間（またはオフ状態となる期間）を制御することによって、階調表示を行う駆動法である。なお、発光素子は、液晶素子などに比べて応答速度が高いので、時間階調法に適している。

【0316】

図27(B)に示す表示装置は、一つの画素に二つのスイッチング用TFTを配置する場合であって、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成する例である。なお、開示する発明の一態様はこれに限定されず、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成する構成としても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によっては、スイッチング素子の動作を制御するために用いられる走査線の数が増加することもあるが、この場合においても、複数の走査線に入力される信号を全て1つの走査線駆動回路で生成しても良いし、複数の走査線駆動回路で生成しても良い。

10

【0317】

表示装置の画素部に配置する薄膜トランジスタは、先の実施の形態に従って形成することができる。また、駆動回路に用いる薄膜トランジスタの一部または全部を、画素部の薄膜トランジスタと同一基板上に形成することができる。

20

【0318】

なお、保護回路やゲートドライバ、ソースドライバなどの周辺駆動回路部分では、透光性を有するトランジスタを形成する必要がない。このため、画素部分では光を透過させて、周辺駆動回路部分では、光を透過させない構成としても良い。

【0319】

図28に、上記薄膜トランジスタを示す。図28(A)は、多階調マスクを用いずに形成した場合、図28(B)は、多階調マスクを用いて形成した場合である。図中、左側は駆動回路部のトランジスタを表しており、右側は画素部のトランジスタを表している。

【0320】

多階調マスクを用いずに上記駆動回路部の薄膜トランジスタを形成する場合は、ゲート配線として機能する導電層132aを形成する際に、ゲート電極として機能する導電層2800を形成し、ソース配線として機能する導電層112を形成する際に、ソース電極（またはドレイン電極）として機能する導電層2802a、導電層2802bを形成する（図28(A)、図1等参照）。この場合、画素部のトランジスタにおける、ゲート電極として機能する導電層126aや、ソース電極として機能する導電層106a、ドレイン電極として機能する導電層106bに対応する層を設ける必要はないが、開示する発明の一態様はこれに限定されない。なお、ソース配線とソース電極（ドレイン配線とドレイン電極）は一体に形成しても良い。本明細書中において、配線と電極の区別は便宜的なものにすぎないから、構造上可能な場合には、配線と電極を一体に形成しても良いし、分離して形成しても良い。

30

40

【0321】

多階調マスクを用いて上記の薄膜トランジスタを形成する場合には、配線または電極は、透光性を有する材料を用いて形成される導電層と、低抵抗材料を用いて形成される導電層との積層構造となる。例えば、ゲート電極は、透光性を有する材料を用いて形成される導電層2810と、低抵抗材料を用いて形成される導電層2812との積層構造となる（図28(B)参照）。また、ソース電極またはドレイン電極は、透光性を有する材料を用いて形成される導電層2814a（または導電層2814b）と、低抵抗材料を用いて形成される導電層2816a（または導電層2816b）との積層構造となる（図28(B)参照）。なお、低抵抗材料は遮光性を伴うことが多いため、形成される薄膜トランジスタは光を透過しない構成となるが、完全な遮光性（例えば、光の透過率が10%以下）を有

50

している必要はない。

【0322】

このように、周辺回路部分に光を透過させない構成の薄膜トランジスタを形成することにより、電極等に起因する抵抗を低減して薄膜トランジスタの特性を向上させることができる。これにより、画素部において開口率を向上させつつ、周辺回路の性能を向上させた半導体装置を提供することができる。つまり、半導体装置の特性向上という課題を解決することができる。

【0323】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0324】

(実施の形態8)

半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示する、あらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示部分などに適用することができる。電子機器の一例を図29、図30に示す。

【0325】

図29(A)は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0326】

また、図29(B)は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0327】

また、図30は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0328】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図30では表示部2705)に文章を表示し、左側の表示部(図30では表示部2707)に画像を表示することができる。

【0329】

また、図30では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0330】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、

10

20

30

40

50

電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0331】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0332】

(実施の形態9)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。なお、本実施の形態における液晶素子の動作モードとして、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0333】

図40(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素5080は、トランジスタ5081、液晶素子5082及び容量素子5083を有している。トランジスタ5081のゲートは配線5085と電氣的に接続される。トランジスタ5081の第1端子は配線5084と電氣的に接続される。トランジスタ5081の第2端子は液晶素子5082の第1端子と電氣的に接続される。液晶素子5082の第2端子は配線5087と電氣的に接続される。容量素子5083の第1端子は液晶素子5082の第1端子と電氣的に接続される。容量素子5083の第2端子は配線5086と電氣的に接続される。なお、トランジスタの第1端子とは、ソースまたはドレインのいずれか一方であり、トランジスタの第2端子とは、ソースまたはドレインの他方のことである。つまり、トランジスタの第1端子がソースである場合は、トランジスタの第2端子はドレインとなる。同様に、トランジスタの第1端子がドレインである場合は、トランジスタの第2端子はソースとなる。

【0334】

配線5084は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素5080に伝達するための配線である。配線5085は走査線として機能させることができる。走査線は、トランジスタ5081のオンオフを制御するための配線である。配線5086は容量線として機能させることができる。容量線は、容量素子5083の第2端子に所定の電圧を加えるための配線である。トランジスタ5081は、スイッチとして機能させることができる。容量素子5083は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子5082に加わり続けるようにするための容量素子である。配線5087は、対向電極として機能させることができる。対向電極は、液晶素子5082の第2端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定されず、様々な機能を有することが出来る。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。なお、トランジスタ5081はスイッチとして機能すればよいので、トランジスタ5081の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0335】

図40(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。図40(B)に示す画素構成例は、図40(A)に示す画素構成例と比較して、配線5087が省略され、かつ、液晶素子5082の第2端子と容量素子5083の第2端子とが電氣的に接続されている点が異なっている以外は、図40(A)に示す画素構成例と同様な構成であ

るとしている。図40(B)に示す画素構成例は、特に、液晶素子が横電界モード(I P Sモード、F F Sモードを含む)である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子5082の第2端子および容量素子5083の第2端子を同一な基板上に形成させることができるため、液晶素子5082の第2端子と容量素子5083の第2端子とを電氣的に接続させることが容易であるからである。図40(B)に示すような画素構成とすることで、配線5087を省略できるので、製造工程を簡略なものとすることができ、製造コストを低減できる。

【0336】

図40(A)または図40(B)に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図40(C)は、図40(A)に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図40(C)に示す回路構成は、表示部が有する複数の画素のうち、4つの画素を抜き出して示した図である。そして、 i 列 j 行(i, j は自然数)に位置する画素を、画素5080__ i, j と表記し、画素5080__ i, j には、配線5084__ i 、配線5085__ j 、配線5086__ j が、それぞれ電氣的に接続される。同様に、画素5080__ $i+1, j$ については、配線5084__ $i+1$ 、配線5085__ j 、配線5086__ j と電氣的に接続される。同様に、画素5080__ $i, j+1$ については、配線5084__ i 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。同様に、画素5080__ $i+1, j+1$ については、配線5084__ $i+1$ 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図40(C)に示す画素構成において配線5087は対向電極であり、対向電極は全ての画素において共通であることから、配線5087については自然数 i または j による表記は行なわないこととする。なお、図40(B)に示す画素構成を用いることも可能であるため、配線5087が記載されている構成であっても配線5087は必須ではなく、他の配線と共有されること等によって省略されることができる。

【0337】

図40(C)に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化(焼き付き)を抑制することができる。図40(D)は、交流駆動の1つである、ドット反転駆動が行なわれる場合の、図40(C)に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ(ちらつき)を抑制することができる。

【0338】

図40(C)に示す画素構成において、配線5085__ j と電氣的に接続されている画素におけるスイッチは、1フレーム期間中の第 j ゲート選択期間において選択状態(オン状態)となり、それ以外の期間では非選択状態(オフ状態)となる。そして、第 j ゲート選択期間の後に、第 $j+1$ ゲート選択期間が設けられる。このように順次走査が行なわれることで、1フレーム期間内に全ての画素が順番に選択状態となる。図40(D)に示すタイミングチャートでは、電圧が高い状態(ハイレベル)となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態(ローレベル)となることで非選択状態となる。なお、これは各画素におけるトランジスタがNチャネル型の場合であり、Pチャネル型のトランジスタが用いられる場合、電圧と選択状態の関係は、Nチャネル型の場合とは逆となる。

【0339】

図40(D)に示すタイミングチャートでは、第 k フレーム(k は自然数)における第 j ゲート選択期間において、信号線として用いる配線5084__ i に正の信号電圧が加えられ、配線5084__ $i+1$ に負の信号電圧が加えられる。そして、第 k フレームにおける第 $j+1$ ゲート選択期間において、配線5084__ i に負の信号電圧が加えられ、配線5084__ $i+1$ に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選

折期間ごとに極性が反転した信号が交互に加えられる。その結果、第 k フレームにおいては、画素 $5080_i, j$ には正の信号電圧、画素 $5080_i + 1, j$ には負の信号電圧、画素 $5080_i, j + 1$ には負の信号電圧、画素 $5080_i + 1, j + 1$ には正の信号電圧が、それぞれ加えられることとなる。そして、第 $k + 1$ フレームにおいては、それぞれの画素において、第 k フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第 $k + 1$ フレームにおいては、画素 $5080_i, j$ には負の信号電圧、画素 $5080_i + 1, j$ には正の信号電圧、画素 $5080_i, j + 1$ には正の信号電圧、画素 $5080_i + 1, j + 1$ には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては1フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線 5086_j 、配線 $5086_j + 1$ を含む全ての配線 5086 に加えられる電圧は、一定の電圧とされることができる。なお、配線 5084 のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは1ドット（1画素）毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、2ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、1列毎に極性を反転させること（ソースライン反転）もできるし、1行ごとに極性を反転させること（ゲートライン反転）もできる。

【0340】

なお、画素 5080 における容量素子 5083 の第2端子には、1フレーム期間において一定の電圧が加えられていれば良い。ここで、走査線として用いる配線 5085 に加えられる電圧は1フレーム期間の大半においてローレベルであり、ほぼ一定の電圧が加えられていることから、画素 5080 における容量素子 5083 の第2端子の接続先は、配線 5085 でも良い。図40(E)は、液晶表示装置に適用できる画素構成の一例を示す図である。図40(E)に示す画素構成は、図40(C)に示す画素構成と比較すると、配線 5086 が省略され、かつ、画素 5080 内の容量素子 5083 の第2端子と、一つ前の行における配線 5085 とが電氣的に接続されていることを特徴としている。具体的には、図40(E)に表記されている範囲においては、画素 $5080_i, j + 1$ および画素 $5080_i + 1, j + 1$ における容量素子 5083 の第2端子は、配線 5085_j と電氣的に接続される。このように、画素 5080 内の容量素子 5083 の第2端子と、一つ前の行における配線 5085 とを電氣的に接続させることで、配線 5086 を省略することができるので、画素の開口率を向上できる。なお、容量素子 5083 の第2端子の接続先は、一つ前の行における配線 5085 ではなく、他の行における配線 5085 でも良い。なお、図40(E)に示す画素構成の駆動方法は、図40(C)に示す画素構成の駆動方法と同様のものを用いることができる。

【0341】

なお、容量素子 5083 および容量素子 5083 の第2端子に電氣的に接続される配線を用いて、信号線として用いる配線 5084 に加える電圧を小さくすることができる。このときの画素構成および駆動方法について、図40(F)および図40(G)を用いて説明する。図40(F)に示す画素構成は、図40(A)に示す画素構成と比較して、配線 5086 を1画素列あたり2本とし、かつ、画素 5080 における容量素子 5083 の第2端子との電氣的な接続を、隣接する画素で交互に行なうことを特徴としている。なお、2本とした配線 5086 は、それぞれ配線 $5086 - 1$ および配線 $5086 - 2$ と呼ぶこととする。具体的には、図40(F)に表記されている範囲においては、画素 $5080_i, j$ における容量素子 5083 の第2端子は、配線 $5086 - 1_j$ と電氣的に接続され、画素 $5080_i + 1, j$ における容量素子 5083 の第2端子は、配線 $5086 - 2_j$ と電氣的に接続され、画素 $5080_i, j + 1$ における容量素子 5083 の第2端

子は、配線 5 0 8 6 - 2 $_j + 1$ と電氣的に接続され、画素 5 0 8 0 $_i + 1, j + 1$ における容量素子 5 0 8 3 の第 2 端子は、配線 5 0 8 6 - 1 $_j + 1$ と電氣的に接続される。

【 0 3 4 2 】

そして、例えば、図 4 0 (G) に示すように、第 k フレームにおいて画素 5 0 8 0 $_i, j$ に正の極性の信号電圧が書き込まれる場合、配線 5 0 8 6 - 1 $_j$ は、第 j ゲート選択期間においてはローレベルとさせ、第 j ゲート選択期間の終了後、ハイレベルに変化させる。そして、1 フレーム期間中はそのままハイレベルを維持し、第 k + 1 フレームにおける第 j ゲート選択期間に負の極性の信号電圧が書き込まれた後、ローレベルに変化させる。このように、正の極性の信号電圧が画素に書き込まれた後に、容量素子 5 0 8 3 の第 2 端子に電氣的に接続される配線の電圧を正の方向に変化させることで、液晶素子に加えられる電圧を正の方向に所定の量だけ変化させることができる。すなわち、その分画素に書き込む信号電圧を小さくすることができるため、信号書き込みにかかる消費電力を低減させることができる。なお、第 j ゲート選択期間に負の極性の信号電圧が書き込まれる場合は、負の極性の信号電圧が画素に書き込まれた後に、容量素子 5 0 8 3 の第 2 端子に電氣的に接続される配線の電圧を負の方向に変化させることで、液晶素子に加えられる電圧を負の方向に所定の量だけ変化させることができるので、正の極性の場合と同様に、画素に書き込む信号電圧を小さくすることができる。つまり、容量素子 5 0 8 3 の第 2 端子に電氣的に接続される配線は、同じフレームの同じ行において、正の極性の信号電圧が加えられる画素と、負の極性の信号電圧が加えられる画素とで、それぞれ異なる配線であることが好ましい。図 4 0 (F) は、第 k フレームにおいて正の極性の信号電圧が書き込まれる画素には配線 5 0 8 6 - 1 が電氣的に接続され、第 k フレームにおいて負の極性の信号電圧が書き込まれる画素には配線 5 0 8 6 - 2 が電氣的に接続される例である。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5 0 8 6 - 1 および配線 5 0 8 6 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線 5 0 8 6 は 1 行あたり 1 本でよい。つまり、図 4 0 (C) に示す画素構成においても、図 4 0 (F) および図 4 0 (G) を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【 0 3 4 3 】

次に、液晶素子が、MVA モードまたは PVA モード等に代表される、垂直配向 (VA) モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VA モードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう（視野角が狭い）という問題点も有する。VA モードの視野角を広くするには、図 4 1 (A) および図 4 1 (B) に示すように、1 画素に複数の副画素（サブピクセル）を有する画素構成とすることが有効である。図 4 1 (A) および図 4 1 (B) に示す画素構成は、画素 5 0 8 0 が 2 つの副画素（副画素 5 0 8 0 - 1, 副画素 5 0 8 0 - 2）を含む場合の一例を表すものである。なお、1 つの画素における副画素の数は 2 つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図 4 0 (A) に示す回路構成と同様であるとして説明する。なお、第 1 の副画素 5 0 8 0 - 1 は、トランジスタ 5 0 8 1 - 1、液晶素子 5 0 8 2 - 1、容量素子 5 0 8 3 - 1 を有するものとし、それぞれの接続関係は図 4 0 (A) に示す回路構成に準じることとする。同様に、第 2 の副画素 5 0 8 0 - 2 は、トランジスタ 5 0 8 1 - 2、液晶素子 5 0 8 2 - 2、容量素子 5 0 8 3 - 2 を有するものとし、それぞれの接続関係は図 4 0 (A) に示す回路構成に準じることとする。

【 0 3 4 4 】

図 4 1 (A) に示す画素構成は、1 画素を構成する 2 つの副画素に対し、走査線として用いる配線 5 0 8 5 を 2 本 (配線 5 0 8 5 - 1 , 配線 5 0 8 5 - 2) 有し、信号線として用いる配線 5 0 8 4 を 1 本有し、容量線として用いる配線 5 0 8 6 を 1 本有する構成を表すものである。このように、信号線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとするので製造コストが低減でき、かつ、液晶パネルと駆動回路 IC の接続点数を低減できるので、歩留まりを向上できる。図 4 1 (B) に示す画素構成は、1 画素を構成する 2 つの副画素に対し、走査線として用いる配線 5 0 8 5 を 1 本有し、信号線として用いる配線 5 0 8 4 を 2 本 (配線 5 0 8 4 - 1 , 配線 5 0 8 4 - 2) 有し、容量線として用いる配線 5 0 8 6 を 1 本有する構成を表すものである。このように、走査線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても 1 つあたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

【 0 3 4 5 】

図 4 1 (C) および図 4 1 (D) は、図 4 1 (B) に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表した例である。図 4 1 (C) および図 4 1 (D) において、電極 5 0 8 8 - 1 は第 1 の画素電極を表し、電極 5 0 8 8 - 2 は第 2 の画素電極を表すものとする。図 4 1 (C) において、第 1 画素電極 5 0 8 8 - 1 は、図 4 1 (B) における液晶素子 5 0 8 2 - 1 の第 1 端子に相当し、第 2 画素電極 5 0 8 8 - 2 は、図 4 1 (B) における液晶素子 5 0 8 2 - 2 の第 1 端子に相当する。すなわち、第 1 画素電極 5 0 8 8 - 1 は、トランジスタ 5 0 8 1 - 1 のソースまたはドレインの一方と電氣的に接続され、第 2 画素電極 5 0 8 8 - 2 は、トランジスタ 5 0 8 1 - 2 のソースまたはドレインの一方と電氣的に接続される。一方、図 4 1 (D) においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第 1 画素電極 5 0 8 8 - 1 は、トランジスタ 5 0 8 1 - 2 のソースまたはドレインの一方と電氣的に接続され、第 2 画素電極 5 0 8 8 - 2 は、トランジスタ 5 0 8 1 - 1 のソースまたはドレインの一方と電氣的に接続されるものとする。

【 0 3 4 6 】

図 4 1 (C) および図 4 1 (D) で示したような画素構成を、マトリクス状に交互に配置することで、特別な効果を得ることができる。このような画素構成およびその駆動方法の一例を、図 4 1 (E) および図 4 1 (F) に示す。図 4 1 (E) に示す画素構成は、画素 5 0 8 0 $_i, j$ および画素 5 0 8 0 $_i + 1, j + 1$ に相当する部分を図 4 1 (C) に示す構成とし、画素 5 0 8 0 $_i + 1, j$ および画素 5 0 8 0 $_i, j + 1$ に相当する部分を図 4 1 (D) に示す構成としたものである。この構成において、図 4 1 (F) に示すタイミングチャートのように駆動すると、第 k フレームの第 j ゲート選択期間において、画素 5 0 8 0 $_i, j$ の第 1 画素電極および画素 5 0 8 0 $_i + 1, j$ の第 2 画素電極に正の極性の信号電圧が書き込まれ、画素 5 0 8 0 $_i, j$ の第 2 画素電極および画素 5 0 8 0 $_i + 1, j$ の第 1 画素電極に負の極性の信号電圧が書き込まれる。さらに、第 k フレームの第 j + 1 ゲート選択期間において、画素 5 0 8 0 $_i, j + 1$ の第 2 画素電極および画素 5 0 8 0 $_i + 1, j + 1$ の第 1 画素電極に正の極性の信号電圧が書き込まれ、画素 5 0 8 0 $_i, j + 1$ の第 1 画素電極および画素 5 0 8 0 $_i + 1, j + 1$ の第 2 画素電極に負の極性の信号電圧が書き込まれる。第 k + 1 フレームにおいては、各画素において信号電圧の極性が反転される。こうすることによって、副画素を含む画素構成においてドット反転駆動に相当する駆動を実現しつつ、信号線に加えられる電圧の極性を 1 フレーム期間内で同一なものとするので、画素の信号電圧書込みにかかる消費電力を大幅に低減することができる。なお、配線 5 0 8 6 $_j$ 、配線 5 0 8 6 $_j + 1$ を含む全ての配線 5 0 8 6 に加えられる電圧は、一定の電圧とされることができる。

【 0 3 4 7 】

さらに、図 4 1 (G) および図 4 1 (H) に示す画素構成およびその駆動方法によって、画素に書き込まれる信号電圧の大きさを小さくすることができる。これは、それぞれの画

素が有する複数の副画素に電氣的に接続される容量線を、副画素毎に異ならせるものである。すなわち、図 4 1 (G) および図 4 1 (H) に示す画素構成およびその駆動方法によって、同一のフレーム内で同一の極性が書き込まれる副画素については、同一行内で容量線を共通とし、同一のフレーム内で異なる極性が書き込まれる副画素については、同一行内で容量線を異ならせる。そして、各行の書き込みが終了した時点で、それぞれの容量線の電圧を、正の極性の信号電圧が書き込まれた副画素では正の方向、負の極性の信号電圧が書き込まれた副画素では負の方向に変化させることで、画素に書き込まれる信号電圧の大きさを小さくすることができる。具体的には、容量線として用いる配線 5 0 8 6 を各行で 2 本 (配線 5 0 8 6 - 1 , 配線 5 0 8 6 - 2) とし、画素 5 0 8 0 __ i , j の第 1 画素電極と、配線 5 0 8 6 - 1 __ j とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i , j の第 2 画素電極と、配線 5 0 8 6 - 2 __ j とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i + 1 , j の第 1 画素電極と、配線 5 0 8 6 - 2 __ j とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i + 1 , j の第 2 画素電極と、配線 5 0 8 6 - 1 __ j とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i , j + 1 の第 1 画素電極と、配線 5 0 8 6 - 2 __ j + 1 とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i , j + 1 の第 2 画素電極と、配線 5 0 8 6 - 1 __ j + 1 とが、容量素子を介して電氣的に接続され、画素 5 0 8 0 __ i + 1 , j + 1 の第 1 画素電極と、配線 5 0 8 6 - 2 __ j + 1 とが、容量素子を介して電氣的に接続される。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5 0 8 6 - 1 および配線 5 0 8 6 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合 (ゲートライン反転) も考えられるが、その場合は、配線 5 0 8 6 は 1 行あたり 1 本でよい。つまり、図 4 1 (E) に示す画素構成においても、図 4 1 (G) および図 4 1 (H) を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【 0 3 4 8 】

(実施の形態 1 0)

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、信号書き込みに対する輝度の応答が遅い (応答時間が長い) 表示素子を用いた表示装置の場合について述べる。本実施の形態においては、応答時間が長い表示素子として液晶素子を例として説明するが、本実施の形態における表示素子はこれに限定されず、信号書き込みに対する輝度の応答が遅い様々な表示素子を用いることができる。

【 0 3 4 9 】

一般的な液晶表示装置の場合、信号書き込みに対する輝度の応答が遅く、液晶素子に信号電圧を加え続けた場合でも、応答が完了するまで 1 フレーム期間以上の時間がかかることがある。このような表示素子で動画を表示しても、動画を忠実に再現することはできない。さらに、アクティブマトリクス駆動の場合、一つの液晶素子に対する信号書き込みの時間は、通常、信号書き込み周期 (1 フレーム期間または 1 サブフレーム期間) を走査線数で割った時間 (1 走査線選択期間) に過ぎず、液晶素子はこのわずかな時間内に応答しきれないことが多い。したがって、液晶素子の応答の大半は、信号書き込みが行われない期間で行われることになる。ここで、液晶素子の誘電率は、当該液晶素子の透過率に従って変化するが、信号書き込みが行われない期間において液晶素子が応答するということは、液晶素子の外部と電荷のやり取りが行われない状態 (定電荷状態) で液晶素子の誘電率が変化することを意味する。つまり、(電荷) = (容量) ・ (電圧) の式において、電荷が一定の状態でも容量が変化することになるため、液晶素子に加わる電圧は、液晶素子の応答にしたがって、信号書き込み時の電圧から変化してしまうことになる。したがって、信号書き込みに対する輝度の応答が遅い液晶素子をアクティブマトリクスで駆動する場合、液晶素子に加わる電圧は、信号書き込み時の電圧に原理的に到達し得ない。

【0350】

本実施の形態における表示装置は、表示素子を信号書込み周期内に所望の輝度まで応答させるために、信号書込み時の信号レベルを予め補正されたもの（補正信号）とすることで、上記の問題点を解決することができる。さらに、液晶素子の応答時間は信号レベルが大きいほど短くなるので、補正信号を書き込むことによって、液晶素子の応答時間を短くすることもできる。このような補正信号を加える駆動方法は、オーバードライブとも呼ばれる。本実施の形態におけるオーバードライブは、信号書込み周期が、表示装置に入力される画像信号の周期（入力画像信号周期 T_{in} ）よりも短い場合であっても、信号書込み周期に合わせて信号レベルが補正されることで、信号書込み周期内に表示素子を所望の輝度まで応答させることができる。信号書込み周期が、入力画像信号周期 T_{in} よりも短い場合とは、例えば、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合が挙げられる。

10

【0351】

次に、アクティブマトリクス駆動の表示装置において信号書込み時の信号レベルを補正する方法の例について、図42(A)および(B)を参照して説明する。図42(A)は、横軸を時間、縦軸を信号書込み時の信号レベルとし、ある1つの表示素子における信号書込み時の信号レベルの時間変化を模式的に表したグラフである。図42(B)は、横軸を時間、縦軸を表示レベルとし、ある1つの表示素子における表示レベルの時間変化を模式的に表したグラフである。なお、表示素子が液晶素子の場合は、信号書込み時の信号レベルは電圧、表示レベルは液晶素子の透過率とすることができる。これ以降は、図42(A)の縦軸は電圧、図42(B)の縦軸は透過率であるとして説明する。なお、本実施の形態におけるオーバードライブは、信号レベルが電圧以外（デューティ比、電流等）である場合も含む。なお、本実施の形態におけるオーバードライブは、表示レベルが透過率以外（輝度、電流等）である場合も含む。なお、液晶素子には、電圧が0である時に黒表示となるノーマリーブラック型（例：VAモード、IPSモード等）と、電圧が0である時に白表示となるノーマリーホワイト型（例：TNモード、OCBモード等）があるが、図42(B)に示すグラフはどちらにも対応しており、ノーマリーブラック型の場合はグラフの上方へ行くほど透過率が大きいものとし、ノーマリーホワイト型の場合はグラフの下方へ行くほど透過率が大きいものとすればよい。すなわち、本実施の形態における液晶モードは、ノーマリーブラック型でも良いし、ノーマリーホワイト型でも良い。なお、時間軸には信号書込みタイミングが点線で示されており、信号書込みが行われてから次の信号書込みが行われるまでの期間を、保持期間 F_i と呼ぶこととする。本実施形態においては、 i は整数であり、それぞれの保持期間を表すインデックスであるとする。図42(A)および(B)においては、 i は0から2までとして示しているが、 i はこれ以外の整数も取り得る（0から2以外については図示しない）。なお、保持期間 F_i において、画像信号に対応する輝度を実現する透過率を T_i とし、定常状態において透過率 T_i を与える電圧を V_i とする。なお、図42(A)中の破線5101は、オーバードライブを行わない場合の液晶素子にかかる電圧の時間変化を表し、実線5102は、本実施の形態におけるオーバードライブを行う場合の液晶素子にかかる電圧の時間変化を表している。同様に、図42(B)中の破線5103は、オーバードライブを行わない場合の液晶素子の透過率の時間変化を表し、実線5104は、本実施の形態におけるオーバードライブを行う場合の液晶素子の透過率の時間変化を表している。なお、保持期間 F_i の末尾における、所望の透過率 T_i と実際の透過率との差を、誤差 ϵ_i と表記することとする。

20

30

40

【0352】

図42(A)に示すグラフにおいて、保持期間 F_0 においては破線5101と実線5102ともに所望の電圧 V_0 が加えられており、図42(B)に示すグラフにおいても、破線5103と実線5104ともに所望の透過率 T_0 が得られているものとする。そして、オーバードライブが行われない場合、破線5101に示すように、保持期間 F_1 の初頭において所望の電圧 V_1 が液晶素子に加えられるが、既に述べたように信号が書込まれる期間は保持期間に比べて極めて短く、保持期間のうちの大半の期間は定電荷状態となるため、

50

保持期間において液晶素子にかかる電圧は透過率の変化とともに変化していき、保持期間 F_1 の末尾においては所望の電圧 V_1 と大きく異なった電圧となってしまう。このとき、図 4 2 (B) に示すグラフにおける破線 5 1 0 3 も、所望の透過率 T_1 と大きく異なったものとなってしまう。そのため、画像信号に忠実な表示を行うことができず、画質が低下してしまう。一方、本実施の形態におけるオーバードライブが行われる場合、実線 5 1 0 2 に示すように、保持期間 F_1 の初頭において、所望の電圧 V_1 よりも大きな電圧 V_1' が液晶素子に加えられるようにする。つまり、保持期間 F_1 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_1 の末尾において液晶素子にかかる電圧が所望の電圧 V_1 近傍の電圧となるように、保持期間 F_1 の初頭において所望の電圧 V_1 から補正された電圧 V_1' を液晶素子に加えることで、正確に所望の電圧 V_1 を液晶素子にかけることが可能となる。このとき、図 4 2 (B) に示すグラフにおける実線 5 1 0 4 に示すように、保持期間 F_1 の末尾において所望の透過率 T_1 が得られる。すなわち、保持期間のうちの大半の期間において定電荷状態となるにも関わらず、信号書込み周期内での液晶素子の応答を実現できる。次に、保持期間 F_2 においては、所望の電圧 V_2 が V_1 よりも小さい場合を示しているが、この場合も保持期間 F_1 と同様に、保持期間 F_2 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_2 の末尾において液晶素子にかかる電圧が所望の電圧 V_2 近傍の電圧となるように、保持期間 F_2 の初頭において所望の電圧 V_2 から補正された電圧 V_2' を液晶素子に加えればよい。こうすることで、図 4 2 (B) に示すグラフにおける実線 5 1 0 4 に示すように、保持期間 F_2 の末尾において所望の透過率 T_2 が得られる。なお、保持期間 F_1 のように、 V_i が V_{i-1} と比べて大きくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも大きくなるように補正されることが好ましい。さらに、保持期間 F_2 のように、 V_i が V_{i-1} と比べて小さくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも小さくなるように補正されることが好ましい。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。

【 0 3 5 3 】

なお、本実施の形態におけるオーバードライブを、実際に装置として実現する場合には、様々な制約が存在する。例えば、電圧の補正は、ソースドライバの定格電圧の範囲内で行われなければならない。すなわち、所望の電圧が元々大きな値であって、理想的な補正電圧がソースドライバの定格電圧を超えてしまう場合は、補正しきれないこととなる。このような場合の問題点について、図 4 2 (C) および (D) を参照して説明する。図 4 2 (C) は、図 4 2 (A) と同じく、横軸を時間、縦軸を電圧とし、ある 1 つの液晶素子における電圧の時間変化を実線 5 1 0 5 として模式的に表したグラフである。図 4 2 (D) は、図 4 2 (B) と同じく、横軸を時間、縦軸を透過率とし、ある 1 つの液晶素子における透過率の時間変化を実線 5 1 0 6 として模式的に表したグラフである。なお、その他の表記方法については図 4 2 (A) および (B) と同様であるため、説明を省略する。図 4 2 (C) および (D) は、保持期間 F_1 における所望の透過率 T_1 を実現するための補正電圧 V_1' がソースドライバの定格電圧を超えてしまうため、 $V_1' = V_1$ とせざるを得なくなり、十分な補正ができない状態を表している。このとき、保持期間 F_1 の末尾における透過率は、所望の透過率 T_1 と誤差 ϵ_1 だけ、ずれた値となってしまう。ただし、誤差 ϵ_1 が大きくなるのは、所望の電圧が元々大きな値であるときに限られるため、誤差 ϵ_1 の発生による画質低下自体は許容範囲内である場合も多い。しかしながら、誤差 ϵ_1 が大きくなることによって、電圧補正のアルゴリズム内の誤差も大きくなってしまふ。つまり、電圧補正のアルゴリズムにおいて、保持期間の末尾に所望の透過率が得られていると仮定している場合、実際は誤差 ϵ_1 が大きくなっているのにも関わらず、誤差 ϵ_1 が小さいとして電圧の補正を行うため、次の保持期間 F_2 における補正に誤差が含まれることとなり、その結果、誤差 ϵ_2 までも大きくなってしまふ。さらに、誤差 ϵ_2 が大きくなれば、その次の誤差 ϵ_3 がさらに大きくなってしまふというように、誤差が連鎖的に大きくなっ

ていき、結果的に画質低下が著しいものになってしまう。本実施の形態におけるオーバードライブにおいては、このように誤差が連鎖的に大きくなってしまふことを抑制するため、保持期間 F_i において補正電圧 V_i' がソースドライバの定格電圧を超えると、保持期間 F_i の末尾における誤差 ϵ_i を推定し、当該誤差 ϵ_i の大きさを考慮して、保持期間 F_{i+1} における補正電圧を調整できる。こうすることで、誤差 ϵ_i が大きくなってしまっても、それが誤差 ϵ_{i+1} に与える影響を最小限にすることができるため、誤差が連鎖的に大きくなってしまふことを抑制できる。本実施の形態におけるオーバードライブにおいて、誤差 ϵ_2 を最小限にする例について、図 42 (E) および (F) を参照して説明する。図 42 (E) に示すグラフは、図 42 (C) に示すグラフの補正電圧 V_2' をさらに調整し、補正電圧 V_2'' とした場合の電圧の時間変化を、実線 5107 として表している。図 42 (F) に示すグラフは、図 42 (E) に示すグラフによって電圧の補正がなされた場合の透過率の時間変化を表している。図 42 (D) に示すグラフにおける実線 5106 では、補正電圧 V_2' によって過剰補正（誤差が大きい状況での補正をいう）が発生しているが、図 42 (F) に示すグラフにおける実線 5108 では、誤差 ϵ_1 を考慮して調整された補正電圧 V_2'' によって過剰補正を抑制し、誤差 ϵ_2 を最小限にしている。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。そして、これらの方法を、補正電圧 V_i' を計算する部分とは別に追加する、または補正電圧 V_i' を計算する部分に組み込むことができる。なお、誤差 ϵ_{i-1} を考慮して調整された補正電圧 V_i'' の補正量（所望の電圧 V_i との差）は、 V_i' の補正量よりも小さいものとするのが好ましい。つまり、 $|V_i'' - V_i| < |V_i' - V_i|$ とすることが好ましい。

【0354】

なお、理想的な補正電圧がソースドライバの定格電圧を超えてしまうことによる誤差 ϵ_i は、信号書込み周期が短いほど大きくなる。なぜならば、信号書込み周期が短いほど液晶素子の応答時間も短くする必要があり、その結果、より大きな補正電圧が必要となるためである。さらに、必要とされる補正電圧が大きくなった結果、補正電圧がソースドライバの定格電圧を超えてしまう頻度も大きくなるため、大きな誤差 ϵ_i が発生する頻度も大きくなる。したがって、本実施の形態におけるオーバードライブは、信号書込み周期が短い場合ほど有効であるといえる。具体的には、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合、複数の画像から画像に含まれる動きを検出して、当該複数の画像の中間状態の画像を生成し、当該複数の画像の間に挿入して駆動する（いわゆる動き補償倍速駆動）場合、またはこれらを組み合わせる場合、等の駆動方法が行われる場合に、本実施の形態におけるオーバードライブが用いられることは、格段の効果を奏することになる。

【0355】

なお、ソースドライバの定格電圧は、上述した上限の他に、下限も存在する。例えば、電圧 0 よりも小さい電圧が加えられない場合が挙げられる。このとき、上述した上限の場合の同様に、理想的な補正電圧が加えられないこととなるため、誤差 ϵ_i が大きくなってしまふ。しかしながら、この場合でも、上述した方法と同様に、保持期間 F_i の末尾における誤差 ϵ_i を推定し、当該誤差 ϵ_i の大きさを考慮して、保持期間 F_{i+1} における補正電圧を調整することができる。なお、ソースドライバの定格電圧として電圧 0 よりも小さい電圧（負の電圧）を加えることができる場合は、補正電圧として液晶素子に負の電圧を加えても良い。こうすることで、定電荷状態による電位の変動を見越して、保持期間 F_i の末尾において液晶素子にかかる電圧が所望の電圧 V_i 近傍の電圧となるように調整できる。

【0356】

なお、液晶素子の劣化を抑制するため、液晶素子に加える電圧の極性を定期的に反転させる、いわゆる反転駆動を、オーバードライブと組み合わせて実施することができる。すな

10

20

30

40

50

わち、本実施の形態におけるオーバードライブは、反転駆動と同時に行われる場合も含む。例えば、信号書込み周期が入力画像信号周期 T_{in} の $1/2$ である場合に、極性を反転させる周期と入力画像信号周期 T_{in} とが同程度であると、正極性の信号の書込みと負極性の信号の書込みが、2回毎に交互に行われることになる。このように、極性を反転させる周期を信号書込み周期よりも長くすることで、画素の充放電の頻度を低減できるので、消費電力を低減できる。ただし、極性を反転させる周期をあまり長くすると、極性の違いによる輝度差がフリッカとして認識される不具合が生じることがあるため、極性を反転させる周期は入力画像信号周期 T_{in} と同程度が短いことが好ましい。

【0357】

(実施の形態11)

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、表示装置の外部から入力される画像(入力画像)の動きを補間する画像を、複数の入力画像を基にして表示装置の内部で生成し、当該生成された画像(生成画像)と、入力画像とを順次表示させる方法について説明する。なお、生成画像を、入力画像の動きを補間するような画像とすることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。ここで、動画の補間について、以下に説明する。動画の表示は、理想的には、個々の画素の輝度をリアルタイムに制御することで実現されるものであるが、画素のリアルタイム個別制御は、制御回路の数が膨大なものとなる問題、配線スペースの問題、および入力画像のデータ量が膨大なものとなる問題等が存在し、実現が困難である。したがって、表示装置による動画の表示は、複数の静止画を一定の周期で順次表示することで、表示が動画に見えるようにして行なわれている。この周期(本実施の形態においては入力画像信号周期と呼び、 T_{in} と表す)は規格化されており、例として、NTSC規格では $1/60$ 秒、PAL規格では $1/50$ 秒である。この程度の周期でも、インパルス型表示装置であるCRTにおいては動画表示に問題は起こらなかった。しかし、ホールド型表示装置においては、これらの規格に準じた動画をそのまま表示すると、ホールド型であることに起因する残像等により表示が不鮮明となる不具合(ホールドぼけ: hold blur)が発生してしまう。ホールドぼけは、人間の目の追従による無意識的な動きの補間と、ホールド型の表示との不一致(discrepancy)で認識されるものである。従来、規格よりも入力画像信号周期を短くする(画素のリアルタイム個別制御に近づける)ことで低減させることができるが、入力画像信号周期を短くすることは規格の変更を伴い、さらに、データ量も増大することになるので、困難である。しかしながら、規格化された入力画像信号を基にして、入力画像の動きを補間するような画像を表示装置内部で生成し、当該生成画像によって入力画像を補間して表示することで、規格の変更またはデータ量の増大なしに、ホールドぼけを低減できる。このように、入力画像信号を基にして表示装置内部で画像信号を生成し、入力画像の動きを補間することを、動画の補間と呼ぶこととする。

【0358】

本実施の形態における動画の補間方法によって、動画ぼけを低減させることができる。本実施の形態における動画の補間方法は、画像生成方法と画像表示方法に分けることができる。そして、特定のパターンの動きについては別の画像生成方法および/または画像表示方法を用いることで、効果的に動画ぼけを低減させることができる。図43(A)および(B)は、本実施の形態における動画の補間方法の一例を説明するための模式図である。図43(A)および(B)において、横軸は時間であり、横方向の位置によって、それぞれの画像が扱われるタイミングを表している。「入力」と記された部分は、入力画像信号が入力されるタイミングを表している。ここでは、時間的に隣接する2つの画像として、画像5121および画像5122に着目している。入力画像は、周期 T_{in} の間隔で入力される。なお、周期 T_{in} 1つ分の長さを、1フレームもしくは1フレーム期間と記すことがある。「生成」と記された部分は、入力画像信号から新しく画像が生成されるタイミングを表している。ここでは、画像5121および画像5122を基にして生成される生成画像である、画像5123に着目している。「表示」と記された部分は、表示装置に画

10

20

30

40

50

像が表示されるタイミングを表している。なお、着目している画像以外の画像については破線で記しているのみであるが、着目している画像と同様に扱うことによって、本実施の形態における動画の補間方法の一例を実現できる。

【 0 3 5 9 】

本実施の形態における動画の補間方法の一例は、図 4 3 (A) に示されるように、時間的に隣接した 2 つの入力画像を基にして生成された生成画像を、当該 2 つの入力画像が表示されるタイミングの間隙に表示させることで、動画の補間を行うことができる。このとき、表示画像の表示周期は、入力画像の入力周期の $1/2$ とされることが好ましい。ただし、これに限定されず、様々な表示周期とすることができる。例えば、表示周期を入力周期の $1/2$ より短くすることで、動画をより滑らかに表示できる。または、表示周期を入力周期の $1/2$ より長くすることで、消費電力を低減できる。なお、ここでは、時間的に隣接した 2 つの入力画像を基にして画像を生成しているが、基にする入力画像は 2 つに限定されず、様々な数を用いることができる。例えば、時間的に隣接した 3 つ (3 つ以上でも良い) の入力画像を基にして画像を生成すれば、2 つの入力画像を基にする場合よりも、精度の良い生成画像を得ることができる。なお、画像 5 1 2 1 の表示タイミングを、画像 5 1 2 2 の入力タイミングと同時刻、すなわち入力タイミングに対する表示タイミングを 1 フレーム遅れとしているが、本実施の形態における動画の補間方法における表示タイミングはこれに限定されず、様々な表示タイミングを用いることができる。例えば、入力タイミングに対する表示タイミングを 1 フレーム以上遅らせることができる。こうすることで、生成画像である画像 5 1 2 3 の表示タイミングを遅くすることができるので、画像 5 1 2 3 の生成にかかる時間に余裕を持たせることができ、消費電力および製造コストの低減につながる。なお、入力タイミングに対する表示タイミングをあまりに遅くすると、入力画像を保持しておく期間が長くなり、保持にかかるメモリ容量が増大してしまうので、入力タイミングに対する表示タイミングは、1 フレーム遅れから 2 フレーム遅れ程度が好ましい。

【 0 3 6 0 】

ここで、画像 5 1 2 1 および画像 5 1 2 2 を基にして生成される画像 5 1 2 3 の、具体的な生成方法の一例について説明する。動画を補間するためには入力画像の動きを検出する必要があるが、本実施の形態においては、入力画像の動きの検出のために、ブロックマッチング法と呼ばれる方法を用いることができる。ただし、これに限定されず、様々な方法 (画像データの差分をとる方法、フーリエ変換を利用する方法等) を用いることができる。ブロックマッチング法においては、まず、入力画像 1 枚分の画像データ (ここでは画像 5 1 2 1 の画像データ) を、データ記憶手段 (半導体メモリ、RAM 等の記憶回路等) に記憶させる。そして、次のフレームにおける画像 (ここでは画像 5 1 2 2) を、複数の領域に分割する。なお、分割された領域は、図 4 3 (A) のように、同じ形状の矩形とすることができるが、これに限定されず、様々なもの (画像によって形状または大きさを変える等) とすることができる。その後、分割された領域毎に、データ記憶手段に記憶させた前のフレームの画像データ (ここでは画像 5 1 2 1 の画像データ) とデータの比較を行い、画像データが似ている領域を探索する。図 4 3 (A) の例においては、画像 5 1 2 2 における領域 5 1 2 4 とデータが似ている領域を画像 5 1 2 1 の中から探索し、領域 5 1 2 6 が探索されたものとしている。なお、画像 5 1 2 1 の中を探索するとき、探索範囲は限定されることが好ましい。図 4 3 (A) の例においては、探索範囲として、領域 5 1 2 4 の面積の 4 倍程度の大きさである、領域 5 1 2 5 を設定している。なお、探索範囲をこれより大きくすることで、動きの速い動画においても検出精度を高くすることができる。ただし、あまりに広く探索を行なうと探索時間が膨大なものとなってしまう、動きの検出の実現が困難となるため、領域 5 1 2 5 は、領域 5 1 2 4 の面積の 2 倍から 6 倍程度の大きさであることが好ましい。その後、探索された領域 5 1 2 6 と、画像 5 1 2 2 における領域 5 1 2 4 との位置の違いを、動きベクトル 5 1 2 7 として求める。動きベクトル 5 1 2 7 は領域 5 1 2 4 における画像データの 1 フレーム期間の動きを表すものである。そして、動きの中間状態を表す画像を生成するため、動きベクトルの向きはそのままで大きさを

変えた画像生成用ベクトル 5 1 2 8 を作り、画像 5 1 2 1 における領域 5 1 2 6 に含まれる画像データを、画像生成用ベクトル 5 1 2 8 に従って移動させることで、画像 5 1 2 3 における領域 5 1 2 9 内の画像データを形成させる。これらの一連の処理を、画像 5 1 2 2 における全ての領域について行なうことで、画像 5 1 2 3 が生成されることができる。そして、入力画像 5 1 2 1、生成画像 5 1 2 3、入力画像 5 1 2 2 を順次表示することで、動画を補間することができる。なお、画像中の物体 5 1 3 0 は、画像 5 1 2 1 および画像 5 1 2 2 において位置が異なっている（つまり動いている）が、生成された画像 5 1 2 3 は、画像 5 1 2 1 および画像 5 1 2 2 における物体の中間点となっている。このような画像を表示することで、動画の動きを滑らかにすることができ、残像等による動画の不鮮明さを改善できる。

10

【 0 3 6 1 】

なお、画像生成用ベクトル 5 1 2 8 の大きさは、画像 5 1 2 3 の表示タイミングに従って決められることができる。図 4 3 (A) の例においては、画像 5 1 2 3 の表示タイミングは画像 5 1 2 1 および画像 5 1 2 2 の表示タイミングの中間点 (1 / 2) としているため、画像生成用ベクトル 5 1 2 8 の大きさは動きベクトル 5 1 2 7 の 1 / 2 としているが、他にも、例えば、表示タイミングが 1 / 3 の時点であれば、大きさを 1 / 3 とし、表示タイミングが 2 / 3 の時点であれば、大きさを 2 / 3 とすることができる。

【 0 3 6 2 】

なお、このように、様々な動きベクトルを持った複数の領域をそれぞれ動かして新しい画像を作る場合は、移動先の領域内に他の領域が既に移動している部分（重複）や、どの領域からも移動されてこない部分（空白）が生じることもある。これらの部分については、データを補正することができる。重複部分の補正方法としては、例えば、重複データの平均をとる方法、動きベクトルの方向等で優先度をつけておき、優先度の高いデータを生成画像内のデータとする方法、色（または明るさ）はどちらかを優先させるが明るさ（または色）は平均をとる方法、等を用いることができる。空白部分の補正方法としては、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データをそのまま生成画像内のデータとする方法、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データの平均をとる方法、等を用いることができる。そして、生成された画像 5 1 2 3 を、画像生成用ベクトル 5 1 2 8 の大きさに従ったタイミングで表示させることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。

20

30

【 0 3 6 3 】

本実施の形態における動画の補間方法の他の例は、図 4 3 (B) に示されるように、時間的に隣接した 2 つの入力画像を基にして生成された生成画像を、当該 2 つの入力画像が表示されるタイミングの間隙に表示させる際に、それぞれの表示画像をさらに複数のサブ画像に分割して表示することで、動画の補間を行うことができる。この場合、画像表示周期が短くなることによる利点だけでなく、暗い画像が定期的に表示される（表示方法がインパルス型に近づく）ことによる利点も得ることができる。つまり、画像表示周期が画像入力周期に比べて 1 / 2 の長さにするだけの場合よりも、残像等による動画の不鮮明さをさらに改善できる。図 4 3 (B) の例においては、「入力」および「生成」については図 4 3 (A) の例と同様な処理を行なうことができるので、説明を省略する。図 4 3 (B) の例における「表示」は、1 つの入力画像または / および生成画像を複数のサブ画像に分割して表示を行うことができる。具体的には、図 4 3 (B) に示すように、画像 5 1 2 1 をサブ画像 5 1 2 1 a および 5 1 2 1 b に分割して順次表示することで、人間の目には画像 5 1 2 1 が表示されたように知覚させ、画像 5 1 2 3 をサブ画像 5 1 2 3 a および 5 1 2 3 b に分割して順次表示することで、人間の目には画像 5 1 2 3 が表示されたように知覚させ、画像 5 1 2 2 をサブ画像 5 1 2 2 a および 5 1 2 2 b に分割して順次表示することで、人間の目には画像 5 1 2 2 が表示されたように知覚させる。すなわち、人間の目に知覚される画像としては図 4 3 (A) の例と同様なものとしつつ、表示方法をインパルス型に近づけることができるので、残像等による動画の不鮮明さをさらに改善できる。なお、

40

50

サブ画像の分割数は、図 4 3 (B) においては 2 つとしているが、これに限定されず様々な分割数を用いることができる。なお、サブ画像が表示されるタイミングは、図 4 3 (B) においては等間隔 (1 / 2) としているが、これに限定されず様々な表示タイミングを用いることができる。例えば、暗いサブ画像 (5 1 2 1 b、5 1 2 2 b、5 1 2 3 b) の表示タイミングを早くする (具体的には、1 / 4 から 1 / 2 のタイミング) ことで、表示方法をよりインパルス型に近づけることができるため、残像等による動画の不鮮明さをさらに改善できる。または、暗いサブ画像の表示タイミングを遅くする (具体的には、1 / 2 から 3 / 4 のタイミング) ことで、明るい画像の表示期間を長くすることができるので、表示効率を高めることができ、消費電力を低減できる。

【 0 3 6 4 】

本実施の形態における動画の補間方法の他の例は、画像内で動いている物体の形状を検出し、動いている物体の形状によって異なる処理を行なう例である。図 4 3 (C) に示す例は、図 4 3 (B) の例と同様に表示のタイミングを表しているが、表示されている内容が、動く文字 (スクロールテキスト、字幕、テロップ等とも呼ばれる) である場合を示している。なお、「入力」および「生成」については、図 4 3 (B) と同様としても良いため、図示していない。ホールド駆動における動画の不鮮明さは、動いているものの性質によって程度異なることがある。特に、文字が動いている場合に顕著に認識されることが多い。なぜならば、動く文字を読む際にはどうしても視線を文字に追従させてしまうので、ホールドぼけが発生しやすくなるためである。さらに、文字は輪郭がはっきりしていることが多いため、ホールドぼけによる不鮮明さがさらに強調されてしまうこともある。すなわち、画像内を動く物体が文字かどうかを判別し、文字である場合はさらに特別な処理を行なうことは、ホールドぼけの低減のためには有効である。具体的には、画像内を動いている物体に対し、輪郭検出またはノイズおよびパターン検出等を行なって、当該物体が文字であると判断された場合は、同じ画像から分割されたサブ画像同士であっても動き補間を行い、動きの中間状態を表示するようにして、動きを滑らかにすることができる。当該物体が文字ではないと判断された場合は、図 4 3 (B) に示すように、同じ画像から分割されたサブ画像であれば動いている物体の位置は変えずに表示することができる。図 4 3 (C) の例では、文字であると判断された領域 5 1 3 1 が、上方向に動いている場合を示しているが、画像 5 1 2 1 a と画像 5 1 2 1 b とで、領域 5 1 3 1 の位置を異ならせている。画像 5 1 2 3 a と画像 5 1 2 3 b、画像 5 1 2 2 a と画像 5 1 2 2 b についても同様である。こうすることで、ホールドぼけが特に認識されやすい動く文字については、通常の動き補償倍速駆動よりもさらに動きを滑らかにすることができるので、残像等による動画の不鮮明さをさらに改善できる。

【 0 3 6 5 】

(実施の形態 1 2)

半導体装置は、さまざまな電子機器 (遊技機も含む) に適用することができる。電子機器としては、例えば、テレビジョン装置 (テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機 (携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【 0 3 6 6 】

図 3 1 (A) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

【 0 3 6 7 】

テレビジョン装置 9 6 0 0 の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機 9 6 1 0 により行うことができる。リモコン操作機 9 6 1 0 が備える操作キー 9 6 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 6 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機

９６１０から出力する情報を表示する表示部９６０７を設ける構成としてもよい。

【０３６８】

なお、テレビジョン装置９６００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０３６９】

図３１（Ｂ）は、デジタルフォトフレーム９７００の一例を示している。例えば、デジタルフォトフレーム９７００は、筐体９７０１に表示部９７０３が組み込まれている。表示部９７０３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

10

【０３７０】

なお、デジタルフォトフレーム９７００は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部９７０３に表示させることができる。

【０３７１】

また、デジタルフォトフレーム９７００は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

20

【０３７２】

図３２（Ａ）は携帯型遊技機であり、筐体９８８１と筐体９８９１の２つの筐体で構成されており、連結部９８９３により、開閉可能に連結されている。筐体９８８１には表示部９８８２が組み込まれ、筐体９８９１には表示部９８８３が組み込まれている。また、図３２（Ａ）に示す携帯型遊技機は、その他、スピーカ部９８８４、記録媒体挿入部９８８６、ＬＥＤランプ９８９０、入力手段（操作キー９８８５、接続端子９８８７、センサ９８８８（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にoinまたは赤外線を測定する機能を含むもの）、マイクロフォン９８８９）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図３２（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図３２（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【０３７３】

図３２（Ｂ）は大型遊技機であるスロットマシン９９００の一例を示している。スロットマシン９９００は、筐体９９０１に表示部９９０３が組み込まれている。また、スロットマシン９９００は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン９９００の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

40

【０３７４】

図３３（Ａ）は、携帯電話機１０００の一例を示している。携帯電話機１０００は、筐体１００１に組み込まれた表示部１００２の他、操作ボタン１００３、外部接続ポート１００４、スピーカ１００５、マイク１００６などを備えている。

【０３７５】

図３３（Ａ）に示す携帯電話機１０００は、表示部１００２を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表

50

示部 1 0 0 2 を指などで触れることにより行うことができる。

【 0 3 7 6 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【 0 3 7 7 】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

10

【 0 3 7 8 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 3 7 9 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、または筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

20

【 0 3 8 0 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 3 8 1 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【 0 3 8 2 】

図 3 3 (B) も携帯電話機の一例である。図 3 3 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に操作ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイク 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信または有線通信により画像または入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

30

40

【 0 3 8 3 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【 符号の説明 】

【 0 3 8 4 】

1 0 0	基板
1 0 2	導電層
1 0 4 a	レジストマスク
1 0 4 b	レジストマスク
1 0 5 a	レジストマスク
1 0 5 b	レジストマスク

50

1 0 6 a	導電層	
1 0 6 b	導電層	
1 0 6 c	導電層	
1 0 6 d	導電層	
1 0 6 e	導電層	
1 0 8	導電層	
1 0 9 a	導電層	
1 0 9 b	導電層	
1 1 0	レジストマスク	
1 1 1	レジストマスク	10
1 1 2	導電層	
1 1 3	導電層	
1 1 4	半導体層	
1 1 6 a	レジストマスク	
1 1 6 b	レジストマスク	
1 1 7 a	レジストマスク	
1 1 7 b	レジストマスク	
1 1 8	半導体層	
1 1 8 a	半導体層	
1 1 8 b	半導体層	20
1 1 8 c	半導体層	
1 2 0	絶縁層	
1 2 2	導電層	
1 2 4 a	レジストマスク	
1 2 4 b	レジストマスク	
1 2 6 a	導電層	
1 2 6 b	導電層	
1 2 6 c	導電層	
1 2 8	導電層	
1 2 9 a	導電層	30
1 2 9 b	導電層	
1 3 0	レジストマスク	
1 3 1	レジストマスク	
1 3 2 a	導電層	
1 3 2 b	導電層	
1 3 4	絶縁層	
1 3 4 a	絶縁層	
1 3 4 b	絶縁層	
1 3 6	コンタクトホール	
1 3 8	導電層	40
1 4 0	導電層	
1 4 2	導電層	
1 5 0	トランジスタ	
1 5 2	保持容量	
1 5 4	トランジスタ	
1 5 6	保持容量	
1 5 8	接続部	
1 6 0	領域	
1 6 2	導電層	
1 7 0	レジストマスク	50

1 8 0	導電層	
1 8 2	導電層	
1 9 0	水素	
4 0 0	グレートーンマスク	
4 0 1	基板	
4 0 2	遮光部	
4 0 3	スリット部	
4 1 0	ハーフトーンマスク	
4 1 1	基板	
4 1 2	遮光部	10
4 1 3	半透過部	
6 0 0	基板	
6 0 2	基板	
6 5 0	薄膜トランジスタ	
6 6 0	電極層	
6 7 0	電極層	
6 8 0	球形粒子	
6 8 0 a	黒色領域	
6 8 0 b	白色領域	
6 8 2	充填材	20
7 0 1	T F T	
7 0 2	発光素子	
7 0 3	陰極	
7 0 4	発光層	
7 0 5	陽極	
7 0 7	導電層	
7 1 1	T F T	
7 1 2	発光素子	
7 1 3	陰極	
7 1 4	発光層	30
7 1 5	陽極	
7 1 6	遮光膜	
7 1 7	導電層	
7 2 1	T F T	
7 2 2	発光素子	
7 2 3	陰極	
7 2 4	発光層	
7 2 5	陽極	
7 2 7	導電層	
1 0 0 0	携帯電話機	40
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	素子層	50

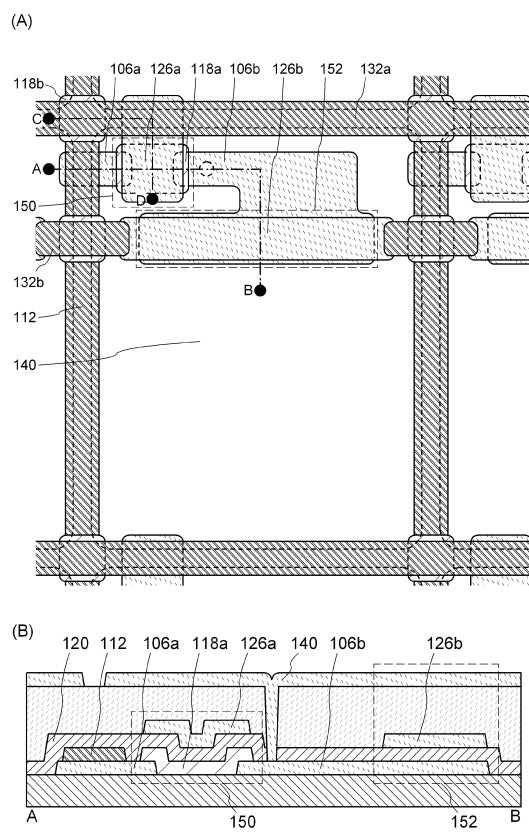
2 6 0 4	液晶層	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	10
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	20
2 7 2 5	スピーカ	
2 8 0 0	導電層	
2 8 0 2 a	導電層	
2 8 0 2 b	導電層	
2 8 1 0	導電層	
2 8 1 2	導電層	
2 8 1 4 a	導電層	
2 8 1 4 b	導電層	
2 8 1 6 a	導電層	
2 8 1 6 b	導電層	30
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	40
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	50

4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	10
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電極	
4 5 1 3	電界発光層	
4 5 1 4	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	20
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 0 8 0	画素	
5 0 8 1	トランジスタ	
5 0 8 2	液晶素子	
5 0 8 3	容量素子	
5 0 8 4	配線	
5 0 8 5	配線	
5 0 8 6	配線	
5 0 8 7	配線	30
5 0 8 8	電極	
5 1 0 1	破線	
5 1 0 2	実線	
5 1 0 3	破線	
5 1 0 4	実線	
5 1 0 5	実線	
5 1 0 6	実線	
5 1 0 7	実線	
5 1 0 8	実線	
5 1 2 1	画像	40
5 1 2 1 a	画像	
5 1 2 1 b	画像	
5 1 2 2	画像	
5 1 2 2 a	画像	
5 1 2 2 b	画像	
5 1 2 3	画像	
5 1 2 3 a	画像	
5 1 2 3 b	画像	
5 1 2 4	領域	
5 1 2 5	領域	50

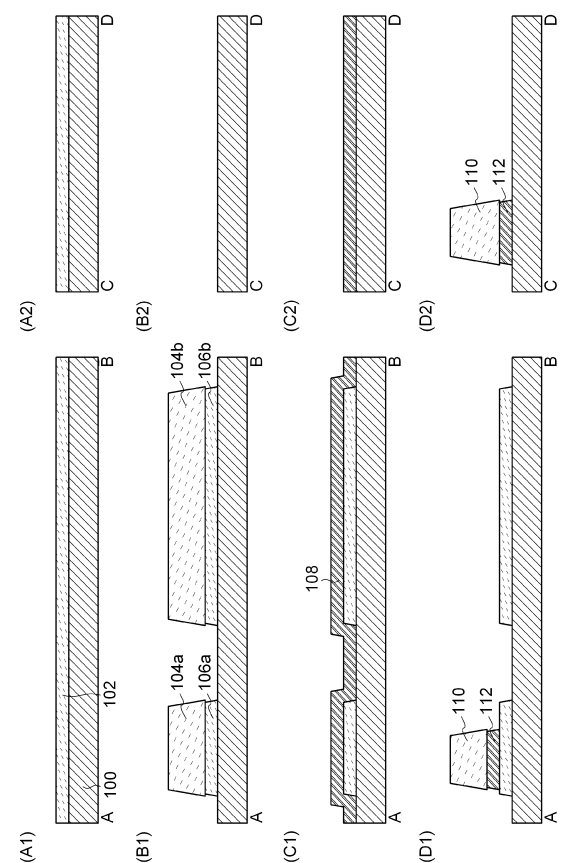
5 1 2 6	領域	
5 1 2 7	ベクトル	
5 1 2 8	画像生成用ベクトル	
5 1 2 9	領域	
5 1 3 0	物体	
5 1 3 1	領域	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	10
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	20
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	30
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	40
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	50

9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E Dランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

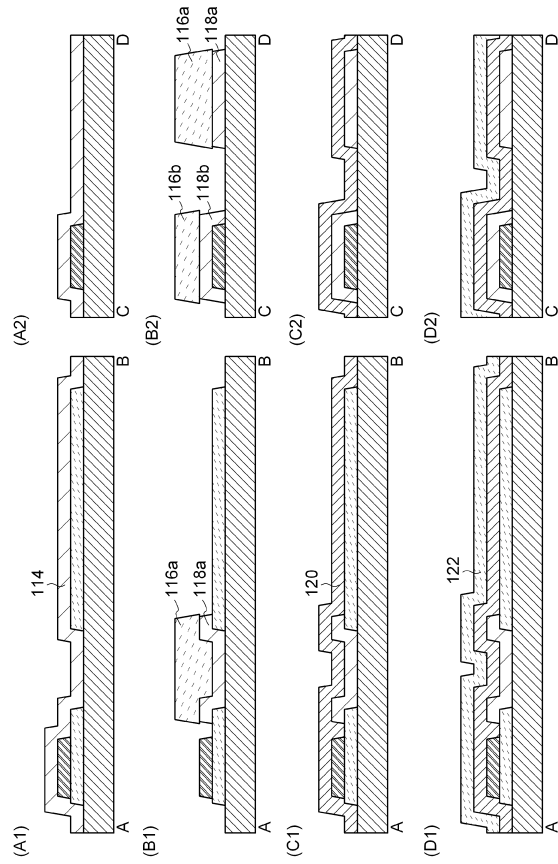
【図 1】



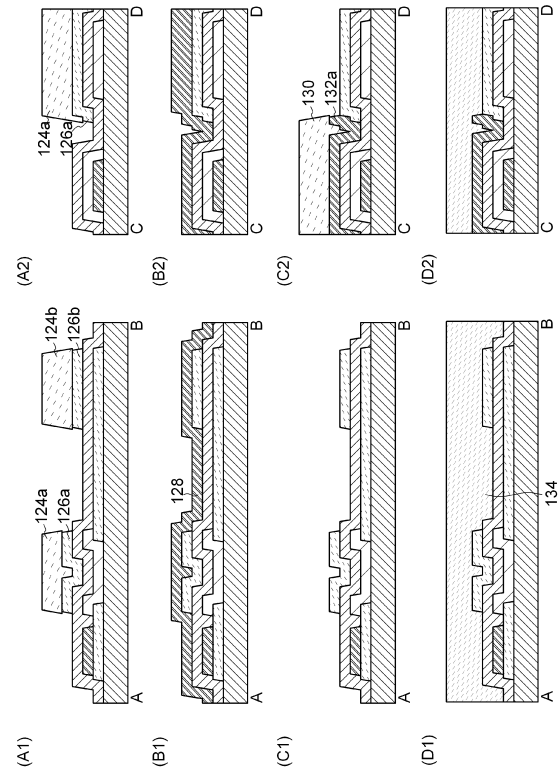
【図 2】



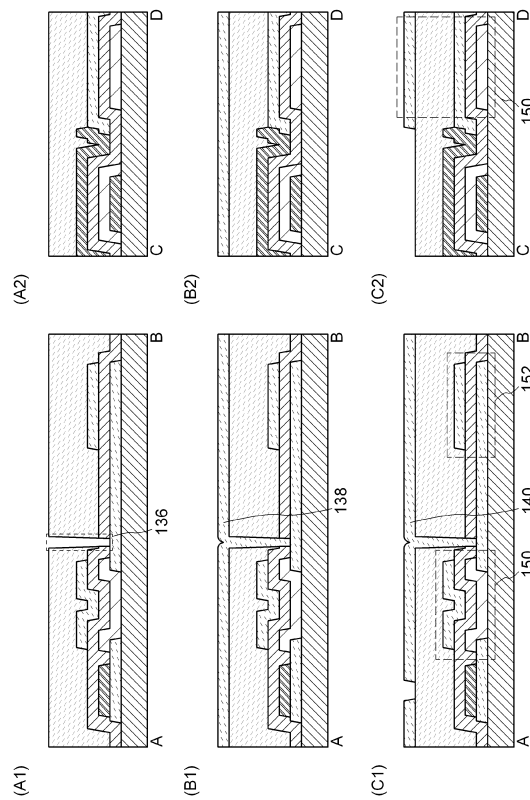
【図 3】



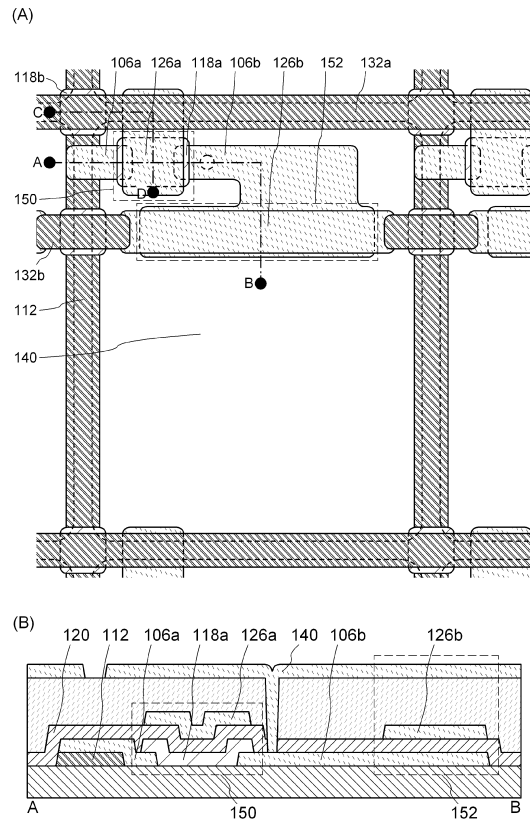
【図 4】



【図 5】

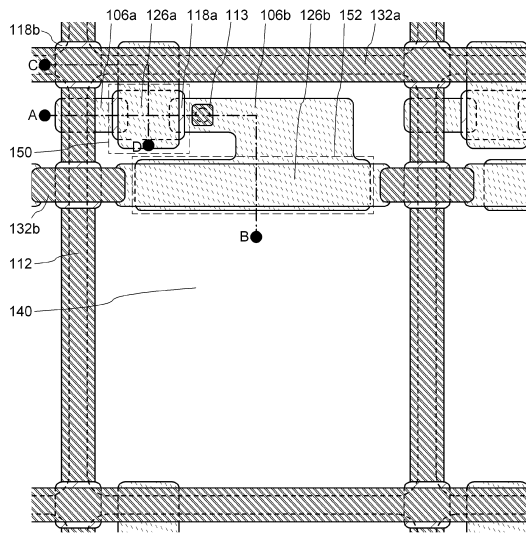


【図 6】

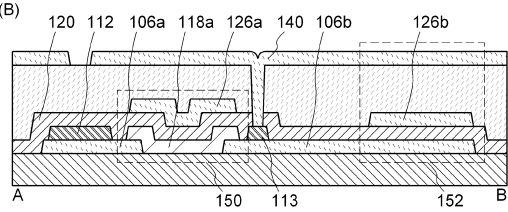


【図 7】

(A)

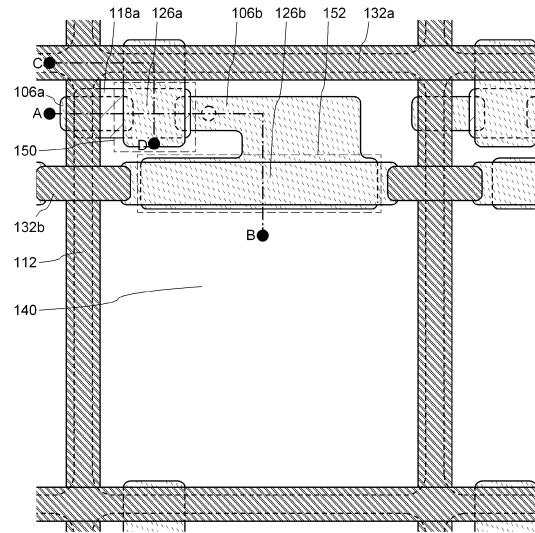


(B)

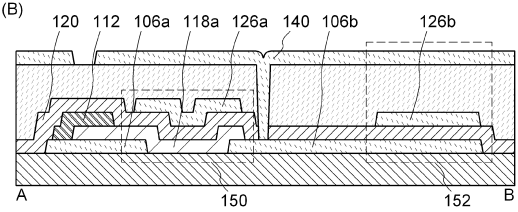


【図 8】

(A)

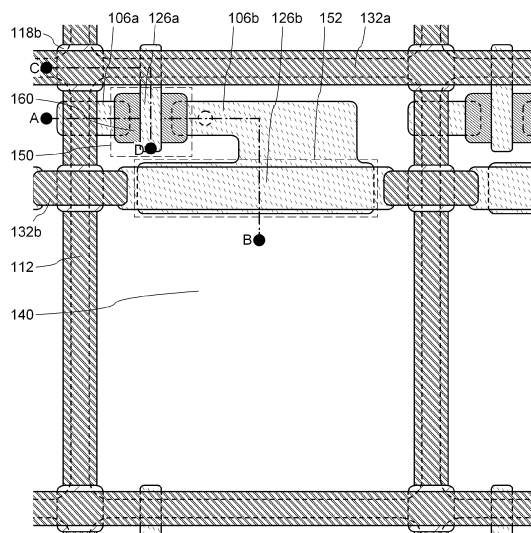


(B)

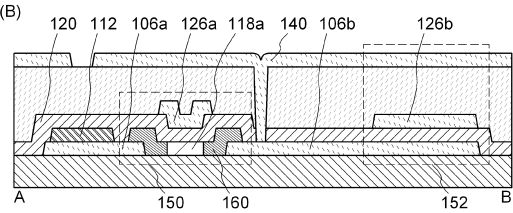


【図 9】

(A)

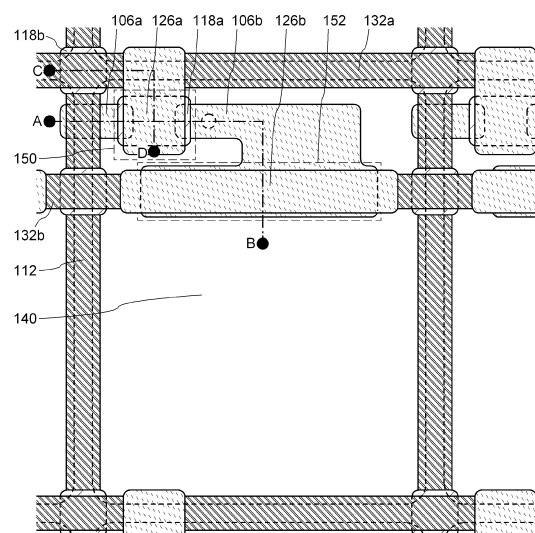


(B)

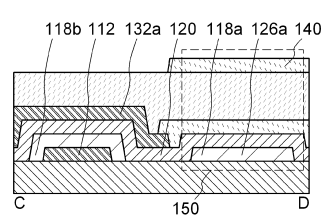


【図 10】

(A)

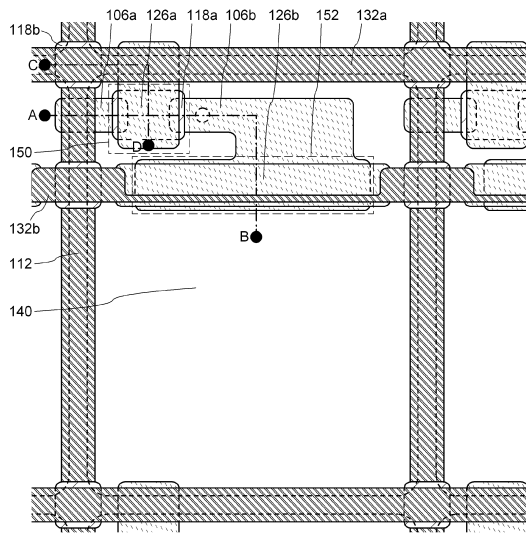


(B)

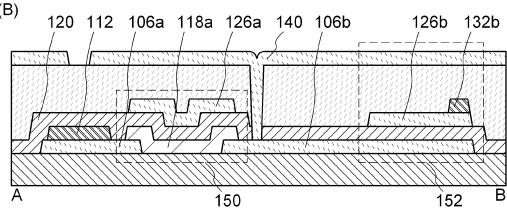


【図 1 1】

(A)

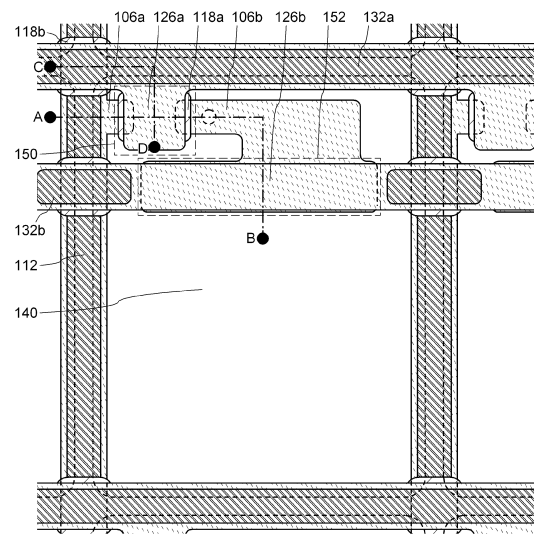


(B)

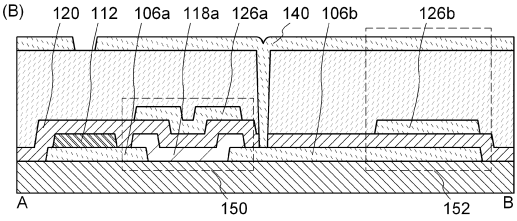


【図 1 2】

(A)

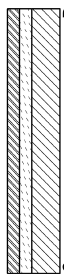


(B)

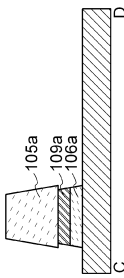


【図 1 3】

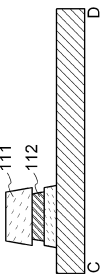
(A2)



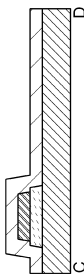
(B2)



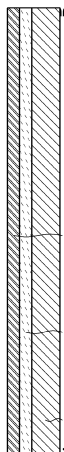
(C2)



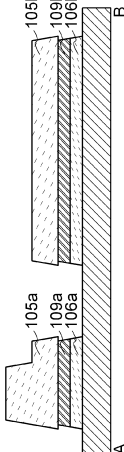
(D2)



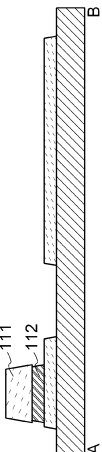
(A1)



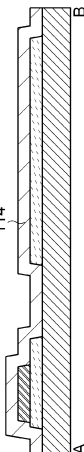
(B1)



(C1)

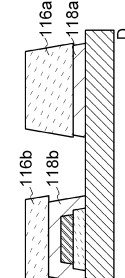


(D1)

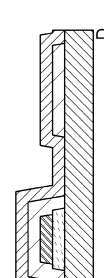


【図 1 4】

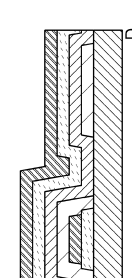
(A2)



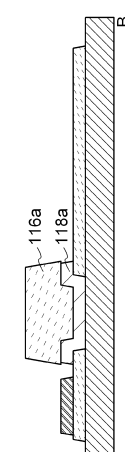
(B2)



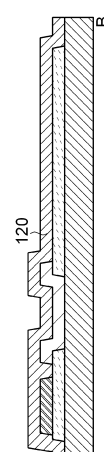
(C2)



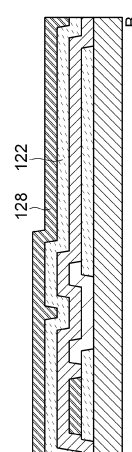
(A1)



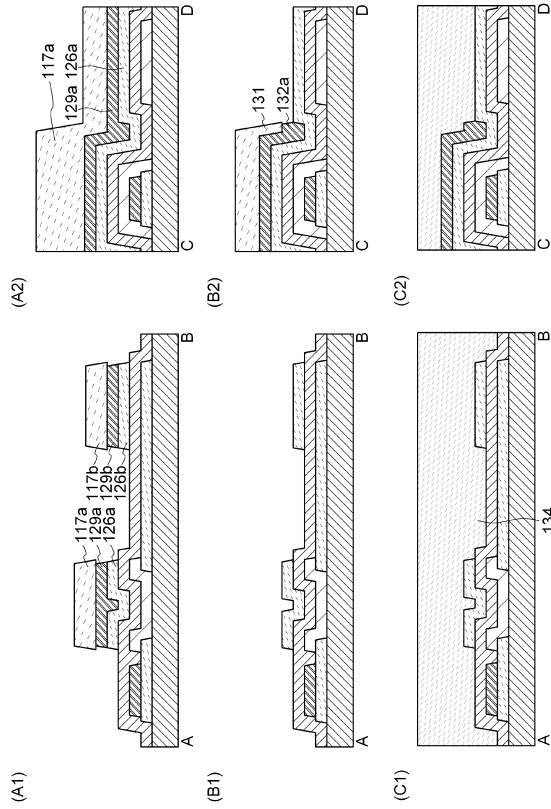
(B1)



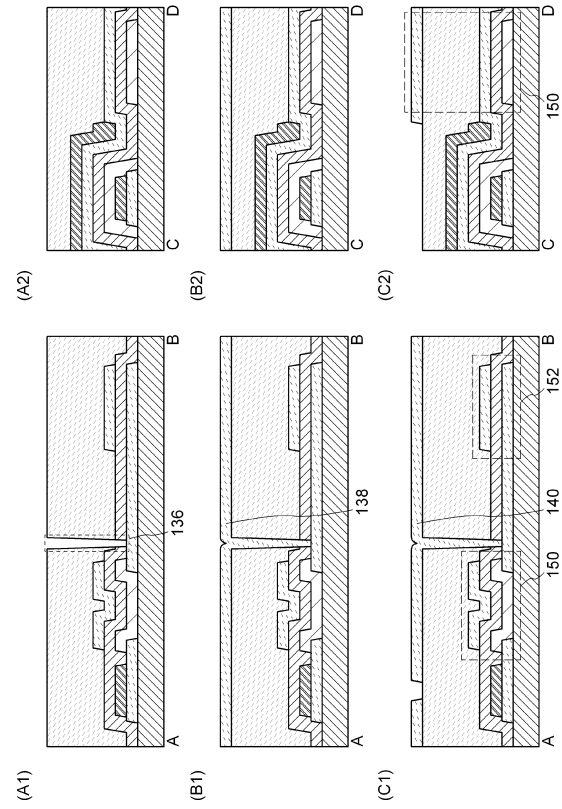
(C1)



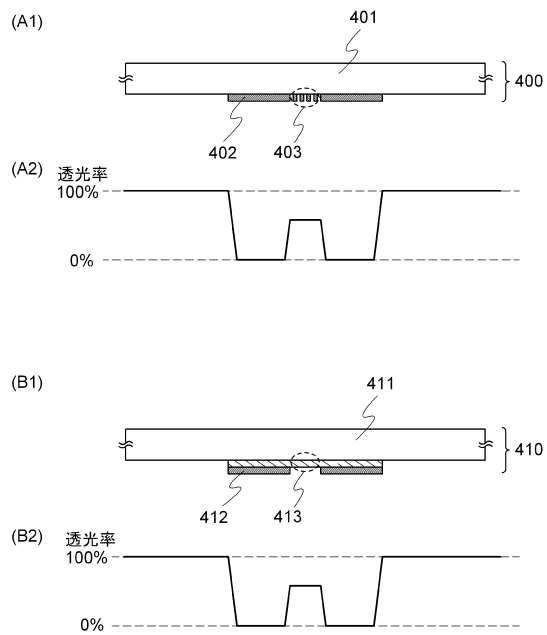
【図 15】



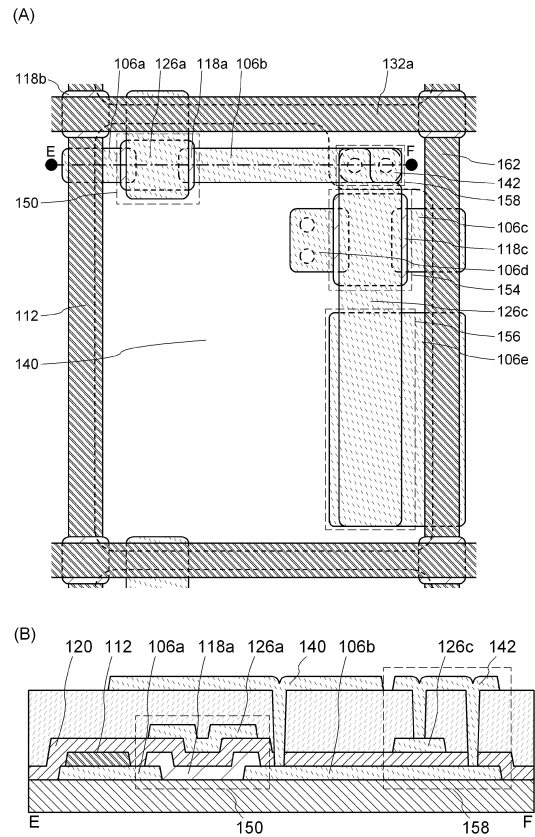
【図 16】



【図 17】

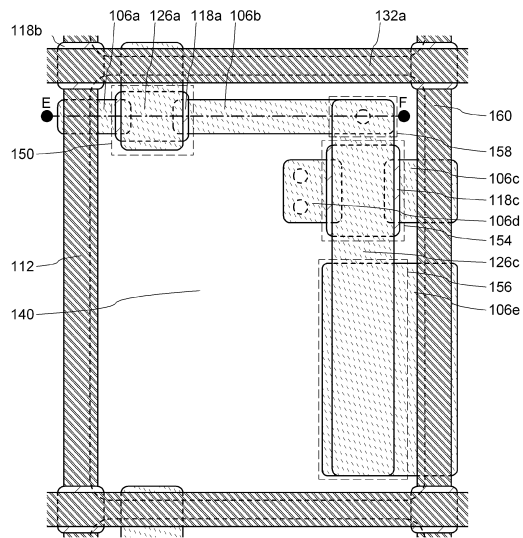


【図 18】

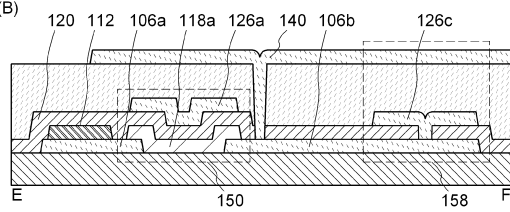


【図 19】

(A)

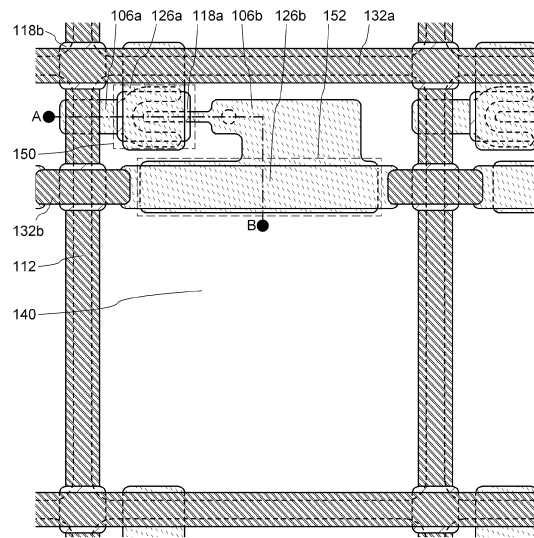


(B)

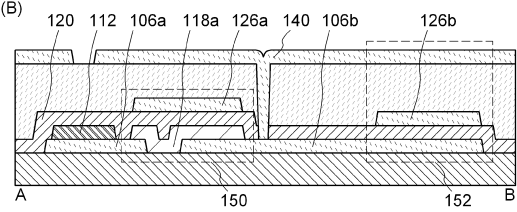


【図 20】

(A)

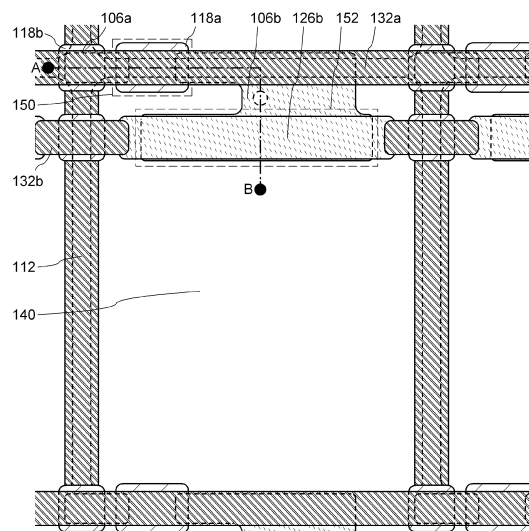


(B)

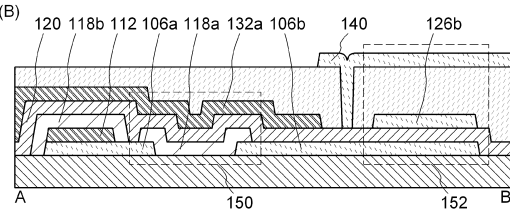


【図 21】

(A)



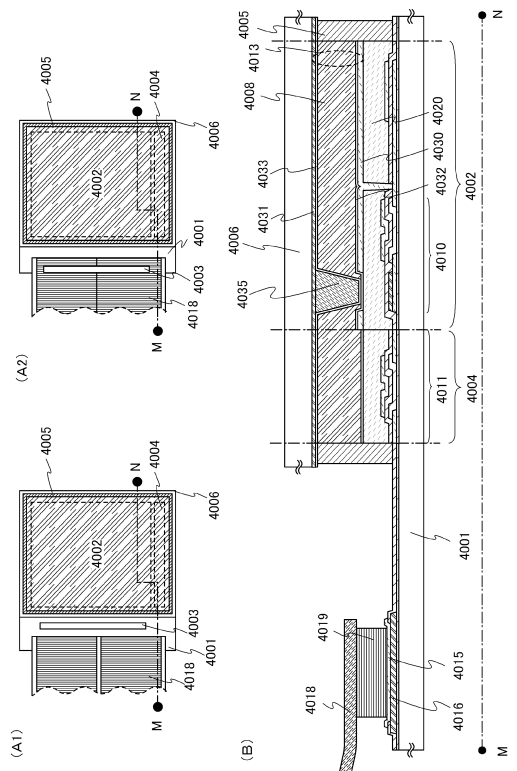
(B)



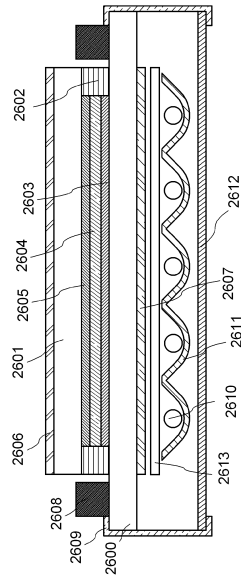
【図 22】

(A1)

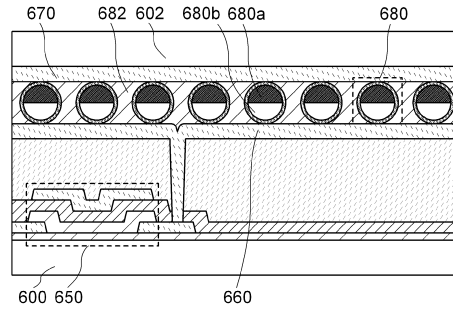
(A2)



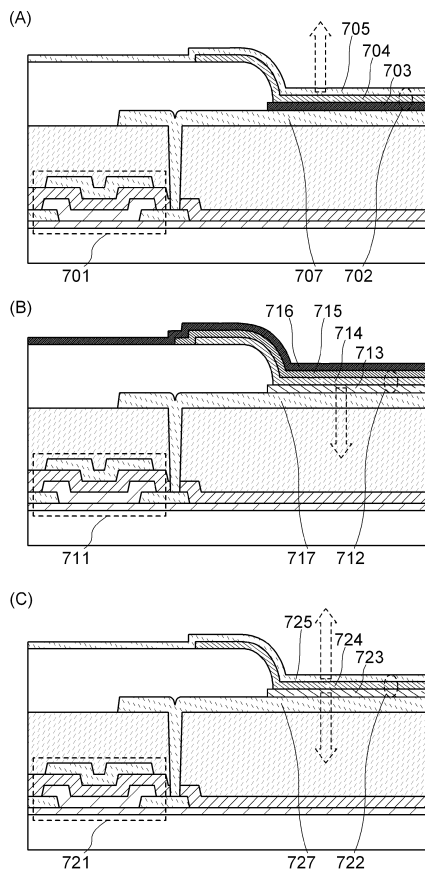
【図 23】



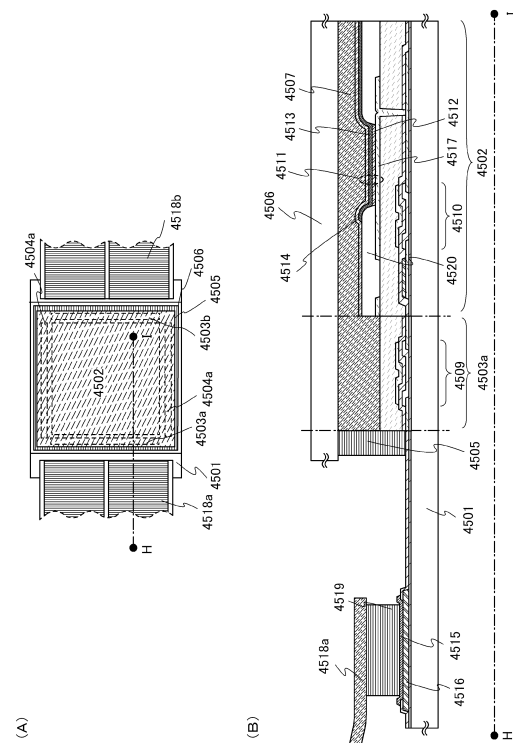
【図 24】



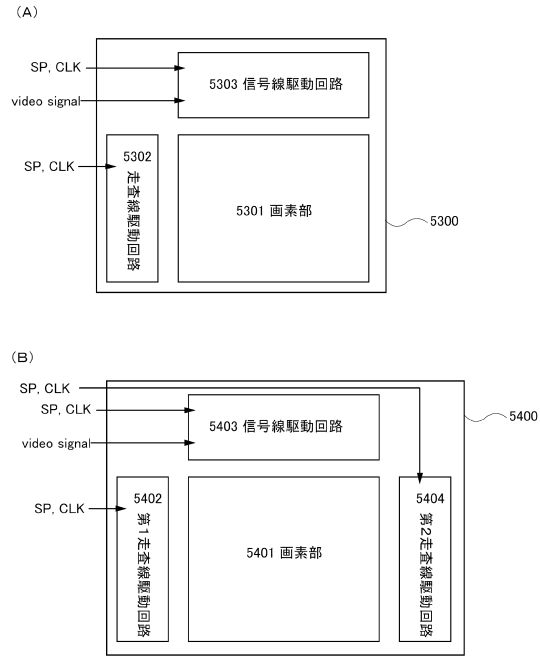
【図 25】



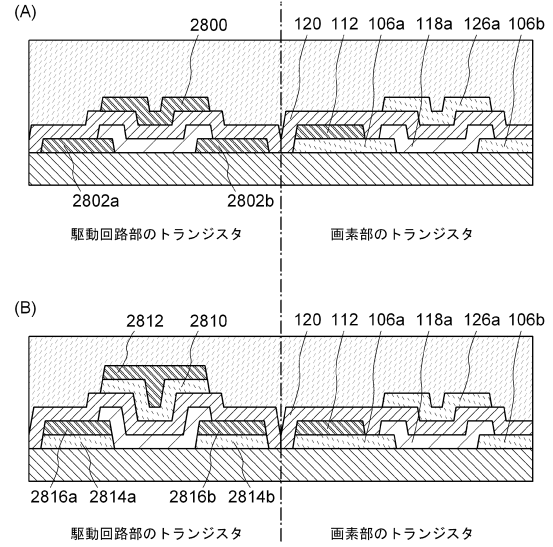
【図 26】



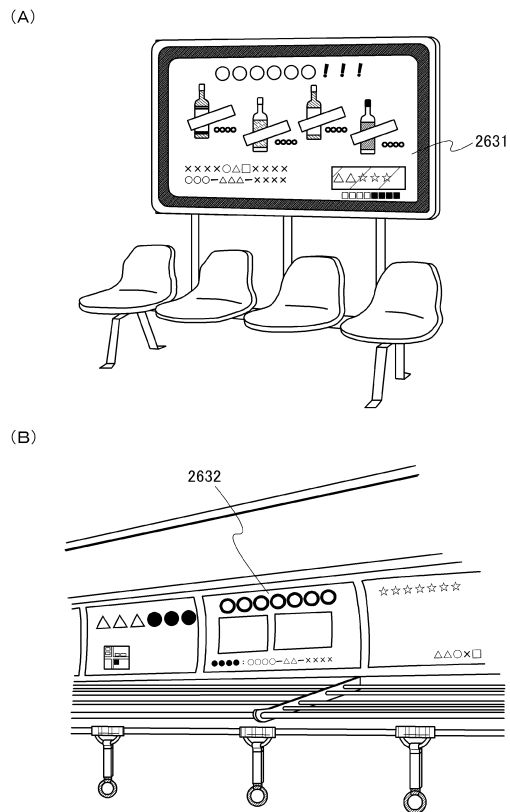
【図 27】



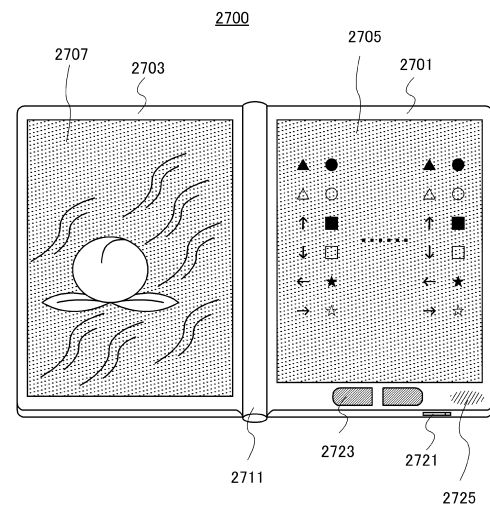
【図 28】



【図 29】

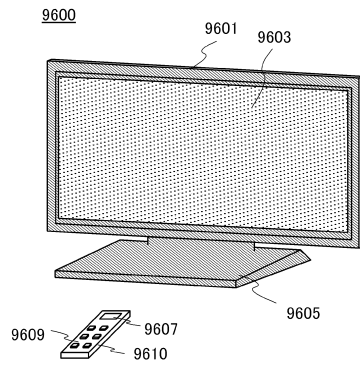


【図 30】

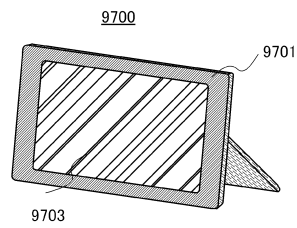


【図 3 1】

(A)

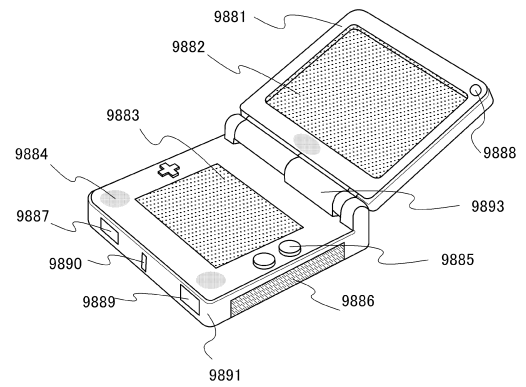


(B)

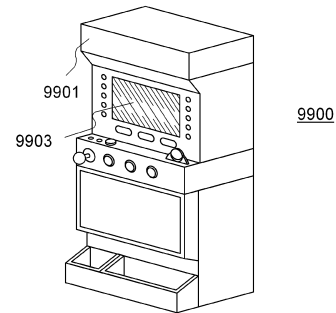


【図 3 2】

(A)

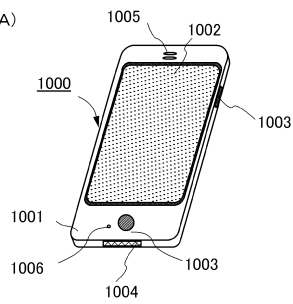


(B)

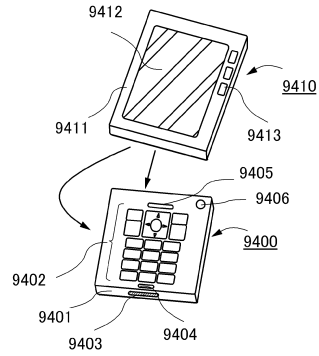


【図 3 3】

(A)

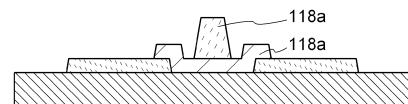


(B)

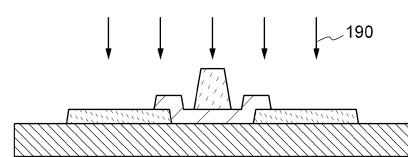


【図 3 4】

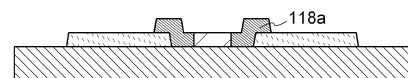
(A)



(B)

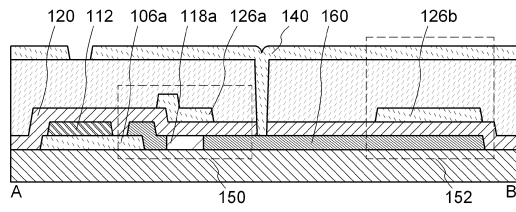


(C)

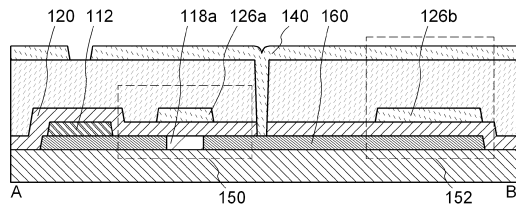


【図 35】

(A)

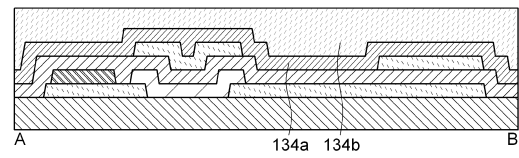


(B)

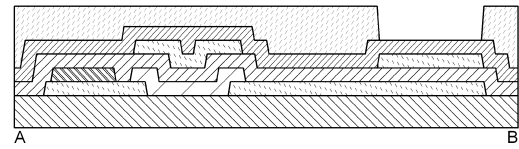


【図 36】

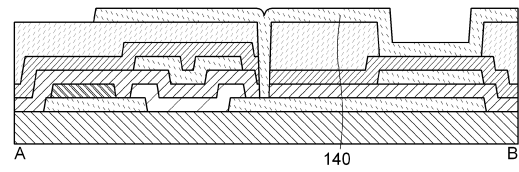
(A)



(B)

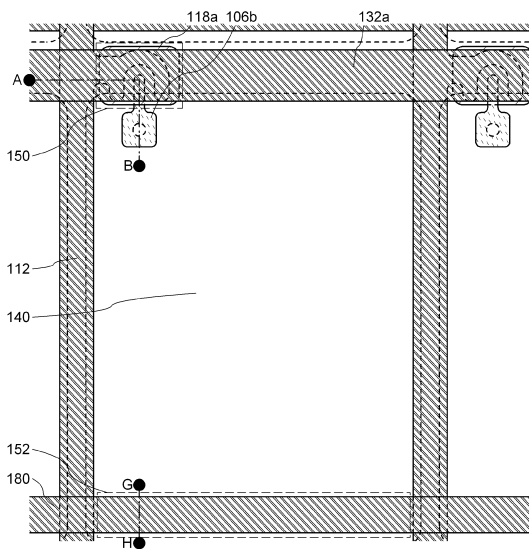


(C)

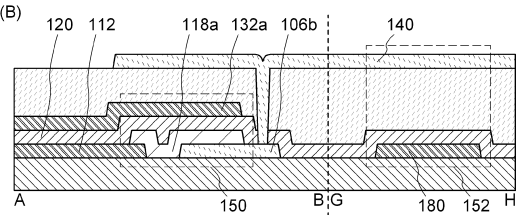


【図 37】

(A)

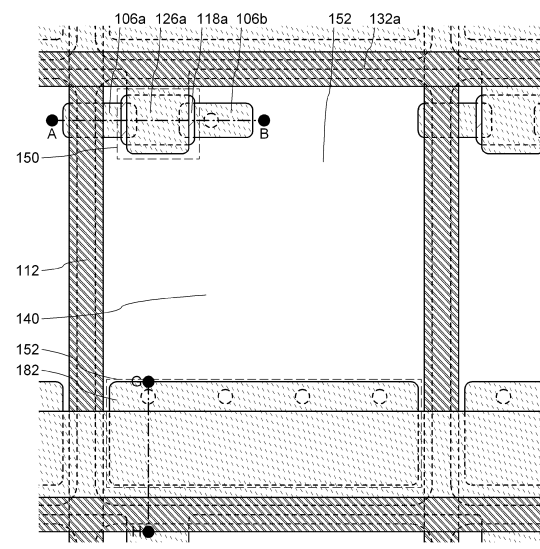


(B)

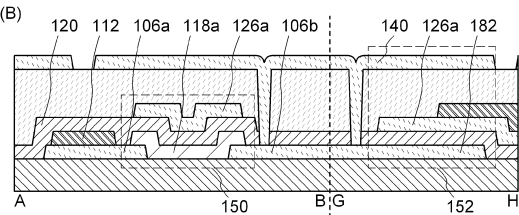


【図 38】

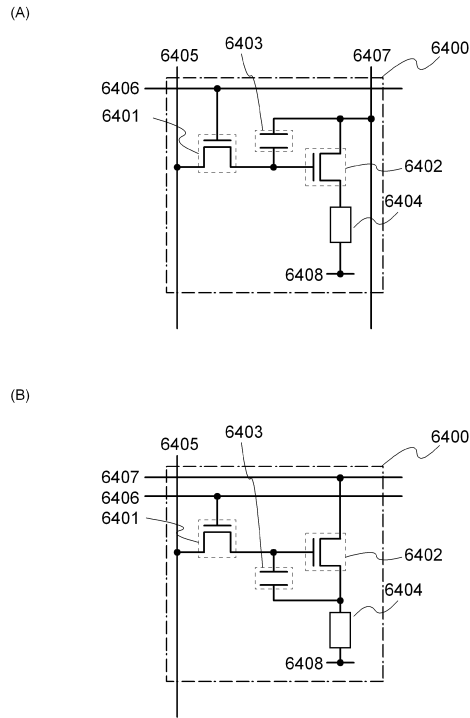
(A)



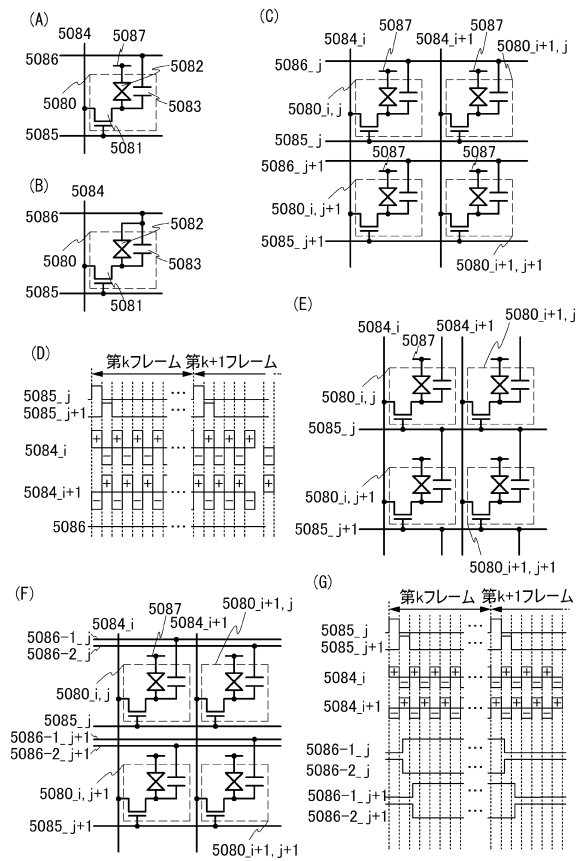
(B)



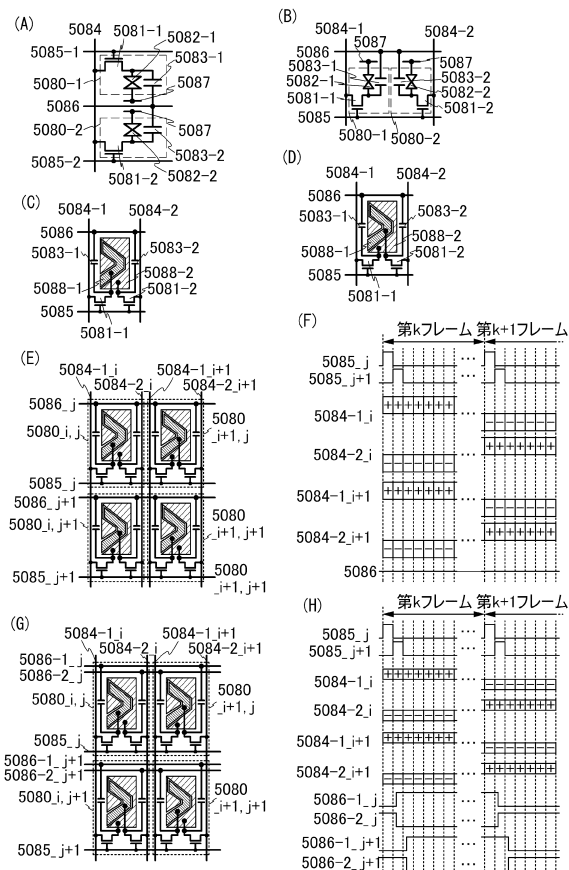
【図 39】



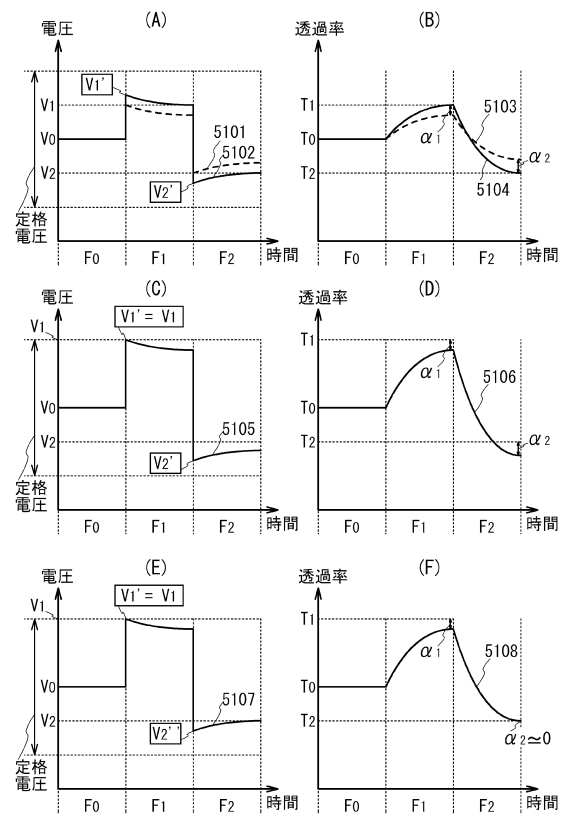
【図 40】



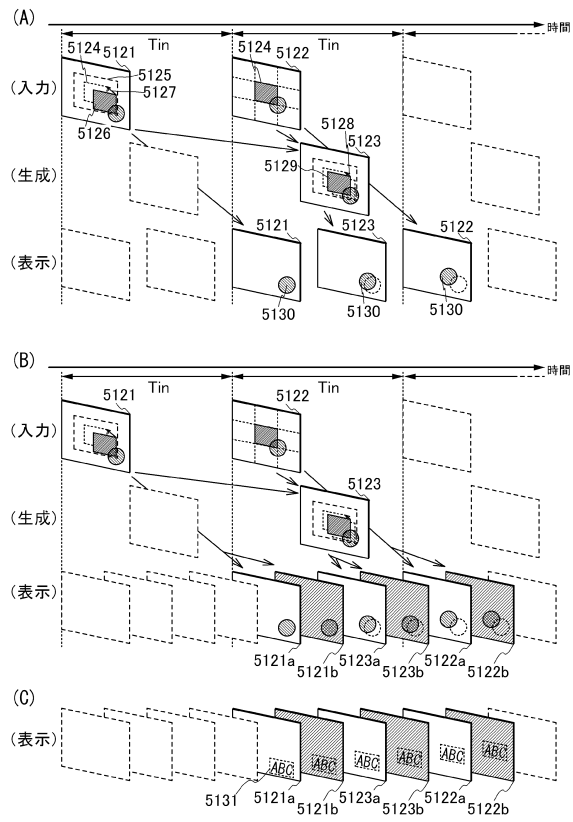
【図 41】



【図 42】



【図 4 3】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/78	6 1 7 M
H 0 1 L	23/532	(2006.01)	H 0 1 L	29/78	6 1 2 B
H 0 1 L	21/768	(2006.01)	H 0 1 L	27/08	1 0 2 D
H 0 1 L	21/3205	(2006.01)	H 0 1 L	21/28	3 0 1 B
G 0 9 F	9/30	(2006.01)	H 0 1 L	21/28	3 0 1 R
G 0 9 F	9/00	(2006.01)	H 0 1 L	21/88	M
H 0 1 L	51/50	(2006.01)	G 0 9 F	9/30	3 3 8
H 0 5 B	33/14	(2006.01)	G 0 9 F	9/30	3 6 5
H 0 5 B	33/10	(2006.01)	G 0 9 F	9/00	3 3 8
H 0 5 B	33/26	(2006.01)	H 0 5 B	33/14	A
			H 0 5 B	33/14	Z
			H 0 5 B	33/10	
			H 0 5 B	33/26	Z

- (56)参考文献 特開2006-173580(JP,A)
 米国特許出願公開第2005/0139836(US,A1)
 米国特許出願公開第2008/0012011(US,A1)
 特開2007-101896(JP,A)
 米国特許出願公開第2007/0108446(US,A1)
 国際公開第2008/114588(WO,A1)
 特開2008-227442(JP,A)
 米国特許出願公開第2008/0002124(US,A1)
 特開2008-243928(JP,A)
 特開2008-172243(JP,A)
 特開2007-165861(JP,A)
 特開2007-171977(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 G 0 9 F 9 / 0 0
 G 0 9 F 9 / 3 0
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 3 / 5 3 2
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 3 2
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 0
 H 0 5 B 3 3 / 1 4
 H 0 5 B 3 3 / 2 6