

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4035542号

(P4035542)

(45) 発行日 平成20年1月23日(2008.1.23)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.

H04N 9/07 (2006.01)

F I

H04N 9/07

A

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2005-31858 (P2005-31858)	(73) 特許権者	000001007
(22) 出願日	平成17年2月8日(2005.2.8)		キヤノン株式会社
(62) 分割の表示	特願平8-130289の分割		東京都大田区下丸子3丁目30番2号
原出願日	平成8年5月24日(1996.5.24)	(74) 代理人	100090273
(65) 公開番号	特開2005-130533 (P2005-130533A)		弁理士 國分 孝悦
(43) 公開日	平成17年5月19日(2005.5.19)	(72) 発明者	稗田 輝夫
審査請求日	平成17年2月8日(2005.2.8)		東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	松田 岳士

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

Rフィルタ、Gフィルタ及びBフィルタから構成される色フィルタを備え、被写体像を撮像して撮像信号を出力する撮像素子と、

前記撮像信号を、R信号と、B信号と、前記色フィルタの垂直方向に位置が異なる3つのG信号とに色分離する色分離手段と、

前記色分離手段で色分離された色信号ごとに帯域制限をする帯域制限手段と、

前記帯域制限手段で帯域制限された前記3つのG信号に基づいて垂直方向の輪郭補正信号を生成する垂直輪郭補正信号生成手段と、

を有することを特徴とする撮像装置。

【請求項2】

前記3つのG信号のうち、1つのG信号から水平方向の輪郭補正信号を生成する水平輪郭補正信号生成手段を更に有することを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記垂直方向の輪郭補正信号によって垂直方向の輪郭が補正され、かつ、前記水平方向の輪郭補正信号によって水平方向の輪郭が補正された色信号から映像信号を出力する映像信号出力手段を更に有し、

前記帯域制限手段は、前記映像信号のための色信号を出力するとともに、前記垂直方向の輪郭補正信号のための色信号を出力することを特徴とする請求項2に記載の撮像装置。

【請求項4】

10

20

前記垂直方向の輪郭補正信号によって垂直方向の輪郭が補正され、かつ、前記水平方向の輪郭補正信号によって水平方向の輪郭が補正された色信号ごとにガンマ補正を行うガンマ補正手段を更に有することを特徴とする請求項2に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置に係わり、例えば、撮像素子を用いて撮像した撮像信号を、複数のデータレートのデジタルビデオ信号として出力する撮像装置に用いて好適なものである。

【背景技術】

【0002】

10

近年、デジタル信号処理技術の進歩に伴い、撮像信号をデジタル処理し、更にそれをデジタルビデオ信号として出力するようにした方式の撮像装置が多く提案されている。

【0003】

これらの撮像装置は、CCD等の撮像素子の出力信号をADコンバータでアナログデジタル変換し、更に、上記デジタル化した撮像信号をデジタル信号処理回路で信号処理してデジタルビデオ信号を生成し、出力するようにしている。

【0004】

上述のような撮像装置が接続された外部機器では、デジタルビデオ信号を所定の方式（例えば、CCIR Rec. 656）にフォーマット変換して出力する方式が用いられていた。

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来例では以下のような欠点があった。すなわち、上記従来例の撮像装置から出力されるデジタルビデオ信号は、種々の外部機器に接続される。例えば、デジタルVTRや、テレビ会議システム、パソコンの静止画入力機器、同じくパソコンの動画入力機器、カラープリンタ等である。

【0006】

これらの機器を大別すると、静止画データを扱うもの（上記の例ではパソコンの静止画入力機器やカラープリンタ等）と動画データを扱うもの（同じくデジタルVTRやテレビ会議システム、パソコンの動画入力機器）とに分けることができ、上記静止画データを扱う機器では少しでも画素数の多いデータを必要とする。

30

【0007】

また、動画データを扱う機器の中でもデジタルVTRは、水平720画素／垂直480画素の毎秒30フレームのデータを扱うことが可能である。しかしながら、その他の動画データを扱う機器は、方式や使用CPUの処理能力などにも依存するが、上記デジタルVTRのように大量のデータを扱うことができないものがほとんどである。

【0008】

このため、従来の撮像装置においては、画素数を1／4ないし1／9に間引いて320×200ないし240×180画素等に変換してから記録するようにしていた。この場合、画素データを間引く前に帯域制限フィルタを挿入しないと折り返し成分が発生してモアレ現象が生ずることはよく知られている。

40

【0009】

上記帯域制限フィルタとしては、上述のように、例えば画素数を1／4に間引く場合、水平方向に1／2間引き、垂直方向に1／2間引くようにしているため、垂直水平両方の帯域制限、すなわち2次元フィルタ処理を行わなければならない。

【0010】

このような2次元の帯域制限フィルタを実現するためには、ハードウェア処理ではラインメモリが必要である。したがって、上記2次元の帯域制限フィルタをハードウェアで行

50

う場合には回路規模が大幅に増大し、その結果、コストや装置の大きさ及び消費電力等が増加してしまうという問題点があった。

また、ソフトウェア処理で実現するためには、処理時間が非常に長くなってしまい、デジタルビデオ信号を生成するまでに多大な時間を要してしまうという問題点があった。

【0011】

本発明は上述の問題点にかんがみ、モアレ現象の発生を防止した高画質なデジタルビデオ信号が得られるようにするとともに、当該デジタルビデオ信号を高速に生成することができるようにすることを目的とする。

【課題を解決するための手段】

【0012】

本発明の撮像装置は、Rフィルタ、Gフィルタ及びBフィルタから構成される色フィルタを備え、被写体像を撮像して撮像信号を出力する撮像素子と、前記撮像信号を、R信号と、B信号と、前記色フィルタの垂直方向に位置が異なる3つのG信号とに色分離する色分離手段と、前記色分離手段で色分離された色信号ごとに帯域制限をする帯域制限手段と、前記帯域制限手段で帯域制限された前記3つのG信号に基づいて垂直方向の輪郭補正信号を生成する垂直輪郭補正信号生成手段とを有する。

【0015】

また、本発明の撮像装置におけるその他の態様は、前記3つのG信号のうち、1つのG信号から水平方向の輪郭補正信号を生成する水平輪郭補正信号生成手段を更に有する。

【0016】

また、本発明の撮像装置におけるその他の態様は、前記垂直方向の輪郭補正信号によって垂直方向の輪郭が補正され、かつ、前記水平方向の輪郭補正信号によって水平方向の輪郭が補正された色信号から映像信号を出力する映像信号出力手段を更に有し、前記帯域制限手段は、前記映像信号のための色信号を出力するとともに、前記垂直方向の輪郭補正信号のための色信号を出力する。

【0017】

また、本発明の撮像装置におけるその他の態様は、前記垂直方向の輪郭補正信号によって垂直方向の輪郭が補正され、かつ、前記水平方向の輪郭補正信号によって水平方向の輪郭が補正された色信号ごとにガンマ補正を行うガンマ補正手段を更に有する。

【発明の効果】

【0018】

本発明によれば、垂直輪郭補正信号を生成するための色信号を、映像信号（デジタルビデオ信号）のための色信号とともに取得することができるため、高画質なデジタルビデオ信号を適切な輪郭強調を行いながら高速に生成することが可能となる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の撮像装置の一実施形態を図面を参照して説明する。図1は、本発明の撮像装置の第1の実施形態を示す構成図である。

図1において、1は撮像素子として用いられているCCDであり、撮像面の各画素上に微細な色フィルタを配してある。本実施形態においては、各画素に蓄積された電荷を、画素加算することなしに順次読み出す方式（全画素読みだし方式）で動作するようにしている。

【0020】

2はCCD1の出力信号を連続信号に変換するサンプルアンドホールド回路、3はサンプルアンドホールド回路2の出力をアナログデジタル変換するADコンバータ、4は入力されたデジタル撮像信号から、R信号、G信号、B信号を分離する色分離回路である。

【0021】

5、6、7、8、9、10は第1～第6のローパスフィルタであり、第2～第4の各ローパスフィルタ6、7、8と比べて、第1のローパスフィルタ5、第5のローパスフィル

10

20

30

40

50

タ9及び第6のローパスフィルタ10は1/2の通過帯域幅となっている。これは、後述するように、CCD1の色フィルタの配列に起因している。

【0022】

11は垂直アパーチャ補正信号を形成する垂直APC回路、12は水平アパーチャ補正信号を形成する水平APC回路、13、14、15、16は加算器である。また、17、18、19はガンマ補正を行うガンマ回路、20はR、G、Bの各信号からY、R-Y、B-Y等の各信号を形成するためのマトリクス回路である。

【0023】

21は、出力データレートを設定するためのRATE信号に応じて出力レートを可変するレート変換回路である。上記出力データレートを設定するRATE信号は、操作者が不図示のデータレート設定手段を操作することにより、本装置のデジタルビデオ出力信号が接続される機器が必要とするデータレートに合わせて設定される。

10

【0024】

例えば、CCD1の画素数の信号をそのまま出力する高レートと、CCD1の画素数を、水平及び垂直方向に1/2に間引き、全体で1/4のデータレートの信号を出力する低レートが設定可能である。

【0025】

上述のように構成された本実施形態の撮像装置において、不図示の被写体像は、不図示の光学系によりCCD1の撮像面上に結像され、CCD1の撮像面上に配設された色フィルタで色分解された後、各画素で光電変換され、光量に応じた電荷が発生する。

20

【0026】

これらの電荷は、画素加算されることなしに、テレビ画面上の左上に対応する画素から順次転送される。そして、CCD1の出力部分で電荷電圧変換されて、アナログ撮像信号として出力される。この撮像信号は、サンプルアンドホールド回路2により連続化され、その出力はADコンバータ3によりデジタル撮像信号SDCCDに変換される。

【0027】

デジタル撮像信号SDCCDは、色分離回路4に与えられ、ここでR、G、Bの各信号が分離される。分離された各信号のうち、G信号からは垂直方向に位置の違う3つの信号G1、G2、G3が形成される。

【0028】

30

この時、上記色分離回路4においては、出力信号の垂直方向の信号帯域をRATE信号に応じて制御する。例えば、上述の高レートが設定されている時は、垂直方向の信号帯域を制限しないが、低レートが設定されている時は、垂直方向の信号帯域を1/2に制限する。

【0029】

これらの信号は、第1～第5のローパスフィルタ5、6、7、8、9により夫々低域信号が取り出される。第3のローパスフィルタ7を透過したG2信号は、第6のローパスフィルタ10により更に低域透過されることにより、R、B信号と同じ帯域に制限される。この時、各々のローパスフィルタ5、6、7、8、9及び10の透過帯域は、RATE信号により可変され、上述の低レートの設定時は、高レートの設定時の1/2の透過帯域になる。

40

【0030】

これらの信号のうち、G1、G2、G3の各信号は、垂直APC回路11に入力される。垂直APC回路11では入力された、垂直方向に位置の違う3つのG信号を演算して垂直の輪郭信号を検出する。そして、これをベースクリップ処理した後、レベルを調整して、垂直アパーチャ補正信号VAPCとして出力する。演算としては、

$$VAPC = G2 - (G1 + G3) / 2$$

とすると、垂直方向のハイパスフィルタが形成されるため、垂直輪郭成分が検出される。

【0031】

この時、RATE信号の設定が、高レートの時は、この信号を出力するが、低レートの

50

設定の時は出力を停止する。これにより、更に垂直方向に帯域が制限される。

【0032】

水平APC回路12では、上記各信号のうち、G2信号を入力して、この信号G2からハイパスフィルタにより水平方向の輪郭信号を検出する。そして、これをベースクリップ処理した後、レベルを調整して水平アパーチャ補正信号HAPCとして出力する。

【0033】

なお、水平APC回路12でも、垂直APC回路11と同様にRATE信号が高レートの設定のときは、この信号をそのまま出力する。しかし、RATE信号が低レートの設定の時は出力を停止することにより、水平帯域を更に制限するようにしている。

【0034】

垂直APC回路11及び水平APC回路12の出力信号は加算器13で加算され、APC信号となる。このAPC信号は、加算器14、15、16にそれぞれ与えられ、R信号、G信号及びB信号と加算される。これらの加算器14～16の出力信号はそれぞれガンマ補正回路17、18、19によりガンマ補正され、その出力はマトリクス回路20に入力される。

【0035】

マトリクス回路20では、例えばNTSCの標準規格に従って、

$$Y = 0.3R + 0.59G + 0.11B$$

$$R - Y = 0.7R - 0.59G - 0.11B$$

$$B - Y = -0.3R - 0.59G + 0.89B$$

という演算が行われ、Y、R-Y、B-Yの各信号が形成される。

【0036】

その出力は、レート変換回路21に入力され、RATE信号に応じた所定の信号レートに変換され、デジタルビデオ信号Y、R-Y、B-Yとして、不図示の外部機器に出力される。

【0037】

上述したように、高レートの設定時は入力信号がそのまま出力されるが、低レートの設定時は、設定レートに合わせてまず水平方向に1画素置きに信号を間引く処理が行われる。そして、1画素置きに間引いた時は、その前の信号を保持し、更に1水平ライン毎に信号を間引き、1水平ラインの信号を、2水平ライン分の時間に引き伸ばして出力するようにしている。これにより、トータルで1/4のデータレートの信号が得られる。

【0038】

この時、上述の色分離回路4及び垂直APC回路11で垂直方向に帯域制限が行われており、また、上述の第1～第6のローパスフィルタ5、6、7、8、9、10により水平方向に帯域制限が行われているので、単純な間引きを行っても、垂直及び水平のいずれにおいても折り返し歪みによるモアレ現象が発生して画像が劣化することがない。

【0039】

図2は、本発明の実施形態のCCD1に配設される色フィルタの配列の例を示している。図2に示したように、上記色フィルタはGフィルタが市松状に配置され、RフィルタおよびBフィルタが1ライン毎に交互に配置されている。

【0040】

これに、配列の時、RフィルタおよびBのフィルタの画素はGフィルタの画素に比べて1/2の数しかないため、上述のように、第2～第4のローパスフィルタ6、7、8と比較して第1のローパスフィルタ5及び第5のローパスフィルタ9の帯域は1/2となっている。また、R、G信号と帯域を合わせるために、第6のローパスフィルタ10の帯域は、第1のローパスフィルタ5及び第5のローパスフィルタ9の帯域と同じに設定されている。

【0041】

図2において、各画素には説明を容易にするために番号が付してある。以下の説明において、例えば、垂直V=2、水平H=3の位置の画素をP23のように記す。

10

20

30

40

50

図3は、本実施形態中の色分離回路4の詳細例を示している。図3において、101～104は1水平ライン分の遅延を行う1水平遅延線である。

【0042】

また、105～119は1画素の遅延を行うためのフリップフロップであり、120、122、124、126、128、129、130、143、144、146、147、148、149、150、153、154、155、157、159、160は加算器である。

【0043】

さらに、121、123、125、127、131、145、151、152、156、158は所定の係数を乗ずる係数器、132～142はスイッチ回路である。

10

【0044】

入力信号であるデジタル撮像信号SDCCDは、図3に示したように、まず水平遅延線101～104によりそれぞれ1水平ライン分ずつ遅延され、0H、1H、2H、3H、4H分だけ遅延された信号が形成される。これらの信号0H～4Hは、次に、フリップフロップ105～119に与えられ、更に1画素分ずつ遅延される。

【0045】

ここで、各フリップフロップ105～119の出力信号をS00、S01、S02、S10、S11、S12、S20、S21、S22、S30、S31、S32、S40、S41、S42と命名する。

【0046】

それぞれの信号S00～S42は、まず、図4に示すように、S11信号はそのままCN1信号となる。また、S21信号はCN2信号となり、S31信号はCN3信号となる。

20

【0047】

また、S20信号とS22信号とが加算器120で加算され、その後、係数器121で1/2の係数が乗じられてLR信号となる。

S01信号とS21信号とが加算器122で加算され、その後、係数器123で1/2の係数が乗じられてUD1信号となる。

【0048】

S11信号とS31信号とが加算器124で加算され、その後、係数器125で1/2の係数が乗じられてUD2信号となる。

30

S21信号とS41とが加算器126で加算され、その後、係数器127で1/2の係数が乗じられてUD3信号となる。

【0049】

S10信号とS12信号とが加算器128で加算され、さらにS30信号とS32信号とが加算器129で加算される。そして、加算器128の出力信号と加算器129の出力信号とが加算器130で加算され、その加算結果が係数器123に与えられ、1/4の係数が乗じられてCO信号となる。

【0050】

一方、GL1信号の形成は、以下のように行われる。すなわち、図10に示すようにS10信号とS12信号とが加算器143で加算され、この加算結果とS01信号とが加算器144に与えられて加算される。

40

【0051】

また、S21信号が係数器145により2倍され、その結果が加算器146に与えられ、ここで加算器144の出力信号と加算される。

S30信号とS32信号とが加算器147において加算され、この加算結果とS41信号とが加算器148で加算される。そして、この加算結果が加算器149に与えられる。上記加算器149には、加算器146の出力信号が与えられており、ここで加算器148と加算されてGL1信号が形成される。

【0052】

50

次に、G L 2 信号の形成手順について説明する。図 5 に示すように、S O O 信号及び S O 2 信号が加算器 1 5 0 に与えられて加算された後、係数器 1 5 1 で $1/2$ 倍される。

また、S 1 1 信号が係数器 1 5 2 で 2 倍された後、加算器 1 5 3 に与えられて係数器 1 5 1 の出力信号と加算される。

【0053】

また、S 2 0 信号と S 2 2 信号とが加算器 1 5 4 で加算され、この加算出力信号が加算器 1 5 5 に与えられ、ここで加算器 1 5 3 の出力信号と加算される。

また、S 3 1 信号は係数器 1 5 6 で 2 倍にされ、加算器 1 5 6 に与えられる。一方、S 4 0 信号と S 4 2 信号とが加算器 1 5 7 で加算され、その加算出力が係数器 1 5 8 で $1/2$ 倍された後、加算器 1 5 9 に与えられ、上記加算器 1 5 9 において係数器 1 5 6 の出力信号と加算される。更に、加算器 1 6 0 において加算器 1 5 5 の出力信号と加算されて G L 2 信号が形成される。

10

【0054】

R 信号の形成は、以下のようにして行われる。すなわち、図 6 に示すように、C N 2 信号と U D 信号がスイッチ回路 1 3 2 に与えられ、このスイッチ回路 1 3 2 において R P I X 信号により何方か一方が選択される。

【0055】

L R 信号と C O 信号はスイッチ回路 1 3 3 に与えられ、上記スイッチ回路 1 3 3 において R P I X 信号により何方か一方が選択される。そして、上記スイッチ回路 1 3 2 及び 1 3 3 において選択された信号は、スイッチ回路 1 3 4 に与えられ、上記スイッチ回路 1 3 4 において R L I N E 信号により選択され、R 信号が形成される。なお、上記 R P I X 信号及び R L I N E 信号は不図示のタイミング発生回路により、C C D 1 からの出力信号の対応する色フィルタに応じて発生される信号である。

20

【0056】

B 信号の形成は、以下のようにして行われる。すなわち、図 7 に示すように、C O 信号と L R 信号とがスイッチ回路 1 3 5 に与えられ、上記スイッチ回路 1 3 5 において B P I X 信号により何方か一方が選択される。

【0057】

また、U D 信号と C N 2 信号がスイッチ回路 1 3 6 に与えられ、B P I X 信号により何方か一方が選択される。これらのスイッチ回路 1 3 5 及びスイッチ回路 1 3 6 の出力信号はスイッチ回路 1 3 7 に与えられ、ここで B L I N E 信号により何方か一方が選択されて B 信号が形成される。上記 B P I X 信号及び B L I N E 信号は、上述と同様に不図示のタイミング発生回路により、C C D 1 の B フィルタに対応した出力信号のタイミングで発生される。

30

【0058】

G 1 信号の形成は以下のようにして行われる。すなわち、図 8 に示すように、C N 1 信号と U D 1 信号とがスイッチ回路 1 3 8 に与えられ、ここで G 1 P I X 信号により選択され、G 1 信号が形成される。上記 G 1 P I X 信号は、上述と同様に不図示のタイミング発生回路により、C C D 1 の G フィルタに対応した出力信号のタイミングで発生される。

【0059】

G 2 信号の形成は以下のようにして行われる。すなわち、図 9 に示すように、C N 2 信号と U D 2 信号とがスイッチ回路 1 3 9 に与えられ、ここで G 2 P I X 信号により選択される。また、G L 1 信号と G L 2 信号はスイッチ回路 1 4 2 に与えられ、ここで P I X 信号により何方か一方が選択される。

40

【0060】

そして、上記スイッチ回路 1 3 9 の出力信号とスイッチ回路 1 4 2 の出力信号がスイッチ回路 1 4 0 に与えられ、ここで R A T E 信号により何方か一方が選択され、G 2 信号として出力される。

【0061】

この場合、上述したように R A T E 信号が高レートに設定されている時はスイッチ回路

50

139の出力信号が選択され、低レートが設定されている時はスイッチ回路142の出力信号が選択される。上記G2PIX信号は、上述と同様に不図示のタイミング発生回路により、CCD1のフィルタに対応した出力信号のタイミングで発生される。

【0062】

G3信号の形成は、以下のようにして行われる。すなわち、図9に示したように、CN3信号とUD3信号とがスイッチ回路141に与えられ、ここでG3PIX信号により何方か一方が選択される。G3PIX信号は、上述と同様に不図示のタイミング発生回路により、CCD1のGフィルタに対応した出力信号のタイミングで発生される信号である。

【0063】

ここで、G2信号の形成方法について詳細に述べる。RATE信号が高レートの場合、G2信号は、上述のようにスイッチ回路139の出力信号が選択される。図2において、各水平ラインにおいてGフィルタは1画素置きに配置されている。今、V=2のラインを走査しているとして、H=0ではGフィルタ上であるので、G信号をそのまま出力すればよい。しかし、H=1ではRフィルタ上であるので、周囲の画素から補間してG信号を形成する必要がある。

【0064】

ところで、図1に示されるように、G信号はアパーチャ信号の形成のためにも用いられるため、水平解像度を重視して、Rフィルタの上下のG信号から補間するのがよい。したがって、走査がH=1の時はG2PIX信号により上下の画素を加算平均した信号であるUD2信号が選択される。

【0065】

このように、V=2のラインでは水平Hが偶数の画素では出力信号がそのまま選択されるように、また、水平Hが奇数の画素では上下の画素の加算平均が選択されるようにG2PIX信号が発生される。

【0066】

さらに、垂直V=3のラインを見ると、Gフィルタの位置の奇偶がV=2のラインと反対になっているので、G2PIX信号の位相もそれに合わせて発生される。

【0067】

一方、RATE信号が低レートに設定されている場合、G2信号は、上述のようにスイッチ回路142の出力信号が選択される。スイッチ回路142の2つの入力信号の内、GL1信号は図10に示すように、S01、S10、S12、S21、S30、S32、S41の各信号から形成される。

【0068】

各々の信号が、各水平ライン毎にどのような比率で加算されているかを見ると、

0ライン 1 (S01)
 1ライン 2 (S10+S12)
 2ライン 2 (S21×2)
 3ライン 2 (S30+S32)
 4ライン 1 (S41)となっている。

【0069】

同様に、GL2信号についてみると、

0ライン 1 ((S00+S02)/2)
 1ライン 2 (S11×2)
 2ライン 2 (S20+S22)
 3ライン 2 (S31×2)
 4ライン 1 ((S40+S42)/2)

となっており、同じ比率で加算されている。

【0070】

この比率から、垂直方向のレスポンスをZ変換で表すと、

$$1 + 2^* Z^{-1} + 2^* Z^{-2} + Z^* Z^{-3} + Z^{-4}$$

(但し、 $\wedge$ はべき乗を表す)
であり、ローパスフィルタの特性になる。

【0071】

したがって、垂直方向に帯域制限された信号がGL1信号及びGL2信号から得られる。GL1信号とGL2信号の違いは、図2において現在走査している画素がGフィルタかそうでないかの違いによる。Gフィルタの場合は、GL1信号を選択し、そうでない時はGL2信号をスイッチ回路142で選択する。したがって、この低レートの場合は、垂直方向に帯域制限されたG信号がG2信号として出力される。

【0072】

図11及び図12は、実施形態中の色分離回路4の詳細例を示す。なお、図1と同一のものには同一の番号を付して詳細な説明を省略する。 10

図11において、201、204、206、209は不図示の係数設定手段から係数を設定可能な可変係数器である。

【0073】

また、202、207及び212は加算器であり、203及び208はスイッチ回路である。さらに、205、216及び217は1水平ライン分の遅延時間を有する1水平遅延線、210は1水平ライン－1画素の遅延時間を有する(1H－1)遅延線である。

【0074】

211は係数器であり、213～215、218～230は1画素の遅延を行うためのフリップフロップである。また、図12における231及び232はセレクタである。 20

【0075】

入力信号であるデジタル撮像信号SDCCDは、まず可変係数器201に設定された係数K1が乗ぜられ、加算器202で可変係数器204の出力信号と加算される。

【0076】

そして、上記加算された結果が、スイッチ回路203にSDCCD信号とともに入力され、これらの信号の何方かがSEL1信号によって選択される。上記スイッチ回路203により選択された信号は、水平遅延線205に与えられて1水平ライン分遅延され、1H遅延された信号が形成される。

【0077】

上記1H遅延された信号は、次に、可変係数器206に与えられ、上記可変係数器206に設定された係数K3が乗ぜられた後で加算器207に与えられる。そして、上記加算器207により可変係数器209の出力信号と加算されて、水平遅延線205の出力信号とともにスイッチ回路208に入力される。 30

【0078】

これらの2つの信号のうち、何方か一方の信号が上記スイッチ回路208において、SEL2信号により選択される。そして、選択された信号は、(1H－1)遅延線210によって「1水平ライン分－1画素」分だけ遅延される。

【0079】

上記遅延線210の出力信号は、まず、フリップフロップ214及び213により2画素分遅延され、加算器212において(1H－1)遅延線210の出力信号と加算される 40
。次に、係数器211により1／2倍された後で可変係数器209に与えられる。

【0080】

上記可変係数器209においては、ここに設定されている係数K4が乗ぜられ、その後、上述したように可変係数器206の出力信号と共に加算器207に与えられて加算される。

【0081】

また、上記(1H－1)遅延線210の出力信号は、フリップフロップ215にも与えられ、ここで1Hだけ更に遅延されることにより、2H遅延された信号が形成される。

【0082】

上記2H遅延された信号は、可変係数器204、1水平遅延線216及びフリップフロ 50

ップ223にそれぞれ与えられる。

可変係数器204においては、設定された係数K2が乗ぜられ、上述のように、可変係数器201の出力信号と共に加算器202で加算される。

【0083】

1水平遅延線216に与えられた信号は、ここで1H遅延された後で1水平遅延線217に与えられ、ここで更に1H遅延され、それぞれ3Hおよび4H遅延された信号となる。

【0084】

入力されたSDCCD信号(0H)、1水平遅延線205の出力信号(1H)、フリップフロップ215の出力信号(2H)、1水平遅延線216の出力信号(3H)、217の出力信号(4H)はそれぞれフリップフロップ218~230により1画素遅延される。

10

【0085】

ここで、図3の場合と同様に、各々のフリップフロップの出力信号をS00、S01、S10~S12、S20~S22、S30~S32、S40、S41とそれぞれ名付ける。これらの信号は、図3と同じ動作で処理され、R信号、B信号、G1信号、G3信号が得られる。また、G2信号は、図3のRATE信号が高レートの設定時と同じ動作で得られる。

【0086】

SEL1信号は、図12に示すように、RATE信号によって"0"とSEL1PIXとがスイッチ回路231によって切り換えられて形成される。SEL1PIX信号は、不図示のタイミング発生回路によって、SDCCD信号がCCD1のGフィルタに対応する信号でない時に"1"になるように発生される。

20

【0087】

スイッチ回路231では、RATE信号が高レートの設定時は"0"を選択し、低レートの設定時はSEL1PIXを選択する。また、SEL1が"1"の時は、スイッチ203によって加算器202の出力信号が選択される。

【0088】

SEL2信号は、SEL1と同様に、RATE信号によって、"0"とSEL2PIXとがスイッチ回路232によって切り換えられて形成される。SEL2PIX信号は、不図示のタイミング発生回路によって、1水平遅延線205の出力信号がCCD1のGフィルタに対応する信号である時に"1"となるように発生される。

30

【0089】

スイッチ回路232は、RATE信号が高レートの設定時は"0"を選択し、低レートの設定時はSEL2PIXを選択する。また、SEL2が"1"の時は、スイッチ208によって加算器207の出力信号が選択される。

【0090】

また、RATE信号が高レートに設定されている時は、スイッチ回路203はSDCCD信号を選択し、スイッチ回路208は1水平遅延線205の出力信号を選択する。このため、図3の高レート時の動作と同様の動作により各1水平遅延線及び(1H-1)遅延線とフリップフロップ215により遅延された信号から、G2信号が形成される。

40

【0091】

次に、RATE信号が低レートに設定されている時の動作について説明する。この時、スイッチ回路208は1水平遅延線205の出力信号がGフィルタに対応した信号の時は加算器207の出力信号を選択する。

【0092】

上記加算器207の出力信号は、1水平遅延線205の出力信号に係数K3を乗じたものと、(1H-1)遅延線210の出力信号に係数K4を乗じたものの加算結果であり、これにより巡回型のフィルタが構成される。

【0093】

50

ここで、フリップフロップ 2 1 3、2 1 4 及び加算器 2 1 2、係数器 2 1 1 による回路は、図 2 において G フィルタが市松状に配置されているため、垂直 V が奇数のラインと偶数のラインで、G フィルタの位置がずれており、対応する画素の左右の画素を加算平均することにより補間している。

【0094】

また、G フィルタに対応する信号のみ選択しているのは、図 2 において R フィルタおよび B フィルタは 1 ライン飛ばしに配置されているため、1 水平ラインの遅延では違う色のフィルタに対応する信号と加算されて、色分離が不可能になってしまうからである。

【0095】

また、スイッチ回路 2 0 3 はこの低レートの設定時は S D C C D 信号が G のフィルタに対応する信号の時は S D C C D 信号を選択し、そうでない時は加算器 2 0 2 の出力信号を選択する。加算器 2 0 2 の入力のうち、可変係数器 2 0 4 の入力信号はフリップフロップ 2 1 5 の出力信号であるので、2 水平ライン分遅延されたことになる。

10

【0096】

これは、図 2 において G 以外のフィルタ（R フィルタ、B フィルタ）は 2 水平ラインの繰り返し周期を有しているからである。S C C D 信号を 2 水平ライン遅延された信号と S C C D を係数 K 1 と係数 K 2 により定まる比率で加算することにより、巡回型のフィルタを構成している。

【0097】

このとき、各係数 K 1、K 2、K 3、K 4 を可変することにより、上述の 2 つの巡回型のフィルタの周波数特性を可変することができる。したがって、R A T E 信号が上述のように高レートと低レートの 2 つのみではなくて、種々のレートに応じて、スイッチ回路 2 3 1 と 2 3 2 および各係数 K 1、K 2、K 3、K 4 を可変することで、最適な巡回型のフィルタの特性を得ることが可能になる。

20

【0098】

例えば、係数 K 3 = 0.5、係数 K 4 = 0.5 とすると巡回型のローパスフィルタ特性を設定できるが、この係数を K 3 = 0.25、K 4 = 0.75 とすると、さらに透過帯域の低いローパスフィルタの特性を設定することができる。

【0099】

係数 K 1、K 2 についても同様である。また、係数 K 1、K 2 は R 信号および B 信号の特性を設定し、K 3、K 4 は G 信号の特性を設定するが、K 1 = K 3、K 2 = K 4 でない設定も可能であり、それぞれに必要な信号帯域に応じた設定にすることが可能である。

30

【0100】

図 1 3 は、本発明の実施形態中、レート変換回路 2 1 の詳細例を示す図である。図 1 3 において、3 0 1 は書き込みクロックと読みだしクロックを独立に与えることができるように構成されたデュアルポートメモリ、3 0 2 はスイッチ回路である。

【0101】

入力される Y 信号は、デュアルポートメモリ 3 0 1 の書き込みデータ端子 W D とスイッチ回路 3 0 2 の一方の入力端子に入力される。上記スイッチ回路 3 0 2 の他方の入力端子には、デュアルポートメモリ 3 0 1 のデータ読み出し端子 R D から読みだされる信号が入力され、これらの信号のうち何方か一方の信号が R A T E 信号により選択されて出力される。

40

【0102】

ここで、上記 R A T E 信号が上述の高レートに設定されている時は Y 信号を選択し、また、上記 R A T E 信号が低レートに設定されている時はデュアルポートメモリ 3 0 1 のデータ読み出し端子 W D から読みだされた信号を選択する。

【0103】

デュアルポートメモリ 3 0 1 の書き込みクロックには、不図示のタイミング発生回路より発生された第 1 のクロック C L K 1 が用いられる。この第 1 のクロック C L K 1 は、入力の Y 信号のデータレートの半分の周波数のクロックレートを有し、奇数どちらかのライ

50

ンのみに間欠的に発生される。

【0104】

また、デュアルポートメモリ301の読みだしクロックには、不図示のタイミング発生回路より発生された第2のクロックCLK2が用いられる。この第2のクロックCLK2は、入力Y信号のデータレートの1/4のクロックレートを有している。

【0105】

この、低レートの設定時の動作を説明すると、まず、デュアルポートメモリ301の入力段で、データレートの半分のクロックレートの第1のクロックCLK1でサンプリングすることにより、画素数を水平方向に半分に間引く。

【0106】

さらに、第1のクロックCLK1を奇数どちらかのラインのみに間欠的に発生させることにより垂直方向にも1/2に間引く。

10

【0107】

この時、第1の実施形態を説明する図1において、既に水平、垂直方向に信号帯域が制限されているため、単純に間引きを行っても折り返し信号の発生によるモアレ現象が発生しない。

【0108】

こうして間引かれた信号を、デュアルポートメモリ301から、入力Y信号のデータレートの1/4のクロックレートを有する第2のクロックCLK2で読み出すことにより、水平方向に引き伸ばして信号の切れ目をなくし、スイッチ302を経由して上述のよう

20

【0109】

図14は、図13に示したデュアルポートメモリ301の動作を説明するための波形図である。図14において、(a)、(b)、(c)は同一の時間軸で描かれており、(a)は水平同期信号HDを示し、(b)は第1のクロックCLK1、(c)は第2のクロックCLK2をそれぞれ示している。

【0110】

(b)に示した第1のクロックCLK1は、奇数ラインのみに間欠的に発生している。また、第2のクロックCLK2は、2ラインにわたって切れ目無く発生している。

【0111】

30

また、図14において、(d)、(e)、(f)は同一の時間軸で描かれており、(d)は入力Y信号のデータレートを決定するメインクロック、(e)は第1のクロックCLK1を示し、(f)は第2のクロックCLK2を示している。メインクロックに対し(e)第1のクロックCLK1は、1/2のクロックレートを有しており、(f)第2のクロックCLK2は1/4のクロックレートを有している。

【0112】

なお、上述の実施形態においては、カラー撮像装置を用いてカラー画像信号を生成する場合について詳細に説明したが、本発明は白黒撮像装置を用いて白黒画像信号を生成する場合についても同様に適用することができる。

【図面の簡単な説明】

40

【0113】

【図1】本発明の撮像装置の第1の実施形態を示す構成図である。

【図2】実施形態のCCDに配設される色フィルタの配列の例を示す図である。

【図3】実施形態中の色分離回路の詳細例を示す図である。

【図4】UD信号等各信号の形成を説明する図である。

【図5】GL2信号の形成を説明する図である。

【図6】R信号の形成を説明する図である。

【図7】B信号の形成を説明する図である。

【図8】G1信号の形成を説明する図である。

【図9】G2信号の形成を説明する図である。

50

【図10】GL1信号の形成を説明する図である。

【図11】第2の実施形態の色分離回路の詳細を示す構成図である。

【図12】SEL信号の形成を説明する図である。

【図13】レート変換回路の詳細例を示す図である。

【図14】レート変換回路の動作を示す波形図である。

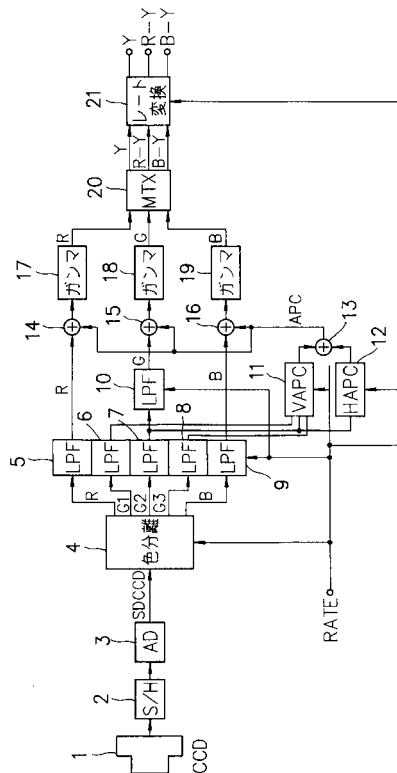
【符号の説明】

【0114】

- 1 CCD
- 2 サンプルアンドホールド回路
- 3 ADコンバータ
- 4 色分離回路
- 5～10 ローパスフィルタ
- 11 垂直APC回路
- 12 水平APC回路
- 13～16 加算器
- 17～19 ガンマ回路
- 20 マトリクス回路
- 21 レート変換回路

10

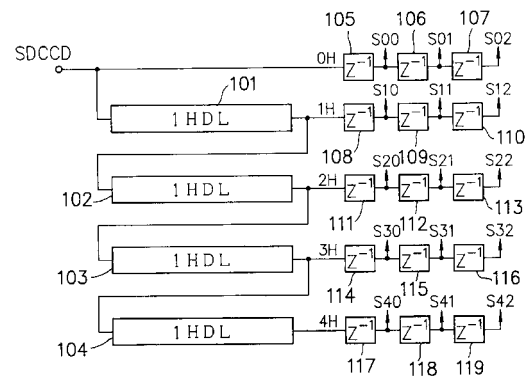
【図1】



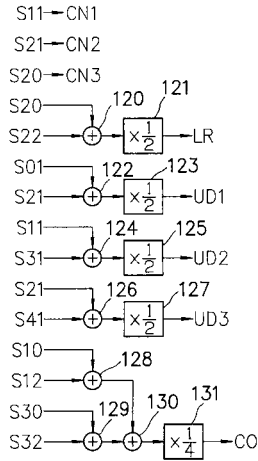
【図2】

v^H	0	1	2	3	4	5
0	G	R	G	R	G	R
1	B	G	B	G	B	G
2	G	R	G	R	G	R
3	B	G	B	G	B	G
4	G	R	G	R	G	R
5	B	G	B	G	B	G

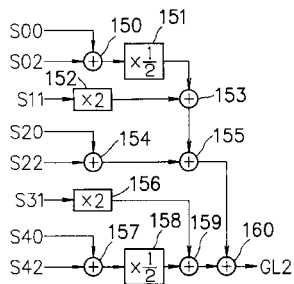
【図3】



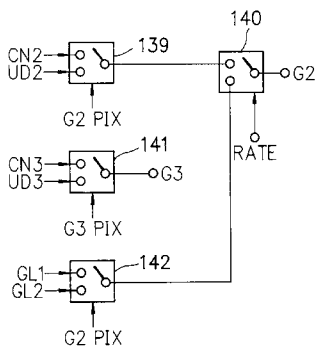
【図 4】



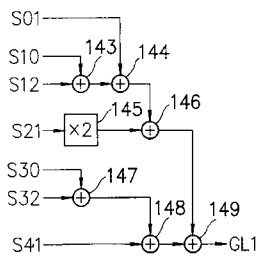
【図 5】



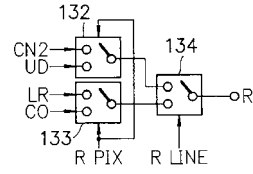
【図 9】



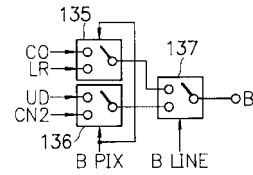
【図 10】



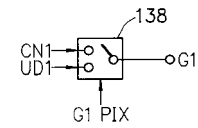
【図 6】



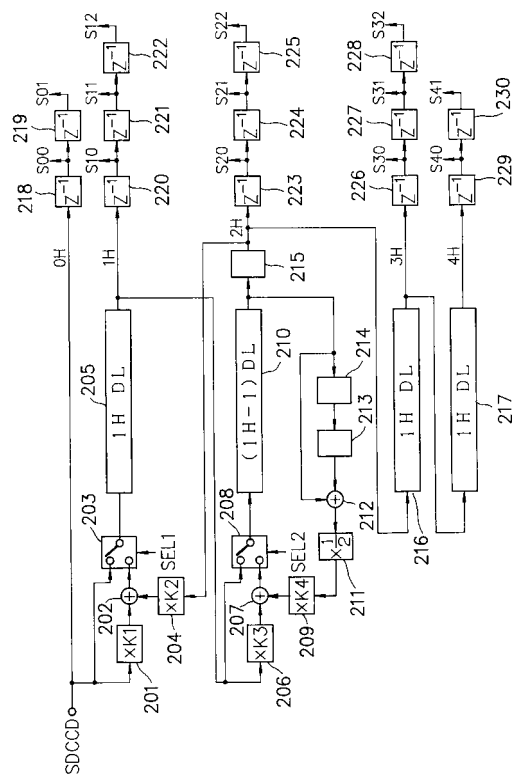
【図 7】



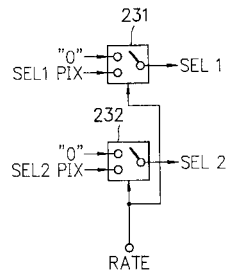
【図 8】



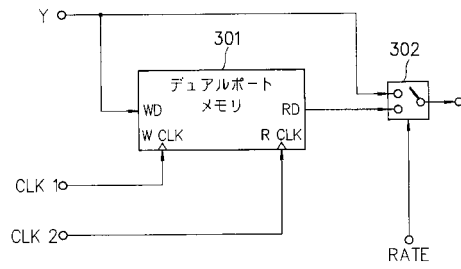
【図 11】



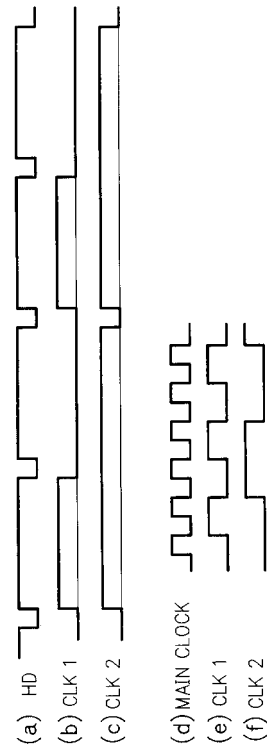
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

- (56)参考文献 特開平04-012648 (JP, A)
特開平06-303621 (JP, A)
特開平06-261325 (JP, A)
特開昭58-100590 (JP, A)
特開平07-046607 (JP, A)
特開平05-041863 (JP, A)
特開平01-272282 (JP, A)
特開平08-251606 (JP, A)
特開平07-162888 (JP, A)
特開平09-187018 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04N 9/04 - 9/11