

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G08B 5/36

(45) 공고일자 1991년07월05일  
(11) 공고번호 91-004501

(21) 출원번호	특1983-0001318	(65) 공개번호	특1984-0004265
(22) 출원일자	1983년03월31일	(43) 공개일자	1984년10월10일
(30) 우선권주장	82-62438 1982년04월16일	일본(JP)	
(71) 출원인	가부시기가이샤 히다찌세이사쿠쇼 미쓰다 가쓰시게 일본국 도요교도 지요다구 마루노우찌 1-5-1		
(72) 발명자	사도 테즈오 일본국 군마켄 다가사기시 시모사노쥬 210-12		
(74) 대리인	백남기		

심사관 : 안대진 (책자공보 제2353호)

(54) 전기 회로 및 그것을 사용한 신호 처리 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

전기 회로 및 그것을 사용한 신호 처리 회로

[도면의 간단한 설명]

제 1 도, 제 2 도, 제 3 도 및 제 4 도는 본 발명에 앞서 본 발명자에 의해서 검토된 전기 회로도.

제 5 도는 제 4 도의 회로 동작을 실험하기 위한 측정 회로도.

제 6 도는 제 5 도의 측정 회로에 의한 실험 결과를 도시한 특성도.

제 7 도는 본 발명의 1실시예에 의한 전기 회로의 등가 회로도.

제 8 도는 상기 1실시예에 의한 전기 회로의 반도체 집적 회로의 중요 단면도.

제 9 도는 본 발명의 제 2 의 실시예에 의한 전기 회로와 등가 회로도.

제 10 도는 본 발명의 제 3 의 실시예에 의한 전기 회로의 등가 회로도.

제 11 도는 본 발명의 제 4 의 실시예에 의한 전기 회로의 등가 회로도.

제 12 도 a 및 제 12 도 b 는 본 발명의 다른 실시예에 의한 신호 처리 회로의 회로도.

[발명의 상세한 설명]

본 발명은 전기 회로 및 그것을 사용한 신호 처리 회로에 관한 것이다.

본 발명이 대상으로 하는 것은 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로 및 그것을 사용한 신호 처리 회로에 관한 것이다.

제 1 도 ~ 제 4 도는 본 발명에 앞서 본 발명자에 의하여 검토된 전기 회로를 도시하고 있다.

제 1 도 및 제 2 도에 도시된 전기 회로는 PNP 트랜지스터  $Q_1, Q_2$  또는  $Q_1-Q_3$  에 의해서 구성되고, 또한 해당 업자사이에서 알려진 전류 미러 회로(10)또는 (11)을 포함하고 있다. 전류 미러 회로(10)또는 (11)의 입력 단자(20)에는 제 1 전류원(31)과 제 2 전류원(32)가 접속되며, 그 출력 단자(22)에는 부하(40)이 접속되어 있다. 전류 미러 회로(10) 또는 (11)의 전원 단자(24)에는 전원 전압  $V_{cc}$  가 공급되어 있다.

그러나, 본 발명자의 검토에 의하면 제 1 도 및 제 2 도의 복합 전류 미러 회로에 있어서는 PNP 트랜지스터  $Q_1, Q_2$  의 소자 특성이 서로 같을때에는 출력 단자(22)에서 부하(40)으로 공급되는 출력 전류는 제 1 전류원(31)에 흐르는 전류와 제 2 전류원(32)에 흐르는 전류의 합으로 되며, 이 전류의

최대치를 검출할 수가 없다는 것이 명확하게 되었다.

제 3 도의 복합 전류 미러 회로는 PNP 트랜지스터  $Q_2$ ,  $Q_3$ 에 의하여 구성된 제 1 전류 미러 회로(12)와 PNP 트랜지스터  $Q_2, Q_3$ 에 의해서 구성된 제 2 전류 미러 회로(13)를 포함하고 있다. 제 1 전류 미러 회로(12)의 입력 단자(20)에는 제 1 전류원(31)이 접속되고, 제 2 전류 미러 회로(13)의 입력 단자(21)에는 제 2 전류원(32)가 접속되어 있다. 제 1 전류 미러 회로(12)와 제 2 전류 미러 회로(13)의 공통 출력 단자(23)에는 부하(40)이 접속되고, 전원 단자(24)에는 전원 전압  $V_{cc}$ 가 공급되어 있다.

그러나, 본 발명자의 검토에 의하면, 이 제 3 도의 복합 전류 미러 회로에 있어서는 PNP 트랜지스터  $Q_1, Q_2$  및  $Q_3$ 의 소자 특성이 서로 같을 때에는 출력 단자(23)에서 부하(40)으로 공급된 출력 전류는 제 1 전류원(31)에 흐르는 전류와 제 2 전류원(32)에 흐르는 전류의 합의 1/2로 되고, 2개의 전류의 최대치를 검출할 수가 없다는 것이 마찬가지로 명확하게 되었다.

제 4 도의 복합 전류 미러 회로는 디스크리트 PNP 트랜지스터  $Q_1 \sim Q_3$ 에 의하여 구성된 제 1 전류 미러 회로(14)와 동일한 디스크리트 PNP 트랜지스터  $Q_2 \sim Q_5$ 에 의해서 구성된 제 2 전류 미러 회로(15)를 포함하고 있다. 제 1 전류 미러 회로(14)의 입력 단자(20)에는 제 1 전류원(31)이 접속되고, 제 2 전류 미러 회로(15)의 입력 단자(21)에는 제 2 전류원(32)가 접속되어 있다. 제 1 전류 미러 회로(14)와 제 2 전류 미러 회로(15)의 공통 출력 단자(23)에는 부하(40)이 접속되고, 전원 단자(24)에는 전원 전압  $V_{cc}$ 가 공급되어 있다.

그러나, 본 발명자의 검토에 의하면 이 제 4 도의 복합 전류 미러 회로에 있어서는 2 개의 입력 전류  $I_{in1}$ ,  $I_{in2}$ 에 차이가 있을 때에는 정확한 전류 비교 동작을 실행할 수가 없다는 것이 명확하게 되었다.

제 5 도의 제 4 도의 복합 전류 미러 회로의 전류 비교 동작을 실험하기 위한 측정 회로이며, 트랜지스터  $Q_1, \dots, Q_5$ 는 전부 디스크리트 PNP 트랜지스터이다. 제 1의 입력 단자(20)은 12k $\Omega$ 의 고정 저항  $R_{11}$ 과 가변 저항  $R_{12}$ 가 직렬로 접속되며, 제 2의 입력 단자(21)은 43k $\Omega$ 의 고정 저항  $R_2$ 가 접속되고, 출력 전류  $I_{out}$ 를 측정하기 위한 전류계(50)이 공통 출력 단자(23)에 접속되어 있다. 가변 저항  $R_{12}$ 의 저항치를 변화시키는 것으로써 제 1 입력 전류  $I_{in1}$ 이 변화하는 것에 대하여 고정 저항  $R_2$ 에 의하여 제 2 입력 전류  $I_{in2}$ 는 일정한 전류가 된다.

제 6 도는 제 5 도의 측정 회로를 이용해서 측정한 제 4 도의 복합 전류 미러 회로의 실험 결과를 도시한 특성 도면이다.

제 6 도중의 영역 A에 있어서는 가변저항  $R_{12}$ 의 저항치가 낮기 때문에 제 1 입력 전류  $I_{in1}$ 은 제 2 입력 전류  $I_{in2}$ 보다 큰 값으로 되며, 출력 전류  $I_{out}$ 는 제 1 입력 전류  $I_{in1}$ 에 따라서 변화한다. 제 6 도중의 영역 B에 있어서는 고정저항  $R_{11}$ 과 가변저항  $R_{12}$ 의 합이 다른 고정 저항  $R_2$ 의 값과 거의 같기 때문에, 제 1 입력 전류  $I_{in1}$ 과 제 2 입력 전류  $I_{in2}$ 는 서로 대략 같은 값으로 되어 출력 전류  $I_{out}$ 는 더욱 이들과 거의 같은 값으로 된다.

그런데, 제 6 도중의 영역 C에 있어서는 가변 저항  $R_{12}$ 의 저항치가 높기 때문에 제 1 입력 전류  $I_{in1}$ 은 제 2 입력 전류  $I_{in2}$ 보다 작은 값으로 된다. 따라서, 제 6 도중의 영역 C에 있어서는 보다 크며, 또한 일정한 제 2 입력 전류  $I_{in2}$ 에 의해서 일률적으로 출력 전류  $I_{out}$ 가 결정되는 것이 다수개의 전류의 최대치를 검출하기 위한 전기 회로에 있어서 이상적임에도 불구하고, 제 4 도의 복합 전류 미러 회로는 제 6 도중의 영역 C에 있어서는 특히 이상적인 상태에서 이탈한 특성  $l_1$ 을 갖는 것이 명확하게 되었다.

본 발명자는 상기의 원인을 검토한 결과, 다음과 같은 결론을 얻었다

즉,  $I_{in1} < I_{in2}$ 를 만족하는 제 6 도중의 영역 C에 있어서는 제 4 도의 디스크리트 PNP 트랜지스터  $Q_1, Q_2, Q_4$ 의 베이스 에미터 전압  $V_{BE}$ 는 보다 큰 전류  $I_{in2}$ 에 의하여 다음의 식을 구할 수 있다.

$$V_{BE} = -\frac{KT}{q} \ln \frac{I_{in2}}{I_s} \dots \dots \dots (1)$$

단, K는 볼츠만 상수, T는 절대 온도, q는 전자 전하,  $I_s$ 는 역방향 포화 전류이다.

따라서, 상기 (1)식으로 정해지는 베이스 에미터 전압  $V_{BE}$ 에 의해서 트랜지스터  $Q_1$ 의 베이스 에미터 접합이 바이어스되기 때문에 이 에미터 컬렉터 경로에도 제 2 입력 전류  $I_{in2}$ 와 같은 전류가 흐르게 한다. 그런데, 트랜지스터  $Q_1$ 의 컬렉터에는 고정저항  $R_{12}$ 가 접속되어 있기 때문에 그 에미터 컬렉터 경로에 흐르는 전류는 작은 제 1 입력 전류  $I_{in1}$ 로 제한된다. 그리하여  $I_{in1} < I_{in2}$ 를 만족시키는 제 6 도중의 영역 C에 있어서는 제 4 도의 디스크리트 PNP 트랜지스터  $Q_1$ 이 그 포화 영역으로 구동되기 때문에, 디스크리트 PNP 트랜지스터  $Q_1$ 의 컬렉터 베이스 접합은 순방향으로 바이어스된다. 이 트랜지스터  $Q_1$ 의 포화에 의한 트랜지스터 포화 전류  $I_{SAT}$ 가 제 4 도중에 도시한 경로로 흘러 공통 출력 단자(23)을 거쳐 부하(40)에 공급된다.

이와 같은 트랜지스터 포화 전류가 공통 출력 단자에 공급되지 않으면  $I_{in1} < I_{in2}$ 의 조건에 있어서는 보다 크며, 또한 일정한 제 2 입력  $I_{in2}$ 에 의해서 출력 전류  $I_{out}$ 가 일률적으로 결정되는 것이다. 그러

나, 제 4 도의 복합 전류 미러 회로에 있어서는 상술한 트랜지스터 포화 전류 ISAT가 실제로 흐르기 때문에 제 6 도의 영역 C에 있어서 이상적인 상태에서 이탈해 버린다.

또한,  $I_{in1} > I_{in2}$  를 만족하는 제 6 도의 영역 A에 있어서는 디스크리트 PNP 트랜지스터 Q4가 포화 영역으로 구동되어 그 결과, 상기 영역 A에 있어서도 그 이상적인 상태에서 이탈해 버리는 것이 마찬가지로 명확하게 되었다.

본 발명은 상술한 바와 같이 본 발명자의 검토 결과를 바탕으로 하고 있으며, 그 목적으로 하는 것은 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로 및 이를 사용한 신호 처리 회로를 제공하는데 있다.

다음에 본 발명에 따른 여러가지의 실시예를 다음의 도면에 따라 설명한다.

제 7 도는 본 발명의 실시예에 의한 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로의 등가회로이며, 2점 쇄선 IC 내부의 회로 소자는 모놀리딕 반도체 집적회로의 실리콘 칩 내부에 형성되어 있다. 이와 같은 전기 회로, 즉 복합 전류 미러 회로는 상기의 실리콘 칩 내부에 형성된 래터럴 PNP 트랜지스터  $Q_1 \sim Q_5$  에 의하여 구성된 제 1 전류 미러 회로(14)와 제 2 전류 미러 회로(15)를 포함하고 있다. 단자(20), (21), (23), (24)는 반도체 집적회로의 외부 단자이다. 제 1 전류 미러 회로(14)의 입력 단자(20)에는 제 1 전류원(31)이 접속되고, 제 2 전류 미러 회로(15)의 입력 단자(21)에는 제 2 전류원(32)가 접속되고, 제 1 전류 미러 회로(14)와 제 2 전류 미러 회로(15)의 공통 출력 단자(23)에는 부하(40)이 접속되고, 전원 단자(24)에는 전원 전압  $V_{cc}$  가 공급되어 있다. 또한, 본 발명에 의하면 PNP 트랜지스터  $Q_1, Q_4$  에는 각각 추가 트랜지스터로서 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$  가 접속되어 있다.

제 8 도는 상기 실시예에 의한 반도체 집적 회로의 중요부분 단면도를 도시한다. P형 실리콘 기판(800)의 표면에는  $N^+$ 형 매입층(801)과 (802)가 형성되고, 또 그 위에는 N형 에피택셜 성장층(803), (804), (805)가 형성되어 있다.

이 N형 에피택셜 성장층(804)중에는 다수개의 P형 불순물 확산층(806), (807), (808), (809) 및  $N^+$ 형 불순물 확산층(810)이 형성되어 있다.

N형 에피택셜 성장층(804)의 표면에 있어서 P형 확산층(807)은 P형 확산층(806)을 링상태로 둘러싸며, P형 확산층(809)은 P형 확산층(808)을 링 상태로 둘러싸고,  $N^+$ 형 확산층(810)은 이들 P형 확산층(806), (807), (808), (809)를 둘러싸고 있다. 또, 소자 분리 영역(811)이  $P^+$ 형 확산에 의해서 N형 에피택셜 성장층(804)내에 형성되어 있다.

에미터 전극(812), (813)이 각각 P형 확산층(806), (808)과 옴(ohmic) 접촉을 형성하고, 컬렉터 전극(814), (815)가 각각 P형 확산층(807), (809)와 옴 접촉을 형성하고, 베이스 전극(816)이  $N^+$ 형 확산층(810)과 옴 접촉을 형성하고 있다. P형 기판(800)의 뒷면의 옴 접촉을 형성하고 있는 전극(817)은 접지 전위점에 접속되어 있다.

그리고, P형 확산층(806), (807), N형 에피택셜층(804),  $N^+$ 형 확산층(810)에 의하여 래터럴 PNP 트랜지스터  $Q_1$  이 형성되고, P형 확산층(808), (809), N형 에피택셜층(804),  $N^+$ 형 확산층(810)에 의하여 래터럴 PNP 트랜지스터  $Q_4$  가 형성되어 있다.

특히 P형 확산층(807), N형 에피택셜층(804), P형 기판(800)에 의하여 추가 트랜지스터로서의 제 1 기생 PNP 트랜지스터  $Q_{p1}$  이 형성되고, P형 확산층(809), N형 에피택셜층(804), P형 기판(800)에 의해서 추가 트랜지스터의 제 2 기생 PNP 트랜지스터  $Q_{p4}$  가 형성되어 등가적으로 기생 PNP 트랜지스터  $Q_1, Q_4$  의 트랜지스터의 제 2 기생 PNP 트랜지스터  $Q_{p4}$  가 형성되어 등가적으로 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$  의 에미터가 각각 래터럴 PNP 트랜지스터  $Q_1, Q_4$  의 컬렉터에 접속되고, 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$  의 베이스가 각각 래터럴 PNP 트랜지스터  $Q_1, Q_4$  의 베이스에 접속되고, 기생 PNP 트랜지스터  $Q_1, Q_4$  의 컬렉터는 접지 전위점에 접속되어 있다.

이 제 7 도 및 제 8 도에 도시된 본 발명의 실시예에 의하면, 다음과 같은 이유로 다수개의 입력 전류의 최대치를 높은 정밀도로 검출할 수가 있다

제 1 전류원(31)의 제 1 입력 전류  $I_{in1}$  이 제 2 전류원(32)의 제 2 입력 전류  $I_{in2}$  보다 클때, 작은 전류  $I_{in2}$  를 받은 PNP 트랜지스터가 포화 영역으로 구동될 위험이 있다. 이 때에는 제 7 도에 도시되는 것과 같이 PNP 트랜지스터  $Q_4$  의 컬렉터 베이스 접합이 순방향으로 바이어스됨과 동시에, 기생 PNP 트랜지스터  $Q_{p4}$  의 에미터 베이스 접합도 순방향으로 바이어스된다. 따라서, PNP 트랜지스터  $Q_4$  의 컬렉터 전류  $I_{p4}$  는 기생 PNP 트랜지스터  $Q_{p4}$  의 에미터 컬렉터 경로를 거쳐서 접지 전위점으로 흐른다. 그런 다음에  $I_{in1} > I_{in2}$  일때 부하(40)으로의 PNP 트랜지스터  $Q_4$  의 트랜지스터 포화 전류 ISAT의 유입을 감소시키는 것이 가능하게 된다.

이와는 반대로  $I_{in1} < I_{in2}$  일때는 작은 전류  $I_{in1}$  을 받는 PNP 트랜지스터  $Q_1$  이 포화 영역으로 구동될 위험이 있다. 이때에는 작은 전류  $I_{in1}$  을 받는 PNP 트랜지스터  $Q_1$  이 포화 영역으로 구동될 위험이 있다. 이때에 제 7 도에 도시된 바와 같이 PNP 트랜지스터  $Q_1$  의 컬렉터 베이스 접합이 순방향으로 바이어스됨과 동시에 기생 PNP 트랜지스터  $Q_{p1}$  의 에미터 베이스 접합도 순방향으로 바이어스된다. 따라서,

PNP 트랜지스터  $Q_1$ 의 컬렉터 전류  $I_{p1}$ 은 기생 PNP 트랜지스터  $Q_1$ 의 에미터 컬렉터 경로를 거쳐서 접지 전위점으로 흐른다. 그리하여,  $I_{in1} < I_{in2}$  일때는 부하(40)으로의 PNP 트랜지스터  $Q_1$ 의 트랜지스터 포화 전류  $I_{SAT}$ 의 유입을 감소시키는 것이 가능하게 된다.

제 5 도의 측정 회로를 사용하여 제 7 도 및 제 8 도에 도시된 본 발명의 실시예의 전류 비교 동작의 실험 결과가 제 6 도의 특성 곡선  $l_2$ 에 의해서 도시되어 있다. 제 7 도의 복합 전류 미러 회로의 PNP 트랜지스터  $Q_1 \sim Q_5$ 의 베이스 에미터 전압  $V_{BE}$ 가 0.7V일때의 이상적인 전류 비교 동작과 제 6 도의 특성 곡선  $l_2$ 는 매우 높은 정밀도로 일치되는 것이 확인되었다.

제 9 도는 본 발명의 제 2의 실시예에 의한 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로의 등가 회로이며, 2점 쇄선 IC 내부의 회로 소자는 모놀리딕 반도체 집적 회로의 실리콘 칩 내부에 형성되어 있다. 트랜지스터  $Q_1 \sim Q_5$ 는 래터럴 PNP 트랜지스터이며, PNP 트랜지스터  $Q_1, Q_4$ 의 각각의 컬렉터와 베이스는 다른 PNP 트랜지스터  $Q_3, Q_5$ 의 베이스 에미터 접합을 가지고 접속되어 있다. 또한, PNP 트랜지스터  $Q_1, Q_4$ 에는 각각 등가적으로 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$ 가 추가 트랜지스터로서 접속되어 있다. 특히 PNP 트랜지스터  $Q_1, Q_4$  및 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$ 는 제 8 도의 단면도에 도시된 것과 같이 구성되어 있다. 그 이외는 제 7 도와 동일한 것에 동일 번호를 붙이고, 그 설명은 생략한다.

이와같은 실시예에 있어서도  $I_{in1} > I_{in2}$  또는  $I_{in1} < I_{in2}$  일때에는 각각 기생 PNP 트랜지스터  $Q_{p4}$  또는  $Q_{p1}$ 이 도통하여 부하(40)으로의 PNP 트랜지스터  $Q_4$  또는  $Q_1$ 의 트랜지스터 포화 전류  $I_{SAT}$ 의 유입을 감소시키는 것이 가능하게 된다.

제 10 도는 본 발명의 제 3의 실시예에 의한 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로의 등가 회로이며, 2점 쇄선 IC 내부의 회로 소자는 모놀리딕 반도체 집적 회로의 실리콘 칩 내부에 형성되어 있다.

트랜지스터  $Q_1 \sim Q_5$ 는 래터럴 PNP 트랜지스터이고, 트랜지스터  $Q_6, Q_7$ 은 수직 NPN 트랜지스터이다. 제 9 도의 실시예와 특히 다른 것은 PNP 트랜지스터  $Q_3, Q_5$ 에는 NPN 트랜지스터  $Q_6, Q_7$ 이 각각 접속되고, 양 트랜지스터  $Q_6, Q_7$ 의 에미터에는 바이어스 전압  $V_B$ 가 공급되어 있다. PNP 트랜지스터  $Q_1, Q_4$ 에는 각각 등가적으로 기생 PNP 트랜지스터  $Q_{p1}, Q_{p4}$ 가 추가 트랜지스터로서 접속되어 있다. 특히 PNP 트랜지스터  $Q_1, Q_4$  및 기생 PNP 트랜지스터  $Q_{p1}$ 과  $Q_{p4}$ 는 제 8 도의 단면도에 도시된 것과 같이 구성되어 있다. 이와 같은 실시예에 있어서도  $I_{in1} > I_{in2}$  또는  $I_{in1} < I_{in2}$  일때는 부하(40)으로의 트랜지스터 포화 전류  $I_{SAT}$ 의 유입을 감소시키는 것이 가능하다.

제 11 도는 본 발명의 제 4의 실시예에 의한 다수개의 입력 전류의 최대치를 검출하기 위한 전기 회로의 등가 회로이며, 2점 쇄선 IC 내부의 회로 소자는 모놀리딕 반도체 집적회로의 실리콘 칩 내부에 형성되어 있다. 트랜지스터  $Q_1, Q_2, Q_4$ 는 래터럴 PNP 트랜지스터이고, 트랜지스터  $Q_3, Q_5$ 는 수직 NPN 트랜지스터이다. PNP 트랜지스터  $Q_1, Q_4$ 의 각각의 베이스와 컬렉터는 NPN 트랜지스터이다. PNP 트랜지스터  $Q_1, Q_4$ 의 각각의 베이스와 컬렉터는 NPN 트랜지스터  $Q_3, Q_5$ 의 컬렉터 에미터 경로를 거쳐서 접속되며, 양 트랜지스터  $Q_3, Q_5$ 의 베이스에는 바이어스 전압  $V_B$ 가 공급되어 있다. PNP 트랜지스터  $Q_1$ 과  $Q_4$ 에는 각각 등가적으로 기생 PNP 트랜지스터  $Q_{p1}$ 과  $Q_{p4}$ 가 추가 트랜지스터로서 접속되어 있다. 특히 PNP 트랜지스터  $Q_1$ 과  $Q_4$  및 기생 PNP 트랜지스터  $Q_{p1}$ 과  $Q_{p4}$ 는 제 8 도의 단면도에 도시된 것과 같이 구성되어 있다. 이와 같은 실시예에 있어서  $I_{in1} > I_{in2}$  또는  $I_{in1} < I_{in2}$  일때에는 부하(40)으로의 트랜지스터 포화 전류  $I_{SAT}$ 의 유입을 감소시키는 것이 가능하다.

제 12 도 a 및 제 12 도 b 는본 발명의 다른 실시예에 의한 신호 처리 회로의 회로 도면을 도시하고 있다. 이와 같은 신호 처리 회로는 CX(Compatible Expansion)방식 신장기이며, 레코드 또는 광학식 비디오 디스크의 음성 계통의 잡음 저감에 유효하다.

잡음 저감 장치로서의 이와 같은 신호 처리 회로의 원리는 1981년 11월 발행의 "IEEE TRANSACTIONS ON CONSUMER ELECTRONICS" Volume CE-27 Number 4, pp.626-630에 개시되어 있다.

2점 쇄선 IC 내부의 회로 소자는 모놀리딕 반도체 집적 회로의 실리콘 칩 내부에 형성되고, 그 이외의 회로 소자는 디스크리트 부품에 의해서 구성되어 있다.

CS 방식의 압축기에 의해서 압축된 우측 채널 음성 입력 신호와 좌측 채널 음성 입력 신호는 각각 결합캐패시터  $C_{100}$ 과  $C_{101}$ 을 거쳐서 1번 단자와 2번 단자에 공급됨과 동시에, 각각 제 1 입력 증폭기(121)과 제 2 입력 증폭기(122)에 의해서 증폭된다.

제 1 입력 증폭기(121)은 트랜지스터  $Q_1 \sim Q_{12}$ , 저항  $R_1 \sim R_{14}$ , 위상보상캐패시터  $C_1$ 에 의하여 구성되며, 제 2 입력 증폭기(122)는 트랜지스터  $Q_{13} \sim Q_{24}$ , 저항  $R_{15} \sim R_{28}$ , 위상 보상 캐패시터  $C_2$ 에 의해서 구성되어 있다.

16 번 단자에서 얻어지는 제 1입력 증폭기(121)의 출력 신호는 결합 캐패시터  $C_{102}$ 를 통해서 제 1 전파 정류기(123)의 입력 단자인 15 번 단자로 공급되고, 14번 단자에서 얻어진 제 2 입력 증폭기(122)의 출력 신호는 결합 캐패시터  $C_{103}$ 을 통해서 제 2 전파 정류기(124)의 입력 단자인 13번 단자로 공급된다.

제 1 전파정류기(123)은 트랜지스터  $Q_{25}\sim Q_{33}$ ,  $Q_{35}\sim Q_{37}$ , 저항  $R_{29}\sim R_{53}$ , 위상 보상 캐패시터  $C_3$ 에 의해서 구성되는 것에 따라 노드  $N_1$ 에 제 1 전파 정류 전류가 얻어지고, 제 2 전파 정류기(124)는 트랜지스터  $Q_{38}\sim Q_{46}$ ,  $Q_{48}\sim Q_{50}$ , 저항  $R_{38}\sim R_{46}$  위상 보상 캐패시터  $C_4$ 에 의해서 구성되는 것에 따라 노드  $N_2$ 에 제 2 전파 정류 전류가 얻어진다. 이와 같은 전파 정류기는 일본국 특허 공개 공보 소화 52-123850에 상세하게 개시되어 있다.

최대 전류 검출 회로(125)는 PNP 트랜지스터  $Q_{34}$ ,  $Q_{51}$ ,  $Q_{53}$ 에 의하여 구성된 제 1 전류 미러 회로(125A)와 PNP 트랜지스터  $Q_{47}$ ,  $Q_{51}$ ,  $Q_{52}$ 에 의해서 구성된 제 2 전류 미러 회로(125B)를 포함하고 있다. 제 1 전류 미러 회로(125A)와 제 2 전류 미러 회로(125B)의 공통출력단자  $N_3$ 에는 부하 저항  $R_{47}$ 이 접속되어 있다. PNP 트랜지스터  $Q_{34}$ ,  $Q_{47}$ 은 각각 제 8 도의 단면도의 래터럴 PNP 트랜지스터  $Q_1$ ,  $Q_4$ 에 도시한 바와 같이 형성되어 있기 때문에 상술한 각 실시예와 같이 PNP 트랜지스터  $Q_{34}$ 와  $Q_{47}$ 에는 각각 등가적으로 기생 PNP 트랜지스터가 추가 트랜지스터로써 접속되게 된다. 따라서 노드  $N_1$ 의 제 1 전파 정류 전류가 노드  $N_2$ 의 제 2 전파 정류 전류보다 클때 또는 반대일때 상기 2 개의 기생 PNP 트랜지스터의 어느 한쪽이 도통하여 부하  $R_{47}$ 로의 PNP 트랜지스터  $Q_{34}$  또는  $R_{47}$ 의 트랜지스터 포화 전류  $I_{SAT}$ 의 유입을 감소시키는 것이 가능하게 된다.

부하  $R_{47}$ 에 생긴 최대 전류 검출 출력 신호는 배선  $I_4$ 를 통해서 피크 검출 회로(126)의 입력(트랜지스터  $Q_{84}$ 의 베이스)에 공급된다. 이와같은 피크 검출 회로(126)은 트랜지스터  $Q_{84}\sim Q_{107}$ , 저항  $R_{66}$ ,  $R_{81}$ ,  $R_{84}$ , 위상 보상 캐패시터  $C_5\sim C_6$  피크 유지 캐패시터  $C_{106}$ 에 의하여 구성되며, 12번 단자에 피크 유지 전압이 발생한다.

이 12 번 단자에 생긴 피크 유지 전압은 트랜지스터  $Q_{108}\sim Q_{114}$ , 저항  $R_{85}$ ,  $R_{86}$ 에 의해서 구성된 저출력 임피던스 버퍼 회로(127)을 통해서 11번 단자에 전달된다.

10 번 단자와 11 번 단자에는 트랜지스터  $Q_{115}$ ,  $Q_{116}$ , 저항  $R_{87}$ ,  $R_{88}$ ,  $R_{108}\sim R_{110}$  캐패시터  $C_{107}$ ,  $C_{108}$ 에 의해서 구성된 시정수 회로(128)이 접속되어 있다. 저항  $R_{87}$ 과 캐패시터  $C_{108}$ 에 의하여 약 30msec 상승하는 시정수가 결정되며, 저항  $R_{88}$ 과 캐패시터  $C_{108}$ 에 의하여 약 200msec의 감쇠 시정수가 결정된다.

5번 단자에 접속된 제어 스위치 SW에 의해서 제어되는 제 1 제어 회로(129)는 트랜지스터  $Q_{117}\sim Q_{125}$ , 저항  $R_{89}\sim R_{97}$ 에 의하여 구성되어 있다. 제어 스위치 SW가 ON상태로 되면, 제 1 제어 회로(129)의 트랜지스터  $Q_{120}$ 은 OFF 상태, 트랜지스터  $Q_{121}$ 은 ON 상태, 트랜지스터  $Q_{124}$ ,  $Q_{125}$ 는 OFF상태가 된다. 이때, 트랜지스터  $Q_{126}\sim Q_{134}$  저항  $R_{98}$ ,  $R_{99}$ ,  $R_{220}\sim R_{2103}$ 에 의해서 구성된 스위치형 저출력 임피던스 버퍼 회로의 트랜지스터  $Q_{130}$ 은 ON 상태, 트랜지스터  $Q_{133}$ 은 OFF 상태로 간다. 따라서, 10번 단자의 전압은 버퍼 회로(130)의 트랜지스터  $R_{126}$ ,  $Q_{129}$ 와 저항  $R_{203}$ 을 거쳐서 제 2 제어 회로(131)의 입력 단자(트랜지스터  $Q_{135}$ 의 베이스)로 전달된다.

한편, 제 2 제어 회로(131)은 트랜지스터  $Q_{135}$ ,  $Q_{148}$  저항  $R_{204}\sim R_{211}$  위상 보상 캐패시터  $C_7$ 에 의해서 구성되어 있다. 트랜지스터  $Q_{149}$ ,  $Q_{152}$ , 저항  $R_{212}$ ,  $R_{215}$ 에 의하여 구성된 제 1 바이어스 회로(132)는 일정 전압을 저항  $R_{211}$ 에 공급한다.

11 번 단자에 접속된 캐패시터  $C_{107}$ , 저항  $R_{108}$ ,  $R_{109}$ 는 고역 필터를 구성하고, 저항  $R_{108}$ 과  $R_{109}$ 의 공통 접속점에 있어서의 고역 필터 출력 신호는 9번 단자를 거쳐서 트랜지스터  $Q_{148}$ 의 베이스에 전달된다. 트랜지스터  $Q_{148}$ 의 컬렉터에 접속된 트랜지스터  $Q_{145}\sim Q_{147}$ 은 전류 미러 회로를 구성하기 때문에 10번 단자에서 전달된 신호와 11번 단자에서 전달된 신호는 제 2 제어 회로(131)의 입력 단자 트랜지스터  $Q_{135}$ 의 베이스)에서 서로 가산된다. 이 가산 신호는 PNP 트랜지스터  $Q_{141}$ ,  $Q_{142}$ 의 컬렉터에 전달되고, 또한 배선  $L_6$ 을 통해서 제 3 제어 회로(133)으로 전달된다.

3제어 회로(133)은 트랜지스터  $Q_{153}$ ,  $Q_{154}$ , 저항  $R_{216}$ 에 의하여 구성되고, 트랜지스터  $Q_{153}$ 의 에미터에서 제어출력신호를 얻는다.

제 1 가변 이득 증폭 회로(134)는 트랜지스터  $Q_{54}\sim Q_{68}$  저항  $R_{48}$ ,  $R_{56}$ 에 의하여 구성되며, 이 이득은 트랜지스터  $Q_{65}$ 의 컬렉터 전류치에 의해서 변화한다. 마찬가지로, 제 2 가변 이득 증폭 회로(135)는 트랜지스터  $Q_{69}\sim Q_{83}$ , 저항  $R_{57}\sim R_{65}$ 에 의해서 구성되며, 그 이득은 트랜지스터  $Q_{80}$ 의 컬렉터 전류치에 의해서 변화한다.

이와 같이 해서 제 1 가변 이득 증폭 회로(134)는 16번 단자의 제 1 입력 증폭기 (121)의 출력 신호를 가변 증폭하여 4번 단자에 전달하고, 제 2 가변 이득 증폭 회로(135)는 14번 단자의 제 2 입력 증폭기(122)의 출력 신호를 가변 증폭하여 3번 단자로 전달하기 때문에 CX 방식의 신장기로서의 신호 처리 회로에 의해서 신장된 우측 채널 음성 출력 신호와 좌측 채널 음성 출력 신호를 얻을 수가 있다.

제 2 바이어스 회로(136)은 트랜지스터  $Q_{155}\sim Q_{160}$  제너다이오드 ZD, 저항  $R_{217}\sim R_{223}$ 에 의해서 구성되며, 다수개의 바이어스 전압을 발생한다.

제 3 바이어스 회로(137)은 트랜지스터  $Q_{161}\sim Q_{163}$ ,  $R_{224}$ ,  $R_{224}$ 에 의해서 구성되고, 트랜지스터  $Q_{163}$ 의 베이스에 바이어스 전압  $V_{b1}$ 을 발생한다.

트랜지스터  $Q_{164}$ - $Q_{170}$  저항  $R_{226}$ ,  $R_{227}$  에 의해서 구성된 버퍼 회로(138)는 저항  $R_{219}$ ,  $R_{220}$  의 공통 접속점의 바이어스 전압을 트랜지스터  $Q_{169}$ ,  $Q_{170}$  의 에미터에 저출력 임피던스로 전달하고, 저항  $R_{171}$ ,  $R_{177}$  저항  $R_{228}$  과  $R_{229}$  에 의해서 구성된 버퍼 회로(139)는 저항  $R_{220}$ ,  $R_{221}$  의 공통 접속점의 바이어스 전압을 트랜지스터  $Q_{176}$  과  $Q_{177}$  의 에미터에 저출력 임피던스로 전달한다. 따라서, 이 신호 처리 회로가 CX 방식의 신장기로서 동작할때, 제 1가변 이득 증폭기(134)의 이득과 제 2 가변 이득 증폭기(135)의 이득은 동시에 노드  $N_1$ 의 제 1 전파 정류 전류와 노드  $N_2$ 의 제 2 전파 정류 전류의 어느 것인가 큰쪽의 전류에 의하여 결정되기 때문에 높은 정밀도의 CX 방식의 신장기를 얻을 수가 있다.

그리고, 5번 단자에 접속된 제어 스위치 SW가 OFF 상태로 되면, 제 1 제어 회로(129)의 트랜지스터  $Q_{120}$  은 ON 상태, 트랜지스터  $Q_{121}$  은 OFF 상태, 트랜지스터  $Q_{124}$ 와 $Q_{125}$  는ON 상태로 되고, 이와 같은 신호 처리 회로는 CX 방식의 신장기로서의 동작을 정지한다.

이상 설명한 본 발명의 각 실시예는 해당 업자의 상식 범위에 있어서, 여러가지의 변형으로 실시 형태를 채용할 수가 있다.

예를들면, 제 12 도 a 중의 최대 전류 검출 회로(125)로써 제 7 도, 제 9 도, 제 10 도 및 제 11 도의 어느 하나의 실시예에 의한 전기 회로가 이용되는 것은 명확한 것이다

### (57) 청구의 범위

#### 청구항 1

제 1 입력 바이폴라 트랜지스터( $Q_1$ ), 제 1 결합 바이폴라 트랜지스터( $Q_3$ ) 및 출력 바이폴라 트랜지스터( $Q_2$ )를 갖는 제 1 전류 미러 회로(14)에 있어서, 상기 제 1 입력 트랜지스터( $Q_1$ )의 에미터와 상기 출력 트랜지스터( $Q_2$ )의 에미터는 함께 접속되고, 상기 제 1 입력 트랜지스터( $Q_1$ )의 베이스와 상기 출력 트랜지스터 ( $Q_2$ )의 베이스가 함께 접속되며, 상기 제 1 결합 트랜지스터( $Q_3$ )을 통해서 상기 제 1 입력 트랜지스터( $Q_1$ )의 컬렉터와 베이스가 접속되고, 상기 제 1 입력 트랜지스터( $Q_1$ )의 컬렉터에 제 1 입력 단자(20)이 접속되며, 상기 출력 트랜지스터( $Q_2$ )의 컬렉터에 출력 단자(23)이 접속되고, 제 2 입력 바이폴라 트랜지스터( $Q_4$ ), 제 2 결합 바이폴라 트랜지스터( $Q_5$ ) 및 상기 출력 트랜지스터( $Q_2$ )를 갖는 제 2 전류 미러 회로(15)에 있어서, 상기 제 2 입력 트랜지스터( $Q_4$ )의 에미터와 상기 출력 트랜지스터( $Q_2$ )의 에미터가 함께 접속되고, 상기 제 2 입력 트랜지스터( $Q_4$ )의 베이스와 상기 출력 트랜지스터( $Q_2$ )의 베이스가 함께 접속되며, 상기 제 2 결합 트랜지스터( $Q_5$ )를 통해서 상기 제 2 입력 트랜지스터( $Q_4$ )의 컬렉터와 베이스가 접속되며, 상기 제 2 입력 트랜지스터의 컬렉터에 제 2 입력 단자 (21)이 접속되고, 출력 단자가 상기 제 1 전류 미러 회로(14)의 출력단자와 공통이며, 상기 제 1 전류 미러 회로(14)는 또 제 1 추가 바이폴라 트랜지스터( $Q_{p1}$ )을 가지며, 그 제 1 추가 트랜지스터( $Q_{p1}$ )의 에미터, 베이스 및 컬렉터는 각각 상기 제 1 입력 트랜지스터( $Q_1$ )의 컬렉터, 베이스 및 기준 전위에 접속되며, 상기 제 2 전류 미러 회로(15)는 또 제 2 추가 바이폴라 트랜지스터( $Q_{p4}$ )를 가지며, 그 제 2 추가 트랜지스터( $Q_{p4}$ )의 에미터, 베이스 및 컬렉터는 각각 상기 제 2 입력 트랜지스터( $Q_4$ )의 컬렉터, 베이스 및 상기 기준 전위에 접속되고, 상기 제 1 입력 단자 (20)에는 제 1 입력 전류( $I_{in1}$ )가 공급되고, 상기 제 2 입력 단자 (21)에는 제 2 입력 전류( $I_{in2}$ )가 공급되는 것에 의해 상기 2개의 입력 전류( $I_{in1}$ ,  $I_{in2}$ )의 그중의 큰 값에 비례하는 출력 전류( $I_{out}$ )를 상기 공통 출력 단자(23)로부터 얻는 것을 포함하는 전기 회로.

#### 청구항 2

특허청구의 범위 제 1 항에 있어서, 상기 제 1 입력 트랜지스터( $Q_1$ )의 베이스와 상기 제 2 입력 트랜지스터( $Q_4$ )의 베이스는 P형 반도체 기판(800)위의 N형 반도체층(804)으로 구성되고, 상기 제 1 입력 트랜지스터( $Q_1$ )의 컬렉터와 상기 제 2 입력 트랜지스터( $Q_4$ )의 컬렉터의 각각은 상기 N형 반도체층(804)내에 형성된 제 1의 P형 반도체층(807)과 제 2의 P형 반도체층(809)으로 구성되며, 그 결과로써 상기 제 1 추가 트랜지스터( $Q_{p1}$ )의 에미터는 상기 제 1의 P형 반도체층(807)에 의하여 구성되고, 상기 제 2 추가 트랜지스터( $Q_{p4}$ )의 에미터는 상기 제 2의 P형 반도체층(809)에 의하여 구성되고, 상기 제 1 추가 트랜지스터 ( $Q_{p1}$ ) 베이스와 상기 제 2 추가 트랜지스터( $Q_{p4}$ )의 베이스는 상기 N형 반도체층(804)에 의해서 구성되고, 상기 제 1 추가 트랜지스터( $Q_{p1}$ )의 컬렉터와 상기 제 2 추가 트랜지스터( $Q_{p4}$ )의 컬렉터는 상기 P형 반도체 기판(800)에 의하여 구성되어 있는 전기 회로.

#### 청구항 3

제 1 입력 신호를 증폭하기 위한 제 1 입력 증폭기(121), 제 2 입력 신호를 증폭하기 위한 제 2 입력 증폭기(122), 상기 제 1 입력 증폭기(121)의 교류 출력 신호로부터 제 1 정류 전류를 얻기 위한 제 1 정류기(123), 상기 제 2 입력 증폭기(122)의 교류 출력 신호로부터 제 2 정류 전류를 얻기 위한 제 2 정류기(124), 상기 제 1 및 제 2 정류 전류중 큰 값에 비례하는 출력 신호를 얻기 위한 최대 전류 검출 회로(125), 상기 최대 전류 검출 회로(125)의 출력 단자에 접속된 입력 단자를 갖는 피크 검출 회로(126), 그 입력 단자가 상기 피크 검출 회로(126)의 출력 단자에 접속된 시정수 회로(128), 그 입력 단자에 상기 제 1 입력 증폭기(121)의 출력 신호가 인가됨과 동시에 그 이득이 상기 시정수 회로(128)의 출력 신호에 따라 제어되는 것에 의해서, 그 출력 단자로부터 제 1 신장 출력

신호를 얻도록 구성된 제 1 가변 이득 증폭 회로(134), 그 입력 단자에 상기 제 2 입력 증폭기(122)의 출력 신호가 인가됨과 동시에 그 이득이 상기 시정수 회로(128)의 출력 신호에 따라 제어되는 것에 의해서, 그 출력 단자로부터 제 2 신장 출력 신호를 얻도록 구성된 제 2 가변이득 증폭 회로(135)를 포함하는 신호 처리 회로에 있어서, 상기 최대 전류 검출 회로(125)는, (a)제 1 입력 바이폴라 트랜지스터(Q<sub>34</sub>) 제 1 결합 바이폴라 트랜지스터(Q<sub>53</sub>) 및 출력 바이폴라 트랜지스터(Q<sub>51</sub>)를 갖는 제 1 전류 미러 회로(125A)에 있어서, 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 에미터와 상기 출력 트랜지스터(Q<sub>51</sub>)의 에미터가 함께 접속되고, 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 베이스와 상기 출력 트랜지스터(Q<sub>51</sub>)의 베이스가 함께 접속되며, 상기 제 1 결합 트랜지스터(Q<sub>53</sub>)를 통해서 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 컬렉터와 베이스가 접속되고, 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 컬렉터에 제 1 입력 단자(N<sub>1</sub>)이 접속되며, 상기 출력 트랜지스터(Q<sub>51</sub>)의 컬렉터에 상기 출력 단자(N<sub>3</sub>)가 접속되고, (b)제 2 입력 바이폴라 트랜지스터(Q<sub>47</sub>), 제 2 결합 바이폴라 트랜지스터(Q<sub>52</sub>) 및 상기 바이폴라 출력 트랜지스터(Q<sub>51</sub>)를 갖는 제 2 전류 미러 회로(125B)에 있어서, 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 에미터와 상기 출력 트랜지스터(Q<sub>51</sub>)의 에미터가 함께 접속되고, 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 베이스와 상기 출력 트랜지스터(Q<sub>51</sub>)의 베이스가 함께 접속되며, 상기 제 2 결합 트랜지스터(Q<sub>52</sub>)를 통해서 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 컬렉터와 베이스가 접속되고, 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 컬렉터에 제 2 입력 단자(N<sub>2</sub>)가 접속되고 상기 출력 트랜지스터(Q<sub>51</sub>)의 컬렉터에 상기 출력 단자(N<sub>3</sub>)가 접속되며, 상기 제 1 전류 미러 회로(125A)는 또 제 1 추가 트랜지스터(Q<sub>p1</sub>)를 포함하며, 상기 제 1 추가 트랜지스터(Q<sub>p1</sub>)의 에미터, 베이스 및 컬렉터는 각각 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 컬렉터, 베이스 및 기준 전위에 접속되고, 상기 제 2 전류 미러 회로(125B)는 또 제 2 추가 트랜지스터를 포함하며, 상기 제 2 추가 트랜지스터(Q<sub>p4</sub>)의 에미터, 베이스 및 컬렉터는 각각 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 컬렉터, 베이스 및 상기 기준 전위에 접속되며, 상기 제 1 입력 단자(N<sub>1</sub>)에는 상기 제 1 정류 전류가 공급되고, 상기 제 2 입력 단자(N<sub>2</sub>)에는 상기 제 2 정류 전류가 공급되는 것을 포함하는 신호 처리 회로.

#### 청구항 4

특허청구의 범위 제 3 항에 있어서, 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 베이스와 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 베이스는 P형 반도체 기판(800)위의 N형 반도체층(804)에 의하여 구성되고, 상기 제 1 입력 트랜지스터(Q<sub>34</sub>)의 컬렉터와 상기 제 2 입력 트랜지스터(Q<sub>47</sub>)의 컬렉터는 상기 N형 반도체층(804)내에 형성된 제 1의 P형 반도체층(807)과 제 2의 P형 반도체층(809)에 의하여 각각 구성되며, 상기 제 1 추가 트랜지스터(Q<sub>p1</sub>)의 에미터가 상기 제 1의 P형 반도체층(807)에 의하여 구성되며, 상기 제 2 추가 트랜지스터(Q<sub>p4</sub>)의 에미터가 상기 제 2의 P형 반도체층(809)에 의하여 구성되며 상기 제 1 추가 트랜지스터(Q<sub>p1</sub>)의 베이스와 상기 제 2 추가 트랜지스터(Q<sub>p4</sub>)의 베이스는 상기 N형 반도체층(804)에 의하여 구성되고 상기 제 1 추가 트랜지스터의 컬렉터와 상기 제 2 추가 트랜지스터(Q<sub>34</sub>)의 컬렉터는 상기 P형 반도체 기판(800)에 의하여 구성되어 있는 신호 처리 회로.

#### 청구항 5

제 1 전류 미러 회로는 제 1 입력 바이폴라 트랜지스터, 제 1 결합 바이폴라 트랜지스터 및 출력 바이폴라 트랜지스터를 포함하며, 상기 제 1 입력 및 출력 트랜지스터의 에미터가 함께 접속되며, 상기 제 1 입력 및 출력 트랜지스터의 베이스가 함께 접속되며, 상기 제 1 결합 트랜지스터를 통하여 상기 제 1 입력 트랜지스터의 베이스가 상기 제 1 입력 트랜지스터의 컬렉터에 접속되며, 상기 제 1 입력 트랜지스터의 컬렉터에 접속된 제 1 입력 단자에는 제 1 입력 전류가 공급되고, 상기 출력 트랜지스터의 컬렉터에 출력 단자가 접속되며, 제 2 전류 미러 회로는 제 2 입력 바이폴라 트랜지스터, 제 2 결합 바이폴라 트랜지스터 및 출력 바이폴라 트랜지스터를 포함하며, 상기 제 2 입력 및 출력 트랜지스터의 에미터가 함께 접속되며, 상기 제 2 입력 및 출력 트랜지스터의 베이스가 함께 접속되며, 상기 제 2 결합 트랜지스터를 통하여 상기 제 2 입력 트랜지스터의 베이스가 상기 제 2 입력 트랜지스터의 컬렉터에 접속되며, 상기 제 2 입력 트랜지스터에 접속된 제 2 입력 단자에는 제 2 입력 전류가 공급되고 상기 전류 미러 회로의 출력 단자와 공통으로 출력 단자가 상기 출력 트랜지스터의 컬렉터에 접속되고, 상기 제 1 및 제 2 입력 전류에서의 불균형에 따라 포화 상태로 구동되는 것으로부터 상기 제 1 및 제 2 입력 트랜지스터를 선택적으로 보호하기 위해 제 1 및 제 2 입력 트랜지스터에 결합되며, 상기 공통 출력 단자에서 출력 전류가 상기 제 1 및 제 2 입력 전류중 큰값을 나타내는 것과 결합되는 수단을 포함하는 전기 회로.

#### 청구항 6

특허청구의 범위 제 5 항에 있어서, 상기 수단은 상기 제 1 및 제 2 입력 트랜지스터에서 포화 전류의 유입을 제어하여 감소시키도록 상기 제 1 및 제 2 입력 트랜지스터의 컬렉터 전류를 선택적으로 전용하는 수단을 포함하는 전기 회로.

#### 청구항 7

특허청구의 범위 제 6 항에 있어서 상기 수단은 에미터, 베이스 및 컬렉터가 각각 상기 제 1 입력 트랜지스터의 컬렉터 및 베이스와 기준 전위 단자에 접속된 상기 제 1 전류 미러 회로내의 제 1 추가 바이폴라 트랜지스터, 에미터, 베이스 및 컬렉터가 각각 상기 제 2 입력 트랜지스터의 컬렉터 및 베이스와 기준 전위 단자에 접속된 상기 제 2 전류 미러 회로내의 제 2 추가 바이폴라 트랜지스터를 포함하는 전기 회로.

**청구항 8**

특허청구의 범위 제 7 항에 있어서, 상기 공통 출력단자는 상기 출력 트랜지스터의 컬렉터에 직접 접속되어 있는 전기 회로.

**청구항 9**

특허청구의 범위 제 7 항에 있어서, 상기 제 1, 제 2 입력 및 결합 트랜지스터와 출력 트랜지스터는 집적 회로로써 형성되는 전기 회로.

**청구항 10**

특허청구의 범위 제 9 항에 있어서, 상기 제 1 및 제 2 추가 트랜지스터는 상기 집적 회로내에서 기생 트랜지스터인 전기 회로.

**청구항 11**

특허청구의 범위 제 10 항에 있어서, 상기 제 1 입력 트랜지스터의 베이스와 상기 제 2 입력 트랜지스터의 베이스는 P형 반도체 기판위의 N형 반도체층으로 구성되고, 상기 제 1 입력 트랜지스터의 컬렉터와 상기 제 2 입력 트랜지스터의 컬렉터와 각각은 상기 N형 반도체층내에 형성된 제 1의 P형 반도체층과 제 2의 P형 반도체층으로 구성되며, 그 결과로써 상기 제 1 추가 트랜지스터의 에미터는 상기 제 1의 P형 반도체층에 의하여 구성되고, 상기 제 2 추가 트랜지스터의 에미터는 상기 제 2의 P형 반도체층에 의하여 구성되며, 상기 제 1 추가 트랜지스터의 베이스와 상기 제 2 추가 트랜지스터의 베이스는 상기 N형 반도체층에 의해서 구성되고, 상기 제 1 추가 트랜지스터의 컬렉터와 상기 제 2 추가 트랜지스터의 컬렉터는 상기 P형 반도체 기판에 의하여 구성되어 있는 전기 회로.

**청구항 12**

특허청구의 범위 제 7 항에 있어서, 상기 공통 출력 단자는 상기 제 1 및 제 2 결합 트랜지스터를 통해서 상기 출력 트랜지스터의 컬렉터에 접속되어 있는 전기 회로.

**청구항 13**

특허청구의 범위 제 8 항에 있어서, 상기 제 1 및 제 2 결합 트랜지스터와 컬렉터는 상기 기준 전위 단자에 접속되어 있는 전기 회로.

**청구항 14**

특허청구의 범위 제 8 항에 있어서, 상기 제 1 및 제 2 결합 트랜지스터와 바이어스 전압 단자 사이에 각각 접속된 제 1 및 제 2 바이어스 결합 트랜지스터를 포함하는 전기 회로.

**청구항 15**

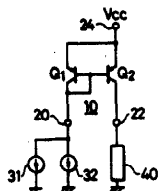
특허청구의 범위 제 8 항에 있어서, 상기 제 1 및 제 2 결합 트랜지스터의 베이스가 바이어스 전위의 소오스에 결합되어 있는 전기 회로.

**청구항 16**

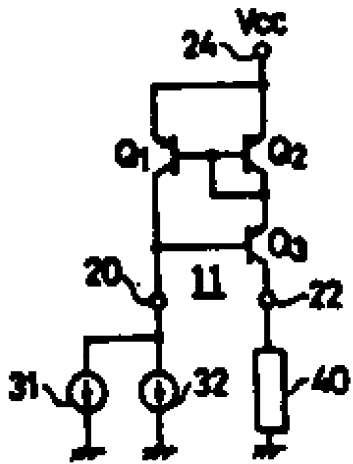
특허청구의 범위 제 5 항에 있어서, 상기 전기 회로는 음성 신호 처리 회로내에서 최대 전류 검출 회로를 구성하는 전기 회로.

**청구항 17**

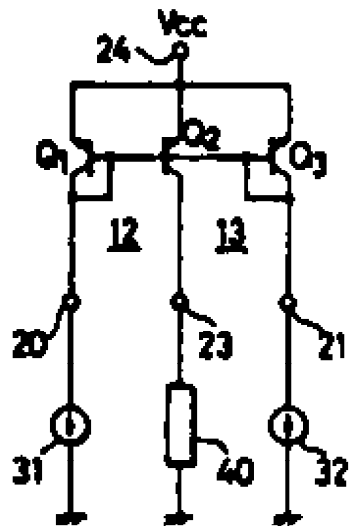
특허청구의 범위 제 5 항에 있어서, 상기 전기 회로는 CX 방식 신장기내에서 최대 전류 검출 회로를 구성하는 전기 회로.

**도면****도면1**

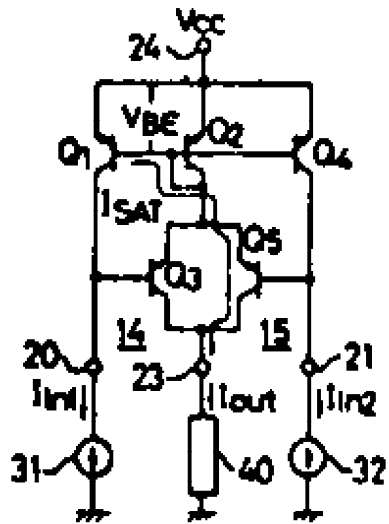
도면2



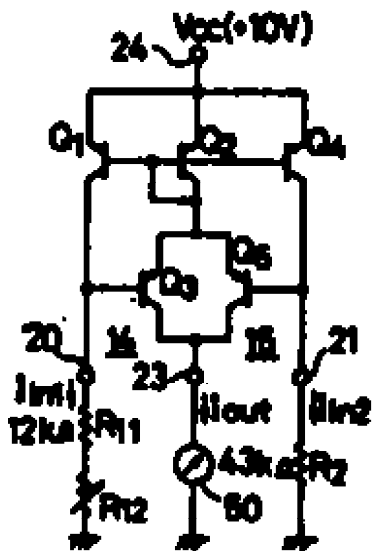
도면3



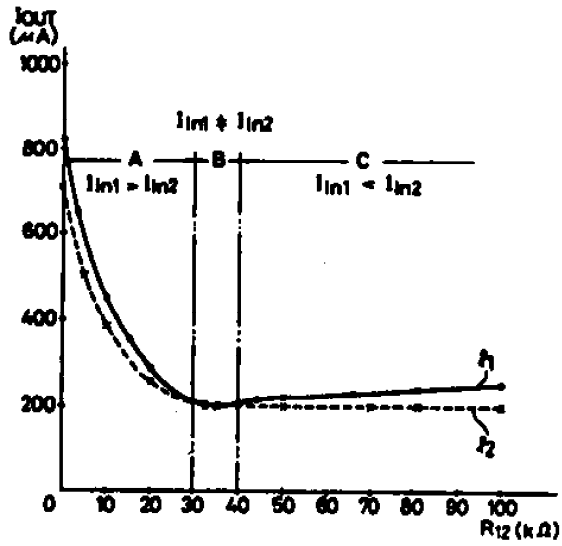
도면4



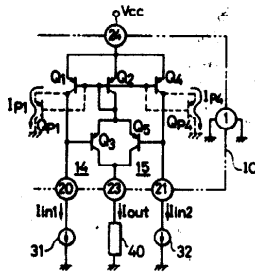
도면5



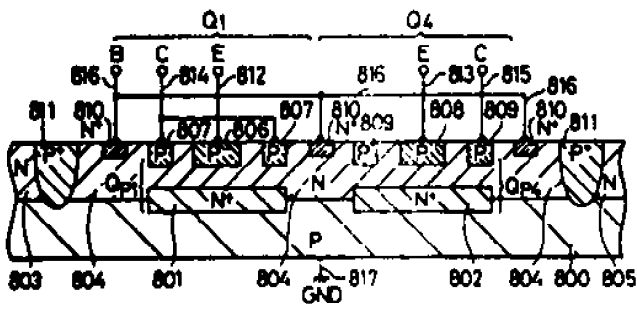
도면6



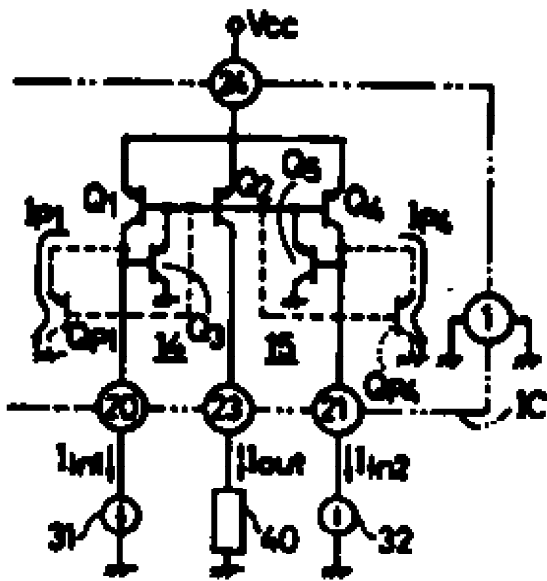
도면7



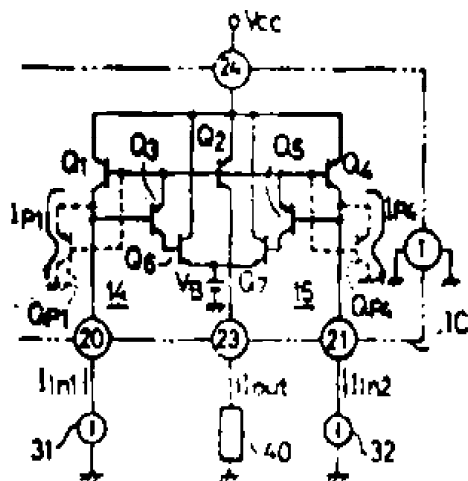
도면8



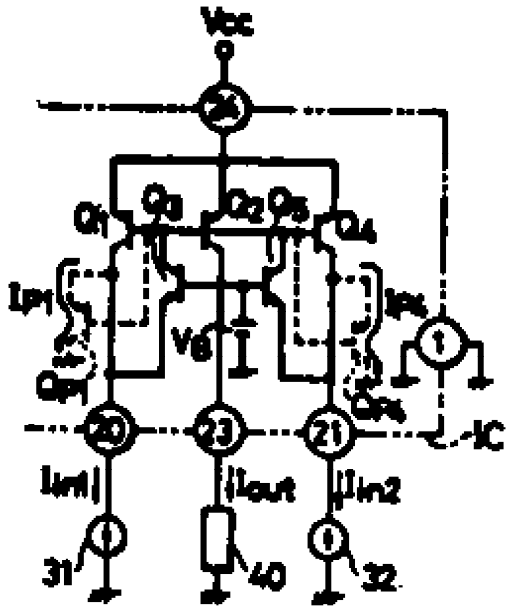
도면9



도면10



도면11



도면12-A

