

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4952148号  
(P4952148)

(45) 発行日 平成24年6月13日(2012.6.13)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.

F I

H O 1 L 21/8246 (2006.01)

H O 1 L 27/10 4 4 4 B

H O 1 L 27/105 (2006.01)

請求項の数 10 (全 47 頁)

(21) 出願番号 特願2006-231966 (P2006-231966)  
 (22) 出願日 平成18年8月29日 (2006. 8. 29)  
 (65) 公開番号 特開2008-60126 (P2008-60126A)  
 (43) 公開日 平成20年3月13日 (2008. 3. 13)  
 審査請求日 平成21年5月21日 (2009. 5. 21)

(73) 特許権者 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 100091672  
 弁理士 岡本 啓三  
 (72) 発明者 王 文生  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に形成された第1層間絶縁膜と、  
 前記第1層間絶縁膜の上に形成された(111)方向に配向した結晶性導電膜と、  
 前記結晶性導電膜の上に形成された導電性酸素バリア膜と、  
 前記導電性酸素バリア膜の上に形成された下部電極と、  
 前記下部電極の上に形成された強誘電体材料よりなるキャパシタ誘電体膜と、  
 前記キャパシタ誘電体膜の上に形成された上部電極とを有し、  
 前記下部電極が、イリジウム以外の貴金属で構成される下側導電層と、該下側導電層の  
 上に形成され、該下側導電層とは異なる材料であって且つプラチナ以外の導電性材料で構  
 成される上側導電層とを有することを特徴とする半導体装置。

10

【請求項2】

前記下側導電層を構成する前記貴金属は、プラチナ、ロジウム、及びパラジウムのい  
 ずれかであることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記上側導電層を構成する前記導電性材料は、イリジウム又はルテニウムであることを  
 特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記下側導電層は、前記上側導電層よりも厚いことを特徴とする請求項1に記載の半導  
 体装置の製造方法。

20

## 【請求項 5】

半導体基板の上方に第 1 層間絶縁膜を形成する工程と、  
 前記第 1 層絶縁膜の上に ( 1 1 1 ) 方向に配向した結晶性導電膜を形成する工程と、  
 前記結晶性導電膜の上に導電性酸素バリア膜を形成する工程と、  
 前記導電性酸素バリア膜の上に第 1 導電膜を形成する工程と、  
 前記第 1 導電膜の上に強誘電体膜を形成する工程と、  
 前記強誘電体膜の上に第 2 導電膜を形成する工程と、  
 前記第 2 導電膜をパターニングしてキャパシタの上部電極にする工程と、  
 前記強誘電体膜をパターニングしてキャパシタ誘電体膜にする工程と、  
 前記第 1 導電膜をパターニングして前記キャパシタの下部電極にする工程とを有し、  
 前記第 1 導電膜を形成する工程が、前記第 1 層間絶縁膜の上にイリジウム以外の貴金属  
 で構成される下側導電層を形成する工程と、該下側導電層の上に、該下側導電層とは異なる  
 材料であって且つプラチナ以外の貴金属からなる上側導電層を形成する工程とを有する  
 ことを特徴とする半導体装置の製造方法。

10

## 【請求項 6】

前記下側導電層を形成する工程において、該下側導電層を前記上側導電層よりも厚く形  
 成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

## 【請求項 7】

前記下側導電層を形成する工程において、該下側導電層としてプラチナ膜をスパッタ法  
 で 250 以上 450 以下の基板温度で形成し、

20

前記上側導電層を形成する工程において、該上側導電層としてイリジウム膜をスパッタ  
 法で 400 以上 550 以下の基板温度で形成することを特徴とする請求項 5 に記載の  
 半導体装置の製造方法。

## 【請求項 8】

前記上側導電層を形成した後に、前記第 1 導電膜に対して不活性ガスの雰囲気中でアニ  
 ールを行うことを特徴とする請求項 5 に記載の半導体装置の製造方法。

## 【請求項 9】

前記キャパシタ誘電体膜を形成する工程と前記下部電極を形成する工程は、前記強誘電  
 体膜と前記第 1 導電膜とを同じマスクを用いてエッチングすることにより、前記マスクで  
 覆われていない領域にエッチングされずに残った前記強誘電体膜と前記第 1 導電膜とをそ  
 れぞれ前記キャパシタ誘電体膜及び前記下部電極にして行われることを特徴とする請求項  
 5 に記載の半導体装置の製造方法。

30

## 【請求項 10】

前記第 1 導電膜をパターニングする工程において、前記下部電極のコンタクト領域が前  
 記キャパシタ誘電体膜からはみ出るように前記第 1 導電膜をパターニングし、

前記キャパシタを覆う第 2 層間絶縁膜を形成する工程と、

前記コンタクト領域の上の前記第 2 層間絶縁膜にコンタクトホールを形成する工程と、

前記上部電極の上の前記第 2 層間絶縁膜にホールを形成する工程と、

前記コンタクトホールに、前記下部電極と電氣的に接続された導電性プラグを形成する  
 工程と、

40

前記ホールに、前記上部電極と電氣的に接続された金属配線を形成する工程とを更に有  
 することを特徴とする請求項 5 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

近年、デジタル技術の進展に伴い、大容量のデータを高速に保存することが可能な不揮  
 発性メモリの開発が進められている。

50

## 【0003】

そのような不揮発性メモリとしては、フラッシュメモリや強誘電体メモリが知られている。

## 【0004】

このうち、フラッシュメモリは、絶縁ゲート型電界効果トランジスタ(IGFET)のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報を表す電荷をこのフローティングゲートに蓄積することによって情報を記憶する。しかし、このようなフラッシュメモリでは、情報の書き込みや消去の際に、ゲート絶縁膜にトンネル電流を流す必要があり、比較的高い電圧が必要であるという欠点がある。

## 【0005】

これに対し、強誘電体メモリは、FeRAM (Ferroelectric Random Access Memory)とも呼ばれ、強誘電体キャパシタが備える強誘電体膜のヒステリシス特性を利用して情報を記憶する。その強誘電体膜は、キャパシタの上部電極と下部電極の間に印加される電圧に応じて分極を生じ、その電圧を取り去っても自発分極が残留する。印加電圧の極性を反転すると、この自発分極も反転し、その自発分極の向きを「1」と「0」に対応させることで、強誘電体膜に情報が書き込まれる。この書き込みに必要な電圧はフラッシュメモリにおけるよりも低く、また、フラッシュメモリよりも高速で書き込みができるという利点がFeRAMにはある。

## 【0006】

この利点を活かし、ロジック回路とFeRAMとを組み合わせたロジック混載チップ(SOC: System on Chip)のICカードへの応用が検討されている。

## 【0007】

ところで、強誘電体キャパシタを構成する下部電極と強誘電体膜とは相性があるため、強誘電体キャパシタの強誘電体特性は下部電極の構造に大きく依存する。

## 【0008】

例えば、特許文献1では、 $\text{IrO}_2 / \text{Ir} / \text{TiAlN} / \text{TiN}$ の積層構造を下部電極として採用することが提案されている。

## 【0009】

また、特許文献2では、下部電極として $\text{IrO}_2$ 膜、Ir膜、及びPt膜をこの順に形成することが提案されている。

## 【0010】

そして、特許文献3には、下部電極としてIr膜とPt膜とをこの順に形成する点が開示されている。

## 【0011】

更に、特許文献4では、Pt膜とIr膜との積層膜を下部電極とすることで、下部電極上のPZTの疲労耐特性が向上する点が開示されている。

## 【0012】

また、特許文献5には、 $\text{Ir} / \text{Pt} / \text{Ir}$ 、 $\text{Ir} / \text{Pt}$ 、 $\text{Pt} / \text{Ir}$ 等の積層構造を下部電極に採用するのが好ましいとある。

【特許文献1】特開2005-159165号公報

【特許文献2】特開2000-91539号公報

【特許文献3】特開2004-95638号公報

【特許文献4】特開2000-164818号公報

【特許文献5】特開2003-298136号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0013】

本発明の目的は、強誘電体キャパシタの電気的特性を向上させることが可能な半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

## 【0014】

本発明の一観点によれば、半導体基板の上方に形成された第1層間絶縁膜と、前記第1層間絶縁膜の上に形成された(111)方向に配向した結晶性導電膜と、前記結晶性導電膜の上に形成された導電性酸素バリア膜と、前記導電性酸素バリア膜の上に形成された下部電極と、前記下部電極の上に形成された強誘電体材料よりなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜の上に形成された上部電極とを有し、前記下部電極が、イリジウム以外の貴金属で構成される下側導電層と、該下側導電層の上に形成され、該下側導電層とは異なる材料であって且つプラチナ以外の導電性材料で構成される上側導電層とを有する半導体装置が提供される。

## 【0015】

また、本発明の別の観点によれば、半導体基板の上方に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜の上に(111)方向に配向した結晶性導電膜を形成する工程と、前記結晶性導電膜の上に導電性酸素バリア膜を形成する工程と、前記導電性酸素バリア膜の上に第1導電膜を形成する工程と、前記第1導電膜の上に強誘電体膜を形成する工程と、前記強誘電体膜の上に第2導電膜を形成する工程と、前記第2導電膜をパターニングしてキャパシタの上部電極にする工程と、前記強誘電体膜をパターニングしてキャパシタ誘電体膜にする工程と、前記第1導電膜をパターニングして前記キャパシタの下部電極にする工程とを有し、前記第1導電膜を形成する工程が、前記第1層間絶縁膜の上にイリジウム以外の貴金属で構成される下側導電層を形成する工程と、該下側導電層の上に、該下側導電層とは異なる材料であって且つプラチナ以外の貴金属からなる上側導電層を形成する工程とを有する半導体装置の製造方法が提供される。

## 【0016】

本発明によれば、キャパシタの下部電極となる第1導電膜を下側導電層と上側導電層との二層構造にする。

## 【0017】

これらのうち、下側導電層はイリジウム以外の貴金属よりなる。一方、上側導電層は、下側導電層とは異なる材料であって且つプラチナ以外の導電性材料で構成される。上側導電層からプラチナを排除したのは、キャパシタ誘電体膜の構成材料とプラチナとの反応に起因するキャパシタ誘電体膜の劣化を抑制するためである。また、高価なプラチナを上側導電層に使用するのには、半導体装置のコストダウンの観点からも好ましくない。

## 【0018】

第1導電膜をこのような二層構造とすることで、上側導電層の材料だけで第1導電膜を構成する場合と比較して、上側導電層のイリジウム等の材料が第1導電膜において占める割合が低減する。従って、エッチングにより第1導電膜をパターニングして下部電極を形成する工程において、第1導電膜から粒状に放出される上側導電層の材料、例えばイリジウム粒が少なくなる。これにより、キャパシタ誘電体膜の側面に再付着する粒状の材料が少なくなり、再付着したイリジウム粒等に起因してリークパスが発生するのが抑制される。その結果、リーク電流が低減して電気的特性が向上した半導体装置を提供することが可能となる。

## 【0019】

更に、下側導電層を形成する工程において、該下側導電層を上側導電層よりも厚く形成することにより、上側導電層の構成材料が第1導電膜において占める割合が半分以下になるので、上記したキャパシタ誘電体膜の側面に再付着する粒状の材料がより一層低減し、キャパシタのリーク電流をより効果的に抑えることが可能となる。

## 【0020】

ここで、下側導電層を形成する工程において、該下側導電層としてプラチナ膜をスパッタ法で250以上450以下の基板温度で形成するのが好ましい。また、上側導電層を形成する工程において、該上側導電層としてイリジウム膜をスパッタ法で400以上550以下の基板温度で形成するのが好ましい。

## 【0021】

このような温度範囲で下側導電層と上側導電層とを形成することにより、各層のストレスが同時に小さくなってこれらの層の膜剥がれが防止されると共に、各層の結晶性を高めることが可能となる。

【0022】

また、上側導電層を形成した後に、第1導電膜に対して不活性ガスの雰囲気中でアニールを行ってもよい。このようなアニールにより、第1導電膜とその下の膜との密着性が高められ、且つ、第1導電膜の結晶性も改善される。

【発明の効果】

【0023】

本発明によれば、キャパシタの下部電極となる第1導電膜を下側導電層と上側導電層との二層構造にすることで、上側導電層の構成材料が第1導電膜において占める割合を低減させる。これにより、下部電極のパターニング時に上側導電層の構成材料が粒状に飛散するのを抑制でき、キャパシタ誘電体膜の側面に再付着した粒状の材料によってキャパシタのリーク電流が増大するのが防止される。

10

【発明を実施するための最良の形態】

【0024】

次に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

【0025】

(1) 調査結果についての説明

本発明の実施の形態に先立ち、本願発明者が行った調査について説明する。

20

【0026】

図1の左側の図は、調査に使用されたサンプルのTEM (Transmission Electron Microscope) 断面像である。

【0027】

このサンプルは、酸化シリコン( $\text{SiO}_2$ )膜よりなる下地絶縁膜100の上にスタック型のキャパシタQを形成してなり、同図ではそのキャパシタQの側面が拡大されている。キャパシタQは、窒化チタンアルミニウム( $\text{TiAlN}$ )膜よりなる導電性酸素バリア膜101、イリジウム膜よりなる下部電極102、PZTよりなるキャパシタ誘電体膜103を有する。

【0028】

また、このキャパシタQの上部電極104としては、酸化イリジウム膜よりなる導電性酸化金属膜104aと、イリジウム膜よりなる導電性向上膜104bとの二層構造を採用した。

30

【0029】

酸化イリジウムよりなる導電性酸化金属膜104aは、膜中の酸素の作用により、キャパシタ誘電体膜103を還元して劣化させ得る水素が外部からキャパシタQに入るのをブロックするように機能する。

【0030】

また、導電性向上膜104bは、上部電極104の上に形成される導電性プラグ(不図示)との間のコンタクト抵抗を下げる機能とを有する。

【0031】

40

更に、水素透過防止能力に優れたアルミナよりなるキャパシタ保護絶縁膜106でこのキャパシタQを覆うと共に、キャパシタ保護絶縁膜106の上に酸化シリコンよりなる層間絶縁膜107を形成した。

【0032】

そして、この例では、下部電極102、キャパシタ誘電体膜103、及び上部電極104を一括エッチングして形成した。このような一括エッチングにより形成されるキャパシタQは、スタック型のキャパシタとも呼ばれ、占有面積が小さく高集積化に有利である。

【0033】

なお、量産工程で採用されているキャパシタQの形成方法としては、このような一括エッチングの他に、下部電極102、キャパシタ誘電体膜103、及び上部電極104を別

50

々にパターンニングしてこれらをひな壇状にする方法もある（例えば、特許文献5の図2～図12を参照）。このようなひな壇状のキャパシタはプレーナ型のキャパシタとも呼ばれる。

【0034】

ここで、本願発明者が行った調査によると、上記のような一括エッチングで形成されたスタック型のキャパシタQでは、下部電極102と上部電極104との間のリーク電流が2～3桁程度も大きくなった。

【0035】

本願発明者は、キャパシタQにおいてリーク電流が増大する理由を探るため上記のTEM像を詳しく観察したところ、キャパシタ誘電体膜103の側面に白い粒が多数存在しているのを発見した。

10

【0036】

そして、この白い粒をEDX (Energy Dispersive X-ray Fluorescence Spectrometer)で調べたところ、図1の右上に示すグラフが得られた。

【0037】

このグラフに示されるように、イリジウムの存在を示すピークが多数現れた。

【0038】

比較のために、白い粒の無い所をEDXで調べたところ、図1の右下のようなグラフが得られ、白い粒が無い所ではイリジウムが存在しないことが分かった。

【0039】

この結果より、白い粒はイリジウム粒であることが確認できた。

20

【0040】

このイリジウム粒は、一括エッチングによりキャパシタQを形成する際に、イリジウム膜よりなる下部電極102の側面がエッチング雰囲気中に曝され、該側面から飛散したものであると考えられる。

【0041】

そのイリジウム粒はキャパシタQのリークパスを形成するので、イリジウム粒を低減するのがリーク電流を低減するのに有効であると考えられる。

【0042】

但し、イリジウムは他の白金族元素と比較してウエットエッチングが困難なので、ウエットエッチングに頼らずにイリジウム粒を除去する必要がある。

30

【0043】

なお、本願発明者は、上記のサンプルにおいて、導電性酸素バリア膜101の側面に付着している白い粒についてもEDXで調べた。

【0044】

その結果を図2に示す。

【0045】

図2の右上のグラフは、導電性酸素バリア膜101の側面付近の白い粒をEDXで調査して得られたものである。一方、右下のグラフは、白い粒の無いところを調査して得られたものである。

40

【0046】

これらの二つのグラフを比較すれば明らかなように、白い粒がある所ではイリジウムのピークが現れるのに対し、白い粒が無いところではイリジウムのピークが無く、白い粒がイリジウム粒であることが分かる。

【0047】

本願発明者は、このような調査結果に基づき、以下のような本発明の実施形態に想到した。

【0048】

(2)第1実施形態

図3～図12は、本実施形態に係る半導体装置の製造途中の断面図である。

50

## 【0049】

この半導体装置は、微細化に有利なスタック型のFeRAMであり、以下のようにして作成される。

## 【0050】

最初に、図3(a)に示す断面構造を得るまでの工程について説明する。

## 【0051】

まず、n型又はp型のシリコン(半導体)基板1表面に、トランジスタの活性領域を画定するSTI(Shallow Trench Isolation)用の溝を形成し、その中に酸化シリコン等の絶縁膜を埋め込んで素子分離絶縁膜2とする。なお、素子分離構造はSTIに限られず、LOCOS(Local Oxidation of Silicon)法で素子分離絶縁膜2を形成してもよい。

10

## 【0052】

次いで、シリコン基板1の活性領域にp型不純物を導入してpウェル3を形成した後、その活性領域の表面を熱酸化することにより、ゲート絶縁膜4となる熱酸化膜を形成する。

## 【0053】

続いて、シリコン基板1の上側全面に非晶質又は多結晶のシリコン膜を形成し、これらの膜をフォトリソグラフィによりパターンニングして二つのゲート電極5を形成する。

## 【0054】

pウェル3上には、上記の二つのゲート電極5が間隔をおいて平行に配置され、それらのゲート電極5はワード線の一部を構成する。

## 【0055】

20

次いで、ゲート電極5をマスクにするイオン注入により、ゲート電極5の横のシリコン基板1にn型不純物を導入し、第1、第2ソース/ドレインエクステンション6a、6bを形成する。

## 【0056】

その後、シリコン基板1の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極5の横に絶縁性サイドウォール7を形成する。その絶縁膜として、例えばCVD法により酸化シリコン膜を形成する。

## 【0057】

続いて、絶縁性サイドウォール7とゲート電極5をマスクにしながら、シリコン基板1にn型不純物を再びイオン注入することにより、二つのゲート電極5の側方のシリコン基板1の表層に、互いに間隔がおかれた第1、第2ソース/ドレイン領域(第1、第2不純物拡散領域)8a、8bを形成する。

30

## 【0058】

ここまでの工程により、シリコン基板1の活性領域には、ゲート絶縁膜4、ゲート電極5、及び第1、第2ソース/ドレイン領域8a、8bによって構成される第1、第2MOSトランジスタ $TR_1$ 、 $TR_2$ が形成されたことになる。

## 【0059】

次に、シリコン基板1の上側全面に、スパッタ法によりコバルト層等の高融点金属層を形成した後、この高融点金属層を加熱してシリコンと反応させ、シリコン基板1上に高融点金属シリサイド層9を形成する。その高融点金属シリサイド層9はゲート電極5の表層部分にも形成され、それによりゲート電極5が低抵抗化されることになる。

40

## 【0060】

その後、素子分離絶縁膜2の上等で未反応となっている高融点金属層をウエットエッチングして除去する。

## 【0061】

続いて、プラズマCVD法により、シリコン基板1の上側全面に窒化シリコン(SiN)膜を厚さ約200nmに形成し、それをカバー絶縁膜10とする。次いで、このカバー絶縁膜10の上に、TEOSガスを使用するプラズマCVD法により第1層間絶縁膜11として酸化シリコン膜を厚さ約1000nmに形成する。

## 【0062】

50

次いで、第1層間絶縁膜11の上面をCMP (Chemical Mechanical Polishing)法により研磨して平坦化する。このCMPの結果、第1層間絶縁膜11の厚さは、シリコン基板1の平坦面上で約700nmとなる。

【0063】

そして、フォトリソグラフィによりカバー絶縁膜10と第1層間絶縁膜11とをパターニングして第1、第2ソース/ドレイン領域8a、8bの上に直径が0.25μmのコンタクトホールを形成する。更に、このコンタクトホール内にグルー膜(密着膜)とタングステン膜とを順に形成した後、第1層間絶縁膜11上の余分なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜をコンタクトホール内のみ第1、第2導電性プラグ32a、32bとして残す。

10

【0064】

これらの第1、第2導電性プラグ32a、32bは、それぞれ第1、第2ソース/ドレイン領域8a、8bと電氣的に接続される。

【0065】

なお、上記のグルー膜は、厚さ約30nmのチタン膜と厚さ約20nmの窒化チタン膜とをこの順に形成してなる。また、CMP前のタングステン膜は、第1層間絶縁膜11上で約300nmの厚さを有する。

【0066】

ここで、第1、第2導電性プラグ32a、32bは、酸化され易いタングステンを主にして構成され、プロセス中で酸化されるとコンタクト不良を起こす恐れがある。

20

【0067】

そこで、各導電性プラグ32a、32bの酸化を防ぐ酸化防止絶縁膜14として、これらのプラグ32a、32bと第1層間絶縁膜11の上にプラズマCVD法により酸窒化シリコン(SiON)膜を厚さ約200nmに形成する。

【0068】

なお、酸窒化シリコン膜に代えて、窒化シリコン(SiN)膜やアルミナ膜を酸化防止絶縁膜14として形成してもよい。

【0069】

その後、TEOSガスを使用するプラズマCVD法により、酸化防止絶縁膜14の上に酸化シリコン膜を厚さ約300nmに形成し、この酸化シリコン膜を下地絶縁膜15とする。

30

【0070】

次に、図3(b)に示す断面構造を得るまでの工程について説明する。

【0071】

まず、下地絶縁膜15と酸化防止絶縁膜14とをパターニングすることにより、第1導電性プラグ32aの上方のこれらの絶縁膜に第1ホール15aを形成する。

【0072】

次いで、この第1ホール15a内と下地絶縁膜15の上にスパッタ法によりグルー膜35として窒化チタン膜を形成する。

【0073】

更に、CVD法を用いて、このグルー膜35の上にプラグ用導電膜36としてタングステン膜を形成し、このプラグ用導電膜36で第1ホール15aを完全に埋め込む。

40

【0074】

続いて、図3(c)に示すように、下地絶縁膜15の上の余分なグルー膜35とプラグ用導電膜36とをCMP法により研磨して除去する。これにより、グルー膜35とプラグ用導電膜36は、第1導電性プラグ32aと電氣的に接続された第3導電性プラグ36aとして第1ホール15a内に残される。

【0075】

このCMPでは、研磨対象であるグルー膜35とプラグ用導電膜36の研磨速度が下地絶縁膜15よりも速くなるようなスラリ、例えばCabot Microelectronics Corporation製のW2000を使用する。そして、下地絶縁膜15上に研磨残を残さないために、このCMPの研磨

50

量は各膜 3 5、3 6 の合計膜厚よりも厚く設定され、このCMPはオーバー研磨となる。

【0076】

次に、図4(a)に示すように、酸化シリコンよりなる下地絶縁膜15を窒素含有プラズマ、例えばアンモニア(NH<sub>3</sub>)プラズマに曝し、下地絶縁膜15の表面の酸素原子にNH基を結合させる。

【0077】

このアンモニアプラズマ処理では、例えば、シリコン基板1に対して約9mm(350mils)だけ離れた位置に対向電極を有する平行平板型のプラズマ処理装置が使用される。そして、266Pa(2Torr)の圧力下において基板温度を400に保持しながら、チャンバ内にアンモニアガスを350sccmの流量で供給し、シリコン基板1側に13.56MHzの高周波電力を100Wのパワーで、また上記の対向電極に350kHzの高周波電力を55Wのパワーで60秒間供給することにより処理が行われる。

10

【0078】

続いて、図4(b)に示すように、下地絶縁膜15と第3導電性プラグ36aのそれぞれの上にチタン膜を厚さ約20nmに形成し、このチタン膜を結晶性導電膜21とする。

【0079】

この結晶性導電膜21の成膜条件は特に限定されないが、本実施形態では、シリコン基板1とチタンターゲットとの距離が60mmに設定されたスパッタチャンバを用いて、0.15Paのアルゴン雰囲気中で基板温度を20にする。そして、2.6kWのDC電力をチャンバに5秒間供給することにより、チタンよりなる上記の結晶性導電膜21を形成する。

20

【0080】

ここで、アンモニアプラズマ処理(図4(a)参照)を予め行い、下地絶縁膜15の表面の酸素原子にNH基を結合させておいたので、下地絶縁膜15上に堆積したチタン原子は下地絶縁膜15表面の酸素原子に捕獲され難い。そのため、チタン原子が下地絶縁膜15の表面を自在に移動できるようになり、(002)方向に強く自己組織化したチタンよりなる結晶性導電膜21を形成することが可能となる。

【0081】

なお、結晶性導電膜21の構成材料はチタンに限定されない。チタン、プラチナ、イリジウム、レニウム、ルテニウム、パラジウム、及びオスミウムのいずれか、或いはこれらの合金で結晶性導電膜21を構成してもよい。

30

【0082】

その後、結晶性導電膜21に対し、窒素雰囲気中において基板温度を650、処理時間を60秒とするRTA(Rapid Thermal Anneal)を行う。これにより、チタンよりなる結晶性導電膜21が窒化され、(111)方向に配向した窒化チタンで結晶性導電膜21が構成されることになる。

【0083】

次に、図4(c)に示すように、この結晶性導電膜21の上に導電性酸素バリア膜22として窒化チタンアルミニウム(TiAlN)膜を反応性スパッタ法で100nmの厚さに形成する。

【0084】

窒化チタンアルミニウムよりなる導電性酸素バリア膜22は、酸素透過防止機能に優れており、その下の第3導電性プラグ36aが酸化してコンタクト不良が発生するのを防止する役割を担う。

40

【0085】

この導電性酸素バリア膜22の成膜条件は特に限定されないが、本実施形態では、チタンとアルミニウムとの合金ターゲットを使用し、アルゴンガスと窒素ガスとの混合ガスをスパッタガスとして用いる。そして、アルゴンガスと窒素ガスのそれぞれの流量を40sccm、100sccmにし、253.3Paの圧力下、400の基板温度、そして1.0kWのスパッタパワーで導電性酸素バリア膜22を形成する。

【0086】

50

また、導電性酸素バリア膜 2 2 は窒化チタンアルミニウム膜に限定されない。導電性酸素バリア膜 2 2 としては、イリジウム膜又はルテニウム膜も形成し得る。

【 0 0 8 7 】

次に、図 5 ( a ) に示すように、導電性酸素バリア膜 2 2 の上に、スパッタ法により第 1 導電膜の下側導電層 2 3 b としてプラチナ膜を 6 0 nm の厚さに形成する。そのプラチナ膜は、例えば、圧力が 0 . 2 Pa のアルゴン雰囲気中で基板温度を 4 0 0 にし、スパッタパワーを 0 . 5 kW にして形成される。

【 0 0 8 8 】

なお、この下側導電層 2 3 b の構成材料は、イリジウム以外の貴金属であれば特に限定されず、ロジウムやパラジウムで下側導電層 2 3 b を構成するようにしてもよい。

10

【 0 0 8 9 】

次いで、図 5 ( b ) に示すように、下側導電層 2 3 b の上にイリジウム膜を厚さ 4 0 nm に形成し、そのイリジウム膜を第 1 導電膜の上側導電層 2 3 c とする。このイリジウム膜の成膜条件は特に限定されないが、本実施形態では、圧力が 0 . 1 1 Pa のアルゴン雰囲気中で基板温度を 5 0 0 にし、スパッタパワーを 0 . 3 kW にする条件が採用される。

【 0 0 9 0 】

更に、上側導電層 2 3 c を構成する導電性材料はイリジウムに限定されず、ルテニウム、酸化イリジウム、酸化ルテニウム、及び SrRuO<sub>3</sub> のいずれかであってもよい。

【 0 0 9 1 】

これにより、下側導電層 2 3 b と上側導電層 2 3 c とで構成される第 1 導電膜 2 3 が形成されたことになる。

20

【 0 0 9 2 】

その第 1 導電膜 2 3 の結晶性はその上に後で形成される強誘電体膜の配向に大きな影響を与える。そのため、上記の下側導電層 2 3 b と上側導電層 2 3 c のそれぞれの成膜温度をなるべく高めることで、第 1 導電膜 2 3 の結晶性を向上させ、強誘電体膜の配向を高めるようにするのが好ましい。

【 0 0 9 3 】

但し、成膜温度が高すぎると、下側導電層 2 3 b と上側導電層 2 3 c のそれぞれのストレスが高くなり、各層 2 3 b、2 3 c が膜剥がれを起こす恐れがある。

【 0 0 9 4 】

そのため、各層 2 3 b、2 3 c を成膜する際の基板温度としては、なるべく高い温度で、且つ、ストレスが小さくなる温度を採用するのが好ましい。

30

【 0 0 9 5 】

下側導電層 2 3 b としてプラチナ膜を形成する場合、下側導電層 2 3 b のストレスが小さくなる温度範囲は 2 8 0 ~ 3 0 0 である。従って、この温度範囲を含み、且つ上限が高温側にシフトした 2 5 0 以上 4 5 0 以下の基板温度で下側導電層 2 3 b を形成するのが好ましい。

【 0 0 9 6 】

一方、上側導電層 2 3 c としてイリジウム膜を形成する場合、上側導電層 2 3 c のストレスが小さくなる温度範囲は 4 2 0 ~ 4 5 0 である。よって、この温度範囲を含み、且つ上限が高温側にシフトした 4 0 0 以上 5 5 0 以下の基板温度で上側導電層 2 3 c を形成するのが好ましい。

40

【 0 0 9 7 】

このような温度範囲を採用することで、各層 2 3 b、2 3 c の膜剥がれを防止しつつ、第 1 導電膜 2 3 の結晶性を高めることが可能となる。

【 0 0 9 8 】

ここで、既述のように、結晶性導電膜 2 1 を構成する窒化チタン膜が ( 1 1 1 ) 方向に配向しているため、この配向の作用によっても第 1 導電膜 2 3 の結晶性は良好になる。

【 0 0 9 9 】

その後、アルゴン雰囲気中で基板温度を 6 5 0 以上とする RTA を第 1 導電膜 2 3 に

50

対して60秒間行うことにより、各膜21~23同士の密着性を高めると共に、第1導電膜23の結晶性を改善する。

【0100】

このRTAの雰囲気は、不活性ガスの雰囲気であれば特に限定されない。そのような不活性ガスとしては、アルゴンガスの他に、窒素ガスや二酸化窒素(N<sub>2</sub>O)ガスもある。

【0101】

続いて、図5(c)に示すように、MOCVD法により第1導電膜23の上にペロプスカイト構造のPZT(Lead Zirconate Titanate: PbZrTiO<sub>3</sub>)膜を形成し、このPZT膜を第1強誘電体膜24bとする。MOCVD法で形成された第1強誘電体膜24bは、成膜の時点で既に結晶化しているため、第1強誘電体膜24bを結晶化させるための結晶化アニールは不要である。

10

【0102】

そのMOCVD法は次のようにして行われる。

【0103】

まず、Pb(DPM)<sub>2</sub>(化学式Pb(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>)、Zr(dmhd)<sub>4</sub>(化学式Zr(C<sub>9</sub>H<sub>15</sub>O<sub>2</sub>)<sub>4</sub>)、及びTi(O-iOr)<sub>2</sub>(DPM)<sub>2</sub>(化学式Ti(C<sub>3</sub>H<sub>7</sub>O)<sub>2</sub>(C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>)<sub>2</sub>)のそれぞれをTHF(Tetra Hydro Furan: C<sub>4</sub>H<sub>8</sub>O)溶媒中にいずれも0.3mol/lの濃度で溶解し、Pb、Zr、及びTiの各液体原料を作成する。次いで、これらの液体原料をMOCVD装置の気化器にそれぞれ0.326ml/分、0.200ml/分、および0.200ml/分の流量で供給して気化させることにより、Pb、Zr、及びTiの原料ガスを得る。なお、上記の気化器には、各液体原料と共に、流量が0.474ml/分のTHF溶媒も供給される。

20

【0104】

更に、上記の原料ガスをチャンバに供給しながら、チャンバ内の圧力を665Pa(5 Torr)にし、基板温度を620℃に維持する。そして、このような状態を620秒間維持することにより、上記したPZT膜が100nmの厚さに形成される。

【0105】

なお、第1強誘電体膜24bはPZT膜に限定されない。ランタン、カルシウム、ストロンチウム、及びシリコンの少なくとも一つをPZTにドーブした材料で第1強誘電体膜24bを構成してもよい。これらの材料はペロプスカイト構造を有するので、その下の上側導電層23cをペロプスカイト構造のSrRuO<sub>3</sub>で構成すると、上側導電層23cと第1強誘電体膜24bとの格子マッチングが良好となり、第1強誘電体膜24bの結晶性が高められる。

30

【0106】

なお、(Bi<sub>1-x</sub>R<sub>x</sub>)Ti<sub>3</sub>O<sub>12</sub>(Rは希土類元素で0<x<1)、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、及びSrBi<sub>4</sub>Ti<sub>4</sub>O<sub>15</sub>等のBi層状構造化合物で第1強誘電体膜24bを構成してもよい。

【0107】

更に、強誘電体材料に代えて、ジルコニウムや鉛を含む金属酸化物高誘電体材料で第1強誘電体膜24bを形成してもよい。

【0108】

ここで、既述のように、(111)方向に配向した窒化チタンよりなる結晶性導電膜21の作用により第1導電膜23の結晶性は良好である。そのため、第1導電膜23の上に形成される第1強誘電体膜24bの結晶性も良好となり、第1強誘電体膜24bの強誘電体特性、例えば残留分極電荷量等が高められる。

40

【0109】

次に、第1強誘電体膜24bの上に第2強誘電体膜24cとしてスパッタ法でPZT膜を1~30nmの厚さ、例えば20nmに形成し、これら第1、第2強誘電体膜24b、24cを強誘電体膜24とする。

【0110】

なお、MOCVD法で形成された第1強誘電体膜24bと異なり、スパッタ法で形成された第2強誘電体膜24cは、成膜の時点で結晶化しておらず、アモルファス状態となってい

50

る。

【0111】

また、第2強誘電体膜24cはPZTに限定されない。

【0112】

PZTのように $ABO_3$ 型ペロブスカイト構造(A=Bi、Pb、Ba、Sr、Ca、Na、K、及び希土類元素のいずれか一つ、B=Ti、Zr、Nb、Ta、W、Mn、Fe、Co、及びCrのいずれか一つ)を有する強誘電体材料で第2強誘電体膜24cを構成してもよい。

【0113】

更に、ランタン、カルシウム、ストロンチウム、及びシリコンの少なくとも一つをPZTにドーブした材料で第2強誘電体膜24cを構成してもよい。これらの元素をPZT膜にドーブすることで、第2強誘電体膜24cの疲労損失とインプリント特性が改善されると共に、キャパシタへの書き込み電圧や読み出し電圧を低くすることができる。

【0114】

また、 $(Bi_{1-x}R_x)Ti_3O_{12}$ (Rは希土類元素で $0 < x < 1$ )、 $SrBi_2Ta_2O_9$ 、及び $SrBi_4Ti_4O_{15}$ 等のBi層状構造化合物で第2強誘電体膜24cを構成してもよい。

【0115】

また、第2強誘電体膜24cの成膜方法もスパッタ法に限定されない。ゾル・ゲル法やMOCVD法で第2強誘電体膜24cを形成してもよい。MOCVD法を採用する場合、その成膜条件としては、第1強誘電体膜24bと同様の条件が採用され得る。

【0116】

但し、後述の理由により、第2強誘電体膜24cはアモルファス状態又は微結晶からなる膜であるのが好ましく、アモルファスな第2強誘電体膜24cを成膜できるスパッタ法を採用するのが最も好ましい。

【0117】

続いて、図6(a)に示すように、シリコン基板1を加熱しながら強誘電体膜24の上に第1導電性酸化金属膜25dとして反応性スパッタ法で酸化イリジウム( $IrO_x$ )膜を厚さ約50nmに形成する。なお、このようにシリコン基板1を加熱するスパッタ法で形成された酸化イリジウム膜は、結晶化のためのプロセスを行わなくても、成膜の時点で既に結晶化している。

【0118】

その第1導電性酸化金属膜25dの成膜条件は特に限定されない。本実施形態では、基板温度を300にすると共に、流量が140sccmのアルゴンガスと、流量が10~90sccm、例えば60sccmの酸素ガスとの混合ガスをスパッタガスとして用い、更にスパッタパワーを1kW~2kWとする。

【0119】

ここで、上記した酸化イリジウムのスパッタでは、イリジウムターゲットから飛来したイリジウム原子がスパッタ雰囲気中で酸化されることで基板上に酸化イリジウムが堆積する。そのため、堆積した酸化イリジウムの中には、雰囲気中における酸化が不十分なものも含まれ、酸化イリジウム膜全体としては化学量論組成( $IrO_2$ )よりも酸素が少ない状態になり易い。

【0120】

そのため、化学量論的組成の酸化イリジウムの化学式を $IrO_{x1}$ と書くと $x1$ は2であるのに対し、上記の条件で従って形成された第1導電性酸化金属膜25dでは、酸化イリジウムの化学式を $IrO_{x2}$ と書くと $x2$ が1.3~1.9程度の値となり、 $x2/x1$ は1よりかなり小さくなる。

【0121】

ここで、第1強誘電体膜24bは、第2強誘電体膜24cや第1導電性酸化金属膜25dをスパッタ法で形成した際にスパッタガスによってダメージを受けていると共に、膜中の酸素濃度が欠乏し、その強誘電体特性が劣化している恐れがある。

【0122】

10

20

30

40

50

そこで、上記の第1導電性酸化金属膜25dを形成した後に、酸化性ガス含有雰囲気中、例えばアルゴンと酸素との混合雰囲気中でRTAを行うことにより、スパッタにより受けた第1強誘電体膜24bのダメージを回復させると共に、第1強誘電体膜24bの酸素欠損を補償する。

【0123】

このRTAの条件は特に限定されないが、基板温度は650以上、より好ましくは700～750とするのが好ましい。本実施形態では、基板温度を725とする。また、アルゴンと酸素の流量をそれぞれ2000sccm、20sccmとし、処理時間を60秒とする。

【0124】

なお、このRTAの雰囲気は、不活性ガスと酸化性ガスとの混合雰囲気であれば特に限定されない。このうち、不活性ガスとしては、アルゴン、窒素(N<sub>2</sub>)、及び二酸化窒素のいずれかを採用し得る。

【0125】

更に、第2強誘電体膜24cをアモルファスに形成したので、このRTAによって第1導電性酸化金属膜25dから強誘電体膜24に拡散するイリジウム原子は、第2強誘電体膜24c中に留まるようになり、第1強誘電体膜24bに至り難くなる。その結果、結晶化して優れた強誘電体特性を呈する第1強誘電体膜24の粒界にイリジウムが拡散し難くなるため、そのイリジウムによってリークパスが形成されるのが抑制され、強誘電体キャパシタのリーク電流を効果的に防止することが可能となる。

【0126】

このような利点は、微結晶からなる膜で第2強誘電体膜24cを構成しても得られる。

【0127】

上記のようにして第1導電性酸化金属膜25dを形成した後は、基板温度を室温とする反応性スパッタ法を用いて、第1導電性酸化金属膜25dの上に第2導電性酸化金属膜25eとして酸化イリジウム膜を厚さ約100～300nm、例えば200nmに形成する。その第2導電性酸化金属膜25eは、圧力が0.8Paのスパッタ雰囲気中、スパッタパワーを1.0kWにし、成膜時間を79秒とすることで形成される。

【0128】

ここで、高い成膜温度で結晶化された第1導電性酸化金属膜25dとは異なり、基板温度を室温とするスパッタ法で形成された第2導電性酸化金属膜25eはアモルファス状態になる。

【0129】

ところで、第2導電性酸化金属膜25eにおいて酸素が不足すると、第2導電性酸化金属膜25eの触媒作用が高まるため、外部の水分が第2導電性酸化金属膜25eに触れて水素が発生するようになる。水素は、強誘電体膜24を還元してその強誘電体特性を劣化させるという問題があるため、FeRAMの製造工程では水素の発生を極力抑える必要がある。

【0130】

従って、水素の発生を防止するという観点からすると、第2導電性酸化金属膜25eを構成するイリジウムの酸化数は、第1導電性酸化金属膜25dのそれよりも大きいのが好ましい。

【0131】

そこで、本実施形態では、第2導電性酸化金属膜25eを形成するときに、スパッタガスに占める酸素の流量比を、第1導電性酸化金属膜25dを形成する工程におけるよりも多くすることで、酸化イリジウムの組成を化学量論組成(IrO<sub>2</sub>)に近づけ、第2導電性酸化金属膜24eの触媒作用を抑えるようにする。このときのスパッタガスの流量は、例えばアルゴンが100sccm、酸素が100sccmとされる。

【0132】

第2導電性酸化金属膜24eを構成する酸化イリジウムの化学式をIrO<sub>y2</sub>と書くと、上

10

20

30

40

50

記の条件に従った場合 $y_2$ は略2になる。化学量論的組成の酸化イリジウムの化学式を $\text{IrO}_{y_1}$ と書くと $y_1$ は2であるため、 $y_2/y_1$ は1に近い値となり、第1導電性酸化金属膜25dの $x_2/x_1$ との大小関係は $y_2/y_1 > x_2/x_1$ となる。

【0133】

このような第2導電性酸化金属膜25eと第1導電性酸化金属膜25dにより、図示のような導電性酸化金属膜25bが構成される。

【0134】

その第1導電性酸化金属膜25dは、膜中の酸素の作用により水素をブロックする機能を有し、水素からキャパシタ誘電体膜24を保護する役割も担う。

【0135】

なお、第1、第2導電性酸化金属膜25d、25eの構成材料は酸化イリジウムに限定されない。

【0136】

但し、第1強誘電体膜24bをMOCVD法で形成する場合は、第1、第2導電性酸化金属膜25d、25eとしてプラチナの酸化膜を採用すると、強誘電体膜24を構成するPZTの鉛とプラチナとが反応するため、強誘電体膜24の強誘電体特性が劣化し、強誘電体膜24の残留分極電荷量が低減してしまう。よって、この場合は、第1、第2導電性酸化金属膜25d、25eの構成材料として、イリジウム(Ir)、ルテニウム(Ru)、ロジウム(Rh)、レニウム(Re)、オスmium(Os)、及びパラジウム(Pd)のいずれかの酸化物を採用するのが好ましい。

【0137】

但し、上記したPZTの鉛とプラチナとの反応が問題にならないなら、第1、第2導電性酸化金属膜25d、25eとしてプラチナの酸化膜を採用してもよい。

【0138】

また、上記したように、第2導電性酸化金属膜25eでの水素の発生を防止するために、第2導電性酸化金属膜25eを構成する金属酸化物は、第1導電性酸化金属膜25dのそれよりも多く酸化されているのが好ましい。第1導電性酸化金属膜25dと第2導電性酸化金属膜25eのそれぞれを構成する金属酸化物の化学量論的組成を $\text{AO}_{x_1}$ 、 $\text{BO}_{y_1}$  (AとBは金属元素)、成膜後のこれらの実際の組成を $\text{AO}_{x_2}$ 、 $\text{BO}_{y_2}$ と書くと、上記の条件は $y_2/y_1 > x_2/x_1$ となる。

【0139】

更に、第1、第2導電性酸化金属膜25d、25eの膜厚については、第1導電性酸化金属膜25dの方が第2導電性酸化金属膜25eよりも薄いのが好ましい。

【0140】

これは、第1導電性酸化金属膜25dの形成後に行われる既述のRTAにおいて、第1導電性酸化金属膜25dが薄い方が強誘電体膜24の全体に酸素が行き渡り易くなり、強誘電体膜24のダメージの回復が効果的に図られるためである。更に、第2導電性酸化金属膜25eが後で形成される第2層間絶縁膜からの水分や水素等の還元性物質をブロックする役割も担っているため、その厚さが厚いほうが還元性物質に対するブロック性が高まるためでもある。

【0141】

続いて、図6(b)に示すように、導電性酸化金属膜25bの上に、導電性向上膜25cとしてイリジウム膜をスパッタ法により厚さ50nmに形成する。そのスパッタ法は、圧力が1Paのアルゴン雰囲気中で行われ、1.0kWのスパッタパワーがスパッタ雰囲気投入される。

【0142】

導電性向上膜25cは、その下の導電性酸化金属膜25bと共に第2導電膜25を構成し、導電性酸化金属膜25bだけでは不足しがちな第2導電膜25の導電性を補う役割を担う。更に、導電性向上膜25cは、その材料であるイリジウムが水素に対するバリア性に富むため、外部の水素をブロックして強誘電体膜24の劣化を防止する役割も担う。

10

20

30

40

50

## 【0143】

なお、イリジウム膜に代えて、ルテニウム膜、ロジウム膜、及びパラジウム膜のいずれかを導電性向上膜25cとして形成してもよい。

## 【0144】

この後に、シリコン基板1の背面を洗浄する。

## 【0145】

次に、図7(a)に示すように、第2導電膜25の上にスパッタ法により窒化チタン膜を形成し、その窒化チタン膜を第1マスク材料層26とする。

## 【0146】

更に、TEOSガスを使用するプラズマCVD法を用いて、第1マスク材料層26の上に第2マスク材料層27として酸化シリコン膜を形成する。

10

## 【0147】

次いで、図7(b)に示すように、第2マスク材料層27を島状にパターニングすることにより第2ハードマスク27aを形成する。

## 【0148】

次に、図8(a)に示す断面構造を得るまでの工程について説明する。

## 【0149】

まず、第2ハードマスク27aをマスクにして第1マスク材料層26をエッチングすることにより第1ハードマスク26aを形成する。

## 【0150】

20

次いで、第1、第2ハードマスク26a、27aで覆われていない領域の第2導電膜25、強誘電体膜24、及び第1導電膜23をドライエッチングし、下部電極23a、キャパシタ誘電体膜24a、及び上部電極25aで構成されるキャパシタQを形成する。

## 【0151】

そのドライエッチングのガスは特に限定されないが、第1導電膜23、及び第2導電膜25に対するエッチングガスとしてはHBrと酸素との混合ガスが使用される。一方、強誘電体膜24に対するエッチングガスとしては塩素とアルゴンとの混合ガスが使用される。

## 【0152】

また、第1導電膜23用のエッチングガスに対して導電性酸素バリア膜22はエッチング耐性を有するので、キャパシタQを形成した後も結晶性導電膜21の全面に導電性酸素バリア膜22は残存する。

30

## 【0153】

このようにして形成されたキャパシタQの下部電極23aは、導電性酸素バリア膜22、結晶性導電膜21、及び第3導電性プラグ36aを介して第1導電性プラグ32aと電気的に接続される。

## 【0154】

更に、上記のように強誘電体膜24と第1導電膜23とを一括エッチングすることにより、キャパシタ誘電体膜24aと下部電極23aのそれぞれの側面は同一面内に存在することになる。

## 【0155】

40

ここで、上記のエッチングによって下部電極23aとされる第1導電膜23は、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cとの二層構造となっているので、第1導電膜23をイリジウム膜のみの単層構造にする場合と比較して、第1導電膜23においてイリジウムが占める割合が小さい。

## 【0156】

そのため、上記のキャパシタQのエッチングにおいて、下部電極23aの側面からエッチング雰囲気中に飛散するイリジウム粒が低減される。これにより、キャパシタ誘電体膜24aの側面に付着するイリジウム粒を低減することができ、そのイリジウム粒によって下部電極23aと上部電極25aとの間にリークパスが形成されるのを抑制できる。

## 【0157】

50

イリジウム粒の飛散量を効果的に低減するには、下側導電層 2 3 b をイリジウムよりなる上側導電層 2 3 c よりも厚くすることで、下部電極 2 3 a において上側導電層 2 3 c の占める割合を小さくするのが好ましい。例えば、下側導電層 2 3 b を上側導電層 2 3 c の 1 ~ 9 倍の厚さに形成するのが好ましい。

【 0 1 5 8 】

続いて、図 8 ( b ) に示すように、過酸化水素 (  $H_2O_2$  )、アンモニア、及び水の混合溶液をエッチング液として用い、酸化シリコンよりなる第 2 ハードマスク 2 7 a をウエットエッチングにより除去する。なお、ドライエッチングにより第 2 ハードマスク 2 7 a を除去してもよい。

【 0 1 5 9 】

次に、図 9 ( a ) に示す断面構造を得るまでの工程について説明する。

【 0 1 6 0 】

まず、第 1 ハードマスク 2 6 a ( 図 8 ( b ) 参照 ) をマスクとして用いながら、結晶性導電膜 2 1 と導電性酸素バリア膜 2 2 とをエッチングし、これらの膜をキャパシタ Q の下にのみ残す。このエッチングはドライエッチングにより行われ、そのエッチングガスとしては例えばアルゴンと塩素との混合ガスが使用される。

【 0 1 6 1 】

また、このエッチングガスに対し第 1 ハードマスク 2 6 a もエッチングされるため、エッチングの終了時には第 1 ハードマスク 2 6 a は除去される。

【 0 1 6 2 】

続いて、図 9 ( b ) に示すように、キャパシタ Q を覆うアルミナ (  $Al_2O_3$  ) 膜を厚さ約 2 0 nm に形成し、そのアルミナ膜を第 1 キャパシタ保護絶縁膜 3 9 とする。第 1 キャパシタ保護絶縁膜 3 9 を構成するアルミナは、水素の透過防止能力に優れているため、外部の水素はこの第 1 キャパシタ保護絶縁膜 3 9 によってブロックされ、水素によるキャパシタ誘電体膜 2 4 a の劣化を防止することができる。

【 0 1 6 3 】

ここで、キャパシタ誘電体膜 2 4 a は、キャパシタ Q を形成する際のドライエッチング ( 図 8 ( b ) 参照 ) や、スパッタ法による第 1 キャパシタ保護絶縁膜 3 9 の成膜によってダメージを受けている。

【 0 1 6 4 】

そこで、このダメージからキャパシタ誘電体膜 2 4 a を回復させる目的で、図 1 0 ( a ) に示すように、酸素含有雰囲気中においてキャパシタ誘電体膜 2 4 a に対して回復アニールを施す。この回復アニールの条件は特に限定されないが、本実施形態では、炉内において基板温度を 5 5 0 ~ 7 0 0 、例えば 6 5 0 とし、約 6 0 分間行われる。

【 0 1 6 5 】

続いて、図 1 0 ( b ) に示すように、第 1 キャパシタ保護絶縁膜 3 9 の上に、CVD 法によりアルミナ膜を厚さ約 2 0 nm に形成し、このアルミナ膜を第 2 キャパシタ保護絶縁膜 4 0 とする。

【 0 1 6 6 】

次に、図 1 1 ( a ) に示す断面構造を得るまでの工程について説明する。

【 0 1 6 7 】

まず、TEOS ガスを反応ガスとするプラズマ CVD により、第 2 キャパシタ保護絶縁膜 4 0 の上に第 2 層間絶縁膜 4 1 として酸化シリコン膜を形成する。その反応ガスには、酸素ガスとヘリウムガスも含まれる。また、第 2 層間絶縁膜 4 1 の膜厚は特に限定されないが、本実施形態では、シリコン基板 1 の平坦面上での厚さを 1 5 0 0 nm とする。

【 0 1 6 8 】

なお、酸化シリコン膜に代えて、絶縁性の無機膜を第 2 層間絶縁膜 4 1 として形成してもよい。

【 0 1 6 9 】

その後、CMP 法により第 2 層間絶縁膜 4 1 の表面を研磨して平坦化する。

10

20

30

40

50

## 【0170】

更に、第2層間絶縁膜41に対する脱水処理として、第2層間絶縁膜41の表面を $N_2O$ プラズマに曝す。この $N_2O$ プラズマにより、第2層間絶縁膜41内に残留する水分が除去されると共に、第2層間絶縁膜41への水分の再吸収が防止される。

## 【0171】

なお、この脱水処理として $N_2$ プラズマ処理を行ってもよい。

## 【0172】

続いて、第2層間絶縁膜41の上に、スパッタ法により平坦なアルミナ膜を厚さ約20nm~100nmに形成し、そのアルミナ膜を第3キャパシタ保護絶縁膜42とする。この第3キャパシタ保護絶縁膜42は、平坦化された第2層間絶縁膜41上に形成されるため優れたカバレッジ特性が要求されず、上記のように安価なスパッタ法で形成される。但し、第3キャパシタ保護絶縁膜42の成膜方法はスパッタ法に限定されず、CVD法であってもよい。

10

## 【0173】

その後、図11(b)に示すように、TEOSガスを使用するプラズマCVD法を用いて、第3キャパシタ保護絶縁膜42の上に、キャップ絶縁膜43として酸化シリコン膜を800~1000nm程度の厚さに形成する。なお、このキャップ絶縁膜43として、酸化シリコン膜又は窒化シリコン膜を形成してもよい。

## 【0174】

更に、このキャップ絶縁膜43に対してCMPを行いその表面を平坦化してもよい。

20

## 【0175】

次に、図12(a)に示す断面構造を得るまでの工程について説明する。

## 【0176】

まず、第1~第3キャパシタ保護絶縁膜39、40、42、第2層間絶縁膜41、キャップ絶縁膜43をパターニングすることにより、上部電極25a上のこれらの膜に導電性向上膜25c(図6(b)参照)に至る深さの第2ホール41aを形成する。

## 【0177】

次いで、ここまでの工程でキャパシタ誘電体膜24aが受けたダメージを回復させるため、不図示の炉内にシリコン基板1を入れ、酸素雰囲気中で基板温度を550とする回復アニールを行う。

30

## 【0178】

次に、第2導電性プラグ32bの上の第1~第3キャパシタ保護絶縁膜39、40、42、第2層間絶縁膜41、キャップ絶縁膜43、下地絶縁膜15、及び酸化防止絶縁膜14をパターニングして、これらの膜に第3ホール41bを形成する。

## 【0179】

なお、このパターニングの際、第2ホール41aは、レジストパターンで覆われており、そのレジストパターンによってエッチング雰囲気から保護されている。

## 【0180】

ここで、もし、これらのホール41a、41bを同時に形成しようとする、深い第3ホール41bが開口されるまで第2ホール41a内の上部電極25aが長時間にわたってエッチング雰囲気に曝され、キャパシタ誘電体膜24aが劣化するという問題が発生する。

40

## 【0181】

本実施形態では、上記のように深さの異なる第2、第3ホール41a、41bを別々に形成するので、このような問題を回避することができる。

## 【0182】

更に、第2ソース/ドレイン領域8b上の第2導電性プラグ32bは、本工程が終了するまで、酸化防止絶縁膜14によって覆われているので、第2導電性プラグ32bを構成するタンゲステンが酸化してコンタクト不良を起こすのが防止される。

## 【0183】

50

続いて、キャップ絶縁膜43上と第2、第3ホール41a、41b内に、グルー膜としてスパッタ法によりチタン膜と窒化チタン膜とをこの順に形成する。

【0184】

なお、窒化チタン膜についてはMOCVD法で形成してもよい。その場合、窒化チタン膜から炭素を除去するため、窒素と水素とをプラズマ化してなる雰囲気中で窒化チタン膜をアニールするのが好ましい。このように水素含有雰囲気中でアニールを行っても、上部電極25aの最上層に形成されたイリジウムよりなる導電性向上膜25c(図6(b)参照)が水素をブロックするので、水素によって導電性酸化金属膜25bが還元されることは無い。

【0185】

また、グルー膜はチタン膜と窒化チタン膜との積層膜に限定されず、チタン膜、窒化チタン膜、窒化タンタル膜、及び窒化チタンアルミニウム膜のいずれかよりなる単層膜、又はこれらの積層膜でグルー膜を構成してもよい。

【0186】

更に、CVD法によりグルー膜の上にタングステン膜を形成し、このタングステン膜で第2、第3ホール41a、41bを完全に埋め込む。

【0187】

そして、キャップ絶縁膜43上の不要なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜を第2、第3ホール41a、41b内にのみ第4、第5導電性プラグ47a、47bとして残す。

【0188】

これらのプラグのうち、第4導電性プラグ47aは、キャパシタQの上部電極25aと電氣的に接続される。一方、第5導電性プラグ47bは、第2導電性プラグ32bに電氣的に接続され、その第2導電性プラグ32bと共にビット線の一部を構成する。

【0189】

ここで、第4導電性プラグ47aのグルー膜を構成する窒化チタン膜が、上部電極25aを構成する導電性酸化金属膜25bに触れると、上部電極25aと第4導電性プラグ47aとの間のコンタクト抵抗が高くなるという不都合がある。この点に鑑み、本実施形態では、上部電極25aの最上層に、イリジウムよりなる導電性向上膜25cを形成したので、上部電極25aと第4導電性プラグ47aとの間のコンタクト抵抗を低くすることができる。

【0190】

その後、図12(b)に示すように、キャップ絶縁膜43と各導電性プラグ47a、47bのそれぞれの上にスパッタ法で金属積層膜を形成し、この金属積層膜をパターンニングして金属配線49aとビット線用の導電性パッド49bとを形成する。

【0191】

その金属積層膜として、厚さ60nmのチタン膜、厚さ30nmの窒化チタン膜、厚さ360nmの銅含有アルミニウム膜、厚さ5nmのチタン膜、及び厚さ70nmの窒化チタン膜をこの順に形成する。

【0192】

以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

【0193】

上記した本実施形態によれば、図5(b)に示したように、キャパシタの下部電極23aとなる第1導電膜23を、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cとの二層構造にした。

【0194】

これにより、第1導電膜23をイリジウム膜の単層構造にする場合と比較して、第1導電膜23においてイリジウムが占める割合が減る。そのため、第1導電膜23と強誘電体膜24とを一括エッチングする工程(図8(a))において、第1導電膜23からエッチング雰囲気中に放出されるイリジウム粒を低減することが可能となる。その結果、上記の

10

20

30

40

50

エッチング中にキャパシタ強誘電体膜 2 3 a の側面に再付着するイリジウム粒の数を減らすことができ、そのイリジウム粒に起因してキャパシタ誘電体膜 2 3 a の側面にリークパスが発生するのが抑えられ、高品位なキャパシタQを備えた半導体装置を提供することが可能となる。

【 0 1 9 5 】

このようにイリジウム粒を減らすという観点からすれば、下側導電層 2 3 b の構成材料は、イリジウム以外の貴金属であれば特に限定されない。これは、イリジウム以外の貴金属は、エッチングされてもイリジウムのように多量に粒状に飛散せず、キャパシタのリーク電流に大きな影響を与えないからである。また、イリジウム以外の貴金属は、第 2 ハードマスク 2 7 a をウエットエッチングする工程 ( 図 8 ( b ) ) で使用されるエッチング液によってある程度エッチングされる。そのため、粒状に飛散したイリジウム以外の貴金属は、ハードマスク 2 7 a の除去時にウエットエッチングによって溶解される。

10

【 0 1 9 6 】

なお、イリジウム粒を低減するだけなら、イリジウム以外の貴金属よりなる単層膜、例えばプラチナ膜のみで第 1 導電膜 2 3 を構成することも考えられる。

【 0 1 9 7 】

しかし、第 1 導電膜 2 3 は、キャパシタの下部電極としての機能の他に、自身の結晶性によりその上の強誘電体膜 2 4 の結晶性を向上させる機能も必要である。イリジウム膜はこの機能に優れているので、本実施形態のように第 1 導電膜 2 3 を二層構造にし、その最上層の上側導電層 2 3 c にイリジウム膜を形成するのが好ましい。

20

【 0 1 9 8 】

但し、最上層の上側導電層 2 3 c としてプラチナ膜を形成すると、PZTよりなる強誘電体膜 2 4 に含まれる鉛とプラチナとの相互拡散によって強誘電体膜 2 4 の強誘電体特性、例えば残留分極電荷量が低下するという問題がある。例えば、特許文献 2 と特許文献 3 ではこのような問題が発生する。

【 0 1 9 9 】

更に、プラチナは他の貴金属にくらべて高価なので、製造コストの上昇を防ぐという観点からも、上側導電層 2 3 c としてプラチナ膜を形成するのは好ましくない。

【 0 2 0 0 】

これらの理由により、上側導電層 2 3 c の構成材料としては、プラチナ以外の導電性材料を選択するのが好ましい。

30

【 0 2 0 1 】

このような下側導電層 2 3 b と上側導電層 2 3 c のそれぞれの材料の選択の仕方については、後述の実施形態でも同様である。

【 0 2 0 2 】

## ( 2 ) 第 2 実施形態

図 1 3 ~ 図 1 8 は、本発明の第 2 実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図において第 1 実施形態で説明した要素には第 1 実施形態と同じ符号を付し、以下ではその説明を省略する。

【 0 2 0 3 】

第 1 実施形態の図 3 ( c ) の工程では、グルー膜 3 5 とプラグ用導電膜 3 6 とをCMP法により研磨することで第 3 導電性プラグ 3 6 a を形成した。

40

【 0 2 0 4 】

しかしながら、そのCMPで使用されるスラリに対し、グルー膜 3 5 とプラグ用導電膜 3 6 の研磨速度は下地絶縁膜 1 5 よりも速いので、CMPを終了した時点で第 3 導電性プラグ 3 6 a と下地絶縁膜 1 5 のそれぞれの上面の高さを合わせるの難しい。

【 0 2 0 5 】

そのため、実際には、図 1 3 ( a ) に示されるように、上記のCMPの後には下地絶縁膜 1 5 にリセス 1 5 b が形成され、第 3 導電膜 3 6 a の上面の高さが下地絶縁膜 1 5 のそれよりも低くなる。そのリセス 1 5 b の深さは 2 0 ~ 5 0 nmであり、典型的には 5 0 nm程度

50

になる。

【0206】

ところが、このようなりセス15bが存在すると、下部電極とキャパシタ誘電体膜の配向が乱れ、キャパシタ誘電体膜の強誘電体特性が劣化するという問題が発生する。

【0207】

この問題を解決するため、本実施形態では以下のような工程を行う。

【0208】

まず、図13(b)に示すように、下地絶縁膜15に対してアンモニアプラズマ処理を行い、下地絶縁膜15の表面の酸素原子にNH基を結合させる。

【0209】

このアンモニアプラズマ処理は、例えばシリコン基板1に対して約9mm(350mils)だけ離れた位置に対向電極を有する平行平板型のプラズマ処理装置が使用される。そして、266Pa(2Torr)の圧力下において基板温度を400に保持しながら、チャンバ内にアンモニアガスを350sccmの流量で供給し、シリコン基板1側に13.56MHzの高周波電力を100Wのパワーで、また上記の対向電極に350kHzの高周波電力を55Wのパワーで60秒間供給することにより処理が行われる。

【0210】

次に、図14(a)に示すように、下地絶縁膜15と第3導電性プラグ36aの上に平坦化用導電膜50としてチタン膜を100~300nm、例えば約100nmに形成し、この平坦化用導電膜50でリセス15bを完全に埋め込む。

【0211】

この平坦化用導電膜50の成膜条件は特に限定されないが、本実施形態では、シリコン基板1とチタンターゲットとの距離が60mmに設定されたスパッタ装置を用い、圧力が0.15Paのアルゴン雰囲気において、2.6kWのスパッタ用のDCパワーを35秒間印加し、基板温度が20の条件下において平坦化用導電膜50を形成する。

【0212】

また、平坦化用導電膜50を形成する前に、アンモニアプラズマ処理(図14(b))により下地絶縁膜15の表面の酸素原子にNH基を結合させておいたので、下地絶縁膜15上に堆積したチタン原子は酸素原子に捕獲され難い。その結果、チタン原子が下地絶縁膜15の表面を自由に移動できるようになり、(002)方向に強く自己組織化されたチタンよりなる平坦化用導電膜50を形成することが可能となる。

【0213】

なお、平坦化用導電膜50はチタン膜に限定されず、タングステン膜、シリコン膜、及び銅膜のいずれかを平坦化用導電膜50として形成してもよい。

【0214】

その後、平坦化用導電膜50に対し、窒素雰囲気中で基板温度を650とするRTAを行うことで、チタンよりなる平坦化用導電膜50を窒化して、(111)方向に配向した窒化チタンで平坦化用導電膜50を構成する。

【0215】

ここで、第3導電性プラグ36aの周囲の下地絶縁膜15に既述のように形成されたりリセス15bを反映して、上記の平坦化用導電膜50の上面には凹部が形成される。しかし、このような凹部が形成されていると、平坦化用導電膜50の上方に後で形成される強誘電体膜の結晶性が劣化する恐れがある。

【0216】

そこで、本実施形態では、図14(b)に示すように、CMP法により平坦化用導電膜50の上面を研磨して平坦化し、上記した凹部を除去する。このCMPで使用されるスラリは特に限定されないが、本実施形態ではCabot Microelectronics Corporation製のSSW2000を使用する。

【0217】

なお、CMP後の平坦化用導電膜50の厚さは、研磨誤差に起因して、シリコン基板の面

10

20

30

40

50

内や、複数のシリコン基板間でばらつく。そのばらつきを考慮して、本実施形態では、研磨時間を制御することにより、CMP後の平坦化用導電膜50の厚さの目標値を50~100nm、より好ましくは50nmとする。

【0218】

ところで、上記のように平坦化用導電膜50に対してCMPを行った後では、平坦化用導電膜50の上面付近の結晶が研磨によって歪んだ状態となっている。しかし、このように結晶に歪が発生している平坦化用導電膜50の上方にキャパシタの下部電極を形成すると、その歪みを下部電極が拾ってしまつて下部電極の結晶性が劣化し、ひいてはその上の強誘電体膜の強誘電体特性が劣化することになる。

【0219】

このような不都合を回避するために、次の工程では、図15(a)に示すように、平坦化用導電膜50の上面をアンモニアプラズマに曝すことで、平坦化用導電膜50の結晶の歪みはその上の膜に伝わらないようにする。

【0220】

次に、図15(b)に示すように、上記のアンモニアプラズマ処理によって結晶の歪みが解消された平坦化用導電膜50の上に、スパッタ法で導電性密着膜51としてイリジウム膜を形成する。その導電性密着膜51は、上下の膜同士の密着強度を高める膜として機能し、その厚さはなるべく薄く、例えば20nm以下、より好ましくは5nm~10nmの厚さに形成するのが望ましい。

【0221】

続いて、第1実施形態で説明した図4(b)~図6(b)の工程を行うことにより、図17(a)に示すように、結晶性導電膜21~第2導電膜25までを積層する。

【0222】

続いて、図7(a)、(b)で説明した工程を行うことにより、図16(b)に示すように、第2導電膜25の上に第1マスク材料層26と第2ハードマスク27aとを形成する。

【0223】

次に、図17(a)に示すように、第2ハードマスク27aをマスクにして第1マスク材料層26をエッチングすることにより第1ハードマスク26aを形成する。

【0224】

その後、第1、第2ハードマスク26a、27aで覆われていない領域の第2導電膜25、強誘電体膜24、及び第1導電膜23をドライエッチングし、下部電極25a、キャパシタ誘電体膜24a、及び上部電極23aで構成されるキャパシタQを形成する。

【0225】

そのエッチングでは、第1実施形態と同様に、第1導電膜23、及び第2導電膜25に対するエッチングガスとしてHBrと酸素との混合ガスを使用し、強誘電体膜24に対するエッチングガスとして塩素とアルゴンとの混合ガスを使用する。

【0226】

ここで、第1実施形態で説明したように、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cにより第1導電膜23を構成したので、第1導電膜23の全てをイリジウムで構成する場合と比較して、このエッチングの最中に第1導電膜23から飛散するイリジウム粒が低減される。これにより、キャパシタ誘電体膜24aの側面に再付着するイリジウムによりリークパスが形成されるのが防止され、上部電極25aと下部電極23aとの間のリーク電流を低減することが可能となる。

【0227】

続いて、図17(b)に示すように、過酸化水素、アンモニア、及び水の混合溶液をエッチング液とするウエットエッチングにより、酸化シリコンよりなる第2ハードマスク27aを除去する。なお、ドライエッチングにより第2ハードマスク27aを除去してもよい。

【0228】

10

20

30

40

50

次に、図18(a)に示す断面構造を得るまでの工程について説明する。

【0229】

まず、第1ハードマスク26a(図17(b)参照)をマスクとして用いながら、下部電極23aから露出した領域の導電性酸素バリア膜22、結晶性導電膜21、導電性密着膜51、及び平坦化用導電膜50をエッチングし、これらの膜をキャパシタQの下にのみ残す。このエッチングはドライエッチングにより行われ、そのエッチングガスとしては例えばアルゴンと塩素との混合ガスが使用される。

【0230】

また、このエッチングガスに対し第1ハードマスク26aもエッチングされるため、エッチングの終了時には第1ハードマスク26aは除去される。

10

【0231】

この後は、第1実施形態で説明した図9(b)~図12(b)の工程を行うことにより、図18(b)に示すような本実施形態に係る半導体装置の基本構造を完成させる。

【0232】

以上説明した本実施形態によれば、図14(a)、(b)を参照して説明したように、CMPにより第3導電性プラグ36aの周囲に発生したりセス15bを平坦化用導電膜50で埋め込み、更にCMPによりその平坦化用導電膜50を平坦化した。

【0233】

これにより、平坦化導電膜50の上方に形成される下部電極23a(図18(a)参照)の平坦性が良好になり、下部電極23aの配向が良好になる。そして、下部電極23aの配向の作用によりキャパシタ誘電体膜24aの配向も向上し、残留分極電荷量等のキャパシタ誘電体膜24aの強誘電体特性が高められる。

20

【0234】

しかも、第1実施形態と同様に、第1導電膜23を下側導電膜23bと上側導電膜23cとの二層構造にするので、強誘電体膜24と第1導電膜23とを一括エッチングする工程(図17(a))において、第1導電膜23から飛散するイリジウム粒を低減でき、そのイリジウム粒に起因するリークパスの発生を抑制することができる。

【0235】

(3)第3実施形態

図19は、本実施形態に係る半導体装置の断面図である。

30

【0236】

本実施形態が第2実施形態と異なる点は、本実施形態では図14(b)のCMP工程において下地絶縁膜15の上面から平坦化用導電膜50を除去し、リセス15b内にのみ平坦化用導電膜50を残す点である。これ以外の点は、本実施形態も第2実施形態も同じである。

【0237】

本実施形態でも、下部電極23aの層構造として、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cとの二層構造を採用する。

【0238】

これにより、第1実施形態で説明したのと同じ理由により、エッチングにより下部電極23aを形成する際にキャパシタ誘電体膜24aの側面に再付着するイリジウム粒を低減でき、イリジウム粒に起因するリークパスがキャパシタQに発生するのを抑制できる。

40

【0239】

(4)第4実施形態

図20~図26は、本実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図において、第1実施形態で説明した要素には第1実施形態と同じ符号を付し、以下ではその説明を省略する。

【0240】

最初に、図20(a)に示す断面構造を得るまでの工程について説明する。

【0241】

50

まず、第1実施形態の図3(a)で説明した工程に従い、シリコン基板1の上にカバー絶縁膜10と第1層間絶縁膜11とを形成する。そして、これらの絶縁膜をパターニングすることにより、第1ソース/ドレイン領域8aの上にコンタクトホールを形成する。

【0242】

更に、このコンタクトホール内にグルー膜とタングステン膜とを順に形成した後、第1層間絶縁膜11上の余分なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜をコンタクトホール内にのみ第1導電性プラグ32aとして残す。

【0243】

次に、図20(b)に示すように、第1層間絶縁膜11と第1導電性プラグ32aのそれぞれの上にチタン膜を厚さ約20nmに形成し、このチタン膜を結晶性導電膜21とする

10

【0244】

なお、この結晶性導電膜21を形成する前に、第1層間絶縁膜11と第1導電性プラグ32aのそれぞれの上面に対しアンモニアプラズマ処理を予め行ってよい。このアンモニアプラズマ処理を行うことで、第1層間絶縁膜11上に堆積したチタン原子が絶縁膜11表面の酸素原子に捕獲され難くなるので、チタン原子が第1層間絶縁膜11の表面を自在に移動できるようになり、(002)方向に強く自己組織化したチタンよりなる結晶性導電膜21を形成することが可能となる。

【0245】

その後、下地絶縁膜21に対し、窒素雰囲気中において基板温度を650、処理時間を60秒とするRTAを行う。これにより、チタンよりなる結晶性導電膜21が窒化され、(111)方向に配向した窒化チタンで結晶性導電膜21が構成されることになる。

20

【0246】

更に、この結晶性導電膜21の上に導電性酸素バリア膜22として窒化チタンアルミニウム膜を反応性スパッタ法で100nmの厚さに形成する。

【0247】

続いて、図20(c)に示すように、導電性酸素バリア膜22の上に、スパッタ法により第1導電膜の下側導電層23bとしてプラチナ膜を60nmの厚さに形成する。そのプラチナ膜は、例えば、圧力が0.2Paのアルゴン雰囲気中で基板温度を400にし、スパッタパワーを0.5kWにして形成される。

30

【0248】

なお、この下側導電層23bの構成材料は、イリジウム以外の貴金属であれば特に限定されず、ロジウムやパラジウムで下側導電層23bを構成するようにしてもよい。

【0249】

その後、下側導電層23bの上にイリジウム膜を厚さ40nmに形成し、そのイリジウム膜を第1導電膜の上側導電層23cとする。このイリジウム膜の成膜条件は特に限定されないが、本実施形態では、圧力が0.11Paのアルゴン雰囲気中で基板温度を500にし、スパッタパワーを0.3kWにする条件が採用される。

【0250】

更に、上側導電層23cを構成する導電性材料はイリジウムに限定されず、ルテニウム、酸化イリジウム、酸化ルテニウム、及びSrRuO<sub>3</sub>のいずれかであってもよい。

40

【0251】

これにより、導電性バリア膜22の上に、下側導電層23bと上側導電層23cとで構成される第1導電膜23が形成されたことになる。

【0252】

続いて、図21(a)に示すように、MOCVD法により第1導電膜23の上にPZT膜を形成し、このPZT膜を第1強誘電体膜24bとする。

【0253】

第1強誘電体膜24bはPZT膜に限定されず、熱処理により結晶構造がBi層状構造又はペロブスカイト構造となる膜を第1強誘電体膜24bとして形成してもよい。そのうち、

50

ペロブスカイト構造となる膜としては、ランタン、カルシウム、ストロンチウム、及びシリコンのいずれかを微量ドーブしたPZT膜がある。

【0254】

また、Bi層状構造となる膜としては、 $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$  (Rは希土類元素で  $0 < x < 1$ ) 膜、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  膜、及び $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 膜がある。

【0255】

次いで、第1強誘電体膜24bの上に第2強誘電体膜24cとしてスパッタ法でアモルファス状態のPZT膜を形成し、これら第1、第2強誘電体膜24b、24cを強誘電体膜24とする。

【0256】

第2強誘電体膜24cはPZT膜に限定されない。第1強誘電体膜24bと同様に、ランタン、カルシウム、ストロンチウム、及びシリコンのいずれかを微量ドーブしたPZT膜を第2強誘電体膜24cとして形成してよい。更に、 $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$  (Rは希土類元素で  $0 < x < 1$ )、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、及び $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 等のBi層状構造を有する材料で第2強誘電体膜24cを構成してもよい。

【0257】

続いて、図21(b)に示すように、第1実施形態で説明した図6(a)の工程を行うことにより、共に酸化イリジウムよりなる第1、第2導電性酸化金属膜25d、25eを強誘電体膜24上に形成し、これらの膜を導電性酸化金属膜25bとする。

【0258】

更に、図22(a)に示すように、第1実施形態の図6(b)の工程を行うことにより、イリジウムよりなる導電性向上膜25cを導電性酸化金属膜25bの上に形成する。これにより、強誘電体膜24の上には、導電性酸化金属膜25bと導電性向上膜25cとで構成される第2導電膜25が形成されたことになる。

【0259】

次に、図22(b)に示すように、スパッタ法で第2導電膜25の上に窒化チタンよりなる第1マスク材料層26を形成する。

【0260】

更に、TEOSガスを使用するプラズマCVD法を用いて第1マスク材料層26の上に酸化シリコン膜を形成し、その酸化シリコンマスクをパターニングして第2ハードマスク27aを形成する。

【0261】

続いて、図23(a)に示すように、第2ハードマスク27aをマスクにして第1マスク材料層26をエッチングすることにより第1ハードマスク26aを形成する。

【0262】

次いで、第1、第2ハードマスク26a、27aで覆われていない領域の第2導電膜25、強誘電体膜24、及び第1導電膜23をドライエッチングし、下部電極25a、キャパシタ誘電体膜24a、及び上部電極23aで構成されるキャパシタQを形成する。

【0263】

なお、このドライエッチングの条件は、第1実施形態で図8(a)を参照して説明したので省略する。

【0264】

また、上記のドライエッチングを行っても、導電性酸素バリア膜22はエッチングされずに結晶性導電膜21の全面に残存する。

【0265】

ここで、既述のように、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cとにより第1導電膜23を構成したので、第1導電膜23の全てをイリジウムで構成する場合と比較して、第1導電層23においてイリジウムが占める割合が小さくなる。従って、このエッチングにおいて、下部電極23aの側面からエッチング雰囲気へ飛散するイリジウム粒を低減することができ、そのイリジウム粒によってキャパシタ誘電

10

20

30

40

50

体膜 2 4 a の側面にリークパスが形成されるのを防止できる。

【 0 2 6 6 】

次に、図 2 3 ( b ) に示すように、ウエットエッチング又はドライエッチングにより第 2 ハードマスク 2 7 a を除去する。ウエットエッチングの場合は、過酸化水素、アンモニア、及び水の混合溶液がエッチング液として用いられる。

【 0 2 6 7 】

続いて、図 2 4 ( a ) に示す断面構造を得るまでの工程について説明する。

【 0 2 6 8 】

まず、第 1 ハードマスク 2 6 a ( 図 2 3 ( b ) 参照 ) をマスクにしなが、アルゴンと塩素との混合ガスをエッチングガスとして用い、結晶性導電膜 2 1 と導電性酸素バリア膜 2 2 とをドライエッチングし、これらの膜をキャパシタ Q の下にのみ残す。

【 0 2 6 9 】

なお、このエッチングガスに対し第 1 ハードマスク 2 6 a もエッチングされるため、エッチングの終了時には第 1 ハードマスク 2 6 a は除去され、上部電極 2 5 a の上面が露出する。

【 0 2 7 0 】

次に、図 2 4 ( b ) に示すように、水素等の還元性物質からキャパシタ Q を保護するために、シリコン基板 1 の上側全面に、第 1 キャパシタ保護絶縁膜 3 9 としてアルミナ膜を厚さ約 2 0 nm に形成する。

【 0 2 7 1 】

そして、キャパシタ Q を形成する際のドライエッチング ( 図 2 3 ( b ) 参照 ) や、スパッタ法による第 1 キャパシタ保護絶縁膜 3 9 の成膜時にキャパシタ誘電体膜 2 4 a が受けたダメージを回復させるため、酸素含有雰囲気中においてキャパシタ誘電体膜 2 4 a に対して回復アニールを施す。この回復アニールの条件は、炉内において基板温度を 5 5 0 ~ 7 0 0 、例えば 6 5 0 とし、約 6 0 分間行われる。

【 0 2 7 2 】

その後、第 1 キャパシタ保護絶縁膜 3 9 の上に、CVD 法によりアルミナ膜を厚さ約 2 0 nm に形成し、このアルミナ膜を第 2 キャパシタ保護絶縁膜 4 0 とする。

【 0 2 7 3 】

次いで、図 2 5 ( a ) に示すように、TEOS ガスを反応ガスとするプラズマ CVD により、第 2 キャパシタ保護絶縁膜 4 0 の上に第 2 層間絶縁膜 4 1 として酸化シリコン膜を形成する。その反応ガスには、酸素ガスとヘリウムガスも含まれる。また、第 2 層間絶縁膜 4 1 は、シリコン基板 1 の平坦面上で 1 5 0 0 nm の厚さを有する。

【 0 2 7 4 】

なお、酸化シリコン膜に代えて、絶縁性の無機膜を第 2 層間絶縁膜 4 1 として形成してもよい。

【 0 2 7 5 】

その後、CMP 法により第 2 層間絶縁膜 4 1 の表面を研磨して平坦化する。

【 0 2 7 6 】

次に、図 2 5 ( b ) に示す断面構造を得るまでの工程について説明する。

【 0 2 7 7 】

まず、第 2 層間絶縁膜 4 1 の表面を N<sub>2</sub>O プラズマに曝すことにより、第 2 層間絶縁膜 4 1 内に残留する水分を除去すると共に、第 2 層間絶縁膜 4 1 への水分の再吸収を防止する。

【 0 2 7 8 】

なお、この脱水処理として N<sub>2</sub> プラズマ処理を行ってもよい。

【 0 2 7 9 】

次いで、カバー絶縁膜 1 0、第 1、第 2 層間絶縁膜 1 1、4 1、及び第 1、第 2 キャパシタ保護絶縁膜 3 9、4 0 をパターンニングすることにより、第 2 ソース/ドレイン領域 8 b の上のこれらの絶縁膜に第 1 ホール 4 1 c を形成する。

10

20

30

40

50

## 【0280】

そして、この第1ホール41c内にグルー膜とタングステン膜とを順に形成した後、第2層間絶縁膜41上の余分なグルー膜とタングステン膜とをCMP法により研磨して除去し、これらの膜を第1ホール41c内のみ第2導電性プラグ54として残す。

## 【0281】

その第2導電性プラグ54は、ビット線の一部を構成し、第2ソース/ドレイン領域8bと電氣的に接続される。

## 【0282】

ところで、第2導電性プラグ54は、酸化され易いタングステンを主にして構成されるため、プロセス中で酸化されるとコンタクト不良を起こし易い。

10

## 【0283】

そこで、第2導電性プラグ54の酸化を防止するため、第2層間絶縁膜41と第2導電性プラグ54のそれぞれの上面に酸化防止シリコン膜を厚さ約100nmに形成し、この酸化防止シリコン膜を酸化防止絶縁膜55とする。

## 【0284】

次に、図26(a)に示すように、第1、第2キャパシタ保護絶縁膜39、40、第2層間絶縁膜41、及び酸化防止絶縁膜55をパターニングすることにより、上部電極25aの上のこれらの膜に第2ホール41dを形成する。

## 【0285】

この第2ホール41dを形成した後、ここまでの工程でキャパシタ誘電体膜24aが受けたダメージを回復させるため、酸素含有雰囲気中でアニールを行ってもよい。このようにアニールをしても、第2導電性プラグ54の酸化は酸化防止絶縁膜55によって防止される。

20

## 【0286】

この後に、酸化防止絶縁膜55をエッチバックして除去する。

## 【0287】

続いて、図26(b)に示すように、第2層間絶縁膜41と第2導電性プラグ54のそれぞれの上面にスパッタ法で金属積層膜を形成し、この金属積層膜をパターニングして金属配線57aとビット線用の導電性パッド57bとを形成する。

## 【0288】

その金属積層膜は、例えば、厚さ60nmのチタン膜、厚さ30nmの窒化チタン膜、厚さ400nmの銅含有アルミニウム膜、厚さ5nmのチタン膜、及び厚さ70nmの窒化チタン膜をこの順に形成してなる。

30

## 【0289】

以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

## 【0290】

上記した本実施形態では、第1実施形態の第3導電性プラグ36aや下地絶縁膜15を形成しないので、第1実施形態と比較して工程の簡略化が図られる。

## 【0291】

更に、第2ソース/ドレイン領域8b上でビット線の一部を構成する第2導電性プラグ54が一段しかないので、二段の導電性プラグ32b、47bを形成する第1実施形態よりも簡単な構造となる。

40

## 【0292】

しかも、第1実施形態と同様に、下部電極23aの層構造として、プラチナよりなる下側導電層23bとイリジウムよりなる上側導電層23cとの二層構造を採用し、下部電極23aにおいてイリジウムが占める割合を低減する。これにより、一括エッチングによりキャパシタQを形成する工程(図23(a))において、下部電極23aの側面からエッチング雰囲気中に飛散するイリジウム粒を低減でき、そのイリジウム粒によってリークパスが形成されるのを防ぐことができる。

## 【0293】

50

## (6) 第5実施形態

図27～図34は、本実施形態に係る半導体装置の製造途中の断面図であり、図35～図38はその平面図である。

## 【0294】

本実施形態では、プレーナ型のFeRAMについて説明する。

## 【0295】

まず、図27に示す断面構造を得るまでの工程を説明する。n型又はp型のシリコン基板61表面に、LOCOS(Local Oxidation of Silicon)法により素子分離絶縁膜26を形成する。素子分離絶縁膜62としてSTI(Shallow Trench Isolation)を採用してもよい。そのような素子分離絶縁膜62を形成した後に、シリコン基板61のメモリセル領域における所定の活性領域にpウェル63を形成する。

10

## 【0296】

その後、シリコン基板61の活性領域表面を熱酸化してシリコン酸化膜を形成してこれをゲート絶縁膜64として用いる。次に、シリコン基板61の上側全面に多結晶シリコン又は高融点金属シリサイドからなる導電膜を形成する。その後に、導電膜をフォトリソグラフィにより所定の形状にパターンニングして、ゲート電極65a, 65bを形成する。メモリセル領域における1つのpウェル63上には2つのゲート電極65a, 65bがほぼ平行に配置される。それらのゲート電極65a, 65bはワード線の一部を構成する。

## 【0297】

続いて、ゲート電極65a, 65bの両側のpウェル63内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース/ドレインとなるn型不純物拡散領域66a, 66bを形成する。さらに、シリコン基板61の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極65a, 65bの両側部分に絶縁性サイドウォール67として残す。その絶縁膜は、例えばCVD法で形成された酸化シリコンである。

20

## 【0298】

さらに、ゲート電極65a, 65bと絶縁性サイドウォール67をマスクに使用して、ウェル63内に再びn型不純物イオンを注入することによりn型不拡散領域66a, 66bをLDD(Lightly Doped Drain)構造にする。なお、1つのpウェル63において、2つのゲート電極65aの間に挟まれるn型不純物拡散領域66bは後述するビット線に電氣的に接続され、また、pウェル63の両側の2つの不純物拡散領域66aは後述するキャパシタ上部電極に電氣的に接続される。

30

## 【0299】

以上のように、メモリセル領域のpウェル63では、ゲート電極65a, 65bとn型不純物拡散領域66a, 66b等によって2つのn型MOSトランジスタTR<sub>1</sub>、TR<sub>2</sub>が構成され、図35(a)に示すようなメモリセルの平面構成となる。但し、平面図においては絶縁性サイドウォール67は省略されている。次に、全面に高融点金属膜を形成した後に、この高融点金属膜を加熱してp型不純物拡散領域66a, 66bの表面にそれぞれ高融点金属シリサイド層68a, 68bを形成する。その後、ウエットエッチングにより未反応の高融点金属膜を除去する。

## 【0300】

さらに、プラズマCVD法により、シリコン基板61の全面にカバー絶縁膜69として酸化シリコン膜を約200nmの厚さに形成する。さらに、TSOSガスを用いるプラズマCVD法により、第1層間絶縁膜70として酸化シリコン膜をカバー絶縁膜69上に約1.0μmの厚さに成長する。続いて、第1層間絶縁膜70をCMP法により研磨してその上面を平坦化する。

40

## 【0301】

次に、図28(a)に示す断面構造を得るまでの工程について説明する。

## 【0302】

まず、第1層間絶縁膜70の上にスパッタ法でプラチナ膜を厚さ約100nmに形成し、そのプラチナ膜を第1導電膜の下側導電層71bとする。

50

## 【0303】

更に、この下側導電層71bの上に、第2導電層71cとしてイリジウム膜をスパッタ法で約75nmの厚さに形成する。

## 【0304】

そして、このように形成された下側導電層71bと上側導電層71cにより、図示のように第1導電膜71が構成される。

## 【0305】

なお、第1導電膜71と第1層間絶縁膜70との密着性を高めるために、これらの膜の間に密着層としてチタン膜、アルミナ膜、窒化アルミニウム膜、窒化チタンアルミニウム膜、酸化タンタル膜、酸化チタン膜、及び酸化ジルコニウム膜のいずれかを密着膜として形成してもよい。

10

## 【0306】

次に、図28(b)に示すように、MOCVD法により、PZT膜を第1導電膜71の上に100~300nmの厚さに形成し、これを強誘電体膜72とする。

## 【0307】

強誘電膜72の形成方法としては、上記したMOCVD法の他にスピンオン法、ゾル-ゲル法、MOD(Metal Organic Deposition)法、MOCVD法がある。また、強誘電体膜72の材料としてはPZTの他に、PLZTやピスマス層状化合物などがある。

## 【0308】

そのような強誘電体膜72を形成した後に、その上に第2導電膜73として酸化イリジウム膜をスパッタ法により150~250nmの厚さに形成する。

20

## 【0309】

なお、キャパシタの電気特性を向上させるために、第1実施形態のように導電性酸化金属膜と導電性向上膜との積層膜を第2導電膜73としてもよい。

## 【0310】

この第2導電膜73を形成した状態のメモリセルは図35(b)に示す平面構成となっている。

## 【0311】

続いて、図29(a)に示すように、第2導電膜73上にレジストを塗布し、これを露光、現像することにより、上部電極形状の第1レジストパターン74を形成する。

30

## 【0312】

次に、図29(b)及び図35(c)に示すように、第1レジストパターン74をマスクに使用して第2導電膜73をエッチングし、これにより残った第2導電膜73をキャパシタの上部電極73aとする。

## 【0313】

続いて、図30(a)に示すように、第1レジストパターン74を除去してキャパシタ上部電極73aを露出させる。この後に、温度650、60分間の条件で、キャパシタ上部電極73aを透過させて強誘電体膜72を酸素雰囲気中でアニールする。このアニールは、スパッタ及びエッチングの際に強誘電体膜72に入ったダメージを回復させるために行われる。

40

## 【0314】

次に、上部電極73a及び強誘電体膜72の上にレジストを塗布し、これを露光、現像することにより、図30(b)及び図36(a)に示すように、第2レジストパターン75を形成する。第2レジストパターン75は、ゲート電極65a、65bの延在方向にならんだ複数の上部電極73aの上を通るストライプ形状を有し且つ上部電極73aの幅と同等の幅を有する。

## 【0315】

その後、図31(a)及び図36(b)に示すように、第2レジストパターン75をマスクに使用して強誘電体膜72をエッチングする。この際、第2レジストパターン75を適度に後退させるエッチング条件に設定することにより、副生成物のキャパシタ側壁への

50

付着を防ぐようにする。レジスト後退量の制御は、プロセスガス中にレジストとの反応性のあるガス、例えば塩素ガス等を添加したり、圧力、バイアスパワーを調整したりすることで行う。

【0316】

強誘電体膜72のエッチング中に、第2レジストパターン75が後退して上部電極73aの両側の縁部周辺が露出してその両側近傍の上部がエッチングされるが、露出した部分は強誘電体膜72のマスクとして機能し、強誘電体膜72のエッチングの終了時点で上部電極73aの両側もマスク性に充分に見合った厚さに残留する。

【0317】

このように上部電極73aをマスクの一部として使用してストライプ状にパターンニングされた強誘電体膜72はキャパシタ誘電体膜72aとされる。そして、第2レジストパターン75を除去した後に、温度650、60分間でキャパシタ誘電体膜72aを酸素雰囲気中でアニールする。第2レジストパターン75を除去した後の平面状態は、図36(c)に示すようになる。

【0318】

次に、図31(b)及び図37(a)に示すように、上部電極73a、キャパシタ誘電体膜72a、及び第1導電膜71の上に、キャパシタ保護絶縁膜77としてアルミナ膜をスパッタリング法により50nmの厚さに常温で形成する。このキャパシタ保護絶縁膜77は、還元され易いキャパシタ誘電体膜72aを水素から保護するために形成される。キャパシタ保護絶縁膜77として、PZT膜、PLZT膜、又は酸化チタン膜を形成してもよい。なお、キャパシタ保護絶縁膜77は図37(a)では省略されている。

【0319】

その後、酸素雰囲気中で、700、60秒間、昇温速度125/secの条件で、キャパシタ保護絶縁膜77の下のキャパシタ誘電体膜72aを急速熱処理してその膜質を改善する。次に、キャパシタ保護絶縁膜77の上にレジストを塗布し、これを露光、現像することにより、キャパシタ誘電体膜72aよりも長いストライプ形状を有し且つ上部電極73aの幅と同等の幅を有する第3レジストパターン76をキャパシタ誘電体膜72aの上に沿って形成する。

【0320】

その後、図32(a)及び図37(b)に示すように、第3レジストパターン76をマスクに使用して第1導電膜71及びキャパシタ保護絶縁膜77をドライエッチングし、これにより第3レジストパターン76の下に残ったストライプ状の第1導電膜71を下部電極71aとして使用する。プレーナ型のFeRAMでは、下部電極71aはプレート線とも呼ばれる。

【0321】

そのドライエッチングでは、塩素ガスとアルゴンガスとの混合ガスがエッチングガスとして使用される。そして、プラズマ化したエッチングガスによるダメージによって第3レジストパターン76の側面が適度に後退する。

【0322】

これにより、第1導電膜71とキャパシタ保護絶縁膜77のエッチング中に、上部電極73aの両側寄りの上部が露出してエッチングされるが、露出した部分はマスクとして機能し、第1導電膜71のエッチングが終了時点でマスク性に充分に見合った厚さ、例えば20nmの厚さで上部電極73aが残留する。

【0323】

ここで、第1導電膜71のエッチング中に、第1導電膜71を構成するイリジウムよりなる上側導電層71cからエッチング雰囲気中にイリジウム粒が飛散する。但し、本実施形態では、第1～第4実施形態と同様に、下部電極71aを下側導電層71bと上側導電層71cとの二層構造にすることで、下部電極71aにおいてイリジウムが占める割合を減らしたので、下部電極71aの全てをイリジウムで構成する場合と比較して、上記のイリジウム粒の飛散量を低減することができる。その結果、キャパシタ誘電体膜72aの側

10

20

30

40

50

面に再付着したイリジウム粒に起因して下部電極 7 1 a と上部電極 7 3 a との間にリークパスが発生するのを抑制できる。

【 0 3 2 4 】

この工程を終了後の平面構成を示すと図 3 7 ( b ) のようになり、ストライプ状の 1 つのキャパシタ誘電体膜 7 2 a の上には複数の上部電極 7 3 a が形成され、また、キャパシタ誘電体膜 7 2 a の下の下部電極 7 1 a はキャパシタ誘電体膜 7 2 a よりも長くなっている。これにより、第 1 の層間絶縁膜 7 0 上には、下部電極 7 1 a、キャパシタ誘電体膜 7 2 a、キャパシタ上部電極 7 3 a からなるキャパシタ Q がキャパシタ上部電極 7 3 a の数だけ形成されることになる。

【 0 3 2 5 】

そして、第 3 レジストパターン 7 6 を除去した後に、酸素雰囲気中で温度 6 5 0 、 6 0 分間の条件で、キャパシタ誘電体膜 7 2 a をアニールしてダメージから回復させる。

【 0 3 2 6 】

次に、図 3 2 ( b ) に示すように、キャパシタ Q 及び第 1 層間絶縁膜 7 0 の上に、第 2 層間絶縁膜 7 8 として膜厚 1 2 0 0 nm の酸化シリコン膜を CVD 法により形成した後に、第 2 層間絶縁膜 7 8 の表面を CMP 法により平坦化する。第 2 層間絶縁膜 7 8 の成長に際しては、反応ガスとしてシランを用いてもよいし、TEOS ガスを用いてもよい。第 2 層間絶縁膜 7 8 の表面の平坦化は、キャパシタ上部電極 7 3 a の上面から 2 0 0 nm の厚さとなるまで行われる。

【 0 3 2 7 】

次に、図 3 3 ( a ) 及び図 3 7 ( c ) に示す構造を形成するまでの工程について説明する。まず、第 1、第 2 層間絶縁膜 7 0、7 8、及びカバー絶縁膜 6 9 をパターンニングして、n 型不純物拡散層 6 a、6 b、及び下部電極 7 1 a の上にそれぞれコンタクトホール 7 8 a、7 8 b、7 8 c を形成する。第 1、第 2 層間絶縁膜 7 0、7 8 とカバー絶縁膜 6 9 のエッチングガスとして、CF 系ガス、例えば CF<sub>4</sub> に Ar を加えた混合ガスを用いる。なお、下部電極 7 1 a の上に形成されるコンタクトホール 7 8 c は、断面図では示さずに図 3 7 ( c ) において形成位置で示されている。

【 0 3 2 8 】

次に、第 2 層間絶縁膜 7 5 上面とコンタクトホール 7 8 a、7 8 b、7 8 c 内面に、スパッタ法によりチタン膜を 2 0 nm、窒化チタン膜を 5 0 nm の厚さに形成し、これらの膜をグルー膜とする。さらに、CVD 法によりこのグルー膜の上にタングステン膜を形成し、これにより各コンタクトホール 7 8 a、7 8 b、7 8 c を完全に埋め込む。

【 0 3 2 9 】

更に、第 2 層間絶縁膜 7 5 上のタングステン膜とグルー膜とを CMP 法により除去し、各コンタクトホール 7 8 a、7 8 b、7 8 c 内にのみ残す。これにより、コンタクトホール 7 8 a、7 8 b、7 8 c 内のタングステン膜とグルー膜とを導電性プラグ 7 9 a、7 9 b として使用する。なお、メモリセル領域の 1 つの p ウェル 7 3 において、2 つのゲート電極 7 5 a、7 5 b に挟まれる中央の n 型不純物拡散領域 7 6 b 上の第 1 導電性プラグ 7 9 b は後述するビット線に電氣的に接続され、さらに、その両側方の 2 つの第 2 導電性導電性プラグ 7 8 a は、後述する配線を介して上部電極 7 3 a に接続される。

【 0 3 3 0 】

図 3 8 は、この工程を終了した後の平面図である。

【 0 3 3 1 】

図 3 8 に示されるように、この工程では、下部電極 7 1 a のうちキャパシタ誘電体膜 7 2 a の先端からからはみ出た領域 (コンタクト領域 CR) に形成されたコンタクトホール 7 8 c に、下部電極 7 1 a と電氣的に接続された第 3 導電性プラグ 7 9 c が形成される。

【 0 3 3 2 】

その後、真空チャンバ内で 3 9 0 の温度で第 2 層間絶縁膜 7 8 を加熱して水を外部に放出させる。

【 0 3 3 3 】

10

20

30

40

50

次に、図33(b)に示す断面構造を得るまでの工程を説明する。

【0334】

まず、第2層間絶縁膜78と導電性プラグ79a, 79bの上に、酸化防止絶縁膜80として酸化シリコン膜をプラズマCVD法により例えば100nmの厚さに形成する。この酸化シリコン膜は、シランとN<sub>2</sub>Oとの混合ガスを用いて形成される。

【0335】

続いて、フォトリソグラフィによりキャパシタ保護絶縁膜77、第2層間絶縁膜78及び酸化防止膜80をパターニングして、上部電極73a上にホール80aを形成する。この後に、550、60分間の条件で、キャパシタ誘電体膜72aを酸素雰囲気中でアニールして、キャパシタ誘電体膜72aの膜質を改善する。この場合、導電性プラグ79a, 79bは酸化防止絶縁膜80によって酸化が防止される。

10

【0336】

次に、図34に示す構造を形成するまでの工程を説明する。まず、CF系のガスを用いて酸化防止絶縁膜80をドライエッチングして除去する。続いて、RFエッチング法により導電性プラグ79a, 79bと上部電極73aの各表面を約10nmエッチングして清浄面を露出させる。その後に、第2層間絶縁膜78、導電性プラグ79a, 79b、ホール80aの上に、アルミニウムを含む4層構造の導電膜をスパッタ法により形成する。その導電膜は、下から順に、膜厚50nmの窒化チタン膜、膜厚500nmの銅含有アルミニウム膜、膜厚5nmのチタン膜、膜厚100nmの窒化チタン膜である。

【0337】

20

そして、その多層構造の導電膜をフォトリソグラフィによりパターニングして、pウェル63中央の導電性プラグ79bの上にビアコンタクトパッド81bを形成するとともに、その両側方の導電性プラグ79aの上面から上部電極73aの上面を結ぶ形状の金属配線81aを形成する。これにより、上部電極73aは、金属配線81a、導電性プラグ79a及び高融点金属シリサイド層68aを介してpウェル63の両側寄りのn型不純物拡散領域66aに接続される。なお、下部電極71a上のコンタクトホール78c(図37(c)参照)に形成された導電性プラグ(不図示)の上にも図示しない別の配線が形成される。

【0338】

続いて、TEOSガスを用いたプラズマCVD法により酸化シリコン膜を第3層間絶縁膜82として2300nmの厚さに形成し、第3層間絶縁膜82により第2層間絶縁膜78、金属配線81a、コンタクトパッド81b等を覆う。これに続いて、第3層間絶縁膜82の表面をCMP法により平坦化する。さらに、TEOSガスを用いるプラズマCVD法により酸化シリコンよりなる保護絶縁膜83を第3層間絶縁膜82の上に形成する。そして、第3層間絶縁膜82と保護絶縁膜83をパターニングして、メモリセル領域のpウェル63の中央の上方にあるコンタクトパッド81bの上にホール82aを形成する。

30

【0339】

次に、保護絶縁膜83の上面とホール82aの内面の上に、膜厚90nm~150nmの窒化チタンよりなるグレー膜84をスパッタ法により形成し、その後、ホール82aを埋め込むようにタングステン膜85をCVD法により形成する。次に、このタングステン膜85をエッチバックしてホール82aの中のみ残し、ホール82a内に残されたタングステン膜85を二層目の導電性プラグとして使用する。

40

【0340】

その後に、密着層83、タングステン膜85の上に金属膜をスパッタ法により形成する。続いて、金属膜をフォトリソグラフィによりパターニングして、二層目の導電性プラグ、コンタクトパッド81b、一層目の導電性プラグ80b、及び高融点金属シリサイド層88bを介してn型不純物拡散領域66bに電氣的に接続されるビット線86を形成する。

【0341】

以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

50

## 【 0 3 4 2 】

本実施形態では、強誘電体膜 7 2 又は第 1 導電膜 7 1 のエッチングの最中に第 2 又は第 3 のレジストパターン 7 6 , 7 7 が側方から後退することにより、上部電極 7 3 a の両側の肩の部分が露出して一部エッチングされるが、露出した部分は強誘電体膜 7 2 や第 1 導電膜 7 1 のエッチングマスクとして機能するので、強誘電体膜 7 2 や第 1 導電膜 7 1 のパターンングを良好に遂行させる。これにより、上部電極 7 3 a の側面とキャパシタ誘電体膜 7 2 a の側面、下部電極 7 1 a の側面がほぼ同一面となる。

## 【 0 3 4 3 】

そして、第 1 導電膜 7 1 の層構造として、プラチナよりなる下部導電層 7 1 b とイリジウムよりなる上部導電層 7 1 c との二層構造を採用したので、下部第 1 導電膜 7 1 においてイリジウムが占める割合が低減される。その結果、エッチングにより下部電極 7 1 a を形成する工程（図 3 2 ( a )）において、下部電極 7 1 a の側面からエッチング雰囲気中に飛散するイリジウム粒が低減される。これにより、キャパシタ誘電体膜 7 2 a の側面にイリジウム粒によってリークパスが形成されるのを防ぐことができ、キャパシタ Q のリーク電流を低減することが可能となる。

10

## 【 0 3 4 4 】

以下に、本発明の特徴を付記する。

## 【 0 3 4 5 】

（付記 1） 半導体基板の上方に形成された第 1 層間絶縁膜と、  
前記第 1 層間絶縁膜の上に形成された下部電極と、  
前記下部電極の上に形成された強誘電体材料よりなるキャパシタ誘電体膜と、  
前記キャパシタ誘電体膜の上に形成された上部電極とを有し、  
前記下部電極が、イリジウム以外の貴金属で構成される下側導電層と、該下側導電層の上に形成され、該下側導電層とは異なる材料であって且つプラチナ以外の導電性材料で構成される上側導電層とを有することを特徴とする半導体装置。

20

## 【 0 3 4 6 】

（付記 2） 前記下側導電層を構成する前記貴金属は、プラチナ、ロジウム、及びパラジウムのいずれかであることを特徴とする付記 1 に記載の半導体装置。

## 【 0 3 4 7 】

（付記 3） 前記上側導電層を構成する前記導電性材料は、イリジウム、ルテニウム、酸化イリジウム、酸化ルテニウム、及び SrRuO<sub>3</sub> のいずれかであることを特徴とする付記 1 に記載の半導体装置の製造方法。

30

## 【 0 3 4 8 】

（付記 4） 前記下側導電層は、前記上側導電層よりも厚いことを特徴とする付記 1 に記載の半導体装置の製造方法。

## 【 0 3 4 9 】

（付記 5） 前記半導体基板に形成された第 1 不純物拡散領域を更に有し、  
前記第 1 不純物拡散領域上の前記第 1 層間絶縁膜に第 1 ホールが形成され、  
前記第 1 ホール内に前記第 1 不純物拡散領域と電氣的に接続された第 1 導電性プラグが形成されて、  
前記第 1 導電性プラグの上方に、該第 1 導電性プラグと電氣的に接続されるように前記下部電極が形成されたことを特徴とする付記 1 に記載の半導体装置。

40

## 【 0 3 5 0 】

（付記 6） 前記第 1 層間絶縁膜の上に形成され、前記第 1 導電性プラグの上に第 2 ホールが形成された下地絶縁膜と、  
前記第 2 ホール内に形成され、前記第 1 導電性プラグと電氣的に接続された第 2 導電性プラグと、  
前記第 2 導電性プラグ上とその周囲の前記下地絶縁膜上とに形成された平坦化用導電膜とを更に有し、  
前記平坦化用導電膜の上に前記下部電極が形成されたことを特徴とする付記 5 に記載の

50

半導体装置。

【0351】

(付記7) 前記半導体基板に形成された第2不純物拡散領域と、  
前記第2不純物拡散領域の上の前記第1層間絶縁膜が備える第3ホールに形成され、該第2不純物拡散領域と電気的に接続された第3導電性プラグと、  
前記キャパシタを覆う第2層間絶縁膜と、  
前記第3導電性プラグの上の前記第2層間絶縁膜が備える第4ホールに形成され、前記第3導電性プラグと電気的に接続された第4導電性プラグとを更に有することを特徴とする付記5に記載の半導体装置。

【0352】

(付記8) 半導体基板の上方に第1層間絶縁膜を形成する工程と、  
前記第1層絶縁膜の上に第1導電膜を形成する工程と、  
前記第1導電膜の上に強誘電体膜を形成する工程と、  
前記強誘電体膜の上に第2導電膜を形成する工程と、  
前記第2導電膜をパターンニングしてキャパシタの上部電極にする工程と、  
前記強誘電体膜をパターンニングしてキャパシタ誘電体膜にする工程と、  
前記第1導電膜をパターンニングして前記キャパシタの下部電極にする工程とを有し、  
前記第1導電膜を形成する工程が、前記第1層間絶縁膜の上にイリジウム以外の貴金属で構成される下側導電層を形成する工程と、該下側導電層の上に、該下側導電層とは異なる材料であって且つプラチナ以外の導電性材料で構成される上側導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0353】

(付記9) 前記下側導電層を形成する工程において、該下側導電層を前記上側導電層よりも厚く形成することを特徴とする付記8に記載の半導体装置の製造方法。

【0354】

(付記10) 前記下側導電層を形成する工程において、該下側導電層としてプラチナ膜をスパッタ法で250以上450以下の基板温度で形成し、  
前記上側導電層を形成する工程において、該上側導電層としてイリジウム膜をスパッタ法で400以上550以下の基板温度で形成することを特徴とする付記8に記載の半導体装置の製造方法。

【0355】

(付記11) 前記上側導電層を形成した後に、前記第1導電膜に対して不活性ガスの雰囲気中でアニールを行うことを特徴とする付記8に記載の半導体装置の製造方法。

【0356】

(付記12) 前記下側導電層を構成する前記貴金属として、プラチナ、ロジウム、及びパラジウムのいずれかを採用することを特徴とする付記8に記載の半導体装置の製造方法。

【0357】

(付記13) 前記上側導電層を構成する前記導電性材料として、イリジウム、ルテニウム、酸化イリジウム、酸化ルテニウム、及びSrRuO<sub>3</sub>のいずれかを採用することを特徴とする付記8に記載の半導体装置の製造方法。

【0358】

(付記14) 前記半導体基板に第1不純物拡散領域と第2不純物拡散領域とを形成する工程と、  
前記第1不純物拡散領域の上の前記第1層間絶縁膜に第1ホールを形成する工程と、  
前記第1ホール内に第1導電性プラグを形成する工程とを更に有し、  
前記下部電極を形成する工程において、前記第1導電性プラグの上方に該下部電極を形成し、該下部電極と前記第1導電性プラグとを電気的に接続することを特徴とする付記8に記載の半導体装置の製造方法。

【0359】

10

20

30

40

50

(付記 15) 前記第 1 層間絶縁膜と前記第 1 導電性プラグの上に下地絶縁膜を形成する工程と、

前記第 1 導電性プラグの上の前記下地絶縁膜に第 2 ホールを形成する工程と、

前記第 2 ホールに、前記第 1 導電性プラグと電氣的に接続された第 2 導電性プラグを形成する工程と、

前記下地絶縁膜と前記第 2 導電性プラグのそれぞれの上に結晶性導電膜を形成する工程と、

前記結晶性導電膜の上に導電性酸素バリア膜を形成する工程とを更に有し、

前記第 1 導電膜を形成する工程において、前記導電性酸素バリア膜の上に該第 1 導電膜を形成することを特徴とする付記 14 に記載の半導体装置の製造方法。

10

#### 【0360】

(付記 16) 前記第 2 導電性プラグを形成した後に、該第 2 導電性プラグと前記下地絶縁膜のそれぞれの上に平坦化用導電膜を形成する工程と、

前記平坦化用導電膜を平坦化する工程とを更に有し、

前記結晶性導電膜を形成する工程において、前記平坦化用導電膜の上に該結晶性導電膜を形成することを特徴とする付記 15 に記載の半導体装置の製造方法。

#### 【0361】

(付記 17) 前記第 2 不純物拡散領域上の前記第 1 層間絶縁膜に第 3 ホールを形成する工程と、

前記第 3 ホール内に第 3 導電性プラグを形成する工程と、

前記下地絶縁膜を形成する前に、前記第 1 層間絶縁膜、前記第 1 導電性プラグ、及び前記第 3 導電性プラグの上に、前記第 2 ホールが形成される酸化防止絶縁膜を形成する工程と、

20

前記キャパシタを形成した後に、該キャパシタを覆う第 2 層間絶縁膜を形成する工程と、

前記第 3 ホールの上の前記酸化防止絶縁膜、前記下地絶縁膜、及び前記第 2 層間絶縁膜に第 4 ホールを形成する工程と、

前記第 4 ホールに、前記第 3 導電性プラグと電氣的に接続された第 4 導電性プラグを形成する工程とを更に有することを特徴とする付記 15 に記載の半導体装置の製造方法。

#### 【0362】

(付記 18) 前記キャパシタ誘電体膜を形成する工程と前記下部電極を形成する工程は、前記強誘電体膜と前記第 1 導電膜とを同じマスクを用いてエッチングすることにより、前記マスクで覆われていない領域にエッチングされずに残った前記強誘電体膜と前記第 1 導電膜とをそれぞれ前記キャパシタ誘電体膜及び前記下部電極にして行われることを特徴とする付記 8 に記載の半導体装置の製造方法。

30

#### 【0363】

(付記 19) 前記第 1 導電膜をパターンニングする工程において、前記下部電極のコンタクト領域が前記キャパシタ誘電体膜からはみ出るように前記第 1 導電膜をパターンニングし、

前記キャパシタを覆う第 2 層間絶縁膜を形成する工程と、

前記コンタクト領域の上の前記第 2 層間絶縁膜に第 1 ホールを形成する工程と、

前記上部電極の上の前記第 2 層間絶縁膜に第 2 ホールを形成する工程と、

前記第 1 ホールに、前記下部電極と電氣的に接続された導電性プラグを形成する工程と、

40

前記第 2 ホールに、前記上部電極と電氣的に接続された金属配線を形成する工程とを更に有することを特徴とする付記 8 に記載の半導体装置の製造方法。

#### 【0364】

(付記 20) 前記第 1 導電膜をパターンニングする工程は、前記上部電極の上にレジストパターンを形成する工程と、前記レジストパターンから露出する領域の前記第 1 導電膜をエッチングする工程とを有することを特徴とする付記 19 に記載の半導体装置の製造方

50

法。

【図面の簡単な説明】

【0365】

【図1】図1は、本願発明者が行った調査で使用されたサンプルのTEM断面像とEDXのグラフ(その1)である。

【図2】図2は、本願発明者が行った調査で使用されたサンプルのTEM断面像とEDXのグラフ(その2)である。

【図3】図3(a)~(c)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図4】図4(a)~(c)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その2)である。

【図5】図5(a)~(c)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その3)である。

【図6】図6(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図7】図7(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その5)である。

【図8】図8(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図9】図9(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その7)である。

【図10】図10(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その8)である。

【図11】図11(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その9)である。

【図12】図12(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その10)である。

【図13】図13(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図14】図14(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その2)である。

【図15】図15(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その3)である。

【図16】図16(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図17】図17(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その5)である。

【図18】図18(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図19】図19は、本発明の第3実施形態に係る半導体装置の断面図である。

【図20】図20(a)~(c)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図21】図21(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その2)である。

【図22】図22(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その3)である。

【図23】図23(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図24】図24(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その5)である。

10

20

30

40

50

【図25】図25(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図26】図26(a)、(b)は、本発明の第4実施形態に係る半導体装置の製造途中の断面図(その7)である。

【図27】図27は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その1)である。

【図28】図28(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その2)である。

【図29】図29(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その3)である。

10

【図30】図30(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その4)である。

【図31】図31(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その5)である。

【図32】図32(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その6)である。

【図33】図33(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その7)である。

【図34】図34(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の断面図(その8)である。

20

【図35】図35(a)、(b)は、本発明の第5実施形態に係る半導体装置の製造途中の平面図(その1)である。

【図36】図36(a)~(c)は、本発明の第5実施形態に係る半導体装置の製造途中の平面図(その2)である。

【図37】図37(a)~(c)は、本発明の第5実施形態に係る半導体装置の製造途中の平面図(その3)である。

【図38】図38は、本発明の第5実施形態に係る半導体装置の製造途中の平面図(その4)である。

【符号の説明】

【0366】

30

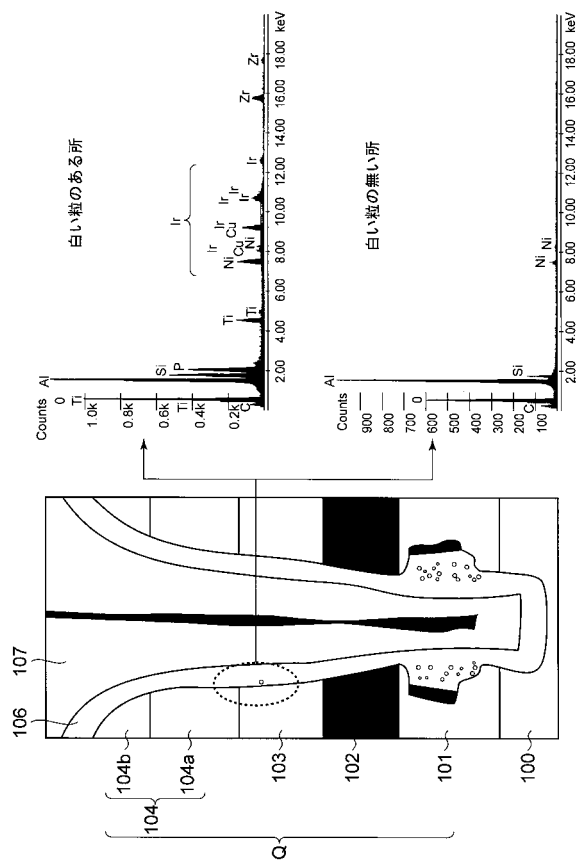
1、61...シリコン基板、2、62...素子分離絶縁膜、3、63...pウェル、4、64...ゲート絶縁膜、5、65a、65b...ゲート電極、6a、6b...第1、第2ソース/ドレインエクステンション、7、67...絶縁性サイドウォール、8a、8b...第1、第2ソース/ドレイン領域、10、69...カバー絶縁膜、11、70...第1層間絶縁膜、14...酸化防止絶縁膜、15...下地絶縁膜、21...結晶性導電膜、22...導電性酸素バリア膜、23...第1導電膜、23a...下部電極、23b、71b...下側導電層、23c、71c...上側導電層、24、72...強誘電体膜、24a、72a...キャパシタ誘電体膜、24b...第1強誘電体膜、24c...第2強誘電体膜、25、73...第2導電膜、25a、73a...上部電極、25b...導電性酸化金属膜、25c...導電性向上膜、25d...第1導電性酸化金属膜、25e...第2導電性酸化金属膜、26...第1マスク材料層、26a...第1ハードマスク、27...第2マスク材料層、27a...第2ハードマスク、32a、32b...第1、第2導電性プラグ、35...グルー膜、36...プラグ用導電膜、36a...第3導電性プラグ、39...第1キャパシタ保護絶縁膜、40...第2キャパシタ保護絶縁膜、41、78...第2層間絶縁膜、42...第3キャパシタ保護絶縁膜、43...キャップ絶縁膜、47a、47b...第4、第5導電性プラグ、49a、57a...金属配線、49b、57b...導電性パッド、50...平坦化用導電膜、51...導電性密着膜、54...第2導電性プラグ、55...酸化防止絶縁膜、66a、66b...n型不純物拡散領域、66a、66b...高融点金属シリサイド層、74~76...第1~第3レジストパターン、77...キャパシタ保護絶縁膜、78a~78c...コンタクトホール、79a~79c...導電性プラグ、80a、82a...ホール、80...酸化防止絶縁膜、82...第3層間絶縁膜、83...保護絶縁膜、84...グルー膜、

40

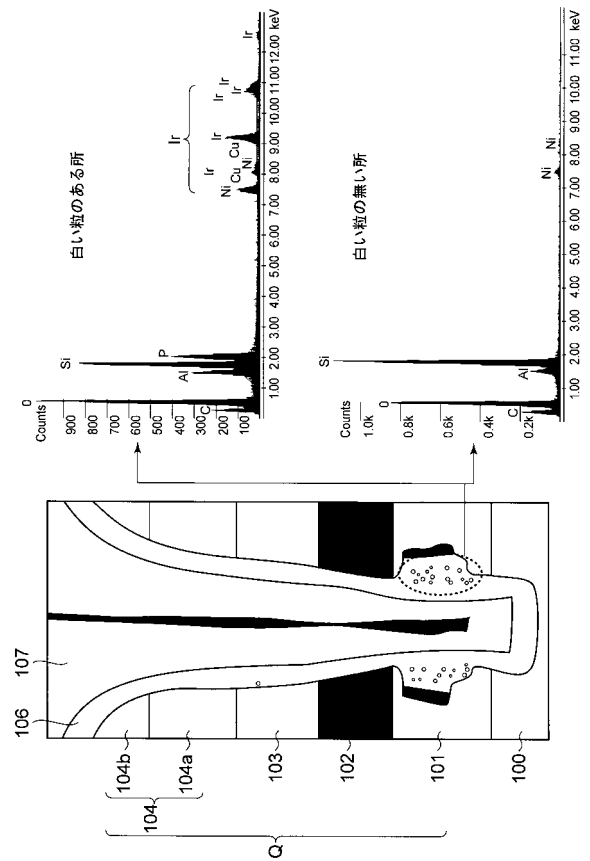
50

8 5 ... タングステン膜、 8 6 ... ビット線。

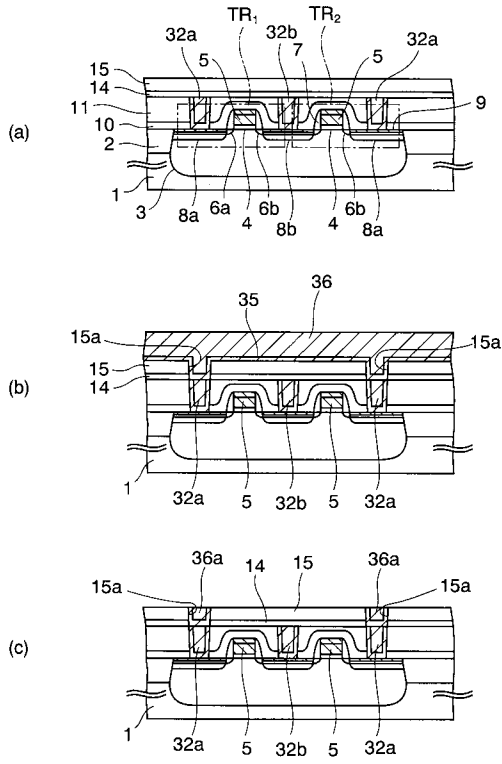
【 図 1 】



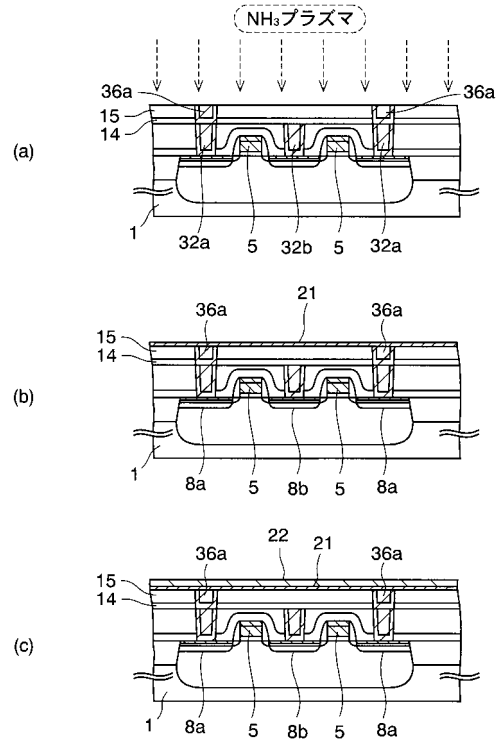
【 図 2 】



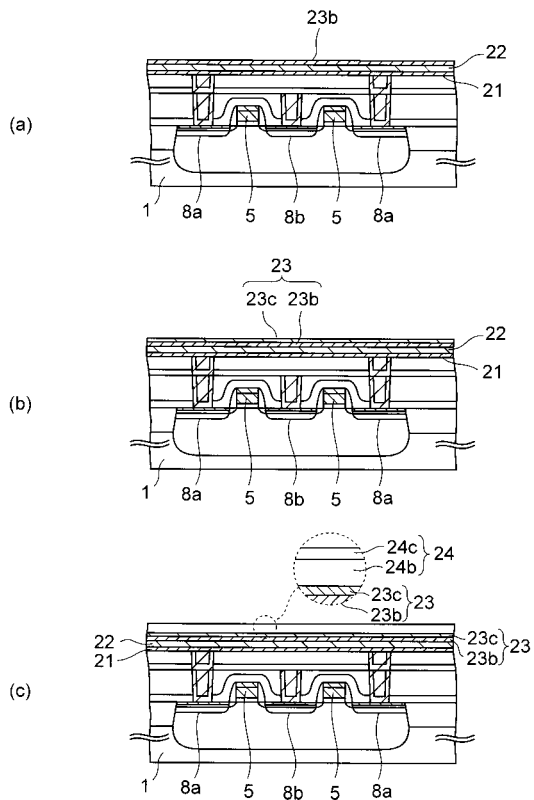
【図3】



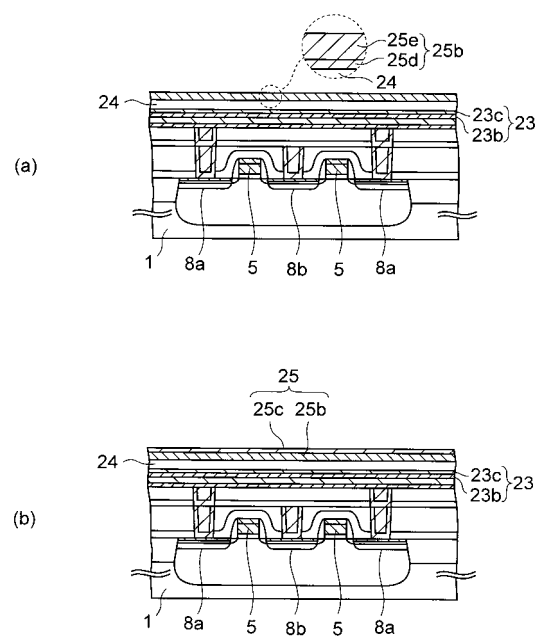
【図4】



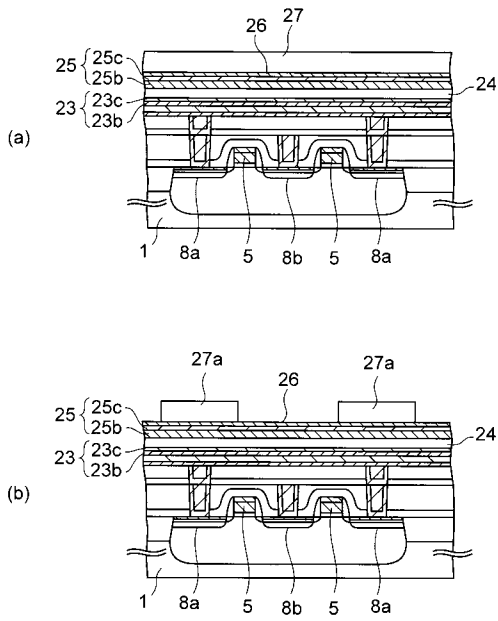
【図5】



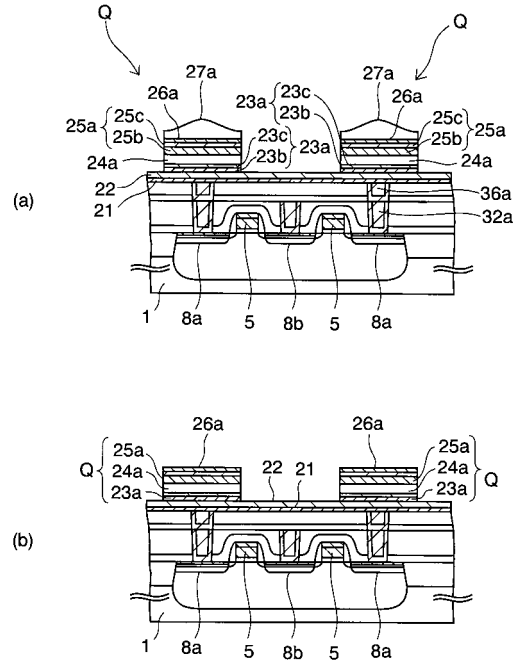
【図6】



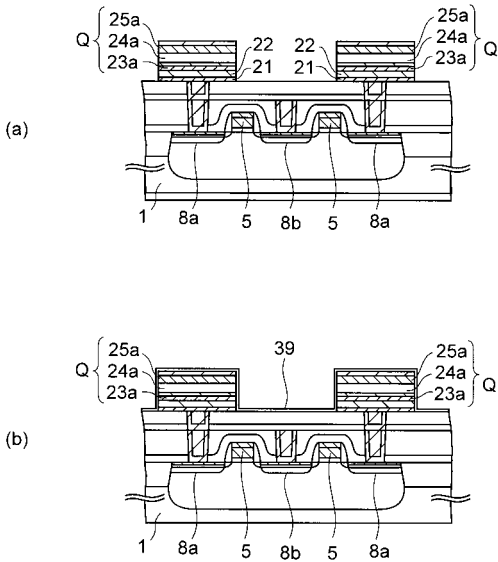
【図7】



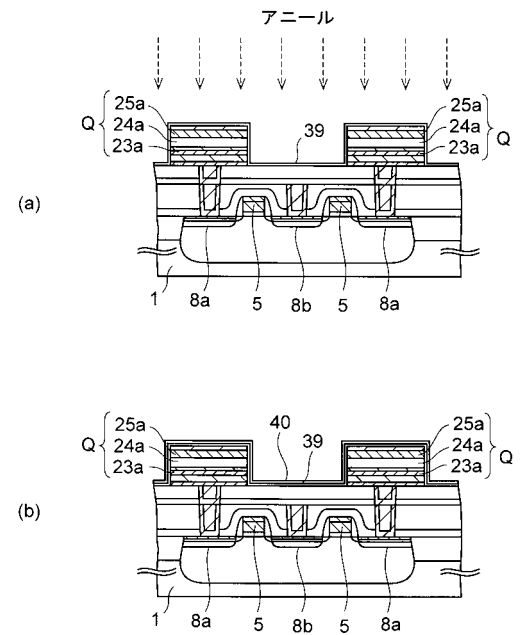
【図8】



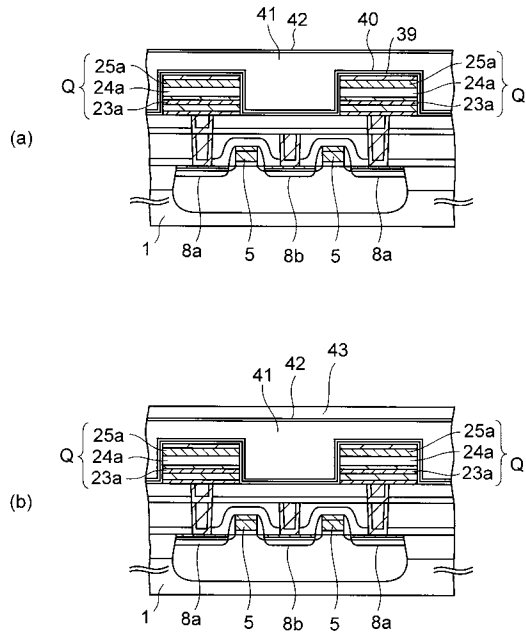
【図9】



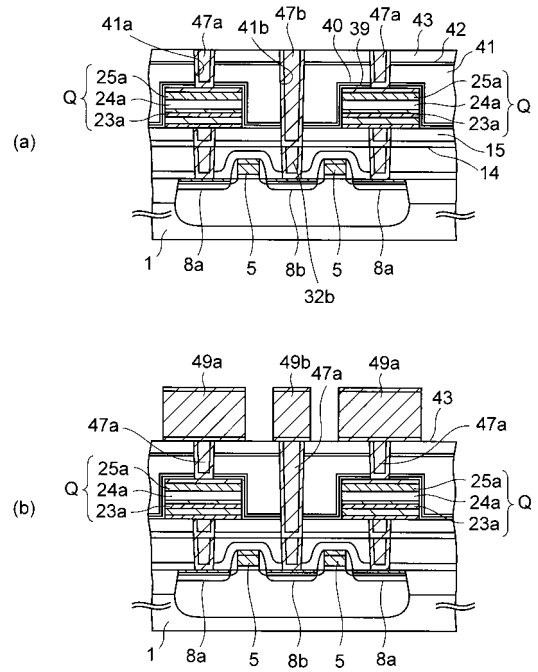
【図10】



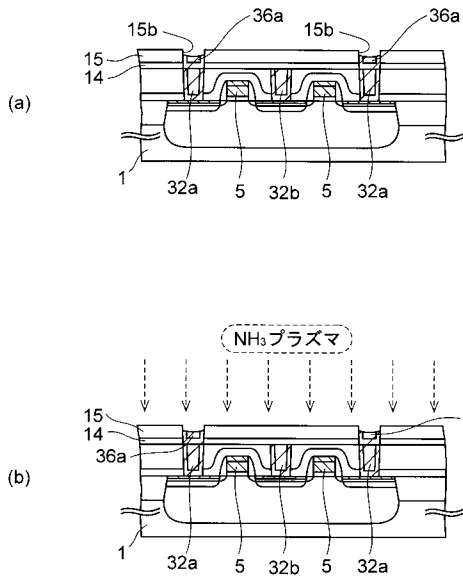
【図11】



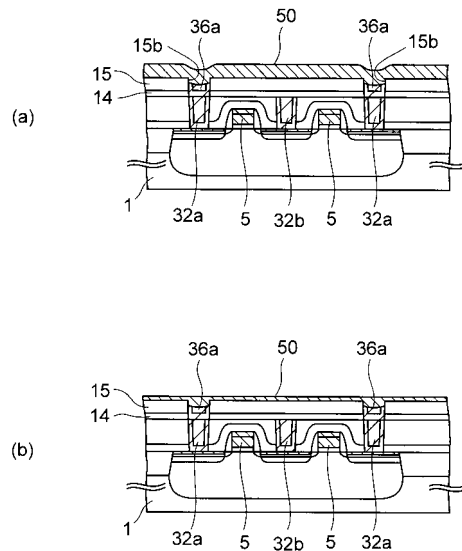
【図12】



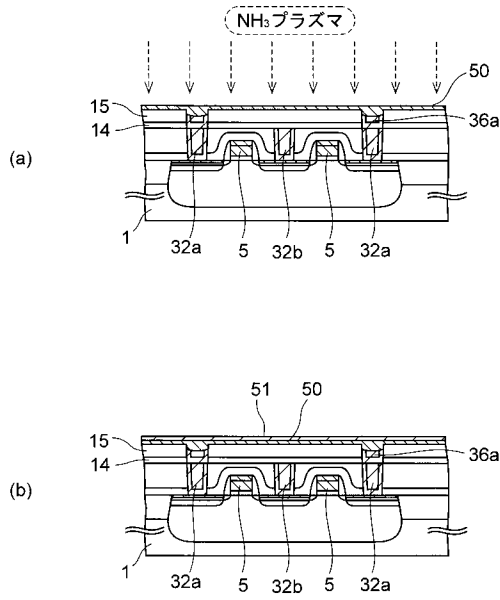
【図13】



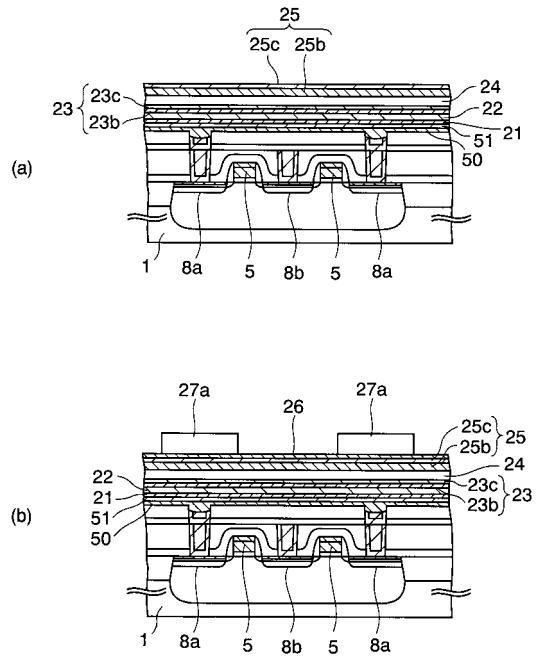
【図14】



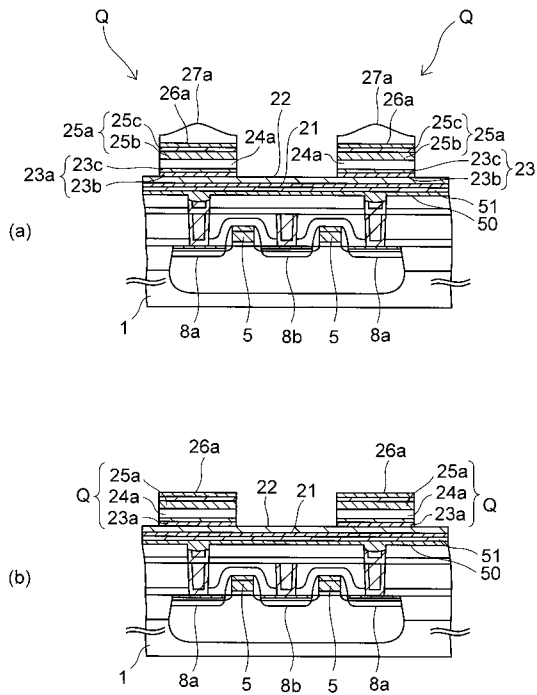
【図15】



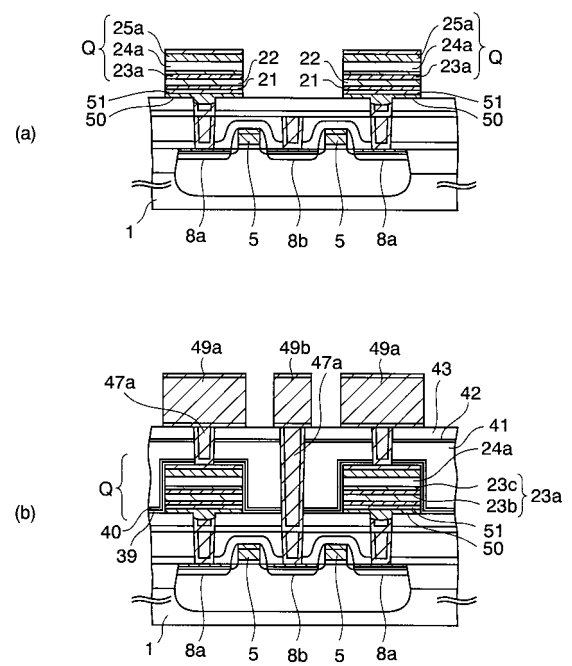
【図16】



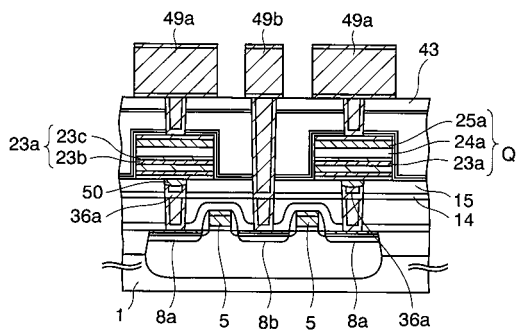
【図17】



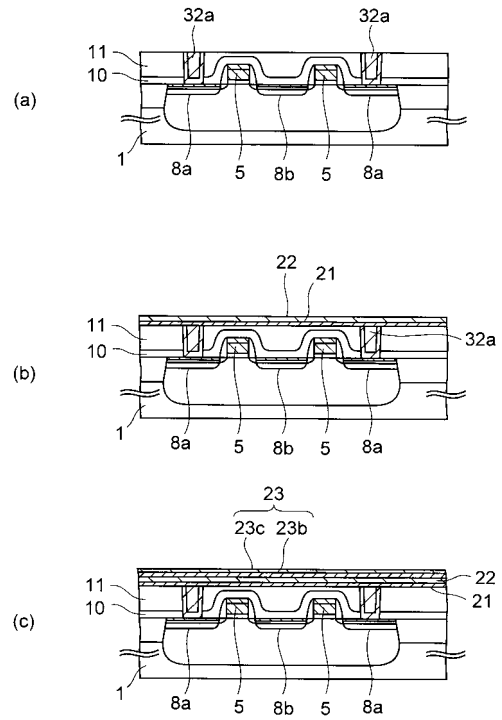
【図18】



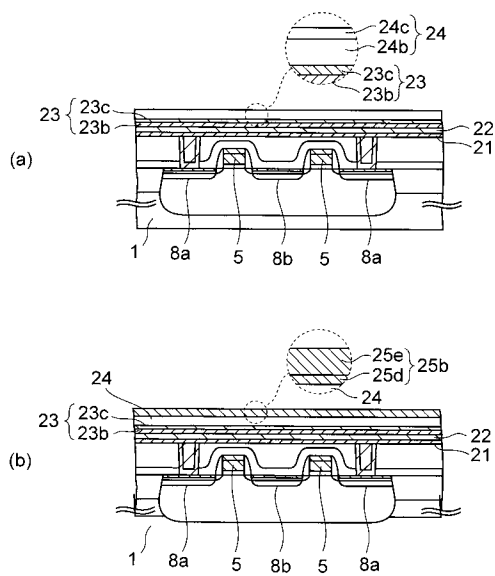
【図19】



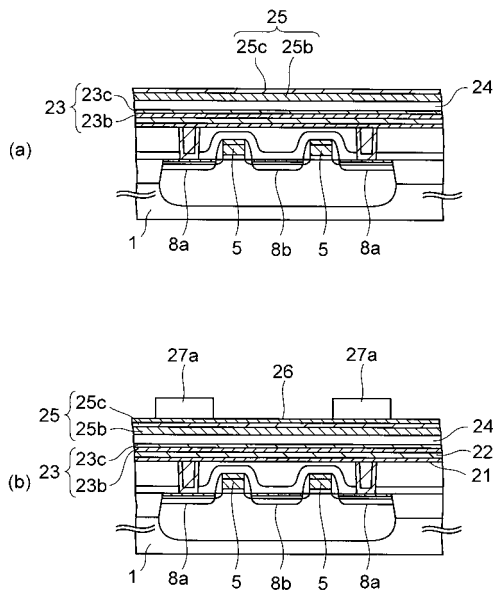
【図20】



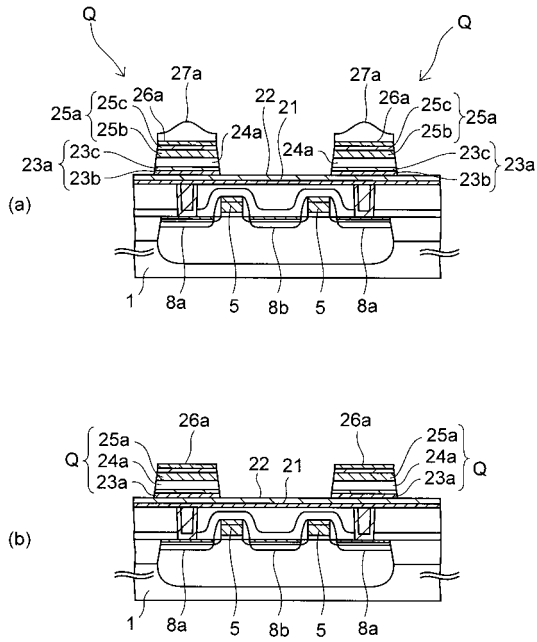
【図21】



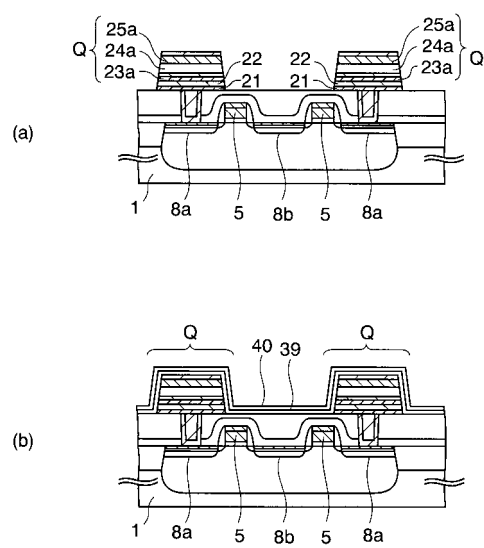
【図22】



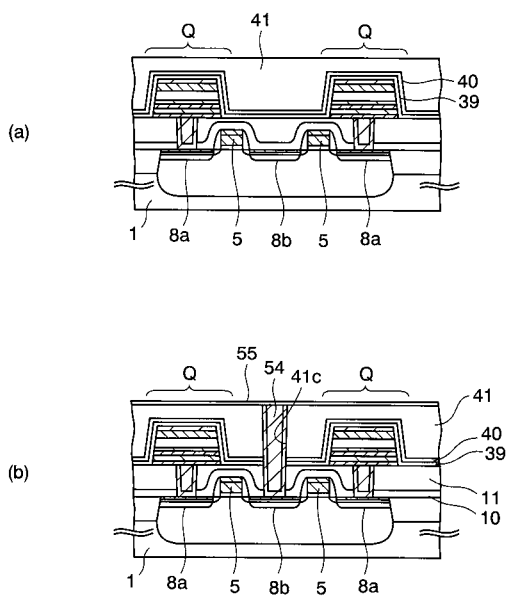
【図23】



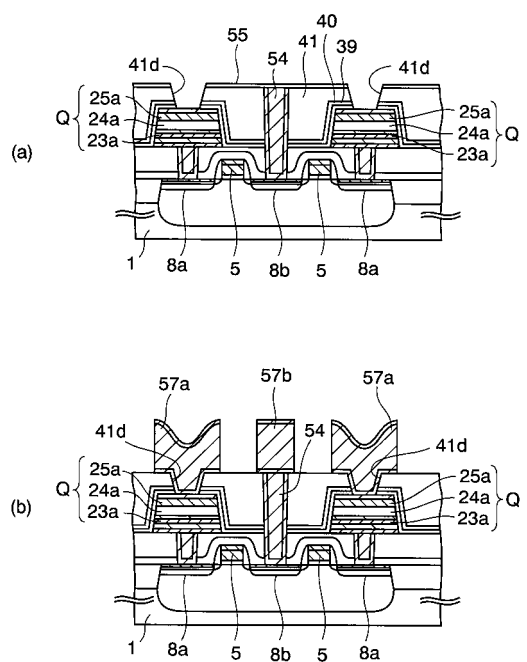
【図24】



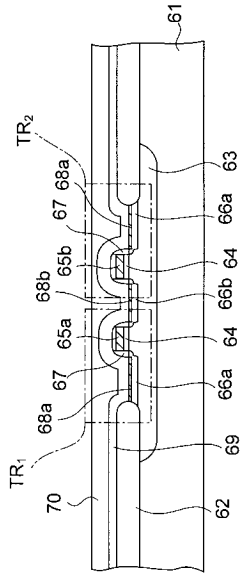
【図25】



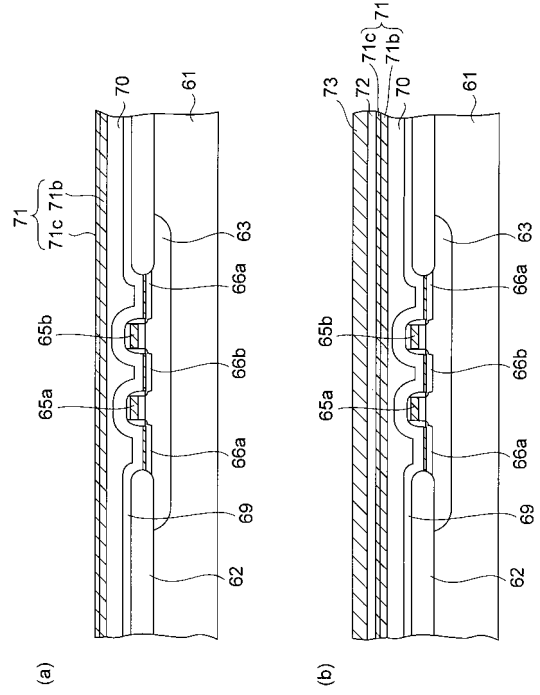
【図26】



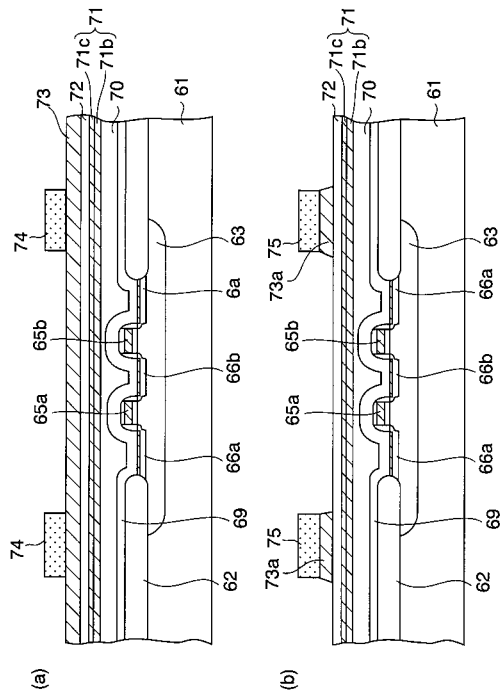
【 図 27 】



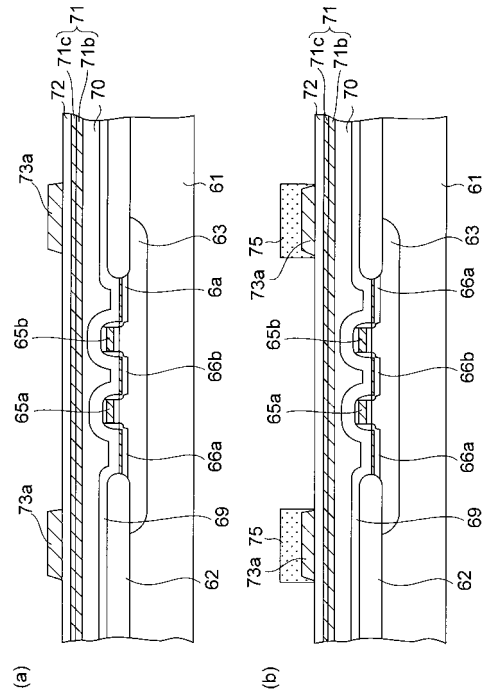
【 図 28 】



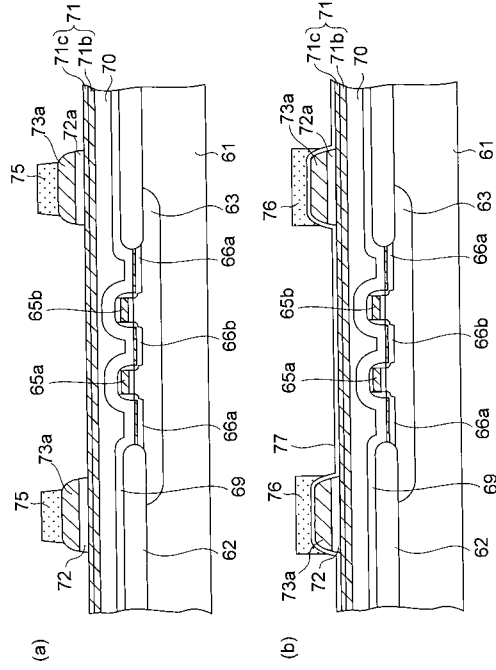
【 図 29 】



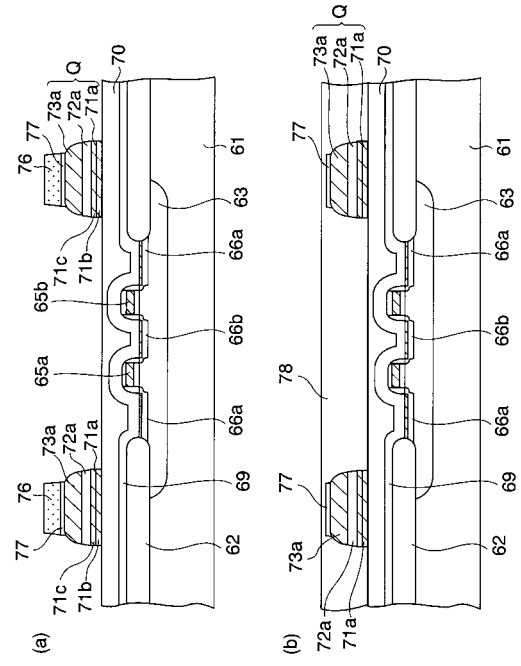
【 図 30 】



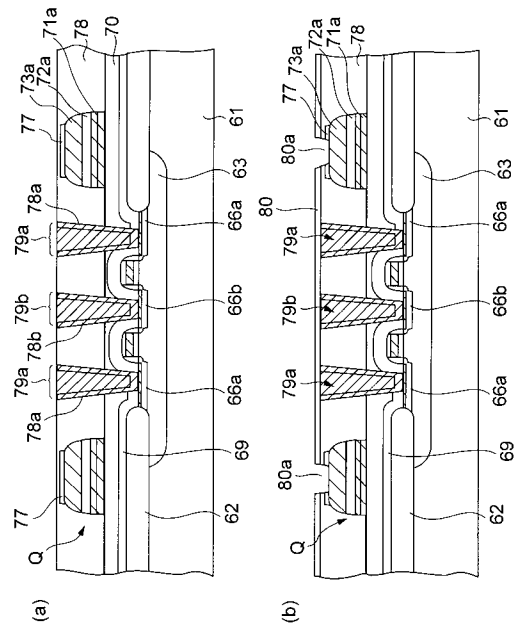
【 図 3 1 】



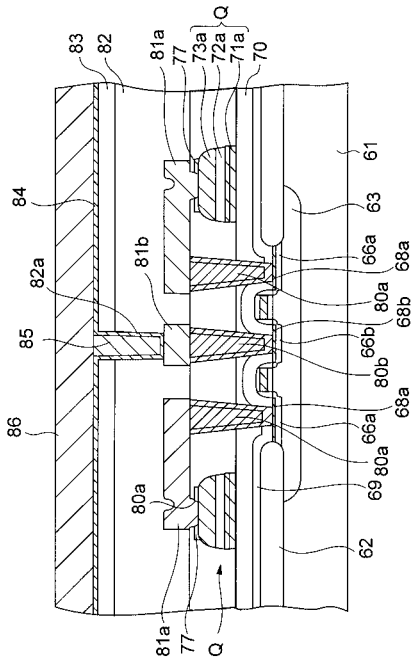
【 図 3 2 】



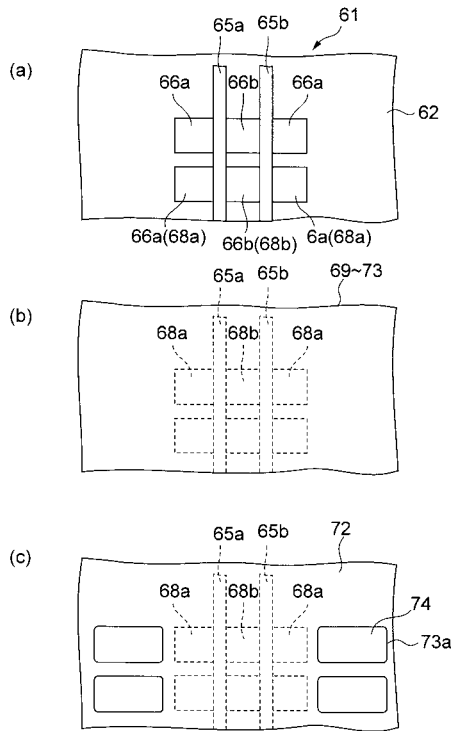
【 図 3 3 】



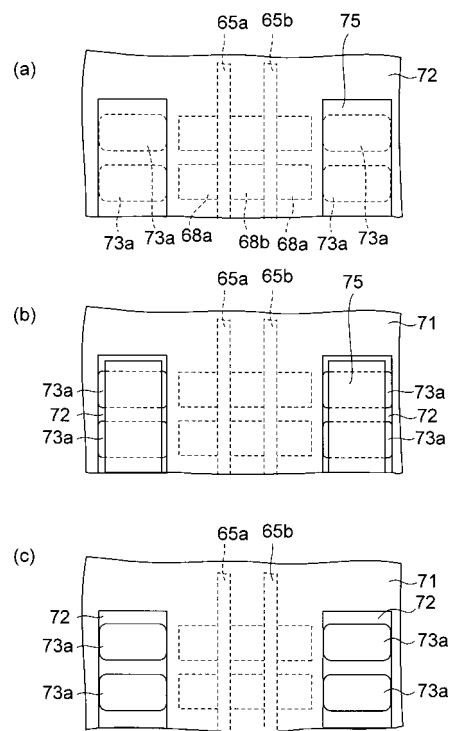
【 図 3 4 】



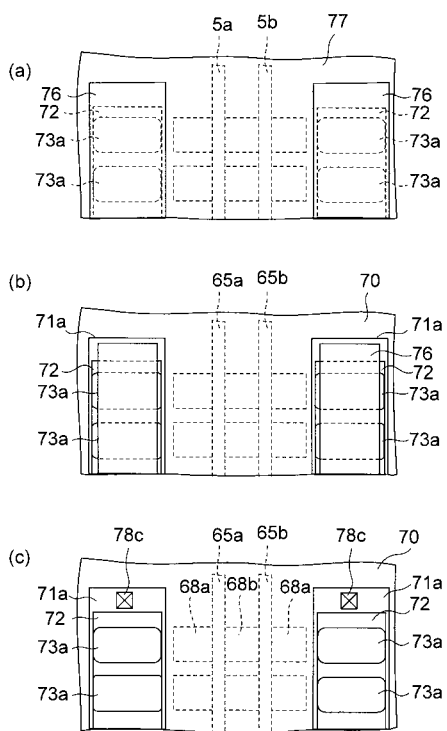
【図35】



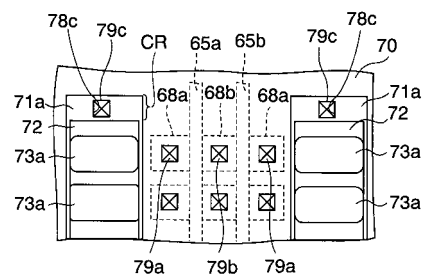
【図36】



【図37】



【図38】



---

フロントページの続き

- (56)参考文献 特開2002-190578(JP,A)  
特開平08-213560(JP,A)  
特開平11-195768(JP,A)  
特開平9-82909(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246  
H01L 27/105