

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4989817号
(P4989817)

(45) 発行日 平成24年8月1日 (2012. 8. 1)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl.

F I

HO 1 L 21/76 (2006. 01)

HO 1 L 29/78 (2006. 01)

HO 1 L 21/336 (2006. 01)

HO 1 L 21/76 L

HO 1 L 29/78 3 O 1 R

請求項の数 10 (全 10 頁)

(21) 出願番号	特願2000-388059 (P2000-388059)	(73) 特許権者	302062931
(22) 出願日	平成12年12月21日 (2000. 12. 21)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-190515 (P2002-190515A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成14年7月5日 (2002. 7. 5)	(74) 代理人	100064746
審査請求日	平成19年12月3日 (2007. 12. 3)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の主表面上に開口部を有する、下地層と、シリコン窒化膜を含む第 1 の層を形成する工程を備え、

前記開口部は前記下地層と前記第 1 の層の側面から形成され、さらに、
前記第 1 の層をマスクとして用いて前記半導体基板をエッチングすることにより、前記下地層と前記第 1 の層の側面に連なる側壁を有する溝を形成する工程と、
前記第 1 の層の側面を変質させて前記下地層に接する変質層を形成する工程と、
前記変質層に接するように前記溝を充填する第 2 の層を形成する工程と、
前記第 2 の層に接する変質層を残存させた状態で前記第 1 の層を除去する工程と、
前記第 1 の層を除去した後、前記第 2 の層が前記溝を充填した状態で前記下地層を除去する工程とを備え、

前記変質層を形成する工程は、少なくとも前記第 1 の層の側面を酸化させることを含み、前記第 1 の層の側面を酸化させることは、窒素を含有するガスを用いて前記第 1 の層の側面を酸化させることを含む、半導体装置の製造方法。

【請求項 2】

前記変質層を形成する工程は、前記第 1 の層の側面および上面を変質させて変質層を形成することを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の層を除去する工程は、前記第 1 の層のエッチング速度が前記変質層および前

記第 2 の層のエッチング速度よりも大きい条件で前記第 1 の層をエッチングして除去することを含む、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記下地層と前記変質層と前記第 2 の層はシリコン酸化膜を含む、請求項 1 から 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記半導体基板はシリコン基板であり、前記第 1 の層を形成する前に前記半導体基板の主表面にシリコン酸化膜からなる下地層を形成する工程をさらに備え、前記第 1 の層を形成する工程は、前記下地層上に前記第 1 の層を形成することを含む、請求項 4 に記載の半導体装置の製造方法。

10

【請求項 6】

前記変質層を形成する工程は、前記第 1 の層の側面と前記溝の側壁とを酸化させることを含む、請求項 1 から 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 の層の側面を酸化させることは、酸化二窒素ガスを用いて前記第 1 の層の側面を酸化させることを含む、請求項 1 から 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の層の側面を酸化させることは、酸素ガスと酸化窒素ガスの混合ガスを用いて前記第 1 の層の側面を酸化させることを含む、請求項 1 から 6 のいずれか 1 項に記載の半導体装置の製造方法。

20

【請求項 9】

前記第 2 の層を形成する工程は、前記溝を充填し、かつ前記第 1 の層を覆う前記第 2 の層を形成することを含み、前記第 1 の層を除去する前に前記第 1 の層を覆う前記第 2 の層を除去する工程をさらに備えた、請求項 1 から 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の方法で製造した半導体装置。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、隣り合う電界効果トランジスタがトレンチにより分離される半導体装置の製造方法およびその方法で製造した半導体装置に関するものである。

【0002】

【従来の技術】

近年、半導体装置の需要が急速に拡大している。これに伴い、半導体装置の信頼性を高める技術の開発が進められている。半導体装置のうち、複数の電界効果トランジスタを有する半導体装置では、隣り合う電界効果トランジスタを分離するために、トレンチを形成する技術が知られている。

40

【0003】

図 1 1 から 1 7 は、従来の半導体装置の製造方法を示す断面図である。図 1 8 は、従来の半導体装置を示す平面図である。図 1 9 は、図 1 8 中の X I X - X I X 線に沿ってみた断面図である。図 1 1 を参照して、シリコン基板 1 の主表面 1 f にシリコン酸化膜 2 を形成する。シリコン酸化膜 2 上にシリコン窒化膜 3 を形成する。シリコン窒化膜 3 上にレジストパターン 4 を形成する。レジストパターン 4 をマスクとしてシリコン窒化膜 3 をエッチングすることにより開口部 3 h を形成する。開口部 3 h は、シリコン窒化膜 3 の側面 3 s により形成される。なお、シリコン酸化膜 2 も除去される。

【0004】

図 1 2 を参照して、レジストパターン 4 およびシリコン窒化膜 3 をマスクとしてシリコン

50

基板 1 をエッチングする。これにより、側壁 1 a を有するトレンチ 1 h を形成する。

【0005】

図 1 3 を参照して、トレンチ 1 h の側壁 1 a を高温の酸化性雰囲気中で酸化してシリコン酸化膜 1 b を形成する。この時シリコン窒化膜 3 の表面は酸化されない。

【0006】

図 1 4 を参照して、トレンチ 1 h を充填し、かつシリコン窒化膜 3 を覆うようにシリコン酸化膜 5 を形成する。

【0007】

図 1 5 を参照して、化学的機械的研磨法（CMP：Chemical Mechanical Polishing）によりシリコン酸化膜 5 の一部分を除去する。これにより、シリコン窒化膜 3 の上面を露出させる。

10

【0008】

図 1 6 を参照して、熱リン酸によりシリコン窒化膜 3 を除去する。これによりシリコン酸化膜 2 n 上面が露出する。

【0009】

図 1 7 を参照して、フッ酸溶液により、シリコン酸化膜 2 を除去する。この時、トレンチ 1 h を埋め込むシリコン酸化膜 5 のうち、シリコン酸化膜 2 に近い部分が横方向から大きくエッチングされる。これにより、相対的に表面の高さが他の部分よりも低い低部 5 b が形成される。

【0010】

20

図 1 8 および 1 9 を参照して、シリコン基板 1 上にゲート酸化膜 1 1 を形成する。ゲート酸化膜 1 1 上に導電層を形成し、この導電層をエッチングすることによりゲート電極 1 2 を形成する。ゲート電極 1 2 をマスクとしてシリコン基板 1 に不純物を注入することによりソース領域 2 1 s およびドレイン領域 2 1 d を形成する。これにより、電界効果トランジスタ 1 0 0 a および 1 0 0 b が完成する。隣り合う電界効果トランジスタ 1 0 0 a および 1 0 0 b は、トレンチ 1 h のシリコン酸化膜 5 により分離されている。

【0011】

【発明が解決しようとする課題】

従来の半導体装置の製造方法で生じる問題について以下に説明する。

【0012】

30

従来の製造方法では、図 1 7 で示す工程で、シリコン酸化膜 5 に低部 5 b が形成される。この低部 5 b とそれ以外の部分とでは、表面の高さが異なるので、図 1 8 に示すように低部 5 b 近傍のゲート酸化膜 1 1 およびその上のゲート電極 1 2 の膜厚が不均一となる。これにより、しきい値電圧が変動する等、半導体装置の信頼性を低下させるという問題があった。

【0013】

そこで、この発明は上述の問題を解決するためになされたものであり、信頼性の高い半導体装置およびその製造方法を提供することを目的とするものである。

【0014】

【課題を解決するための手段】

40

この発明に従った半導体装置の製造方法は、半導体基板の主表面上に開口部を有する、下地層と、シリコン窒化膜を含む第 1 の層を形成する工程を備え、開口部は下地層と第 1 の層の側面から形成され、さらに、第 1 の層をマスクとして用いて半導体基板をエッチングすることにより、下地層と第 1 の層の側面に連なる側壁を有する溝を形成する工程と、第 1 の層の側面を変質させて下地層に接する変質層を形成する工程と、変質層に接するように溝を充填する第 2 の層を形成する工程と、第 2 の層に接する変質層を残存させた状態で第 1 の層を除去する工程と、第 1 の層を除去した後、第 2 の層が溝を充填した状態で下地層を除去する工程とを備え、変質層を形成する工程は、少なくとも第 1 の層の側面を酸化させることを含み、第 1 の層の側面を酸化させることは、窒素を含有するガスを用いて第 1 の層の側面を酸化させることを含む。

50

【0015】

このような工程を備えた半導体装置の製造方法に従えば、下地層を除去する際には第2の層は下地層の保護されているため、第2の層が大きく除去されることがない。そのため、第2の層の上面に半導体基板の主表面よりも低い部分が形成されない。その結果、第2の層の上面および半導体基板の主表面の上に電界効果トランジスタを形成しても、その特性に劣化が生じることがなく、半導体装置の信頼性を向上させることができる。

【0016】

また好ましくは、変質層を形成する工程は、第1の層の側面および上面を変質させて変質層を形成することを含む。

【0017】

また好ましくは、第1の層を除去する工程は、第1の層のエッチング速度が変質層および第2の層のエッチング速度よりも大きい条件で第1の層をエッチングして除去することを含む。この場合、第1の層のエッチング速度が相対的に大きく、変質層および第2の層のエッチング速度が相対的に小さいので、変質層および第2の層がエッチングされるのを防止することができる。

【0018】

また好ましくは、下地層と変質層と第2の層はシリコン酸化膜を含む。

【0019】

また好ましくは、半導体基板はシリコン基板であり、半導体装置の製造方法は、第1の層を形成する前に半導体基板の主表面にシリコン酸化膜からなる下地層を形成する工程をさらに備える。第1の層を形成する工程は、下地層上に第1の層を形成することを含む。この場合、シリコン基板とシリコン窒化膜との間にシリコン酸化膜が介在するので、半導体装置の特性を劣化させることがない。

【0021】

また好ましくは、変質層を形成する工程は、第1の層の側面と溝の側壁とを酸化させることを含む。この場合、溝の側壁を酸化して溝の側壁の欠陥を消失させると同時に変質層を形成できるため、工程を増加させることなく、変質層を形成することができる。

【0022】

さらに好ましくは、第1の層の側面を酸化させることは、酸化二窒素ガスを用いて第1の層の側面を酸化させることを含む。この場合、酸化二窒素を用いることにより、シリコン窒化膜により構成される第1の膜の側壁を確実に酸化することができる。

【0023】

また好ましくは、第1の層の側面を酸化させることは、酸素ガスと酸化窒素ガスの混合ガスを用いて第1の層の側面を酸化させることを含む。この場合、混合ガスにより、シリコン窒化膜により構成される第1の膜の側壁を確実に酸化することができる。

【0025】

また好ましくは、第2の層を形成する工程は、溝を充填し、かつ第1の層を覆う第2の層を形成することを含む。半導体装置の製造方法は、第1の層を除去する前に第1の層を覆う第2の層を除去する工程をさらに備える。

【0026】

この発明に従った半導体装置は、上述のいずれかの方法で製造される。このような半導体装置では、第2の層の上面が半導体基板の主表面よりも低い部分が形成されないため、信頼性の高い半導体装置となる。

【0027】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

(実施の形態1)

図1から8は、この発明の半導体装置の製造方法を示す断面図である。図9は、この発明の半導体装置を示す平面図である。図10は、図9中のX-X線に沿ってみた断面図である。図1を参照して、シリコン基板1の主表面1fに熱酸化により下地層としてのシリコ

10

20

30

40

50

ン酸化膜 2 を形成する。シリコン酸化膜 2 上に C V D（化学気相蒸着法）により第 1 の層としてのシリコン窒化膜 3 を形成する。シリコン窒化膜 3 上にレジストを塗布し、このレジストをフォトリソグラフィーによりパターンニングしてレジストパターン 4 を形成する。

【0028】

図 2 を参照して、レジストパターン 4 をマスクとしてシリコン窒化膜 3 をエッチングする。これにより、シリコン窒化膜 3 に開口部 3 h を形成する。開口部 3 h は、シリコン窒化膜 3 の側面 3 s およびシリコン酸化膜 2 の側面 2 s により形成される。なお、シリコン酸化膜 2 も除去されて主表面 1 f が露出する。

【0029】

図 3 を参照して、レジストパターン 4 およびシリコン窒化膜 3 をマスクとしてシリコン基板 1 をエッチングする。これにより、側壁 1 a を有する溝としてのトレンチ 1 h を形成する。トレンチ 1 h は凹状であり、紙面の手前側から奥側へ延びる。側面 2 s および 3 s と側壁 1 a が連なるようにトレンチ 1 h が形成される。その後、レジストパターン 4 を除去する。

【0030】

図 4 を参照して、トレンチ 1 h の側壁 1 a を酸素ガスと水素ガスの混合ガスで酸化する。同時にシリコン窒化膜 3 の側面 3 s と上面 3 t も酸化する。これにより、トレンチ 1 h の側壁 1 a にシリコン酸化膜 1 b を形成する。これにより、側壁 1 a に生じた欠陥を消滅させる。同時に、シリコン窒化膜 3 の側面 3 s と上面 3 t も酸化して変質層としてのシリコン酸化膜 3 b を形成する。

【0031】

図 5 を参照して、トレンチ 1 h を充填し、かつシリコン酸化膜 3 b を覆うように C V D によりシリコン酸化膜 5 を形成する。

【0032】

図 6 を参照して、C M P によりシリコン酸化膜 5 の一部分とシリコン窒化膜 3 の上面 3 t に形成されたシリコン酸化膜 3 b を除去する。これにより、シリコン窒化膜 3 の上面 3 t を露出させる。シリコン窒化膜 3 の側面 3 s においてシリコン酸化膜 5 に接するように形成されたシリコン酸化膜 3 b は残存する。

【0033】

図 7 を参照して、熱リン酸によりシリコン窒化膜 3 を除去する。このとき、シリコン窒化膜 3 のエッチング速度は相対的に大きく、シリコン酸化膜 3 b および 5 のエッチング速度は相対的に小さい。これにより、シリコン酸化膜 2 の上面が露出する。

【0034】

図 8 を参照して、フッ酸溶液により、シリコン酸化膜 2 を除去する。この時、トレンチ 1 h を埋め込むシリコン酸化膜 5 と、シリコン酸化膜 5 に接するシリコン酸化膜 3 b も一部分が除去される。これにより、トレンチ 1 h からはみ出た部分にシリコン酸化膜からなる肩部 5 a が残存する。肩部 5 a は、主表面 1 f の上に延びるように形成される。

【0035】

図 9 および 10 を参照して、シリコン基板 1 上にゲート酸化膜 1 1 を形成する。ゲート酸化膜 1 1 上にドーフトポリシリコンからなる導電層を形成する。この導電層を所定の形状にエッチングすることにより、一方向に延びるゲート電極 1 2 を形成する。ゲート電極 1 2 をマスクとしてシリコン基板 1 に不純物を注入することにより、ゲート電極 1 2 の両側にソース領域 2 1 s およびドレイン領域 2 1 d を形成する。これにより、電界効果トランジスタ 1 0 0 a および 1 0 0 b が完成する。隣り合う電界効果トランジスタ 1 0 0 a および 1 0 0 b は、トレンチ 1 h に埋め込まれたシリコン酸化膜 5 より分離されている。肩部 5 a はトレンチ 1 h からはみ出して形成されている。

【0036】

このような半導体装置の製造方法に従えば、図 7 で示す工程において、トレンチ 1 h を埋め込むシリコン酸化膜 5 を残存させると同時にシリコン酸化膜 5 に接するシリコン酸化膜 3 b も残存させる。そのため、図 8 で示すように、その後の工程でシリコン酸化膜 2 をエ

10

20

30

40

50

ッチングする場合でも、シリコン酸化膜 5 がエッチングされすぎることがない。その結果、シリコン酸化膜 5 に、相対的に低い部分が形成されず、図 9 および 10 の工程で、シリコン酸化膜 5 上にゲート酸化膜 11 およびゲート電極 12 を形成しても、ゲート電極 12 の膜厚が不均一になることがなく、電界効果トランジスタ 100a および 100b に悪影響を与えることがない。

【0037】

さらに、トレンチ 1h の側壁 1a を酸化すると同時にシリコン窒化膜 3 の側面 3s および上面 3t を酸化するため、シリコン窒化膜を酸化するために特に工程を付与することがない。そのため、従来と同様の工程数で信頼性の高い半導体装置を製造することができる。

10

（実施の形態 2）

実施の形態 2 では、実施の形態 1 の図 4 で示す工程の、トレンチ 1h の側壁 1a の酸化とシリコン窒化膜 3 の側面 3s および上面 3t の酸化を、急速熱処理（RTP：Rapid Thermal Process）で行なう。これにより、より活性な雰囲気中で酸化を行なうことができる。

（実施の形態 3）

実施の形態 3 では、実施の形態 1 の図 4 で示す工程の、トレンチ 1h の側壁 1a とシリコン窒化膜 3 の側面 3s および上面 3t を、酸化二窒素（ N_2O ）で酸化する。これにより、実施の形態 1 と同様の効果を奏する。また、その酸化工程でシリコン酸化膜 3b 中に窒素が導入されるので、その後の工程でのトレンチ 1h 内の酸化を抑制し、応力の発生を抑制することができる。

20

（実施の形態 4）

実施の形態 4 では、実施の形態 3 の図 4 で示す工程の、トレンチ 1h の側壁 1a の酸化とシリコン窒化膜 3 の側面 3s および上面 3t の酸化を、RTP で行なう。これにより、より活性な雰囲気中で酸化を行なうことができる。

（実施の形態 5）

実施の形態 5 では、実施の形態 1 の図 4 で示す工程の、トレンチ 1h の側壁 1a とシリコン窒化膜 3 の側面 3s および上面 3t を、酸素と酸化窒素（NO）で酸化する。これにより、実施の形態 3 と同様の効果を奏する。また、より効果的に窒素を導入することができる。

（実施の形態 6）

実施の形態 6 では、実施の形態 5 の図 4 で示す工程の、トレンチ 1h の側壁 1a の酸化とシリコン窒化膜 3 の側面 3s および上面 3t の酸化を、RTP で行なう。これにより、より活性な雰囲気中で酸化を行なうことができる。

30

（実施の形態 7）

実施の形態 7 では、実施の形態 1 の図 4 で示す工程の、トレンチ 1h の側壁 1a とシリコン窒化膜 3 の側面 3s および上面 3t の酸化を、活性酸素を含むプラズマで酸化する。

【0038】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【0039】

【発明の効果】

この発明に従えば、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の半導体装置の製造方法の第 1 工程を示す断面図である。

【図 2】 この発明の半導体装置の製造方法の第 2 工程を示す断面図である。

【図 3】 この発明の半導体装置の製造方法の第 3 工程を示す断面図である。

【図 4】 この発明の半導体装置の製造方法の第 4 工程を示す断面図である。

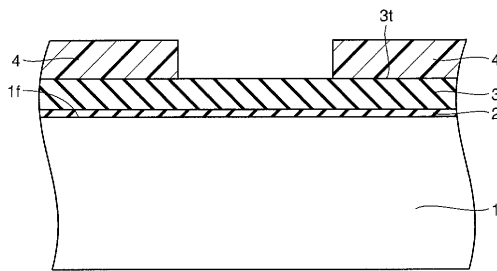
【図 5】 この発明の半導体装置の製造方法の第 5 工程を示す断面図である。

50

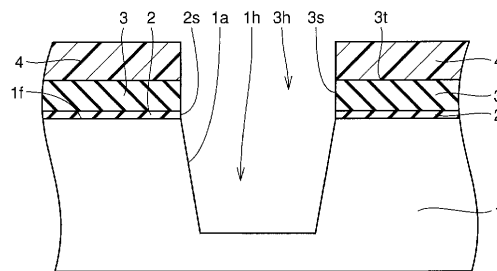
- 【図 6】 この発明の半導体装置の製造方法の第 6 工程を示す断面図である。
 【図 7】 この発明の半導体装置の製造方法の第 7 工程を示す断面図である。
 【図 8】 この発明の半導体装置の製造方法の第 8 工程を示す断面図である。
 【図 9】 この発明の半導体装置を示す平面図である。
 【図 10】 図 9 中の X-X 線に沿ってみた断面図である。
 【図 11】 従来の半導体装置の製造方法の第 1 工程を示す断面図である。
 【図 12】 従来の半導体装置の製造方法の第 2 工程を示す断面図である。
 【図 13】 従来の半導体装置の製造方法の第 3 工程を示す断面図である。
 【図 14】 従来の半導体装置の製造方法の第 4 工程を示す断面図である。
 【図 15】 従来の半導体装置の製造方法の第 5 工程を示す断面図である。
 【図 16】 従来の半導体装置の製造方法の第 6 工程を示す断面図である。
 【図 17】 従来の半導体装置の製造方法の第 7 工程を示す断面図である。
 【図 18】 従来の半導体装置を示す平面図である。
 【図 19】 図 18 中の X I X-X I X 線に沿ってみた断面図である。
 【符号の説明】

- 1 シリコン基板、1 a 側壁、1 b, 2, 3 b, 5 シリコン酸化膜、1 h トレンチ、
 3 シリコン窒化膜、3 h 開口部、3 s 側面、3 t 上面。

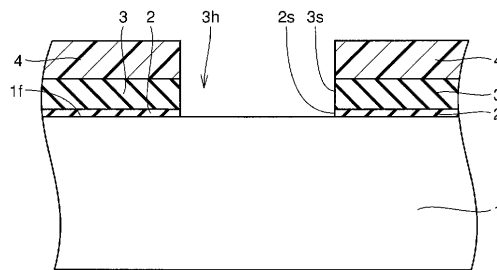
【図 1】



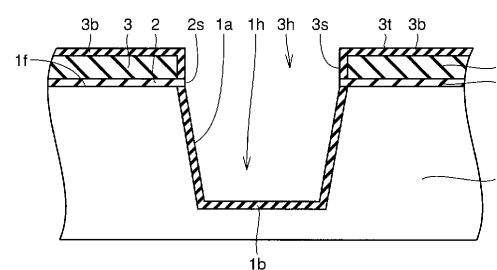
【図 3】



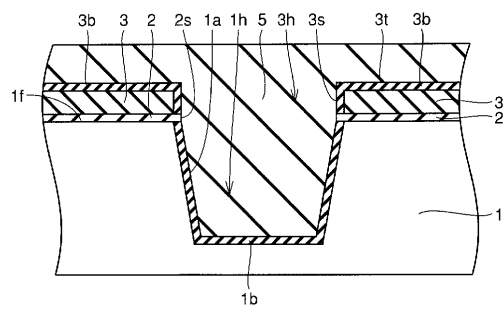
【図 2】



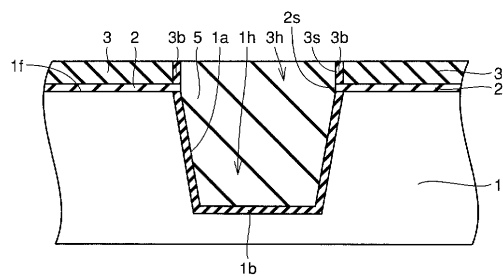
【図 4】



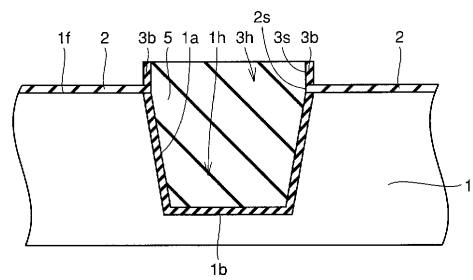
【図 5】



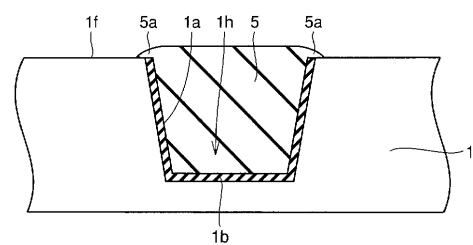
【图 6】



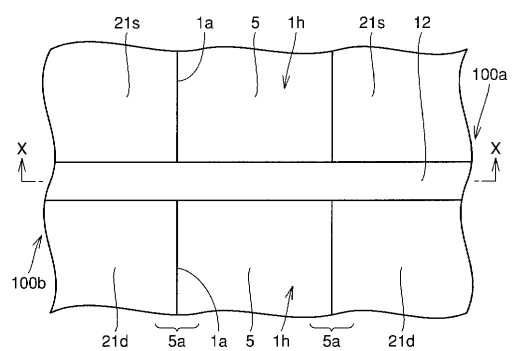
【图 7】



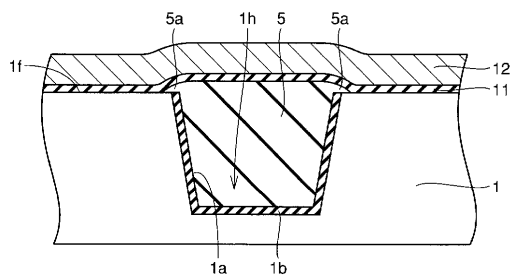
【図 8】



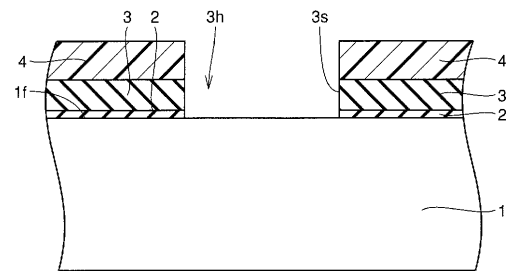
【图 9】



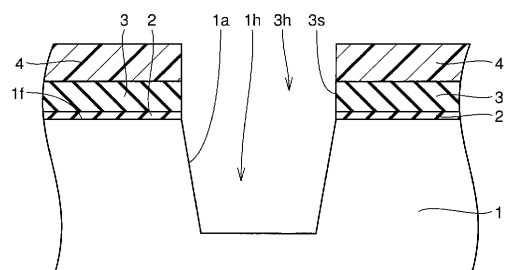
【図 10】



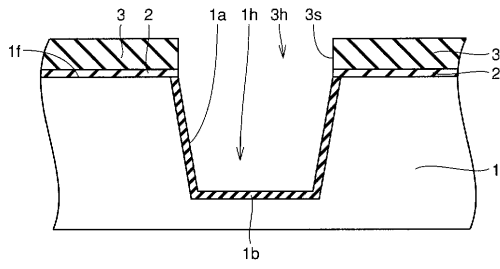
【図 1 1】



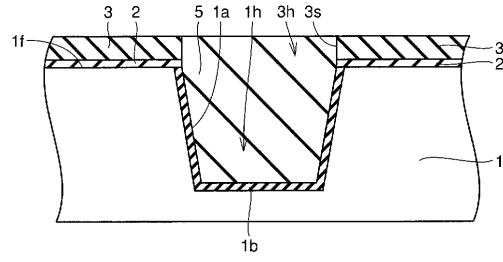
【図 12】



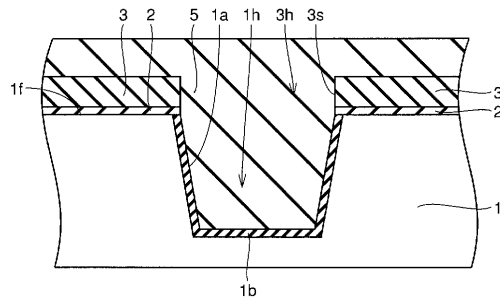
【図 13】



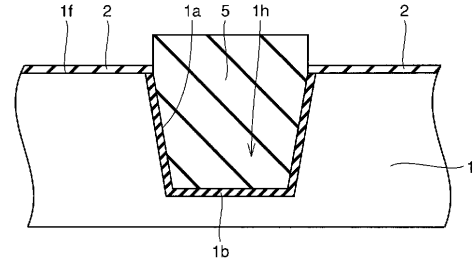
【図 15】



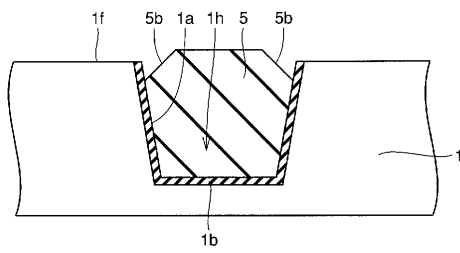
【図 14】



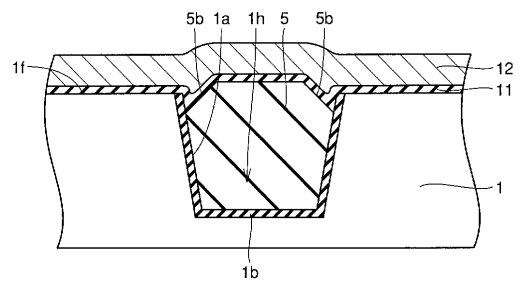
【図 16】



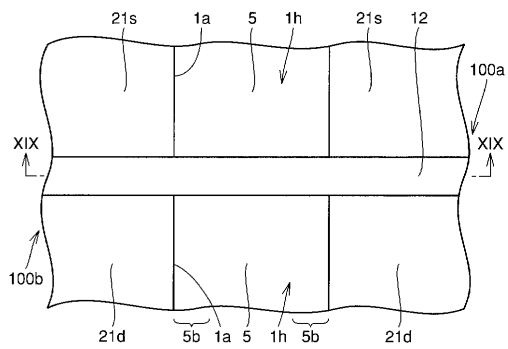
【図 17】



【図 19】



【図 18】



フロントページの続き

- (74)代理人 100124523
弁理士 佐々木 真人
- (74)代理人 100098316
弁理士 野田 久登
- (72)発明者 寺本 章伸
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 八木 公輔
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 梅田 浩司
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 三浦 尊裕

- (56)参考文献 特開2000-100926 (JP, A)
特開平11-297814 (JP, A)
特開平10-340950 (JP, A)
国際公開第99/062108 (WO, A1)
特開平10-229119 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/76
H01L 29/78