

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年12月7日 (07.12.2006)

PCT

(10) 国際公開番号
WO 2006/129342 A1

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号:

PCT/JP2005/009879

(22) 国際出願日:

2005年5月30日 (30.05.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).

(72) 発明者; および

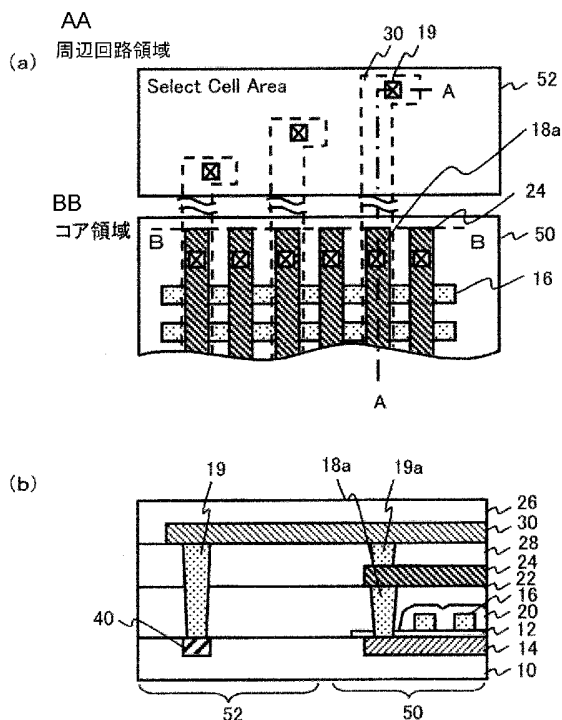
(75) 発明者/出願人 (米国についてのみ): 井上陽子 (INOUE,

Yoko) [JP/JP]; 〒9650845 福島県会津若松市門田町工
業団地6番 Spansion Japan 株式会社内
Fukushima (JP).(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テプコビ
ル Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

AA PERIPHERAL CIRCUIT REGION
BB CORE REGION(57) Abstract: Disclosed is a semiconductor device
comprising a bit line (14) embedded in a semiconductor
substrate (10), a first wiring (24) formed on and connected
to the bit line, and a second wiring (30) formed on the
first wiring for connecting the first wiring with a transistor
in a peripheral circuit region. In this semiconductor
device, the first wiring is connected with the transistor
in the peripheral circuit region only through the second
wiring. Also disclosed is a method for manufacturing
such a semiconductor device. Further disclosed are a
semiconductor device comprising a first wiring connecting
a bit line with a transistor in a peripheral circuit region
and a dummy contact hole (44) located between the bit line
and the transistor, and a method for manufacturing such
a semiconductor device. The present invention enables to
provide a highly reliable flash memory wherein loss of
electric charge from an ONO film (12) is suppressed.(57) 要約: 本発明は、半導体基板(10)に埋め込
まれたビットライン(14)と、ビットライン上に設
けられ、ビットラインと接続する第1の配線(24)
と、第1の配線の上に設けられ、第1の配線と周辺回路
領域のトランジスタとを接続する第2の配線(30)
と、を具備し、第1の配線は第2の配線を通じての
み周辺回路領域のトランジスタと接続する半導体装
置およびその製造方法である。さらに、ビットライ
ンと周辺回路領域のトランジスタと接続する第1の
配線と、その間にダミーコンタクトホール(44)
を有する半導体装置およびその製造方法である。本
発明によれば、ONO膜(12)からの電荷の損失
を抑え、信頼性の高いフラッシュメモリを提供す
ることができる。



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置およびその製造方法

技術分野

- [0001] 本発明は半導体装置およびその製造方法に関し、特にONO膜を有する半導体装置およびその製造方法に関する。

背景技術

- [0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。不揮発性メモリとしては、フローティングゲートに電荷を蓄積するフローティングゲート型フラッシュメモリが広く用いられてきた。しかし、高記憶密度化実現のためメモリの微細化が進行すると、フローティングゲート型フラッシュメモリを設計することが困難となってくる。フローティング型フラッシュメモリのメモリセルの微細化に伴い、トンネル酸化膜の薄膜化が必要である。しかし、トンネル酸化膜の薄膜化により、トンネル酸化膜を流れるリーク電流が増大し、またトンネル酸化膜への欠陥の導入により、フローティングゲートに蓄積された電荷が消失するといった信頼性の障害が発生するためである。
- [0003] これを解決するために、MONOS (Metal Oxide Nitride Oxide Silicon) 型やSONOS (Silicon Oxide Nitride Oxide Silicon) 型といったONO (Oxide/Nitride/Oxide) 膜を有するフラッシュメモリがある。これは、酸化シリコン膜層に挟まれたトラップ層と呼ばれる窒化シリコン膜層に電荷を蓄積するフラッシュメモリである。このフラッシュメモリは絶縁膜である窒化シリコン膜層に電荷を蓄積するため、トンネル酸化膜に欠陥があっても、フローティングゲート型のように電荷は消失しない。また、同じメモリセルのトラップ層に多値のビットを記憶させることが可能であり、不揮発性メモリの高記憶容量化に有利である。
- [0004] 例えば、特許文献1には、ゲート電極と半導体基板の間に2つの電荷蓄積領域を有するトランジスタが開示されている。このトランジスタはソースとドレインを入れ替えて対称的に動作させる。これより、ソース領域とドレイン領域を区別しない構造を有している。さらに、ビットラインがソース領域およびドレイン領域を兼ねており、半導体基

板に埋め込まれた構造となっている。これにより、メモリの微細化を図っている。

[0005] 特許文献1: 米国特許第6011725号明細書

発明の開示

発明が解決しようとする課題

[0006] しかしながら、従来技術においても、さらにメモリの微細化が進むと、ONO膜中のトラップ層に蓄積された電荷の損失が発生している。ONO膜から一定の電荷が失われると、記憶されたデータが消失しまう。これは、不揮発性メモリとして、信頼性上の課題となる。

[0007] 本発明は、ONO膜からの電荷の損失を抑え、信頼性の高い半導体装置およびその製造方法を提供することを目的としている。

課題を解決するための手段

[0008] 本発明は、半導体基板に埋め込まれたビットラインと、該ビットライン上に設けられ、前記ビットラインと接続する第1の配線と、該第1の配線上に設けられ、前記第1の配線と前記周辺回路領域のトランジスタとを接続する第2の配線と、を具備し、前記第1の配線は、前記第2の配線を通じてのみ前記トランジスタと接続する半導体装置である。本発明によれば、第1の配線が周辺回路領域のトランジスタに直接接続されておらず、第2の配線によって周辺回路領域のトランジスタと第1の配線を接続している。これにより、配線を形成するときのチャージアップに起因したONO膜12の損傷を抑制できる。よって、ONO膜12からの電荷損失を抑制することができ、信頼性の高い半導体装置を提供することができる。

[0009] 本発明は、前記第1の配線は、コア領域または前記コア領域および前記周辺回路領域の間の領域にのみ延在する半導体装置とすることができる。本発明によれば、より確実にONO膜の損傷を抑制でき、ONO膜からの電荷損失を抑制することができる。

[0010] 本発明は、前記第2の配線と前記トランジスタに接続する第3の配線を具備し、前記第2の配線は、前記第3の配線を通じてのみ前記トランジスタと接続する半導体装置とすることができる。本発明によれば、コンタクトホールを形成する際に第1の配線表面がオーバーエッチングされることがない。これより、コンタクトホールと第1の配線の

接触抵抗を低くすることができる。また第1の配線に集まるチャージアップした電荷を抑えることができる。

[0011] 本発明は、前記ビットライン上に、前記ビットラインと前記第1の配線を接続するコンタクトホールを有するONO膜を具備する半導体装置とすることができる。本発明によれば、ONO膜からの電荷損失を抑制することができる。

[0012] 本発明は、半導体基板に埋め込まれたビットラインと、該ビットライン上に設けられた層間絶縁膜と、該層間絶縁膜上に設けられ、前記ビットラインと前記層間絶縁膜に形成されたコンタクトホールを介し接続された第1の配線と、を具備し、前記層間絶縁膜は、前記第1の配線と前記半導体基板とに接続するダミーコンタクトホールを有し、ダミーコンタクトホールは第1の配線の前記トランジスタと前記ビットラインの間の部分に接続する半導体装置である。本発明によれば、第1の配線にダミーコンタクトホールが接続されている。これにより、配線を形成するときにチャージアップした電荷をダミーコンタクトホールを通じ半導体基板に流すことができる。これにより、ONO膜の損傷を抑制できる。よって、ONO膜からの電荷損失を抑制することができ、信頼性の高い半導体装置を提供することができる。

[0013] 本発明は、前記ダミーコンタクトホールは、コア領域または前記コア領域および前記周辺回路領域の間の領域に接続する半導体装置とすることができる。本発明によれば、チャージアップした電荷をより確実に半導体基板に流すことができる。これにより、ONO膜の損傷をより確実に抑制できる。

[0014] 本発明は、前記ダミーコンタクトホールは、前記半導体基板に埋め込まれたダミー拡散領域に接する半導体装置とすることができる。本発明によれば、チャージアップした電荷をより確実に半導体基板に流すことができる。これにより、ONO膜の損傷をより確実に抑制できる。

[0015] 本発明は、前記ビットラインと前記層間絶縁膜の間にONO膜を具備し、前記ONO膜に前記コンタクトホールが形成されている半導体装置とすることができる。本発明によれば、ONO膜からの電荷損失を抑制することができる。

[0016] 本発明は、前記周辺回路領域は、セレクト・セル・エリアである半導体装置とすることができる。本発明によれば、セレクト・セル・エリアのトランジスタと接続されるコア領域

のONO膜からの電荷損失を抑制することができる。

[0017] 本発明は、半導体基板に埋め込まれたビットラインを形成する工程と、該ビットライン上に、前記ビットラインと接続する第1の配線を形成する工程と、該第1の配線上に設けられ、前記第1の配線と周辺回路領域のトランジスタとを接続する第2の配線を形成する工程と、を具備し、前記第1の配線は前記第2の配線を介してのみ前記トランジスタと接続する半導体装置の製造方法である。本発明によれば、第1の配線は、その形成時には周辺回路領域のトランジスタに直接接続されておらず、その後、第2の配線によって周辺回路領域のトランジスタと第1の配線を接続している。これにより、配線を形成するときのチャージアップに起因したONO膜12の損傷を抑制できる。よって、ONO膜からの電荷損失を抑制することができ、信頼性の高い半導体装置の製造方法を提供することができる。

[0018] 本発明は、前記第1の配線を形成する工程は、前記トランジスタと接続し前記第2の配線に接続すべき第3の配線を形成する工程を備える半導体装置の製造方法とすることができる。本発明によれば、周辺回路領域にコンタクトホールを形成する際、第1の配線がオーバーエッチングされることがない。これより、コンタクトホールと第1の配線の接触抵抗を低くすることができる。また、第1の配線に集まるチャージアップした電荷を抑えることができる。

[0019] 本発明は、前記半導体基板上にONO膜を形成する工程を具備し、前記第1の配線は、前記ONO膜に形成されたコンタクトホールを介し、前記ビットラインに接続された半導体装置の製造方法とすることができる。本発明によれば、ONO膜からの電荷損失を抑制することができる。

[0020] 本発明は、半導体基板に埋め込まれたビットラインを形成する工程と、該ビットライン上に層間絶縁膜を形成する工程と、該層間絶縁膜に、前記ビットラインと接続するコンタクトホールを形成する工程と、前記層間絶縁膜上に、周辺回路領域のトランジスタおよびビットラインと接続する第1の配線を形成する工程と、を具備し、前記コンタクトホールを形成する工程は、前記半導体基板と接続し、前記トランジスタと前記ビットライン間の前記第1の配線に接続するためのダミーコンタクトホールを形成する工程を含む半導体装置の製造方法である。本発明によれば、第1の配線にダミーコンタク

トホールが接続されている。これにより、配線を形成するときにチャージアップした電荷をダミーコンタクトホールを通じ半導体基板に流すことができる。これにより、ONO膜の損傷を抑制できる。よって、ONO膜からの電荷損失を抑制することができ、信頼性の高い半導体装置の製造方法を提供することができる。

[0021] 本発明は、前記ビットラインを形成する工程は、前記ダミーコンタクトホールに接続するための前記半導体基板に埋め込まれたダミー拡散領域を形成する工程を含む半導体装置の製造方法とすることができる。本発明によれば、チャージアップした電荷をより確実に半導体基板に流すことができる。これにより、ONO膜の損傷をより確実に抑制できる。

[0022] 本発明は、前記半導体基板上にONO膜を形成する工程を具備し、前記コンタクトホールを形成する工程は、前記ONO膜にコンタクトホールを形成する工程を含む半導体装置の製造方法とすることができる。本発明によれば、ONO膜からの電荷損失を抑制することができる。

[0023] 本発明は、前記周辺回路領域は、セレクト・セル・エリアである半導体装置の製造方法とすることができる。本発明によれば、セレクト・セル・エリアのトランジスタと接続されるコア領域のONO膜からの電荷損失を抑制することができる。

発明の効果

[0024] 本発明によれば、ONO膜からの電荷の損失を抑え、信頼性の高い半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0025] [図1]図1はトラップ層からの電荷損失の原因を説明するための図であり、図1(a)はフラッシュメモリの上視図、図1(b)は図1(a)のA-A断面図である。

[図2]図2は実施例1に係るフラッシュメモリの構成を示す図であり、図2(a)はフラッシュメモリの上視図、図2(b)は図2(a)のA-A断面図である。

[図3]図3は実施例1に係るフラッシュメモリの製造方法を示す断面図である。

[図4]図4は実施例2に係るフラッシュメモリの構成を示す図であり、図4(a)はフラッシュメモリの上視図、図4(b)は図4(a)のA-A断面図である。

[図5]図5は実施例2に係るフラッシュメモリの製造方法を示す断面図である。

[図6]図6は実施例3に係るフラッシュメモリの構成を示す図であり、図6(a)はフラッシュメモリの上面図、図6(b)は図6(a)のA-A断面図である。

[図7]図7は実施例3に係るフラッシュメモリの製造方法を示す断面図である。

[図8]図8は実施例3の変形例に係るフラッシュメモリの構成を示す上面図である。

発明を実施するための最良の形態

[0026] 本発明者が見出したONO膜からの電荷損失の原因を、図1を用い説明する。図1(a)はONO膜を有するフラッシュメモリの上面図(保護膜、層間絶縁膜は図示していない)、図1(b)はA-A断面図である。フラッシュメモリには、メモリセルが形成されたコア領域50とセレクト・セル・エリアや入出力回路等が形成された周辺回路領域52等がある。コア領域50において、半導体基板10にビットライン14が埋め込まれている。半導体基板10上にはトラップ層を含むONO膜12が形成されている。ONO膜12上にワードライン16が形成されている。周辺回路領域52において、半導体基板10にトランジスタが形成されており、トランジスタの拡散領域40が半導体基板10に埋め込まれている。ワードライン16上には酸化シリコン膜20が形成され、半導体基板10上に層間絶縁膜22が形成されている。層間絶縁膜22にはコンタクトホール18a、18bが形成されている。コンタクトホール18a、18bを介し、ビットライン14または拡散領域40と第1の配線24a、24bが接続されている。第1の配線24a、24b上に保護膜26が形成されている。

[0027] 第1の配線24a、24bは、コア領域50内ではビットライン14上を延在し、ワードライン16を複数本越える毎にコンタクトホール18aを介し、ビットライン14と接続している。これはコア領域50のトランジスタに対し、ビットラインの抵抗の影響を下げるためである。第1の配線24は一本置きに周辺回路領域52であるセレクト・セル・エリアまで延在し、そのトランジスタの拡散領域40にコンタクトホール18bを介し接続されている。図1(a)でセレクト・セル・エリアまで延在していない第1の配線24bは、コア領域50の反対側で、セレクト・セル・エリアまで延在し、そのトランジスタ(セクタ・セレクト・トランジスタ)の拡散領域40に接続されている。ここで、セレクト・セル・エリアは、コア領域のセルを選択する機能を有する周辺回路であり、セクタ・セレクト・トランジスタはコア領域のセルを選択する機能を有するトランジスタである。

[0028] 本発明者が、電荷損失が生じるメモリセルを調査したところ、電荷損失の生じるセルはセレクト・セル・エリアに接続する第1の配線24aのコア領域50の端に配置されたセルであることがわかった。さらに調査した結果、その原因を以下のように推察した。

[0029] 一般的に、プラズマを用いたドライエッチングの際、基板表面はチャージアップする。第1の配線24を形成する際、全面が第1の配線である金属層(アルミニウム)で覆われていれば、チャージアップした電荷が、特定のコンタクトホールにのみ流れることはない。しかし、エッチングが進み、第1の配線24aのパターンが形成されると、拡散領域40に接続したコンタクトホール18bとビットライン14に接続したコンタクトホール18aの間の第1の配線24aにチャージアップした電荷が集まる。しかも、ビットライン14と拡散領域40の間の距離は、一般的に1.5~9.5 μm 以上と長いため、第1の配線に多くの電荷が集まってしまう。そして、この間には半導体基板10に接続されたコンタクトホールがない。このため、この電荷が、最も近いコンタクトホール18aを介し半導体基板10に流れる。このとき、コンタクトホール18a近くの領域60のONO膜12に損傷を与える。ONO膜12への損傷としては、例えば、ONO膜12への金属や水素による汚染などが考えられる。このONO膜12の損傷により、ONO膜12から電荷が損失する。なお、周辺回路領域52のトランジスタにも、チャージアップした電荷が流れるが、ONO膜12と比較し電荷に対し強いため、問題となり難い。

[0030] 以下に、上記原因を解決し、ONO膜12からの電荷の損失を抑制することを目的とした本発明の実施例について、図面を用い説明する。

実施例 1

[0031] 実施例1は、周辺回路領域のトランジスタとビットラインの接続に第1の配線を用いずに、第1の配線上に設けられた第2の配線を用いる例である。図2(a)は実施例1の上視図(保護膜26、層間絶縁膜22、28は図示せず。第2の配線30は破線で示した)、図2(b)は図2(a)のA-A断面図である、図3は実施例1の製造方法を示し、図2(a)のA-A断面に相当する図である。まず、実施例1に係る半導体装置の製造方法について説明する。

[0032] 図3(a)を参照し、P型シリコン半導体基板10(または半導体基板内のP型領域)上に、ONO膜12を形成する。ONO膜12は、トンネル酸化膜(酸化シリコン膜)を熱酸

化法で形成し、トラップ層(窒化シリコン膜)、トップ酸化膜(酸化シリコン膜)をCVD法を用い形成する。周辺回路領域52のONO膜12はその後除去される。コア領域50の半導体基板10内の所定領域に例えば砒素を注入することにより、半導体基板10に埋め込まれたソース領域とドレイン領域を兼ねるビットライン14を形成する。コア領域内のONO膜12上の所定領域に、例えば多結晶シリコン膜からなるワードライン16をビットライン14の幅方向に延在するように形成する。周辺回路領域52のトランジスタを形成する。図3(a)にはこのトランジスタの拡散領域40を示している。

[0033] 図3(b)を参照し、ワードライン16を覆うように酸化シリコン膜20を形成する。これは、ワードライン16間を絶縁膜で埋めるためであり、全面に酸化シリコン膜を形成する。第1の層間絶縁膜22として例えばBPSG (Boro-Phospho Silicated Glass)等の酸化シリコン膜をCVD法を用い形成する。第1の層間絶縁膜22およびONO膜12にビットライン14に接続するコンタクトホール18aを形成する。コンタクトホール18a内に、例えばTi/WNまたはTi/TiN並びにW等の金属を埋め込込む。第1の層間絶縁膜22(すなわちビットライン14)上の所定領域に例えばアルミニウムを用い第1の配線24を形成する。第1の配線24は、ビットライン14の長手方向に延在し、第1の層間絶縁膜22およびONO膜12に形成されたコンタクトホール18aを介しビットライン14にのみ接続している。すなわち、第1の配線24は、第1の層間絶縁膜22に形成されたコンタクトホール18を介しては、周辺回路領域52のトランジスタと直接接続していない。ここで、周辺回路領域52はセレクト・セル・エリアであり、トランジスタはセクタ・セレクト・トランジスタである。

[0034] 第1の配線24の形成は、第1の層間絶縁膜22上の全面に、金属層として例えばアルミニウムをスパッタし、通常の露光技術を用いフォトレジストパターンを形成する。塩素系のガスを用い、高密度プラズマタイプのRIE装置を用い、アルミニウムをエッチングする。すなわち、ビットライン14にのみ接続した金属層(アルミニウム)をエッチングし第1の配線24を形成する。このとき、第1の配線24は、周辺回路領域52のトランジスタに直接接続していない。このため、図1のフラッシュメモリに比べ、第1の配線24の延在する距離を短くできる。これより、第1の配線24に集まるチャージアップした電荷は少なく、コンタクトホール18aに流れる電荷は少ない。よって、コンタクトホール18

a近くのONO膜12に与える損傷は少ない。

- [0035] 図3(c)を参照に、第1の層間絶縁膜22および第1の配線24上に、第2の層間絶縁膜28として、第1の層間絶縁膜22と同様の酸化シリコン膜を形成する。第2の層間絶縁膜28と第1の層間絶縁膜22に周辺回路領域52のトランジスタの拡散領域40に接続するコンタクトホール19と、第2の層間絶縁膜28に第1の配線24に接続するコンタクトホール19aを同時に形成する。コンタクトホール19、19a内に、例えばTi/WNおよびTi/TiN並びにWを埋め込込む。
- [0036] 図3(d)を参照に、第2の層間絶縁膜28上の全面に例えばアルミニウム(金属層)をスパッタし、通常の露光技術を用い、フォトリソパターンを形成する。塩素系のガスを用い、高密度プラズマタイプのRIE装置を用い、アルミニウムをエッチングする。これにより、第1の配線24と周辺回路領域52のトランジスタの拡散領域40に接続する第2の配線26が形成される。このエッチングの際、チャージアップした電荷は、第2の配線30を通り、コンタクトホール19aに流れる。しかし、コンタクトホール19aには第1の配線24が接続されているため、この電荷はコンタクトホール18aと第1の配線24に分散される。これにより、コンタクトホール18aに流れる電荷が少なくなり、コンタクトホール18a近くのONO膜12の損傷は小さくなる。よって、ONO膜12からの電荷損失を抑制できる。
- [0037] 最後に、第2の層間絶縁膜28および第2の配線30上に保護膜26を形成し、図2に示す実施例1に係るフラッシュメモリが完成する。
- [0038] 図2を参照し、実施例1に係るフラッシュメモリは、半導体基板10に埋め込まれたビットライン14を有し、ビットライン14上に設けられ、ビットライン14と接続する第1の配線24を有している。さらに、第1の配線24上に設けられ、第1の配線24と周辺回路領域52のトランジスタの拡散領域40とを接続する第2の配線30とを有している。そして、第1の配線24は第2の配線30を通じてのみ拡散領域40と接続している。ここで、実施例1と同様に、周辺回路領域52はセレクト・セル・エリアであり、トランジスタはセクタ・セレクト・トランジスタである。
- [0039] 第2の配線30は第1の配線24一本置きに周辺回路領域52まで延在しトランジスタと接続される。第2の配線30に接続されていない第1の配線24は、コア領域50のもう

一方で、第2の配線30によって、周辺回路領域52のトランジスタに接続される。このように、コア領域50の両側にセレクト・セル・エリアを設けることにより、効率的に周辺回路を配置できる。

[0040] 第1の配線24は、周辺回路領域52まで延在させず、コア領域50またはコア領域50と周辺回路領域52の間の領域にのみ延在させることが好ましい。これにより、第1の配線24の延在する距離をより短くできるため、第1の配線24形成時に、第1の配線24に集まるチャージアップした電荷をより少なくできる。これにより、より確実にONO膜12の損傷を小さくでき、ONO膜12からの電荷損失をより抑制できる。

[0041] さらに、実施例1においては、第1の配線24はコア領域50にのみ延在させ、コア領域50端において、概同じ直線B-B上にその終端部を有する。これにより、第1の配線24の距離はさらに短くなり、第1の配線24形成時に、第1の配線24に集まるチャージアップした電荷をさらに少なくできる。これにより、さらに確実にONO膜12の損傷を小さくでき、ONO膜12からの電荷損失をさらに抑制できる。

[0042] 以上のように、実施例1に係るフラッシュメモリによれば、第1の配線24が周辺回路領域52のトランジスタに直接接続されておらず、第2の配線30によって周辺回路領域52のトランジスタと第1の配線24を接続している。これにより、第1の配線24がコア領域の外に延在する距離を短くできる。このため、配線を形成するときのチャージアップに起因したONO膜12の損傷を抑制できる。よって、ONO膜12からの電荷損失を抑制することができ、信頼性の高い半導体装置を提供することができる。

実施例 2

[0043] 実施例2は、第2の配線30と拡散領域40の間に第3の配線32を設けた例である。図4(a)は実施例2の上視図(保護膜26、層間絶縁膜22、28は図示せず、第2の配線30は破線で示した)、図4(b)は図4(a)のA-A断面図である。図5は実施例2の製造方法を示し、図4(a)のA-A断面に相当する図である。まず、実施例2に係る半導体装置の製造方法について説明する。

[0044] 図5(a)を参照に、第1の層間絶縁膜22の形成までは、実施例1の図3(b)までと同様に行う。第1の層間絶縁膜22にビットライン14および拡散領域40に接続するようにコンタクトホール18a、18bを形成する。第1の層間絶縁膜22上に、ビットライン14と

のみ接続する第1の配線24と、周辺領域52のトランジスタの拡散領域40と接続する第3の配線32とを実施例1と同様の方法で同時に形成する。このように、第1の配線24を形成する工程は、第3の配線32を形成する工程を備えている。これにより、工程を削減することができる。

[0045] 図5(b)を参照に、実施例1と同様に、第2の層間絶縁膜28を形成する。第2の層間絶縁膜28に第1の配線24および第3の配線32に接続するコンタクトホール19aおよび19bを形成する。実施例1と同様に第2の配線30を形成する。その後、保護膜26を形成し実施例2に係るフラッシュメモリが完成する。

[0046] 実施例2においても、実施例1と同様にONO膜12からの電荷損失を抑制する効果を得ることができる。さらに、以下の課題を解決する効果も得ることができる。実施例1では、コンタクトホール19aとコンタクトホール19を同時に形成する際、エッチングする層間絶縁膜の厚さが異なり、コンタクトホール18aはオーバーエッチングされる。そのため、第1の配線24表面に損傷が生じ、コンタクトホール19aと第1の配線24表面の接触抵抗が高くなるという課題があった。実施例2においては、第3の配線32を設けることにより、コンタクトホール19aを形成する際、オーバーエッチングされることがない。これより、コンタクトホール19aと第1の配線24の接触抵抗を低くすることができる。また、第1の配線24に集まるチャージアップした電荷を少なくすることができる。

[0047] 実施例1および実施例2では、第2の配線30として、第1の配線24の直上の配線を用いたが、第1の配線30より上の配線であれば、直上の配線を使用せずとも、同様の効果を奏することができる。

実施例 3

[0048] 第3の実施例は、周辺回路領域52のトランジスタとビットライン14の間にダミーコンタクトホール44を設けた例である。図6(a)は実施例3の上視図(保護膜26、層間絶縁膜22は図示せず)、図6(b)は図6(a)のA-A断面図である。図7は実施例3の製造方法を示し、図6(a)のA-A断面に相当する図である。まず、実施例3に係る半導体装置の製造方法について説明する。

[0049] 図7(a)を参照し、P型シリコン半導体基板10上に、実施例1と同様にONO膜12を形成する。コア領域50の半導体基板10内の所定領域に例えば砒素を注入すること

により、半導体基板10に埋め込まれたソース領域とドレイン領域を兼ねるビットライン14を形成する。このとき同時に、半導体基板10に埋め込まれたダミー拡散領域42を形成する。ダミー拡散領域42はのちにダミーコンタクトホール44が接続される。

[0050] 図7(b)を参照に、実施例1と同様に、ワードライン16、酸化シリコン膜20およびビットライン14上に層間絶縁膜22を形成する。層間絶縁膜22に、ビットライン14と接続するコンタクトホール18aを形成する。このとき同時に、ダミー拡散領域42(すなわち半導体基板10)と接するダミーコンタクトホール44を形成する。ダミーコンタクトホール44は、半導体基板10と接続し、後に、トランジスタの拡散領域40とビットライン14間の第1の配線24に接続する。さらに、同時に、トランジスタの拡散領域40に接続するコンタクトホール18bも形成する。このように、コンタクトホール18a、18bおよびダミーコンタクトホール44を同時に形成することで製造工程を削減できる。

[0051] その後、層間絶縁膜22上に、コンタクトホール18bを介し周辺回路領域52のトランジスタの拡散領域40およびコンタクトホール18aを介しビットライン14と接続する第1の配線24を形成する。さらに、第1の配線24は、トランジスタの拡散領域40とビットライン14の間の部分で、ダミーコンタクトホール44を介しダミー拡散領域42に接続している。これにより、金属層(例えばアルミニウム)をエッチングし第1の配線24を形成する際、ウェーハ表面にチャージアップした電荷はダミーコンタクトホール44およびダミー拡散領域42を介し、半導体基板10に流れる。そのため、コンタクトホール18aを介し、ビットライン14に流れる電荷を減少させることができる。これにより、コンタクトホール18a近くのONO膜12に損傷が及ぶことを抑制できる。

[0052] 保護膜26を形成し、実施例3に係るフラッシュメモリが完成する。

[0053] 図6を参照に、実施例3に係るフラッシュメモリは、半導体基板10に埋め込まれたビットライン14と、ビットライン14上に設けられた層間絶縁膜22と、層間絶縁膜22上に設けられ、ビットライン14と、層間絶縁膜22に形成されたコンタクトホール18aを介し接続された第1の配線24と有している。層間絶縁膜22は、第1の配線24と半導体基板10とに接続するダミーコンタクトホール44を有し、ダミーコンタクトホール44は、第1の配線24の拡散領域40とビットライン14の間の部分で第1の配線24に接続している。さらに、ビットライン14と層間絶縁膜22の間にONO膜12を有し、ONO膜12はコ

ンタクトホール18aを有している。

- [0054] また、実施例3では、ダミーコンタクトホール44をコア領域50と周辺回路領域52の間の領域に形成している。このように、ダミーコンタクトホール44は、コンタクトホール18aへの電荷の流れ込み抑制という目的から、コンタクトホール18aの近くに設けることが好ましい。これにより、第1の配線24形成時に、コンタクトホール18aへの電荷の流れ込みをより抑制できる。さらに、ダミーコンタクトホール44をコア領域50に形成することにより、第1の配線24形成時に、コンタクトホール18aへの電荷の流れ込みをさらに抑制できる。
- [0055] また、ダミーコンタクトホール44は、半導体基板10に埋め込まれたダミー拡散領域42に接続している。ダミー拡散領域42は必須ではないが、ウェーハ表面にチャージアップした電荷を半導体基板10に、より効果的に流すため設けることが好ましい。
- [0056] このように、実施例3に係るフラッシュメモリによれば、第1の配線24にダミーコンタクトホール44が接続されている。これにより、第1の配線24を形成するときにチャージアップした電荷をダミーコンタクトホール44を通じ半導体基板10に流すことができる。これにより、ONO膜12の損傷を抑制できる。よって、ONO膜12からの電荷損失を抑制することができ、信頼性の高いフラッシュメモリを提供することができる。
- [0057] 図8は実施例3の変形例の上視図である。変形例では、ダミーコンタクトホール44およびダミー拡散領域42は、周辺回路領域52のトランジスタに接続した第1の配線24aのみに設けることもできる。変形例においても、実施例3と同様の効果を得ることができる。さらに、ダミーコンタクトホール44の数を減らせるため、メモリを微細化できる。
- [0058] 以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。例えば、実施例1から実施例3は、配線に用いる金属層として例えばアルミニウムをエッチングする場合について記載した。しかし、ドライエッチングの際、ウェーハ表面のチャージアップは避けることができない。したがって、他の金属により構成される配線や、異なるエッチング装置、条件を用い配線を形成する場合であっても、本発明を適用することができる。

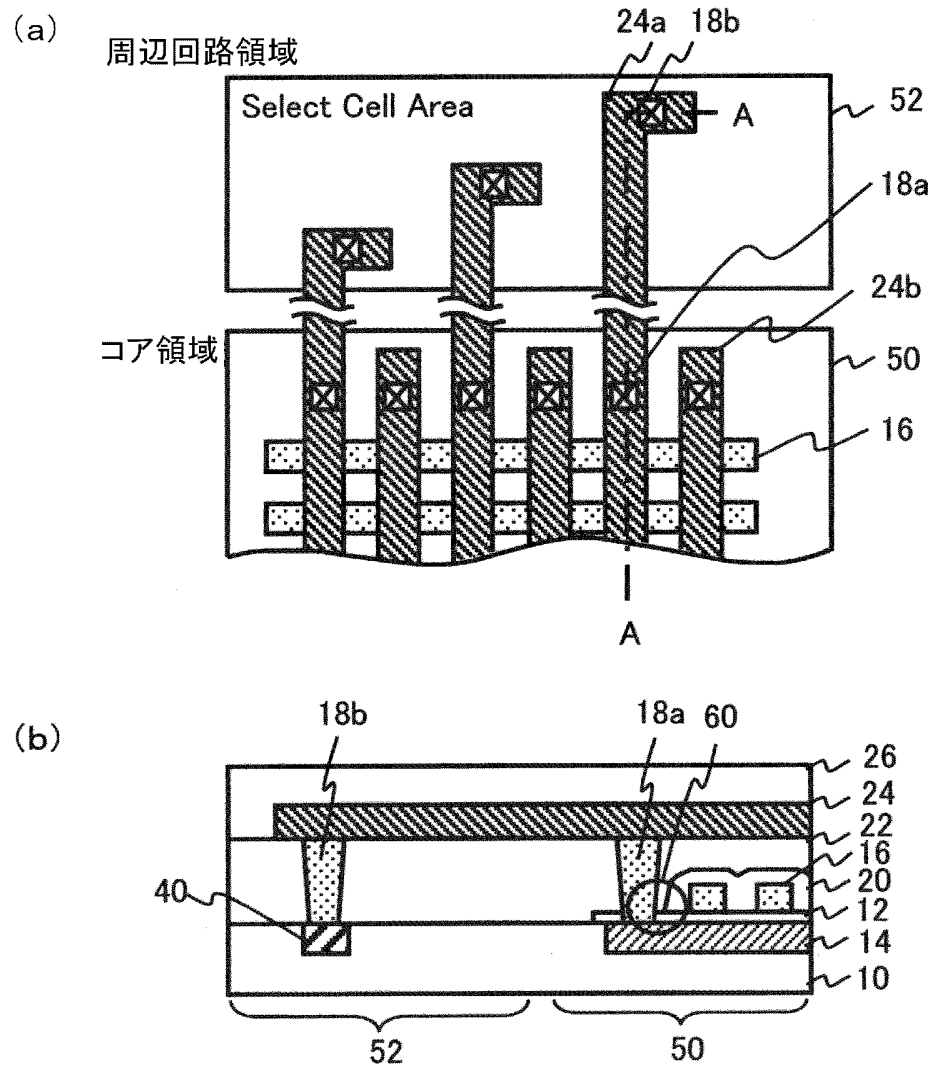
請求の範囲

- [1] 半導体基板に埋め込まれたビットラインと、
該ビットライン上に設けられ、前記ビットラインと接続する第1の配線と、
該第1の配線上に設けられ、前記第1の配線と前記周辺回路領域のトランジスタとを接続する第2の配線と、を具備し、
前記第1の配線は、前記第2の配線を通じてのみ前記トランジスタと接続する半導体装置。
- [2] 前記第1の配線は、コア領域または前記コア領域および前記周辺回路領域の間の領域にのみ延在する請求項1記載の半導体装置。
- [3] 前記第2の配線と前記トランジスタに接続する第3の配線を具備し、
前記第2の配線は、前記第3の配線を通じてのみ前記トランジスタと接続する請求項1または2記載の半導体装置。
- [4] 前記ビットライン上に、前記ビットラインと前記第1の配線を接続するコンタクトホールを有するONO膜を具備する請求項1から3記載の半導体装置。
- [5] 半導体基板に埋め込まれたビットラインと、
該ビットライン上に設けられた層間絶縁膜と、
該層間絶縁膜上に設けられ、前記ビットラインと前記層間絶縁膜に形成されたコンタクトホールを介し接続された第1の配線と、を具備し、
前記層間絶縁膜は、前記第1の配線と前記半導体基板とに接続するダミーコンタクトホールを有し、ダミーコンタクトホールは第1の配線の前記トランジスタと前記ビットラインの間の部分に接続する半導体装置。
- [6] 前記ダミーコンタクトホールは、コア領域または前記コア領域および前記周辺回路領域の間の領域に形成された請求項5記載の半導体装置。
- [7] 前記ダミーコンタクトホールは、前記半導体基板に埋め込まれたダミー拡散領域に接続する請求項6記載の半導体装置。
- [8] 前記ビットラインと前記層間絶縁膜の間にONO膜を具備し、
前記ONO膜に前記コンタクトホールが形成されている請求項5から7のいずれか一項記載の半導体装置。

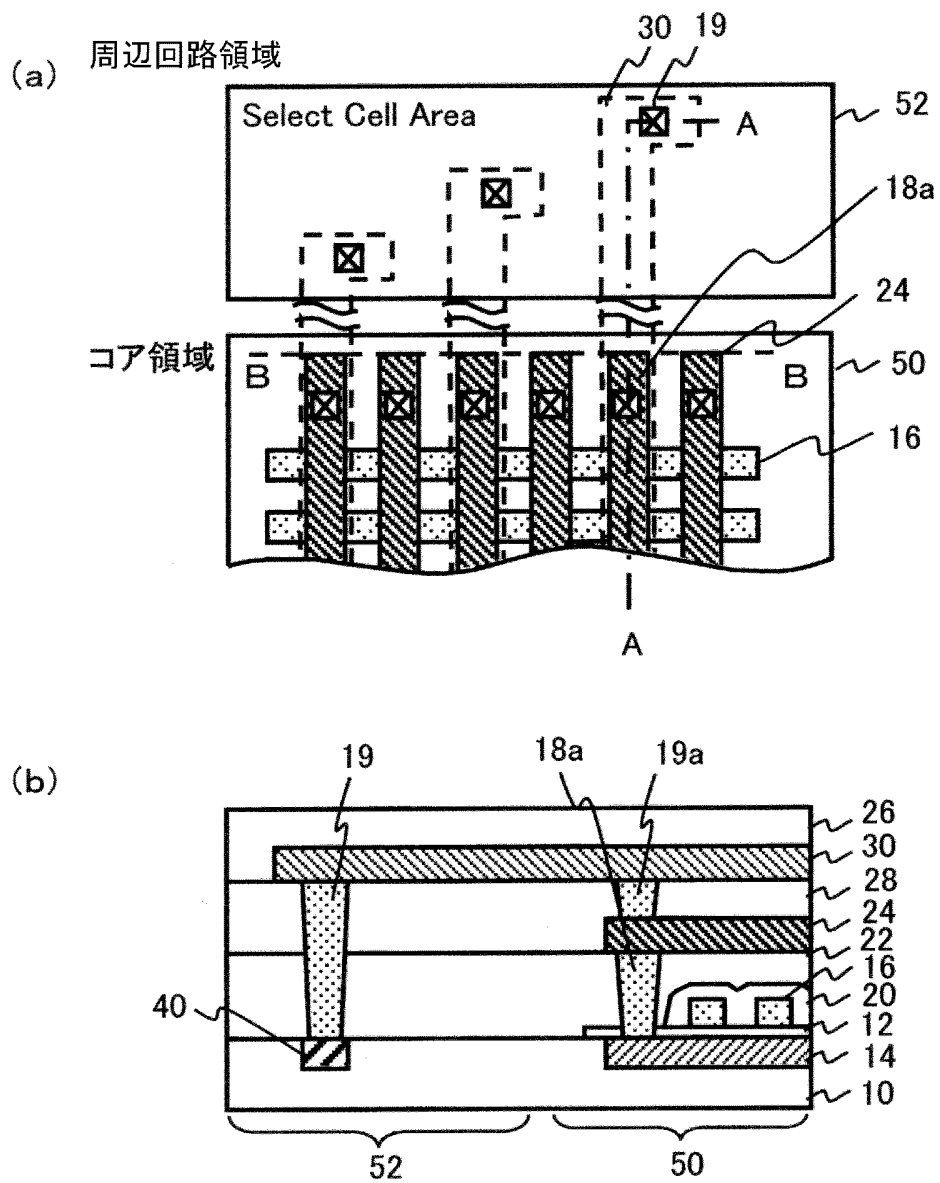
- [9] 前記周辺回路領域は、セレクト・セル・エリアである請求項1から8のいずれか一項記載の半導体装置。
- [10] 半導体基板に埋め込まれたビットラインを形成する工程と、
該ビットライン上に、前記ビットラインと接続する第1の配線を形成する工程と、
該第1の配線上に設けられ、前記第1の配線と周辺回路領域のトランジスタとを接続する第2の配線を形成する工程と、を具備し、
前記第1の配線は前記第2の配線を介してのみ前記トランジスタと接続する半導体装置の製造方法。
- [11] 前記第1の配線を形成する工程は、前記トランジスタと接続し前記第2の配線が接続すべき第3の配線を形成する工程を備える請求項10記載の半導体装置の製造方法。
- [12] 前記半導体基板上にONO膜を形成する工程を具備し、
前記第1の配線は、前記ONO膜に形成されたコンタクトホールを介し、前記ビットラインに接続された請求項10または11記載の半導体装置の製造方法。
- [13] 半導体基板に埋め込まれたビットラインを形成する工程と、
該ビットライン上に層間絶縁膜を形成する工程と、
該層間絶縁膜に、前記ビットラインと接続するコンタクトホールを形成する工程と、
前記層間絶縁膜上に、周辺回路領域のトランジスタおよびビットラインと接続する第1の配線を形成する工程と、を具備し
前記コンタクトホールを形成する工程は、前記半導体基板と接続し、前記トランジスタと前記ビットライン間の前記第1の配線に接続するためのダミーコンタクトホールを形成する工程を含む半導体装置の製造方法。
- [14] 前記ビットラインを形成する工程は、前記ダミーコンタクトホールに接続するための前記半導体基板に埋め込まれたダミー拡散領域を形成する工程を含む請求項13記載の半導体装置の製造方法。
- [15] 前記半導体基板上にONO膜を形成する工程を具備し、
前記コンタクトホールを形成する工程は、前記ONO膜にコンタクトホールを形成する工程を含む請求項13または14記載の半導体装置の製造方法。

- [16] 前記周辺回路領域は、セレクト・セル・エリアである請求項11から15のいずれか一項記載の半導体装置の製造方法。

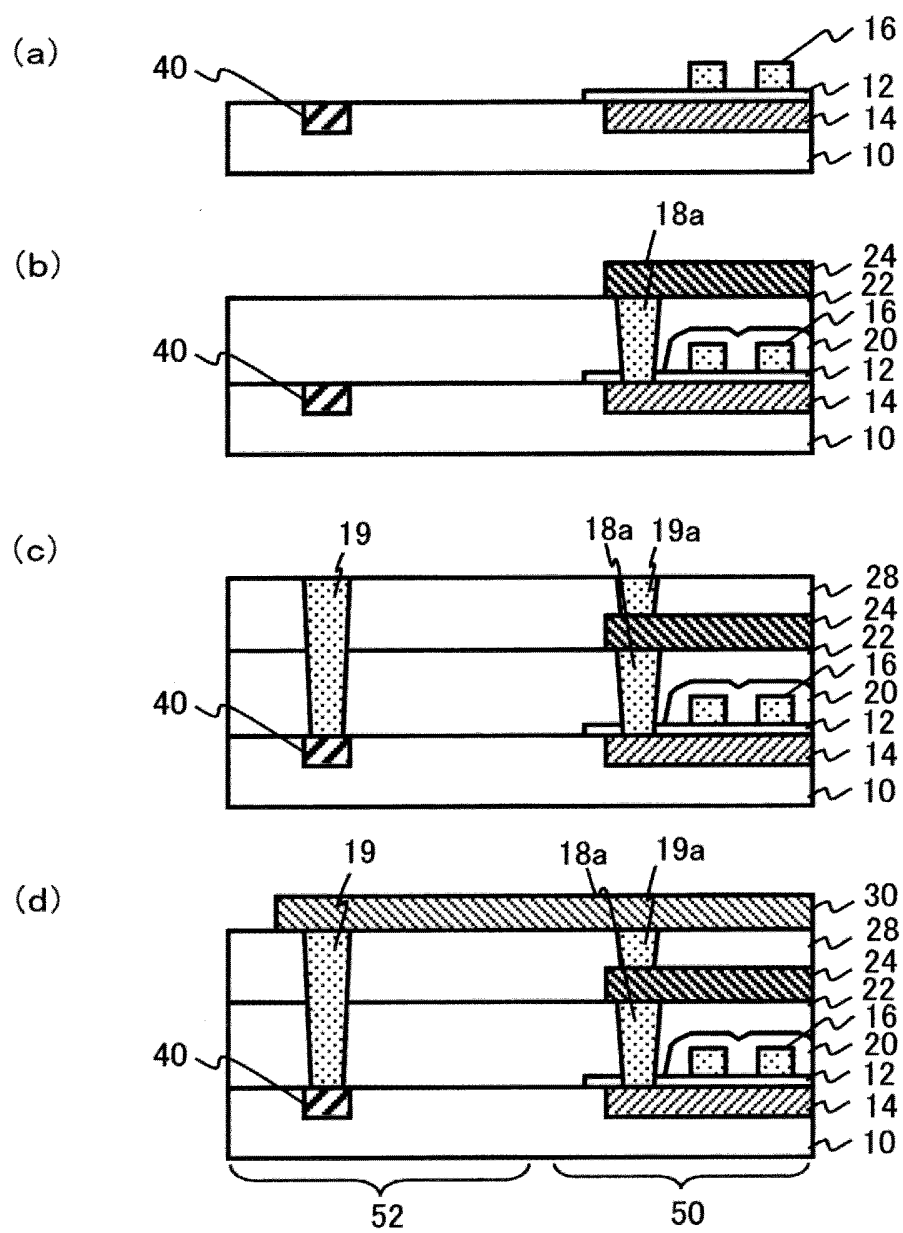
[図1]



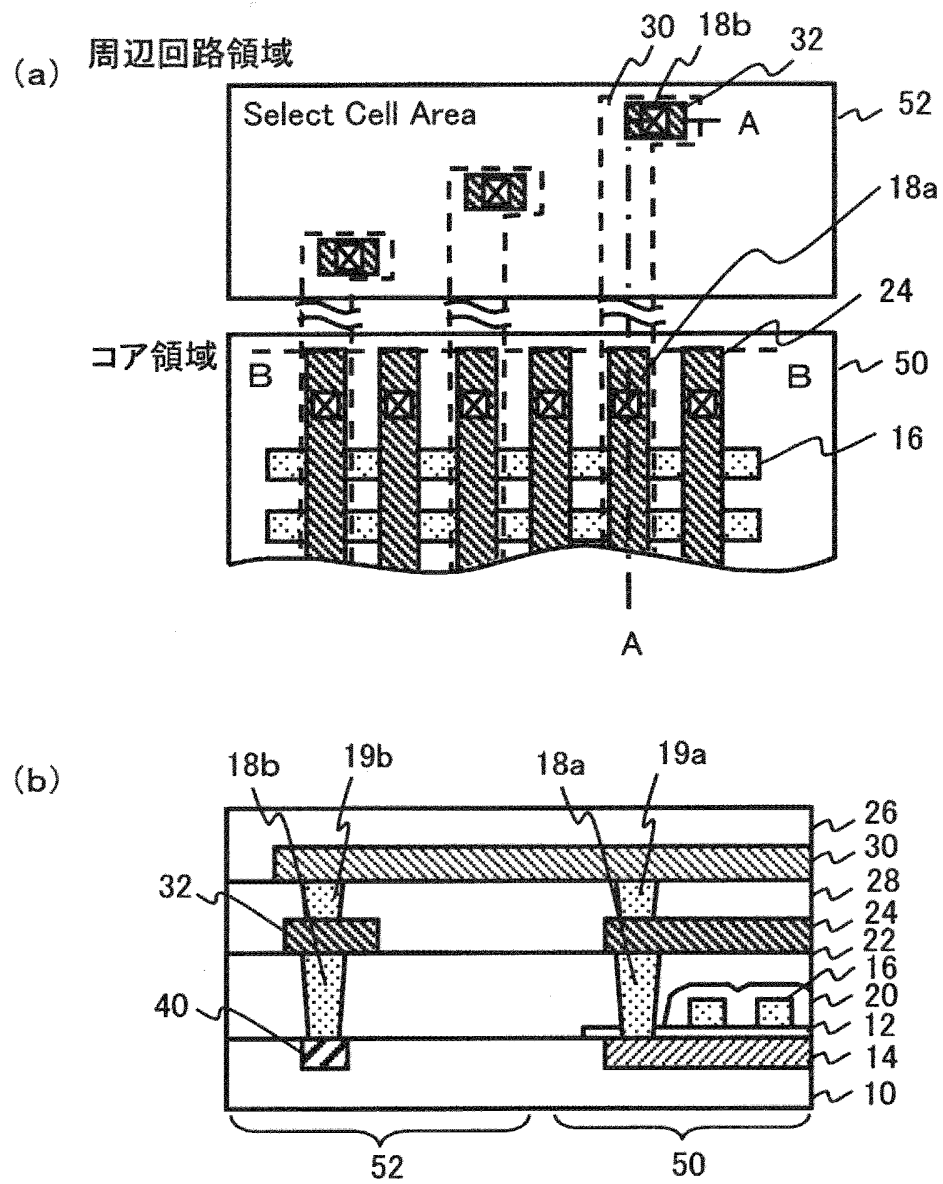
[図2]



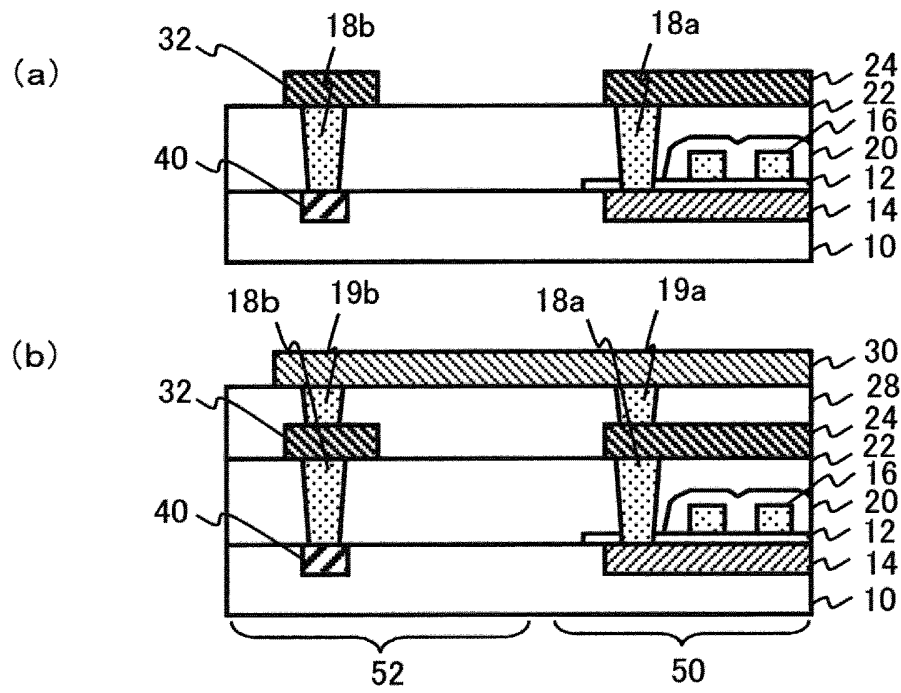
[図3]



[図4]

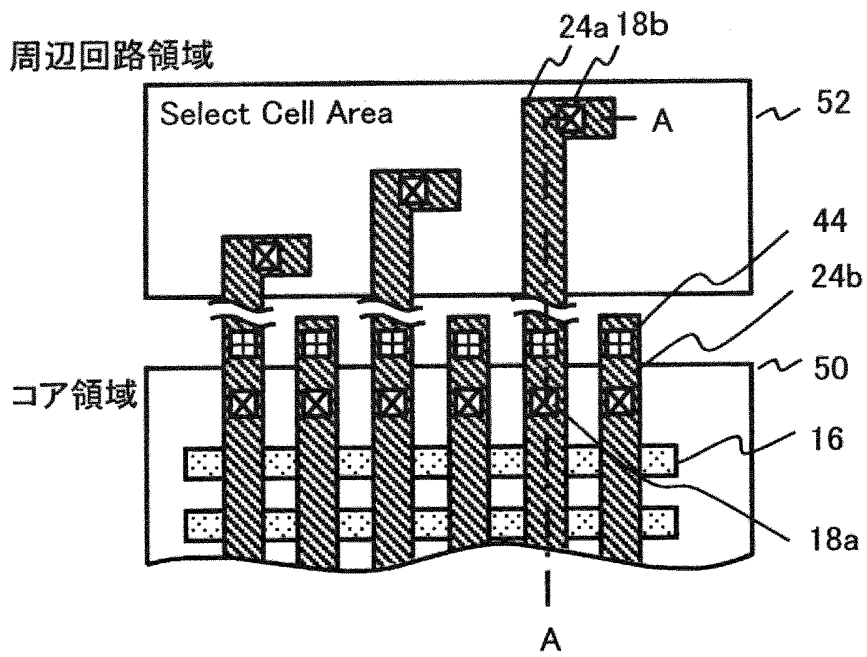


[図5]

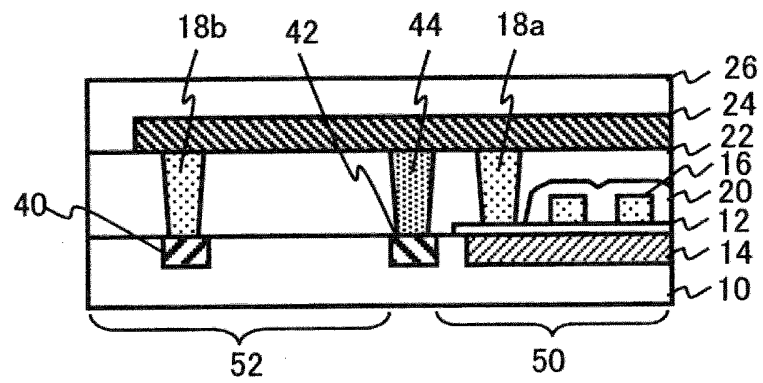


[図6]

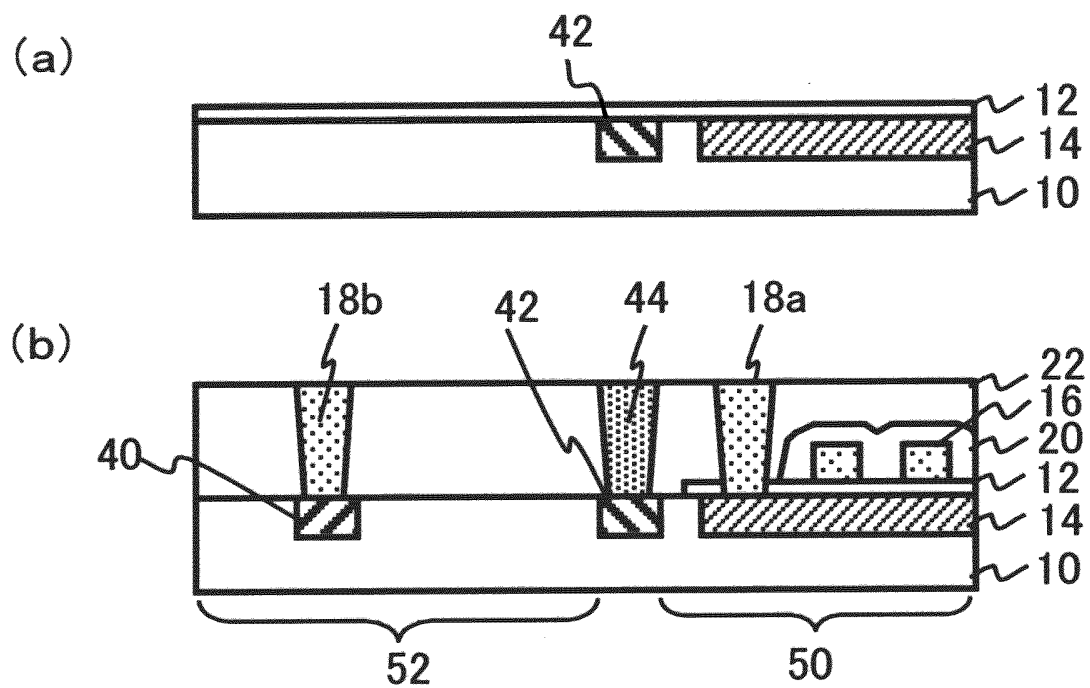
(a) 周辺回路領域



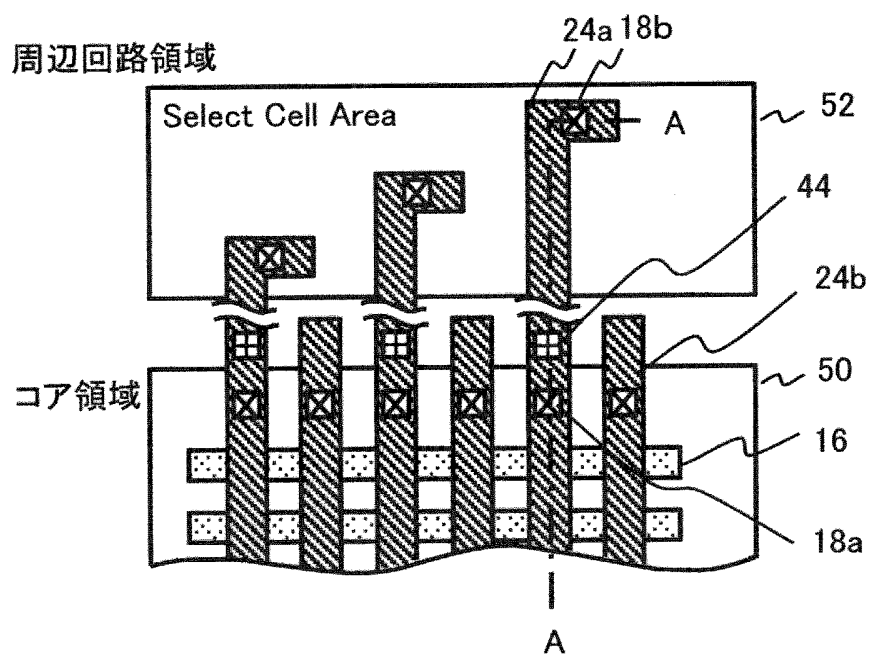
(b)



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009879

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-158298 A (Fujitsu Ltd.), 31 May, 2002 (31.05.02), Full text; all drawings & EP 1207552 A2 & US 2002/0060365 A1 & KR 2002038471 A & TW 519765 A	1-16
A	JP 2001-267437 A (Sony Corp.), 28 September, 2001 (28.09.01), Full text; all drawings (Family: none)	1-16
A	JP 2004-193178 A (FASL JAPAN Kabushiki Kaisha), 08 July, 2004 (08.07.04), Full text; all drawings & US 2004/0110390 A1 & KR 2004049791 A	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 August, 2005 (22.08.05)

Date of mailing of the international search report
06 September, 2005 (06.09.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009879

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-115490 A (Seiko Epson Corp.), 18 April, 2003 (18.04.03), Full text; all drawings (Family: none)	1-16
A	JP 2000-124311 A (Kawasaki Steel Corp.), 28 April, 2000 (28.04.00), Full text; all drawings (Family: none)	1-16
A	JP 2001-28396 A (NEC Corp.), 30 January, 2001 (30.01.01), Full text; all drawings & KR 2001029951 A & US 6496959 B1	1-16
A	JP 2001-196480 A (Hyundai Electronics Industries Co., Ltd.), 19 July, 2001 (19.07.01), Full text; all drawings & KR 2001061395 A & US 6472752 B1	1-16
A	JP 11-97560 A (NEC Corp.), 09 April, 1999 (09.04.99), Full text; all drawings & EP 903789 A2 & CN 1212466 A & KR 99029546 A & US 2001/0052616 A1 & US 2001/0055847 A1	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009879

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claims 1-4, 9, 10-12, 16 relates to "a semiconductor device wherein a first wiring is connected with a transistor only through a second wiring".

The invention of claims 5-8, 13-15 relates to "a semiconductor device wherein a dummy contact hole is connected to a portion of a first wiring located between the transistor and the bit line".

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-158298 A(富士通株式会社) 2002.05.31 全文, 全図 &EP 1207552 A2 &US 2002/0060365 A1 &KR 2002038471 A &TW 519765 A	1-16
A	JP 2001-267437 A(ソニー株式会社) 2001.09.28 全文, 全図(ファミリーなし)	1-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

22.08.2005

国際調査報告の発送日

06.9.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-193178 A (FASL JAPAN 株式会社) 2004. 07. 08 全文, 全図 &US 2004/0110390 A1 &KR 2004049791 A	1-16
A	JP 2003-115490 A (セイコーエプソン株式会社) 2003. 04. 18 全文, 全図 (ファミリーなし)	1-16
A	JP 2000-124311 A (川崎製鉄株式会社) 2000. 04. 28 全文, 全図 (ファミリーなし)	1-16
A	JP 2001-28396 A (日本電気株式会社) 2001. 01. 30 全文, 全図 &KR 2001029951 A &US 6496959 B1	1-16
A	JP 2001-196480 A (現代電子産業株式会社) 2001. 07. 19 全文, 全図 &KR 2001061395 A &US 6472752 B1	1-16
A	JP 11-97560 A (日本電気株式会社) 1999. 04. 09 全文, 全図 &EP 903789 A2 &CN 1212466 A &KR 99029546 A &US 2001/0052616 A1 &US 2001/0055847 A1	1-16

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-4, 9, 10-12, 16に係る発明は、「第1の配線は、第2の配線を通じてのみトランジスタと接続する半導体装置」に関するものである。

請求の範囲5-8, 13-15に係る発明は、「ダミーコンタクトホールは第1の配線の前記トランジスタと前記ビットラインの間の部分に接続する半導体装置」に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。