

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/76 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200480010727.2

[45] 授权公告日 2008 年 7 月 2 日

[11] 授权公告号 CN 100399536C

[22] 申请日 2004.4.21

[21] 申请号 200480010727.2

[30] 优先权

[32] 2003.4.21 [33] US [31] 60/464,491

[32] 2004.4.21 [33] US [31] 10/828,898

[86] 国际申请 PCT/US2004/012236 2004.4.21

[87] 国际公布 WO2004/095112 英 2004.11.4

[85] 进入国家阶段日期 2005.10.21

[73] 专利权人 斯欧普迪克尔股份有限公司

地址 美国宾夕法尼亚州

[72] 发明人 威普库马·帕特尔 马格利特·吉龙

普拉卡什·约托斯卡

罗伯特·凯斯·蒙特哥莫里

卡尔潘都·夏斯特里

索哈姆·帕塔克

凯瑟琳·A. 亚努舍弗斯奇

[56] 参考文献

US5924004A 1999.7.13

US5757986A 1998.5.26

US20030003738A1 2003.1.2

审查员 蒋煜婧

[74] 专利代理机构 北京安信方达知识产权代理有限公司

代理人 王漪 郑霞

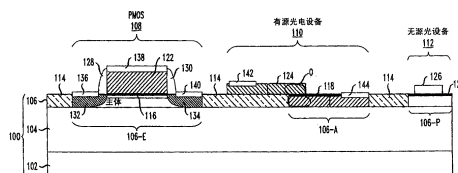
权利要求书 1 页 说明书 15 页 附图 5 页

[54] 发明名称

带有电设备的硅基光设备的 CMOS 兼容集成

[57] 摘要

使用传统的 CMOS 制造技术，在共同 SOI 结构上集成无源光设备和带有标准 CMOS 电设备的有源光电设备。电设备和光设备共有 SOI 层表面（相对薄的单晶硅层），并在 SOI 层上形成多种所需的半导体层。某些情况下，可以使用一组工艺步骤在电设备和光设备上同时形成区。有利地是，使用相同的金属化工艺为电设备和有源光电设备提供电连接。



1. 一种 SOI 基光电装置，其包括：

硅基质；

被包埋的绝缘层；

单晶硅层，该单晶硅层置于被包埋的绝缘层上，所述单晶硅层具有不大于  $100$  缺陷/cm<sup>2</sup> 的光缺陷数值，所述光缺陷定义为呈现不小于在所述单晶硅层中传播的光的有效波长  $\lambda_{\text{有效}}$  的  $1/20$  比例的尺寸的元素；

至少一个有源光元件区，其包括

置于单晶硅层的一部分上的薄绝缘层；和

半导体类似掺杂硅层，该半导体类似掺杂硅层置于薄绝缘层上以部分覆盖单晶硅层；和

至少一个电元件区，其包括

置于单晶硅层单独部分上的薄绝缘层；和

置于薄绝缘层上的深度掺杂栅极金属类似硅层，其中在每个光元件区形成一个或者更多光设备，在每个电元件区形成一个或者更多电设备；和

用于至少一个电元件和至少一个有源光元件的共用的电连接装置，该共用的电连接装置包括一层或者更多层金属化物。

2. 权利要求 1 所述的 SOI 基光电装置，其中所述光缺陷数值选自由  $1$  缺陷/cm<sup>2</sup>、 $10$  缺陷/cm<sup>2</sup> 和  $100$  缺陷/cm<sup>2</sup> 所组成的组。

3. 权利要求 1 所述的 SOI 基光电装置，其中所述  $\lambda_{\text{有效}}$  的比例选自由  $1/5$ 、 $1/10$ 、 $1/15$  和  $1/20$  所组成的组。

4. 权利要求 1 所述的 SOI 基光电装置，其中所述光缺陷进一步定义为呈现不小于所述单晶硅层厚度的  $1/10$  比例的尺寸的元素。

## 带有电设备的硅基光设备的 CMOS 兼容集成

### 相关申请的参考

本发明要求 2003 年 4 月 21 日提交的临时申请 No.60/464,491 的优先权。

### 技术领域

本发明涉及用于硅基光设备的传统 CMOS 兼容制造技术，更特别的是，涉及可以在绝缘层上覆硅（SOI）结构上集成带有硅基无源光设备和有源光电设备的传统 CMOS 电设备的 CMOS 兼容制造技术的使用。

### 背景技术

集成电路可以在绝缘层上覆硅（SOI）的基质上进行加工以达到（与大块的硅基质相比）更高的设备速度和/或更低的功耗。SOI 结构包括硅基质、被包埋的绝缘层（例如二氧化硅）以及相对薄的（例如亚微米）单晶硅表面层，其中这种表面层通常被称作“SOI”层。在光学领域，SOI 可以被用作红外波长（1.1  $\mu\text{m}$ ~5.0  $\mu\text{m}$ ）的波导层，其中硅几乎是透明的。通过在波导层形成可反射的、狭薄的以及传导的界面，可以实现无源光设备（例如：镜子、脊形波导、透镜以及光栅等）。另外，使用在集成电路中实现电子功能的相同自由载体（电子和空穴），可以灵活操控硅中的光。硅中自由载体的注入或者迁移可以影响波导的实数和虚数折射率（real and imaginary index），并引起通过波导传输的光的周相移动吸收。如果正确地设计并与硅波导中光限制（confinement）相结合的话，电设备会调节波导的光性能，进而影响光学模式。结果，SOI 技术为电子的、无源光的以及有源光电的设备的单片集成电路提供了强大的平台。

为了充分利用一直研究的在 SOI 平台上制作电设备的基础知识和专门技术，必须使用与制造电设备相同薄的 SOI 层来制造无源光和有源光电设备。因此，有效地将光耦合入相对薄的 SOI 层、低损失的引导光并实现对

光在高速下灵活操纵（例如，调节和检测）的这种能力，需要在不显著地影响传统电路性能的情况下完成。为了能够利用开发的硅集成电路工业的投资、基础以及规律，光设备和光电设备的设备结构和制造方法必须要适应集成电路工业的发展。

SOI 基电设备以及许多设备体系结构（例如：局部耗散的 CMOS、完全耗散的 CMOS 以及 BiCMOS 等）是本领域中已知的并且目前正在大量生产先进集成电路中以实现高性能。

图 1 表示了现有技术的 SOI 基 CMOS 设备 10 的示例。正如已知的，CMOS 设备包含 PMOS（P-通道）晶体管 12 和 NMOS（N-通道）晶体管 14。SOI 结构包含硅基质 16、包埋的绝缘层 18 和相对薄的 SOI 层 20。在 PMOS 晶体管 12 和 NMOS 晶体管 14 之间的电隔离是通过去除非晶体管区域的 SOI 层 20 部分，并用电介质绝缘材料填充这些区域来实现的，如图 1 中的绝缘区 22 所示。

在常规现有技术 CMOS 工艺中，晶体管通常使用下面示范的步骤来形成：

- 使用适当的掺杂类型和分布对 SOI 层 20 的活性区进行掺杂，以形成每个设备的主体区和通道区，例如 PMOS 晶体管 12 的 n-型主体区 24 和 p-通道区 26，以及 NMOS 晶体管 14 的 p-型主体区 28 和 n-通道区 30。
- 形成薄栅绝缘层以覆盖通道区 26 和 30，其中如果使用氧的话，通过使用热处理来生长该绝缘层，形成 PMOS 晶体管栅极绝缘体 34 和 NMOS 晶体管栅极绝缘体 36 的绝缘层。
- 通过沉积，掺杂以及对硅层进行图形化（通常以多晶硅的形式），形成 PMOS 晶体管栅极区 38 和 NMOS 晶体管栅极区 40。
- 在 PMOS 晶体管栅极区 38 的任一侧形成侧壁间隔(sidewall spacers) 42 和 44，以及在 NMOS 晶体管栅极区 40 的任一侧形成侧壁间隔 46 牙口 48。
- 使用照相平版法/离子渗入法，形成自排列源以及漏极部分（利用侧壁间隔），为 PMOS 晶体管 12 形成 p+漏极和源区 50 和 52，以及为

NMOS 晶体管 14 形成漏极和源区 54 和 56。

- 在电接触区形成硅化物，例如 PMOS 晶体管 12 的硅化物接触区 58、60 和 62，以及 NMOS 晶体管 14 的硅化物接触区 64、66 和 68。
- 形成最终的接触以及多层金属化结构（如图 4 所示，将在下面讨论）。

需要注意的是，上面的工艺描述只是作为示例来表示通常所使用的 NMOS 和 PMOS 晶体管设备的结构（CMOS 技术中使用的基本元件）以及制造 CMOS 设备的通常工艺步骤。取决于所使用技术（CMOS 和 BiCMOS 等）以及制作工具，可以使用不同的工艺步骤来制造大量不同的晶体管结构。

在 MOS 晶体管中，通过对晶体管的源、漏极以及栅极区的硅化物接触施加适当的电压以形成通道区（例如图 1 中的通道区 26 和 30）。通过调节栅电压来调节通道区的电导，从而调节源和漏极之间的电流。为了将与栅极区相关的阻抗最小化，使用适当的杂质对多晶硅材料进行深度掺杂以得到“金属类似”的电性能。

现有技术描述了使用相对厚的 SOI 层（例如几微米厚）来制作光电设备。厚 SOI 层的使用将光波导和光电设备限制为多模，很难最佳利用自由载体基电光效以进行光的操控。而且，由于在厚 SOI 层所形成的块状硅区，不能够实现传统 SOI CMOS 电子学的高速和低功率。另外，需要低分辨率、非传统的工艺例如深度反应离子蚀刻（RIE）来确定光设备，而且所得到的拓扑（topology）也限制了传统平板化和多水平金属化工艺的应用，进一步限制实现在相同基质上结合光电设备的高品质电学性能。

#### 发明的简要说明

本发明着眼于现有技术的需要，其涉及 CMOS 兼容制造技术的应用，该技术用于实现在共用 SOI 晶片上集成带有硅基无源光设备和有源光电设备的传统 CMOS 电设备。

根据本发明，在开始任何设备制造前，首先进行晶片级别测试以确定 SOI 晶片的质量，从而极大降低影响光性能和制造设备产量的光缺陷的可能性。一旦晶片被认为是“有资格的”（从光和电缺陷两个角度判定），使用传统的 CMOS 工艺步骤形成了与电、无源光和有源光电的元件相连的各

种层。在本发明的一个实施方式中，电设备的各种区与光学元件同时形成。

在本发明的另一实施方式中，使用共用的绝缘体和共用的硅层来形成电的、无源光的和有源光电的设备。对共用硅层的不同区进行不同的掺杂以得到用于电设备的“金属类似”栅极区、用于有源光电设备的“半导体类似”硅区以及用于无源光设备的“绝缘体类似”硅区。

在本发明的另一个实施方式中，首先在 SOI 基质上形成与无源光元件和有源光电元件相连的薄绝缘层和光学硅层。接下来，在相同 SOI 基质的其他区形成与电学元件相连的绝缘层和硅层。

本发明的一个重要方面是使用一组共用的绝缘隔离层、接触物并通过为连接光学和电学元件不同区而形成开口和金属化层。在工艺的最后步骤中形成用来将光输入信号输入 SOI 层的开口。

本发明提供一种 SOI 基光电装置，其可包括：

硅基质；

被包埋的绝缘层；

单晶硅(SOI)层，该单晶硅层置于被包埋的绝缘层上，所述单晶硅层具有小于预定数值的缺陷/cm<sup>2</sup>的光缺陷数值，缺陷定义为呈现大于在所述单晶硅层中传播的光的有效波长  $\lambda_{\text{有效}}$  的预定比例的尺寸的元素；

至少一个有源光元件区，其包括

置于 SOI 层的一部分上的薄绝缘层；和

半导体类似掺杂硅层，该半导体类似掺杂硅层置于薄绝缘层上以部分覆盖 SOI 层；和

至少一个电元件区，其包括

置于 SOI 层单独部分上的薄绝缘层；和

置于薄绝缘层上的深度掺杂栅极金属类似硅层，其中在每个光元件区形成一个或者更多光设备，在每个电元件区形成一个或者更多电设备；和

用于至少一个电元件和至少一个有源光元件的共用的电连接装置，该共用的电连接装置包括一层或者更多层金属化物。

所述的 SOI 基装置，其中所述预定数值的缺陷/cm<sup>2</sup>可选自由 1 缺陷/cm<sup>2</sup>、10 缺陷/cm<sup>2</sup> 和 100 缺陷/cm<sup>2</sup> 所组成的组。所述的 SOI 基装置，其中所述  $\lambda_{\text{有效}}$  的预定

比例可选自由 1/5、1/10、1/15 和 1/20 所组成的组。所述的 SOI 基装置，其中所述光缺陷进一步定义为呈现大于所述单晶硅层厚度的预定比例的尺寸的元素。

本发明提供一种 SOI 基光电装置，其包括：硅基质；被包埋的绝缘层；单晶硅(SOI)层，该单晶硅层置于被包埋的绝缘层上；至少一个有源光元件区，其包括置于 SOI 层的一部分上的薄绝缘层，和半导体类似掺杂硅层，该半导体类似掺杂硅层置于薄绝缘层上以部分覆盖 SOI 层；和至少一个电元件区，其包括置于 SOI 层单独部分上的薄绝缘层，和置于薄绝缘层上的深度掺杂栅极金属类似硅层，其中在每个光元件区形成一个或者更多光设备，在每个电元件区形成一个或者更多电设备；和用于至少一个电元件和至少一个有源光元件的共用的电连接装置，该共用的电连接装置包括一层或者更多层金属化物。

所述的 SOI 基装置，其中共用的电连接装置可包含置于选自光元件区和电元件区的两个区上的硅化物接触区，该硅化物接触区包含相同的材料并同时形成以具有实质上相同的厚度。所述的 SOI 基装置，其中共用电连接装置可包括将硅化物连接到置于有源光元件区和电元件区上的第一金属层的接触区，该接触区包含相同的材料并同时形成。所述的 SOI 基装置，其中共用电连接装置可包括置于有源光元件区和电元件区的至少一个金属层，其包括相同的材料并同时形成以提供在至少一个有源光设备和至少一个电设备之间的电连接。所述的 SOI 基装置，其中共用电连接装置可包括设置于有源光元件区和电元件区的至少两个金属层，其使用金属间层连接通道而相互连接，包括相同的材料并同时形成。

所述的 SOI 基装置，其中单晶硅层可具有光缺陷的数目小于预定的缺陷数 /  $\text{cm}^2$ 。

所述的 SOI 基装置，其中在至少一个有源光元件区中半导体类似掺杂硅层的厚度可实质上等于或小于在至少一个电元件区中深度掺杂栅极金属类似硅层的厚度。

所述的 SOI 基装置，其中在至少一个有源光元件区中薄绝缘层的厚度可实质上等于在至少一个电元件区域中薄绝缘层的厚度。

本发明还提供一种 SOI 基光电装置，其包括：硅基质；被包埋的绝缘层；置于被包埋的绝缘层上的单晶硅(SOI)层；至少一个光学元件区，其

包括置于 SOI 层一部分上的薄绝缘层，和置于薄绝缘层上的硅层与 SOI 层部分重叠；至少一个电元件区，其包括置于 SOI 层单独部分上的薄绝缘层，和置于薄绝缘层上深度掺杂的栅极金属类似硅层，其中在每个光元件区形成一个或者更多光设备，并且在每个电元件区形成一个或者更多电设备；以及共用的电连接装置，其包括一层或者更多层金属化合物。

所述 SOI 基装置中包埋的绝缘层可包含二氧化硅。所述 SOI 基装置中二氧化硅层的厚度可大于  $0.4\mu\text{m}$ 。所述 SOI 基装置中单晶硅的厚度可小于 1 微米。

所述 SOI 基装置中在至少一个光元件区中硅层的厚度可小于 1 微米。所述 SOI 基装置中在至少一个光元件区中硅层的厚度可实质栅等于在至少一个电元件区中深度掺杂栅极金属类似硅层的厚度。所述 SOI 基装置中在至少一个光元件区中硅层的厚度可小于在至少一个电元件区中深度掺杂栅极金属类似硅层的厚度。所述 SOI 基装置中在至少一个光元件区中硅层的厚度可大于在至少一个电元件区中深度掺杂栅极金属类似硅层的厚度。所述 SOI 基装置中在至少一个光元件区中硅层的厚度可被选择用来限制光模峰值强度从而实质上覆盖载体操控区。

所述 SOI 基装置，其中在至少一个光元件区中薄绝缘层的厚度可小于  $1000\text{\AA}$ 。所述 SOI 基装置，其中在至少一个光元件区中薄绝缘层可选自二氧化硅、氮化硅、硅的氧氮化物、氧化铍和氧化铅。所述 SOI 基装置，其中在至少一个光元件区中薄绝缘层的厚度可实质上等于在至少一个电元件区中薄绝缘层的厚度。所述 SOI 基装置，其中在至少一个光元件区中薄绝缘层的厚度可小于在至少一个电元件区中薄绝缘层的厚度。所述 SOI 基装置，其中在至少一个光元件区中薄绝缘层的厚度可大于在至少一个电元件区中薄绝缘层的厚度。

所述 SOI 基装置，其中在至少一个光元件区中硅层可选自单晶硅、实质单晶硅、应变硅、不定形硅和聚硅。所述 SOI 基装置，其中聚硅可选自颗粒大小增加的聚硅、颗粒排列整齐的聚硅和颗粒边缘钝化的聚硅。

所述 SOI 基装置，其中在至少一个光元件区中硅层可包含单层结构。所述 SOI 基装置，其中在至少一个光元件区中硅层可包含多层结构。所述 SOI 基装置，其中多层结构可包括超过一种形式的硅。所述 SOI 基装置，其中多层结构的每层可包含相同形式的硅。所述 SOI 基装置，其中在至少一



个光元件区中至少一个硅层的拐角可以是圆的以减少光信号损失。

所述 SOI 基装置，其中在至少一个光元件区中至少一个部分硅层可被掺杂以形成有源“半导体类似”光设备区。所述 SOI 基装置，其中在至少一个有源光设备区内 SOI 层的部分可被掺杂以表现出与硅层相反的导电性。所述 SOI 基装置，其中每个被掺杂部分可包含单独的低含量掺杂物区，用于操控光信号，以及单独的高含量掺杂物区，用于电操控信号的应用。

所述 SOI 基装置，其中在至少一个光元件区中至少一个部分硅层可以是未被掺杂的，从而形成无源光设备区。

所述 SOI 基装置，其中共用的电连接装置可包含置于选自光元件区的两个区上的硅化物接触区，该硅化物接触区可包含相同的材料并同时形成以具有实质上相同的厚度。所述 SOI 基装置，其中接触硅化物可选自硅化钽、硅化钛、硅化钨、硅化钴、硅化镍和硅化钼。所述 SOI 基装置，其中共用电连接装置可包括将硅化物连接到设置于有源光元件区和电元件区上的第一金属层的接触区，该接触区包含相同的材料并同时形成。所述 SOI 基装置，其中共用电连接装置可包括置于光元件区和电元件区的至少一个金属层，其包括相同材料并同时形成以提供在至少一个光设备和至少一个电设备之间的电连接。所述 SOI 基装置，其中共用电连接装置可包括置于有源光元件区和电元件区的至少两个金属层，其使用金属间层连接通道而相互连接，包括相同材料并同时形成。

所述 SOI 基装置，其中至少一个金属层的任何金属层与有源光设备在光区的光限制区之间的最小距离可大于 1 微米。所述 SOI 基装置，其中任何硅化物层和光设备在光区的光限制区之间的最小距离可大于 0.2 微米。

所述 SOI 基装置，其中单晶硅层具有光缺陷的数目可少于预定的缺陷数/cm<sup>2</sup>，缺陷定义为具有大于在 SOI 层中传播的光的有效波长  $\lambda_{\text{有效}}$  预定比例的要素。所述 SOI 基装置，其中预定的缺陷数可选自 1 个缺陷/cm<sup>2</sup>、10 个缺陷/cm<sup>2</sup>、和 100 个缺陷/cm<sup>2</sup>。所述 SOI 基装置，其中有效波长  $\lambda_{\text{有效}}$  的预定比例可选自 1/5、1/10、1/15、1/20。所述 SOI 基装置，其中单晶硅层具有光缺陷的数目可少于预定的缺陷数/cm<sup>2</sup>，缺陷定义为具有大于 SOI 层厚度的预定比例的要素。所述 SOI 基装置，其中预定的缺陷数可选自 1 个缺陷/cm<sup>2</sup>、10 个缺陷/cm<sup>2</sup>、和 100 个缺陷/cm<sup>2</sup>。所述 SOI 基装置，其中的 SOI 层厚度的预定比例可选自 1/2、1/3、1/4、1/5 和 1/10。所述 SOI

基装置，其中可通过将相对薄的绝缘层沉积在 SOI 层上之前采用氢气退火操作来减少光缺陷数目。

所述 SOI 基装置，其中可选择在至少一个光元件区中 SOI 层、绝缘层和硅层的组合厚度以支持单一光模在垂直方向的传播。所述 SOI 基装置，其中 SOI 层可以是使用外延生长工艺形成的，以降低光缺陷密度。所述 SOI 基装置，其中可从装置的上表面打开窗口以暴露用来形成光耦合区的 SOI 层的一部分。所述 SOI 基装置，其中 SOI 层的暴露部分的最终表面可以是原子级光滑的。所述 SOI 基装置，其中光耦合区可提供光信号瞬时耦合进入和离开 SOI 层。所述 SOI 基装置，其中窗口可以是使用照相平版/蚀刻步骤而形成。所述 SOI 基装置，其中窗口可以是使用多重照相平版/蚀刻步骤而形成。

通过引用附图，本发明的各种其他装置和性能将在下面的讨论中清楚地描述。

#### 附图说明

关于附图，其中相同的数字代表几个视图中相同的部分。

图 1 描述现有技术 CMOS 设备的一个示例，包含 PMOS 和 NMOS 晶体管；

图 2 是一种用来检测光信号传播过程中在相对薄的 SOI 层之间引起斑纹的光缺陷存在的装置；

图 3 描述本发明的一个实施方式，其描述了利用一个共同的表面 SOI 层，在共同的 SOI 基质上形成电 PMOS 晶体管、有缘光电设备和无源光设备；

图 4 描述与图 3 相同的设备，其包括使用一组共同的金属化层为电设备和有源光电设备提供电连接；和

图 5 描述一个最终示例结构，其包括通过金属层和绝缘层的开口来暴露 SOI 层的区，其为 SOI 层之间的波导区提供外部光信号的耦联。

#### 详细说明

如上面所述，本发明公开了一种 CMOS 兼容加工方案来制备带有传统 CMOS 电设备的平面光的和光电的设备，其没有显著地改变高速/低功率

CMOS 晶体管/电路的性能，并有高产率。

当开始在亚微米厚的 SOI 层上研究光和光电设备时，发明人在某些样品中观察到了后面称为“斑纹”的现象。概括地说，当光沿着亚微米的 SOI 层传播遇到某种类型的光缺陷时会出现“斑纹”。缺陷会扰乱波导的局部有效折射率并导致散射发生，有时也产生降低所形成的光元件性能的干涉图。

已经发现影响 SOI 晶片光性能的大多数缺陷（例如引起光散射的物理缺陷）比影响电性能相关的缺陷在尺寸上要小一些。另外，这些光缺陷的厚度会比“SOI”层小得多，并可以定位于越过 SOI 层厚度的任何位置（例如亚表面缺陷），并且使用传统 IC 缺陷检测工具也检测不到。因此，能够高产量形成电元件的晶片可能包含大量很小的光学缺陷，这使高产量形成光设备的晶片无法被接受。迄今，SOI 晶片生产（和/或集成电路生产）没有经历过筛选光缺陷的需要。现在，随着电和光元件在相同 SOI 晶片上的集成，需要新的筛选技术，这样在制作任何光学设备之前就拒绝带有超过一定光学缺陷的 SOI 晶片，从而节约在不能支持光信号传输的 SOI 晶片之间形成光子系统上的时间和费用。

图 2 中描述了用于检测光斑纹缺陷的示例装置 80。将检测棱镜 82 放置于被检测的 SOI 结构的 SOI 层 20 上表面 84。准直输入光束是从棱镜 82 瞬时耦合入 SOI 层 20。光束接着沿 SOI 层 20 传播，然后通过一个出口棱镜 86 瞬时离开 SOI 层 20。将扫描缝隙检测仪 88 放置在出口棱镜 86 的输出处并用来检测输出信号中“散射”图的出现。如果输出光束与它原始的形态（例如高斯型（Gaussian））不同，可以推测光束沿着信号通路遇到缺陷 D 并且出现斑纹。波导中有效折射率的局部变化对于斑纹的发生是必要的。SOI 层 20 主体（大块）的缺陷能够引起斑纹。另外，位于 SOI 层 20 和被包埋的绝缘层 18 之间界面的缺陷也能够引起斑纹。通常在 SOI 中发现的物理缺陷，例如晶体原生颗粒（COP）（0.1-0.2 $\mu\text{m}$  空间-被带有由氧化物覆盖内表面的{111}位面包围的规则八面体）、位错、微裂纹、涉及氧沉淀物的缺陷、堆积缺陷、划痕以及来自有机物质的内部/表面污染等，都能够引起折射率的局部变化，从而引起斑纹。通过输出光束的形态，可以确定光缺陷的数目、大小和定位以及相关物理缺陷。一旦建立物理缺陷

和光缺陷之间的联系，就能够用良好开发的物理缺陷鉴定方法来确定光缺陷的密度。

实际上，制造方法的第一步是筛选 SOI 层以识别具有少量光缺陷的晶片，其中这些晶片能够提高可操作光设备和光电设备的产率。目前制备 SOI 晶片的生产方法只是为降低电缺陷而优化的。已经发现具有相似特点电缺陷的 SOI 晶片具有显著不同数目与光有关的缺陷，其中已经发现与光有关的缺陷的数目更多地依赖于用来形成 SOI 晶片的制造方法。例如，使用外延生长方法（与成块晶体形成方法相比）似乎每单位面积具有较低密度的光缺陷。而且，使用氢气退火（例如，1150°C 在 80 Torr 下，在氢气中表面退火/平滑大约 1 个小时）来抛光 SOI 层的表面，与使用化学机械抛光法（CMP）对 SOI 层表面进行抛光相比看起来会产生更少的光缺陷。

为了应用 IC 工业中晶片检测基础，设想可以改进大体积 / 高通量的表面光散射检测工具以便进行 SOI 层亚表面光缺陷的无损检测。当然，应该理解的是将来可以使用和开发各种其他技术来鉴定和检测 SOI 晶片的亚表面光缺陷。应该注意的是相同尺寸的光缺陷可能导致不同程度的斑纹，其是 SOI 层的厚度以及用于光设备的波长的一个函数。具有  $\lambda_{\text{有效}}$  预定比例大小（例如 1/10, 1/20）的任何缺陷（其中  $\lambda_{\text{有效}} = \lambda_c / n_{\text{有效}}$ ）会影响遭遇缺陷的设备的光性能。缺陷数目可以按照单位面积来确定。例如，可接受的缺陷数目水平可以是 1 个缺陷/cm<sup>2</sup>、10 个缺陷/cm<sup>2</sup> 以及 100 个缺陷/cm<sup>2</sup> 等。当然，其他比例大小、波导厚度以及每单位面积缺陷数目可以用来确定晶片预扫描的标准，上面的数值只是作为例子来参考。

如上所述和现有技术图 1 所显示的，在 S01 层 20 上形成常规 MOS 设备，其与栅极绝缘材料 34 和硅层 38（典型的是以深度掺杂的多晶硅的形式）一起形成该结构的“栅极”。正如名称 MOS（金属-氧化物-半导体）所表示的，栅极硅层需要具有“金属类似”的电性质。这通过对多晶硅层进行退化掺杂（degenerately doped）然后在栅极硅层的上表面形成硅化物层来实现。相反，在同一 SOI 基质上形成的用于光设备的硅层（以下称为“光硅层”）可以具有任何结构形式（例如单晶硅、多晶硅或者无定形硅）。光可以在只含有 SOI 层的波导与使用光硅层、栅极绝缘材料和 S01 层在相同基

质上结合制作的光导之间进行耦合。

本发明方法的一个优点是“MOS”等价光电结构是通过栅极绝缘层从SOI层分离出来的光硅层而得到。光硅层和SOI层都可以使用平版印刷工艺互相放置在一起，以将光信号最佳地限制在所得到的波导中。通过该结构的各种性质来确定光模的形式，例如层的几何学、层厚度、光硅层和SOI层之间的重叠以及每层的折射率。SOI层结合栅极绝缘层和光硅层可以用来引导光并实现高性能的无源光设备和有源光电设备。需要注意的是，光硅层应该与电MOS设备的栅极硅层相比具有显著地不同的光学和电学性能。例如，MOS设备的栅极硅层被退化掺杂（degenerately doped），并通常被硅化以具有最可能低的电阻。栅极硅层也被优化为在栅极绝缘材料附近具有最低的损耗面积。然而，这些要求会导致高光损，其使形成的光设备的这一层变得无用。

无源光设备可以通过单独使用SOI层或者SOI层、绝缘层和光硅层的结合来实现。在无源光设备中所使用的光硅层必须具有相对低的光损，这被认为光硅层是“绝缘体类似的”，具有相当低的掺杂水平-实质上未被掺杂的-（降低自由载体的吸收）、大的颗粒体积（降低颗粒边界散射）、光滑的表面和侧壁（降低表面散射）以及圆形拐角（最小化由于高光密度点引起的光损）。对于有源光电设备，除了大颗粒体积、光滑的表面和侧壁以及圆形拐角外，光硅层还需要具有“半导体类似”性质，具有控制的掺杂水平以及高载体迁移率。

如前面所提到的，带有SOI基电集成电路的光设备的集成不能够显著改变标准电设备的性能以便利用传统集成电路的设计、制造和成本结构的成熟性。这需要仔细的选择和优化加工时间、温度、环境以及任何对无源光设备和有源光电设备的形成是必要的附加工艺步骤中材料的选择。优选的是，光设备的形成应该尽可能使用与电设备形成相同的步骤，以减少循环时间以及最小化工艺开发成本。

图3中表示根据本发明形成的电设备、有源光电设备和无源光设备集成的示例。该集成是在常用SOI晶片100上形成的，其包括：硅基质102、被包埋的绝缘层104以及表面单晶硅层106（以下称为“SOI层106”）。该

集成包括 PMOS 电设备 108，有源光电设备 110 以及无源光设备 112。如前所述，SOI 层 106 是所有三种设备的共同基础层，能够在单一平版印刷步骤中进行覆盖和图形化以限定用于各种设备的各种区。如果要求 SOI 层环绕在光设备区(如我们 2004 年 3 月 23 日提交的共同等待批准的申请 No. 10/806,738)，也可以使用分离的平版印刷和蚀刻步骤。根据图 3，PMOS 电设备 108 包括标记为“106-E”的一部分 SOI 层 106，其中 106-E 区的内部会形成 PMOS 设备 108 的主体和通道，106-E 的外部将被 p+ 杂质掺杂以形成漏极和源区。SOI 层 106 的区标记为 106-A，其经过图形化和蚀刻后还保留，可以用作有源光电设备 110 的一部分(其中该区可以被掺杂以具有 n 或者 p 传导率，这对于有特别需要的设备是必要的)。特别的，106-A 区中特别限定的区域可以被掺杂以使该层具有某种掺杂性质，并可以通过使用高含量掺杂物来形成该层的接触区。如果可能的话，使用一组通常的覆盖/离子迁入步骤，可以(但不是必需)进行光设备和电设备的某些掺杂步骤(例如接触的掺杂区的形成)，以降低对于实现完整的光电集成电路必要的覆盖步骤的总数量。而且，标记为 106-P 的 SOI 层 106 的区形成无源光设备 112 的一部分，例如波导，其中 106-P 区优选具有很低的掺杂含量以使光损最小化。根据图 3，后来在所有暴露的面积上形成绝缘材料 114 例如二氧化硅，以提供临近设备之间的电隔离。在某些情况下，隔离区形成后，结构可以进行再次平面化。

下面的步骤(或者可能只有一个步骤)是用来形成设备的绝缘层，其中或者形成单一层并用于所有三种类型设备，或者使用一绝缘层用于电设备，第二绝缘层用于光设备(差别在于厚度、材料选择或两者)。当形成第一和第二绝缘层时，优选在形成电设备的第一绝缘层之前在第二绝缘层上形成光设备的硅层。根据图 3，PMOS 晶体管 108 包含一个极端薄的栅极绝缘层 116。二氧化硅是最常用的 MOS 设备的栅极绝缘层，并也优选用于光设备。然而，也可以使用其它的多种栅极绝缘材料，包括但不限于硅的氧氮化物、氮化硅、氧化铪以及氧化铌。优选同时形成分别用于有源光电设备 110 和无源光设备 112 的相对薄的绝缘层 118 和 120。

如果所有设备使用共同的绝缘层，可以形成共同的硅层并作为每种设

备的起始材料来使用，具有不同的掺杂水平和性能，形成“金属类似”栅极硅层 122、“半导体类似”有源光电设备硅层 124 和“绝缘体类似”无源光设备硅层 126。替代的，可以使用单独的硅层用于光设备，使用单独的硅层用于电设备，其中每个硅层的形成可以通过使用单独一系列步骤通过控制工艺条件以形成设备每种形式的最适合条件而得到（例如，所使用的硅的形态、层的厚度、掺杂性能以及光损性质等）。与电元件栅极区相关的硅层被深度掺杂以形成“金属类似”栅极。与光设备相关的硅层按照所需进行选择掺杂以形成所需的不同的电导率的区，创造光设备不同的区，例如用于无源设备的低掺杂区和用于有源设备的相对高掺杂接触区以及有源载体调控区，等等。而且，各种形式的硅也可以用于这种光硅层，包括单晶硅、实质单晶硅、无定形硅以及多晶硅。如果与光设备一起使用，硅层还可以进一步加工来优化颗粒大小以降低光损和提高电子-空穴的迁移率（例如，钝化颗粒边缘、颗粒排列整齐、颗粒大小增加的多晶硅）。使用诸如晶种结晶法、不定形沉淀、硅迁入（implant）、低温退火、硅晶种层基结晶等方法，以提高颗粒大小和电子-空穴迁移率。光硅层可以被进一步加工以减少光损，这是在电设备形成中不存在的一个问题。特别的，可以使用许多单独的薄硅层以形成最终光硅“层”，以提供该层所需的形状，该形状与设备所需的光模限制有关。许多沉积和平版印刷/蚀刻步骤可以用来产生光硅层所需的几何性能。特别与有源光设备的形成相关的是，形成硅层而部分重叠 SOI 层，这样光模峰值强度与由硅层 124、绝缘层 118 以及 SOI 层 106-A 结合而确定的载体操控区实质上一致。按照我们 2004 年 3 月 23 日提交的共同等待批准的申请 No. 10/806,738 所描述的，形成有源和无源装置的光硅层的侧壁可以被平滑化，以及拐角变圆，以降低光损。需要注意的是，至少一些无源光设备不需要使用任何光硅层而且只使用 SOI 层来限定和操控光。由于某些光硅工艺步骤可能需要相对高的温度，因此，在形成电设备之前要谨慎的形成光设备以避免电设备中出现所不希望的掺杂物迁移。

在形成 MOS 晶体管的通常“硅化物”（自排列硅化物）工艺中，紧邻金属类似栅极硅层 122 的每侧形成一对侧壁间隙 128 和 130，其中这些间隙可以包括氮化硅、二氧化硅或者其它适当的材料。需要注意的是，这个

工艺步骤可能会导致在光设备硅层的蚀刻侧壁形成不希望的间隙（如果光设备硅层是在电设备侧壁间隙形成之前确定）。这些不希望的间隙可以通过照相平版印刷术和传统的等向蚀刻技术的结合来选择性地去除。接着 PMOS 晶体 108 的活性漏极 132 和源 134 区可以通过迁入而形成，使用间隙 128 和 130 自排列迁入区。需要注意的是，各种常用技术和结构已知并使用在这些设备区域的形成中，包括低度掺杂漏极（LDD）结构的使用，其中不认为这些技术与本发明的主题是密切相关的。

继续进行硅化物工艺，随着用于 PMOS 晶体管 108 和有源光电设备 110 的每个电接触部位的硅化物接触区的形成。根据图 3，第一硅化物接触 136 在漏极区 132 上形成，第二硅化物接触 138 在栅极区 122 上形成，第三硅化物接触 140 在源区 134 上形成。对于有源光电设备 110，第一硅化物接触 142 在硅层 124 确定的接触区上形成，第二硅化物接触 144 在 SOI 层 106-A 确定的接触区上形成。单独硅化物的每种形成工艺都可以用于电和光设备，或者对每种设备形式使用单独的工艺。在每种情况下，可以使用各种硅化物，例如硅化钛、硅化钽、硅化钨、硅化钴、硅化镍或者硅化钼。在光设备的情况下，如图 3 所示的，为了最小化光信号损失（例如，大于 0.2 微米的隔离是可接受的），将硅化物接触与光信号限制区 O 分离是重要的，并且可能需要获得光损和操作速度之间的平衡。

本发明的一个显著方面是使用用来制作高性能 SOI-基集成电路的传统多级金属化方案来同时形成电和光设备的各种电连接。图 4 描述在多级金属化工艺的下面步骤，“金属化”步骤包括在晶片层上沉积相对厚的绝缘层，对各种接触区敞开接触（其然后加工成可传导的），形成带有与接触区接触的第一金属层，也形成金属导线，金属导线根据需要在绝缘层上相互连接。形成一系列的通路开口，第二金属层包括由通路开口限定的与第一金属层的各种区的电连接，以及形成第二水平金属导线，随后形成第二绝缘层。重复相似的步骤，如图 4 所示的，最终结构表现出（如果需要）“多水平”的金属化装置。在图 4 的装置中，形成第一厚绝缘层 150 以完全覆盖晶片，敞开多数接触并使其金属化以实现各自单独的硅化物接触。也就是说，如图所示，形成一些传导接触 152、154、156、158 和 160，分别接



触 PMOS 晶体管 108 的硅化物区 136、138 和 140 和有源光电设备 110 的硅化物区 142 和 144。也形成一组第一水平金属导线 162、164、166、168 和 170（由“M-1”代表第一水平金属）。然后在这个结构上形成第二水平绝缘层 172，如图 4 所示，形成一组金属化通路开口 174、176、178 和 180。在重复绝缘/通路/接触的工艺必要次数时，接着形成第二水平金属接触 182、184 和 186。本发明的优点是，使用形成绝缘层、通路开口、接触敞口的相同工艺步骤以及相同的金属层，用于形成电设备和有源光电设备的电连接。对于光电设备，优选在金属层和光限制区之间保持预定的间隔以使光损最小化。预想开发设计规则来确保维持足够的间隔。例如，设计规则禁止光限制区上第一金属层的跨界。

如图 5 所示，在金属化过程完成时，钝化层 190（例如，氮化硅）形成并被图形化以形成结合板位点 192 的开口。本发明的一个显著方面是使用 IC 工业中已经良好开发的结合和包装方案为电和有源光设备提供连接。形成结合板位点 192 后，沿着整个结构到 SOI 层 106，“窗口”200 被打开，以形成光耦合区，也就是说，一区域，其中自由空间光信号可以耦合进入或离开在 SOI 层 106 中形成的光波导。为了使耦合成功，用来打开结构的蚀刻技术必须在 SOI 层 106 上留下“原子级光滑”的表面（光滑到  $3-4\text{\AA}$  以内）以允许瞬时耦合装置（例如：棱镜、光栅等-未表示出）与 SOI 层 106 的适当物理接触。我们在 2003 年 9 月 23 日提交的共同等待批准的申请 No. 10/668,947 中公开了能够提供这种瞬时耦合的示例装置。可以使用单一平版印刷/蚀刻步骤来完成窗口 200 的打开，或者可以几种平版印刷/蚀刻步骤相结合（例如，平版印刷/蚀刻步骤与结合板开口、通路开口和/或者接触开口相关的步骤相结合）。窗口打开过程的一部分是以湿化学蚀刻的应用为基础。

可以理解，本发明的上述实施方式只是用作示例，不应该认为是确定或者限制本发明的范围，本发明的范围由权利要求确定。

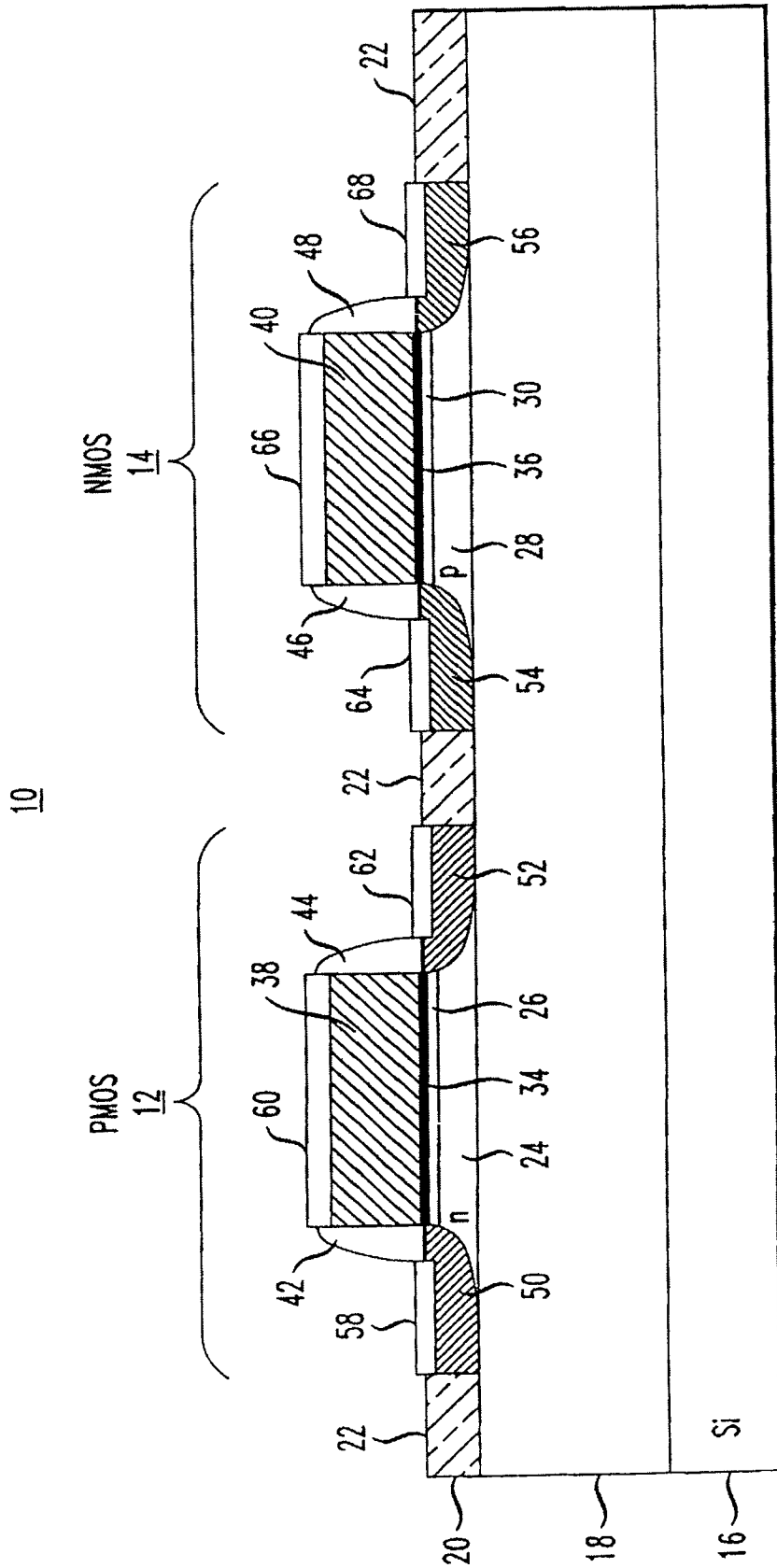


图1  
现有技术

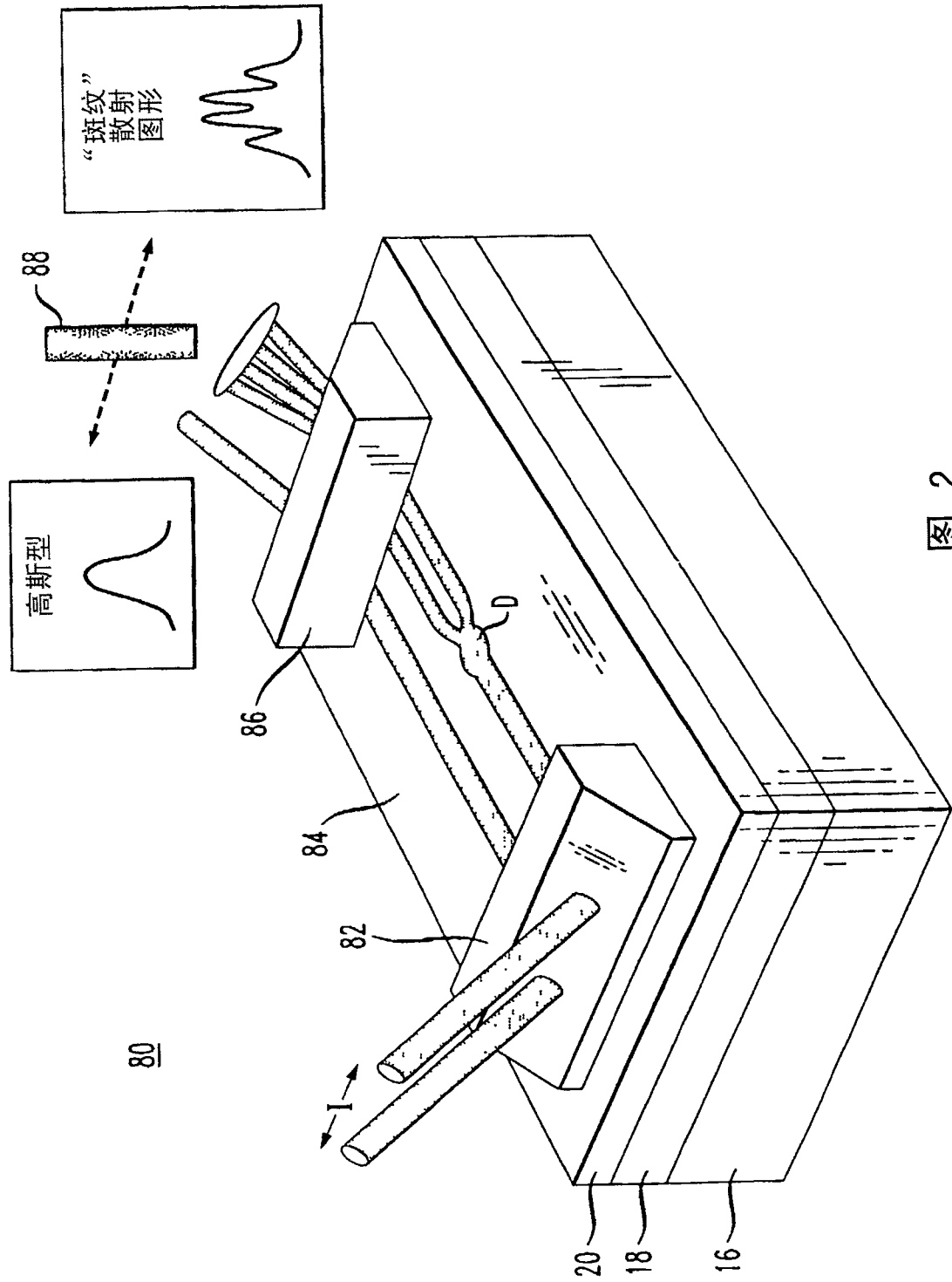


图 2

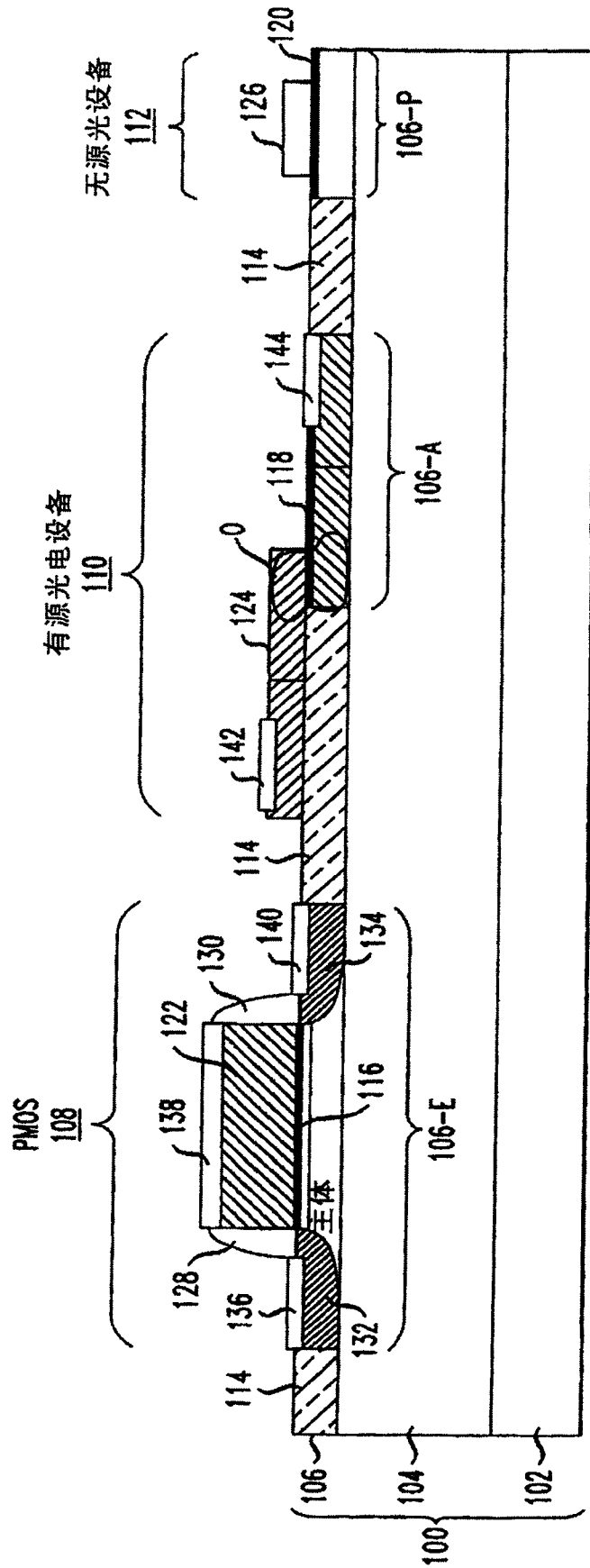


图3

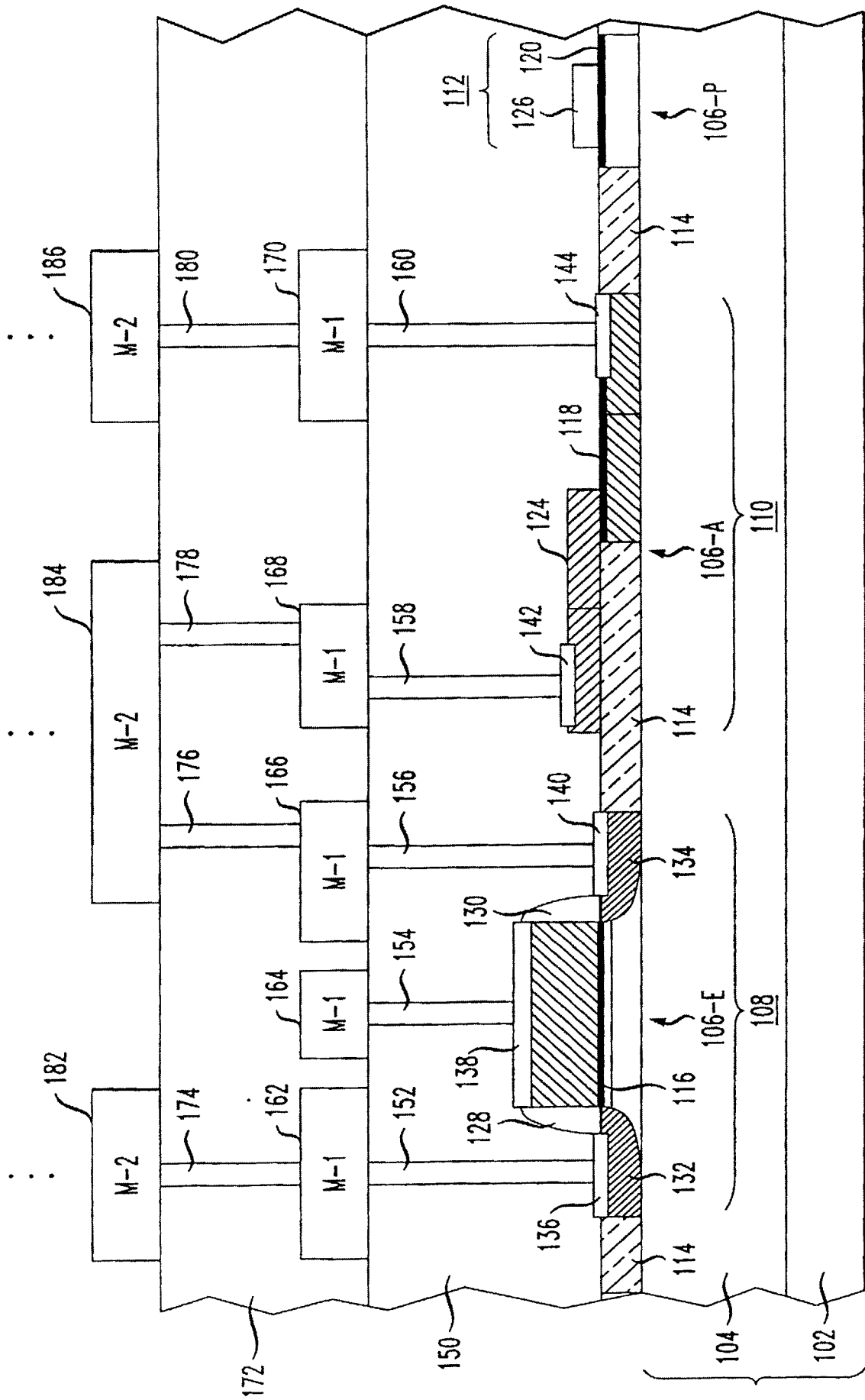


图 4

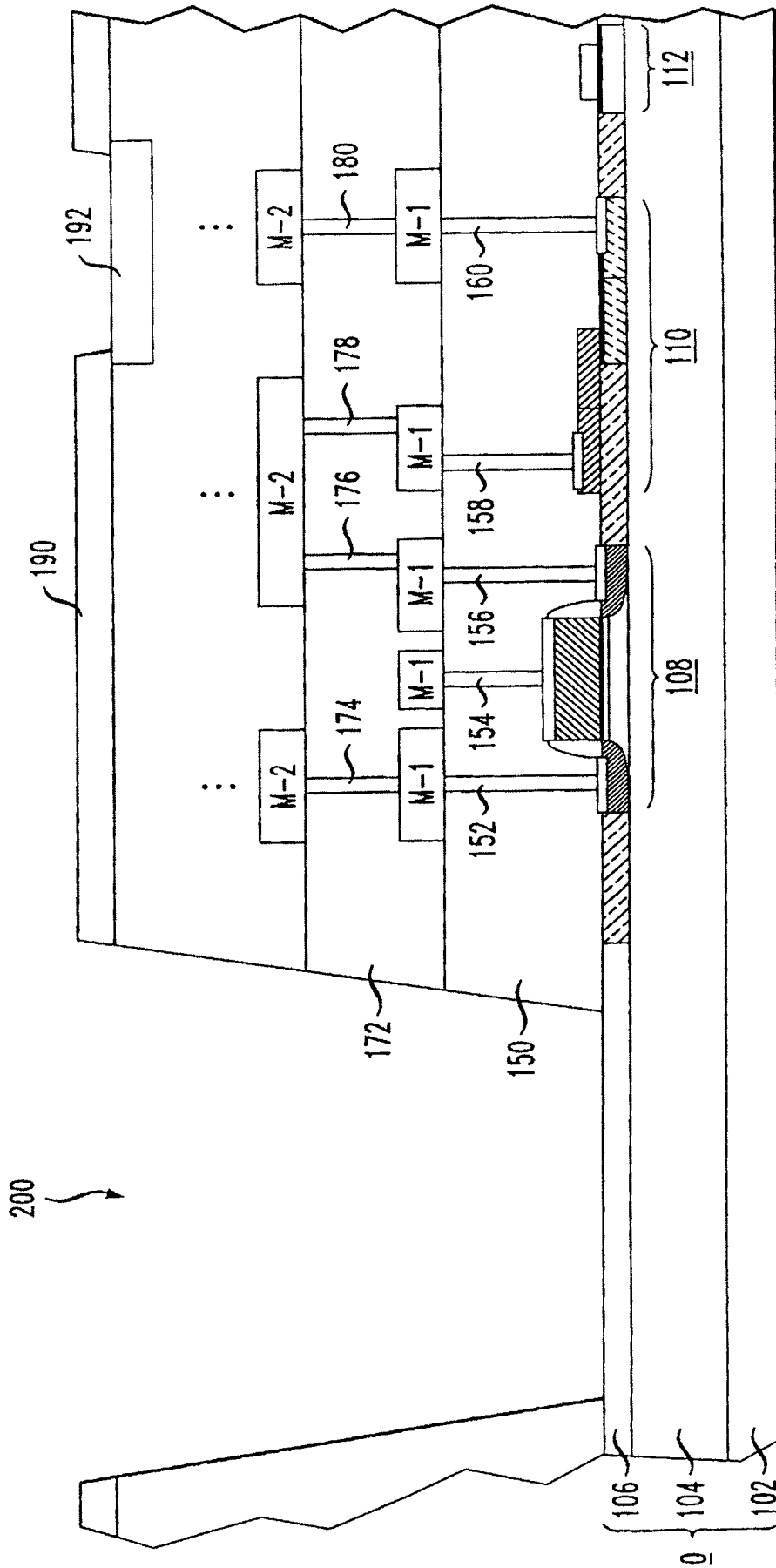


图 5