

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1. 美國；2002年12月20日；10/327,641
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國；2002年12月20日；10/327,641
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於記憶體之自我測試及修復。更具體言之，本發明係關於使用一預先配置冗餘(PAR)架構之非揮發性記憶體(NVM)之測試及修復。

【先前技術】

由於記憶體大小增加，導致在測試記憶體上所花費的時間亦隨著增加。測試時間增加對於記憶體製造商而言表示為一附加成本。因此，有效測試記憶體的能力不僅對於確保記憶體工作正常很重要，而且對於節約成本亦很重要。

記憶體陣列之泛用內建自我測試(BIST)已經在所屬技術領域中被用來測試記憶體陣列。在泛用BIST架構中，可藉由一BIST區塊測試記憶體，其中該BIST區塊可將一系列模式(pattern)提供給該記憶體(舉例而言，跨步測試(march test)或棋盤模式(Checkerboard pattern))。然後該BIST區塊比較輸出與一組期望回應。因為該等模式具高度規則性，因此使用一比較器可直接比較來自該等記憶體之該等輸出與參考資料，以確保來自該記憶體的一錯誤回應將被標記為一測試失敗。

來自該BIST區塊的資料一般被輸出並且被處理，以決定多個記憶體缺陷之準確位置。一旦知道了該等缺陷位置，一使用一雷射之外部修復裝置可被用來實現實際修復記憶體。此等處理以及修復步驟通常表示為一複雜、耗時的過程。特定言之，此等步驟一般需要高智慧(舉例而言，一專

屬內建冗餘分析(BIRA)邏輯單元)以及使用各同複雜的外部設備。

內建自我修復(BISR)所指為被設計用來克服與BIST及外部基於雷射的修復相關的一些缺點的通用技術。BISR利用了一晶載處理器以及冗餘分析邏輯，對壞記憶體位元進行"繞路選路"(route-around)，而不是使用昂貴且慢速的雷射將壞記憶體列或記憶體行燒壞。修復一般涉及到根據所採用的該冗餘邏輯方案使用一記憶體冗餘列、一記憶體冗餘行或一記憶體冗餘單一位元在一故障記憶體位置周圍進行選路。

雖然傳統的BIST及BISR技術已經在測試及修復記憶體方面展示了其效用，但是其仍然有極大的提升空間。舉例而言，需要更好的測試及修復方法，以致於BIST及BISR可以更加有效地修復"無法工作的"缺陷，而無須使用一過度複雜的冗餘分析單元。此外，需要更加彈性的測試技術以致於可容易地調諧並且調整不同的測試變數，來更有效地識別(並且去除)故障資料位元。

進一步，需要更好的測試及修復方法，以致於BIST及BISR可以靈活且有效地應用到非揮發性記憶體(NVM)之測試修復中，傳統上至少有三個主要原因導致NVM之測試修復無法利用BIST與BISR之組合。第一，非揮發性記憶體一般藉由不同的記憶單元電路設計來實現並且採用了不同的處理技術，此使得難以或不可能應用傳統測試技術。第二，傳統的測試技術不允許一使用者有效地調整並控制測試變

數；結果，對於最終的修復而言並不總是能夠有效地找出及識別故障資料位元。第三，非揮發性記憶體可以有不同的種類，例如快閃記憶體(可大量抹除)或電可抹除(位元組/字組可抹除)，每種類型涉及不同的抹除、程式化、讀出及施壓(stress)演算法。此等不同種類的記憶體及不同的記憶體演算法進一步使測試參數複雜化了。

如上所引用的該等缺點並不意味著很詳盡，但是其中很多可能會損害關於自我測試以及修復的先前已知技術之有效性；然而，此處所述足以表明當前所屬技術領域中出現的方法論並不完全滿意，並且表明對於本發明中所描述及要求的該等技術存在一重大需求。特定言之，需要新的內建測試及修復技術，其不依賴於過度複雜的邏輯單元並且採用一更適合在非揮發性記憶體中使用的架構。

【發明內容】

一方面，本發明係關於一種非揮發性記憶體。該非揮發性記憶體包括一區塊、一記憶體子塊、一具有大小等於該記憶體子塊之該大小之冗餘子塊、一連接到該區塊的比較器、一連接到該區塊的故障鎖存電路以及一連接到該區塊的熔絲。該比較器被配置以藉由比較期望資料與讀出資料來識別一特定記憶體子塊內的一故障。該故障鎖存電路被配置以決定該特定記憶體子塊之一位址。該熔絲被配置以使用該冗餘子塊來取代該特定記憶體子塊從而修復該非揮發性記憶體。

另一方面，本發明係關於一種非揮發性記憶體之自我測

試及修復之方法。使用一比較器來比較一期望定限電壓特性與一讀出定限電壓特性，以識別一特定記憶體子塊內的一故障。使用一故障鎖存電路來決定該特定記憶體子塊之一位址，並且使用一熔絲以用該冗餘子塊來取代該特定記憶體子塊，藉以修復該非揮發性記憶體。

藉由下文中參考配合附圖之特定具體實施例的詳細描述，其他特徵及相關優點將變得很明顯。

【實施方式】

本發明之實施例採用了一被稱為預先配置冗餘(PAR)架構的測試/修復架構。如下所述，此架構特別適合於提供彈性且高效的自我測試/修復技術，甚至當應用於NVM時亦如此。本發明之實施例著重於使用適用於NVM自我測試及修復(舉例而言，快閃EEPROM(電可抹除唯讀記憶體)之自我修復)的PAR架構，但應瞭解來自本發明之單個或組合技術可容易地應用到其他種類的記憶體中。

本發明之實施例適用於具有嵌入式非揮發性記憶體以及獨立非揮發性記憶體之處理器中。隨著例如快閃記憶體陣列等記憶體愈來愈快且密度愈來愈高，本發明之技術將更加有用，如其對於熟悉此項技術者所知。

在解釋PAR架構及其在NVM的自我修復方面的適用性之前，首先解釋根據本發明之實施例如何對NVM進行彈性測試(相對於修復而言)將很有用。圖1有助於該解釋。

NVM之自我測試

NVM之記憶體位元一般藉由改變其定限電壓(V_T)來設

定。寫入到一NVM可藉由對該等位元施壓(stress)或偏移 V_T 來實現，而並非藉由將一反差較大的1或0寫入到該位元來實現。

藉由自我測試發現NVM中的錯誤或故障。一種適用之測試技術藉由試圖將NVM位元初始化為預定之定限電壓而開始。然後讀出每個位元的後續 V_T 值，並且藉由識別出所測量之 V_T 不匹配初始值的資料位元以找出故障資料位元。

另一種適用之測試技術可藉由偏移一初始位元之 V_T 而寫入資料或對一NVM施壓(stress)來開始，其結果為可預測。可將 V_T 沒有充分偏移或偏移太多的位元識別為一"與眾不同的(maverick)"位元或故障位元。

概言之，其他合適之測試技術可使用不同的偏壓條件(舉例而言，施壓(stress)、程式化、抹除)、供應至一被測記憶體之不同的脈衝寬度、供應至一被測記憶體之不同數量的脈衝、不同的 V_T 初始值及/或一不同的可接受的 V_T 偏移的識別。

圖1闡述了一藉由如上所述之適用的測試技術中一或多項測試技術所識別的與眾不同位元。曲線100顯示了一初始化之 V_T 曲線。其前緣如103所示。曲線105係在該NVM已經被施壓(stress)之後的一期望 V_T 曲線。其前緣如108所示。曲線110表示了一呈現一不可接受偏移的與眾不同位元。其前緣如110所示。此與眾不同位元表示了一種需要替換的NVM位元故障。

在本發明之實施例中，一使用者可藉由輸入並且藉此控

制在測試序列或流程中使用的變數，以增加此等測試步驟之該彈性。舉例而言，在一實施例中，一使用者可指定偏壓條件、測試脈衝寬度、所使用的測試脈衝之數量、初始 V_T 位準及/或所容許之 V_T 位準偏移。藉由指定此等變數，可顯著增加一種NVM之自我測試的彈性。舉例而言，可調整變數以試圖更有效地找出特定類型的與眾不同位元。如果已知使用第一組變數未有效地找出某些與眾不同位元，則可調整此等變數以提升該測試效率。

在一實施例中，使用了測試暫存器(包括，多個使用者輸入型變數及一狀態機)，以在某種程度上達成彈性測試變數之運用，如下文關於圖2論述之解釋。

自我測試及自我修復之該PAR架構概述

PAR架構將一記憶體陣列分割為複數個不同的區塊或分割區。而每個區塊又被進一步分割為複數個記憶體子塊或進一步的分割區(舉例而言，一或多行、一或多列、或一或多列/行組合)。除了該等複數個記憶體子塊之外，尚出現了一或多個冗餘子塊(一起，形成一冗餘區塊)。一記憶體子塊之大小與一冗餘子塊之大小相匹配。冗餘子塊及記憶體子塊可基於列及/或行排列(引起列及/或行"冗餘")。

除了一或多個冗餘子塊以及該等複數個記憶體子塊之外，每個個別區塊耦接到一比較器、一故障鎖存電路以及熔絲。下文將詳細此等元件之每一個之運作。然而，概言之，該比較器藉由比較期望資料與測量資料來識別一記憶體故障，以便於實現自我測試。該故障鎖存電路藉由產生

(a)一容納一記憶體故障的記憶體子塊之位址(行及/或列)以及(b)熔絲啟用位元資料，以允許該修復方法使用測試資訊。該等熔絲促進修復的方式為，將容納一記憶體故障的該記憶體子塊之該位址替換為一冗餘子塊之位址。受益於本發明之熟悉此項技術者應瞭解，在整體上或部分上，如比較器及/或故障鎖存電路等元件可包括邏輯電路。

為了根據PAR架構實現一修復，一項具體實施例僅僅需要區塊層級之比較器的輸出，以及包含一或多個故障記憶體位元之記憶體子塊之位址(按照該故障鎖存電路儲存的位址)。然後在BIST控制下，在自我修復流程中可使用此故障資料來程式化適當的熔絲，以使得該熔絲可以有效地繞過該故障記憶體子塊而選路到一冗餘子塊。或者，在另一實施例中，藉由針對外部熔絲工作的串列或平行操作，將該故障資料發送到一外部記憶體(非晶載記憶體，例如暫存器或其他NVM)。

該PAR架構確保在一區塊中的故障不會影響另一區塊的該修復，因為修復僅在每個區塊內局部操作。然而，該PAR架構亦意味著可能無法修復一個以上記憶體子塊中的故障。特定言之，在每個區塊中僅僅使用一個冗餘子塊的實施例中：僅能修復一個故障記憶體子塊。如果發現一額外記憶體子塊故障，，因為已經使用該冗餘子塊，所以沒有一可行的替換。

此外，該PAR架構之子塊可能係基於行及/或列，並且該PAR架構可被設定用來啟用其冗餘子塊以僅僅替換記憶體

子塊列、記憶體子塊行、或相繼替換記憶體子塊列以及行。如果使用了行及列冗餘，則修復可從開啟較佳冗餘(舉例而言，列)之開始。在熔絲程式化且啟動以選擇繞過一故障記憶體子塊的路徑之後，可繼續其他冗餘(舉例而言，行)。如此一實施例可提供更好的修復覆蓋。

自我測試及自我修復之該PAR架構之實例操作

在一示範性實施例中，該PAR架構按照圖2所示運作以實現一NVM(舉例而言，但不限於一快閃EEPROM)的自我測試以及自我修復。

在步驟150，一記憶體陣列被分割成複數個區塊。在步驟152，每個區塊被進一步分割成複數個記憶體子塊並且在一示範性實施例中包括一冗餘子塊(步驟153)。或者，該冗餘子塊可與一區塊相隔離(但是在操作上相關聯)。在其他實施例中，可出現一個以上冗餘子塊。在一代表性實施例中，一記憶體子塊之大小與一冗餘子塊之大小相匹配。

在步驟154中，一比較器被包括在每個區塊中，或耦接到每個區塊。在步驟156中，一故障鎖存電路被包括在每個區塊中，或耦接到每個區塊。在步驟158中，一熔絲被包括在每個區塊中，或耦接到一或多個區塊。

在步驟160中，測試該記憶體陣列以識別不同子塊中的一或多個故障。概言之，此測試步驟可涉及到比較一記憶體位元上的期望資料與實際得出的測量或讀出資料。對於每個區塊，該比較器可實現此比較。如果該期望資料與該測量或讀出資料不匹配，則就識別了一故障。對於熟悉此項

技術者而言應當瞭解，期望資料與該測量或讀出資料之間的"匹配"可要求一可接受值範圍，並且不總是要求達到嚴格的相等。

在記憶體陣列對應於一NVM的實施例中，該測試步驟可涉及到將一記憶體位元初始化為一特定定限電壓，之後讀出該位元以確保該初始化值存在。在如此一測試中，該期望資料當然係指代該初始化值。在其他實施例中，可使用一不同的寫入/讀出測試。在其他實施例中，該期望資料可對應於一特定定限電壓偏移，並且該比較器可比較此偏移與實際上讀出或測量的該偏移。對於熟悉此項技術者而言將很顯然，可以預期其他許多不同的期望/讀出資料組，以識別是否有一記憶體位元出現了故障，此在所屬技術領域中為人所習知。

在步驟162中，決定了一故障記憶體子塊(即，容納有一故障記憶體位元之該子塊)之一位址。該故障鎖存電路可產生此位址。而該位址可被儲存於一或多個適當的模組中，例如一熔絲寫入控制邏輯模組，在下面其將被討論。一旦識別了一故障以及一對應位址，則自我修復即可開始了。

在步驟164中，實現了自我修復。該故障記憶體子塊被該區塊中的該冗餘子塊所取代。該冗餘子塊之大小與該故障子塊之大小相匹配。可藉由使用該熔絲之位址替代來實現該取代。特定言之，可使用該冗餘子塊之位址來取代該故障子塊之位址。

對於熟悉此項技術者而言應當瞭解，可在製造該記憶體

期間或期望測試/修復該裝置的任何記憶體運作階段期間執行步驟160、162以及164。

自我測試及自我修復之該PAR架構之示範性實施

在圖3中，顯示了一種適用於實現本份說明書所描述之自我測試及自我修復功能的本發明硬體具體實施例。

熟悉此項技術者將認識到，可使用許多不同的硬體佈局來實現本發明所描述之功能。因此，圖3之實施例僅僅作為實例而已。雖然圖3圖例說明元件之間的直接連接，但是應當瞭解到亦可存在中間元件。亦應當瞭解，可合併或修改一或多個元件，而仍然獲得相同的功能。

雖然特定元件之關係可藉由檢視圖3來自我解釋，但是本段仍然用詞描述了此等關係。測試暫存器200耦接到狀態機215。狀態機215耦接到比較器265、熔絲寫入控制邏輯模組225以及讀出/寫入控制邏輯模組220。比較器265耦接到一2對1多工器(MUX)245以及一故障鎖存電路270。熔絲寫入控制邏輯模組225耦接到熔絲260以及故障鎖存電路270。讀出/寫入控制邏輯模組220耦接到一2對1 MUX 230，其耦接到熔絲邏輯區塊255。熔絲邏輯區塊255耦接到熔絲260以及該2對1 MUX 245。該2對1 MUX 230耦接到主陣列240以及冗餘陣列235，其中兩者均耦接到該2對1 MUX 245。該2對1 MUX 245耦接到該比較器265。

在運作中，狀態機215從測試暫存器200接收輸入，在一實施例中，接收的輸入包括BISR脈衝/信號之變數，例如脈衝寬度、偏壓條件、脈衝數量、定限電壓位準、一可容許

之定限電壓位準偏移、及/或任何控制BISR信號之一般演算法。可由使用者輸入此等變數，有助於提供極大的自我測試彈性。特定言之，可調整變數以更有效地識別特定種類的故障。類似地，可自覺地調整變數以作為一種自我測試的篩選器，來識別某種類型的故障而非其他故障。

依據來自測試暫存器200之該等輸入，狀態機215決定或查詢用於記憶體之自我測試的對應期望資料。"期望"資料僅表示所期望從正常(相對於故障)記憶體中讀出或測量的資料(或一資料範圍)。在一實施例中，來自測試暫存器200之輸入可定義一特定期望定限電壓特性，例如一正常記憶體之特定期望定限電壓偏移。在另一實施例中，來自測試暫存器200之輸入可定義一不同的期望定限特性，例如一特定定限電壓幅度。熟悉此項技術者將認識到任何數量的特性可構成期望資料之基礎。

狀態機215將該期望資料傳送給該比較器265，以最終比較該期望資料與實際讀出或測量資料。狀態機215亦將控制信號發送給該熔絲寫入控制邏輯模組225以及發送給該讀出/寫入控制邏輯模組220，以調節要讀取的NVM位元。

讀出/寫入控制邏輯模組220將用於表示被測試位元之位址的信號發送給該2對1 MUX 230。基於來自讀出/寫入控制邏輯模組220的該等信號以及來自該熔絲邏輯區塊255之關於熔絲260的資訊，該2對1 MUX 230可決定主陣列240以及冗餘陣列235中將被寫入的陣列位置並且將資料寫入到所選擇的陣列位置。主陣列240以及冗餘陣列235中的該等所

選位置可被填滿一預先定義的或經使用者選擇的測試模式。該2對1 MUX 245(其運用來自熔絲邏輯區塊255之關於熔絲260的資訊)決定主陣列240以及冗餘陣列235中將被讀出的陣列位置並且從該等所選位置中讀出資料。

從該主陣列240以及該冗餘陣列235中所讀出的資料被發送到該比較器265，其比較此資料與從狀態機215所傳遞的該期望資料。如果該等兩組資料相同(或在一可接受的差異範圍之內)，則重複讀出以及比較資料之該過程，直到讀出並且比較該NVM之最後位址(其藉由狀態機215來決定)。

如果該等兩組資料之差異達到一不可接受的程度，則即可識別一故障。將詳述該差異之資料(故障資料)發送到該故障鎖存電路270，其可決定一特定子塊中發生故障的一個(或幾個)位元。按照該狀態機215所指示，在故障鎖存電路270中產生該等故障位元之位址並且傳送到該熔絲寫入控制區塊225中，其按需求來程式化熔絲260，以反映該自我修復。狀態機215決定了在該區塊內使用的該冗餘子塊之位址，並且決定此冗餘子塊是否可用。如果該冗餘子塊為可用的，則熔絲寫入控制區塊225就將一寫入信號發送給熔絲260，以將該故障記憶體子塊之該位址替換為該冗餘子塊之該位址；從而實現自我修復。

在另一方面，當一故障記憶體子塊被一冗餘子塊所取代時，程式化熔絲260以將該故障記憶體子塊之該位址替換為該冗餘子塊之該位址。下一次呼叫一讀出或寫入功能時，在要存取該故障記憶體子塊之位址情況下，則會存取該冗

餘子塊之位址，以此方式有效地將該故障記憶體子塊替換為該冗餘子塊。

透過同步處理以及電壓交換，可藉由狀態機215從內部控制所有時序序列，而得以安排如上所述之測試及修復方法的時序。可藉由將測試器/DUT(被測裝置)以及修復器/DUT用於同步處理、電流測量以及電壓的信號交換之內部操作時間消除而實現測試時間處理能力最大化。

由於PAR架構不需要複雜的冗餘分析，因此本發明之技術容許即時收集編碼故障資料而無須BIRA的幫助，同時仍然容許修復多個故障位置以達到高度修復涵蓋範圍。此外，因為不需要記憶體陣列之外的外部通信，所以本發明之技術可併入到BIST中。

該PAR架構去除了與冗餘分析相關的成本，例如與高通信頻寬需求相關的成本、昂貴的外部記憶體測試、冗餘分析程式產生以及相關的工程工作量等。

使用此等技術可實現低成本的測試系統，並且在該DUT內可包含內建自我修復方法。可藉由將測試器/DUT用於同步處理、電流測量以及電壓的信號交換之內部操作時間消除而實現測試時間處理能力最大化。

術語"一"或"一個"意味著一個或一個以上(除非其上下文明顯地與此解釋相矛盾)。術語"複數個"意味著兩個或兩個以上。該術語"耦接"意味著相連，雖然沒有必要是直接以及從機械上連接。

根據本發明，本份說明書所揭示的本發明之所有揭示的

實施例均可被實現及運用，而不需要過度的實驗。很顯然在不脫離基本發明概念之精神及/或範圍之情況下，可對本發明之特徵進行不同替代、修改、添加及/或重新安排。應當認為，按照隨附申請專利範圍及其等效物所定義的基本發明概念之精神及/或範圍涵蓋所有此等替代、修改、添加及/或重新安排。

【圖式簡單說明】

藉由參考此份說明書提出之附圖及圖解實施例之詳細描述，可更加理解本發明之技術。

圖1係一闡述一NVM進行自我測試技術之圖式。

圖2係一闡述根據本發明之實施例的自我測試及修復技術之流程圖。

圖3係一闡述根據本發明之實施例的用於實現自我測試及修復之硬體之方塊圖。

【圖式代表符號說明】

200	測試暫存器
215	狀態機
220	寫入控制邏輯模組
225	熔絲寫入控制區塊
230	MUX
235	第二控制輸出
240	主陣列
245	MUX
255	熔絲邏輯區塊

260	熔 絲
265	比 較 器
270	鎖 存 電 路

伍、中文發明摘要：

用於對使用一預先配置冗餘(PAR)架構之非揮發性記憶體進行自我修復之方法及裝置。在一代表性實施例中，該非揮發性記憶體包括一區塊、一記憶體子塊、一具有大小等於該記憶體子塊之大小的冗餘子塊、一連接到該區塊的比較器(265)、一連接到該區塊的故障鎖存電路(270)以及一連接到該區塊的熔絲(260)。該比較器(265)被配置以藉由比較期望資料與讀出資料來識別一特定記憶體子塊內的一故障。該故障鎖存電路(270)被配置以決定該特定記憶體子塊之一位址。該熔絲被配置以使用該冗餘子塊來取代該特定記憶體子塊，藉以修復該非揮發性記憶體。

陸、英文發明摘要：

Methods and apparatus for self-repairing non-volatile memory using a PreAllocated Redundancy (PAR) architecture. In a representative embodiment, the non-volatile memory includes a block, a memory subblock, a redundancy subblock having a size equal to the size of the memory subblock, a comparator (265) coupled to the block, a fail latch circuit (270) coupled to the block, and a fuse (260) coupled to the block. The comparator (265) is configured to identify a failure within a particular memory subblock by comparing expected data with read data. The fail latch circuit (270) is configured to determine an address of the particular memory subblock. The fuse is configured to cause the particular memory subblock to be replaced with the redundancy subblock, thereby repairing the non-volatile memory.

拾壹、圖式：

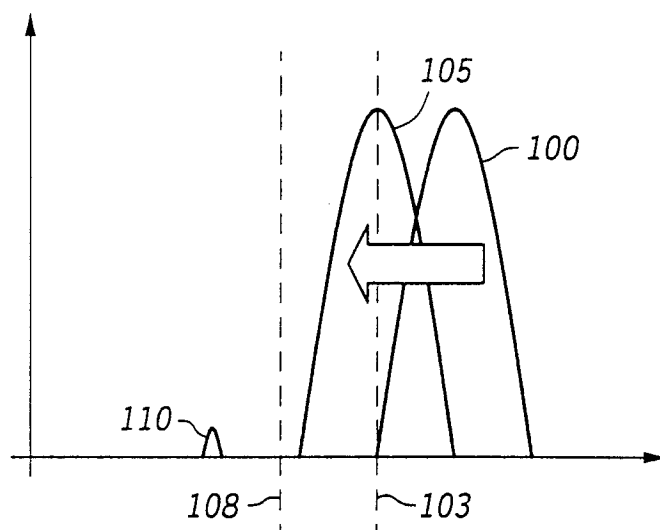


圖 1

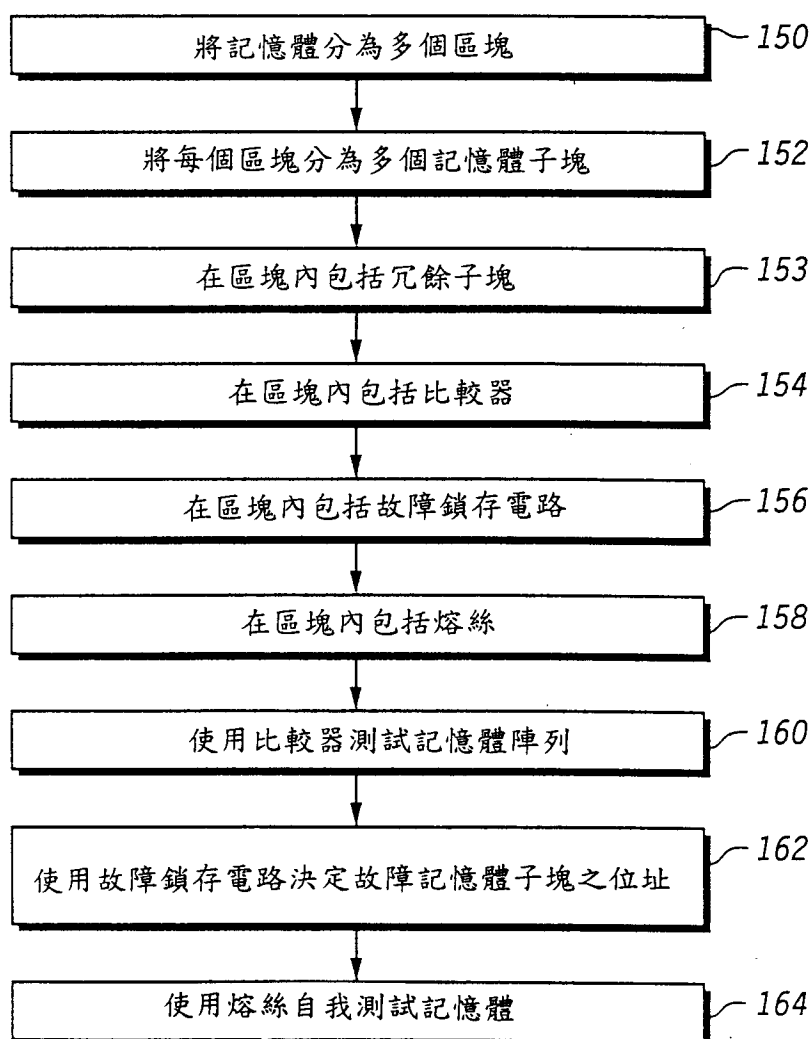


圖 2

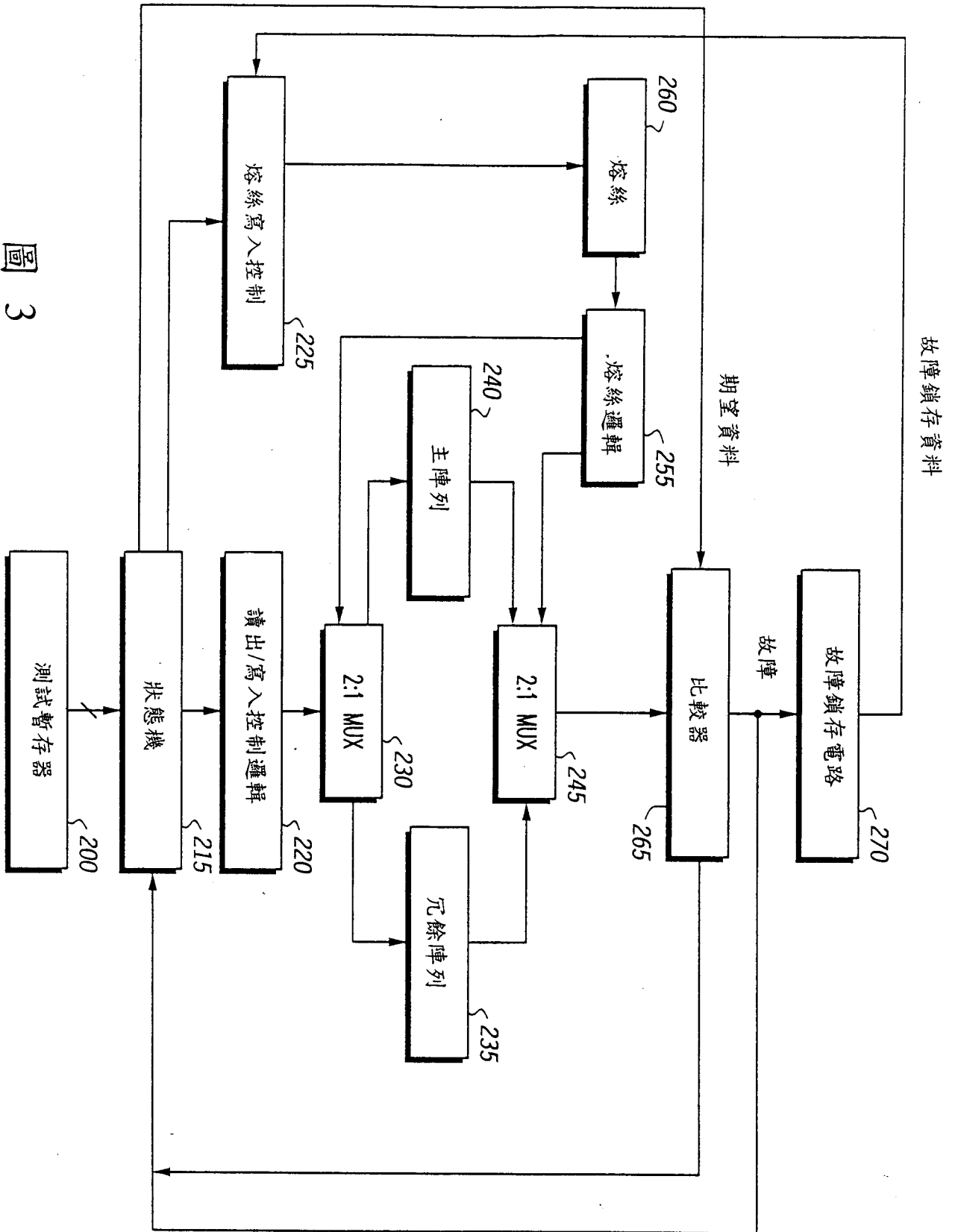


圖 3

柒、指定代表圖：

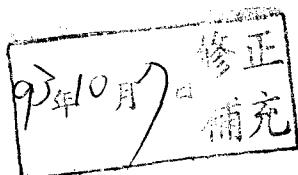
(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件代表符號簡單說明：

200	測試暫存器
215	狀態機
220	寫入控制邏輯模組
225	熔絲寫入控制區塊
230	MUX
235	第二控制輸出
240	主陣列
245	MUX
255	熔絲邏輯區塊
260	熔絲
265	比較器
270	鎖存電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)



發明專利說明書

公告本

中文說明書替換頁(93年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092130655

※ 申請日期：92.11.03

※IPC 分類：G11C 29/00 (2006.01)
H04L 1/22 (2006.01)

壹、發明名稱：(中文/英文)

使用預先配置冗餘架構之記憶體陣列之自我修復

SELF-REPAIR OF MEMORY ARRAYS USING PREALLOCATED
REDUNDANCY (PAR) ARCHITECTURE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國籍：(中文/英文)

美國 U. S. A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 納森 I. 慕恩

NATHAN I MOON

2. 理查 K. 伊古奇

RICHARD K. EGUCHI

3. 松-偉 林

SUNG-WEI LIN

住居所地址：(中文/英文)

1. 美國德州奧斯汀市艾爾黎布雷路9513號

9513 AIRE LIBRE DRIVE, AUSTIN, TEXAS 78726, U.S.A.

2. 美國德州奧斯汀市戴維斯路4825號

4825 DAVIS LANE, AUSTIN, TEXAS 78749, U.S.A.

3. 美國德州奧斯汀市柯里斯灣10105號

10105 COLEUS COVE, AUSTIN, TEXAS 78750, U.S.A.

國 籍：(中文/英文)

1.、3. 美國 U. S. A.

2. 加拿大 CANADA

98年3月6日修正本

拾、申請專利範圍：

1. 一種非揮發性記憶體，包括：

一區塊；

一位於該區塊內的記憶體子塊；

一具有大小等於該記憶體子塊之該大小之冗餘子塊；

一連接到該區塊的比較器，其被配置以藉由比較期望資料與讀出資料來識別一特定記憶體子塊內的一故障；

一連接到該區塊的故障鎖存電路，其被配置以決定該特定記憶體子塊之一位址；以及

一連接到該區塊的熔絲，其被配置以使用該冗餘子塊來取代該特定記憶體子塊，藉以修復該非揮發性記憶體。

2. 根據申請專利範圍第1項之非揮發性記憶體，進一步包括一連接到該區塊以及該比較器的測試暫存器，該測試暫存器被配置以儲存一使用者輸入的測試變數，該測試變數作為該期望資料之一基礎。

3. 根據申請專利範圍第1項之非揮發性記憶體，該非揮發性記憶體包括一快閃EEPROM。

4. 根據申請專利範圍第1項之非揮發性記憶體，進一步包括一處理器，該處理器之運作與該非揮發性記憶體有關。

5. 一種非揮發性記憶體之自我測試及修復之方法，包括：

使用一比較器來比較一期望定限電壓特性與一讀出定限電壓特性，以識別一特定記憶體子塊內的一故障；

使用一故障鎖存電路來決定該特定記憶體子塊之一位址；以及

使用一熔絲以用一冗餘子塊來取代該特定記憶體子塊，藉以修復該非揮發性記憶體；

其中該非揮發性記憶體包含一區塊，該區塊包括複數個記憶體子塊；

其中該冗餘子塊具有大小等於該記憶體子塊之大小；
以及

其中該非揮發性記憶體被耦接到該比較器、該故障鎖存電路以及該熔絲。

6. 根據申請專利範圍第5項之方法，該期望定限電壓特性係以一使用者輸入的測試變數為基礎。
7. 根據申請專利範圍第5項之方法，該期望定限電壓特性包括可允許的定限電壓(threshold voltage)之一偏移。
8. 根據申請專利範圍第5項之方法，該非揮發性記憶體包括一快閃EEPROM。