[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 29/78
H01L 21/336

[12] 发明专利说明书

[21] ZL 专利号 98108029.4

[45] 授权公告日 2004 年 1 月 21 日

[11] 授权公告号 CN 1135634C

[22] 申请日 1998.4.28 [21] 申请号 98108029.4

[30] 优先权

[32] 1997.11.25 [33] KR [31] 62573/1997

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金贤植 申宪宗 李受哲

审查员 唐跃强

[74] 专利代理机构 北京市柳沈律师事务所

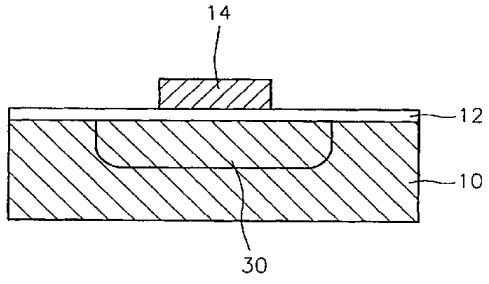
代理人 马 莹

权利要求书 3 页 说明书 6 页 附图 3 页

[54] 发明名称 高速/高性能金属氧化物半导体晶体管及其制造方法

[57] 摘要

一种可抑制伴随元件的微小化而产生的短沟道效应的高速/高性能金属氧化物晶体管及其制造方法，该金属氧化物晶体管包括半导体衬底、栅绝缘膜、栅电极、氧化膜、第一隔离区、第二隔离区、第一掺杂层、第二掺杂层、第三掺杂层、以及第四掺杂层。



ISSN1008-4274

1. 一种高速/高性能金属氧化物半导体晶体管，其特征在于，包括：包含第一导电类型掺杂物的半导体衬底；在所述半导体衬底上形成的栅绝缘膜；在所述栅绝缘膜上形成的栅电极；通过所述栅电极的表面氧化而形成的氧化膜；在所述栅电极的侧壁形成的第一隔离区；在所述第一隔离区的倾斜侧壁形成的第二隔离区；第一掺杂层，是向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述栅电极的边缘而形成的，第一深度和并具有低浓度；第二掺杂层，是向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘而形成的，并具有比所述第一深度更深的第二深度和中间浓度；第三掺杂层，是向所述半导体衬底的表面附近倾斜注入第一导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘而形成的，并具有围绕以中间浓度形成的所述第二掺杂层的第三深度和比所述半导体衬底的掺杂物浓度更高的掺杂物浓度；第四掺杂层，是向所述半导体衬底的表面附近注入第二导电类型掺杂物、以使其自己排列在所述第二隔离区的边缘而形成的，并具有比所述第三深度更深的第四深度和高浓度。

2. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述栅电极的表面氧化膜的厚度是 3～8nm。

3. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一隔离区的宽度是 10～30nm。

4. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第二隔离区的宽度是 50～100nm。

5. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一导电类型是 P 型，第二导电类型是 N 型。

6. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一掺杂层的掺杂物是砷（As）。

7. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第二掺杂层的掺杂物是砷（As）。

8. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第二掺杂层的掺杂物是磷（P）。

9. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第三掺杂层的掺杂物是硼（B）。

10. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第三掺杂层的掺杂物是氟化硼（BF_2）。

11. 如权利要求 5 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第四掺杂层的掺杂物是砷（As）。

12. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一导电类型是 N 型，第二导电类型是 P 型。

13. 如权利要求 12 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一掺杂层的掺杂物是氟化硼（BF_2）。

14. 如权利要求 12 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第二掺杂层的掺杂物是氟化硼（BF_2）。

15. 如权利要求 12 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第三掺杂层的掺杂物是磷（P）。

16. 如权利要求 12 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第三掺杂层的掺杂物是砷（As）。

17. 如权利要求 12 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第四掺杂层的掺杂物是 BF_2。

18. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第一掺杂层，在栅多晶硅边缘以侧面扩散深度不超过 70nm 的状态同栅多晶硅重叠。

19. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第二掺杂层的侧面扩散深度至栅多晶硅边缘的附近为止。

20. 如权利要求 1 所述的高速/高性能金属氧化物半导体晶体管，其特征在于，所述第三掺杂层以侧面扩散深度不超出第一掺杂层的状态围绕第二掺杂层，而垂直扩散深度不超出第四掺杂层的深度，所述第四掺杂层的侧面扩散深度至隔离区深度附近为止。

21. 一种高速/高性能金属氧化物半导体晶体管制造方法，其特征在于，它包括：在包含第一导电类型掺杂物的半导体衬底上形成栅绝缘膜的步骤；在所述栅绝缘膜上形成栅电极的步骤；对所述栅电极的表面进行氧化而形成表面氧化膜的步骤；向所述半导体衬底的表面附近倾斜注入第二导电类

型掺杂物、以使其自己排列在表面被氧化的栅电极的边缘，从而形成具有第一深度的低浓度的第一掺杂层的步骤；在表面被氧化的所述栅电极的侧壁形成第一隔离区的步骤；向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘，从而形成具有比第一深度更深的第二深度的中间浓度的第二掺杂层的步骤；向所述半导体衬底的表面附近倾斜注入第一导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘，从而形成具有围绕所述中间浓度的第二掺杂层的第三深度和比所述半导体衬底的掺杂物浓度更高的掺杂物浓度的第三掺杂层的步骤；在所述第一隔离区的倾斜侧壁形成第二隔离区的步骤；向所述半导体衬底的表面附近注入第二导电类型掺杂物、以使其自己排列在所述第二隔离区的边缘，从而形成具有比所述第三深度更深的第四深度的高浓度的第四掺杂层的步骤。

22. 如权利要求21所述的高速/高性能金属氧化物半导体晶体管制造方法，其特征在于，所述第一掺杂层是通过浓度为 1E13～1E14/cm^2、能量为 15～30KeV、倾斜角为 7～45°的离子注入而形成的。

23. 如权利要求21所述的高速/高性能金属氧化物半导体晶体管制造方法，其特征在于，所述第二掺杂层是通过浓度为 1E14～1E15/cm^2、能量为 20～30KeV、倾斜角为 7～45°的离子注入而形成的。

24. 如权利要求21所述的高速/高性能金属氧化物半导体晶体管制造方法，其特征在于，所述第三掺杂层是通过浓度为 2E12～2E13/cm^2、能量为 20～40KeV、倾斜角为 7～45°的离子注入而形成的。

25. 如权利要求21所述的高速/高性能金属氧化物半导体晶体管制造方法，其特征在于，所述第四掺杂层是通过浓度为 1E15～5E15/cm^2、能量为 10～50KeV 的离子注入而形成的。

高速/高性能金属氧化物半导体晶体管及其制造方法

技术领域

本发明涉及一种 MOS（金属氧化物）晶体管及其制造方法，特别涉及一种可抑制伴随小于 0.25μm 的高速半导体装置中的元件的微小化而产生的短沟道现象并维持元件的高速/高性能的 MOS 晶体管及其制造方法。

背景技术

随着半导体制造技术的发展，元件的尺寸达到四分之一微米级，从而，在 MOS 晶体管中出现的现象不同于在长沟道时产生的现象。其具代表性的现象就是短沟道效应，该短沟道效应是指，在小于 0.5 微米的栅长度时，同长沟道相比，通常是短沟道中的阈值电压减小。

这样的短沟道效应可用一维电荷分配模型（1- Dimensional Charge Sharing Method）来简单地分析，还可以用依据二维势垒降低（2- Dimensional Potential Barrier Lowering）的数值分析法来准确地建立模型。

为了抑制所述短沟道效应，可从数学公式中推导出减小栅氧化膜的厚度、减小栅下部的耗尽层最大宽度（Depletion Maximum Width）、且减小衬底浓度等方法，但最好应形成浅结（shallow junction）。

因此，在现在的 ULSI（Ultra Large Scale Integration: 超大规模集成）技术中，试着导入了薄离子注入设备，用 RTA（Rapid Thermal Annel: 快速热退火）方法进行后续热处理以实现浅结，且正在应用于批量生产中。

虽然导入了上述的两个用于形成浅结的方法，但四分之一微米级的元件所要求的标准越来越高，如果考虑涉及设备的限度与批量生产化的工序可控制性（process controllability），则可知道，为简单结构下的浅结而进行的努力也达到了极限。

现有的 MOS 晶体管是具代表性的 LDD（lightly doped drain: 轻掺杂漏极）结构。这样的 LDD 结构是在浅结结构中以 MDD（moderate doped drain: 中度掺杂漏极）进行着。

同 LDD 结构相比，所述 MDD 结构将 LDD 区域的掺杂水平从～E14/cm^2增加到～E15/cm^2，而欲提高元件性能。但是，在 MDD 区域中的掺杂水平的增加，会作为伴随短沟道化产生的短沟道效应的主要原因而起作用。

发明内容

本发明是为解决上述问题而提供的，其目的在于提供可抑制伴随元件的微小化而产生的短沟道效应的高速/高性能 MOS 晶体管及其制造方法。

为实现上述目的，本发明的一种高速/高性能 MOS 晶体管包括：包含第一导电类型掺杂物的半导体衬底；在所述半导体衬底上形成的栅绝缘膜；在所述栅绝缘膜上形成的栅电极；通过所述栅电极的表面氧化而形成的氧化膜；在所述栅电极的侧壁形成的第一隔离区；在所述第一隔离区的倾斜侧壁形成的第二隔离区；第一掺杂层，是向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述栅电极的边缘而形成的，并具有第一深度和低浓度；第二掺杂层，是向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘而形成的，并具有比所述第一深度更深的第二深度和中间浓度；第三掺杂层，是向所述半导体衬底的表面附近倾斜注入第一导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘而形成的，并具有围绕以中间浓度形成的所述第二掺杂层的第三深度和比所述半导体衬底的掺杂物浓度更高的掺杂物浓度；第四掺杂层，是向所述半导体衬底的表面附近注入第二导电类型掺杂物、以使其自己排列在所述第二隔离区的边缘而形成的，并具有比所述第三深度更深的第四深度和高浓度。

并且，本发明的制造方法包括：在包含第一导电类型掺杂物的半导体衬底上形成栅绝缘膜的步骤；在所述栅绝缘膜上形成栅电极的步骤；对所述栅电极的表面进行氧化而形成表面氧化膜的步骤；向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在表面被氧化的栅电极的边缘，从而形成具有第一深度的低浓度的第一掺杂层的步骤；在表面被氧化的所述栅电极的侧壁形成第一隔离区的步骤；向所述半导体衬底的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述第一隔离区的边缘，从而形成具有比第一深度更深的第二深度的中间浓度的第二掺杂层的步骤；向所述半导体衬底的表面附近倾斜注入第一导电类型掺

杂物、以使其自己排列在所述第一隔离区的边缘，从而形成具有围绕所述中间浓度的第二掺杂层的第三深度和比所述半导体衬底的掺杂物浓度更高的掺杂物浓度的第三掺杂层的步骤；在所述第一隔离区的倾斜侧壁形成第二隔离区的步骤；向所述半导体衬底的表面附近注入第二导电类型掺杂物、以使其自己排列在所述第二隔离区的边缘，从而形成具有比所述第三深度更深的第四深度的高浓度的第四掺杂层的步骤。

附图说明：

图 1 是本发明涉及的高速/高性能 MOS 晶体管的剖面图；

图 2 至图 6 是图 1 中的高速/高性能 MOS 晶体管的制造工序示意图。

具体实施方式

下面说明本发明的优选实施例。

图 1 是本发明涉及的高速/高性能 MOS 晶体管的剖面图。

图 1 中的本发明涉及的 MOS 晶体管包括：包含第一导电类型、例如 P 掺杂物的半导体衬底 10；在该半导体衬底 10 的表面上形成的栅绝缘膜 12；在该栅绝缘膜 12 上形成的栅电极 14；在该栅电极 14 的表面通过氧化方法形成的氧化膜 16；在栅电极 14 的侧壁形成的第一隔离区 18；在第一隔离区 18 的倾斜侧壁上形成的第二隔离区 20；第一掺杂层的 LDD 区域 22，是向所述半导体衬底 10 的表面附近倾斜注入第二导电类型例如 N 型掺杂物、以使其自己排列在所述栅电极 14 的边缘而形成的，具有第一深度和低浓度；第二掺杂层的 MDD 区域 24，是向所述半导体衬底 10 的表面附近倾斜注入第二导电类型掺杂物、以使其自己排列在所述第一隔离区 18 的边缘而形成的，具有比所述第一深度深的第二深度和中间浓度，；第三掺杂层的 P 型罩 26，是向所述半导体衬底 10 的表面附近倾斜注入第一导电类型掺杂物、以使其自己排列在所述第一隔离区 18 的边缘而形成的，具有围绕所述中间浓度的第二掺杂层 24 的第三深度和比所述半导体衬底 10 的掺杂物浓度更高的掺杂物浓度，；第四掺杂层的源极/漏极区域 28，是向所述半导体衬底 10 的表面附近注入第二导电类型掺杂物、以使其自己排列在所述第二隔离区 20 的边缘而形成的，具有比所述第三深度更深的第四深度和高浓度。在图中，未说明的标号 30 表示用于调节沟道区域的阈值电压并防止击穿现象的

掺杂物离子注入区域。

所述栅电极 14 的表面氧化膜 16 的厚度是 3～8nm，所述第一隔离区 18 的宽度是 10～30nm，所述第二隔离区 20 的宽度是 50～100nm。

所述 LDD 区域 22 是通过浓度为 1E13～1E14/cm^2、能量为 15～30KeV、倾斜角为 7～45°的离子注入而形成的，所述 MDD 区域 24 是通过浓度为 1E14～1E15/cm^2、能量为 20～30KeV、倾斜角为 7～45°的离子注入而形成的。

并且，所述 P 型罩 26 是通过浓度为 2E12～2E13/cm^2、能量为 20～40KeV、倾斜角为 7～45°的离子注入而形成的，所述源极/漏极区域 28 是通过浓度为 1E15～5E15/cm^2、能量为 10～50KeV 的离子注入而形成的。

图 2 至图 6 是图 1 中的高速/高性能 MOS 晶体管的制造工序示意图。

下面，参照图 2 至图 6 说明本发明的制造方法。

首先，如图 2 所示，在 P 型半导体衬底 10 上形成约 15nm 厚的缓冲氧化膜之后，进行用于调节阈值电压的离子注入和用于防止击穿现象的离子注入，从而形成掺杂层 30。接着，在去除缓冲氧化膜之后，在衬底 10 的表面上形成栅绝缘膜 12，并在该栅绝缘膜 12 上蒸镀多晶硅，然后通过照相蚀刻工序用蒸镀的多晶硅形成栅电极 14。

然后，如图 3 所示，对由多晶硅构成的栅电极 14 的表面进行氧化而形成约 3～8nm 厚的表面氧化膜 16，再如图 4 所示，通过浓度为 1E13～1E14/cm^2、能量为 15～30KeV、倾斜角为 7～45°的离子注入方法注入第二导电类型掺杂物例如砷（As）、以使其自己排列在进行了表面氧化的栅电极 14 的边缘，从而，在所述半导体衬底 10 的表面附近形成低浓度的第一掺杂层、即 LDD 区域 22。此时，所述 LDD 区域 22 的侧面与栅多晶硅重叠。当以栅多晶硅边缘为基准的 LDD 区域 22 的垂直结深大于 60nm 时，可能会产生表面击穿现象，所以 LDD 区域 22 的垂直结深最好是小于 60nm。

其次，如图 5 所示，在该制成物的整个表面上蒸镀 10～30nm 厚的绝缘膜之后，通过深腐蚀（etch back）工序在栅电极 14 的侧壁形成第一隔离区 18。接着，通过浓度为 1E14～1E15/cm^2、能量为 20～30KeV、倾斜角为 7～45°的离子注入方法注入第二导电类型掺杂物例如砷（As）或锑（Sb）、以使其自己排列在第一隔离区 18 的边缘，从而，在所述半导体衬底 10 的表面附近形成具有比所述第一深度更深的第二深度的中间浓度的第二掺杂

层、即 MDD 区域 24。此时，当该 MDD 区域 24 和栅多晶硅重叠的时候，在位于栅多晶硅的边缘下方的半导体衬底 10 处产生强电场，产生的该强电场会诱发热载流子（hot carrier）而导致降低元件特性的结果。所以，使 MDD 区域 24 的侧面扩散区域和栅多晶硅不重叠。并且，使所述 MDD 区域 24 的垂直结深比 LDD 区域 22 的垂直结深扩散更深。其原因是，同以 LDD 区域 22 的垂直结深形成的时候相比，此时的 MDD 区域 24 的垂直结深可减小寄生电阻，所以可流过相对更多的电流，并能够增加漏极的饱和电流。

然后，通过浓度为 2E12～2E13/cm^2、能量为 20～40KeV、倾斜角为 7～45°的离子注入方法注入第一导电类型掺杂物即 P 型掺杂物、以使其自己排列在第一隔离区 18 的边缘，从而在所述半导体衬底 10 的表面附近形成具有围绕 MDD 区域 24 的第三深度和比所述半导体衬底 10 的掺杂物浓度更高的掺杂物浓度的第三掺杂层、即 P 型罩 26。当该 P 型罩 26 的侧面区域围绕 LDD 区域 22 的时候，可使沟道区域的掺杂物浓度（dopant concentration）发生局部变化而引起阈值电压的特性变化。所以，不应使 P 型罩 26 的侧面区域比 LDD 区域 22 更深向里侧。并且，当 P 型罩 26 的垂直结深比 MDD 区域 24 深而围绕 N+区域的时候，应抑制 MDD 区域 24 的蒸镀扩散，且由于在 N+区域中的接合容量增加了，所以，不应使 P 型罩 26 的垂直结深比 MDD 区域 24 更深而围绕 N+区域。

接着，如图 6 所示，在该制成物的整个表面上蒸镀 50～100nm 厚的绝缘膜之后，通过深腐蚀（etch back）工序在第一隔离区 18 的倾斜侧壁上形成第二隔离区 20。然后，通过浓度为 1E15～5E15/cm^2、能量为 10～50KeV 的离子注入方法注入第二导电类型掺杂物即 N 型掺杂物、以使其自己排列在该第二隔离区 20 的边缘，从而，在所述半导体衬底 10 的表面附近形成具有比所述第三深度更深的第四深度的高浓度的第四掺杂层、即源极/漏极区域 28。之后，利用 RTP 方法进行 1000℃下的 30 分钟的热处理，从而活化注入的掺杂物。

如上所述的本发明，通过在低浓度的 LDD 区域和高浓度的源极/漏极区域之间形成具有中间浓度的 MDD 区域、并利用该 MDD 区域来减小 LDD 的水平阻抗且增加漏极饱和电流，能够获得高速/高性能的 MOS 晶体管。

此外，通过利用 LDD 区域在栅极边缘的漏极附近减小电场的最大值，能够提高四分之一微米级的 MOS 晶体管的可靠性。

另外，具有由P型罩区域围绕MDD区域的结构，从而在垂直方向上形成LDD区域和MDD区域的较薄的接合，在水平方向上行使抑制由MDD区域和源极/漏极区域引起的击穿现象的固有功能，因此，能够改善短沟道效应。

本发明不仅仅限于上述的实施例，在权利要求中记载的本发明的技术思想和范围内，本领域技术人员可进行多种变形。

例如，上述实施例是对NMOS晶体管的情况进行的说明，也可应用于PMOS晶体管。而且，当应用于PMOS晶体管的时候，第一掺杂层22的掺杂物使用硼或 BF_2，第二掺杂层24的掺杂物使用 BF_2 或铟（In）。

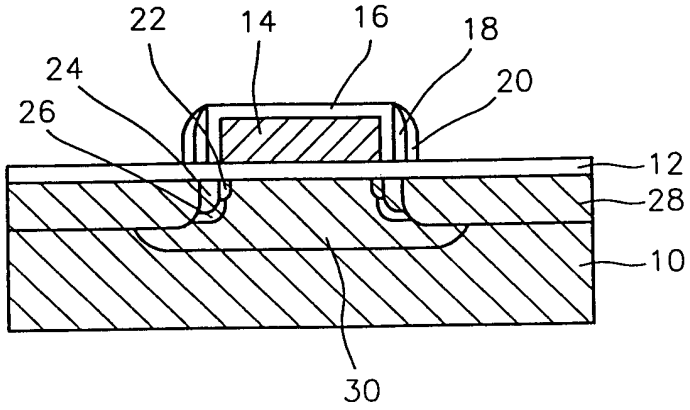


图 1

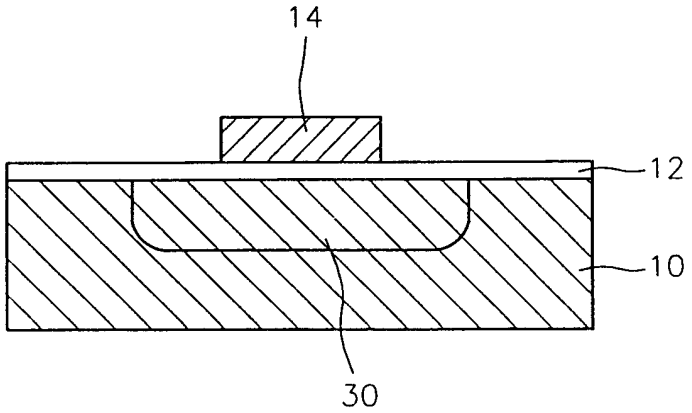


图 2

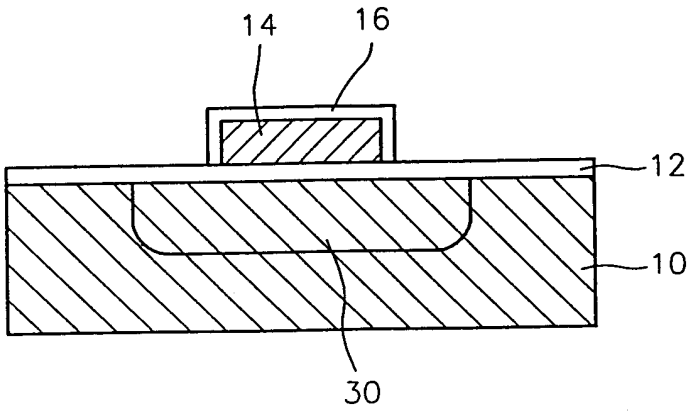


图 3

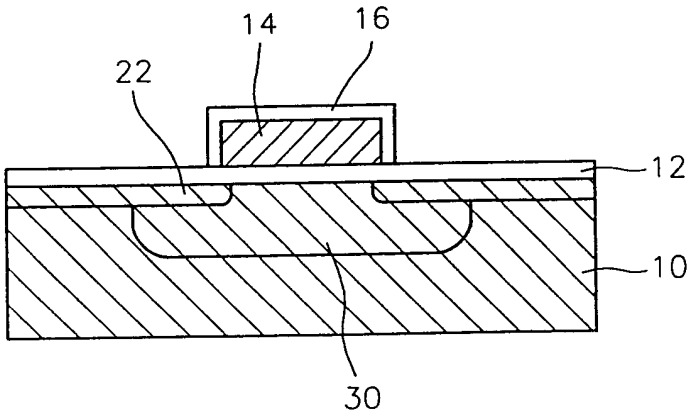


图 4

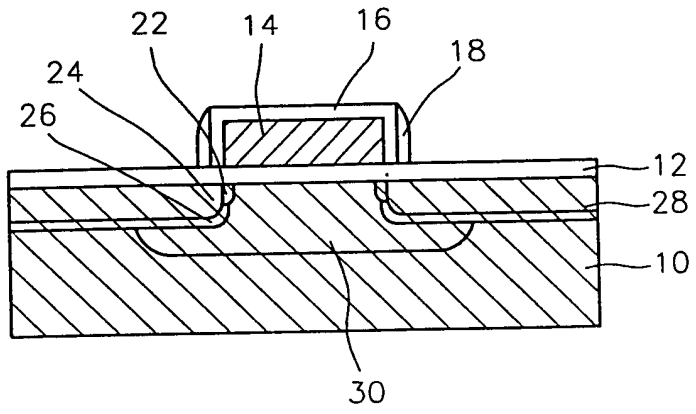


图 5

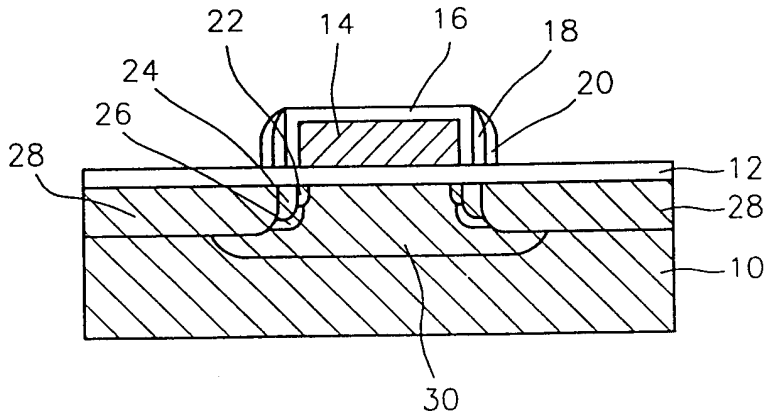


图 6