

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年6月22日 (22.06.2006)

PCT

(10) 国際公開番号
WO 2006/064916 A1

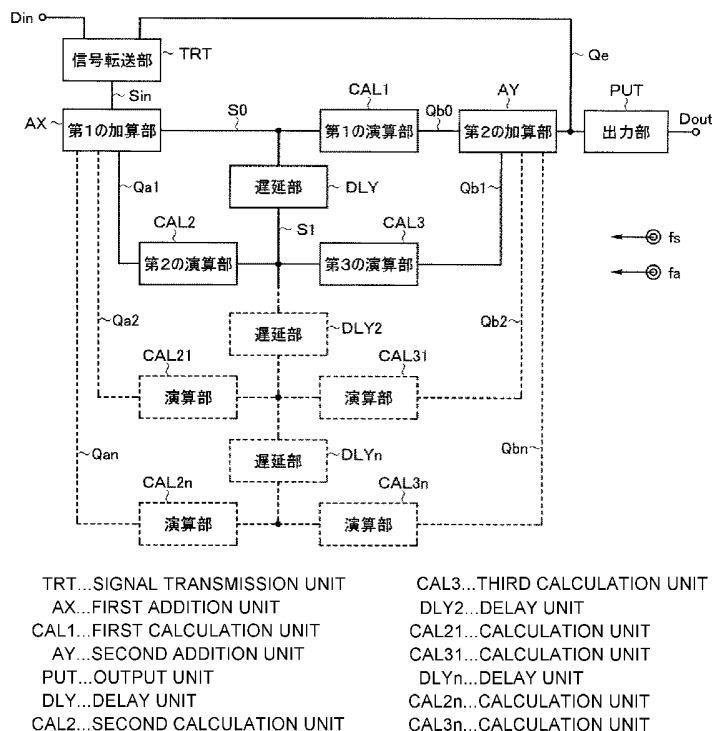
- (51) 国際特許分類:
H03H 17/04 (2006.01) H03H 17/06 (2006.01)
- (21) 国際出願番号: PCT/JP2005/023171
- (22) 国際出願日: 2005年12月16日 (16.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-366625
2004年12月17日 (17.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP];
〒1538654 東京都目黒区目黒1丁目4番1号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀籠 文彦 (HORIGOME, Fumihiko) [JP/JP]; 〒3508555 埼玉県川越市山田字西町25番地1 パイオニア株式会社 川越工場内 Saitama (JP). 大橋 徹 (OHASHI, Toru) [JP/JP]; 〒3508555 埼玉県川越市山田字西町25番地1 パイオニア株式会社 川越工場内 Saitama (JP).
- (74) 代理人: 小橋 信淳, 外 (KOBASHI, Nobukiyo et al.); 〒1500022 東京都渋谷区恵比寿南1丁目6番10号 恵比寿MFビル14号館 4階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: DIGITAL FILTER

(54) 発明の名称: デジタルフィルタ



(57) Abstract: There is provided a digital filter of simple configuration. A signal transmission unit TRT switches between an input signal Din and an addition output signal Qe in a predetermined order in synchronization with a predetermined frequency fa of higher frequency than a sampling frequency fs and outputs it as a switched supply signal Sin. An addition unit AX adds the switched supply signal Sin and a multiplication signal Qa1 from a calculation unit CAL2 and the like in synchronization with the predetermined frequency fa and outputs the added input signal S0. A calculation unit CAL1 multiplies the filter coefficient by a predetermined number of multiplier in synchronization with the predetermined frequency fa so as to generate a multiplied signal Qb0. An addition unit AY adds the multiplied signal Qb0 and the multiplied signal Qb1 from the calculation unit CAL3 and the like in synchronization with the predetermined frequency fa and outputs an addition output signal Qe indicating the addition

result. The multiplication units CAL2 and CAL3 respectively input the added input signal S0 via a delay unit DLY and multiply the filter coefficient by a predetermined number of multipliers in synchronization with the predetermined frequency fa so as to generate multiplied signals Qa1 and Qb1, which are supplied to addition units A1 and B1 so as to be subjected to an addition processing. An output unit PUT outputs an addition output signal Qe as an output signal Dout synchronized with the sampling frequency fs.

(57) 要約: 本発明は、簡素な構成のデジタルフィルタを提供することを目的とする。信号転送部TRTがサンプリング周波数fsより高周波数の規定周波数faに同期して、入力信号Dinと加算出力信号Qeを所定順序で切り替え、切替供給信号Sinと

[続葉有]

WO 2006/064916 A1



ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

して出力し、加算部AXが切替供給信号Sinと演算部CAL2等からの乗算信号Qa1等を規定周波数faに同期して加算し、その加算入力信号S0を出力する。演算部CAL1が所定数の乗算器によってフィルタ係数を規定周波数faに同期して乗算することにより乗算信号Qb0を生成し、加算部AYが乗算信号Qb0と演算部CAL3等からの乗算信号Qb1等を規定周波数faに同期して加算し、その加算結果を示す加算出力信号Qeを出力する。乗算部CAL2,CAL3は、加算入力信号S0を遅延部DLYを介して入力し、各々所定数の乗算器によってフィルタ係数を規定周波数faに同期して乗算することにより、乗算信号Qa1,Qb1を生成し、加算部A1,B1に供給し加算処理を行わせる。そして、加算出力信号Qeを出力部PUTが、サンプリング周波数fsに同期した出力信号Doutにして出力する。

明 細 書

デジタルフィルタ

技術分野

[0001] 本発明は、デジタルフィルタに関する。

背景技術

[0002] コンピュータ技術や集積回路技術等の発展を背景として、音声処理や画像処理、通信をはじめとする幅広い技術分野でデジタル信号処理技術が急速に進歩し、例えば特開2004-15406号公報に開示されているIIR (Infinite Impulse Response) 形やFIR (Finite Impulse Response) 形のデジタルフィルタがデジタル信号処理技術における基盤要素として多用されている。

[0003] 図1(a)は、従来一般に利用されているIIR形デジタルフィルタの構成を表したブロック図である。

[0004] 同図において、このIIR形デジタルフィルタは、複数個のIIR形デジタルフィルタR1～Rmが多段(m段)接続された構成を有しており、所定のサンプリング周波数 f_s でサンプリングされた入力信号Dinを入力し、所定のフィルタリング処理を施して出力信号Doutを出力する。

[0005] 初段のIIR形デジタルフィルタR1は、入力信号Dinと加算器A21の出力とを加算する加算器A11と、加算器A11の出力と所定のフィルタ係数とを乗算する乗算器b01と、乗算器b01と加算器B21との出力を加算しその加算結果を次段のIIR形デジタルフィルタR2へ供給する加算器B11と、加算器A11に従属接続され、クロック信号C K_s に基づいて1サンプル遅延($1/f_s$)の遅延時間を生じる遅延素子Z11～Zn1と、遅延素子Z11～Zn1の各出力と所定のフィルタ係数とを乗算して出力する乗算器a11～an1, b11～bn1と、乗算器a11～an1の出力を加算する加算器A21, A31…と、乗算器b11～bn1の出力を加算する加算器B21, B31…とを備えて構成されている。

[0006] そして、遅延素子Z11～Zn1と乗算器a11～an1と加算器A21, A31…によって実現されている部分(加算器A21を除いた当該部分だけを見た場合の構成はFIR形デジタルフィルタと見なすことができる)の伝達関数を z 変換表記の $A_1(z)$ で表し、遅延素

子 $Z_{11} \sim Z_{n1}$ と乗算器 $b_{01} \sim b_{n1}$ と加算器 $B_{11}, B_{21}, B_{31} \dots$ によって実現されている部分(当該部分だけを見た場合の構成も、FIR形デジタルフィルタと見なすことができる)の伝達関数を $B_1(z)$ で表すこととすると、FIR形デジタルフィルタと見なせる伝達関数 $A_1(z)$ は加算器 A_{11} を介して帰還ループを構成しており、FIR形デジタルフィルタと見なせる伝達関数 $B_1(z)$ は帰還ループを構成することなく加算器 A_{11} に対して従属接続されているため、IIR形デジタルフィルタ R_1 の全体の伝達関数 $H_1(z)$ は、次式(1)で表され、その伝達関数 $H_1(z)$ で発揮されるフィルタ特性に基づいてフィルタリング処理を行う。

[0007] [数1]

$$H_1(z) = \frac{B_1(z)}{1 - A_1(z)} = \frac{\sum_{n=0}^N b_{n1}(z) z^{-n}}{1 - \sum_{n=1}^N a_{n1}(z) z^{-n}} \quad \dots (1)$$

[0008] 2段目以降のIIR形デジタルフィルタ $R_2 \sim R_m$ も、初段のIIR形デジタルフィルタ R_1 と同様の構成を有し、伝達関数 $H_2(z) \sim H_m(z)$ で表されるフィルタ特性を発揮する。

[0009] したがって、IIR形デジタルフィルタ $R_1 \sim R_m$ が多段接続された従来のデジタルフィルタの伝達関数を $H_{ALL}(z)$ とすると、次式(2)で表されることとなり、入力信号 D_{in} に対して伝達関数 $H_{ALL}(z)$ で発揮されるフィルタ特性に基づいてフィルタリング処理を施し、その処理結果である出力信号 D_{out} を出力するようになっている。

[0010] [数2]

$$H_{ALL}(z) = H_1(z) H_2(z) \dots H_m(z) \quad \dots (2)$$

[0011] また、図1(b)のブロック図に示すように、FIR形デジタルフィルタについても、複数のFIR形デジタルフィルタ $F_1 \sim F_m$ を多段接続することで、所望のフィルタ特性を実現することが一般に行われている。

[0012] 特許文献1:特開2004-15406号公報

発明の開示

発明が解決しようとする課題

- [0013] ところで、上記従来のIIR形デジタルフィルタは、所望のフィルタ特性を実現するために、複数段のIIR形デジタルフィルタ $R_1 \sim R_m$ が必要であることから構成要素が多くなり、ハードウェアで構成すると部品点数の増加や回路規模が大きくなる等の問題があった。例えば、ICやLSI等の半導体集積回路装置に組み込んだ場合にはチップサイズ的大型化やコスト高を招く等の問題があった。
- [0014] また、図1(a)に示した各構成要素をコンピュータプログラムで実現し、デジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)等に行わせることによってソフトウェア処理を行う場合にも、プログラムステップ数が多くなり、デジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)等に多くの負荷が掛かって高速のデジタル信号処理を行うことができなくなる等の問題があった。
- [0015] また、図1(b)に例示した従来のFIR形デジタルフィルタにおいても、複数個のFIR形デジタルフィルタを多段接続で構成すると構成要素が多くなり、ハードウェア構成とした場合には、部品点数の増加や回路規模が大きくなる等の問題を招き、ソフトウェアで実現すると、プログラムステップ数が多くなって高速処理等に支障を来す等の問題を招来していた。
- [0016] 本発明はこうした従来の問題に鑑みてなされたものであり、ハードウェア構成とした場合に、例えば部品等の構成要素の低減や回路規模の小型化、簡素化等を図ることができ、また、ソフトウェアで実現する場合には、例えばプログラムステップ数を低減して高速処理等を実現することができる、デジタルフィルタとデジタル信号処理方法を提供することを目的とする。

課題を解決するための手段

- [0017] 請求項1に記載の発明は、サンプリング周波数に同期した入力信号に対し複数段のIIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタルフィルタであって、供給される信号を加算して加算入力信号を生成する第1の加算手段と、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、当該各乗算器による前記加算入力信号に対するフィルタ係数の乗算を、前記サンプリング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプリング周波数の各周期の間に所定

順序で切り替えて行わせることにより、第1の乗算信号を生成して出力させる第1の演算手段と、前記第1の演算手段から前記規定周波数に同期して出力される第1の乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として出力する第2の加算手段と、前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で前記第1の加算手段に供給する信号転送手段と、前記規定周波数の各周期に相当する遅延時間が設定された遅延素子を有し、前記加算入力信号を当該遅延時間で遅延した遅延信号を出力する遅延手段と、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第1の加算手段に供給する第2の乗算信号を生成して出力させる第2の演算手段と、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第2の加算手段に供給する第3の乗算信号を生成して出力させる第3の演算手段と、を備えることを特徴とする。

- [0018] 請求項8に記載の発明は、サンプリング周波数に同期した入力信号に対し複数段のFIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタルフィルタであって、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、当該各乗算器による所定の切替供給信号に対するフィルタ係数の乗算を、前記サンプリング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、乗算信号を生成して出力させる演算手段と、前記演算手段から前記規定周波数に同期して出力される乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として出力する加算手段と、前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で切り替えることにより、前記切替供給信号を出力する信号転送手段と、前記規

定周波数の各周期に相当する遅延時間が設定された遅延素子を有し、前記切替供給信号を当該遅延時間で遅延した遅延信号を出力する遅延手段と、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記加算手段に供給する他の乗算信号を生成して出力させる他の演算手段と、を備えることを特徴とする。

図面の簡単な説明

[0019] [図1]従来のIIR形デジタルフィルタとFIR形デジタルフィルタの一般的な構成を表したブロック図である。

[図2]本発明の第1実施形態に係るデジタルフィルタの構成を表した図である。

[図3]本発明の第2実施形態に係るデジタルフィルタの構成を表した図である。

[図4]図2に示した第1実施形態のより具体的な実施例に係るIIR形のデジタルフィルタの構成を表したブロック図である。

[図5]図4に示したデジタルフィルタの動作を説明するためのタイミングチャートである。

[図6]乗算器の他の構成を表したブロック図である。

[図7]図6に示した他の構成の乗算器に設けられているビットシフト回路の構成を表した図である。

[図8]図3に示した第2実施形態のより具体的な実施例に係るFIR形のデジタルフィルタの構成を表したブロック図である。

発明を実施するための最良の形態

[0020] 本発明の好適な実施の形態について、図2及び図3を参照して説明する。図2は、IIR形デジタルに相当するフィルタ特性を発揮する本実施形態に係るデジタルフィルタの構成を説明するためのブロック図、図3は、FIR形デジタルに相当するフィルタ特性を発揮する本実施形態に係るデジタルフィルタの構成を説明するためのブロック図であり、各図を参照して、各々のデジタルフィルタについて説明する。

[0021] [IIR形デジタルフィルタに相当する実施形態]

図2において、この第1実施形態に係るデジタルフィルタは、サンプリング周波数 f_s に同期したデータ系列であるデジタル信号(以下「入力信号」と称する) D_{in} が供給されると、フィルタリング処理を施して、その出力信号 D_{out} を出力する。

[0022] 更に、このデジタルフィルタは、入力信号 D_{in} のサンプリング周波数 f_s に同期した各データに対し、サンプリング周波数 f_s より高い規定周波数 f_a に同期してデジタル信号処理を行うことにより、フィルタリング処理後の出力信号 D_{out} をサンプリング周波数 f_s に同期して出力する。

[0023] 更に、図1(a)に例示した多段構成のIIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタを設計等する場合、上述の規定周波数 f_a は、次式(3)で表されるように、サンプリング周波数 f_s より高周波数で、多段構成のその段数 m (m は任意の数)に相当する整数 m 倍以上の周波数に決められている。

[0024] また、サンプリング周波数 f_s の各周期(以下「サンプル周期」という) τ_s と、規定周波数 f_a の各周期(以下「規定周期」という) τ_a の関係を表すと、次式(4)(5)で表されるように、サンプル周期 τ_s の期間内に、 m 回以上の規定周期 τ_a が生じるように決められている。

[0025] [数3]

$$m \times f_s \leq f_a \quad \dots (3)$$

$$m \times (1/f_a) \leq 1/f_s \quad \dots (4)$$

$$m \times \tau_a \leq \tau_s \quad \dots (5)$$

[0026] 以下の説明では、サンプリング周波数 f_s の $m+1$ 倍の周波数を規定周波数 f_a とし、図1(a)に例示した m 段のIIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタについて説明する。

[0027] 第1の加算部AXは、信号転送部TRTを介して規定周期 τ_a に同期して供給される切替供給信号 S_{in} と、少なくとも、第2の演算部CAL2から規定周期 τ_a に同期して供給される第2の乗算信号 Q_{a1} とを加算し、その加算結果である加算入力信号 S_0 を第1の演算部CAL1と遅延部DLYに出力する。

[0028] 第1の演算部CAL1は、各々所定のフィルタ係数が設定された複数個の乗算器(図示略)を有している。図1(a)に例示した m 段構成のIIR形デジタルフィルタと同等の

フィルタ特性を発揮するデジタルフィルタを設計等する場合、第1の演算部CAL1は、図1(a)中の各段に設けられている乗算器b01, b02, ..., b0mに相当する複数個の乗算器を有して構成されている。

- [0029] そして、第1の演算部CAL1は、各サンプル周期 τ_s の規定周期 τ_a 毎に供給される加算入力信号S0に対する各乗算器によるフィルタ係数の乗算を、規定周期 τ_a に同期した所定の順序で切り替えて行わせ、その乗算結果を示す第1の乗算信号Qb0を第2の加算部AYに出力する。
- [0030] すなわち、第1の演算部CAL1の各乗算器をb01, b02, ..., b0mで表すと、各サンプル周期 τ_s の最初の規定周期 τ_a では、乗算器b01がそのフィルタ係数と加算入力信号S0との乗算を行って第1の乗算信号Qb0を出力し、次の規定周期 τ_a では、乗算器b02がそのフィルタ係数と加算入力信号S0との乗算を行って第1の乗算信号Qb0を出力し、以下同様に、残余の乗算器b03～b0mも規定周期 τ_a 毎に各々のフィルタ係数と加算入力信号S0との乗算を行って第1の乗算信号Qb0を順次に出力していく。
- [0031] 第2の加算部AYは、規定周期 τ_a に同期して供給される第1の乗算信号Qb0と第3の演算部CAL3等から規定周期 τ_a に同期して供給される第3の乗算信号Qb1等を加算し、その加算結果である加算出力信号Qeを規定周期 τ_a に同期して出力する。
- [0032] 信号転送部TRTは、入力信号Dinと、規定周期 τ_a に同期して第2の加算部AYで生成される加算出力信号Qeを入力して排他的に切り替えることにより、切替供給信号Sinとして第1の加算部AXに供給する。
- [0033] より詳細に述べると、信号転送部TRTは、各サンプル周期 τ_s の最初の規定周期 τ_a において入力信号Dinを第1の加算部AXに供給した後、次の規定周期 τ_a からそのサンプル周期 τ_s の終了時までの期間では、加算出力信号Qeを第1の加算部AXに供給する。そして、各サンプル周期 τ_s 毎に同様の処理を繰り返す。
- [0034] 遅延部DLYは、規定周期 τ_a に相当する(等しい)遅延時間 ΔT が設定された遅延素子を有し、規定周期 τ_a に同期して第1の加算部AXから出力される加算入力信号S0を遅延させ、遅延信号S1として第2, 第3の演算部CAL2, CAL3側へ出力する。
- [0035] 第2の演算部CAL2は、各々所定のフィルタ係数を有する複数個の乗算器(図示略

)を有している。図1(a)に例示した m 段構成のIIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタを設計等する場合には、同図1(a)中の各段に設けられている乗算器 a_{11} , a_{12} , $\dots$, a_{1m} に相当する複数個の乗算器を有して構成されている。

[0036] そして、各サンプル周期 τ_s の間に規定周期 τ_a 毎に供給される遅延信号 $S1$ に対する各乗算器によるフィルタ係数の乗算を、規定周期 τ_a に同期した所定の順序で切り替えて行わせ、各々の乗算結果を示す第2の乗算信号 $Qa1$ を第1の加算部 AX に供給する。

[0037] すなわち、第2の演算部 $CAL2$ に設けられている乗算器を a_{11} , a_{12} , $\dots$, a_{1m} で表すこととすると、各サンプル周期 τ_s の最初に供給される遅延信号 $S1$ に対して乗算器 a_{11} がフィルタ係数を乗算して第2の乗算信号 $Qa1$ を出力し、次の規定周期 τ_a に供給される遅延信号 $S1$ に対して乗算器 a_{12} がフィルタ係数を乗算して第2の乗算信号 $Qa1$ を出力し、以下同様に、残余の乗算器 $a_{13} \sim a_{1m}$ も規定周期 τ_a 毎に各々のフィルタ係数と遅延信号 $S1$ との乗算を行って第2の乗算信号 $Qa1$ を順次に出力していく。

[0038] 第3の演算部 $CAL3$ は、第2の演算部 $CAL2$ と同様に、各々所定のフィルタ係数が設定されている複数個の乗算器(図示略)、すなわち、図1(a)に例示した各段に設けられている乗算器 b_{11} , b_{12} , $\dots$, b_{1m} に相当する複数個の乗算器を有して構成されている。

[0039] そして、各サンプル周期 τ_s の間に規定周期 τ_a 毎に供給される遅延信号 $S1$ に対する各乗算器によるフィルタ係数の乗算を、規定周期 τ_a に同期した所定の順序で切り替えて行わせ、各々の乗算結果を示す第3の乗算信号 $Qb1$ を第2の加算部 AY に供給する。

[0040] すなわち、第3の演算部 $CAL3$ に設けられている乗算器を b_{11} , b_{12} , $\dots$, b_{1m} で表すこととすると、各サンプル周期 τ_s の最初に供給される遅延信号 $S1$ に対して乗算器 b_{11} がフィルタ係数を乗算して第3の乗算信号 $Qb1$ を出力し、次の規定周期 τ_a に供給される遅延信号 $S1$ に対して乗算器 b_{12} がフィルタ係数を乗算して第3の乗算信号 $Qb1$ を出力し、以下同様に、残余の乗算器 $b_{13} \sim b_{1m}$ も規定周期 τ_a 毎に各々のフイ

ルタ係数と遅延信号S1との乗算を行って第3の乗算信号Qb1を順次に出力していく。

- [0041] 出力部PUTは、各サンプル周期 τ_s における第m番目の規定周期 τ_a 、すなわち各サンプル周期 τ_s の開始時点から時間 $(m \times \tau_a)$ が経過した時点に、第2の加算部AYから出力される加算出力信号Qeを入力し、その各サンプル周期 τ_s の最後の規定周期(すなわち、 $m+1$ 番目の規定周期) τ_a において、その加算出力信号Qeを出力信号Doutとして出力し、次のサンプル周期 τ_s 内の時間 $(m \times \tau_a)$ に達するまでの期間にその出力信号Doutを保持しつつ出力する。
- [0042] 次に、図2に示した第1実施形態のデジタルフィルタの動作について説明する。
サンプリング周波数 f_s に同期した入力信号Dinが供給されると、信号転送部TRTが、各サンプル周期 τ_s における最初の規定周期 τ_a において、入力信号Dinを第1の加算部AXに供給すると共に、各サンプル周期 τ_s における残りの期間では、第2の加算部AYから規定周期 τ_a に同期して生成される加算出力信号Qeを帰還させて第1の加算部AXに供給する。
- [0043] 第1の加算部AXでは、信号転送部TRTから切替えて供給される入力信号Dinと加算出力信号Qeに対して第2の演算部CAL2からの第2の乗算信号Qa1を規定周期 τ_a に同期して加算し、その加算結果である加算入力信号S0を出力する。
- [0044] そして、第1の演算部CAL1が、所定の各フィルタ係数と加算入力信号S0との乗算処理を規定周期 τ_a に同期して順繰りに行って第2の加算部AY側へ出力すると共に、遅延部DLYが、規定周期 τ_a に同期して供給される加算入力信号S0を順番に所定の遅延時間 ΔT で遅延して出力し、更に、第2、第3の演算部CAL2、CAL3も、遅延信号S1に対して各々所定のフィルタ係数との乗算を規定周期 τ_a に同期して行い、各々の第1、第2の乗算信号Qa1、Qb1を第1、第2の加算部AX、AYへ供給して加算処理を行わせる。
- [0045] このように、第1実施形態のデジタルフィルタは、各サンプル周期 τ_s の間に規定周期 τ_a に同期して所定のデジタル信号処理を行うことで、入力信号Dinに対してフィルタリング処理を施した加算出力信号Qeを発生し、更に出力部PUTを介してその加算出力信号Qeをサンプリング周波数 f_s に同期した出力信号Doutとして出力する。

- [0046] 以上説明したように、第1実施形態のデジタルフィルタによれば、従来の多段構成のIIR形デジタルフィルタに較べて構成要素の少ない1段構成とすることが可能であり、特に、加算器の数を大幅に減らすことができる。
- [0047] このため、ハードウェアで構成した場合、回路規模の小型化等を図ることができ、また、例えばICやLSI等の半導体集積回路装置に組み込んだ場合にはチップサイズの小型化やコストの低減等を図ることが可能である。
- [0048] なお、以上の第1実施形態の説明では、図1(a)に例示した従来のm段構成で実現されていたIIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタについて説明した。つまり、第1, 第2, 第3の演算部CAL1, CAL2, CAL3の各々に上述のm段構成と同数mの乗算器 $b_{01} \sim b_{0m}$, $a_{11} \sim a_{1m}$, $b_{11} \sim a_{1m}$ を設けたデジタルフィルタについて説明した。
- [0049] しかし、各々の演算部CAL1, CAL2, CAL3に設けられる乗算器の個数mは、上述の段数mに相当する最大個数のことであり、所望のフィルタ特性を実現するためにその最大個数よりも少ない個数で構成するようにしてもよい。
- [0050] 例えば、代表例を述べれば、図1(a)に示した第2番目のIIR形デジタルフィルタR2に、乗算器 b_{12} が設けられていない場合に相当するフィルタ特性を実現しようとする場合、図2に示した第3の演算部CAL3には、その乗算器 b_{12} に相当する乗算器を省略することで、 $m-1$ 個の乗算器を備えるようにすればよい。そして、その省略された乗算器の順番に対応している遅延信号S1が規定周期 τ_a に同期して第3の演算部CAL3に供給されると、その規定周期 τ_a の間、出力無し(NULL)に相当する第3の乗算信号 Q_{b1} を第2の加算部AYに供給する構成とすればよい。
- [0051] また、以上の第1実施形態の説明では、IIR形デジタルフィルタとしての基本構成について説明したが、種々の設計仕様等に応じて所望のフィルタ特性を発揮するIIR形デジタルフィルタを構成するために、図2中の点線で示すように、遅延部DLYと第2, 第3の演算部CAL2, CAL3と同等の構造を更に追加した構成とすればよい。
- [0052] すなわち、遅延部DLYと同等構造の1又は複数個の他の遅延部DLY2, DLYn等と、第2の演算部CAL2と同等構造の1又は複数個の他の演算部CAL21, CAL2n等と、第3の演算部CAL3と同等構造の1又は複数個の他の演算部CAL31, CAL3n等

を、遅延部DLYに対して直列に従属接続し、演算部CAL21, CAL2n等から出力される乗算信号Qa2, Qan等を第1の加算器AXに供給し、且つ演算部CAL31, CAL3n等から出力される乗算信号Qb2, Qbn等を第2の加算部AYに供給するように構成すればよい。

[0053] このように、更なる構成要素の追加を行った場合でも、1段構成を維持したデジタルフィルタを実現することができ、特に加算器の数を減らすことができるため、従来の多段構成のデジタルフィルタと較べて、回路規模の小型化等を実現することができる。

[0054] また、第1実施形態のデジタルフィルタは、出力部PUTが設けられているため、フィルタリングを施した各出力信号Doutをサンプル周期 τ_s に同期させて連続的に出力することができる。このため、出力信号Doutを更にデジタル信号処理する他の回路を接続するような場合に、他の回路に対して、デジタル信号処理を行い易いデジタルフィルタを提供することが可能である。

[0055] ただし、各サンプル周期 τ_s 内の第m番目の規定周期 τ_a において、第2の加算部AYからフィルタリングされた加算出力信号Qeが出力されるため、設計仕様等に応じて出力部PUTを省略し、加算出力信号Qeを出力信号として出力するようにしてもよい。

[0056] また、以上の第1実施形態の説明では、サンプル周期 τ_s の $1/(m+1)$ の期間を規定周期 τ_a とした場合について説明したが、前記式(3)(4)(5)に示したように、サンプル周期 τ_s をそれ以上の分割数で分割した短い期間を規定周期 τ_a としてもよい。

[0057] このように、規定周期 τ_a の期間を更に短くすると、各サンプル周期 τ_s において、フィルタリング処理の完了した加算出力信号Qeが第2の加算部AYから出力される時点(すなわち、第m番目の規定周期が経過した時点)が、各サンプル周期 τ_s 内の比較的早い時点となる。このことから、各サンプル周期 τ_s 内の残りの期間(第m+1番目の規定周期から残りの期間)の間に、デジタル信号処理では極めて重要であるタイミング調整等の処理を行うことが可能となり、より高精度且つ信頼性の高いデジタルフィルタを実現することができる。

[0058] また、以上の第1実施形態の説明では、第1, 第2, 第3の演算部CAL1, CAL2, C

AL3等で乗算される各フィルタ係数を固定値としてもよいが、外部から各フィルタ係数を可変調整するようにしてもよい。このように、各フィルタ係数を可変調整すると、入力信号Dinに対し所定の周波数帯域毎にフィルタ特性を調整するためのイコライザや、適応フィルタ等を簡素な構造で実現することができる。

[0059] また、以上の第1実施形態の説明では、ハードウェアで構成するIIR形のデジタルフィルタについて説明した。しかし、図2を参照して説明した各構成要素に相当する機能をコンピュータプログラムで作成し、そのプログラムをデジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)にて実行させる、いわゆるソフトウェア構成としてもよい。

[0060] かかるソフトウェア構成によってデジタル信号処理を行う場合にも、加算器等の低減化が可能となったことにより、プログラムステップ数の低減化が可能となり、従来の多段構成のIIR形デジタルフィルタに相当するソフトウェア構成と較べて、簡素なソフトウェア構成とすることが可能である。

[0061] [FIR形デジタルフィルタに相当する実施形態]

次に、図3に基づいて、FIR形デジタルフィルタに相当するデジタルフィルタについて説明する。なお、図2に示したデジタルフィルタと対比して説明する。

[0062] 図3において、この第2実施形態に係るデジタルフィルタは、図2に示したデジタルフィルタと同様に、入力信号Dinのサンプリング周波数 f_s に同期した各データに対し、サンプリング周波数 f_s より高い規定周波数 f_a に同期してデジタル信号処理を行い、フィルタリング処理後の出力信号Doutをサンプリング周波数 f_s に同期して出力する。

[0063] 更に、図1(b)に例示した多段構成のFIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタを設計等する場合、上述の規定周波数 f_a は、前記式(3)(4)(5)と同様に、サンプリング周波数 f_s より高周波数で、多段構成のその段数 m (m は任意の数)に相当する整数 m 倍以上の周波数に決められている。

[0064] なお、サンプリング周波数 f_s の $m+1$ 倍の周波数を規定周波数 f_a とし、図1(b)に例示した m 段のFIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタについて説明する。

- [0065] 第2実施形態のデジタルフィルタは、信号転送部TRTと、遅延部DLYと、演算部CAL1, CAL3、加算部AY、出力部PUTとを備えた基本構成を有して実現されており、図2に示した第1の加算部AXと、第2の演算部CAL2、及び演算部CAL21, CAL2n等は設けられていない。
- [0066] 信号転送部TRTは、入力信号Dinと、規定周期 τ_a に同期して加算部AYで生成される加算出力信号Qeを入力し、排他的に切り替えることにより、切替供給信号Sinとして演算部CAL1と遅延部DLYに出力する。つまり、信号転送部TRTは、各サンプル周期 τ_s の最初の規定周期 τ_a において入力信号Dinを切替供給信号Sinとして出力した後、次の規定周期 τ_a からそのサンプル周期 τ_s の終了時までの期間では、加算出力信号Qeを切替供給信号Sinとして出力する。そして、各サンプル周期 τ_s 毎に同様の処理を繰り返す。
- [0067] 演算部CAL1は、各々所定のフィルタ係数が設定された複数個の乗算器(図示略)を有している。図1(b)に例示したm段構成のFIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタを設計等する場合、演算部CAL1は、図1(b)中の各段に設けられている乗算器b01, b02, ..., b0mに相当する複数個の乗算器を有して構成されている。そして、各サンプル周期 τ_s の規定周期 τ_a 毎に信号転送部TRTを介して供給される切替供給信号Sinに対する各乗算器によるフィルタ係数の乗算を、規定周期 τ_a に同期した所定の順序で切り替えて行い、その乗算結果を示す乗算信号Qb0を加算部AYに出力する。
- [0068] すなわち、演算部CAL1の各乗算器をb01, b02, ..., b0mで表すと、各サンプル周期 τ_s の最初の規定周期 τ_a では、乗算器b01がそのフィルタ係数と切替供給信号Sinとの乗算を行って乗算信号Qb0を出力し、次の規定周期 τ_a では、乗算器b02がそのフィルタ係数と切替供給信号Sinとの乗算を行って乗算信号Qb0を出力し、以下同様に、残余の乗算器b03~b0mも規定周期 τ_a 毎に各々のフィルタ係数と切替供給信号Sinとの乗算を行って乗算信号Qb0を順次に出力していく。
- [0069] 加算部AYは、規定周期 τ_a に同期して供給される乗算信号Qb0と演算部CAL3等から規定周期 τ_a に同期して供給される乗算信号Qb1等を加算し、その加算結果である加算出力信号Qeを規定周期 τ_a に同期して出力する。

- [0070] 遅延部DLYは、規定周期 τ_a に相当する(等しい)遅延時間 ΔT が設定された遅延素子を有し、規定周期 τ_a に同期して切替供給信号 S_{in} を遅延させ、遅延信号 S_1 として演算部CAL3側へ出力する。
- [0071] 演算部CAL3は、各々所定のフィルタ係数が設定されている複数個の乗算器(図示略)、すなわち、図1(b)に例示した各段に設けられている乗算器 b_{11} , b_{12} , $\dots$, b_{1m} に相当する複数個の乗算器を有して構成されている。
- [0072] そして、各サンプル周期 τ_s の間に規定周期 τ_a 毎に供給される遅延信号 S_1 に対する各乗算器によるフィルタ係数の乗算を、規定周期 τ_a に同期した所定の順序で切り替えて行わせ、各々の乗算結果を示す乗算信号 Q_{b1} を加算部AYに供給する。
- [0073] すなわち、演算部CAL3に設けられている乗算器を b_{11} , b_{12} , $\dots$, b_{1m} で表すこととすると、各サンプル周期 τ_s の最初に供給される遅延信号 S_1 に対して乗算器 b_{11} がフィルタ係数を乗算して乗算信号 Q_{b1} を出力し、次の規定周期 τ_a に供給される遅延信号 S_1 に対して乗算器 b_{12} がフィルタ係数を乗算して乗算信号 Q_{b1} を出力し、以下同様に、残余の乗算器 $b_{13} \sim b_{1m}$ も規定周期 τ_a 毎に各々のフィルタ係数と遅延信号 S_1 との乗算を行って乗算信号 Q_{b1} を順次に出力していく。
- [0074] 出力部PUTは、各サンプル周期 τ_s における第 m 番目の規定周期 τ_a 、すなわち各サンプル周期 τ_s の開始時点から時間 $(m \times \tau_a)$ が経過した時点に、加算部AYから出力される加算出力信号 Q_e を入力し、その各サンプル周期 τ_s の最後の規定周期(すなわち、 $m+1$ 番目の規定周期) τ_a において、その加算出力信号 Q_e を出力信号 D_{out} として出力し、次のサンプル周期 τ_s 内の時間 $(m \times \tau_a)$ に達するまでの期間にその出力信号 D_{out} を保持しつつ出力する。
- [0075] 次に、第2実施形態のデジタルフィルタの動作について説明する。
- [0076] サンプリング周波数 f_s に同期した入力信号 D_{in} が供給されると、信号転送部TRTが、各サンプル周期 τ_s における最初の規定周期 τ_a において、入力信号 D_{in} を切替供給信号 S_{in} として演算部CAL1と遅延部DLYに供給すると共に、各サンプル周期 τ_s における残りの期間では、加算部AYから規定周期 τ_a に同期して出力される加算出力信号 Q_e を帰還させ切替供給信号 S_{in} として演算部CAL1と遅延部DLYに供給する。

- [0077] 演算部CAL1では、信号転送部TRTからの切替供給信号Sinに対して、所定の各フィルタ係数との乗算処理を規定周期 τ_a に同期して順繰りに行って加算部AY側へ出力すると共に、遅延部DLYが、規定周期 τ_a に同期して供給される切替供給信号Sinを順番に所定の遅延時間 ΔT で遅延して出力し、更に、演算部CAL3も、遅延信号S1に対して各々所定のフィルタ係数との乗算を規定周期 τ_a に同期して行って乗算信号Qb1を加算部AYへ供給する。
- [0078] このように、第2実施形態のデジタルフィルタは、各サンプル周期 τ_s の間に規定周期 τ_a に同期して所定のデジタル信号処理を行うことで、入力信号Dinに対してフィルタリング処理を施した加算出力信号Qeを発生し、更に出力部PUTを介してその加算出力信号Qeをサンプリング周波数fsに同期した出力信号Doutとして出力する。
- [0079] 以上説明したように、第2実施形態のデジタルフィルタによれば、従来の多段構成のFIR形デジタルフィルタに較べて構成要素の少ない1段構成とすることが可能であり、特に、加算器の数を大幅に減らすことができる。
- [0080] このため、ハードウェアで構成した場合、部品点数の低減や回路規模の小型化等を図ることができ、また、例えばICやLSI等の半導体集積回路装置に組み込んだ場合にはチップサイズの小型化やコストの低減等を図ることが可能である。
- [0081] なお、以上の第2実施形態の説明では、図1(b)に例示した従来のm段構成で実現されていたFIR形デジタルフィルタと同等のフィルタ特性を発揮するデジタルフィルタについて説明した。つまり、演算部CAL1, CAL3の各々に上述のm段構成と同数mの乗算器b01~b0m, b11~b1mを設けたデジタルフィルタについて説明した。
- [0082] しかし、各々の演算部CAL1, CAL3に設けられる乗算器の個数mは、上述の段数mに相当する最大個数のことであり、所望のフィルタ特性を実現するためにその最大個数よりも少ない個数で構成するようにしてもよい。
- [0083] 例えば、代表例を述べれば、図1(b)に示した第2番目のFIR形デジタルフィルタF2に、乗算器b12が設けられていない場合に相当するフィルタ特性を実現しようとする場合、図3に示した演算部CAL3には、その乗算器b12に相当する乗算器を省略することで、m-1個の乗算器を備えるようにすればよい。そして、その省略された乗算器の順番に対応している遅延信号S1が規定周期 τ_a に同期して演算部CAL3に供

給されると、その規定周期 τ_a の間、出力無し(NULL)に相当する乗算信号Qb1を加算部AYに供給する構成とすればよい。

[0084] また、以上の第2実施形態の説明では、FIR形のデジタルフィルタとしての基本構成について説明したが、種々の設計仕様等に応じて所望のフィルタ特性を発揮するFIR形デジタルフィルタを構成するために、図3中の点線で示すように、遅延部DL Y及び演算部CAL3と同等の構造を更に追加した構成とすればよい。

[0085] すなわち、遅延部DL Yと同等構造の1又は複数個の他の遅延部DL Y2, DL Yn等と、演算部CAL3と同等構造の1又は複数個の他の演算部CAL31, CAL3n等を、遅延部DL Yに対して直列に従属接続し、演算部CAL31, CAL3n等から出力される乗算信号Qb2, Qbn等を加算部AYに供給するように構成すればよい。

[0086] このように、更なる構成要素の追加を行った場合でも、1段構成を維持したデジタルフィルタを実現することができるため、従来の多段構成のデジタルフィルタと較べて、回路規模の小型化等を実現することができる。

[0087] また、第2実施形態のデジタルフィルタは、出力部PUTが設けられているため、フィルタリングを施した各出力信号Doutをサンプル周期 τ_s に同期させて連続的に出力することができる。このため、出力信号Doutを更にデジタル信号処理する他の回路を接続するような場合に、他の回路に対して、デジタル信号処理を行い易いデジタルフィルタを提供することが可能である。

[0088] ただし、各サンプル周期 τ_s 内の第m番目の規定周期 τ_a において、加算部AYからフィルタリングされた加算出力信号Qeが出力されるため、設計仕様等に応じて出力部PUTを省略し、加算出力信号Qeを出力信号として出力するようにしてもよい。

[0089] また、以上の第2実施形態の説明では、サンプル周期 τ_s の $1/(m+1)$ の期間を規定周期 τ_a とした場合について説明したが、前記式(3)(4)(5)に示したように、サンプル周期 τ_s をそれ以上の分割数で分割した短い期間を規定周期 τ_a としてもよい。

[0090] このように、規定周期 τ_a の期間を更に短くすると、各サンプル周期 τ_s において、フィルタリング処理の完了した加算出力信号Qeが加算部AYから出力される時点(すなわち、第m番目の規定周期が経過した時点)が、各サンプル周期 τ_s 内の比較的早い時点となる。このことから、各サンプル周期 τ_s 内の残りの期間(第m+1番目の規

定周期から残りの期間)の間に、デジタル信号処理では極めて重要であるタイミング調整等の処理を行うことが可能となり、より高精度且つ信頼性の高いデジタルフィルタを実現することができる。

[0091] また、以上の第2実施形態の説明では、演算部CAL1, CAL3等で乗算される各フィルタ係数を固定値としてもよいが、外部から各フィルタ係数を可変調整するようにしてもよい。このように、各フィルタ係数を可変調整すると、入力信号Dinに対し所定の周波数帯域毎にフィルタ特性を調整するためのイコライザや、適応フィルタ等を簡素な構造で実現することができる。

[0092] また、以上の第2実施形態の説明では、ハードウェアで構成するFIR形のデジタルフィルタについて説明した。しかし、図3を参照して説明した各構成要素に相当する機能をコンピュータプログラムで作成し、そのプログラムをデジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)にて実行させる、いわゆるソフトウェア構成としてもよい。

[0093] かかるソフトウェア構成によってデジタル信号処理を行う場合にも、加算器等の低減化が可能となったことにより、プログラムステップ数の低減化が可能となり、従来の多段構成のFIR形デジタルフィルタに相当するソフトウェア構成と較べて、簡素なソフトウェア構成とすることが可能である。

実施例 1

[0094] 次に、図2に示した第1実施形態に係るより具体的な実施例について、図4～図7を参照して説明する。図4は、本実施例のデジタルフィルタの構成を表したブロック図、図5は、動作を説明するためのタイミングチャート、図6、図7本実施例のデジタルフィルタの構成要素である乗算器の変形例の構成を表した図である。また、図4～図7において図2と同一又は相当する部分を同一符号で示している。

[0095] 図4において、このデジタルフィルタは、入力信号Dinを入力する信号入力端子、フィルタ処理を行った出力信号Doutを出力する出力端子の他、外部から規定周波数 f_a とサンプリング周波数 f_s に同期した各クロック信号CKa, CKsと、サンプル周期 τ_s における各規定周期 τ_a の順番を示すシーケンス制御信号CT1～CT $m+1$ を供給するための制御信号入力端子が設けられている。

- [0096] そして、各クロック信号CKa, CKsとシーケンス制御信号CT1~CTm+1に同期して、入力信号Dinに対するフィルタリング処理を行うことで出力信号Doutを出力するようになっている。
- [0097] 本実施例のデジタルフィルタも、図2と同様に、信号転送部TRTと、第1, 第2の加算部AX, AY、第1, 第2, 第3の演算部CAL1, CAL2, CAL3、遅延部DLYを備え、更に、遅延部DLY及び第2, 第3の演算部CAL2, CAL3と同等構造の遅延部と演算部とから成る複数の回路が、遅延部DLY対し直列に従属接続されている。
- [0098] 更に、第1の加算部AXは、複数の加算器AX1, AX2, ..., AXm+1の集合として構成され、第2の加算部AYも同様に、複数の加算器AY1, AY2, ..., AYm+1の集合として構成されている。
- [0099] 信号転送部TRTは、第2の加算部AYに属している加算器AY1から出力される加算出力信号Qeを、規定周期faのクロック信号CKaに同期してラッチしつつ順次に出力するD形フリップフロップ(DFF)DFFaと、入力信号DinとD形フリップフロップDFFaの出力をシーケンス制御信号CT1に従って切り替え、切替供給信号Sinとして、第1の加算部AXに属している加算器AX1へ供給するアナログスイッチ等で形成されたスイッチ素子SWinとを有して形成されている。
- [0100] そして、スイッチ素子SWinは、各サンプル周期 τ_s の最初(第1番目)の規定周期 τ_a の期間を示すシーケンス制御信号(以下「第1制御信号」と称する)CT1に従って、入力信号Dinを加算器AX1へ供給し、残余の第2番目~第m+1番目の各規定周期 τ_a の期間を示すシーケンス制御信号(以下「第2制御信号」~「第m+1制御信号」と称する)CT2~CTm+1が入力される期間では、D形フリップフロップDFFaを介して入力する加算出力信号Qeを加算器AX1へ供給する。
- [0101] 加算器AX1は、切替供給信号Sinと、加算器AX2を介して供給される乗算信号(符号略)とを加算し、その加算結果である加算入力信号S0を第1の演算部CAL1と遅延部DLY側へ出力する。
- [0102] なお、本実施例のデジタルフィルタでは、上述したように、第1の加算部AXは複数の加算器AX1, AX2, ..., AXm+1の集合として構成されているため、第2の演算部CAL2及びそれと同等構造の他の演算部から出力される各乗算信号Qa1, Qa2

, ..., Q_{an} を加算器AX1, AX2, ..., AX $m+1$ が加算することで、実質的に第1の加算部AXが各乗算信号 Q_{a1} , Q_{a2} , ..., Q_{an} を加算している。

[0103] 第1の演算部CAL1は、加算入力信号S0を入力して、各々所定のフィルタ係数を乗算するm個の乗算器b01, b02, ..., b0mと、各乗算器b01, b02, ..., b0mの出力を第1～第m制御信号CT1～CTmに従って切り替えて出力するアナログスイッチ等で形成されたスイッチ素子SWb0とを有して構成されている。そして、各サンプル周期 τ_s において第1制御信号CT1が供給されると、乗算器b01から出力される第1の乗算信号 Q_{b0} を、第2の加算部AYに属している加算器AY1に供給し、第2制御信号CT2が供給されると、乗算器b02から出力される第1の乗算信号 Q_{b0} を加算器AY1に供給し、以下同様にして、第m制御信号CTmが供給されると、乗算器b0mから出力される第1の乗算信号 Q_{b0} を加算器AY1に供給し、各サンプル周期 τ_s 毎に処理を繰り返す。

[0104] 加算器AY1は、第1の乗算信号 Q_{b0} と、加算器AY2を介して供給される乗算信号(符号略)とを加算し、その加算結果である加算出力信号 Q_{b0} をD形フリップフロップDFFaに出力する。

[0105] なお、本実施例のデジタルフィルタでは、上述したように、第2の加算部AYは複数の加算器AY1, AY2, ..., AY $m+1$ の集合として構成されているため、第3の演算部CAL3及びそれと同等構造の他の演算部から出力される各乗算信号 Q_{b1} , Q_{b2} , ..., Q_{bn} を加算器AY1, AY2, ..., AY $m+1$ が加算することで、実質的に第2の加算部AYが各乗算信号 Q_{b1} , Q_{b2} , ..., Q_{bn} を加算している。

[0106] 遅延部DLYは、クロック信号CKaに同期して規定周期 τ_a と等しい遅延時間 ΔT を生じるm個の遅延素子Z11～Z1mと、第1～第m制御信号CT1～CTmに従って加算入力信号S0を排他的且つ順番に各々の遅延素子Z11～Z1mに入力させるアナログスイッチ等で形成されたm個のスイッチ素子SW11～SW1mと、各遅延素子Z11～Z1mの出力を第1～第m制御信号CT1～CTmに従って排他的且つ順番に切り替えて出力することで、遅延信号S1を出力するアナログスイッチ等で形成されたスイッチ素子SW1yとを備えて構成されている。

[0107] そして、各サンプル周期 τ_s において第1制御信号CT1が入力されると、スイッチ素

子SW11がオン且つスイッチ素子SW1yが遅延素子Z11側に切り替わることで、遅延素子Z11で遅延された加算入力信号S0を遅延信号S1として出力し、第2制御信号CT2が入力されると、スイッチ素子SW12がオン且つスイッチ素子SW1yが遅延素子Z12側に切り替わることで、遅延素子Z12で遅延された加算入力信号S0を遅延信号S1として出力し、以下同様に、第m制御信号CTmが入力されると、スイッチ素子SW1mがオン且つスイッチ素子SW1yが遅延素子Z1m側に切り替わることで、遅延素子Z1mで遅延された加算入力信号S0を遅延信号S1として出力する。そして、同様の処理をサンプル周期 τ_s に同期して繰り返す。

[0108] 第2の演算部CAL2は、遅延信号S1を入力して、各々所定のフィルタ係数を乗算するm個の乗算器a11, a12, ..., a1mと、各乗算器a11, a12, ..., a1mの出力を第1～第m制御信号CT1～CTmに従って切り替えて出力するアナログスイッチ等で形成されたスイッチ素子SWa1とを有して構成されている。そして、各サンプル周期 τ_s において第1制御信号CT1が供給されると、乗算器a11から出力される第2の乗算信号Qa1を加算器AX2に供給し、第2制御信号CT2が供給されると、乗算器a12から出力される第2の乗算信号Qa1を加算器AX2に供給し、以下同様にして、第m制御信号CTmが供給されると、乗算器a1mから出力される第2の乗算信号Qa1を加算器AX2に供給し、各サンプル周期 τ_s 毎に処理を繰り返す。

[0109] 第3の演算部CAL3は、遅延信号S1を入力して、各々所定のフィルタ係数を乗算するm個の乗算器b11, b12, ..., b1mと、各乗算器b11, b12, ..., b1mの出力を第1～第m制御信号CT1～CTmに従って切り替えて出力するアナログスイッチ等で形成されたスイッチ素子SWb1とを有して構成されている。そして、各サンプル周期 τ_s において第1制御信号CT1が供給されると、乗算器b11から出力される第3の乗算信号Qb1を加算器AY2に供給し、第2制御信号CT2が供給されると、乗算器b12から出力される第3の乗算信号Qb1を加算器AY2に供給し、以下同様にして、第m制御信号CTmが供給されると、乗算器b1mから出力される第3の乗算信号Qb1を加算器AY2に供給し、各サンプル周期 τ_s 毎に処理を繰り返す。

[0110] 更に、遅延部DLYに対して、その遅延部DLYと同等構造の複数の遅延部(符号略)が直列に従属接続されている。すなわち、m個のスイッチ素子SW21～SW2mと

遅延素子 $Z_{21} \sim Z_{1m}$ 及びスイッチ素子 SW_{2y} とで構成される他の遅延部と、 m 個のスイッチ素子 $SW_{n1} \sim SW_{nm}$ と遅延素子 $Z_{n1} \sim Z_{nm}$ 及びスイッチ素子 SW_{ny} とで構成される他の遅延部等が、遅延部 DLY に対し直列に従属接続され、何れの他の遅延部も遅延部 DLY と同様に、第1～第 m 制御信号 $CT_1 \sim CT_m$ に従って前段側の遅延信号 S_1, S_2 等を遅延させ、後段側への遅延信号 S_2, S_n 等として出力する。

[0111] 更に、上述の他の遅延部から出力される遅延信号 S_2, S_n 等に対して各々所定のフィルタ係数を乗算し、各々の乗算信号 Q_{a2}, Q_{an} 等と Q_{b2}, Q_{bn} 等を生成して出力する他の演算部(第2, 第3の乗算部 CAL_2, CAL_3 と同等構造を有する演算部)が設けられている。

[0112] すなわち、遅延信号 S_2 と所定のフィルタ係数とを乗算する m 個の乗算器 $a_{21} \sim a_{2m}$ を有し、各乗算器 $a_{21} \sim a_{2m}$ の乗算信号 Q_{a2} を第1～第 m 制御信号 $CT_1 \sim CT_m$ に従って切り替えて加算器 AX_3 に供給する他の演算部と、遅延信号 S_2 と所定のフィルタ係数とを乗算する m 個の乗算器 $b_{21} \sim b_{2m}$ を有し、各乗算器 $b_{21} \sim b_{2m}$ の乗算信号 Q_{b2} を第1～第 m 制御信号 $CT_1 \sim CT_m$ に従って切り替えて加算器 AY_3 に供給する他の演算部と、遅延信号 S_n と所定のフィルタ係数とを乗算する m 個の乗算器 $a_{n1} \sim a_{nm}$ を有し、各乗算器 $a_{n1} \sim a_{nm}$ の乗算信号 Q_{an} を第1～第 m 制御信号 $CT_1 \sim CT_m$ に従って切り替えて加算器 AX_{m+1} に供給する他の演算部と、遅延信号 S_n と所定のフィルタ係数とを乗算する m 個の乗算器 $b_{n1} \sim b_{nm}$ を有し、各乗算器 $b_{n1} \sim b_{nm}$ の乗算信号 Q_{bn} を第1～第 m 制御信号 $CT_1 \sim CT_m$ に従って切り替えて加算器 AY_{m+1} に供給する他の演算部等が設けられている。

[0113] 出力部 PUT は、第 $m+1$ 制御信号 CT_{m+1} に従って、 D 形フリップフロップ $DFFa$ を介して加算出力信号 Q_e を入力するアナログスイッチ等で形成されたスイッチ素子 SW_{put} と、スイッチ素子 SW_{put} を介してその加算出力信号 Q_e をクロック信号 CK_a に同期してラッチして出力する D 形フリップフロップ $DFFb$ と、更に D 形フリップフロップ $DFFb$ の出力をクロック信号 CK_s に同期してラッチして出力することで、フィルタリング処理後の出力信号 $Dout$ を出力する D 形フリップフロップ $DFFc$ を有して構成されている。

[0114] 次に、かかる構成を有する本実施例1のデジタルフィルタの動作について、図5を

参照して説明する。

- [0115] 同図において、サンプリング周期 τ_s に同期した入力信号 D_{in} が供給されると、信号転送部 TRT のスイッチ素子 SW_{in} が、各サンプリング周期 τ_s の最初の規定周期 τ_a を示す第1制御信号 CT_1 (CT_i , $i=1$) に従って、入力信号 D_{in} を加算器 AX_1 に供給すると共に、各サンプル周期 τ_s における残りの期間では、加算器 AY_1 から D 形フリップフロップ $DFFa$ を介して帰還される加算出力信号 Q_e を加算器 AX_1 に供給する。
- [0116] 加算器 AX_1 では、信号転送部 TRT から切替えて供給される入力信号 D_{in} と加算出力信号 Q_e に対して、クロック信号 CK_a で設定される規定周期 τ_a に同期して、加算器 $AX_2 \sim AX_{m+1}$ を介して供給される乗算信号 Q_{a1} , Q_{a2} , Q_{an} 等を加算し、その加算結果である加算入力信号 S_0 を出力する。
- [0117] そして、第1の演算部 CAL_1 が、所定の各フィルタ係数と加算入力信号 S_0 との乗算処理を規定周期 τ_a に同期して順繰りに行って加算器 AY_1 側へ出力すると共に、遅延部 DLY が、規定周期 τ_a に同期して供給される加算入力信号 S_0 を順番に所定の遅延時間 ΔT で遅延して出力する。
- [0118] 更に、第2, 第3の演算部 CAL_2 , CAL_3 も、遅延信号 S_1 に対して各々所定のフィルタ係数との乗算を規定周期 τ_a に同期して行い、各々の第1, 第2の乗算信号 Q_{a1} , Q_{b1} を、加算器 AX_2 , AY_2 を介して、加算器 AX_1 , AY_1 へ供給して加算処理を行わせる。更に、遅延部 DLY に対し直列に従属接続されている他の遅延部と他の演算部も同様に規定周期 τ_a に同期して、遅延処理と乗算演算を行って、各々の乗算信号 Q_{a1} , Q_{an} 等と Q_{b1} , Q_{bn} 等を、複数の加算器を介して、加算器 AX_1 , AY_1 へ供給して加算処理を行わせる。
- [0119] このように、本実施例1のデジタルフィルタは、各サンプル周期 τ_s の間に規定周期 τ_a に同期して所定のデジタル信号処理を行うことで、入力信号 D_{in} に対してフィルタリング処理を施した加算出力信号 Q_e を発生し、更に出力部 PUT を介してその加算出力信号 Q_e をサンプリング周波数 f_s に同期した出力信号 D_{out} として出力する。
- [0120] 以上説明したように、本実施例1のデジタルフィルタによれば、従来の多段構成の IIR 形デジタルフィルタに較べて構成要素の少ない1段構成とすることが可能であり、特に、加算器の数を減らすことができる。

- [0121] このため、ハードウェアで構成した場合、回路規模の小型化等を図ることができ、また、例えばICやLSI等の半導体集積回路装置に組み込んだ場合にはチップサイズの小型化やコストの低減等を図ることが可能である。
- [0122] なお、以上の実施例1の説明では、第1, 第2, 第3の演算部CAL1, CAL2, CAL3等で乗算される各フィルタ係数を固定値としてもよいが、外部から各フィルタ係数を可変調整するようにしてもよい。このように、各フィルタ係数を可変調整すると、入力信号Dinに対し所定の周波数帯域毎にフィルタ特性を調整するためのイコライザや、適応フィルタ等を簡素な構造で実現することができる。
- [0123] また、図4に示したように、本実施例1の遅延部DLY及びそれに直列に従属接続された遅延部は、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側と出力端側にスイッチ素子 $SW_{11} \sim SW_{1m}$ と SW_{1y} , $SW_{21} \sim SW_{2m}$ と SW_{2y} , $SW_{n1} \sim SW_{nm}$ と SW_{ny} を設けることによって、遅延信号 S_1 , S_2 , S_n にノイズ(いわゆるヒゲ)等が生じることを未然に防止しているが、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側のみにスイッチ素子を設け、出力端側にはスイッチ素子を設けずに直接遅延信号 S_1 , S_2 , S_n を出力するようにしてもよい。また、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側にはスイッチ素子を設けずに前段側の信号を直接入力するようにし、出力端側にはスイッチ素子を設けて切り替えて出力するようにしてもよい。
- [0124] また、フィルタ係数を乗算するための各々の乗算器 $a_{11} \sim a_{1m}$, $a_{21} \sim a_{2m}$, $\dots$, $a_{n1} \sim a_{nm}$ と $b_{01} \sim b_{0m}$, $b_{11} \sim b_{1m}$, $b_{21} \sim b_{2m}$, $\dots$, $b_{n1} \sim b_{nm}$ は、入力される各信号 S_1 , $S_2 \sim S_n$ と、バイナリデータであるフィルタ係数とを掛け算によって演算する乗算器で形成してもよいが、図6及び図7に示すようなビットシフト回路と加減算回路を備えて構成される演算回路によって、掛け算を行うことなく、乗算演算を行うようにしてもよい。
- [0125] 以下、乗算器 a_{11} に相当する演算回路の構成を代表して説明する。なお、遅延信号 S_1 が20ビットバイナリデータ $S_1(0) \sim S_1(19)$ 、フィルタ係数の値が0.05102539であるものとする。
- [0126] 図6において、この演算回路 a_{11} は、減算回路MP1, MP2と加算回路MP3の他、2

0ビットバイナリデータS1(0)～S(19)を、後述するフィルタ係数の値に対応させて各々所定のビット数p, q, r, sずつビットシフトさせて減算回路MP1, MP2に供給するビットシフト回路BS1, BS2, BS3, BS4を備えて構成されている。

[0127] ここで、上述のフィルタ係数の値をバイナリ演算の形態で表現すると、次式(6)で表される。

[0128] [数4]

$$0.05102539 = 2^{-4} - 2^{-7} - 2^{-8} + 2^{-12} \quad \dots (6)$$

[0129] ビットシフト回路BS1は、上記式(6)の2の乗数(−4)に対応するpビットシフト回路(すなわち、4ビットシフト回路)で形成されており、図7に示すように、遅延信号S1のバイナリデータS1(0)～S(19)を下位ビット側に4ビットシフトさせ、更にビットシフトによって空くこととなる上位ビットをビットデータS(19)で埋めることで、新たな20ビットバイナリデータDpを生成して減算器MP1のプラス入力端に供給する。これにより、新たな20ビットバイナリデータDpの各ビットDp(0)～Dp(19)は、遅延信号S1の各ビットデータで表すと、下位ビットから上位ビットへとS1(4)～S(18), S(19), S(19), S(19), S(19)で表されるデータとなり、 2^{-4} の係数値が乗算されたことになる。

[0130] 更に、図7に示すように、ビットシフト回路BS1は、配線パターンを所定の配列に代えるだけで遅延信号S1のビット配列をシフトする構成となっているため、回路規模の簡素化及び小型化と、特段の演算手段を必要としないという優れた効果を発揮する。

[0131] ビットシフト回路BS2も同様の原理に基づいて形成されており、上記式(6)の2の乗数(−7)に対応するqビットシフト回路(すなわち、7ビットシフト回路)で形成されており、図7に示すように、遅延信号S1のバイナリデータS1(0)～S(19)を下位ビット側に7ビットシフトさせ、更にビットシフトによって空くこととなる上位ビットをビットデータS(19)で埋めることで、新たな20ビットバイナリデータDqを生成して減算器MP1のマイナス入力端に供給する。これにより、新たな20ビットバイナリデータDqの各ビットDq(0)～Dq(19)は、遅延信号S1の各ビットデータで表すと、下位ビットから上位ビットへとS1(7)～S(18), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19)で表されるデータ

となり、 2^{-7} の係数値が乗算されたことになる。

[0132] ビットシフト回路BS3も同様の原理に基づいて形成されており、上記式(6)の2の乗数(−8)に対応するrビットシフト回路(すなわち、8ビットシフト回路)で形成されており、図7に示すように、遅延信号S1のバイナリデータS1(0)～S(19)を下位ビット側に8ビットシフトさせ、更にビットシフトによって空くこととなる上位ビットをビットデータS(19)で埋めることで、新たな20ビットバイナリデータDrを生成して減算器MP2のマイナス入力端に供給する。これにより、新たな20ビットバイナリデータDrの各ビットDr(0)～Dr(19)は、遅延信号S1の各ビットデータで表すと、下位ビットから上位ビットへとS1(8)～S(18), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19)で表されるデータとなり、 2^{-8} の係数値が乗算されことになる。

[0133] ビットシフト回路BS4も同様の原理に基づいて形成されており、上記式(6)の2の乗数(−12)に対応するsビットシフト回路(すなわち、12ビットシフト回路)で形成されており、図7に示すように、遅延信号S1のバイナリデータS1(0)～S(19)を下位ビット側に12ビットシフトさせ、更にビットシフトによって空くこととなる上位ビットをビットデータS(19)で埋めることで、新たな20ビットバイナリデータDsを生成して減算器MP2のプラス入力端に供給する。これにより、新たな20ビットバイナリデータDsの各ビットDs(0)～Ds(19)は、遅延信号S1の各ビットデータで表すと、下位ビットから上位ビットへとS1(12)～S(18), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19), S(19)で表されるデータとなり、 2^{-12} の係数値が乗算されことになる。

[0134] そして、減算回路MP1が、上述のデータDp, Dqについて減算を行うことでその減算結果を示すデータDpqを出力し、減算回路MP2が、上述のデータDr, Dsについて減算を行うことでその減算結果を示すデータDrsを出力し、更に加算回路MP3がデータDpq, Drsを加算することで、上記式(4)に示した演算結果、すなわち、値(0.05102539)のフィルタ係数を乗算したのに相当するデータDrstを生成し、図4に示したスイッチ素子SWa1側へ出力する。

[0135] このように、図4に示した乗算器a11を図6及び図7に例示した演算回路a11で構成すると、配線パターンで形成されているビットシフト回路BS1～BS4がビットシフトによって実質的にフィルタ係数を乗算する機能を発揮するので、掛け算或いは割り算を

行う必要が無くなることから高速演算が可能となる他、回路規模の簡素化及び小型化等を実現することができる。

[0136] なお、演算器a11を代表例として説明したが、残余の乗算器についても各々のフィルタ係数に応じてビットシフトの量が設定されたビットシフト回路を備えた演算回路によって形成することで、本実施例のデジタルフィルタの構成を簡素化、小型化等することが可能である。

[0137] 特に、掛け算等を行う乗算器に代えて、図6、図7を参照して説明した演算回路を設けることとすると、本デジタルフィルタをMSIやLSI等の半導体集積回路装置として形成した場合に、チップサイズの小型化等を実現することができ効果的である。

[0138] また、以上の本実施例1の説明では、ハードウェアで構成するIIR形のデジタルフィルタについて説明した。しかし、図4を参照して説明した各構成要素に相当する機能をコンピュータプログラムで作成し、そのプログラムをデジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)にて実行させる、いわゆるソフトウェア構成としてもよい。

[0139] かかるソフトウェア構成によってデジタル信号処理を行う場合にも、加算器等の低減化が可能となったことにより、プログラムステップ数の低減化が可能となり、従来の多段構成のIIR形デジタルフィルタに相当するソフトウェア構成と較べて、簡素なソフトウェア構成とすることが可能である。

実施例 2

[0140] 次に、図3に示した第2実施形態に係るより具体的な実施例について、図8を参照して説明する。図8は、本実施例のデジタルフィルタの構成を表したブロック図であり、図3と同一又は相当する部分を同一符号で示している。

[0141] 図8において、このデジタルフィルタは、入力信号Dinを入力する信号入力端子、フィルタ処理を行った出力信号Doutを出力する出力端子の他、外部から規定周波数 f_a とサンプリング周波数 f_s に同期した各クロック信号CKs、CKaと、サンプル周期 τ_s における各規定周期 τ_a の順番を示すシーケンス制御信号CT1～CT $m+1$ を供給するための制御信号入力端子が設けられている。

[0142] 更に、この実施例のデジタルフィルタは、図4に示した実施例2の構成と対比して

述べると、信号転送部TRTと、遅延部DLY及び同等構造の他の遅延部と、演算部CAL1、CAL3及びそれらと同等構造の他の演算部と、加算部AY、出力部PUTとを備えた構成を有しており、図4に示した第1の加算部AXと、第2の演算部CAL2、及び演算部CAL21、CAL2n等は設けられていない。

[0143] すなわち、図4に示した実施例1のデジタルフィルタは、IIR形のデジタルフィルタを構成する必要上、第1の加算部AXと、第2の演算部CAL2、及び演算部CAL21、CAL2n等が設けられているのに対し、本実施例2のデジタルフィルタは、FIR形のデジタルフィルタを構成する必要上、第1の加算部AXと、第2の演算部CAL2、及び演算部CAL21、CAL2n等が設けられていない構成となっており、残余の構成については実施例1のデジタルフィルタと同様となっている。

[0144] 更に、第2の加算部AYは、複数の加算器AY1、AY2、 $\dots$ 、AY $m+1$ の集合として構成されている。

[0145] 次に、かかる構成を有する実施例2のデジタルフィルタの動作について説明する。

[0146] 本実施例2のデジタルフィルタも、図5に示したクロック信号CKa、CKsと、シーケンス制御信号CTi($i=1\sim m+1$)に従って動作する。

[0147] そして、サンプリング周期 τ_s に同期した入力信号Dinが供給されると、信号転送部TRTのスイッチ素子SWinが、各サンプリング周期 τ_s の最初の規定周期 τ_a を示す第1制御信号CT1に従って、入力信号Dinを切替供給信号Sinとして、第1の演算部CAL1と遅延部DLY側へ出力すると共に、各サンプル周期 τ_s における残りの期間では、加算器AY1からD形フリップフロップDFFaを介して帰還される加算出力信号Qeを切替供給信号Sinとして、第1の演算部CAL1と遅延部DLY側へ出力する。

[0148] そして、第1の演算部CAL1が、所定の各フィルタ係数と切替供給信号Sinとの乗算処理を規定周期 τ_a に同期して順繰りに行って加算器AY1側へ出力すると共に、遅延部DLYが、規定周期 τ_a に同期して供給される切替供給信号Sinを順番に所定の遅延時間 ΔT で遅延して出力する。

[0149] 更に、演算部CAL3も、遅延部DLYから出力される遅延信号S1に対して各々所定のフィルタ係数との乗算を規定周期 τ_a に同期して行い、乗算信号Qb1を加算部B1

側へ供給して加算処理を行わせる。更に、遅延部DLYに対し直列に従属接続されている他の遅延部と他の演算部も同様に規定周期 τ_a に同期して、遅延処理と乗算演算を行って、各々の乗算信号 Q_{b1} , Q_{bn} 等を、複数の加算器を介して、加算器AY1側へ供給して加算処理を行わせる。

[0150] このように、本実施例2のデジタルフィルタは、各サンプル周期 τ_s の間に規定周期 τ_a に同期して所定のデジタル信号処理を行うことで、入力信号 D_{in} に対してフィルタリング処理を施した加算出力信号 Q_e を発生し、更に出力部PUTを介してその加算出力信号 Q_e をサンプリング周波数 f_s に同期した出力信号 D_{out} として出力する。

[0151] 以上説明したように、本実施例2のデジタルフィルタによれば、従来の多段構成のFIR形デジタルフィルタに較べて構成要素の少ない1段構成とすることが可能である。このため、ハードウェアで構成した場合、回路規模の小型化等を図ることができ、また、例えばICやLSI等の半導体集積回路装置に組み込んだ場合にはチップサイズの小型化やコストの低減等を図ることが可能である。

[0152] なお、以上の実施例2の説明では、第1, 第2, 第3の演算部CAL1, CAL2, CAL3等で乗算される各フィルタ係数を固定値としてもよいが、外部から各フィルタ係数を可変調整するようにしてもよい。このように、各フィルタ係数を可変調整すると、入力信号 D_{in} に対し所定の周波数帯域毎にフィルタ特性を調整するためのイコライザや、適応フィルタ等を簡素な構造で実現することができる。

[0153] また、図8に示したように、本実施例2の遅延部DLY及びそれに直列に従属接続された遅延部は、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側と出力端側にスイッチ素子 $SW_{11} \sim SW_{1m}$ と SW_{1y} , $SW_{21} \sim SW_{2m}$ と SW_{2y} , $SW_{n1} \sim SW_{nm}$ と SW_{ny} を設けることによって、遅延信号 S_1 , S_2 , S_n にノイズ(いわゆるヒゲ)等が生じることを未然に防止しているが、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側のみにスイッチ素子を設け、出力端側にはスイッチ素子を設けずに直接遅延信号 S_1 , S_2 , S_n を出力するようにしてもよい。また、各々の遅延素子 $Z_{11} \sim Z_{1m}$, $Z_{21} \sim Z_{2m}$, $Z_{n1} \sim Z_{nm}$ の入力端側にはスイッチ素子を設けずに前段側の信号を直接入力するようにし、出力端側にはスイッチ素子を設けて切り替えて出力するようにしてもよい。

- [0154] また、フィルタ係数を乗算するための各々の乗算器 $b_{01} \sim b_{0m}$, $b_{11} \sim b_{1m}$, $b_{21} \sim b_{2m}$, $\dots$, $b_{n1} \sim b_{nm}$ は、入力される各信号 S_1 , $S_2 \sim S_n$ と、バイナリデータであるフィルタ係数とを乗算する演算器で形成してもよいが、図6及び図7に例示したようなビットシフト回路を有する演算回路で形成してもよく、かかる演算回路で形成すると、本デジタルフィルタを半導体集積回路装置として形成した場合に、回路規模の小型化、チップサイズの小型化等を実現することができる。
- [0155] また、以上の本実施例2の説明では、ハードウェアで構成するFIR形のデジタルフィルタについて説明した。しかし、図8を参照して説明した各構成要素に相当する機能をコンピュータプログラムで作成し、そのプログラムをデジタルシグナルプロセッサ(DSP)やマイクロプロセッサ(MPU)にて実行させる、いわゆるソフトウェア構成としてもよい。
- [0156] かかるソフトウェア構成によってデジタル信号処理を行う場合にも、加算器等の低減化が可能となったことにより、プログラムステップ数の低減化が可能となり、従来の多段構成のFIR形デジタルフィルタに相当するソフトウェア構成と較べて、簡素なソフトウェア構成とすることが可能である。

請求の範囲

- [1] サンプルング周波数に同期した入力信号に対し複数段のIIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタルフィルタであって、供給される信号を加算して加算入力信号を生成する第1の加算手段と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、当該各乗算器による前記加算入力信号に対するフィルタ係数の乗算を、前記サンプルング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、第1の乗算信号を生成して出力させる第1の演算手段と、
- 前記第1の演算手段から前記規定周波数に同期して出力される第1の乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として出力する第2の加算手段と、
- 前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で前記第1の加算手段に供給する信号転送手段と、
- 前記規定周波数の各周期に相当する遅延時間が設定された遅延素子を有し、前記加算入力信号を当該遅延時間で遅延した遅延信号を出力する遅延手段と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第1の加算手段に供給する第2の乗算信号を生成して出力させる第2の演算手段と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第2の加算手段に供給する第3の乗算信号を生成して出力させる第3の演算手段と、
- を備えることを特徴とするデジタルフィルタ。
- [2] 前記遅延手段の前記遅延素子は、前記複数段に相当する個数設けられ、前記規

定周波数の各周期に同期して各遅延素子が所定の順序で前記加算入力信号を遅延させることにより、前記遅延信号を出力することを特徴とする請求項1に記載のデジタルフィルタ。

[3] 前記遅延手段は、前記各遅延素子への前記加算入力信号の入力を、前記規定周波数の各周期に同期して所定順序で切り替える入力切替手段を有することを特徴とする請求項2に記載のデジタルフィルタ。

[4] 前記遅延手段は、前記各遅延素子からの前記遅延信号の出力を、前記規定周波数の各周期に同期して所定順序で切り替える出力切替手段を有することを特徴とする請求項2又は3に記載のデジタルフィルタ。

[5] 前記第1, 第2, 第3の各演算手段は、各々に設けられている前記各乗算器で生成される前記第1, 第2, 第3の各乗算信号を、前記規定周波数の各周期に同期して所定順序で切り替えて出力する切替手段を有することを特徴とする請求項1～4の何れか1項に記載のデジタルフィルタ。

[6] 更に、前記遅延手段と同等構造を有し、前記遅延手段に対して直列に従属接続された複数個の他の遅延手段と、

前記第2の演算手段と同等構造を有し、前記他の各遅延手段の出力に各々接続されると共に、前記第1の加算手段に供給する他の乗算信号を生成する複数個の他の演算手段と、前記第3の演算手段と同等構造を有し、前記他の各遅延手段の出力に各々接続されると共に、前記第2の加算手段に供給する更に他の乗算信号を生成する複数個の更に他の演算手段と、

を備えることを特徴とする請求項1～5の何れか1項に記載のデジタルフィルタ。

[7] 更に、前記第2の加算手段の前記加算出力信号を前記サンプリング周波数の各周期に同期して出力させることで、前記サンプリング周波数に同期した出力信号を出力する出力手段、を備えることを特徴とする請求項1～6の何れか1項に記載のデジタルフィルタ。

[8] サンプリング周波数に同期した入力信号に対し複数段のFIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタルフィルタであって、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする

所定個数の乗算器を有し、当該各乗算器による所定の切替供給信号に対するフィルタ係数の乗算を、前記サンプリング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、乗算信号を生成して出力させる演算手段と、

前記演算手段から前記規定周波数に同期して出力される乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として出力する加算手段と、

前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で切り替えることにより、前記切替供給信号を出力する信号転送手段と、

前記規定周波数の各周期に相当する遅延時間が設定された遅延素子を有し、前記切替供給信号を当該遅延時間で遅延した遅延信号を出力する遅延手段と、

各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算器を有し、前記遅延信号に対する当該各乗算器によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記加算手段に供給する他の乗算信号を生成して出力させる他の演算手段と、

を備えることを特徴とするデジタルフィルタ。

- [9] 更に、前記遅延手段と同等構造を有し、前記遅延手段に対して直列に従属接続された複数個の他の遅延手段と、

前記他の演算手段と同等構造を有し、前記他の各遅延手段の出力に各々接続されると共に、前記加算手段に供給する更に他の乗算信号を生成する複数個の更に他の演算手段と、を備えることを特徴とする請求項8に記載のデジタルフィルタ。

- [10] 更に、前記の加算手段の前記加算出力信号を前記サンプリング周波数の各周期に同期して出力させることで、前記サンプリング周波数に同期した出力信号を出力する出力手段、を備えることを特徴とする請求項8又は9に記載のデジタルフィルタ。

- [11] 前記乗算器は、入力される信号をビットシフトすることにより、前記フィルタ係数による乗算に相当する処理を行うビットシフト回路を有する演算回路で形成されていることを特徴とする請求項1～10の何れか1項に記載のデジタルフィルタ。

- [12] サンプルング周波数に同期した入力信号に対し複数段のIIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタル信号処理方法であって、供給される信号を加算して加算入力信号を生成する第1の加算工程と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算工程を有し、当該各乗算工程による前記加算入力信号に対するフィルタ係数の乗算を、前記サンプルング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、第1の乗算信号を生成させる第1の演算工程と、
- 前記第1の演算工程で前記規定周波数に同期して生成される第1の乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として生成する第2の加算工程と、
- 前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で前記第1の加算工程に供給する信号転送工程と、
- 前記規定周波数の各周期に相当する遅延時間が設定された遅延工程を有し、前記加算入力信号を当該遅延時間で遅延した遅延信号を生成する遅延工程と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算工程を有し、前記遅延信号に対する当該各乗算工程によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第1の加算工程に供給する第2の乗算信号を生成させる第2の演算工程と、
- 各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算工程を有し、前記遅延信号に対する当該各乗算工程によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプルング周波数の各周期の間に所定順序で切り替えて行わせることにより、前記第2の加算工程に供給する第3の乗算信号を生成する第3の演算工程と、
- を備えることを特徴とするデジタル信号処理方法。
- [13] サンプルング周波数に同期した入力信号に対し複数段のFIR形デジタルフィルタに相当するフィルタリングを施して出力信号を生成するデジタル信号処理方法であ

って、各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算工程を有し、当該各乗算工程による所定の切替供給信号に対するフィルタ係数の乗算を、前記サンプリング周波数の前記複数段に相当する整数倍以上の規定周波数に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行わせることにより、乗算信号を生成する演算工程と、

前記演算工程で前記規定周波数に同期して生成される乗算信号を一の信号として加算し、加算結果である加算出力信号を前記出力信号として生成する加算工程と、

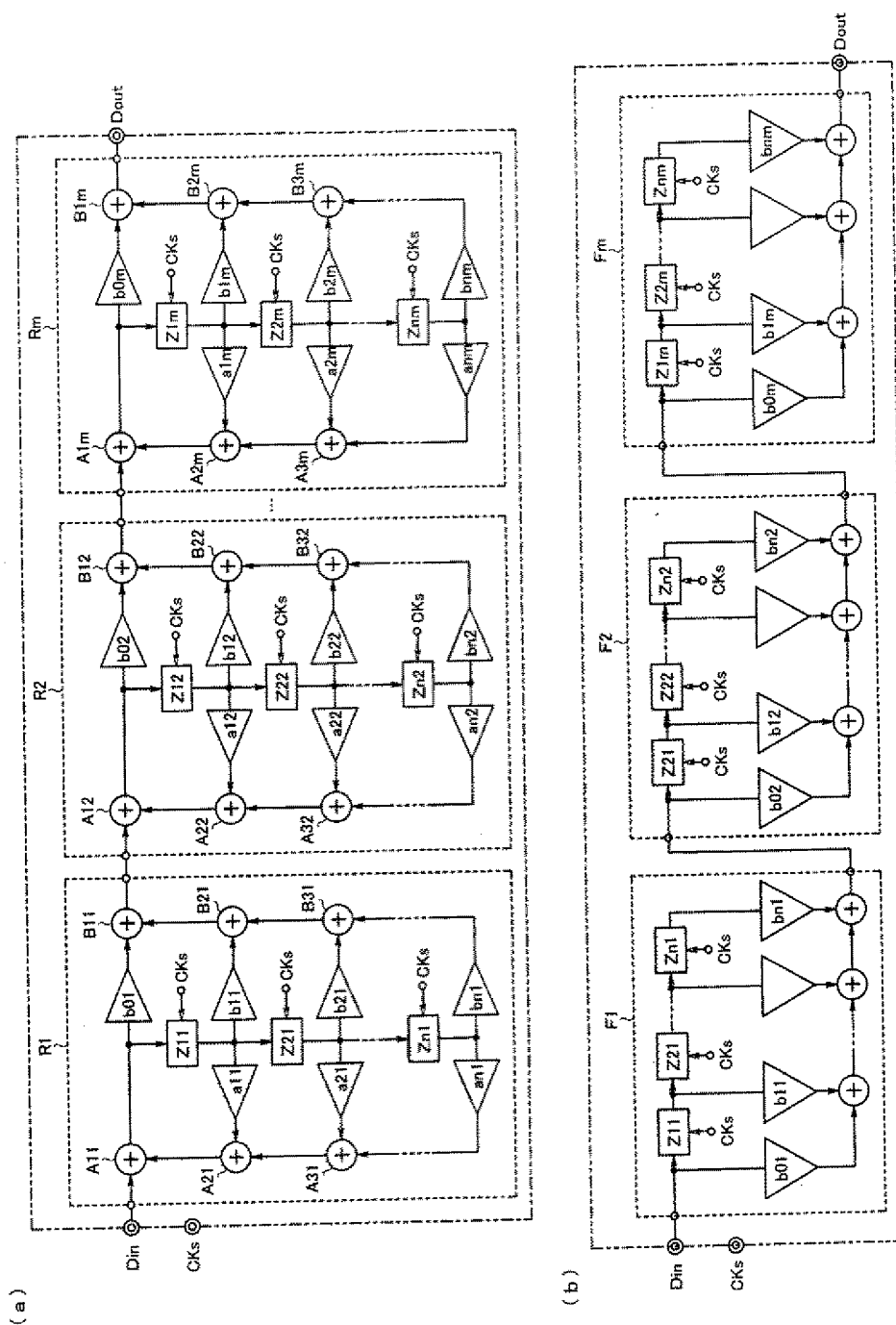
前記入力信号と前記加算出力信号を前記規定周波数に同期した所定順序で切り替えることにより、前記切替供給信号を出力する信号転送工程と、

前記規定周波数の各周期に相当する遅延時間が設定された遅延工程を有し、前記切替供給信号を当該遅延時間で遅延した遅延信号を生成する遅延工程と、

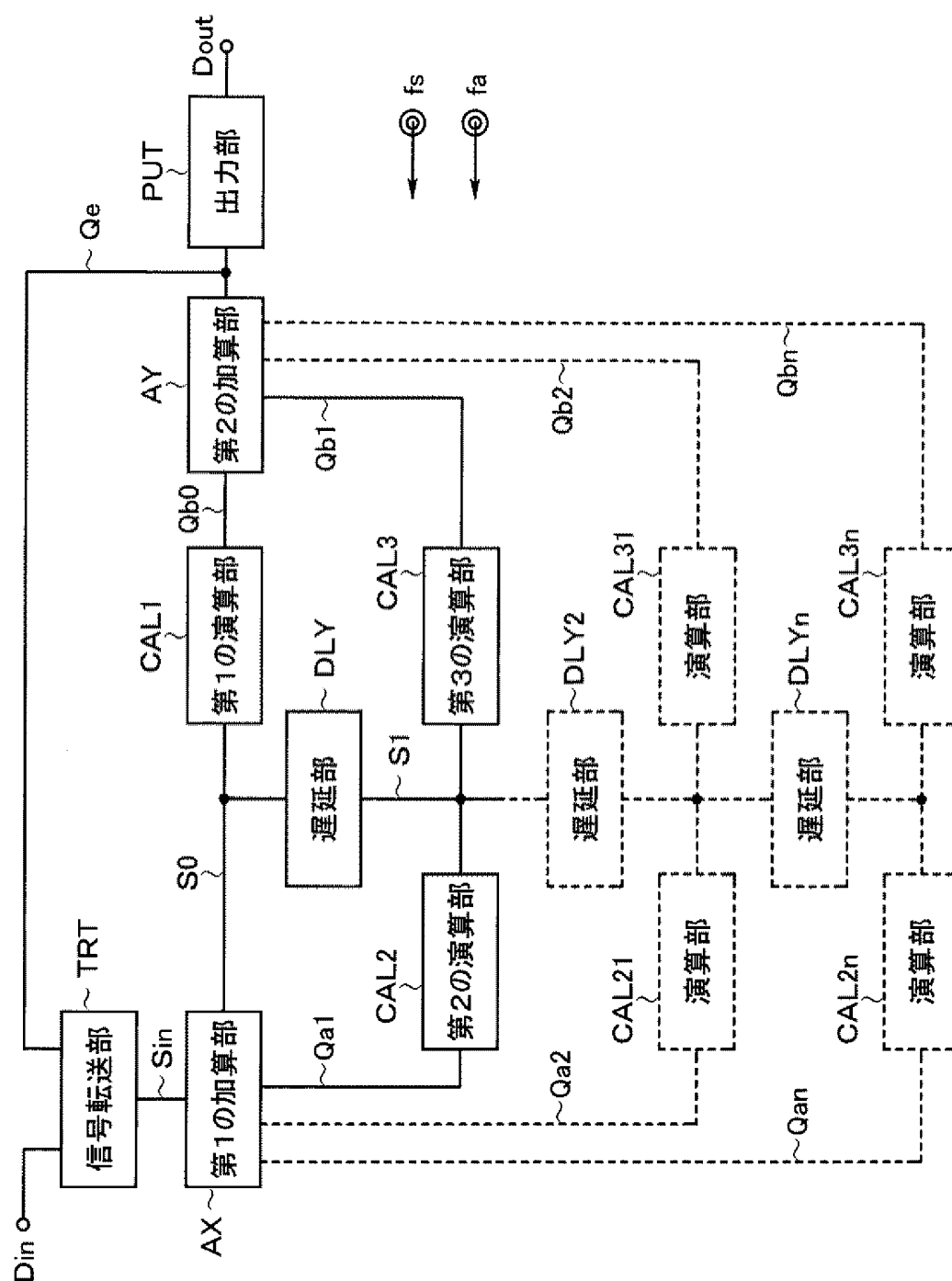
各々所定のフィルタ係数が設定され前記複数段に相当する個数を最大個数とする所定個数の乗算工程を有し、前記遅延信号に対する当該各乗算工程によるフィルタ係数の乗算を、前記規定周波数の各周期に同期して、前記サンプリング周波数の各周期の間に所定順序で切り替えて行うことにより、前記加算工程に供給する他の乗算信号を生成して出力させる他の演算工程と、

を備えることを特徴とするデジタル信号処理方法。

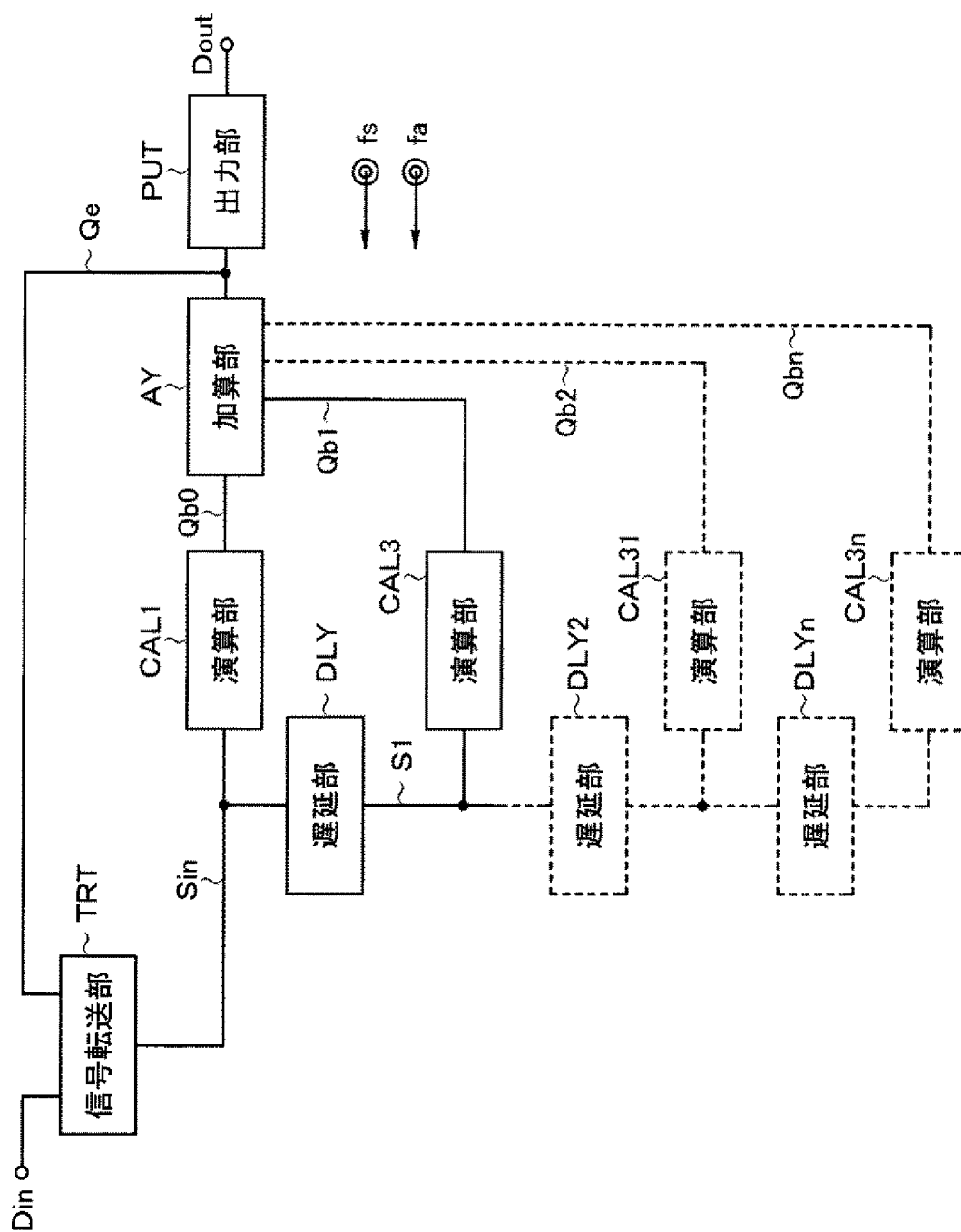
[図1]



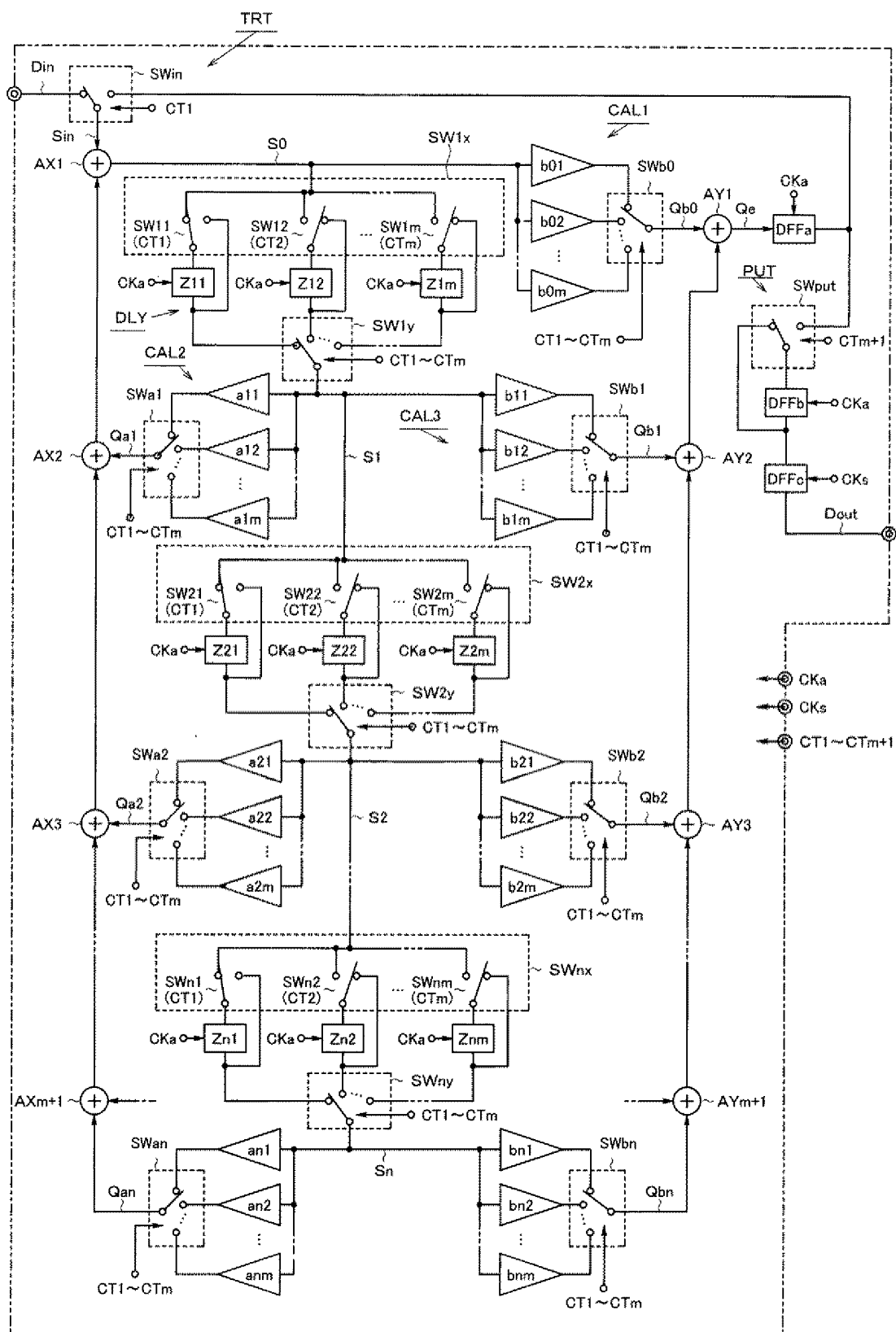
[図2]



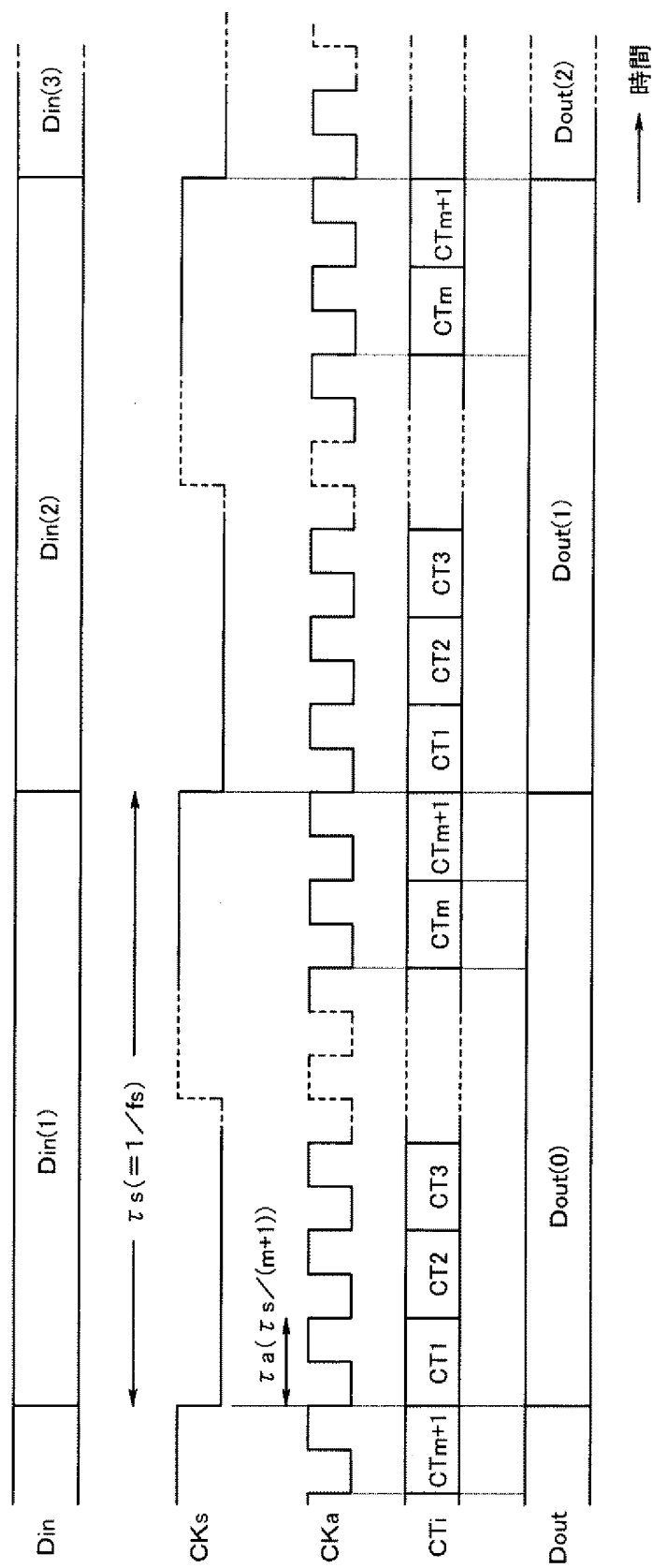
[図3]



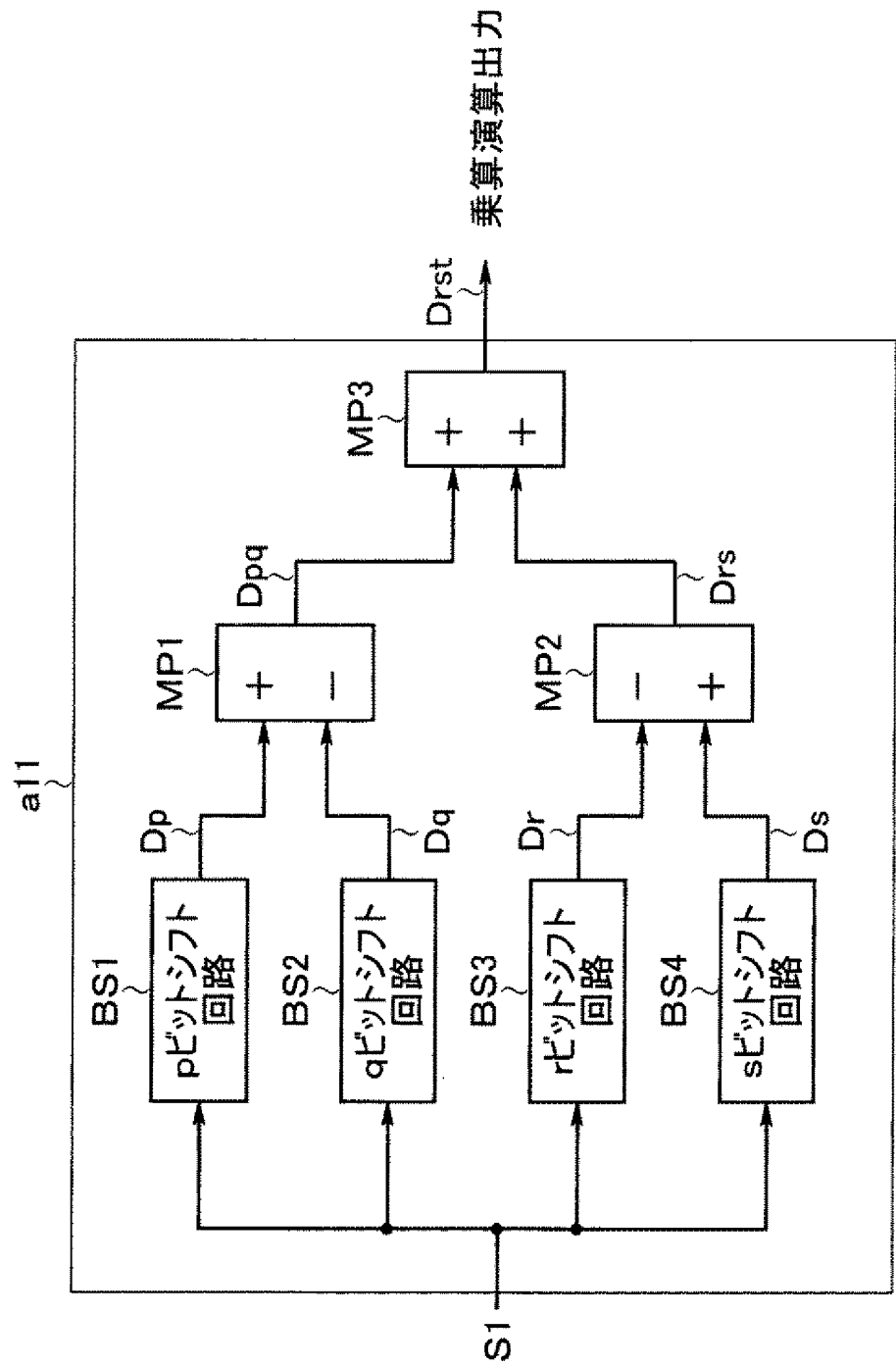
[図4]



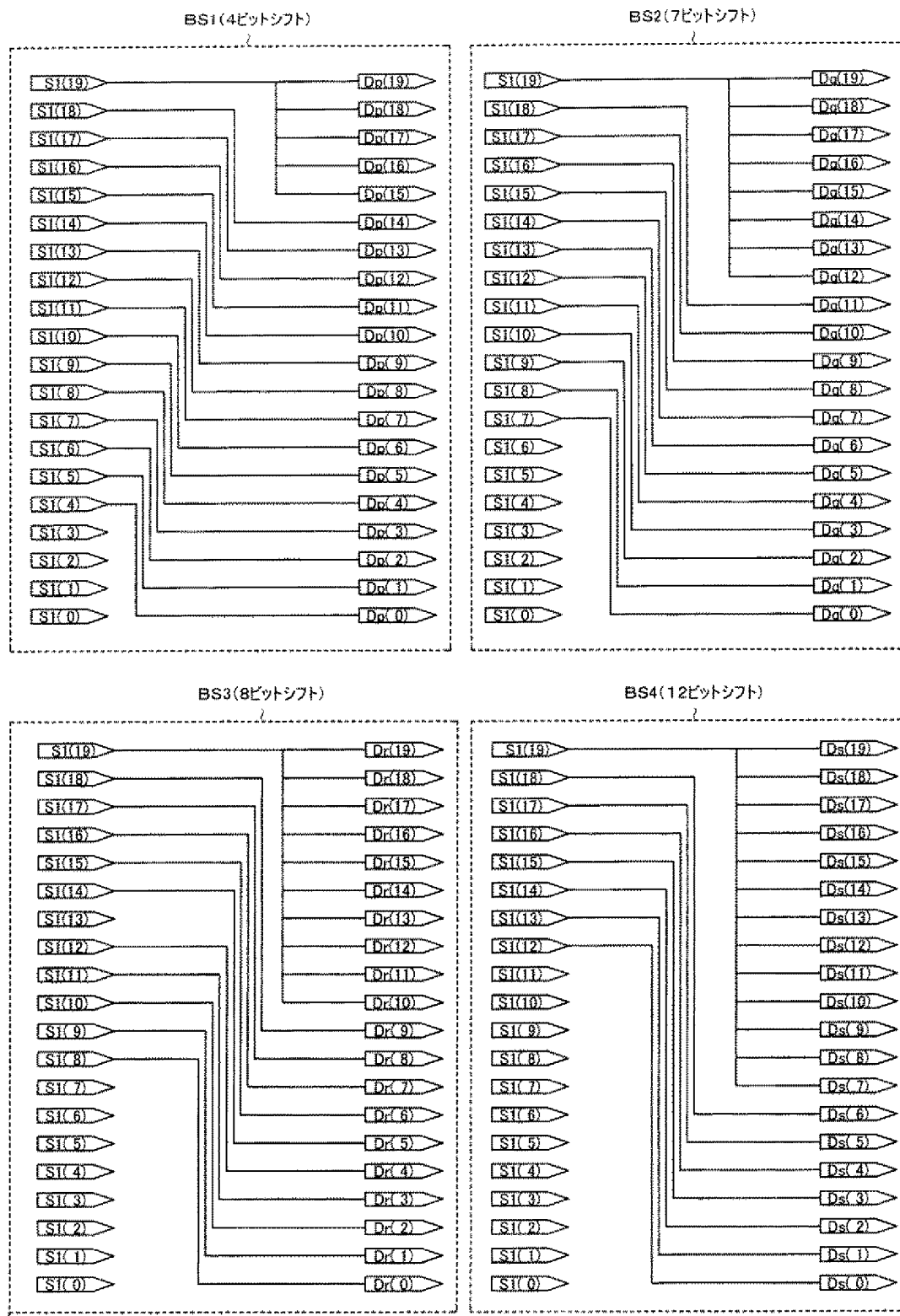
[図5]



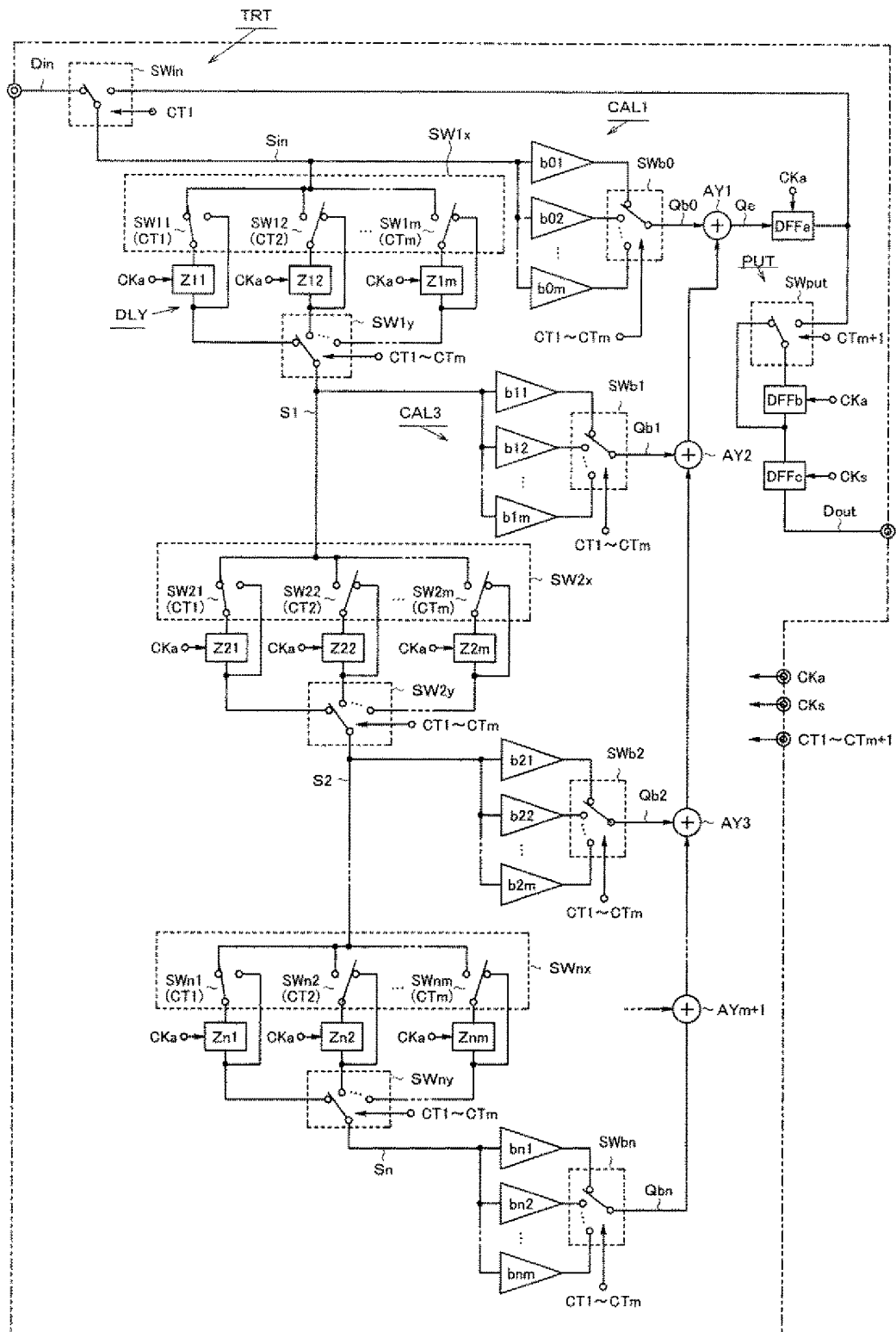
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023171

A. CLASSIFICATION OF SUBJECT MATTER

H03H17/04 (2006.01), H03H17/06 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H17/04, H03H17/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 59-44097 A (Nippon Gakki Co., Ltd.), 12 March, 1984 (12.03.84), Page 3, lower right column, line 16 to page 4, lower right column, line 16; Fig. 2 (Family: none)	1-13
Y	JP 2001-160736 A (NEC IC Miconsystem Kabushiki Kaisha), 12 June, 2001 (12.06.01), Par. Nos. [0002] to [0003]; Figs. 5, 6 (Family: none)	1-7, 10-12
Y	JP 63-257319 A (Sharp Corp.), 25 October, 1988 (25.10.88), Page 3, upper left column, line 15 to page 4, lower left column, line 4; Fig. 2 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 March, 2006 (14.03.06)Date of mailing of the international search report
20 March, 2006 (20.03.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023171

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 55-92012 A (Fujitsu Ltd.), 12 July, 1980 (12.07.80), Page 1, lower right column, line 2 to page 2, upper right column, line 13; Figs. 1, 2 (Family: none)	2-7, 9-11
Y	JP 2001-308684 A (Sharp Corp.), 02 November, 2001 (02.11.01), Par. Nos. [0064] to [0092]; Fig. 1 (Family: none)	5-7, 11
Y	JP 11-330913 A (Sharp Corp.), 30 November, 1999 (30.11.99), Par. Nos. [0047] to [0051]; Fig. 2 (Family: none)	11

A. 発明の属する分野の分類 (国際特許分類 (I P C)) Int.Cl. H03H17/04 (2006.01), H03H17/06 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (I P C)) Int.Cl. H03H 17/04, H03H 17/06			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) 			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P 59-44097 A (日本楽器製造株式会社) 1984.03.12, 第3頁右下欄第16行~第4頁右下欄第16行, 第2図 (ファミリーなし)	1-13	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 14.03.2006		国際調査報告の発送日 20.03.2006	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 東 昌秋 電話番号 03-3581-1101 内線 3576 5W 3139	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-160736 A (日本電気アイシーマイコンシステム株式会社) 2001. 06. 12, 段落【0002】～【0003】、【図5】、【図6】(ファミリーなし)	1-7, 10-12
Y	J P 63-257319 A (シャープ株式会社) 1988. 10. 25, 第3頁左上欄第15行～第4頁左下欄第4行, 第2図 (ファミリーなし)	1-13
Y	J P 55-92012 A (富士通株式会社) 1980. 07. 12, 第1頁右下欄第2行～第2頁右上欄第13行, 第1図, 第2図 (ファミリーなし)	2-7, 9-11
Y	J P 2001-308684 A (シャープ株式会社) 2001. 11. 02, 段落【0064】～【0092】、【図1】 (ファミリーなし)	5-7, 11
Y	J P 11-330913 A (シャープ株式会社) 1999. 11. 30, 段落【0047】～【0051】、【図2】 (ファミリーなし)	11