

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-295885  
(P2004-295885A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int.Cl.<sup>7</sup>  
G06F 12/06

F I  
G06F 12/06 510A  
G06F 12/06 524

テーマコード(参考)  
5B060

審査請求 有 請求項の数 20 O L (全 17 頁)

(21) 出願番号 特願2004-77827 (P2004-77827)  
(22) 出願日 平成16年3月18日(2004.3.18)  
(31) 優先権主張番号 10/397,434  
(32) 優先日 平成15年3月26日(2003.3.26)  
(33) 優先権主張国 米国(US)

(特許庁注: 以下のものは登録商標)

1. WINDOWS
2. Macintosh
3. UNIX

(71) 出願人 503003854  
ヒューレット・パカード デベロップメント カンパニー エル. ピー.  
アメリカ合衆国 テキサス州 77070  
ヒューストン 20555 ステイト  
ハイウェイ 249

(74) 代理人 100081721  
弁理士 岡田 次生

(74) 代理人 100105393  
弁理士 伏見 直哉

(74) 代理人 100111969  
弁理士 平野 ゆかり

最終頁に続く

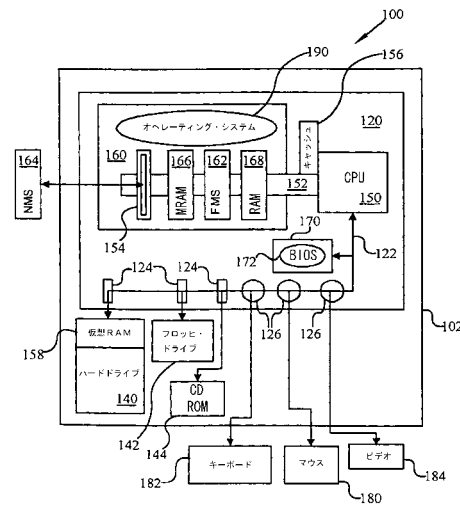
(54) 【発明の名称】 メイン・メモリの動的再割当てが可能なコンピュータ・システム

(57) 【要約】

【課題】 動作中にメモリモジュールが挿入または取外されたときにメインメモリの使用を動的に調整するオペレーティングシステムを備えたコンピュータシステムを提供する。

【解決手段】 本発明は、メインボードと、メインボードに結合された少なくとも1つのCPUと、メインボードによって少なくとも1つのCPUに結合され、第1のメモリ記憶装置(FMS)と、少なくとも1つのCPUでFMSと実質的に同じ速度で動作する取り外し可能な不揮発性メモリ記憶装置(NMS)と、を備えるメイン・メモリと、を有し、メイン・メモリは、さらに、NMSの取外しまたは挿入に応じてメイン・メモリの動的調整を可能にするオペレーティング・システムを支援することが可能であり、CPUに結合された少なくとも1つの入力装置と、CPUに結合された少なくとも1つの出力装置と、を有するコンピュータ・システムを提供する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

コンピュータ・システムであって、

メイン・ボードと、

前記メイン・ボードに結合された少なくとも1つの中央処理装置(CPU)と、

前記メイン・ボードによって前記少なくとも1つのCPUに結合され、

第1のメモリ記憶装置(FMS)と、

前記少なくとも1つのCPUで前記FMSと実質的に同じ速度で動作する取り外し可能な不揮発性メモリ記憶装置(NMS)と、

を備える、少なくとも2つのメモリ記憶を収容することができるメイン・メモリと、

を有し、

該メイン・メモリが、さらに、前記コンピュータ・システムの起動時に前記メイン・メモリにロードされるオペレーティング・システムを支援することができ、

該オペレーティング・システムが、前記少なくとも1つのCPUとメイン・メモリの基本動作を制御し、

該オペレーティング・システムが、前記NMSの取外しまたは挿入に応じたメイン・メモリの動的調整を可能にしており、

前記CPUに結合された少なくとも1つの入力装置と、

前記CPUに結合された少なくとも1つの出力装置と、

を有するコンピュータ・システム。

## 【請求項 2】

前記動的調整が、前記NMSの前記取外しまたは挿入に関する通知に対応する、請求項1に記載のコンピュータ・システム。

## 【請求項 3】

前記通知が、前記NMSの前記取外しまたは挿入に応じて前記メイン・ボードによって生成されるハードウェア割込み応答(I R Q)である、請求項2に記載のコンピュータ・システム。

## 【請求項 4】

前記メイン・ボードによって前記CPUに結合され、前記NMSが取外しまたは挿入されたときに前記システムに対する固有のイベントを登録するBIOSを含むBIOSメモリをさらに有する、請求項1に記載のコンピュータ・システム。

## 【請求項 5】

前記FMSが、揮発性RAMである、請求項1に記載のコンピュータ・システム。

## 【請求項 6】

前記FMSが、NMSである、請求項1に記載のコンピュータ・システム。

## 【請求項 7】

前記NMSが、磁気ランダム・アクセス・メモリ(MRAM)で、請求項1に記載のコンピュータ・システム。

## 【請求項 8】

前記NMSが、強誘電体ランダム・アクセス・メモリ(F e R A M)である、請求項1に記載のコンピュータ・システム。

## 【請求項 9】

コンピュータ・システムであって、

メイン・ボードと、

前記メイン・ボードに結合された少なくとも1つの中央処理装置(CPU)と、

前記メイン・ボードによって少なくとも1つのCPUに結合され、

第1のメモリ記憶装置(FMS)と、

前記少なくとも1つのCPUで前記FMSと実質的に同じ速度で動作する取り外し可能な不揮発性メモリ記憶装置(NMS)と、

前記コンピュータ・システムの起動時に前記FMSにロードされ、前記少なくとも1つ

10

20

30

40

50

のCPUとメイン・メモリの前記基本動作を制御し、前記NMSの前記取外しまたは挿入に関する通知に応じたメイン・メモリの動的調整を可能にするオペレーティング・システムと、

を備えるメイン・メモリと、

前記少なくとも1つのCPUに結合された少なくとも1つの入力装置と、

前記少なくとも1つのCPUに結合された少なくとも1つの出力装置と、

を有するコンピュータ・システム。

【請求項10】

前記通知が、前記NMSの前記取外しまたは挿入に応じて前記メイン・ボードによって生成されたハードウェア割込み応答（IRQ）である、請求項9に記載のコンピュータ・システム。

10

【請求項11】

前記メイン・ボードによって前記CPUに結合され、前記NMSの前記取外しまたは挿入の際に前記システムに対する固有のイベントを登録するBIOSを含むBIOSメモリをさらに有する、請求項9に記載のコンピュータ・システム。

【請求項12】

前記NMSが、磁気ランダム・アクセス・メモリ（MRAM）である、請求項9に記載のコンピュータ・システム。

【請求項13】

CPUとメモリを備えるコンピュータによって実行可能なオペレーティング・システムであって、

20

アクティブなプロセスのための前記CPUへのアクセス時間を管理するプロセス・マネージャと、

前記CPUによる現在アクティブなプロセスの実行のために、キャッシュ、メイン・メモリおよび仮想メモリを含むメモリを管理するメモリ・マネージャと、

前記CPUによって実行されるときに、プロセスによって必要とされる情報の入出力を管理するデバイス・マネージャと、

前記メモリ・マネージャに結合されており、動作中に不揮発性メイン・メモリが前記コンピュータ・システムに追加または取外されたときにメイン・メモリの使用を動的に調整するメイン・メモリ・コントローラと、

30

を有するオペレーティング・システム。

【請求項14】

前記使用の動的調整が、

第1のメモリ記憶装置（FMS）と、

前記FMSと実質的に同じ速度で動作する取り外し可能な不揮発性メモリ記憶装置（NMS）と、

を有するメイン・メモリに基づく、請求項13に記載のオペレーティング・システム。

【請求項15】

前記プロセスが、スレッドであっても良い、請求項13に記載のオペレーティング・システム。

40

【請求項16】

前記メイン・メモリ・コントローラが、前記ハードウェア・システムによって生成されたハードウェア割込み（IRQ）に基づいてメイン・メモリの使用を動的に調整する、請求項13に記載のオペレーティング・システム。

【請求項17】

前記メイン・メモリ・コントローラが、前記システムに登録されたBIOSイベントに基づいてメイン・メモリの使用を動的に調整する、請求項13に記載のオペレーティング・システム。

【請求項18】

前記メイン・メモリ・コントローラの前記動作が、前記プロセス・マネージャによって

50

最も高い優先順位を与えられる、請求項 1 3 に記載のオペレーティング・システム。

【請求項 1 9】

前記 F M S が、N M S である、請求項 1 3 に記載のコンピュータ・システム。

【請求項 2 0】

前記不揮発性メイン・メモリが、磁気ランダム・アクセス・メモリ ( M R A M ) である、請求項 1 3 に記載のオペレーティング・システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、一般に、記憶装置を備えたコンピュータ・システム用のオペレーティング・システムに関し、より詳細には、コンピュータ・システムの動作中に不揮発性のメイン・メモリモジュールが挿入または取外されたときにメイン・メモリの使用量を動的に調整するオペレーティング・システムを備えたコンピュータ・システムに関する。 10

【背景技術】

【0 0 0 2】

今日のコンピュータ・システムは、ますます高性能化されてきており、ユーザは、増え続ける様々な計算タスクをより高速に実行することができる。

【0 0 0 3】

プロセッサの速度、ハードドライブの記憶容量、使用可能なメイン・メモリ、およびその他のハードウェアの優れた機能に関係なく、これらの構成要素は、電力が印加されオペレーティング・システムがロードされてシステムの使用が可能になるまで単なる紙押さえに過ぎない。 20

【0 0 0 4】

最も単純なレベルでかつ最も一般的な意味において、オペレーティング・システムのタスクは、特定のカテゴリ、すなわちプロセス管理、デバイス管理 ( アプリケーション管理とユーザ・インタフェース管理を含む )、およびメモリ管理 ( 記憶装置を含む ) に分類される。

【0 0 0 5】

コンピュータ・システムのメモリは、技術的には、任意の形の電子的、磁氣的または光学的な記憶装置であるが、一般に、ある程度速度と機能に基づいて様々なカテゴリに分けられる。大容量記憶装置は、一般に、ハード・ドライブ、テープ・ドライブ、光学媒体、他の大容量記憶装置など、一般に安価で低速で大容量の装置であると理解されている永久的な不揮発性記憶装置である。大容量記憶装置の主な目的は、アプリケーションまたはデータを、実行に必要なまで記憶することである。大容量記憶装置は、低コストでかつ不揮発性の性質により、一般に、コンピュータ・システムに、数百ギガバイトまでの記憶装置を提供する。このような大容量記憶装置は、ほぼ 1 ミリ秒を超えるアクセス時間で動作する。プロセッサが、必要とされるすべてのデータごとにそのような大容量記憶装置にアクセスしなければならない場合、コンピュータ・システムは、きわめて低速で動作することになる。 30

【0 0 0 6】

処理のための迅速なアクセスを容易にするために、最新の通常のコンピュータは、メモリ・バスによってプロセッサに直接接続されたメイン・メモリを有する。比較的遅い記憶装置と対照的に、メイン・メモリは、一般に、アクセス時間がほぼ 1 0 0 ナノ秒未満の D R A M、S D R A M、R D R A M などの高速で高価な揮発性ランダム・アクセス・メモリ ( R A M ) から成る。高いコストと連続的な電力を必要とする揮発性の性質によって、メイン・メモリ R A M は、一般に、数十メガバイトから 1 または 2 ギガバイトの範囲の容量で提供される。プロセッサとメイン・メモリの間に置かれる少量のキャッシュ・メモリとして、一般に、きわめて高速 ( 1 0 ナノ秒未満のこともある ) でより高価な S R A M が使用される。そのような高速キャッシュの容量は、一般に、数十キロバイトから数メガバイトである。より高性能なシステムでは、各レベルが異なる速度と容量のいくつかのレベル 40 50

のキャッシュ・メモリが使用されることがある。

【0007】

メイン・メモリは、プロセッサによって使用可能なように、編成されなければならない。初期化の際に、オペレーティング・システムは、BIOSによって報告された使用可能なメイン・メモリを、例えば2キロバイトなどの標準のブロック・サイズに分割する。次に、実行されるアプリケーションが、これらの固定されたブロック・サイズにロードされる。従来より、メイン・メモリには、アプリケーションの目前の動作に必要な部分だけが、その都度ロードされる。処理のためにアプリケーションの様々な部分が必要とされるので、メイン・メモリブロック内のアクティブなコードの一部が置き換えられる。メイン・メモリが大きいほど、メモリに一度に常駐できる処理コードの量が多くなる。

10

【0008】

メイン・メモリ内の使用可能なスペースの必要に応じてメイン・メモリからコードを出し入れすることは、時間のかかるプロセスであり、システムの性能に直接影響を及ぼす。しかしながら、一般に、プロセッサは、1度にメモリの1つの記憶場所にしかアクセスできず、したがって、任意の所定の瞬間においてメイン・メモリRAMの大部分は使用されていない。

【0009】

コンピュータ・システムが、様々な形で使用されることがあるので、ある瞬間に適切と思われたRAMの量が、別の瞬間には不十分または過剰なことがある。例えば、画像の処理および操作アプリケーションは、使用するための初期化に時間がかかるだけでなく、使用可能なメイン・メモリRAMリソースの大部分をも必要とするが、単純なテキスト・エディタは、システムにとってほとんど注目に値しない。

20

【0010】

RAMは高価である。ユーザは、実際には、コンピュータ・システムの電力を遮断し、RAMの容量を変更して予想される需要を反映させることができるが、これは、時間がかかり、追加RAMの投資だけでなく特殊なツールと知識を必要とすることがある。

【0011】

このジレンマを支援するために、コンピュータ・システムは、一般に、仮想メモリを使用する。具体的には、オペレーティング・システムが、ハードドライブの一部を追加RAMの機能を果たすように指定する。これは、有効でコスト効率が高いが、ハードドライブの低速性のため、システム全体のパフォーマンスが低下し、多くの状況において有効とは言えないソリューションである。

30

【0012】

仮想メモリとその使用を支援するオペレーティング・システムの1つの特徴は、システムの動作中に仮想メモリを動的に調整できることである。一般に、これは、システム・ユーザが、メモリを大量に使用する多数のアプリケーションを同時に立ち上げるときにオペレーティング・システムによって自動化されるタスクである。非割当て(Deallocation)を実行することもできるが、これは、一般に、さらに複雑なプロセスである。

【0013】

このプロセスと機能は有益であるが、ハードドライブの一般的な速度は約7ミリ秒であり、これは、メイン・メモリRAMの一般的な速度よりもかなり長い。したがって、割当てプロセスまたは非割当てプロセスの間に、ユーザは、コンピュータ・システムの著しい使用停止に耐えなければならない。

40

【発明の開示】

【発明が解決しようとする課題】

【0014】

最新の多くのオペレーティング・システムは、起動時に認識され自動的に構成されるプラグ・アンド・プレイ装置と、動作中にコンピュータ・システムに追加または取り外しすることができるホットプラグ可能な(hot-pluggable、接続または取り外しを認識可能な)装置を使用することができる。

50

## 【0015】

いくつかの例において、プラグ・アンド・プレイ装置またはホットプラグ装置は、ハードドライブによって提供される仮想メモリよりも優れた改良品として使用することができるFLASHカードなどの記憶装置である。しかしながら、このような装置は、メイン・メモリRAMよりもかなり遅く、したがって、メイン・メモリの容量と能力をシームレスに増大させるために使用することができない。

## 【0016】

さらに、メイン・メモリは、オペレーティング・システムの初期のロード中に、オペレーティング・システムによって構成され細分される。システムの電力が遮断されているときにはメイン・メモリRAMを増減することができるが、現在のオペレーティング・システムでは、システムの動作中にメイン・メモリRAMを追加したり取外したりすることはできない。これを行うと、オペレーティング・システムとコンピュータ・システム全体がきわめて不安定性になる。現在のオペレーティング・システムでは、システムが実行している間にメイン・メモリの動的再割当てができない。

10

## 【0017】

さらに、メイン・メモリRAMが、コンピュータ・システムを危機的に使用不能にすることなく取り外された場合でも、一般に使用されるRAMの揮発性によって、取り外す前にRAMに保持されていた内容が、取り外されたとたんに失われることになる。したがって、遅い不揮発性メモリの技術を使用することによって、コンピュータ・システム間でアプリケーションを共用したり後日すぐに使用できるように記憶したりすることが必要とされている。

20

## 【0018】

従って、以上示した欠点のうちの1つまたは複数を克服するコンピュータ・システムおよびオペレーティング・システムが必要である。本発明は、これらの必要のうちの1つまたは複数を満たす。

## 【課題を解決するための手段】

## 【0019】

本発明は、コンピュータ・システムの動作中に不揮発性メイン・メモリ・モジュールが挿入または取外されたときにメイン・メモリの使用を動的に調整するオペレーティング・システムを備えたコンピュータ・システムを提供する。

30

## 【0020】

特にまた単なる例として、本発明の実施形態によれば、本発明は、メイン・ボードと、メイン・ボードに結合された少なくとも1つの中央処理装置(CPU)と、メイン・ボードによって少なくとも1つのCPUに結合され、第1のメモリ記憶装置(first memory store、FMS)と、少なくとも1つのCPUでFMSと実質的に同じ速度で動作する取り外し可能な不揮発性メモリ記憶装置(non-volatile memory store、NMS)と、を備える少なくとも2つのメモリ記憶を収容することができるメイン・メモリと、を有し、メイン・メモリは、さらに、コンピュータ・システムの起動時にメイン・メモリにロードされ、少なくとも1つのCPUとメイン・メモリの基本動作を制御し、NMSの取外しまたは挿入に応じてメイン・メモリの動的調整を可能にするオペレーティング・システムを支援することが可能であり、CPUに結合された少なくとも1つの入力装置と、CPUに結合された少なくとも1つの出力装置と、を有するコンピュータ・システムを提供する。

40

## 【0021】

さらに、本発明の実施形態によれば、本発明は、メイン・ボードと、メイン・ボードに結合された少なくとも1つの中央処理装置(CPU)と、メイン・ボードによって少なくとも1つのCPUに結合され、第1のメモリ記憶装置(FMS)と、CPUで第1のメモリ記憶と実質的に同じ速度で動作するNMSと、を備えるメイン・メモリと、コンピュータ・システムの起動時に第1のメモリ記憶装置内にロードされ、少なくとも1つのCPUとメイン・メモリの基本動作を制御し、NMSの取外しまたは挿入に関する通知に応じてメイン・メモリの動的調整を可能にするオペレーティング・システムと、CPUに結合され

50

た少なくとも1つの入力装置と、CPUに結合された少なくとも1つの出力装置とを有するコンピュータ・システムを提供することができる。

【0022】

さらにもう1つの実施形態において、本発明は、アクティブなプロセスのCPUへのアクセス時間を管理するプロセス・マネージャと、CPUによって現在アクティブなプロセスを実行するために、キャッシュ、メイン・メモリおよび仮想メモリを含むメモリを管理するメモリ・マネージャと、CPUによって実行されるときに、プロセスによって必要とされる情報の入出力を管理するデバイス・マネージャと、メモリ・マネージャに結合されており、動作中に不揮発性メイン・メモリがコンピュータ・システムに追加または除外されたときにメイン・メモリの使用を動的に調整するメイン・メモリ・コントローラと、

10

【0023】

好ましい装置および方法の以上その他の特徴および利点は、本発明の原理を例として示す添付図面と関連して行われる以下の詳細な説明から明らかになるであろう。

【発明を実施するための最良の形態】

【0024】

詳しい説明に進む前に、本発明が、特定のタイプのコンピュータ・システム、オペレーティング・システム、および不揮発性メイン・メモリと関連した使用または応用に限定されないことを認識されたい。したがって、本発明は、説明の都合上、代表的な実施例に関して示し説明されるが、本発明を、他のタイプのコンピュータ・システム、オペレーティング・システムおよび不揮発性メイン・メモリに適用できることを認識されたい。

20

【0025】

磁気ランダム・アクセス・メモリ(MRAM)技術または強誘電体ランダム・アクセス・メモリ(FERAM)は、MRAMチップが、10ナノ秒未満の速度で動作できるようになるまで進歩した。そのような速度は、例えばDRAMやSRAMなどの従来のRAMに匹敵しかつ適合性がある。

【0026】

従来のRAMと違って、MRAMは、不揮発性であるように意図的に設計されている。より具体的には、MRAMは、システム電源が入っているか入っていないかに関係なく、

30

【0027】

当業者は、MRAMメモリ記憶装置を、従来のコンピュータに使用するために、さらに前のRAMメモリ記憶に使用されていたものと実質的に同じ速度でかつ実質的に同じソケット接続を備えるように製造することができる。MRAMの特性と特徴を完全に利用し享受することは、以下で説明する本発明の実施形態によって実現することができる。

【0028】

図1は、本発明の実施形態による例示的なコンピュータ・システム100のブロック図を示す。コンピュータ・システム100は、メイン・ボード120と、ハードドライブ140などの大容量記憶装置とを取り囲むケース102を有する。メイン・ボードは、システム・バス122、拡張スロット124、接続ポート126、CPU150、メモリ・バス152、メモリ・バス・インタフェース154、キャッシュ156、メイン・メモリ160、およびBIOS172を含むBIOSチップ170を含む。適切な環境下で、コンピュータ・システム100は、例えば追加のハードディスクや追加のコプロセッシング用のCPUなどの冗長な構成要素を有することがある。

40

【0029】

図示したように、メイン・メモリ160は、第1のメモリ記憶(first memory store、FMS)162と取り外し可能な不揮発性メモリ記憶(non-volatile memory store、NMS)164として細分することができ、それぞれのメモリ記憶は、メモリ・バス・イン

50

タフェース154によってメモリ・バス152に接続される。マウス80、キーボード182、ビデオ・ディスプレイ184、ハードドライブ140、フロッピ・ドライブ142およびCD ROMドライブ144などの装置が、例えば、メイン・ボード120に結合され、より具体的には、接続ポート126と拡張スロット124によってシステム・バス122に結合される。接続ポート126と拡張スロット124は、システム・バス122へのアクセス・ポイントとして働き、装置をCPU150に有効に結合して、コンピュータ・システム100との間の入出力を提供する。

#### 【0030】

少なくとも1つの実施形態において、NMS164は、MRAM166および/またはFeRAMでよい。FMS162は、例えばRAM168であり、より具体的には、例えばSRAM、DRAM、SDRAM、RDRAMなどのコンピュータ・メモリに使用されているような従来のRAMの任意の変形でよいことを理解され認識されたい。さらに、適切な環境下で、FMSは、例えばMRAMやFeRAMなどの従来と異なるRAMでよい。

10

#### 【0031】

図示したように、メイン・ボード120は、一体型(unitary)構造でよい。例えば限られた空間の使用を最大にするのに適切な環境下で、メイン・メモリ160、BIOSチップ170、接続ポート126、拡張スロット124、キャッシュ156、CPU150、および他のメイン・ボード120の構成要素は、独立した構造に別々に、すなわち小さなグループで結合することができる。これらの独立した構造を相互接続するバスは、リボン・ケーブルなどのケーブルや他のデータ経路装置の形でよい。そのような構成において、CPU150および/またはメイン・メモリ160を支持するような主な独立構造を、メイン・ボードとして識別することができる。しかしながら、この考察のために、相互接続された独立構造の集合体は、実質的に単一構造のメイン・ボード120と同じように機能するように認識することができる。

20

#### 【0032】

メモリ・バス152とシステム・バス122は、一般に、メイン・ボードに取り付けられたCPU150とすべての装置を相互接続するメイン・ボード120上に提供されたデータ経路および物理インタフェースであるように理解され認識される。バスの容量は、一般に幅(width)と呼ばれ、一度にデータをどれだけ転送できるかを決定し、クロック速度は、データをどれだけ速さで転送できるかを決定する。より具体的には、バスの幅と速さが大きいほど、多くのデータを転送することができる。一般に、メモリ・バス152は、システム・バス122よりも速さと幅がかなり大きい。

30

#### 【0033】

メモリ・バス152は、FMS162とNMS164をCPU150に結合する幅の広い長方形として示されている。これと対照的に、ハードウェア・サブシステムをCPU150に結合するシステム・バス122は、2つのバスの速度と容量の相対的な違いを示すために、細い矢印として示されている。キャッシュ156は、CPU150とメモリ・バス152に直接結合されることがある。

#### 【0034】

例えばPCI、ISA、AGPなどの多数のバスを使用するような適切な環境下では、コンピュータ・システム100は、あるバスから別のバスへの情報の流れの制御を支援するバス・マスタを含むことができる。

40

#### 【0035】

FMS162とNMS164が共に、メイン・メモリ160を含み、同じメモリ・バス152を介してCPU150と通信するため、NMS164が、実質的にFMS162と同じ速度で動作することを理解され認識されたい。

#### 【0036】

電力が加えられコンピュータ・システムが起動するとき、基本入出力システム(basic input output system、BIOS)172として知られている小さなソフトウェアがロー

50



ドされ、コンピュータ・システム100が初期化される。BIOSは、多くのタスクを受け持ち、一般に、CMOSの個別設定を確認し、割込みハンドラをロードし、パワー・オン・セルフテスト(POST)を実行してCPU150とメイン・メモリ160を確認し、ブートストラップ・シーケンスを開始して、ハードドライブ140などの起動可能な記憶装置から、オペレーティング・システム190をメイン・メモリ160にロードする。

#### 【0037】

一般に、PCMCIA、USB、Firewire、他の再起動なしにシステムに接続または取外しできるような装置など、プラグ・アンド・プレイ装置とホットプラグ接続可能装置は、BIOS172によって認識される。認識は、システムの起動中、あるいは装置が脱着されたときにハードウェア・サブシステムによって生成されるハードウェア割込み(IRQ)や他の信号に応じて行うことができる。いずれの場合も、装置は、BIOS172によって認識され記録される。次に、オペレーティング・システム190が、そのようなBIOS記録またはフラグを認識することができる。適切な環境下では、オペレーティング・システムは、IRQまたは他の信号を直接認識し応答することができる。

10

#### 【0038】

少なくとも1つの実施形態において、BIOS172は、例えば、追加のユーザ構成なしにシステム装置を認識し初期化することができるプラグ・アンド・プレイBIOSである。さらに、少なくとも1つの実施形態において、BIOS172は、フラグ276に、NMS164の有無を記録するためにイネーブルされる(図2を参照)。より具体的には、PCMCIA、USB、Firewireまたは他のそのような装置の有無を認識し登録するBIOS172の機能と同じように、BIOS172は、NMS164の有無を認識し登録することができる。

20

#### 【0039】

初期化シーケンスに続いて、FMS162のような従来のメモリ記憶装置は、メモリ・レディ信号(Memory Ready signal)のように、FMS162が適切に初期化されたことをコンピュータ・システムに知らせる制御信号に応答することを理解され認識されたい。現在の慣例とコンピュータ・ハードウェア・サブシステムのよく理解されたアーキテクチャに合わせるために、NMS164は、メモリ・レディ信号などの制御信号も提供することができる。BIOS172は、NMS164からのそのような制御信号を、NMS164の存在、適切な環境下ではNMS164の容量を認識し登録する際に利用することができる。

30

#### 【0040】

図2は、NMS164の概略的なブロック図を示す。図示したように、NMS164は、メモリ・セル250上に、NMS164に記憶された1または0の2進データ値の性質を決定するのに必要な電圧検出動作を行うセンスアンプを含むことができる。NMS164に電力が加えられたとき、NMS164は、セットアップおよび較正段階を実行してセンスアンプの電圧検出レベルを較正しなければならない。セットアップ・プロセスを短縮するために、NMS164のメモリ・セル250のセットアップ記憶域252に割り当てられた部分に、範囲値と較正值を記憶することができる。NMS164の不揮発性によって、これらの値が、後の起動サイクルに使用可能になり、較正時間を改善すなわち短縮できることが保証される。残りのメモリ・セルは、メイン・メモリ160に組み込まれた汎用メモリ254に使用することができる。

40

#### 【0041】

NMS164は、また、メモリ・バス・インタフェース154、制御ロジック256、およびメイン・メモリ160の回路に結合するインタフェース回路260を含むことができる。インタフェース回路260は、NMS164が電力検出動作を実行して、例えば実行中のコンピュータ・システム100にNMS164が差し込まれたときや、コンピュータ・システム100全体に電力が加えられたときなど、メイン・ボード120の制御ロジック256からNMS164に電力が提供されたことを決定することができる。さらに、インタフェース回路260は、セットアップ記憶域252に保持された記憶値に基づいて

50

セットアップと較正を実行する。従来のハンドシェイク方式（handshaking、初期接続手順）・プロトコルに従ってセットアップと較正が完了したとき、NMS164は、メモリ・レディ信号を提供する。

【0042】

メモリ・チップに関しては、メモリ・アドレスが要求されてから内容が送られるまでの待ち時間（latency）と呼ばれる潜在期間がある。記憶するためにデータが提供されるときにも類似の潜在期間がある。NMS164は、CPU150と共に実質的にFMS162と同じ速度で動作すると理解されるので、記憶とアクセスに関連した待ち時間は、NMS164とFMS162に関して実質的に同じである。

【0043】

コンピュータ・システム100にNMS164をホット・プラグ（hot-plug、接続または取外しを認識する機能）できることは、NMS164が即座に使用可能になることを意味しない。本発明に関する待ち時間は、NMS164をメモリ・バス152に差し込み、セットアップし、較正し、あるいは使用の準備をするのにかかる時間として定義される。

【0044】

前述のように、コンピュータの起動プロセスは、複雑で時間がかかる動作であり、必要な場合がある複雑で特殊なインタフェース構成要素によって、かかる時間がさらに長くなる可能性がある。NMS164を使用する有益な面は、オペレーティング・システム190がロードされ、それがNMS164に完全にロードされた場合に、システムへの電力を取外しできることである。再接続されたとき、NMS164は、オペレーティング・システム190をコンピュータ・システム100に、あたかも電力の中断がなかったかのような状態と状況で提供する。これは、常用電源から離れて使用することができるラップトップ、PDAおよび他の装置にとって望ましい機能である。少なくとも1つの実施形態において、コンピュータ・システム100が現在使用されていないときに、バッテリー電力や他のリモート電源を節約するために、NMS164が使用される。

【0045】

例えばWindowsやMacintosh、Unixなどのオペレーティング・システムの種類に関係なく、当業者は、オペレーティング・システムの基本コンポーネントが、プロセス管理、デバイス管理（アプリケーションとユーザ・インタフェースを含む）、およびメモリ管理（記憶管理を含む）であることを認識するであろう。

【0046】

本発明の少なくとも1つの実施形態によれば、オペレーティング・システム190は、プロセス・マネージャ200、メモリ・マネージャ210、デバイス・マネージャ220、およびメイン・メモリ・コントローラ230を有するように理解され認識される。

【0047】

プロセス・マネージャ200は、アクティブなプロセスのためのCPU150へのアクセス時間を管理するタスクを課される。より具体的には、プロセス・マネージャ200は、2つのタスクに集中させられる。第1のタスクは、各プロセスが、適切に機能するためにCPU150に対する十分なアクセス時間を有するようにすることである。第2のタスクは、各CPUサイクルごとにできるだけ多く実際の作業が行われるようにすることである。オペレーティング・システム190の種類によって、CPU150によって操作される実行可能なアプリケーションのコンポーネントは、プロセスまたはスレッドと呼ばれることがある。本明細書での考察のために、「プロセス」という用語を使用する。

【0048】

メモリ・マネージャ210は、一般にキャッシュ156、メイン・メモリ160および適切な環境下の仮想メモリ158からなるコンピュータ・システム100のメモリを管理するタスクを課される。より具体的には、メモリ・マネージャ210は、メイン・メモリ160の構成をメモリ・ブロックに初期化し、ハードドライブ140のスペースを仮想メモリ158として機能するように確保し構成し、キャッシュ156を最適化する役割を持つ。メイン・メモリ160は、メモリの単位当りのコストに関して、ハードディスク14

10

20

30

40

50

0 よりもかなり高価である。以上考察したように、仮想メモリを使用して、メイン・メモリ 150 に課される常に変化するリソース要件を補うことができる。

【0049】

システムの動作中、メモリ・マネージャ 210 は、CPU 150 による処理の必要に応じて、メイン・メモリ 160 とキャッシュ 156 と仮想メモリ 158 の間での実行中のアプリケーションに対するメモリ割当てを管理する役割を持つ。どれをどこに入れるかを制御し管理するために、メモリ・アドレッシングを使用することができる。

【0050】

さらに、メモリ・マネージャ 210 は、各プロセスが、別のプロセスに割り当てられたメモリ・ブロック内で動作したり別のプロセスによって間違えて実行されたりすることがなく実行する十分なメモリを有するように保証することに集中する。

10

【0051】

デバイス・マネージャ 220 は、例えばキーボード 182 上のキーストロークの入力やビデオ・ディスプレイ 184 上の値の表示など、CPU 150 によって実行されるようなアクティブ・プロセスによって必要とされる情報の入出力を管理するタスクを課される。

【0052】

デバイス・マネージャ 220 は、このタスクをドライバの使用によって達成することができるが、これは、ハードウェア・サブシステムの電気信号とオペレーティング・システムの間の変換機構として働く特別なプログラムであることを理解され認識されたい。デバイス・マネージャ 220 は、また、アプリケーション・インタフェースの役割を負うことがある。ドライバの使用と同じように、オペレーティング・システム 190 と、オペレーティング・システム 190 によるプログラム実行のために作成されたアプリケーションとの間のインタフェースを標準化するために、アプリケーション・プログラム・インタフェース (API) を使用することができる。

20

【0053】

メイン・メモリ・コントローラ 230 の存在は重要である。メイン・メモリ・コントローラ 230 は、オペレーティング・システム 190 を実行するコンピュータ・システム 100 のユーザが、システムの遮断と再起動を必要とせずに、メイン・メモリ 160 の使用状態を動的に調整できるようにする。より具体的には、メイン・メモリ・コントローラ 230 は、コンピュータ・システム 100 の動作を不安定にすることなく、NMS 164 の抜き差しを可能にするためにメイン・メモリ 160 の使用状態を動的に調整する。

30

【0054】

動作中のメイン・メモリ 160 の動的再割当てを可能にするオペレーティング・システム 190 を備えたコンピュータ・システム 100 の構造的な実施形態について説明したが、次に、図 2 および図 3 と図 4 の流れ図を参照して、コンピュータ・システム 100 の挙動について説明する。示したイベントおよび動作方法は、本明細書に示した順序で実行されなくてもよく、この説明が、単に、本発明による 1 つの動作方法の例示に過ぎないことを認識されたい。

【0055】

図 2 と図 3 を参照すると、少なくとも 1 つの実施形態において、NMS 164 の挿入 330 は、メモリ・バス・インタフェース 154 と制御ロジック 256 を誘導し、コンピュータ・システム 100 へのハードウェア・ベースの IRQ 274 通知を生成する。少なくとも 1 つの実施形態において、IRQ 274 は、前述の待ち期間の終わりに生成される。

40

【0056】

より具体的には、NMS 164 の挿入 330 に続いて、ブロック 332 として示された前述の NMS 164 の初期化および設定が実行される。ブロック 334 に示したように、NMS 164 が存在することをシステム 100 に知らせるために IRQ 274 が生成される。

【0057】

当業者は、ブロック 336 に示したように、IRQ 274 が、BIOS 172 に登録さ

50

れ、BIOSフラグ276によって記録されることがあることを理解し認識されよう。適切な環境下で、ブロック337に示したように、オペレーティング・システム190がIRQ274を直接登録することができる。同様に、メモリ・レディ信号が、BIOS172において認識され登録される。

**【0058】**

少なくとも1つの実施形態において、動作中に取り付けられBIOS172によって認識され登録されたPCMCIA、USB、Firewireまたは他の装置の接続と同様に、NMS164の挿入は、BIOSフラグ276の設定によってBIOS172による固有のイベントとして記録され、システムに登録される。NMS164とそのレディ状態の認識は、ブロック338に示したように、BIOS172によってシステムに登録されたイベントに回答しかつBIOSフラグ276の状態を読み取るオペレーティング・システム190によって認識される。

10

**【0059】**

少なくとも1つの実施形態において、ブロック337に示したように、NMS164が差し込まれたというIRQ274の通知が、オペレーティング・システム190によって直接登録される。オペレーティング・システム190は、例えばNMS164の予想容量に関するさらに詳しい情報をBIOS172にポーリングすることができる。

**【0060】**

NMS164が存在するという信号に応じて、ブロック340に示したように、オペレーティング・システム190のメイン・メモリ・コントローラ230コンポーネントが連結されることがある。メイン・メモリ・コントローラ230は、ブロック342に示したように、メイン・メモリ160の再構成の処理の優先順位が最も高いことを示す信号をプロセス・マネージャ200に送ることができる。より具体的には、プロセス・マネージャ200は、メイン・メモリ160の再構成としての時間が終了するまで、現在あるすべてのプロセスのそれ以上の処理活動をサスペンドするように指示される。

20

**【0061】**

一般に、CPU150は、任意の所定の瞬間に1つのイベントしか実行できないため、プロセス・マネージャ200は、現在の動作の各プロセスに優先順位のレベルを割り当てる。それぞれの活動中のアプリケーションの処理要求を最も短時間で完了することが望ましいが、一般に、各処理要求が、割り込まれかつ/または異なる優先順位を再割り当てされることがあることを、当業者は認識されよう。この規則に基づいて、プロセス・マネージャ200は、メイン・メモリ160の再構築が絶対優先で行われるように、優先順位を再割り当てすることができる。

30

**【0062】**

前述のように、使用可能にするために、一般に、メイン・メモリ160のリソースは、メモリ・マネージャ210によって、例えば2キロバイトなどの標準ブロック・サイズに分割される。NMS164は、コンピュータ・システム100から取り外されたときにデータを保持するので、少なくとも1つの実施形態において、NMS164は、NMS164の最初の初期化の際にオペレーティング・システム190によって最初に適用された標準ブロック・サイズを保持する。

40

**【0063】**

メモリ・マネージャ210は、判断ブロック344に示したように、NMS164にポーリングして、NMSのメモリ・ブロックが、メイン・メモリ160の残りの部分と合致するかどうかを判断する。NMS164内にある構成されたブロック・サイズが、メモリ・マネージャ210によって利用される現行のブロック・サイズと一致しない場合は、少なくとも1つの実施形態において、オペレーティング・システム190は、ユーザに報告されるエラーを生成する。次に、ユーザは、判断ブロック346に示したように、メモリ・マネージャ220によって要求されたメモリ・ブロック・サイズになるように、合致しないNMS164を取外しするかNMS164を再び初期化することを選択することができる。

50

## 【0064】

合致したメモリ・ブロックに関しては、メイン・メモリ160と関連して使用できるようにするために、ブロック348に示したように、NMS164メモリ・ブロックのアドレスを追加するか、使用可能なメモリ・アドレス・プールを更新する。

## 【0065】

メイン・メモリ160のNMS164の認識された構成要素により、システムは、ブロック350に示したように、メモリ・マネージャ210の制御下で通常動作に戻る。

## 【0066】

NMS164の取り外しは、同じように操作される。図2と図4を参照すると、少なくとも1つの実施形態において、ユーザは、オペレーティング・システム190に、NMS164を取り外したいという自分の要求を伝える信号を送り、それにより、ブロック460として示したような取り外しシーケンスが開始される。そのような信号は、例えば、適切なGUIオブジェクト上のマウス・クリックあるいは装置インタフェース154上のリリース・ボタンの押し下げの形である。

## 【0067】

次に、ブロック462に示したように、メイン・メモリ・コントローラ230が連結されることがある。メイン・メモリ・コントローラ230は、ブロック464に示したように、メイン・メモリ160の再構成の処理が最も優先順位の高いイベントであるという信号をプロセス・マネージャ200に送ることができる。より具体的には、プロセス・マネージャ200は、メイン・メモリ160の再構成の時間が終了するまで、現在のすべてのプロセスのさらなる処理活動をサスペンドするように指示される。

## 【0068】

次に、メイン・メモリ・コントローラ230は、ブロック466と判断ブロック468に示したように、メモリ・マネージャ210と連絡をとって、NMS164内のメモリ・ブロックが、NMS164の取り外し後にシステムと現行アプリケーションの連続動作に必要とされる可能性のあるデータを含む場合にはそれがどのデータかをポーリングすることができる。

## 【0069】

必要なデータが識別された場合は、そのデータを、NMS164の取り外し前に複写しかつ/または移動することができる。例えば、NMS164のメモリ・アドレス28088が、現行プロセスと関連したデータを保留の状態を含むと判断された場合は、判断ブロック470に示したように、メモリ・マネージャ230は、メイン・メモリ160を調べて関連データを保持するのに十分なスペースがあるかを判断することができる。メイン・メモリ160のスペースが不十分であると判断された場合は、ブロック472に示したように、仮想メモリ158を増やすことができる。次に、ブロック474によって示されたように、メモリ・アドレス28088の識別されたデータを、メイン・メモリ160または仮想メモリ158にあるメモリ・アドレス20274に移動し、ブロック476に示したように、関連アドレスが、メモリ・マネージャ220によって更新される。

## 【0070】

次に、ブロック478に示したように、システム・メモリ・アドレス・プールが更新されたときに、NMS164のメモリ・アドレスを取外しすることができる。次に、ブロック480に示したように、NMS164が安全に取り外すことができることを示す信号を、ユーザに提供することができる。

## 【0071】

NMS164がコンピュータ・システム100から物理的あるいは論理的に取外されると、ブロック482に示したように、システムは通常の動作を続ける。

## 【0072】

例えばオペレーティング・システム190がFMS162に完全に保持されたような適切な環境下で、メモリの内容を残りのメモリ記憶に再割り当てすることなくNMS164を取り外すことができる。そのような適切な環境下で、少なくとも1つの実施形態におい

10

20

30

40

50

て、オペレーティング・システム 190 は、NMS 164 の取り外しによって停止されたアプリケーション・プロセスを認識し終了する。

【0073】

NMS 164 は、本来不揮発性なので、アプリケーションがあらかじめロードされた NMS 164 の挿入により、「瞬時オン」にきわめて近い機能で、メモリ・バス 152 を介してオペレーティング・システム 190 および CPU 150 にアプリケーションが提供される。そのようなメイン・メモリ 160 内への直接挿入およびメモリ・バス 152 への接続は、CD 上のアプリケーションを CD ROM ドライブ 144 に提供する機能、あるいはシステム・バス 122 を介して最終的に提供されるアプリケーションの他のどの機能よりもかなり高速であることが分かる。

10

【0074】

さらに、システムの通常動作中に NMS 164 を追加することができるので、必要に応じていくつかのコンピュータ・システムにわたり NMS 164 リソースを共用することで、メイン・メモリ・リソース全体の投資コストを節約でき望ましい。

【0075】

さらに、NMS 164 が、メイン・メモリに直接挿入され、メモリ・バス 152 に接続されるので、ハードディスク 140 上の仮想メモリ 158 のような補助メモリを提供したりシステム・バス 122 に FLASH メモリや他のメモリ装置を接続したりするよりも動作がかなり高速であることが分かる。

20

【0076】

本発明を、好ましい実施形態に関して説明したが、当業者は、本発明の範囲を逸脱することなく、様々な修正、変更および改良を行うことができ、本発明の要素およびステップに同等のものを代用できることを理解されよう。さらに、本発明の本質的な範囲から逸脱することなく、本発明の教示に関して、特定の状況または材料に多くの修正を行うことができる。しかしながら、そのような代替、変更、修正および改良は、以上に明示的に示していないが、本発明の目的と趣旨の範囲内であるように意図され含意される。したがって、本発明は、本発明を実行するために熟慮された最良の形態として開示された特定の実施形態に限定されず、本発明が、併記の特許請求の範囲内にあるすべての実施形態を含むように意図されている。

30

【図面の簡単な説明】

【0077】

【図 1】本発明の実施形態によるコンピュータ・システムの概略的なブロック図。

【図 2】本発明の実施形態による不揮発性メモリ記憶装置の概略図。

【図 3】本発明の実施形態によるメイン・メモリへの不揮発性メモリ記憶装置の追加を示す流れ図。

【図 4】本発明の実施形態によるメイン・メモリから不揮発性メモリ記憶装置の取外しを示す流れ図。

【符号の説明】

【0078】

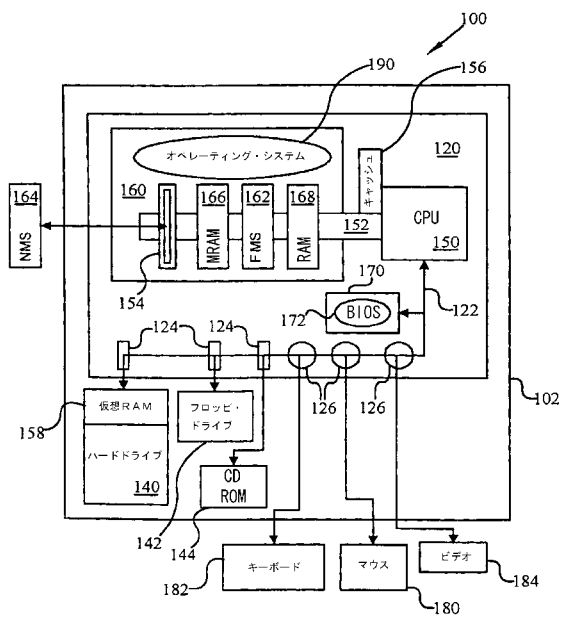
- 100 コンピュータ・システム
- 120 メイン・ボード
- 150 中央処理装置 (CPU)
- 160 メイン・メモリ
- 162 第 1 のメモリ記憶装置 (FMS)
- 164 取り外し可能な不揮発性メモリ記憶装置 (NMS)
- 166 磁気ランダム・アクセス・メモリ (MRAM)
- 168 揮発性 RAM
- 170 BIOS メモリ
- 172 BIOS
- 182 入力装置

40

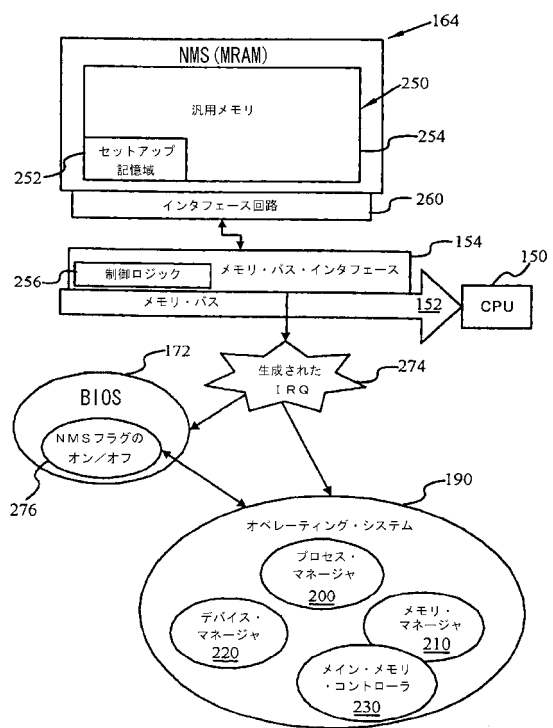
50

- 184 出力装置
- 190 オペレーティング・システム

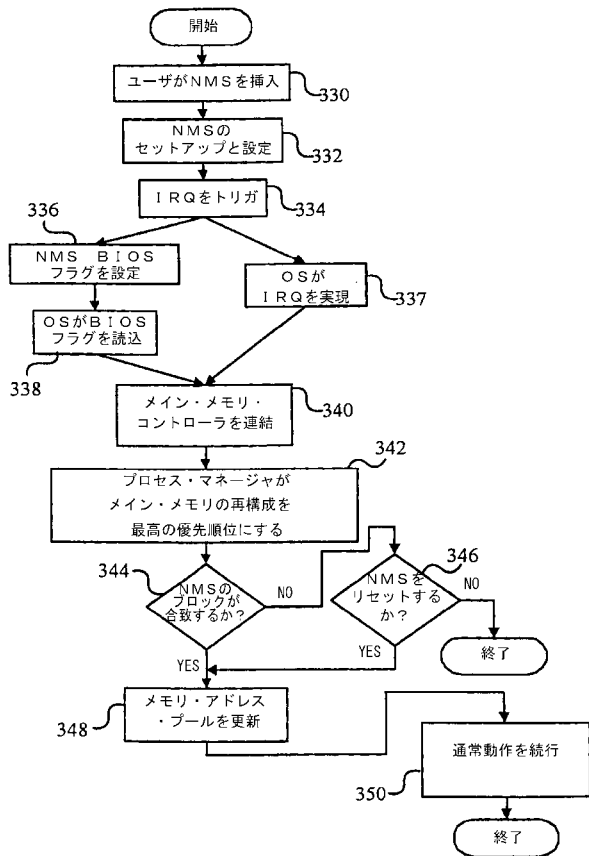
【図1】



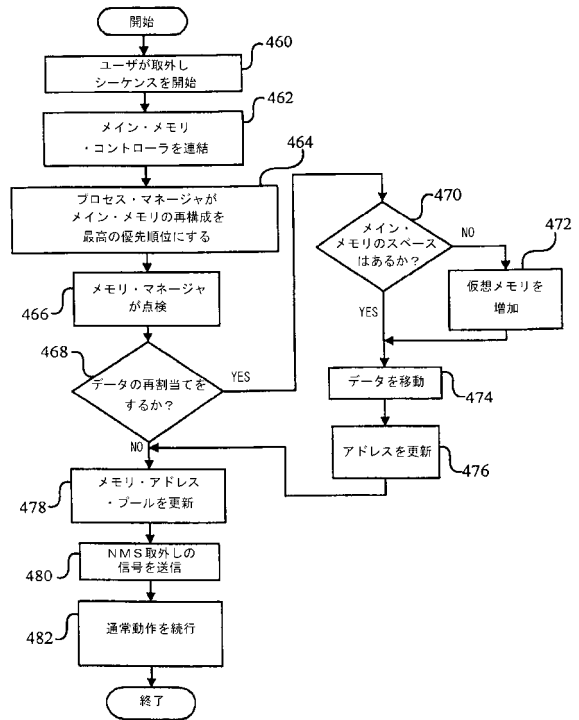
【図2】



【 図 3 】



【 図 4 】





---

フロントページの続き

(72)発明者 マニッシュ・シャーマ

アメリカ合衆国 9 4 0 4 3 カリフォルニア州マウンテン・ビュウ、ノース・ウィスマン・ロード  
1 0 0、アパートメント・2 8 2 1

(72)発明者 ジャニス・エイチ・ニッケル

アメリカ合衆国 9 4 0 8 7 カリフォルニア州サニーヴェイル、キンバリー・ドライブ 1 7 7 2

Fターム(参考) 5B060 AA12 MM06 MM09

【要約の続き】