

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-146979

(P2012-146979A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 21/82 D	5 F 0 6 4
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 P	
	HO 1 L 27/04 E	

審査請求 未請求 請求項の数 16 O L 外国語出願 (全 29 頁)

(21) 出願番号 特願2012-1130 (P2012-1130)  
 (22) 出願日 平成24年1月6日 (2012.1.6)  
 (31) 優先権主張番号 12/929, 236  
 (32) 優先日 平成23年1月10日 (2011.1.10)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 504394342  
 アーム・リミテッド  
 イギリス・CB1・9NJ・ケンブリッジ  
 ・チェリー・ヒントン・フルボーン・ロード  
 ・110  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉

最終頁に続く

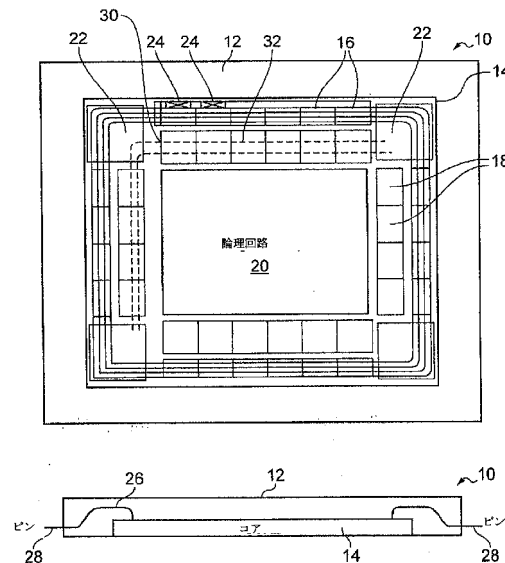
(54) 【発明の名称】 集積回路内における、インターフェースデバイスの面積効率の良い配列

(57) 【要約】

【課題】 過度にシステムの中にスキューを増加させずに、増加した数の入力/出力デバイスを有するシステムを提供する。

【解決手段】 論理回路を備えるコアと、処理コアからおよび処理コアへ信号を伝送するための、複数のインターフェースデバイスであって、2つのタイプのインターフェースデバイスを備える、複数のインターフェースデバイスと、コアに電力を送達するための、電力インターフェースデバイスである、1つのタイプと、コアと集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェースデバイスである、第2のタイプと、を備え、複数のインターフェースデバイスは、コアの外縁に向かう外側列、およびコアの中心により近い外側列の内側にある内側列の、2列に配設され、内側列は、2つのタイプのインターフェースデバイスのうちの一方を備え、外側列は、2つのタイプのインターフェースデバイスのうちの他方を備える、集積回路が開示される。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

集積回路であって、  
論理回路を備えるコアと、

信号を前記処理コアからおよび前記処理コアへ伝送するための複数のインターフェースデバイスであって、2つのタイプのインターフェースデバイスを備える、複数のインターフェースデバイスと、

前記コアに電力を送達するための、電力インターフェースデバイスである、1つのタイプと、

前記コアと前記集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェースデバイスである、第2のタイプと、を備え、

10

前記複数のインターフェースデバイスは、前記コアの外縁に向かう外側列、および前記コアの中心により近い前記外側列の内側にある内側列の2列に配設され、前記内側列は、前記2つのタイプのインターフェースデバイスのうちの一方を備え、前記外側列は、前記2つのタイプのインターフェースデバイスのうちの他方を備える、集積回路。

**【請求項 2】**

前記内側列は、信号インターフェースデバイスを備え、前記外側列は、電力インターフェースデバイスを備える、請求項 1 に記載の集積回路。

**【請求項 3】**

前記外側列は、前記コアの外周の周囲に列を備え、前記内側列は、前記外側列と並行してかつ、前記外側列の内側に列を備える、請求項 1 または 2 に記載の集積回路。

20

**【請求項 4】**

前記外側列の中の前記電力インターフェースデバイスのうちの少なくともいくつかは、互いに隣接し、前記内側列の中の前記信号インターフェースデバイスのうちの少なくともいくつかは、互いに隣接する、請求項 1 から 3 のうちのいずれか 1 つに記載の集積回路。

**【請求項 5】**

前記インターフェースデバイスは、長方形であり、長さであって、前記長さは、前記インターフェースデバイスが位置する前記列に垂直に測られた、前記インターフェースデバイスの寸法である長さ、および幅であって、前記幅は、前記インターフェースデバイスが位置する前記列に並行に測られた、寸法である幅を有し、前記複数の電力インターフェースデバイスの各々は、実質的に同じ長さを有し、前記複数の信号インターフェースデバイスの各々は、実質的に同じ長さを有し、前記電力インターフェースデバイスの前記長さは、前記信号インターフェースデバイスの長さとは異なる、請求項 1 から 4 のうちのいずれか 1 つに記載の集積回路。

30

**【請求項 6】**

前記電力インターフェースデバイスは、前記信号インターフェースデバイスの長さより短い長さを有する、請求項 5 に記載の集積回路。

**【請求項 7】**

前記電力インターフェースデバイスおよび前記信号インターフェースデバイスはすべて、実質的に同じ幅を有する、請求項 5 または 6 に記載の集積回路。

40

**【請求項 8】**

互いと実質的に同じである寸法は、互いと 1 ミクロン未満だけ異なる寸法を備える、請求項 5 から 7 のうちのいずれか 1 つに記載の集積回路。

**【請求項 9】**

前記電力インターフェースデバイスおよび前記信号インターフェースデバイスは、それぞれの外側列および内側列の中で互いに整列する、請求項 5 から 8 のうちのいずれか 1 つに記載の集積回路。

**【請求項 10】**

前記電力インターフェースデバイスおよび前記信号インターフェースデバイスが、それぞれの外側列および内側列で、前記幅の半分の距離分、互いに対してオフセットされる、

50

請求項 5 から 8 のうちのいずれか 1 つに記載の集積回路。

【請求項 1 1】

前記インターフェースデバイスは、ワイヤを前記インターフェースデバイスに結合するためのボンディングパッドを備え、前記ボンディングパッドは、前記インターフェースデバイスの幅より狭い幅を有する、請求項 5 から 10 のうちのいずれか 1 つに記載の集積回路。

【請求項 1 2】

前記数列のインターフェースデバイスの各々の前記ボンディングパッドは、前記コアの縁に並行な列に沿って互いに整列する、請求項 1 1 に記載の集積回路。

【請求項 1 3】

論理回路を備えるコアを備える集積回路に信号を提供する方法であって、前記方法は、前記処理コアの縁の周囲の前記処理コアからおよび前記処理コアへ信号を伝送するための、複数のインターフェースデバイスを配設することであって、

前記複数のインターフェースデバイスは、2つのタイプのインターフェースデバイスを備え、1つのタイプは、前記コアに電力を送達するための、電力インターフェースデバイスであり、第2のタイプは、前記コアと前記集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェースデバイスである、複数のインターフェースデバイスを配設することを含み、

前記方法は、

前記複数のインターフェースデバイスを、前記コアの外縁に向かって位置する外側列、および前記コアの中心により近い前記外側列の内側に位置する内側列の、2列に配設することであって、前記内側列は、前記2つのタイプのインターフェースデバイスのうちの一方を備え、前記外側列は、前記2つのタイプのインターフェースデバイスの他方を各々備える、ことを含む、方法。

【請求項 1 4】

前記複数のデバイスを2列に配設する前記ステップは、信号インターフェースデバイスを前記内側列に、電力インターフェースデバイスを前記外側列に配設することを含む、請求項 1 3 に記載の方法。

【請求項 1 5】

前記信号インターフェースデバイスおよび前記電力インターフェースデバイスは、同じ幅を有し、前記複数のデバイスを2列に配設する前記ステップは、それぞれの外側列および内側列で、前記幅の半分の距離分、互いに対してオフセットされるように、前記電力インターフェースデバイスおよび前記信号インターフェースデバイスを配設することを含む、請求項 1 3 または 1 4 に記載の方法。

【請求項 1 6】

論理回路を備えるコアと、

信号を前記処理コアからおよび前記処理コアへ伝送するための複数のインターフェース手段であって、2つのタイプのインターフェース手段を備える、複数のインターフェース手段と、

前記コアに電力を送達するための、電力インターフェース手段である、1つのタイプと

、前記コアと前記集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェース手段である、第2のタイプと、を備え、

前記複数のインターフェース手段は、前記コアの外縁に向かう外側列、および前記コアの中心により近い前記外側列の内側にある内側列の、2列に配設され、前記内側列は、前記2つのタイプのインターフェース手段のうちの一方を備え、前記外側列は、前記2つのタイプのインターフェース手段のうちの他方を備える、集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明の分野は、半導体チップに関し、特に、これらの半導体チップのための入力/出力インターフェースデバイスを提供することに関する。

【背景技術】

【0002】

典型的な半導体製造技術では、データ処理コアまたはチップは、その内部に処理論理またはデータ記憶部など、データ処理論理回路を伴い製造される。これらのチップは、一般的にはシリコンである、半導体材料の単一のウエハ上に大量に構築される。チップへの電力およびデータアクセスを提供するために、個々のチップは、小さな接続パッドまたはボンディングパッドによるパターンをつけられる。これらは、金属などの導体材料のパッドであり、これらのパッドへの外部アクセスをより容易にするように、概して、チップの縁付近に配設される。

10

【0003】

チップは、ウエハから切り取られ、パッケージの中に載置され、ワイヤは通常、信号および電力をチップからおよびチップへ伝送することを可能にするように、ボンディングパッドに結合される。これらのボンディングパッドは、受信および伝送される電力および信号の何らかの処理および制御を提供する、入力/出力デバイスを介してチップに接続する。ワイヤは、パッケージの外側上のピンにつながり、ピンは、電子システムを構成する回路の残りに取り付けられる。

【0004】

チップがより複雑になると、ますます多くの入力/出力デバイスが、チップからおよびチップへ伝送される電力およびデータ信号を処理するために必要とされる。

20

【0005】

小型で容易に構築されるシステムを提供するために、これらの入力/出力デバイスは、概して互いに隣接し、同じ長さを有するように設計される。このようにして、デバイスは、電力レールを入力/出力デバイスの列に渡って構築することができ、各入力/出力デバイスを、要求に応じ、レールのうちのいずれか1つに接続することができるように、互いに整列する。入力/出力デバイスの長さは、デバイスが隣接して載っているチップの外部縁に垂直なデバイスの寸法である。また、外部ピンが概して設定パターンで配設されるように、ボンディングパッドとパッケージ上のこれらのピンとの間にワイヤを配設するとき、これによってより容易になるように、同じ幅をこれらの入力/出力デバイスすべてが有する場合、有利でもある。

30

【0006】

それゆえ、入力/出力デバイスは同じサイズになるように設計され、これが、必要とされる最大入力/出力デバイスのサイズである。チップの大きさが限定されるため、これらのデバイスすべてが同じ大きさで、チップの縁の近くに配設されることに加えて、益々複雑になるシステムで必要とされる入力/出力デバイスの数が増加することは、入力/出力デバイスの載置のための利用可能な空間の制限という問題につながる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

いくつかの技術において、入力/出力デバイスは、より多くの入力/出力デバイスが、チップの外縁上で互いに並んで嵌合することができるように、より狭く、それに応じてより長くなるように設計されてきた。しかしながら、この欠点は、その際、ワイヤを入力/出力デバイスに結合するのに必要な結合面積が、入力/出力デバイスそれ自体よりも幅広になることであり、そのため、これらのボンディングパッドは互いに整列することができない。この配列は千鳥配列と称され、これにより、ボンディングワイヤの長さに差をもたらし、システムにスキューを引き起こす可能性がある。

40

【0008】

過度にシステムの中にスキューを増加させずに、増加した数の入力/出力デバイスを有するシステムを提供することが望ましいであろう。

50

## 【課題を解決するための手段】

## 【0009】

本発明の第1の態様は、論理回路を備えるコアと、該処理コアからおよび該処理コアへ信号を送送するための、複数のインターフェースデバイスであって、2つのタイプのインターフェースデバイスを備える、複数のインターフェースデバイスと、該コアに電力を送達するための、電力インターフェースデバイスである、1つのタイプと、該コアと該集積回路の外部のデバイスとの間で、データ信号を送送するための信号インターフェースデバイスである、第2のタイプと、を備え、該複数のインターフェースデバイスは、該コアの外縁に向かう外側列、および該コアの中心により近い該外側列の内側にある内側列の2列に配設され、該内側列は、該2つのタイプのインターフェースデバイスのうちの一方を備え、該外側列は、該2つのタイプのインターフェースデバイスのうちの他方を備える、集積回路を提供する。

10

## 【0010】

2列のインターフェースデバイスを有する2重列技術により、チップの外縁上の限定された空間という問題が克服されるように思えるであろう。しかしながら、2列の提供は、外部ピンを伴う内側列上にインターフェースデバイスを接続するワイヤが、外側列の中にデバイスを接続するワイヤより長いことを意味し、これにより、異なるワイヤに沿って送信されるデータ信号間にスキューをもたらす可能性がある。信号がよく合致することが、バイトのリンク上にあるデータ信号など、いくつかのデータ信号には特に重要であり、従って、そのような信号間のスキューは防止されるか、または可能な場合には少なくとも減少されるべきである。

20

## 【0011】

本発明は、一方の列に信号インターフェースデバイスのすべてを提供し、且つ他方の列に電力インターフェースデバイスを提供することによって、これに対処する。同じ列に信号インターフェースデバイスを有することは、外部ピンにこれらのデバイスを接続するワイヤが、同様の長さになるはずであることを意味し、従って、異なる列の信号インターフェースデバイスから送信されるデータ信号に使用される、異なる長さのワイヤのために発生する問題は、発生しないであろう。スキューは、概して、異なる信号インターフェースデバイスからの異なるデータ信号間に発生する問題であり、電力インターフェースデバイスからの信号と、信号インターフェースデバイスからの信号との間には発生しない。

30

## 【0012】

さらに、同じタイプのインターフェースデバイスが、同じ列に配設される場合、整列することを可能にするデバイスのサイジングは、同じタイプのデバイスに対してのみ行うことができる。したがって、信号インターフェースデバイスは、同じサイズになるように構成することができ、電力インターフェースデバイスもまた、同じサイズになるように構成することができるが、しかしながら、2つのタイプは互いに同じサイズである必要はない。これにより、概して、デバイスタイプのうちの1つに対するサイズ要件が減少するであろう。

## 【0013】

したがって、このようにして配列された2重列は、異なる長さのワイヤに沿って送信されるデータ信号によってスキューを増加させることなく、インターフェースデバイスを載置するためのさらなる面積を提供し、また、1つのタイプのデバイスのサイズの減少による、面積の削減もあるであろう。

40

## 【0014】

内側列および外側列は、各列が1つのタイプのみを含有する場合には、どちらかのタイプのインターフェースデバイスを含有することができるが、いくつかの実施形態では、内側列が信号インターフェースデバイスを備え、外側列が電力インターフェースデバイスを備える。

## 【0015】

コアの外側上に電力インターフェースデバイスを配置することにより、コアに何らかの

50

電氣的シールドを提供し、改善された静電放電すなわちESD特性、および改善されたラッチ性能を伴うシステムをもたらす。

【0016】

いくつかの実施形態では、該外側列は、該コアの外周の周囲に列を備え、該内側列は、該外側列と並行してかつ、該外側列の内側に列を備える。

【0017】

前述の通り、インターフェースデバイスがコアの外縁の周囲に配置される場合、これにより必要とされるワイヤ長が減少されるため、有利である。さらに、インターフェースデバイスのこれらの列が互いに並行である場合、レールの配列にとって便利である。

【0018】

いくつかの実施形態では、該インターフェースデバイスは、長方形であり、長さであって、該長さは、該接続パッドが位置する該列に垂直に測られた、該接続パッドの寸法である長さ、および幅であって、該幅は、該接続パッドが位置する該列に並行に測られた寸法である幅を有し、該複数の電力インターフェースデバイスの各々は、実質的に同じ長さを有し、該複数の信号インターフェースデバイスの各々は、実質的に同じ長さを有し、該電力インターフェースデバイスの該長さは、該信号インターフェースデバイスの長さとは異なる。

【0019】

本発明では、概して、電力インターフェースデバイスは、信号インターフェースデバイスと同じサイズ要件を有さないことを認識し、したがって、2列のインターフェースデバイスが使用され、各列がその上に1つのタイプのインターフェースデバイスのみを有する場合、インターフェースデバイスの各タイプは、そのタイプに対してのみのサイズとする可能性がある。これにより、概して、電力インターフェースデバイスのサイズを減少する能力、および信号インターフェースデバイスが生成されるであろうよりも小さい電力インターフェースデバイスを伴うシステムをもたらすことになる。

【0020】

いくつかの実施形態では、該電力インターフェースデバイスは、該信号インターフェースデバイスの長さより短い長さを有する。

【0021】

概して、該電力インターフェースデバイスおよび該信号インターフェースデバイスすべてが、実質的に同じ幅を有する場合、これにより、パッドを外部ピンにより便利に接続することを可能にするため、有利である。したがって、別のパッドと比較した際の1つのパッドのサイズの減少は、概して、デバイスの長さを減少することによってなされる。

【0022】

いくつかの実施形態では、該外側列の中の該電力インターフェースデバイスのうちの少なくともいくつかは、互いに隣接し、該内側列の中の該信号インターフェースデバイスのうちの少なくともいくつかは、互いに隣接する。

【0023】

インターフェースデバイスは、概して、互いに隣接するように配設される。それらの領域がチップの縁の周囲に配設される場合、角では互いに隣接しないが、おそらく角のデバイスに隣接する場合がある。

【0024】

いくつかの実施形態では、互いに実質的に同じである長さおよび幅などの寸法は、1マイクロメートル未満だけ互いと異なる寸法を備える。

【0025】

明らかに、製造公差は、互いに同じサイズであるように設計されるデバイスが、実際には、僅かに異なるサイズを有する場合があるようなものである。概して、約1ミクロンの公差は、このような設計に対しては容認可能であり、そのため、1ミクロン未満のサイズの差を伴うデバイスは、同じサイズであるとみなされる。

【0026】

10

20

30

40

50

いくつかの実施形態では、該電力インターフェースデバイスおよび該信号インターフェースデバイスは、それぞれの外側列および内側列の中で互いに整列する。

【0027】

外部ピンは、概して、コアの外縁の周囲に均一に分散された設定パターンで配設され、したがって、パッドも均一な状態で配設される場合に有利である。これも、スキューを減少させ、電力インターフェースデバイスのシールド側面を改善するのに役立つ。

【0028】

他の実施形態では、該電力インターフェースデバイスおよび該信号インターフェースデバイスは、それぞれの外側列および内側列で、該幅の半分の距離分、互いに対してオフセットされる。

【0029】

さらなる利点を有する場合がある別の均一パターンは、各列の中のインターフェースデバイスが、互いに対してインターフェースデバイスの半分だけ、オフセットされるパターンである。異なる列の中の異なるデバイスに送られたワイヤが、同じ平面内で互いに隣接して送られてもよく、オフセットが、異なる列からのワイヤが互いに並行に走るのに十分な空間を提供するような、このような配列は、特に有利である。デバイスが整列する場合、ワイヤは、異なる平面の中に送られることによって、互いから隔離される必要がある場合がある。

【0030】

いくつかの実施形態では、該インターフェースデバイスは、ワイヤを該インターフェースデバイスに結合するためのボンディングパッドを備え、該ボンディングパッドは、該インターフェースデバイスの幅より狭い幅を有する。

【0031】

ボンディングパッドがインターフェースデバイスよりも狭い場合には、ボンディングパッドは、この場合、該コアの縁に並行な列に沿って、互いに整列することができるため、有利である。これは、これらのボンディングパッドから外部ピンまでのワイヤが、実質的に同じ長さを有し、それによってスキューを減少させるであろうことを意味する。ボンディングパッドが、インターフェースデバイスよりも幅が広い場合、千鳥型に配設される必要があり、整列する必要はない。これにより、異なる長さのワイヤがもたらされるが、より狭いインターフェースデバイスを許容する利点を有する。

【0032】

本発明の第2の態様は、論理回路を備えるコアを備える集積回路に、信号を提供する方法を提供し、該方法は、該処理コアの縁の周囲で、該処理コアからおよび該処理コアへ信号を伝送するための、複数のインターフェースデバイスを配設することを含み、該複数のインターフェースデバイスは、2つのタイプのインターフェースデバイスを備え、1つのタイプは、該コアに電力を送達するための、電力インターフェースデバイスであり、第2のタイプは、該コアと該集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェースデバイスであり、該方法は、該コアの外縁に向かって位置する外側列、および該コアの中心により近い該外側列の内側に位置する内側列の2列に、該複数のインターフェースデバイスを配設することを含み、該内側列は、該2つのタイプのインターフェースデバイスのうちの一方を備え、該外側列は各々、該2つのタイプのインターフェースデバイスのうちの他方を備える。

【0033】

論理回路を備えるコアと、該処理コアからおよび該処理コアへ信号を伝送するための、複数のインターフェース手段であって、2つのタイプのインターフェース手段を含む、複数のインターフェース手段と、該コアに電力を送達するための、電力インターフェース手段である、1つのタイプと、該コアと該集積回路の外部のデバイスとの間で、データ信号を伝送するための信号インターフェース手段である、第2のタイプと、を備え、該複数のインターフェース手段は、該コアの外縁に向かう外側列、および該コアの中心により近い該外側列の内側にある内側列の2列で配設され、該内側列は、該2つのタイプのインター

10

20

30

40

50

フェース手段のうちの1つを備え、該外側列は、該2つのタイプのインターフェース手段のうちの他方を備える、本発明の第3の態様である、集積回路。

【0034】

本発明の上記のおよび他の目的、特徴、ならびに利点は、添付の図面と関連して読まれるべきである、例示的实施形態の以下の詳細な記述から明らかになるであろう。

【図面の簡単な説明】

【0035】

【図1】本発明の実施形態に従う、集積回路を示す図である。

【図2】本発明の実施形態に従う、複数の集積回路を備える処理装置を概略的に示す図である。

【図3】本発明の実施形態に従う、内側および外側リングの中のインターフェースデバイスの配設を概略的に示す図である。

【図4】本発明の実施形態に従う、互いに整列したインターフェースデバイスを示す図である。

【図5】本発明の実施形態に従う、インターフェース全体の幅の半分だけ、互いにオフセットして配設されたインターフェースデバイスを示す図である。

【図6】本発明の実施形態に従う方法におけるステップを図示するフロー図である。

【発明を実施するための形態】

【0036】

図1は、発明の実施形態に従う集積回路10を示す。この集積回路は、平面図および側面図で示される。

【0037】

集積回路10は、コア14の周囲およびコア14上に形成される、パッケージ12を備える。コア14は、半導体材料から形成され、インターフェースまたは入力/出力デバイスを有する外側部分を備える。これらの入力/出力デバイスは、本実施形態において、電力入力/出力デバイス16を備える外側列、および信号入力/出力デバイス18を備える内側列の、2列で形成される。電力入力/出力デバイス16は、異なる電圧領域に必要とされる電圧レベルを提供する。データ処理システムは、USBドライバなどの周辺デバイスが作動する領域であってもよい、DVDDとDVSSとの間のより高い電圧領域、およびシリコン内の論理回路が作動してもよい、VDDとVSSとの間のより低い電圧領域の、2つの電圧領域で作動することができる。電力入力/出力デバイスは、これらの異なる電力領域に適切な電圧レベルを提供する。

【0038】

前述の通り、論理回路20は、VDDとVSSとの間の作動電圧で作動する一方、論理回路が通信する外部デバイスは、より高い作動電圧領域で作動する場合がある。したがって、電力セル16は、より高い作動電圧領域およびより低い作動電圧領域の両方で電源を提供し、信号インターフェースまたは入力/出力デバイス18は、異なる電力信号を受信し、論理回路20へ向かう予定の信号を、より低い電圧領域に変換し、集積回路10の外部の回路に向けられている、論理回路から受信された信号を、より高い電圧領域に変換する。

【0039】

したがって、コア14の縁の周囲を走るいくつかの電力レールがあり、これらは両方の電圧領域用の電圧レベルを持っている。電力レールは、種々の入力/出力セルに電力の源を提供するだけでなく、論理回路20の何らかの電氣的シールドをも提供する。

【0040】

コア14の角には、角の周囲にある電力レールの経路を選択するように作用する、コーナーセル22がある。これらのセルは、それら自体ほとんど論理を有さない。

【0041】

インターフェースまたは入力/出力デバイス16および18の各々は、ボンディングパッド24を有する。これらは、例示を容易にするために、入力/出力セルのうちの2つの

10

20

30

40

50

上にのみ示される。これらのボンディングパッドは、ワイヤ26を入力/出力デバイスと外部ピンとの間で接続することを可能にする。これによって、信号および電力を、論理回路20からおよび論理回路20へ伝送することを可能にする。

【0042】

ワイヤを結合するボンディングパッド24のサイズは、入力/出力セルのサイズにおける決定要因であり、本実施形態では、ボンディングパッドは、入力/出力セルとほぼ同じ幅である。ボンディングパッドは、これらのセルより幅が広い場合、整列することができず、それらの位置を千鳥配列にすることにより、伝送された信号にスキューをもたらすことになる、異なる長さのワイヤのリンクがもたらされる可能性がある。

【0043】

本実施形態に見ることができる通り、信号入力/出力デバイス18は、より多くの論理を必要とするため、電力入力/出力デバイスよりも大きい。しかしながら、電力入力/出力デバイスおよび信号入力/出力デバイスが、異なる列の上に配設されるため、電力入力/出力デバイスは、それらの整列を維持する一方で、信号入力/出力デバイスと比較して、より小さい幅を有することができる。この整列は、デバイスに沿って走るレールを、入力/出力デバイスの各々に接続することを可能にするため、重要である。

【0044】

この図には明確に示されていないが、電力入力/出力デバイスの周囲をリング状に走り、また信号入力/出力デバイスの上を走る他のレールにも接続される、より高い電圧領域用の電力レールと、より低い電圧領域用の電力レールとがある。信号入力/出力デバイスの上を走る2つのレールの一部分は、図1に30および32として示される。これらは、電力レールから信号入力/出力デバイスへの接続を提供する。便宜上、これらのレールの一部分のみが示されているが、実際にはこれらのレールは、レールが電力入力/出力デバイスの周囲を走るのと同じように、全周の周囲を走ることになる。

【0045】

図1に示す集積回路10の断面は、コア14が、パッケージ12内およびパッケージ12の下に位置することを示す。パッケージからの外部ピン28は、ワイヤ26を介してコアに接続される。コアは、電力入力/出力デバイス16上に示されるが、信号入力/出力デバイス上にも存在する、ボンディングパッド24を介してワイヤに結合される。

【0046】

信号入力/出力デバイスは、論理回路から信号を受信し、信号を出力する前に、より高い電圧領域に変換する。代替として、信号入力/出力デバイスは、より高い電圧領域で外部信号を受信し、信号を論理回路に伝送する前に、より低い電圧領域に変換してもよい。このようにして、異なる電圧領域の信号により作動するデバイスは、互いに通信することができる。

【0047】

これは、図2により詳細に示される。図2は、いくつかの集積回路10を備える処理装置50、およびさらなる周辺デバイス60を示す。周辺デバイス60は、本実施形態ではUSBドライバであり、これはより高い電圧領域で作動する。これらのデバイスはすべて、図示されていないボードの上に取り付けられ、これらのデバイスからの外部ピンは、ボード内で接続部に接続し、デバイス間の信号を伝送することを可能にする。集積回路10の中に配設された電力入力/出力デバイスおよび信号入力/出力デバイスによって、異なる電圧領域で作動するこれらのデバイスは、互いに通信することができる。

【0048】

図3は、本発明の実施形態に従う、入力/出力デバイスの外側および内側リングの一部を、非常に概略的に示す。DQ0~DQ7は、バイトレーンのデータセルを表し、その一方DQSP/DQSMは、ストロブ信号を表す。外側リングは電力セルを備え、VDDおよびVSSセルは、より高い電圧領域の電力セルであると同時に、VDDおよびVSSセルは、より低い電圧領域のセルである。また、電圧基準セル、およびデカップリングキャパシタンスセルであるDECAPセルもある。外側リングの中のこれらのセルは、内

10

20

30

40

50

側リングを覆うように示される、 $300\mu$ の信号入力/出力セルより短く、 $130\mu$ である。これらのセルは、異なる信号を受信および処理し、1つの電圧領域で受信された信号が、必要に応じて、別の電圧領域で出力されることを保証する。

【0049】

図4は、入力/出力ループの一部に配設された、電力セルおよび信号入力/出力セルを概略的に示す。この図では、電力セル16は各々、入力/出力セルのように、ワイヤ結合区域24を有するように示される。加えて、セル間に信号を伝送するレールが示される。ワイヤ結合は、24として示される、比較的大きいボンディングパッドを必要とするプロセスであることに留意すべきである。セルとレールとの間の接続は、はるかに容易に行うことができる。したがって、レールがセルの各々の上を走るため、セルの各々は、そこからの信号を必要とするレールのうちのどちらにでも接続することができる。

10

【0050】

本実施形態では、図解の便宜上、セルは互いに隣接するようには示されないが、しかしながら、実際には、個々の列の中のセルは互いに隣接するであろう。本実施形態では、電力セルおよび信号セルは互いに整列し、したがって、ボンディングパッドに結合されるワイヤが、同じ場所に来ることになり、したがって異なる平面に来る必要がある。

【0051】

図5は、セルが互いに対して交互に配列される、代替の実施形態を示す。ここでも、セルは、隣接するようには示されないものの、実際には隣接することになる。この配列に見られるように、ワイヤは、互いに並んでセルへ移動することができ、したがって、ワイヤを異なる平面に送る必要はなく、したがって、この配列は、前の配列よりも効率的にワイヤ接続を提供することができる。

20

【0052】

両方の配列において、セルのレイアウトは規則正しいパターンで生じ、これは、集積回路の外部パッケージ上のピンの規則正しいパターンと整列する。

【0053】

見て分かる通り、この2重列配列により、信号インターフェースデバイスが、電力インターフェースデバイスより長い長さを有し、さらにまた、1つのレール上を移動するレールが、他のすべてのレールの上を移動するように、互いに整列することを可能にする。さらに、ボンディングパッドは、データ信号を運ぶワイヤが類似の長さとなるように、互いに整列し、したがって、異なる長さのワイヤに沿って送信される場合、発生するであろうこれらの信号間のスキューが減少する。

30

【0054】

図6は、本発明の実施形態に従う方法におけるステップを図示するフロー図を示す。この方法は、電力および信号を集積回路に供給する方法を提供する。電力インターフェースデバイスを、集積回路の縁の周囲にある外側リングに配設するステップは、信号インターフェースデバイスを外側リングの内側にある内側リングに配設するステップと共に行われる。これらのステップは、いかなる順序でまたは同時にでも行うことができることに留意すべきである。ワイヤ接続は、電力信号を電力インターフェースデバイスに、およびデータ信号を信号インターフェースデバイスに送達することができるように、インターフェースデバイスの各々に提供される。

40

【0055】

次に、電力レールは集積回路の周囲にリング上に配設され、接続はこれらのレールとインターフェースデバイスとの間に提供される。接続はまた、インターフェースデバイスとコアの処理論理との間にも提供される。このようにして、インターフェースデバイスは、システム内の異なる電圧領域で作動するデバイスおよび回路が、互いに通信できるように、信号をコアからおよびコアへ送信することを可能にし、これらの信号を1つの電圧領域から別の電圧領域へ段階をシフトすることを可能にする。

【0056】

本発明の例示的な実施形態について、添付の図面を参照しながら本明細書に詳細に説明

50

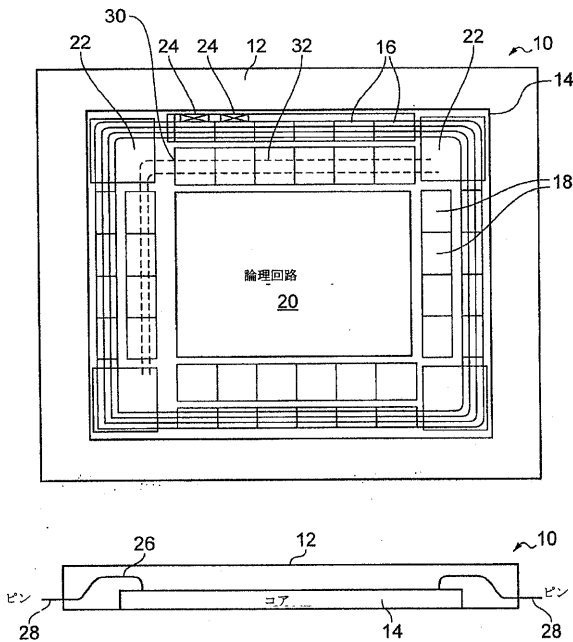
してきたが、本発明はこれらの正確な実施形態には制限されず、添付の特許請求の範囲に定義される本発明の範囲および精神から逸脱せずに、当業者により、本発明において種々の変更および修正を実施可能であることを理解されたい。例えば、本発明の範囲を逸脱しない範囲で、以下の従属請求項の特徴の、独立請求項の特徴との種々の組み合わせを行うことができる。

【符号の説明】

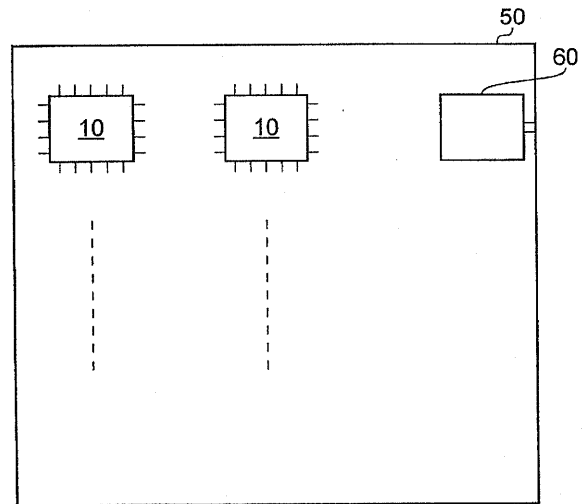
【0057】

- 10 集積回路
- 12 パッケージ
- 14 コア
- 16 電力入力/出力デバイス
- 18 信号入力/出力デバイス
- 20 論理回路
- 22 コーナーセル
- 24 ボンディングパッド
- 26 ワイヤ
- 28 外部ピン

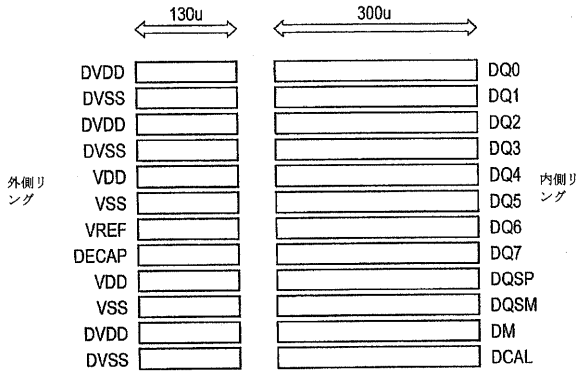
【図1】



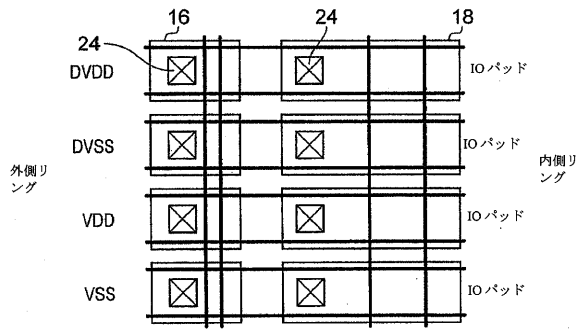
【図2】



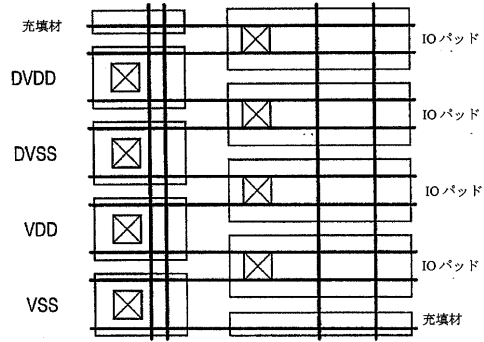
【 図 3 】



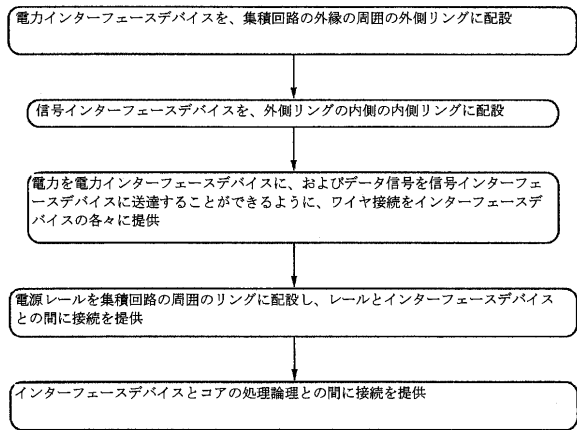
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(72)発明者 ヴィカス・ミシュラ

アメリカ合衆国・カリフォルニア・9 5 1 3 4 - 1 3 5 8 ・サン・ホセ・ローズ・オーチャード・  
ウェイ・1 5 0 ・アーム・インコーポレーティッド・(サン・ホセ)内

(72)発明者 ビンダ・ブランドン・ワン

アメリカ合衆国・カリフォルニア・9 5 1 3 4 - 1 3 5 8 ・サン・ホセ・ローズ・オーチャード・  
ウェイ・1 5 0 ・アーム・インコーポレーティッド・(サン・ホセ)内

F ターム(参考) 5F038 BE07 BE09 BH03 BH10 BH13 BH18 BH19 CA03 CA05 CA10  
CD02 CD08 CD14 DF01 EZ08 EZ20  
5F064 BB27 BB28 BB30 BB35 CC23 DD03 DD10 DD14 DD19 DD32  
DD34 DD42 DD43 DD44 EE52

【外国語明細書】

**AREA EFFICIENT ARRANGEMENT OF INTERFACE DEVICES WITHIN  
AN INTEGRATED CIRCUIT**  
**BACKGROUND OF THE INVENTION**

**Field of the Invention**

The field of the invention relates to semiconductor chips and in particular to providing input/output interface devices for these semiconductor chips.

**Description of the Prior Art**

In typical semiconductor fabrication techniques, data handling cores or chips are fabricated with data handling logic circuitry such as processing logic or data storage within them. These chips are built up in large numbers on a single wafer of semiconductor material, typically silicon. In order to provide power and data access to the chips, the individual chips are patterned with small connection or bonding pads. These are pads of conductive material such as metal and are generally arranged near the edge of the chips to make external access to these pads easier.

The chips are cut out of the wafer and mounted in packaging and wires are typically bonded to the bonding pads to allow signals and power to be transmitted to and from the chips. These bonding pads connect to the chip via input/output devices that provide some handling and control of the power and signals that are received and transmitted. The wires lead to pins on the outside of the packaging, which are attached to the rest of the circuitry making up the electronic system.

As chips become more complex, more and more input/output devices are required to handle the power and data signals transmitted to and from the chip.

In order to provide a compact easily built system these input/output devices are generally designed to abutt each other and to have the same length. In this way they are aligned with each other so that power rails can be built across a row of input/output devices and each input/output device can be connected to any one of the rails as required. The length of an input/output device is the dimension of the device that is perpendicular to an external edge of the chip that the device is sitting adjacent to. It is also advantageous if these input/output devices all have the same width as this makes it easier when arranging the wires between the bonding pads and the external pins on the packaging, as these pins are generally arranged in a set pattern.

The input/output devices are therefore designed to be the same size and this is the size of the largest input/output device required. As the size of a chip is limited the increasing number of input/output devices required in increasingly complex systems along with these devices all being the same size and being arranged close to an edge

of the chip leads to a problem of restricted space available for mounting of the input/output devices.

In some techniques the input/output devices have been designed to be narrower and correspondingly longer so that more input/output devices can be fitted alongside each other on the outer edge of the chip. However, a drawback of this is that the bonding area required to bond a wire to the input/output device is then wider than the input/output device itself, so that these bonding pads cannot be aligned with each other. This arrangement is termed a staggered arrangement and this leads to a difference in length of the bonding wires which can introduce skew into the system.

It would be desirable to provide a system with an increased number of input/output devices while not unduly increasing skew into the system.

### **SUMMARY OF THE INVENTION**

A first aspect of the present invention provides an integrated circuit comprising: a core comprising logic circuitry; a plurality of interface devices for transmitting signals to and from said processing core, said plurality of interface devices comprising two types of interface devices: one type being a power interface device for delivering power to said core; and a second type being a signal interface device for transmitting data signals between said core and devices external to said integrated circuit; wherein said plurality of interface devices are arranged in two rows, an outer row towards an outer edge of said core and an inner row within said outer row closer to a centre of said core, said inner row comprising one of said two types of interface devices and said outer row comprising another of said two types of interface devices.

A dual row technique that has two rows of interface devices would seem to overcome the problem of the limited space on the outer edge of the chip. However the provision of two rows means that wires connecting interface devices on the inner row with external pins are longer than wires connecting devices in the outer row and this can lead to skew between data signals sent along different wires. It is particularly important for some data signals such as those on a byte link that the signals are well matched and thus, skew between such signals should be avoided or at least reduced wherever possible.

The present invention addresses this by providing all of the signal interface devices in one row and the power interface devices in another. Having the signal

interface devices in the same row means that the wires connecting these devices to the external pins will be of similar lengths and thus, the problems arising due to wires of different lengths being used for data signals being sent from signal interface devices in different rows will not arise. Skew is generally a problem that arises between different data signals from different signal interface devices, and not between signals from power interface devices and signal from signal interface devices.

Furthermore, where interface devices of a same type are arranged in a same row, the sizing of the devices which allows them to be aligned can be done just for devices of a same type. Thus, signal interface devices can be configured to be the same size and power interface devices can also be configured to be the same size, the two types do not however need to be the same size as each other. This will in general reduce the size requirements for one of the device types.

Thus, the dual rows arranged in this way will provide additional area for mounting the interface devices without increasing the skew due to data signals being sent along different length wires and there will also be area savings due to the reduced size of one type of device.

Although the inner and outer rows may contain either type of interface device provided each row contains only one type, in some embodiments the inner row comprises signal interface devices and the outer row comprises power interface devices.

Placing power interface devices on an outside of the core provides some electrical shielding to the core and results in a system with improved electrical static discharge or ESD properties and improved latch performance.

In some embodiments said outer row comprises a row around an outer periphery of said core and said inner row comprises a row in parallel with and inside said outer row.

As noted previously it is advantageous if the interface devices are placed around an outer edge of the core as this reduces the required wire length. Furthermore, it is convenient for the arrangement of the rails if these rows of interface devices are parallel with each other.

In some embodiments said interface devices are rectangular and have a length, said length being a dimension of said connection pad that lies perpendicular to said row said connection pad lies on, and a width said width being a dimension that lies parallel to said row said connection pad lies on, each of said plurality of power

interface devices having substantially a same length and each of said plurality of signal interface devices having substantially a same length, said length of said power interface devices being different to a length of said signal interface devices.

The present invention recognises that in general, power interface devices do not have the same size requirements as signal interface devices, and thus, if two rows of interface devices are used each row only having one type of interface device on it, then each type of interface device could be sized just for that type. This would generally result in the ability to reduce the size of the power interface devices and a system with power interface devices that are smaller than the signal interface devices would be produced.

In some embodiments said power interface devices have a length that is shorter than a length of said signal interface devices.

Generally it is advantageous if said power interface devices and said signal interface devices all have substantially a same width as this allows the pads to be more conveniently connected to external pins. Thus, the reduction in size of one pad compared to another is generally done by reducing their length.

In some embodiments at least some of said power interface devices in said outer row abut each other and at least some of said signal interface devices in said inner row abut each other.

The interface devices are generally arranged to abut each other. Where they are arranged around an edge of a chip it may be that at a corner they do not abut each other but perhaps abut a corner device.

In some embodiments dimensions such as length and width that are substantially the same as each other comprise dimensions that differ from each other by less than 1 micrometer.

Clearly manufacturing tolerances are such that devices that are designed to be the same size as each other may in fact have slightly different sizes. Generally a tolerance of about 1 micron is acceptable for such a design, such that devices with a difference in size of less than one micron are considered to be the same size.

In some embodiments said power interface devices and said signal interface devices are aligned with each other in their respective outer and inner rows.

External pins are generally arranged in a set pattern evenly distributed around an outside edge of the core, thus, it is advantageous if the pads are also arranged in an

even manner. This also helps in reducing skew and improving the shielding aspects of the power interface devices.

In other embodiments said power interface devices and said signal interface devices are offset with respect to each other by a distance of half said width in their respective outer and inner rows.

Another even pattern that may have further advantages is one where the interface devices in each row are offset by half an interface device with respect to each other. Such an arrangement is particularly advantageous as wires sent to the different devices in the different rows may be sent adjacent to each other within a same plane the offset providing enough space for the wires from different rows to run parallel to each other. Where the devices are aligned the wires may need to be isolated from each other by being sent in different planes.

In some embodiments said interface devices comprise bonding pads for bonding wires to said interface devices, said bonding pads having a width that is narrower than a width of said interface devices.

It is advantageous if the bonding pads are narrower than the interface devices as in this case they can be aligned with each other along a row parallel to an edge of said core. This means that the wires from these bonding pads to external pins will have substantially the same length thereby reducing skew. If the bonding pads are wider than the interface devices then they will need to be arranged in a staggered fashion and not be aligned. This results in different length wires but has an advantage of allowing narrower interface devices.

A second aspect of the present invention provides a method of providing signals to an integrated circuit comprising a core comprising logic circuitry, said method comprising: arranging a plurality of interface devices for transmitting signals to and from said processing core around an edge of said processing core; wherein said plurality of interface devices comprising two types of interface devices, one type being a power interface device for delivering power to said core and a second type being a signal interface device for transmitting data signals between said core and devices external to said integrated circuit; said method comprising arranging said plurality of interface devices in two rows, an outer row lying towards an outer edge of said core and an inner row lying within said outer row closer to a centre of said core, said inner row comprising one of said two types of interface devices and said outer row each comprising an other of said two types of interface devices.

A third aspect of the present invention an integrated circuit comprising: a core comprising logic circuitry; a plurality of interface means for transmitting signals to and from said processing core, said plurality of interface means comprising two types of interface means: one type being a power interface means for delivering power to said core; and a second type being a signal interface means for transmitting data signals between said core and devices external to said integrated circuit; wherein said plurality of interface means are arranged in two rows, an outer row towards an outer edge of said core and an inner row within said outer row closer to a centre of said core said inner row comprising one of said two types of interface means and said outer row comprising an other of said two types of interface means.

The above, and other objects, features and advantages of this invention will be apparent from the following detailed description of illustrative embodiments which is to be read in connection with the accompanying drawings.

### **BRIEF DESCRIPTION OF THE DRAWINGS**

Figure 1 shows an integrated circuit according to an embodiment of the present invention;

Figure 2 schematically shows a processing apparatus comprising a plurality of integrated circuits according to an embodiment of the present invention;

Figure 3 schematically shows arrangements of interface devices in inner and outer rings according to an embodiment of the present invention;

Figure 4 shows interface devices aligned to each other according to an embodiment of the present invention;

Figure 5 shows interface devices arranged off set to each other by half full interface widths according to an embodiment of the present invention; and

Figure 6 shows a flow diagram illustrating steps in the method according to an embodiment of the present invention.

### **DESCRIPTION OF EMBODIMENTS**

Figure 1 shows an integrated circuit 10 according to an embodiment of the present invention. This integrated circuit is shown in plan view and in side elevation.

Integrated circuit 10 comprises packaging 12 which is formed around and over the core 14. Core 14 is formed of a semiconductor material and comprises an outer portion having interface or input/output devices. These input/output devices are

formed in two rows, an outer row in this embodiment comprising power input/output devices 16 and an inner row comprising signal input/output devices 18. The power input/output devices 16 provide the voltage levels required for the different voltage domains. The data processing system may operate in two voltage domains a higher voltage domain between DVDD and DVSS which may be a domain that peripheral devices such as USB drivers operate at and a lower voltage domain between VDD and VSS that logic circuitry within the silicon may operate at. The power input/output devices provide appropriate voltage levels for these different power domains.

As noted previously logic circuitry 20 operates with an operating voltage between VDD and VSS while external devices with which it communicates may operate at a higher operating voltage domain. Thus, the power cells 16 provide a power supply at both the higher operating voltage domain and at the lower operating voltage domain and signal interface or input/output devices 18 receive the different power signals and convert signals that are going to the logic circuitry 20 to the lower voltage domain and convert signals received from the logic circuitry that are destined for circuitry external to the integrated circuit 10 to the higher voltage domain.

Thus, there are a number of power rails that run around the edge of the core 14 and these carry the voltage levels for both voltage domains. They not only provide sources of power for the various input/output cells but they also provide some electrical shielding of the logic circuitry 20.

In the corners of the core 14 are corner cells 22 which act to route the power rails around the corners. These cells have little logic themselves.

Each of the interface or input/output devices 16 and 18 has a bonding pad 24. These are only shown on two of the input/output cells for ease of illustration. These bonding pads allow a wire 26 to be connected between the input/output device and an external pin. This allows signals and power to be transmitted to and from the logic circuitry 20.

The size of the bonding pads 24 to bond the wires are a determining factor in the size of the input/output cells and in this embodiment the bonding pads are approximately the same width as the input/output cells. If they were wider than these cells then they could not be aligned and staggering in their location would result in different length wire links which would result in skew in the signals transmitted.

As can be seen in this embodiment the signal input/output devices 18 are larger than the power input/output devices as they require more logic. However, as

the power input/output devices and the signal input/output devices are arranged on different rows then the power input/output devices can have a smaller width compared to the signal input/output devices while maintaining their alignment. This alignment is important as it allows the rails that run along the devices to be connected to each of the input/output devices.

Although not shown clearly in this diagram, there are power rails for the higher voltage domain and power rails for the lower voltage domain that run in a ring around the power input/output devices and also are connected to other rails that run over the signal input/output devices. A portion of two rails that run over the signal input/output devices are shown as 30 and 32 in Figure 1. These provide connections from the power rails to the signal input/output devices. Although only a portion of these rails is shown for simplicity in reality these rails would run around the whole circumference in the same way that the rails run around the power input/output devices.

The cross-section of the integrated circuit 10 shown in Figure 1 shows that the core 14 lies within and underneath packaging 12. External pins 28 from the packaging are connected via wires 26 to the core. The core is bonded to the wires via the bonding pads 24 which are shown on the power input/output devices 16, but which are also present on the signal input/output devices.

The signal input/output devices receive signals from the logic circuitry and convert them to the higher voltage domain before outputting them. Alternatively, they may receive external signals in the higher voltage domain and convert them to the lower voltage domain before transmitting them to the logic circuitry. In this way devices operating with signals in different voltage domains can communicate with each other.

This is shown in more detail in Figure 2. Figure 2 shows a processing apparatus 50 comprising several integrated circuits 10 and a further peripheral device 60. The peripheral device 60 is in this embodiment a USB driver and this operates in the higher voltage domain. These devices are all mounted on a board not shown and the external pins from these devices connect to connections within the board and allow signals between the devices to be transmitted. Owing to the power input/output devices and the signal input/output devices arranged in the integrated circuit 10 these devices operating in different voltage domains can communicate with each other.

Figure 3 shows very schematically a portion of the outer and inner ring of the input/output devices according to an embodiment of the present invention. DQ0-DQ7 represent data cells of a byte lane while DQSP/DQSM represent strobe signals. The outer ring comprises the power cells, the VDD and VSS cells being power cells of the higher voltage domain while the VDD and the VSS cells are cells of the lower voltage domain. There is also a voltage reference cell and a DECAP cell which is a decoupling capacitance cell. These cells in the outer ring are shorter at  $130\mu$  than the  $300\mu$  signal input/output cells which are shown as lining the inner ring. These cells receive and process different signals, ensuring that signals received in one voltage domain are output in another voltage domain as appropriate.

Figure 4 shows schematically power cells and signal input/output cells arranged in a portion of an input/output loop. In this diagram the power cells 16 are each shown as having wire bonding regions 24 as are the input/output cells. Additionally the rails that transmit the signals between the cells are shown. It should be noted that the wire bonding is a process that requires a relatively large bonding pad which is shown as 24. The connection between the cells and the rails can be made much more easily. Thus, as the rails run over each of the cells, each of the cells can connect to whichever of the rails they require signals from.

In this embodiment, the cells are not shown as abutting each other for simplicity of illustration, however in reality the cells in the individual rows will abut each other. In this embodiment, the power cells and signal cells align with each other and thus, the wires that are bonded to the bonding pads will come in at the same place and thus, need to come in in different planes.

Figure 5 shows an alternative embodiment where the cells are staggered with respect to each other. Once again, the cells are not shown as abutting whereas in reality they would be. As can be seen in this arrangement, the wires can travel to the cells alongside each other and thus, there is no need to send them in different planes and thus, this arrangement can provide the wire connections more efficiently than the previous arrangement.

In both arrangements the layout of the cells occurs in a regular pattern and this aligns with the regular pattern of the pins on the external packaging of the integrated circuit.

As can be seen, this dual row arrangement allows the signal interface devices to have a longer length than the power interface devices and yet still be aligned to

each other such that rails that travel over one travel over all the others. Furthermore, the bonding pads are aligned with each other such that the wires carrying the data signals are of a similar length and thus, skew between these signals that would arise were they sent along wires of different lengths is reduced.

Figure 6 shows a flow diagram illustrating steps in a method according to an embodiment of the present invention. This method provides a method of supplying power and signals to an integrated circuit. A step of arranging power interface devices in an outer ring around an edge of an integrated circuit is performed along with a step of arranging signal interface devices in an inner ring inside the outer ring. It should be noted that these steps can be performed in any order or even at the same time. Wire connections are provided to each of the interface devices such that power signals can be delivered to the power interface devices and data signals to the signal interface devices.

Power rails are then arranged in a ring around the integrated circuit and connections are provided between these rails and the interface devices. Connections are also provided between the interface devices and the processing logic of the core. In this way, the interface devices allow signals to be sent to and from the core and allow these signals to be level shifted from one voltage domain to another voltage domain, such that devices and circuits operating in different voltage domains within a system can communicate with each other.

Although illustrative embodiments of the invention have been described in detail herein with reference to the accompanying drawings, it is to be understood that the invention is not limited to those precise embodiments, and that various changes and modifications can be effected therein by one skilled in the art without departing from the scope and spirit of the invention as defined by the appended claims. For example, various combinations of the features of the following dependent claims could be made with the features of the independent claims without departing from the scope of the present invention.

1. An integrated circuit comprising:  
a core comprising logic circuitry:  
a plurality of interface devices for transmitting signals to and from said processing core, said plurality of interface devices comprising two types of interface devices:  
one type being a power interface device for delivering power to said core; and  
a second type being a signal interface device for transmitting data signals between said core and devices external to said integrated circuit; wherein  
said plurality of interface devices are arranged in two rows, an outer row towards an outer edge of said core and an inner row within said outer row closer to a centre of said core said inner row comprising one of said two types of interface devices and said outer row comprising an other of said two types of interface devices.
2. An integrated circuit according to claim 1, wherein said inner row comprises signal interface devices and said outer row comprises power interface devices.
3. An integrated circuit according to claim 1 or 2, wherein said outer row comprises a row around an outer periphery of said core and said inner row comprises a row in parallel with and inside of said outer row.
4. An integrated circuit according to any preceding claim, wherein at least some of said power interface devices in said outer row abut each other and at least some of said signal interface devices in said inner row abut each other.
5. An integrated circuit according to any preceding claim, wherein said interface devices are rectangular and have a length, said length being a dimension of said interface device that lies perpendicular to said row said interface device lies on, and a width said width being a dimension that lies parallel to said row said interface device lies on, each of said plurality of power interface devices having substantially a same length and each of said plurality of signal interface devices having substantially a same length, said length of said power interface devices being different to a length of said signal interface devices.

6. An integrated circuit according to claim 5, wherein said power interface devices have a length that is shorter than a length of said signal interface devices.
7. An integrated circuit according to claim 5 or 6, wherein said power interface devices and said signal interface devices all have substantially a same width.
8. An integrated circuit according to any one of claims 5 to 7, wherein dimensions that are substantially the same as each other comprise dimensions that differ from each other by less than 1 micron.
9. An integrated circuit according to any one of claims 5 to 8, wherein said power interface devices and said signal interface devices are aligned with each other in their respective outer and inner rows.
10. An integrated circuit according to any one of claims 5 to 8, wherein said power interface devices and said signal interface devices are offset with respect to each other by a distance of half said width in their respective outer and inner rows.
11. An integrated circuit according to any one of claims 5 to 10, wherein said interface devices comprise bonding pads for bonding wires to said interface devices, said bonding pads having a width that is narrower than a width of said interface devices.
12. An integrated circuit according to claim 11, wherein said bonding pads of each of said rows of interface devices are aligned with each other along a row parallel to an edge of said core.
13. A method of providing signals to an integrated circuit comprising a core comprising logic circuitry, said method comprising:
  - arranging a plurality of interface devices for transmitting signals to and from said processing core around an edge of said processing core; wherein
  - said plurality of interface devices comprising two types of interface devices, one type being a power interface device for delivering power to said core and a

second type being a signal interface device for transmitting data signals between said core and devices external to said integrated circuit; said method comprising

arranging said plurality of interface devices in two rows, an outer row lying towards an outer edge of said core and an inner row lying within said outer row closer to a centre of said core, said inner row comprising one of said two types of interface devices and said outer row each comprising an other of said two types of interface devices.

14. A method according to claim 13, wherein said step of arranging said plurality of devices in two rows comprises arranging signal interface devices in said inner row and power interface devices in said outer row.

15. A method according to claim 13 or 14, wherein said signal interface devices and said power interface devices have a same width and said step of arranging said plurality of devices in two rows comprises arranging said power interface devices and said signal interface devices to be offset with respect to each other by a distance of half said width in their respective outer and inner rows.

16. An integrated circuit comprising:

a core comprising logic circuitry:

a plurality of interface means for transmitting signals to and from said processing core, said plurality of interface means comprising two types of interface means:

one type being a power interface means for delivering power to said core; and

a second type being a signal interface means for transmitting data signals between said core and devices external to said integrated circuit; wherein

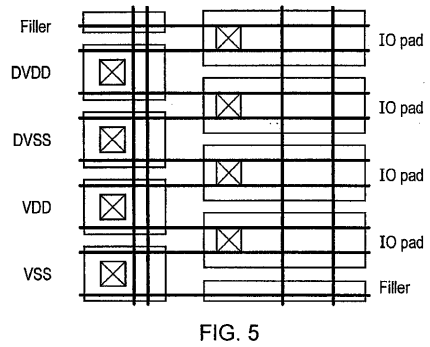
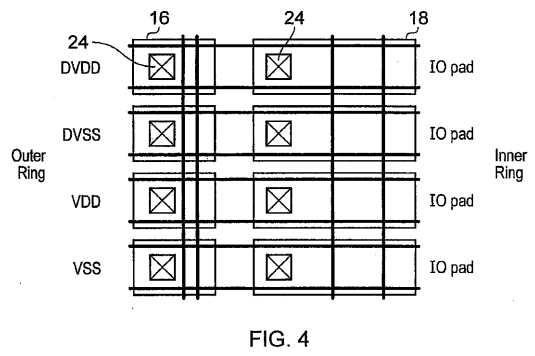
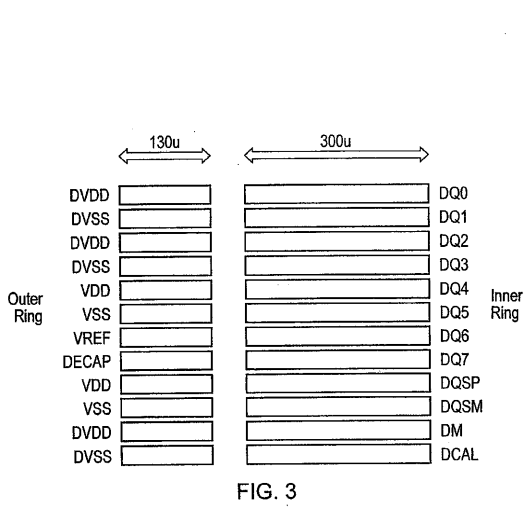
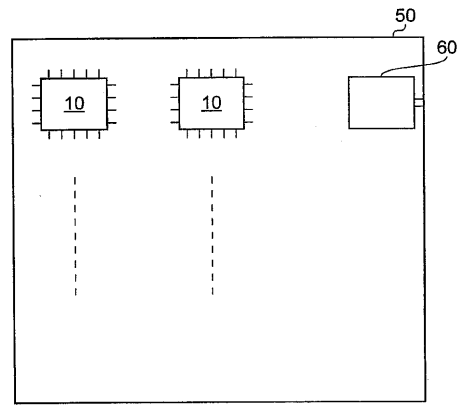
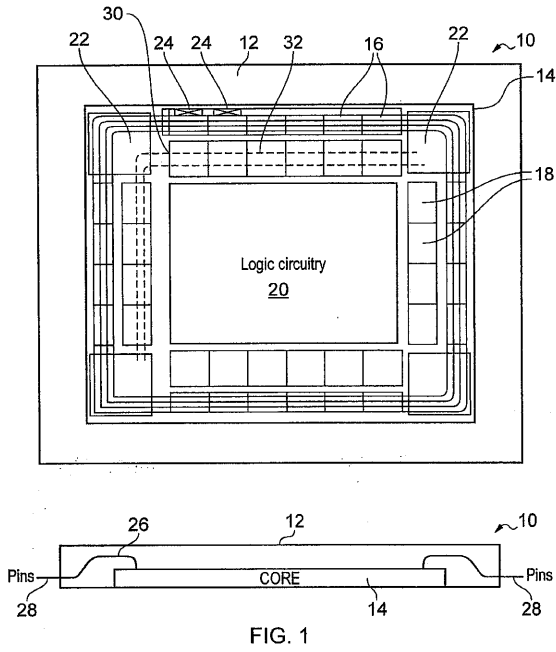
said plurality of interface means are arranged in two rows, an outer row towards an outer edge of said core and an inner row within said outer row closer to a centre of said core said inner row comprising one of said two types of interface means and said outer row comprising an other of said two types of interface means.

## 1 Abstract

An integrated circuit is disclosed that comprises: a core comprising logic circuitry; a plurality of interface devices for transmitting signals to and from the processing core, the plurality of interface devices comprising two types of interface devices: one type being a power interface device for delivering power to the core; and a second type being a signal interface device for transmitting data signals between the core and devices external to the integrated circuit; wherein the plurality of interface devices are arranged in two rows, an outer row towards an outer edge of the core and an inner row within the outer row closer to a centre of the core the inner row comprising one of the two types of interface devices and the outer row comprising an other of the two types of interface devices.

## 2 Representative Drawing

[Figure 1]



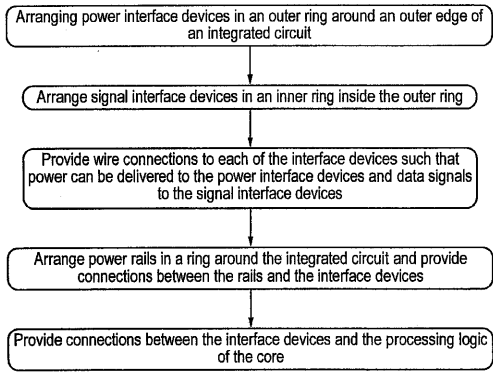


FIG. 6