



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I467704 B

(45) 公告日：中華民國 104 (2015) 年 01 月 01 日

(21) 申請案號：100129605 (22) 申請日：中華民國 96 (2007) 年 09 月 13 日
 (51) Int. Cl. : H01L21/8247(2006.01) H01L27/115 (2006.01)
 (30) 優先權：2006/09/15 日本 2006-251599
 (71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
 日本
 (72) 發明人：遠藤真人 ENDO, MASATO (JP) ; 荒井史隆 ARAI, FUMITAKA (JP)
 (74) 代理人：陳長文
 (56) 參考文獻：
 US 6074915 US 2004/0043594A1
 US 2006/0065913A1
 審查人員：邱青松
 申請專利範圍項數：20 項 圖式數：20 共 53 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57) 摘要

本發明揭示一種半導體裝置，其包含：一第一絕緣膜(14A)，其係於一單元電晶體區域中設置於一半導體基板(13)上；一電荷儲存膜(15)，其係設置於該第一絕緣膜上；一電極間絕緣膜(16)，其係設置於該第一導電膜上；一控制閘極(3a、3b)，其係設置於該電極間絕緣膜上並在其一頂部表面上具有一第一金屬矽化物(3b)膜；第一源極/汲極區域(23)，其係形成於該半導體基板之一表面上；一第三絕緣膜(14B)，其係於一選擇閘極電晶體區域與一周邊電晶體區域之至少一者中，設置於半導體基板上；一第三導電膜(15)，其係設置於該第二絕緣膜上；一第四導電膜(3a、3b、22)，其係設置於該第三導電膜(15)上並在其一頂部表面上具有一厚度小於該第一金屬矽化物膜(3b)之厚度的第二金屬矽化物膜(22)；以及第二源極/汲極(23a、23b)區域，其係形成於該半導體基板之該表面上。

A semiconductor device comprising a first insulating film (14A) provided on a semiconductor substrate (13) in a cell transistor region, a charge storage film (15) provided on the first insulating film, an inter-electrode insulating film (16) provided on the first conductive film, a control gate electrode (3a,3b) provided on the inter-electrode insulating film and having a first metallic silicide (3b) film on a top surface thereof, first source/drain regions (23) formed on a surface of the semiconductor substrate, a third insulating film (14B) provided on the semiconductor substrate in at least one of a selection gate transistor region and a peripheral transistor region, a third conductive film (15) provided on the second insulating film, a fourth conductive film (3a, 3b, 22) provided on the third conductive film (15) and having a second metallic silicide film (22) having a thickness smaller than a thickness of the first metallic silicide film (3b) on a top surface thereof, and a second source/drain (23a,23b) regions formed on the surface of the semiconductor substrate.

發明專利說明書

中文說明書替換頁(103年8月) > 8日 P1~4

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100129605

※ 申請日：96年9月13日

※IPC 分類：H01L21/8247; H01L27/115

原申請案號：096134252

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明揭示一種半導體裝置，其包含：一第一絕緣膜(14A)，其係於一單元電晶體區域中設置於一半導體基板(13)上；一電荷儲存膜(15)，其係設置於該第一絕緣膜上；一電極間絕緣膜(16)，其係設置於該第一導電膜上；一控制閘極(3a、3b)，其係設置於該電極間絕緣膜上並在其一頂部表面上具有一第一金屬矽化物(3b)膜；第一源極/汲極區域(23)，其係形成於該半導體基板之一表面上；一第三絕緣膜(14B)，其係於一選擇閘極電晶體區域與一周邊電晶體區域之至少一者中，設置於半導體基板上；一第三導電膜(15)，其係設置於該第二絕緣膜上；一第四導電膜(3a、3b、22)，其係設置於該第三導電膜(15)上並在其一頂部表面上具有一厚度小於該第一金屬矽化物膜(3b)之厚度的第二金屬矽化物膜(22)；以及第二源極/汲極(23a、23b)區域，其係形成於該半導體基板之該表面上。

三、英文發明摘要：

A semiconductor device comprising a first insulating film (14A) provided on a semiconductor substrate (13) in a cell transistor region, a charge storage film (15) provided on the first insulating film, an inter-electrode insulating film (16) provided on the first conductive film, a control gate electrode (3a,3b) provided on the inter-electrode insulating film and having a first metallic silicide (3b) film on a top surface thereof, first source/drain regions (23) formed on a surface of the semiconductor substrate, a third insulating film (14B) provided on the semiconductor substrate in at least one of a selection gate transistor region and a peripheral transistor region, a third conductive film (15) provided on the second insulating film, a fourth conductive film (3a, 3b, 22) provided on the third conductive film (15) and having a second metallic silicide film (22) having a thickness smaller than a thickness of the first metallic silicide film (3b) on a top surface thereof, and a second source/drain (23a,23b) regions formed on the surface of the semiconductor substrate.

四、指定代表圖：

(一)本案指定代表圖為：第 (2C) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|----------------------------------|
| 1 | 元件隔離絕緣膜 |
| 3 | 控制閘極電極 |
| 3a | 控制閘極電極之第一部分/第四導電膜 |
| 3b | 控制閘極電極之第二部分/第四導電膜/
單元電晶體之第二部分 |
| 11 | 半導體基板 |
| 12 | n型井 |
| 13 | p型井 |
| 14B | 閘極絕緣膜/第三絕緣膜 |
| 15 | 浮動閘極電極/第三導電膜 |
| 16 | 電極間絕緣膜/第二絕緣膜 |
| 21 | 開口 |
| 22 | 金屬矽化物膜/第四導電膜 |
| 23a | 源極/汲極擴散區域之低濃度部分/電組
之部分 |
| 23b | 源極/汲極擴散區域之高濃度部分/電組
之部分 |
| 24 | 側壁絕緣膜 |
| 25 | 阻障膜 |
| 31 | 層間絕緣膜 |
| 32 | 覆蓋絕緣膜 |

- 33 層間絕緣膜
- 34 佈線層
- 35 插塞

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及製造其之方法，且更特定言之，例如，係關於一種具有透過一電極間絕緣膜設置一浮動閘極電極與一控制閘極電極之一結構的堆疊電晶體及製造其之方法。

【先前技術】

使用一具有堆疊一浮動閘極電極、一電極間絕緣膜及一控制閘極電極之一結構的電晶體之一非揮發性半導體儲存裝置為人所知。藉由使用此一電晶體作為一記憶體單元並串聯連接複數個此類記憶體單元，構成一所謂NAND快閃記憶體之一NAND單元串。

嘗試藉由在用作該NAND快閃記憶體之一控制閘極電極的電極膜之一部分中使用一金屬矽化物膜來減低該控制閘極電極之電阻值。藉由沈積用於在由多晶矽構成之一電極膜之一頂部表面上構成一金屬矽化物膜之一金屬膜並加熱該多晶矽膜與該金屬膜來執行將一電極膜轉變成一金屬矽化物膜。因此，金屬原子擴散入該多晶矽膜中並與該多晶矽發生反應，從而形成一金屬矽化物膜。

近來，作為將一控制閘極電極膜轉變成一金屬矽化物膜之結果，已確認以下現象。即，該等現象係控制閘極電極之電阻值的增加，單元之中的控制閘極電極之電阻值之變更的增加，藉由黏聚之增加引起的控制閘極電極之劣化的發展，及類似者。順便提及，黏聚意謂著金屬原子由於晶

粒之形成而移動之一現象。

此等現象係假定係由於一半導體裝置之微型化的發展所致。下面將說明該等現象。隨著對半導體儲存裝置之微型化的追求，半導體儲存裝置中之部分的尺寸持續變得越來越小。隨著微型化，一控制閘極電極之寬度變得更窄，從而增加該控制閘極電極之一縱橫比(高度與寬度之比率)。

控制閘極電極之縱橫比的增加使得有必要形成具有一高縱橫比之一金屬矽化物膜。如上所述，當形成一金屬矽化物膜時，金屬原子從設置於該多晶矽膜上之一金屬元素膜擴散入該多晶矽膜。即，該等金屬原子在該多晶矽膜之膜厚度方向上擴散。因此，依據該等金屬原子的擴散度來決定欲進行轉變成金屬矽化物的多晶矽之體積。為等化記憶體單元之中的特性，需要轉變成金屬矽化物的多晶矽之體積在該等控制閘極電極之中係均勻的。即，有必要適當地控制該等金屬原子在控制閘極電極之膜厚度方向上的擴散。然而，一般而言，需要轉變成金屬矽化物的多晶矽膜之區域在該多晶矽膜之深度方向上變得越深，該等金屬原子之擴散長度之控制變得越難。為此原因，上述的控制閘極電極之縱橫比的增加引起該等控制閘極電極之中的金屬原子之擴散長度在很大程度上變化。因此，發生上述的控制閘極電極之電阻值的增加，單元之中的控制閘極電極之電阻值之變更的增加，藉由黏聚之增加引起的控制閘極電極之劣化的發展及類似者。

日本專利申請KOKAI公開案第2005-26589號中揭示一範

例，其中將一記憶體單元與一選擇電晶體之一控制閘極極及該選擇電晶體之一擴散層轉變成矽化物。

【發明內容】

本發明之一態樣的半導體裝置包含：一第一絕緣膜，其係於一單元電晶體區域中，設置於一半導體基板上；一第一導電膜，其係設置於該第一絕緣膜上；一電極間絕緣膜，其係設置於該第一導電膜上；一第二導電膜，其係設置於該電極間絕緣膜上並在其一頂部表面上具有一第一金屬矽化物膜；第一源極/汲極區域，其係形成於該半導體基板之一表面上並夾著該第一絕緣膜之下的一區域；一第二絕緣膜，其係於一選擇閘極電晶體區域與一周邊電晶體區域之至少一者中，設置於該半導體基板上；一第三導電膜，其係設置於該第二絕緣膜上並在其一頂部表面上具有一厚度小於該第一金屬矽化物膜之厚度的第二金屬矽化物膜；以及第二源極/汲極區域，其係形成於該半導體基板之該表面上並夾著該第二絕緣膜之下的一區域。

【實施方式】

以下將參考附圖說明本發明的具體實施例。順便提及，相同參考符號表示具有實質上相同功能與組態的構成元件並將僅在必要時給出重複說明。

在此具體實施例中，將藉由採取一NAND快閃記憶體作為一範例來給出說明。然而，本發明並不限於此。當然，可將本發明應用於一NOR快閃記憶體。

下面將參考圖1、2A、2B、2C至14A、14B及14C來說明

依據本發明之一第一具體實施例的一半導體裝置。圖1係顯示依據本發明之第一具體實施例的半導體裝置之一部分的平面圖。圖2A至2C係示意性地顯示依據本發明之第一具體實施例的半導體裝置之一主要部分的斷面圖。圖2A與2B係分別沿線IIA-IIA與IIB-IIB的斷面圖。圖2C係一周邊電路區域中之一電晶體(周邊電晶體)的斷面圖。

如圖1所示，該半導體裝置具有選擇閘極(選擇閘極電晶體)區域與記憶體單元(記憶體單元電晶體)區域。該記憶體單元區域係插入於選擇閘極區域之間。一淺溝渠隔離(STI)結構之一元件隔離絕緣膜1係形成於由(例如)矽構成之一半導體基板(未顯示)上。該元件隔離絕緣膜1係藉由在圖式中之垂直方向上配置的複數個帶形成以使得分隔一半導體基板11之一元件區域(作用區域)2的一區域。

複數個控制閘極電極3在圖式之橫向方向上延伸。此外，該等控制閘極電極3係在圖式之垂直方向上成間隔地配置。該記憶體單元區域中之控制閘極電極3各構成一記憶體單元電晶體之一部分，而該選擇閘極區域中的控制閘極電極3各構成一選擇閘極電晶體之一部分。

在該等控制閘極電極3之下並在該元件區域中的半導體基板之表面上設置浮動閘極電極。該等浮動閘極電極係在圖式之橫向方向上成間隔地配置。

如圖2A至2C所示，一n型井12與一p型井13係形成於由(例如)矽或類似者形成的半導體基板之表面上。此外，該元件隔離絕緣膜1係形成於該半導體基板11之表面上。該

元件隔離絕緣膜1從該半導體基板11之表面突出。

在該元件區域2的半導體基板11之表面上設置由(例如)二氧化矽膜構成之絕緣膜14A與14B。該絕緣膜14A構成該記憶體單元電晶體之一部分並用作一穿隧絕緣膜。該絕緣膜14B構成該選擇閘極電晶體與該周邊電晶體的各電晶體之一部分並用作一閘極絕緣膜。在該等絕緣膜14A與14B上設置彼此鄰近以使得彼此分離的堆疊閘極電極結構。

每一堆疊閘極電極結構在平面上具有如圖1所示之一圖案。如圖2A、2B及2C所示，每一堆疊閘極電極結構包括一浮動閘極電極15、一電極間絕緣膜16、一控制閘極電極3及類似者。

在該堆疊閘極電極結構中，在該等絕緣膜14A與14B之各絕緣膜上設置一浮動閘極電極15。該浮動閘極電極15由(例如)導電多晶矽構成。該浮動閘極電極15具有(例如)依據55 nm規則的85 nm之厚度。

在該浮動閘極電極15上設置該電極間絕緣膜16。該電極間絕緣膜16由(例如)二氧化矽膜、氮化矽膜及二氧化矽膜之一堆疊膜(ONO膜)或氮化矽膜、二氧化矽膜、氮化矽膜、二氧化矽膜及氮化矽膜之一堆疊膜(NONON膜)，或包含鋁或鉛之一介電膜構成。

該選擇閘極電晶體與該周邊電晶體具有一結構，其中該電極間絕緣膜16具有穿透頂部表面與底面之一開口21並且作為上部層之控制閘極電極3與作為下部層之浮動閘極電極15係彼此電連接。

在該電極間絕緣膜16上設置該控制閘極電極3。該控制閘極電極3已堆疊兩層導電層3a與3b。第一控制閘極之第一部分3a由(例如)導電多晶矽構成並具有(例如)依據50 nm規則的40 nm之厚度。該選擇電晶體與該周邊電晶體的閘極電極3之第一部分3a具有穿透頂部表面與底面之一開口21。該控制閘極電極3之第一部分3a的開口21與該電極間絕緣膜16的開口在平面上之位置中彼此一致。

該控制閘極電極3之第二部分3b具有(例如)依據50 nm規則的100 nm之厚度。

該控制閘極電極3的第二部分3b之一部分填滿該開口21並係連接至該浮動閘極電極15。藉由此結構，在該選擇閘極電晶體與該周邊電晶體中，該浮動閘極電極15與該控制閘極電極3成整體地構成該電晶體之一閘極電極。

該控制閘極電極3之第二部分3b由(例如)導電多晶矽構成並係藉由該電晶體而部分或完全轉變成金屬矽化物。更明確地說，在該選擇閘極電晶體與該周邊電晶體中，頂部表面與側表面係轉變成金屬矽化物，而在此等區域中形成一金屬矽化物膜22。在該選擇閘極電晶體與該周邊電晶體中，該金屬矽化物膜22於該頂部表面處與該側表面上具有(例如)15至40 nm的厚度與寬度。

另一方面，在該記憶體單元電晶體中，在一典型範例中，該控制閘極電極3之第二部分3b係完全轉變成金屬矽化物，而一金屬矽化物膜22構成該選擇閘極電極之第二部分3b。

該記憶體單元電晶體的控制閘極電極3之第二部分3b係完全轉變成金屬矽化物，而僅該選擇閘極電晶體與該周邊電晶體的控制閘極電極3之第二部分3b的頂部表面與側表面轉變成金屬矽化物。

在每一電晶體中，該金屬矽化物膜22係形成以具有此一特徵，而因此每一金屬矽化物膜22具有以下關係。首先，比該選擇閘極電晶體的控制閘極電極之第二部分3b之側表面的轉變成金屬矽化物之區域更接近中心的金屬矽化物膜22之一部分的厚度 D_b 小於該第二部分3b之側表面的金屬矽化物膜23的厚度 D_c 。同樣，比該周邊電晶體的控制閘極電極之第二部分3b之側表面的轉變成金屬矽化物之區域更接近中心的金屬矽化物膜22之一部分的厚度 D_d 小於該第二部分3b之側表面的金屬矽化物膜23的厚度 D_e 。

此外，厚度 D_b 與 D_d 小於該單元電晶體之控制閘極電極3之第二部分3b的金屬矽化物膜22的厚度 D_a 。通常將該單元電晶體之第二部分3b整體轉變成矽化物，並因此該厚度 D_a 於該單元電晶體之第二部分3b之任一部分係相同的。

順便提及，在圖式中，儘管該第二部分3b的整個部分係轉變成矽化物，但本發明並不限於此。即，至少一預定位置之上的第二部分3b之一區域應僅整體轉變成矽化物。明確地說，例如，將該第二部分3b之上半部分完全轉變成矽化物。藉由該第二部分3b所要求之一電阻值來決定該第二部分3b之厚度。即，要求的電阻值越小，該第二部分3b之頂部表面上的矽化物膜22變得越厚。

該記憶體單元電晶體之第二部分3b的厚度最大係整個控制閘極電極3，即整個該第一部分3a與該第二部分3b。實際上，為安全地防止該控制閘極電極3之第一部分3a與該浮動閘極電極15引起一短路，將該第二部分3b之底面之上的區域轉變成矽化物。稍後將在製造方法的說明中說明控制該矽化物膜22之厚度的方法。

對應於每一電晶體之導電類型的一導電類型之源極/汲極擴散區域23係形成以使得夾著單元電晶體、選擇電晶體及周邊電晶體之各堆疊閘極電極結構之下的通道區域。該源極/汲極擴散區域23於該選擇閘極電晶體的記憶體單元電晶體之相對側上的一部分並於該周邊電晶體具有用於減低其本身與接觸插塞(與通道區域相接觸)之間的電阻之一部分23a及一部分23b，其具有高於該部分23a之一濃度。

在每一堆疊閘極電極結構之側表面上設置由(例如)一二氧化矽膜或一氮化矽膜構成之一側壁絕緣膜24。該側壁絕緣膜24係形成以使得允許其達到該堆疊閘極結構之一中間高度，稍後將詳細說明其高度。

不在該選擇閘極電晶體的記憶體單元電晶體之相對側上的端部設置該側壁絕緣膜24。此係為使個別選擇閘極電晶體之間的區域較大。然而，此組態並非必不可少的，並可設置該側壁絕緣膜24。

在該選擇閘極電晶體的記憶體單元電晶體之相對側上的側表面上及在該周邊電晶體的側壁絕緣膜之側表面上，設置由(例如)一二氧化矽膜或一氮化矽膜或類似者構成之一

阻障膜25。該阻障膜25具有蝕刻停止器之功能。在周邊電晶體區域中，還在該源極/汲極擴散區域23及該元件隔離絕緣膜1上設置該阻障膜25。

在該等個別電晶體之間高達與該側壁絕緣膜24相同之高度的區域係使用一層間絕緣膜31來填滿。該層間絕緣膜31由(例如)一氮化矽膜構成。

在該側壁絕緣膜24上，在該堆疊閘極電極結構的未使用側壁絕緣膜24覆蓋的側表面上及在該控制閘極電極3之頂部表面上設置一覆蓋絕緣膜32。該覆蓋絕緣膜32還覆蓋該層間絕緣膜31之頂部表面。該覆蓋絕緣膜32由(例如)一二氧化矽膜或一氮化矽膜構成並具有(例如)30 nm的厚度。

在該覆蓋絕緣膜32的整個表面上設置由(例如)一二氧化矽膜構成之一層間絕緣膜33。在該層間絕緣膜33中設置一佈線層34。於該佈線層34之下部部分設置一插塞35，其從該佈線層34延伸，穿透該覆蓋絕緣膜32並達到該金屬矽化物膜22。此外，在該佈線層34之下部部分處之一預定位置中設置一插塞35，其穿透該覆蓋絕緣膜32、層間絕緣膜31及阻障膜25並達到該源極/汲極擴散區域23。

接下來，下面將參考圖3A、3B及3C至14A、14B及14C來說明圖2A、2B及2C之各圖式中所示的半導體裝置之製造方法。

圖3A至14A按序列順序顯示圖2A所示之結構的製造方法。

圖3B至14B按序列順序顯示圖2B所示之結構的製造方

法。

圖 3C 至 14C 按序列順序顯示圖 2C 所示之結構的製造方法。

首先，如圖 3A、3B 及 3C 所示，藉由使用一微影步驟與離子植入來形成井 12 與 13。接著，藉由(例如)熱氧化在該半導體基板的整個表面上形成將變成絕緣膜 14A 或 14B 之一絕緣膜 14a。接著，藉由(例如)化學汽相沈積(CVD)在該絕緣膜 14a 上形成將變成該浮動閘極電極 15 之一導電膜 15a。接著，藉由(例如)CVD 在該導電膜 15a 上形成由(例如)SiN 構成之一遮罩材料 41。

接著，如圖 4A、4B 及 4C 所示，在一區域中形成溝渠，在該區域中該元件隔離絕緣膜 1 係排程來藉由使用一微影步驟與蝕刻技術加以形成。該等溝渠穿透該遮罩材料 41、導電膜 15a、絕緣膜 14a 並達到該半導體基板 11 之表面。接著，使用用作該元件隔離絕緣膜 1 之一材料的膜來填滿該等溝渠。接著，藉由(例如)化學機械拋光(CMP)來移除該遮罩材料 41 上的不必要的膜，從而形成該元件隔離絕緣膜 1。

接著，如圖 5A、5B 及 5C 所示，藉由(例如)濕式蝕刻來移除該遮罩材料 41。接著，在該單元電晶體中，藉由(例如)反應離子蝕刻(RIE)、濕式蝕刻及類似者來將該元件隔離絕緣膜 1 之頂部表面回蝕至低於(例如)該電極膜 15a 之頂部表面的位置。因此，在該周邊電晶體區域中，例如，引起該元件隔離絕緣膜 1 後退至與該導電膜 15a 相同的高度。

接著，如圖 6A、6B及 6C所示，在藉由到目前為止執行之步驟獲得的結構之整個表面上形成將變成該電極間絕緣膜 16 之一絕緣膜 16a。因此，在該單元電晶體區域中，該導電膜 15a 之曝露的側表面與頂部表面係使用該絕緣膜 16a 覆蓋。

接著，藉由(例如)CVD方法在該絕緣膜 16a 的整個表面上形成將變成該控制閘極電極之第一部分 3a 的一導電膜 3aa。該導電膜 3aa 由(例如)導電多晶矽構成，填滿該等導電膜 15a 之間的元件隔離絕緣膜 1 之上的區域，並係配置於該等導電膜 15a 之頂部表面上的絕緣膜 16a 上。

接著，如圖 7A、7B及 7C所示，在該選擇閘極電晶體或該周邊電晶體係排程來藉由微影步驟與蝕刻技術加以形成之區域中的導電膜 3aa 與絕緣膜 16a 之至少部分中形成達到該導電膜 15a 之一或多個開口 21。

接著，藉由(例如)CVD在藉由到目前為止執行之步驟獲得的結構之整個表面上形成將變成該控制閘極電極 3 之第二部分 3b 之一材料膜 3ba。該材料膜 3ba 由(例如)導電多晶矽構成。作為該材料膜 3ba 之形成的結果，該材料膜 3ba 之一部分填滿該開口 21 並係連接至該導電膜 15a。

接著，藉由(例如)CVD在該材料膜 3ba 的整個表面上形成一遮罩材料 42。

接著，如圖 8A、8B及 8C所示，以該遮罩材料 42 保持於單元電晶體、選擇閘極電晶體及周邊電晶體之堆疊閘極電極結構係排程加以形成之區域中的方式來藉由微影步驟與

蝕刻技術執行圖案化。接著，藉由使用該遮罩材料42來蝕刻材料膜3ba、導電膜3aa、絕緣膜16a、導電膜15a及絕緣膜14a。因此，形成由控制閘極電極3之第二部分3b、第一部分3a、電極間絕緣膜16及浮動閘極電極15構成的每一電晶體之一堆疊閘極電極結構。進一步，形成該穿隧絕緣膜14A與該閘極絕緣膜14B。

接著，針對藉由到目前為止執行之步驟獲得的結構，藉由使用該堆疊閘極電極結構作為一遮罩之離子植入，在該單元電晶體中形成該源極/汲極擴散區域23，而在選擇閘極電晶體與周邊電晶體之各電晶體中形成該源極/汲極擴散區域23之低濃度部分23a。此外，在此離子植入步驟中，離子係植入該控制閘極電極之第二部分3b，從而將該第二部分3b轉變成一導電膜。

在植入n型雜質的步驟中，使用一遮罩材料(未顯示)覆蓋p型源極/汲極擴散區域與欲加以形成該控制閘極電極之區域。同樣，在植入p型雜質的步驟中，使用一遮罩(未顯示)覆蓋n型源極/汲極擴散區域與欲加以形成該控制閘極電極之區域。可隨意選擇植入n型與p型雜質的順序。

隨後，如圖9A、9B及9C所示，藉由(例如)CVD來在藉由到目前為止執行之步驟獲得的結構之整個表面上形成將變成該側壁絕緣膜24之一絕緣膜。

此絕緣膜之厚度係(例如)20至60 nm。接著，對於該絕緣膜之部分，藉由蝕刻技術來移除該遮罩材料42上的部分與該半導體基板11之表面上的部分，從而形成該側壁絕緣

膜24。該側壁絕緣膜24由可獲得相對於該浮動閘極電極15、該控制閘極電極3之第一部分3a與第二部分3b之一蝕刻選擇性比率的材料構成，即(例如)二氧化矽膜或氮化矽膜，如上所述。

接著，藉由使用該遮罩材料42與該側壁絕緣膜24作為一遮罩的離子植入來形成該源極/汲極擴散區域23之高濃度部分23b。於此步驟之時，如圖8A、8B及8C所示的情況，依據欲加以植入的雜質之導電類型來使用一遮罩材料(未顯示)覆蓋不經受植入的區域。

接著，如圖10A、10B及10C所示，藉由微影步驟形成一遮罩材料(未顯示)，其在佈置於該選擇閘極電晶體的記憶體單元電晶體之相對側上的側壁絕緣膜24之上具有一開口。接著，藉由使用此遮罩材料之蝕刻來移除該選擇閘極電晶體的記憶體單元電晶體之相對側上的側壁絕緣膜24。接著，移除該遮罩材料。

接著，藉由(例如)CVD來在藉由到目前為止執行之步驟獲得的結構之整個表面上形成一阻障膜25。因此，使用該阻障膜25覆蓋該選擇閘極電晶體之堆疊閘極電極結構的記憶體單元電晶體之相對側上的側壁上之一部分、該遮罩材料42上之一部分、該半導體基板11之表面、該周邊電晶體的側壁絕緣膜24上之一部分及該周邊電晶體區域之元件隔離絕緣膜1。

接著，藉由(例如)CVD來在藉由到目前為止執行之步驟獲得的結構之整個表面上形成一層間絕緣膜31。

接著，如圖 11A、11B 及 11C 所示，藉由(例如)CMP 來引起該層間絕緣膜 31 之頂部表面後退直至該遮罩材料 42 係曝露並同時移除該控制閘極電極 3 之第二部分 3b 之頂部表面上的遮罩材料 42。

此外，藉由使用該蝕刻技術來引起該側壁絕緣膜 24 之頂部表面後退至稍高於該控制閘極電極 3 之第一部分 3a 與第二部分 3b 之間的邊界的至少一位置。因此，曝露該單元電晶體的控制閘極電極 3 之第二部分 3b 的整個頂部表面與幾乎整個側表面。

根據該側壁絕緣膜 24 之後退量，可控制該單元電晶體的控制閘極電極 3 之第二部分 3b 的金屬矽化物膜 22 之厚度。

藉由引起該側壁絕緣膜 24 之頂部表面的步驟，該阻障膜 25 之頂部表面與該層間絕緣膜 31 之頂部表面亦後退。當側壁絕緣膜 24、阻障膜 25 及層間絕緣膜 31 係由相同材料製成而蝕刻選擇性比率實質上為零時，該阻障膜 25 與該層間絕緣膜 31 之後退的頂部表面係定位於與該側壁絕緣膜 24 之後退的頂部表面相同的位準。因此，曝露該選擇閘極電晶體的控制閘極電極 3 之第二部分 3b 的整個頂部表面與幾乎整個側表面。而亦在周邊電晶體中，曝露該控制閘極電極之第二部分 3b 的整個頂部表面與大約半個側表面。

接著，如圖 12A、12B 及 12C 所示，藉由(例如)CVD 或濺鍍來在藉由到目前為止執行之步驟獲得的結構之整個表面上形成用於矽化之一金屬膜 43。因此，該金屬膜 43 覆蓋每一電晶體的控制閘極電極 3 之第二部分 3b 的頂部表面與曝

露的側表面。依據該金屬矽化物膜22之材料，該金屬膜43之材料係(例如)鈷、鈦、鎳及類似者。

以對於該單元電晶體的控制閘極電極3之第二部分3b的部分，矽化對應於與該曝露的側表面之厚度相同之厚度的整個部分之一方式來決定該金屬膜43之厚度；其將在下面加以說明。在加熱步驟中，該金屬膜43中的金屬原子擴散入該控制閘極電極3之第二部分3b並轉變成該金屬矽化物膜23。在此具體實施例中，與金屬原子僅從頂部表面前進之情況不同，金屬原子還從該控制閘極電極之第二部分3b的側表面前進並因此可矽化一較寬範圍的控制閘極電極3之第二部分3b而不要求該等金屬原子在一較長距離上擴散。

因而，以從該第二部分3b之側表面前進的一矽化物反應之一遠端達到從與以上側表面相對的另一側表面前進的一矽化物反應之一遠端之一方式來決定該金屬膜43的厚度，從而對於該單元電晶體的控制閘極電極3之第二部分3b的部分，對應於與該曝露的側表面之厚度相同的厚度的整個部分變成該金屬矽化物膜25。

另一方面，該等金屬原子之擴散還根據加熱步驟的時間而改變。該加熱步驟可能不利地影響在加熱步驟時已形成的其他部分。因此，考慮到以上情況，不需要執行該加熱步驟一過長的時間週期。為此原因，以可甚至藉由不會不利影響其他部分之一程度的加熱步驟形成上述範圍之金屬矽化物膜22之一方式來決定該金屬膜43之厚度。

更明確地說，可(例如)在該控制閘極電極3之第二部分3b之寬度的20至60%之一範圍內或在依據55 nm規則的12至20 nm之一範圍內設定該金屬膜43之厚度。

接著，如圖13A、13B及13C所示，藉由使用一熱處理而使該金屬膜與該控制閘極電極3之第二部分3b反應來形成該金屬矽化物膜22。該金屬膜43具有上述厚度，且該等金屬原子從該控制閘極電極3之第二部分3b的頂部表面與側表面擴散。因此，藉由適當地調整熱處理時間，從該第二部分3b之側表面前進的矽化之遠端達到從此側表面之相對側上的側表面前進的矽化之遠端。因此，對於該單元電晶體的控制閘極電極3之第二部分3b的部分，將具有與該第二部分3b實質上相同之厚度的部分完全轉變成金屬矽化物。

另一方面，該選擇閘極電晶體與該周邊電晶體之寬度大於該單元電晶體之寬度。因此，從該選擇閘極電晶體與該周邊電晶體之各電晶體的控制閘極電極3之第二部分3b的側表面前進的矽化不會達到從以上側表面之相對側上的側表面延伸的矽化區域。換言之，對於該選擇閘極電晶體與該周邊電晶體之各電晶體的控制閘極電極3之部分，欲加以矽化的表面僅係該控制閘極電極3的包括頂部表面與側表面的第二部分3b之表面，而以上部分更內部的部分未係矽化。如上所述，厚度Db小於厚度Dc，厚度Dd小於厚度De，而厚度Db與厚度Dd小於厚度Da。

隨後，對於該金屬膜43之部分，藉由使用蝕刻技術來移

除未對金屬矽化作出貢獻的部分，即不與該控制閘極電極3之第二部分3b接觸的部分。

接著，如圖14A、14B及14C所示，藉由(例如)CVD來在藉由到目前為止執行之步驟獲得的結構之整個表面上形成該覆蓋絕緣膜32。該覆蓋絕緣膜32覆蓋該金屬矽化物膜22並還覆蓋該層間絕緣膜31之頂部表面。

接著，如圖2A、2B及2C所示，藉由(例如)CVD來在該覆蓋絕緣膜32的整個表面上形成該層間絕緣膜33。接著，藉由使用微影步驟與蝕刻技術來形成一佈線溝渠與接觸孔，並藉由CVD與濺鍍在該佈線溝渠與接觸孔中形成一導電膜。因此，形成該佈線層34與該插塞35。

接下來，以下將參考圖19A、19B、19C、20A、20B及20C來說明該第一具體實施例之一修改範例。如圖19A、19B及19C所示，在該覆蓋絕緣膜32之下設置一氧化物膜51。即，該氧化物膜51覆蓋該金屬矽化物膜22的整個表面並還覆蓋側壁絕緣膜24、阻障膜25及層間絕緣膜31的頂部表面。進一步，在該氧化物膜51的整個表面上設置該覆蓋絕緣膜32。該氧化物膜51由一二氧化矽膜構成並具有(例如)50 nm之厚度。

在某些情況下，由於諸如製造步驟或類似者之類的因素在該控制閘極電極之第二部分3b(金屬矽化物膜22)內產生一空洞。若具有一高介電常數之一膜(例如一SiN膜)進入該空洞，則在某些情況下位於該空洞兩側上的控制閘極電極之第二部分3b彼此干擾。為處理此一情況，可藉由該氧

化物膜51覆蓋該控制閘極電極之第二部分3b的表面來減輕或防止此類干擾。

圖19A、19B及19C所示之結構的製造方法如以下所示。首先，如圖20A、20B及20C所示，藉由(例如)CVD來在藉由圖13A、13B及13C所示之步驟獲得的結構之整個表面上形成該氧化物膜51。接著，以與圖14A、14B及14C所示之步驟中的方式相同之方式來在該氧化物膜51的整個表面上形成該覆蓋絕緣膜32。本步驟之後的步驟與先前已參考圖2A、2B及2C說明的步驟相同。

依據與本發明之第一具體實施例相關聯的半導體裝置，在該控制閘極電極3之側壁上形成用於形成該金屬矽化物膜22之一金屬膜。因此，用於矽化之金屬原子不僅從該控制閘極電極3之頂部表面還從其側表面擴散。因此，可在平面方向上在該控制閘極電極3的整個表面上形成一厚金屬矽化物膜22而不僅取決於金屬原子從頂部表面之擴散。

因為該控制閘極電極3之矽化還從其側表面前進，故即使該控制閘極電極3之縱橫比變高，仍可形成具有一所需厚度之一金屬矽化物膜22。

此外，因為該矽化還從該控制閘極電極3之側表面前進，該等金屬原子必須擴散並且將所需厚度轉變成該金屬矽化物膜22所要求的距離係短於該矽化僅從該控制閘極電極3之頂部表面前進的情況下之距離。因此，防止該金屬矽化物膜22之厚度在不同單元電晶體之間變化，並可抑制藉由黏聚的劣化之發展。

(第二具體實施例)

第二具體實施例在曝露一控制閘極電極之一第二部分3b的步驟中不同於該第一具體實施例。

下面將參考圖15B至18A及18B來說明依據本發明之第二具體實施例的半導體裝置。圖15A係沿圖1中之線IIB-IIB的斷面圖並係在與第一具體實施例之圖2B相同的位置中的斷面圖。圖15B係一周邊電晶體之斷面圖並係在與第一具體實施例之圖2C相同的位置中的斷面圖。沿圖1之線IIA-IIA的斷面圖與第一具體實施例之斷面圖(圖2A)相同。

如圖15A與15B所示，使用一阻障膜25覆蓋該選擇閘極電晶體之堆疊閘極電極結構的單元電晶體之相對側上的整個側表面。使用一側壁絕緣膜24覆蓋該周邊電晶體之堆疊閘極電極結構的整個側表面。在該周邊電晶體中，使用該阻障膜25覆蓋該側壁絕緣膜24的整個側表面。

在該周邊電晶體區域及該選擇閘極電晶體之堆疊閘極電極結構的單元電晶體之相對側上的區域之各區域中，使用一層間絕緣膜31將空間填滿至與一控制閘極電極3之頂部表面相同的高度，並使用一覆蓋絕緣膜32覆蓋該層間絕緣膜31與該阻障膜25之該等頂部表面。其他結構與第一具體實施例相同。

接下來，下面將參考圖16A、16B至18A及18B說明圖15A與15B所示之半導體裝置的製造方法。

圖16A至18A按序列順序顯示圖15A所示之結構的製造方法。

圖 16B 至 18B 按序列順序顯示圖 15B 所示之結構的製造方法。

首先，執行與第一具體實施例的圖 3A、3B、3C 至 10A、10B 及 10C 所示之該些步驟相同的步驟。接著，如圖 16A 與 16B 所示，如圖 11B 與 11C 所示之步驟，引起該層間絕緣膜 31 之頂部表面後退直至一遮罩材料 42 係曝露。然後，移除該控制閘極電極 3 之一第二部分 3b 的頂部表面上的遮罩材料 42。

接著，在該控制閘極電極 3 上形成具有處於該單元電晶體之上之一開口的遮罩材料(未顯示)。接著，藉由使用該遮罩材料作為一遮罩並依據第一具體實施例中說明的條件來引起該單元電晶體之側壁絕緣膜 24 的頂部表面後退。此時，可同樣引起或不引起該選擇閘極電晶體之側壁絕緣膜 24 的頂部表面後退。接著，移除該遮罩材料。

接著，如圖 17A 與 17B 所示，如圖 12B 與 12C 所示之步驟，在藉由到目前為止執行之步驟獲得的結構之整個表面上形成一金屬膜 43。此時，與第一具體實施例不同，僅在對於每一電晶體的控制閘極電極 3 之第二部分之部分的該單元電晶體之側表面與該選擇閘極電晶體之單元電晶體側上的側表面上形成該金屬膜 43。在該周邊電晶體中，僅在該控制閘極電極 3 之頂部表面上形成金屬膜 43。

隨後，如圖 13B 與 13C 所示的步驟，矽化與該金屬膜 43 接觸的控制閘極電極 3 之第二部分 3b 之一部分。因此，在該單元電晶體中，對於該控制閘極電極 3 之第二部分 3b 的

部分，矽化藉由與在平面方向上的整體上延伸並係曝露的厚度相同的厚度定義之一區域。至於該選擇閘極電晶體的閘極電極3之第二部分3b，僅矽化接近該單元電晶體側上之側表面與該頂部表面的表面之一部分。在該周邊電晶體中，僅矽化接近該閘極電極3之第二部分3之頂部表面的表面之一部分。

接著，如圖18A與18B所示，如圖14B與14C所示之步驟，在藉由到目前為止執行之步驟獲得的結構之整個表面上形成一覆蓋絕緣膜32。接著，如圖15A與15B所示，形成一層間絕緣膜33、佈線層34、插塞35及類似者。

依據與本發明之第二具體實施例相關聯的半導體裝置，如該第一具體實施例，在該閘極電極3之側壁上形成用於形成該金屬矽化物膜22之一金屬膜。因此，可獲得與該第一具體實施例之效果相同的效果。

此外，本發明並不限於上述處於本發明之構想與種類內的第一與第二具體實施例，而其他替代範例與修改範例亦係包括於本發明之範疇中。

熟習此項技術者可容易地發現額外的優點及修改。因此，本發明的廣泛態樣並不限於本文所顯示與說明的特定細節及代表具體實施例。因此，可進行各種修改而不脫離如隨附申請專利範圍及其等效範圍所定義的一般發明概念之精神或範疇。

【圖式簡單說明】

圖1係依據一第一具體實施例之一半導體儲存裝置的平

面圖。

圖 2A 至 2C 顯示依據該第一具體實施例之一半導體儲存裝置的斷面圖。

圖 3A 至 3C 顯示各顯示圖 2A 至 2C 所示之半導體裝置的製造步驟之一部分的斷面圖。

圖 4A 至 4C 顯示斷面圖，其顯示圖 3A 至 3C 所示的該些步驟之後的步驟。

圖 5A 至 5C 顯示斷面圖，其顯示圖 4A 至 4C 所示的該些步驟之後的步驟。

圖 6A 至 6C 顯示斷面圖，其顯示圖 5A 至 5C 所示的該些步驟之後的步驟。

圖 7A 至 7C 顯示斷面圖，其顯示圖 6A 至 6C 所示的該些步驟之後的步驟。

圖 8A 至 8C 顯示斷面圖，其顯示圖 7A 至 7C 所示的該些步驟之後的步驟。

圖 9A 至 9C 顯示斷面圖，其顯示圖 8A 至 8C 所示的該些步驟之後的步驟。

圖 10A 至 10C 顯示斷面圖，其顯示圖 9A 至 9C 所示的該些步驟之後的步驟。

圖 11A 至 11C 顯示斷面圖，其顯示圖 10A 至 10C 所示的該些步驟之後的步驟。

圖 12A 至 12C 顯示斷面圖，其顯示圖 11A 至 11C 所示的該些步驟之後的步驟。

圖 13A 至 13C 顯示斷面圖，其顯示圖 12A 至 12C 所示的該

些步驟之後的步驟。

圖 14A 至 14C 顯示斷面圖，其顯示圖 13A 至 13C 所示的該些步驟之後的步驟。

圖 15A 與 15B 顯示依據一第二具體實施例之一半導體儲存裝置的斷面圖。

圖 16A 與 16B 顯示斷面圖，其顯示圖 15A 與 15B 所示之半導體裝置的製造步驟之一部分。

圖 17A 與 17B 顯示斷面圖，其顯示圖 16A 與 16B 所示的該些步驟之後的步驟。

圖 18A 與 18B 顯示斷面圖，其顯示圖 17A 與 17B 所示的該些步驟之後的步驟。

圖 19A 至 19C 顯示依據該第一具體實施例之一修改範例的一半導體儲存裝置的平面圖。

圖 20A 至 20C 顯示斷面圖，其顯示圖 19A 至 19C 所示之半導體裝置的製造步驟之一部分。

【主要元件符號說明】

- | | |
|-----|----------------------------------|
| 1 | 元件隔離絕緣膜 |
| 2 | 元件區域/作用區域 |
| 3 | 控制閘極電極 |
| 3a | 控制閘極電極之第一部分/第四導電膜 |
| 3aa | 導電膜 |
| 3b | 控制閘極電極之第二部分/第四導電膜/單元電
晶體之第二部分 |
| 3ba | 材料膜 |
| 11 | 半導體基板 |

- 12 n型井
- 13 p型井
- 14a 絕緣膜
- 14A 穿隧絕緣膜/第一絕緣膜
- 14B 閘極絕緣膜/第三絕緣膜
- 15 浮動閘極電極/第三導電膜
- 15a 導電膜
- 16 電極間絕緣膜/第二絕緣膜
- 16a 絕緣膜
- 21 開口
- 22 金屬矽化物膜/第四導電膜
- 23 源極/汲極擴散區域/第一源極/汲極區域
- 23a 源極/汲極擴散區域之低濃度部分/電組之部分
- 23b 源極/汲極擴散區域之高濃度部分/電組之部分
- 24 側壁絕緣膜
- 25 阻障膜
- 31 層間絕緣膜
- 32 覆蓋絕緣膜
- 33 層間絕緣膜
- 34 佈線層
- 35 插塞
- 41 遮罩材料
- 42 遮罩材料
- 43 金屬膜
- 51 氧化物膜

七、申請專利範圍：

1. 一種半導體裝置，其包含：

一第一絕緣膜，其係於一單元電晶體區域中，設置於一半導體基板上；

一電荷儲存膜，其係設置於該第一絕緣膜上；

一第二絕緣膜，其係設置於該電荷儲存膜上；

一控制閘極電極，其係包含第一導電膜及該第一導電膜上之第二導電膜，該第一導電膜設置於該第二絕緣膜上，該第二導電膜包含一第一金屬矽化物膜；

第一源極/汲極區域，其係形成於該半導體基板之一表面上並夾著該第一絕緣膜之下的一區域；

一第三絕緣膜，其係於一選擇閘極電晶體區域與一周邊電晶體區域之至少一者中，設置於該半導體基板上；

一閘極電極，其係包含第三導電膜及該第三導電膜上之第四導電膜，該第三導電膜設置於該第三絕緣膜上，該第四導電膜包含一多晶矽膜及該多晶矽膜之一頂部表面上之一第二金屬矽化物膜；

第二源極/汲極區域，其係形成於該半導體基板之該表面上並夾著該第三絕緣膜之下的一區域；

一側壁絕緣膜，其係形成於該控制閘極電極及該電荷儲存膜之一側表面上；及

一阻障膜，其係形成於該半導體基板上與該側壁絕緣膜及該閘極電極之一側表面之至少一者上，

其中該第一及第三導電膜包含相同材料，該第一及第

二金屬矽化物膜包含相同材料，且該側壁絕緣膜及該阻障膜之最高點高於該第二絕緣膜之上部表面並低於該第二導電膜之上部表面。

2. 如請求項1之裝置，其中

還在該多晶矽膜之各側表面上形成該第二金屬矽化物膜，以及

該多晶矽膜之該側表面上的該第二金屬矽化物膜在一垂直方向上之厚度等於該第一金屬矽化物膜之該厚度。

3. 如請求項2之裝置，其中

該閘極電極進一步包含形成在該第三導電膜及該第四導電膜之間之一第四絕緣膜，該第四絕緣膜具有一開口，且該第四導電膜係形成在該開口中，以及

該第二金屬矽化物膜整個地延伸於該第四導電膜中之該多晶矽膜之一頂部表面與側表面之上。

4. 如請求項1之裝置，其中

該控制閘極電極包括覆蓋該第二絕緣膜之一頂部表面的一第一部分與覆蓋該第一部分之一頂部表面的一第二部分，且

該第一金屬矽化物膜佔了該第二導電膜之該第二部分之一整個部分。

5. 如請求項1之裝置，其中

該第四導電膜之寬度大於該第二導電膜之寬度。

6. 如請求項1之裝置，其進一步包含

複數之堆疊閘極電極結構，其各具有該第一導電膜、

該第二絕緣膜及包括該第一金屬矽化物膜之該第二導電膜。

7. 如請求項1之裝置，其中

該側壁絕緣膜之該最高點等於該阻障膜之最高點。

8. 如請求項1之裝置，其中

該側壁絕緣膜之一底面低於該第一導電膜之底面。

9. 如請求項1之裝置，其進一步包含

一空洞(void)，其具有位於該側壁絕緣膜之該上部表面之一開口，且其延伸至該側壁絕緣膜之一中間；以及一氧化矽膜，其覆蓋該第二導電膜之該上部表面與該等側表面，且其覆蓋該側壁絕緣膜。

10. 如請求項9之裝置，其中

在該空洞中形成有該氧化矽膜。

11. 如請求項1之裝置，其中

該第一金屬矽化物膜係形成於該第二導電膜之一側表面，面向該側壁絕緣膜。

12. 如請求項1之裝置，其中

該第二金屬矽化物膜具有一反面凹狀。

13. 如請求項1之裝置，其中

該第三絕緣膜係於該周邊電晶體區域中，設置於該半導體基板上。

14. 一種半導體裝置，其包含：

一第一絕緣膜，其係設置於一半導體基板上；

一第一導電膜，其係設置於該第一絕緣膜上；

一第一電極間絕緣膜，其係設置於該第一導電膜上；

一第二導電膜，其係設置於該第一電極間絕緣膜上並在其一頂部表面與側表面上具有一第一金屬矽化物膜，在該第二導電膜之各側表面上之該第一金屬矽化物膜在一垂直方向上之厚度比處於該第二導電膜之中心的該第一金屬矽化物膜厚；

第一源極/汲極區域，其係形成於該半導體基板之該表面上並夾著該第一絕緣膜之下的一區域；

一側壁絕緣膜，其係形成於該第一及第二導電膜之一側表面上；

一阻障膜，其係形成於該半導體基板上與形成於該側壁絕緣膜及該第一以及第二導電膜之一側表面之至少一者上，

其中該側壁絕緣膜之最高點高於該第一電極間絕緣膜之上部表面並低於該第二導電膜之上部表面。

15. 如請求項14之裝置，其進一步包含：

一第二絕緣膜，其係設置於該半導體基板上；

一第三導電膜，其係設置於該第二絕緣膜上；

一第二電極間絕緣膜，其係設置於該第三導電膜上；

以及

一第四導電膜，其係設置於該第二電極間絕緣膜上且其中以一第一厚度在一垂直方向從一頂部表面延伸之一整個部分係由一第二金屬矽化物膜構成。

16. 如請求項15之裝置，其中

該第二導電膜之各側表面上的該第一金屬矽化物膜在一垂直方向上之一厚度等於該第一厚度。

17. 如請求項15之裝置，其中

該第四導電膜之一寬度比該第二導電膜之寬度窄。

18. 如請求項14之裝置，其中

該第一金屬矽化物膜係形成於該第二導電膜之一側表面，面向該側壁絕緣膜。

19. 如請求項14之裝置，其中

該第一金屬矽化物膜具有一反面凹狀。

20. 如請求項14之裝置，其中

該第一絕緣膜係於該周邊電晶體區域中，設置於該半導體基板上。

八、圖式：

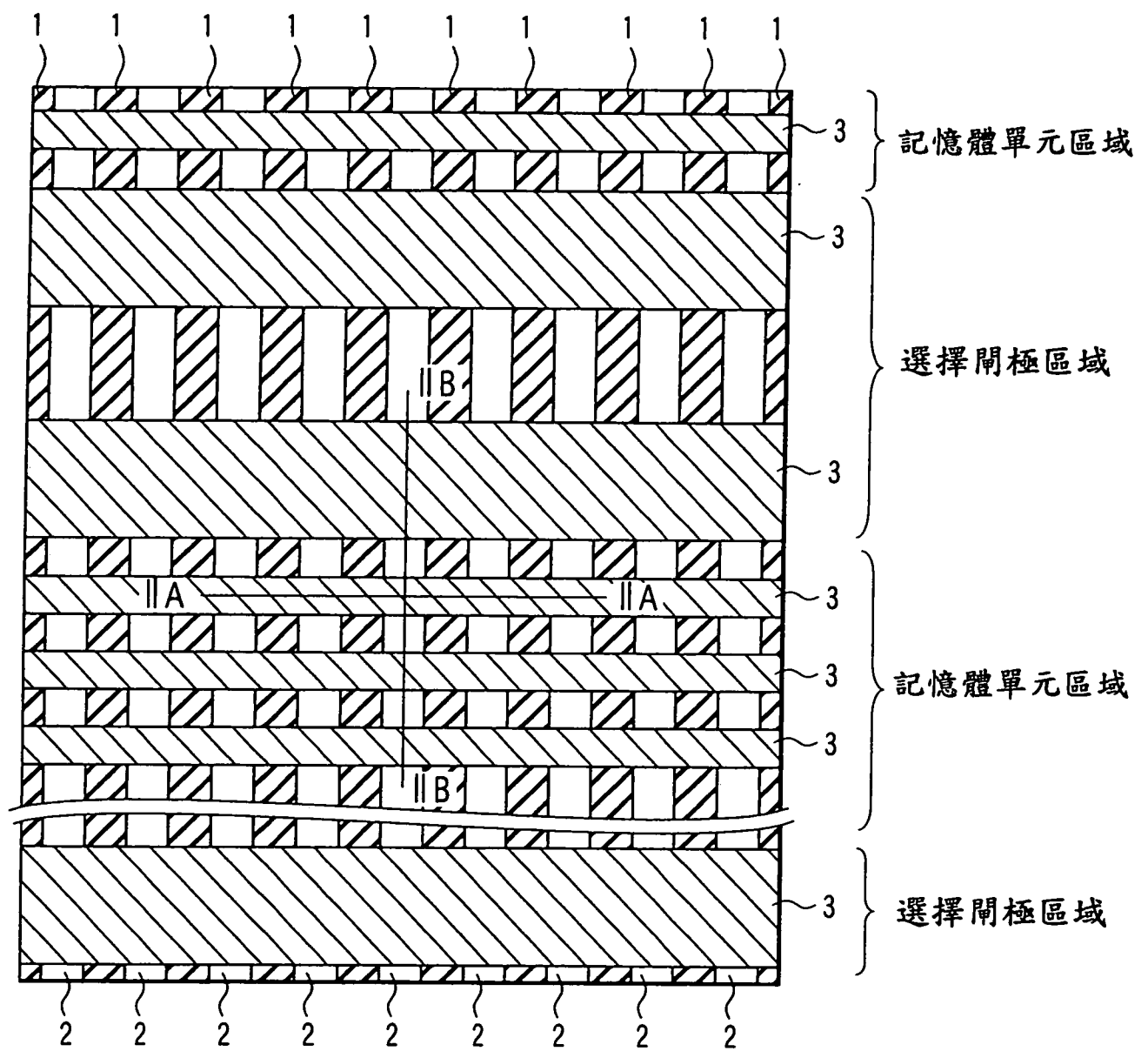


圖1

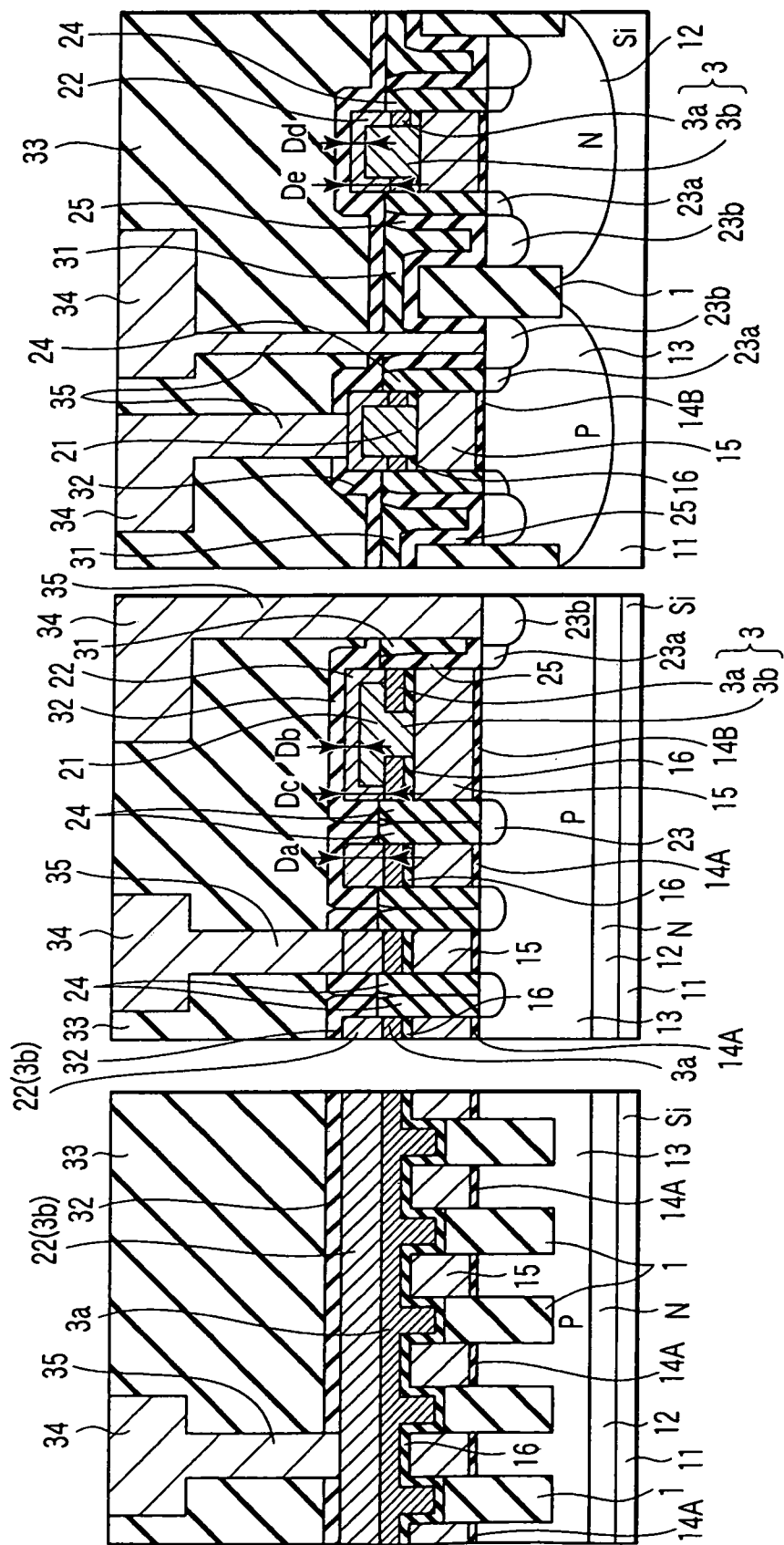


圖2A

圖2B

圖2C



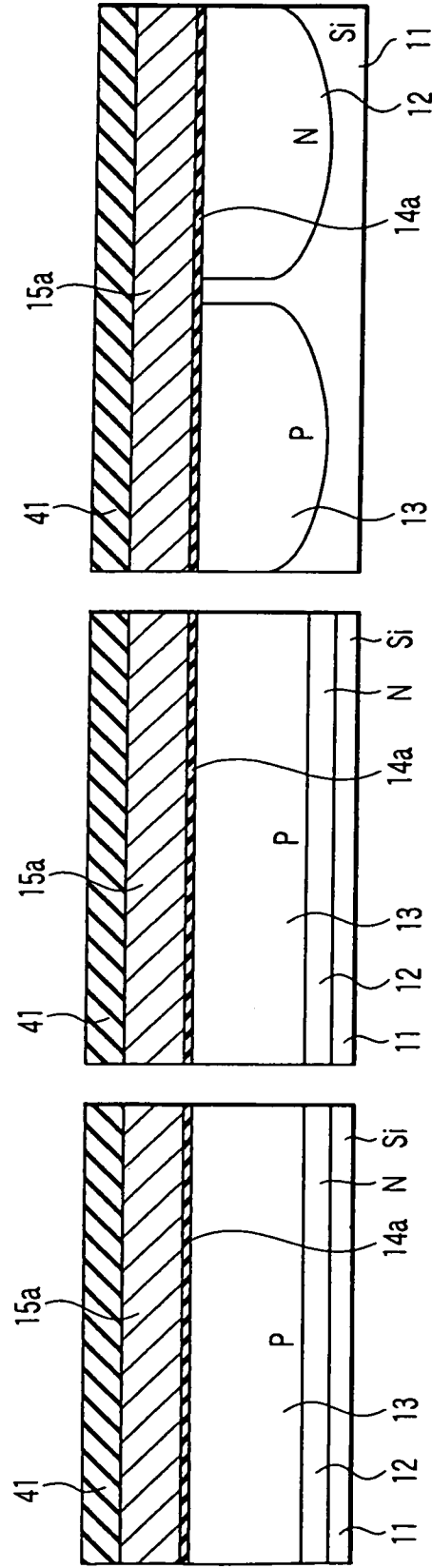


圖3A

圖3B

圖3C

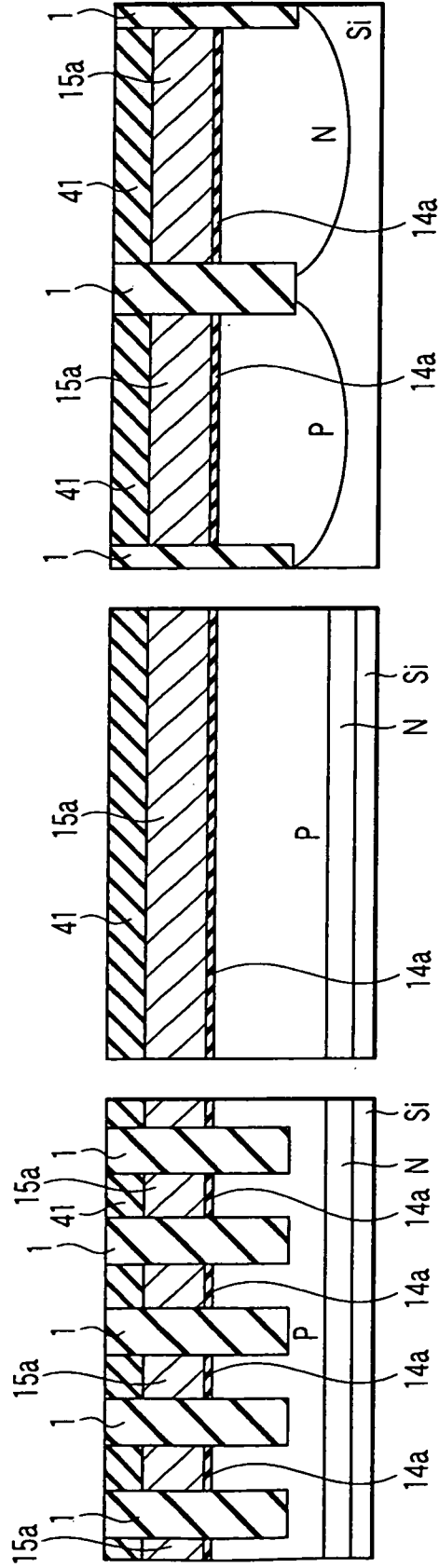


圖4A

圖4B

圖4C



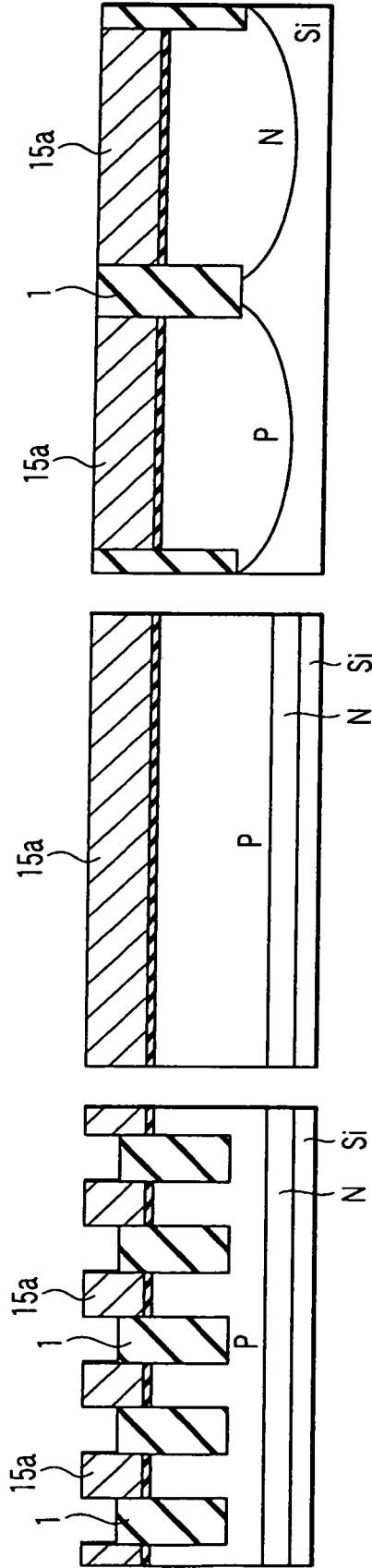


圖 5A

圖 5B

圖 5C

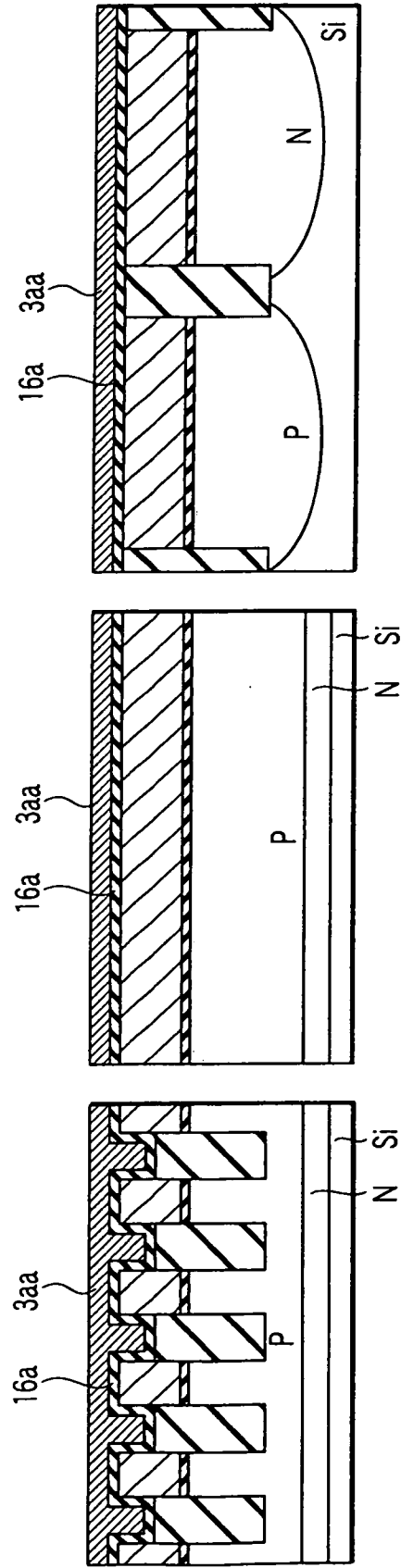


圖6C

圖6B

圖6A



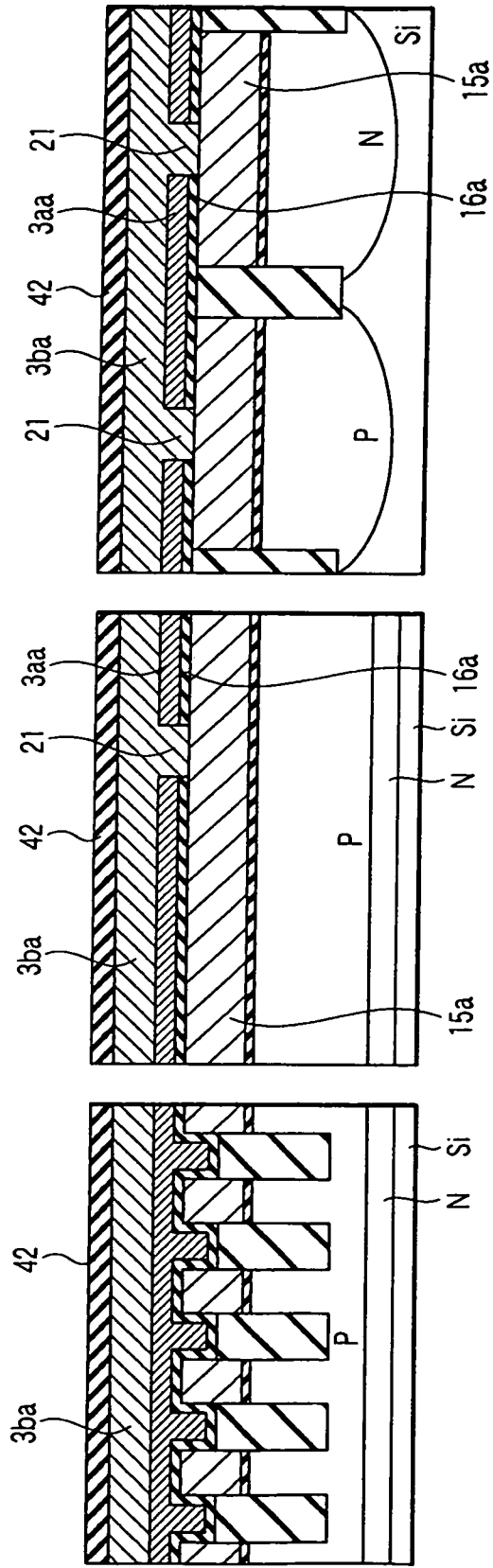


圖7A

圖7B

圖7C

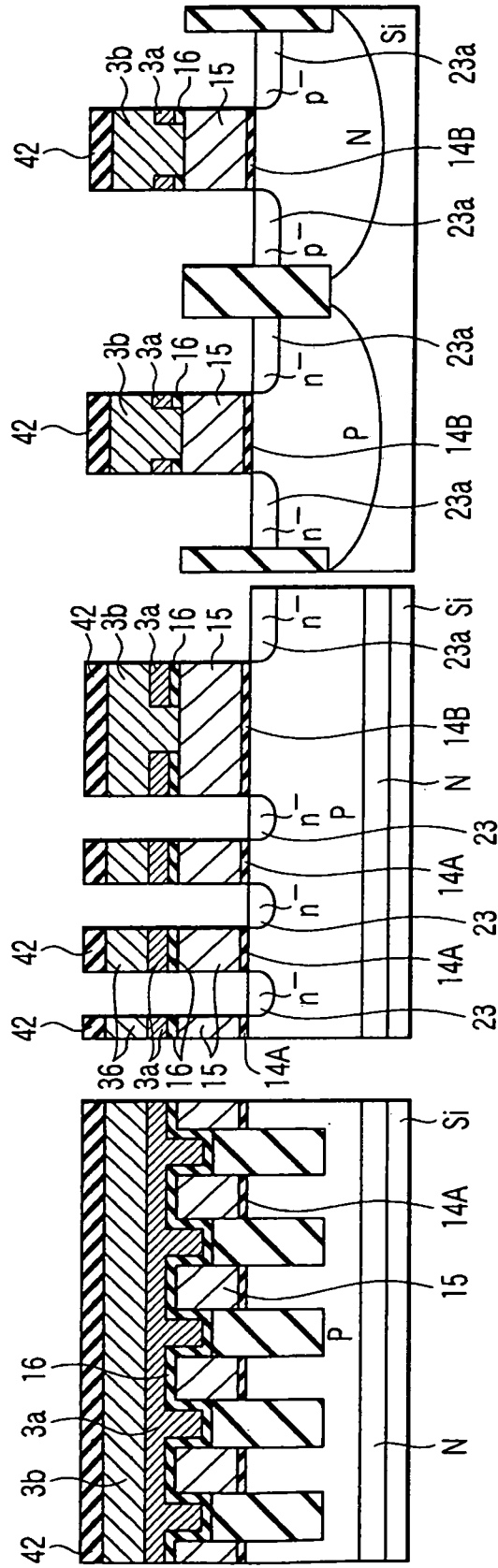


圖8A

圖8B

圖8C



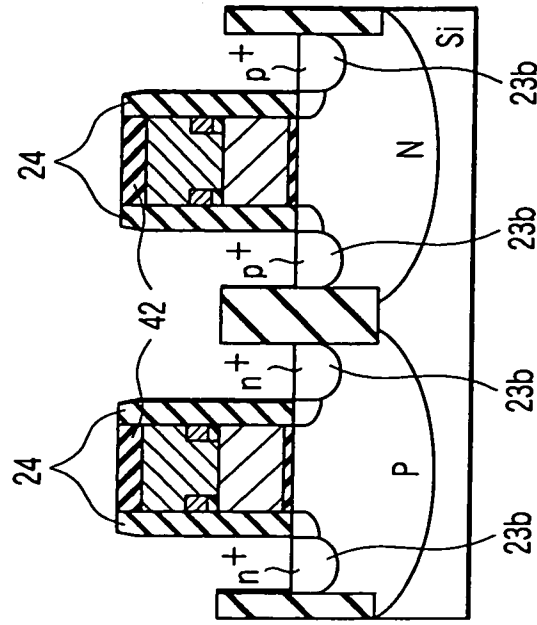


圖9C

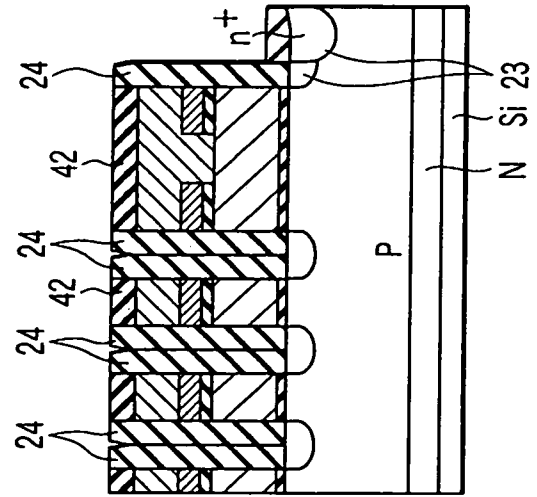


圖9B

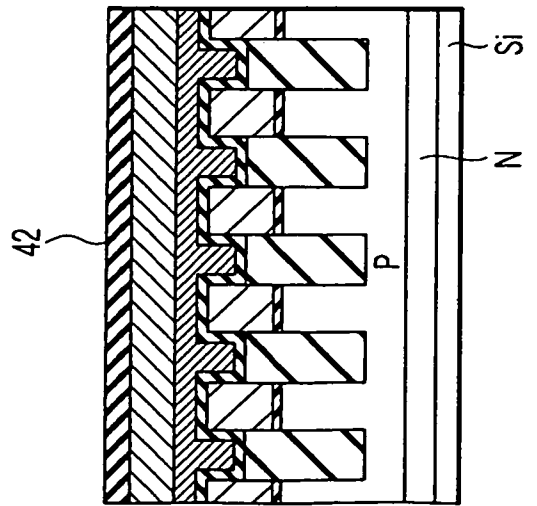


圖9A

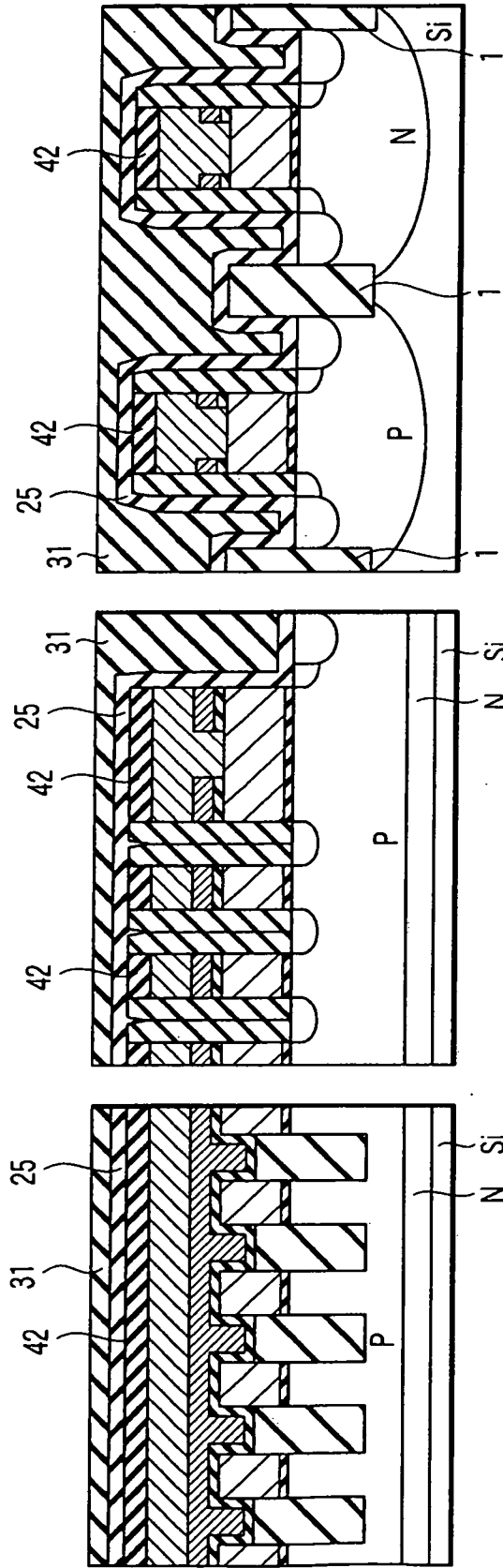


圖10A

圖10B

圖10C



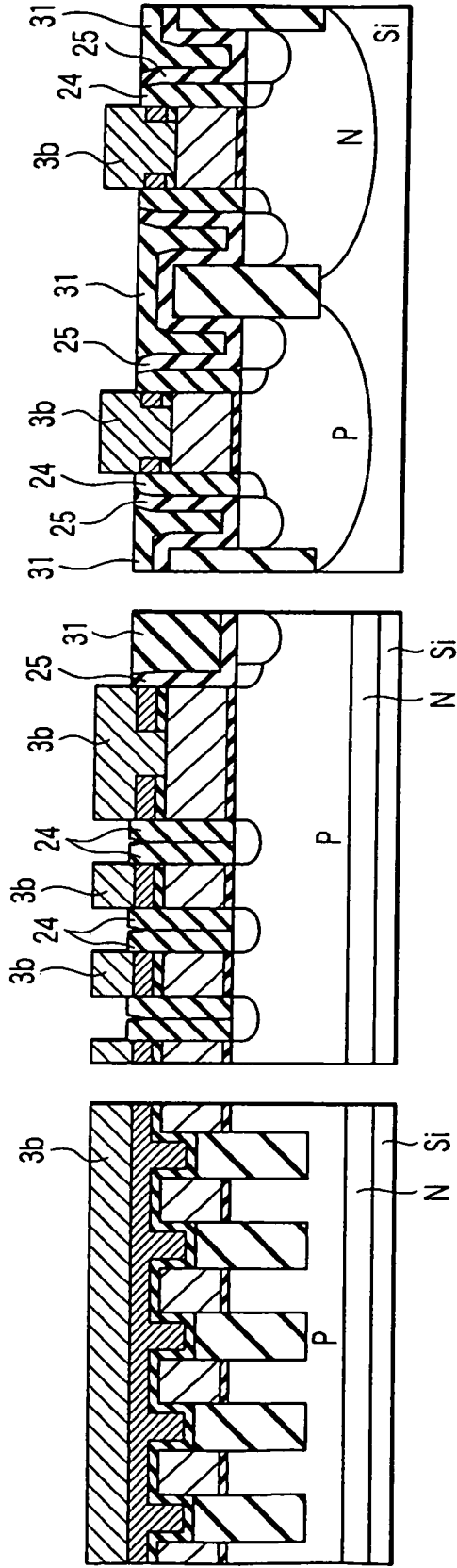


圖11A

圖11B

圖11C

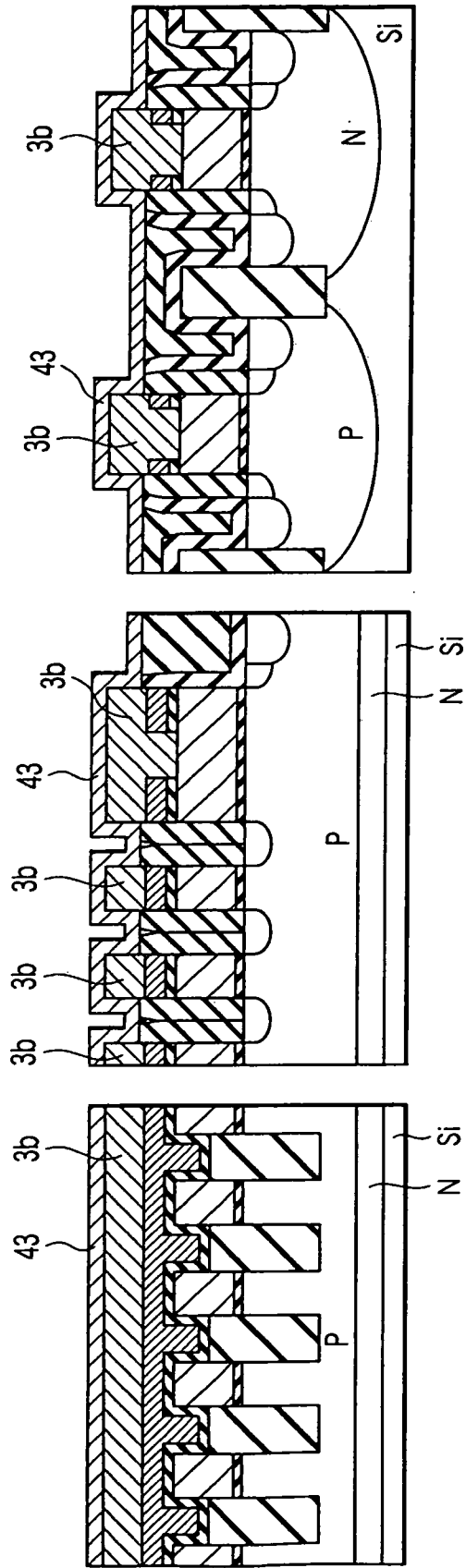


圖12A

圖12B

圖12C

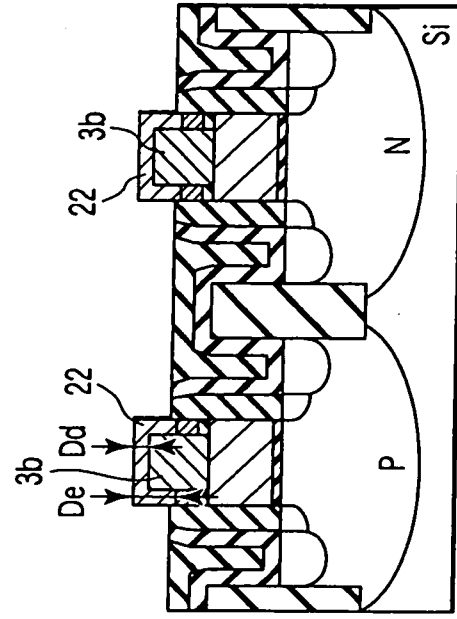


圖13C

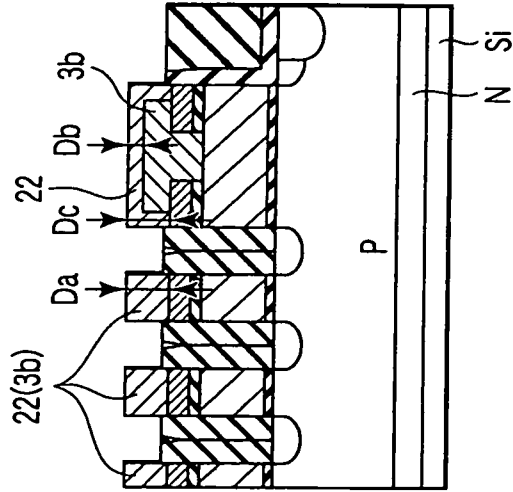


圖13B

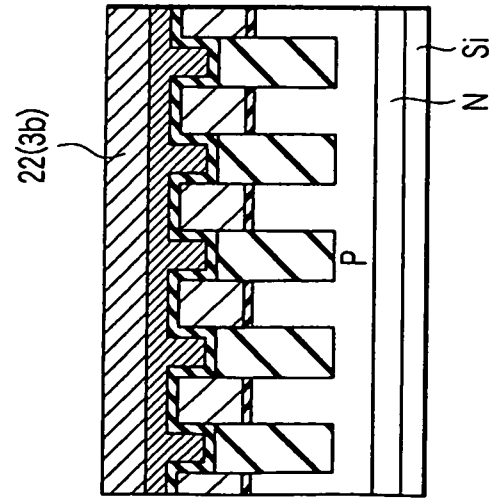


圖13A

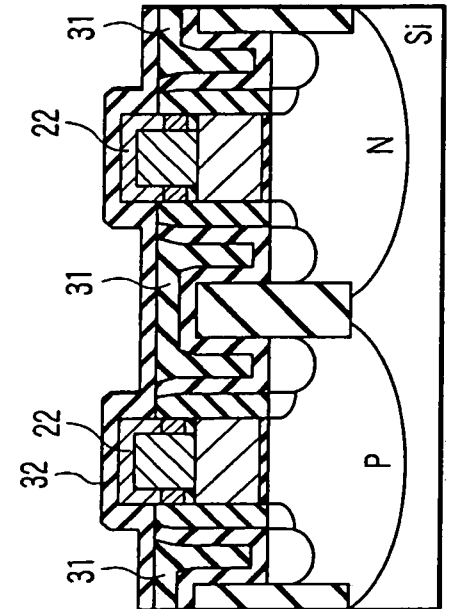


圖14C

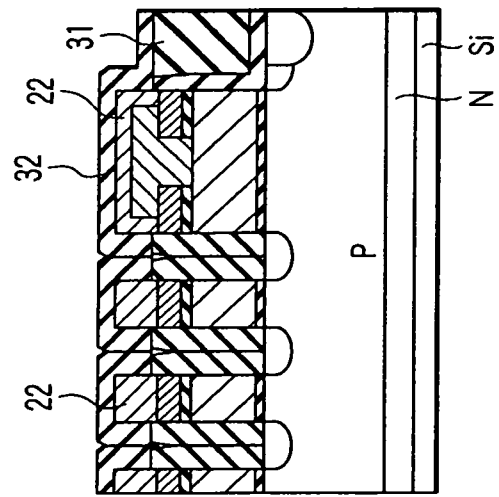


圖14B

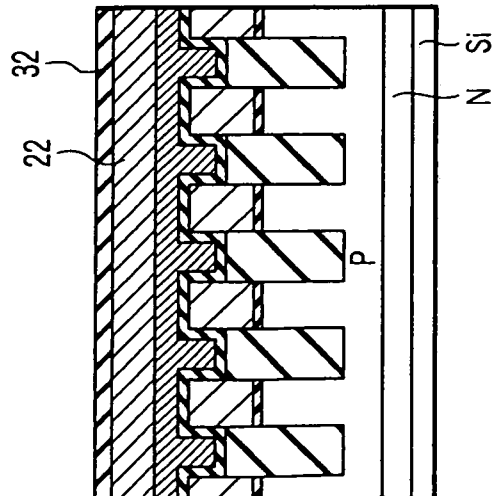


圖14A



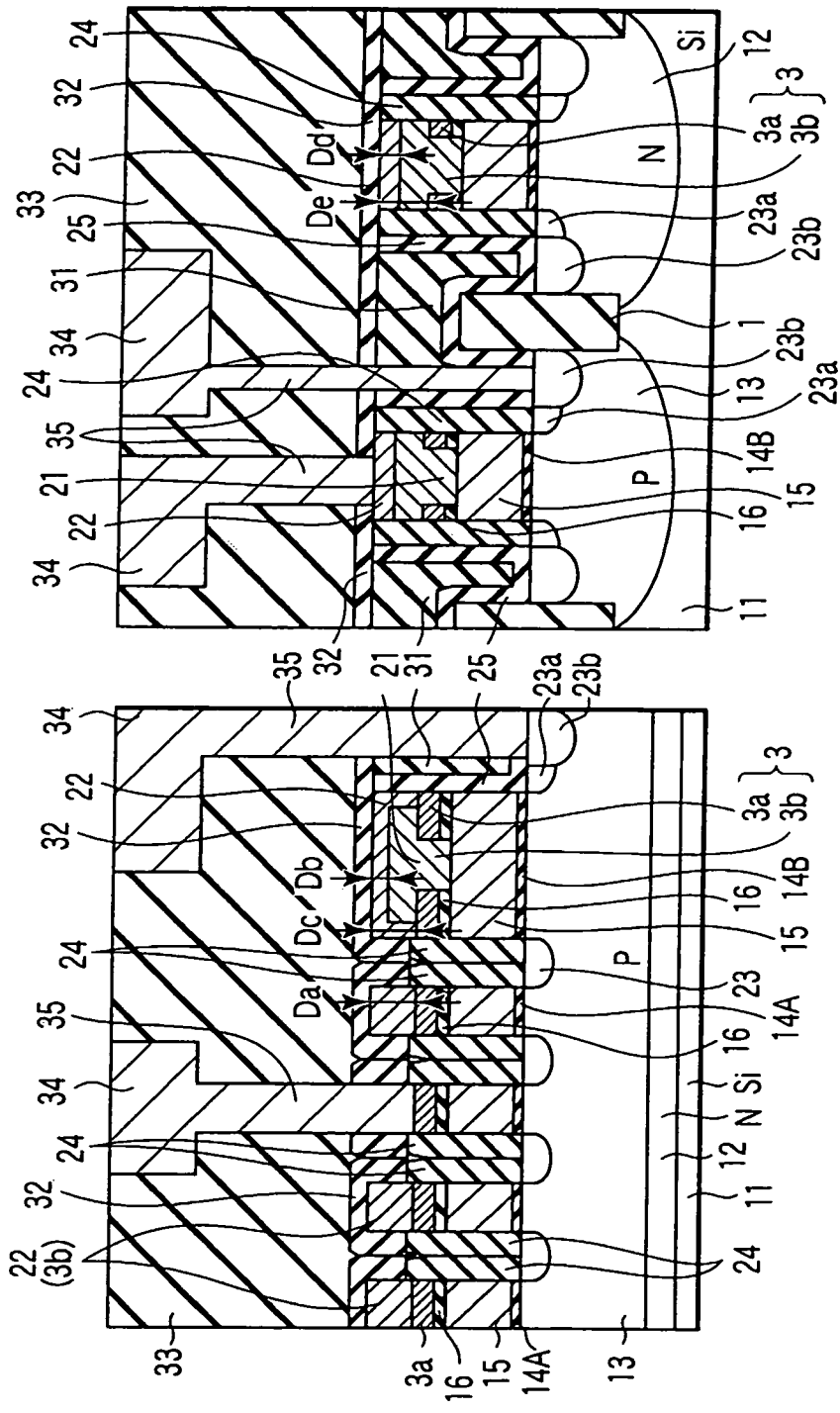


圖15A

圖15B



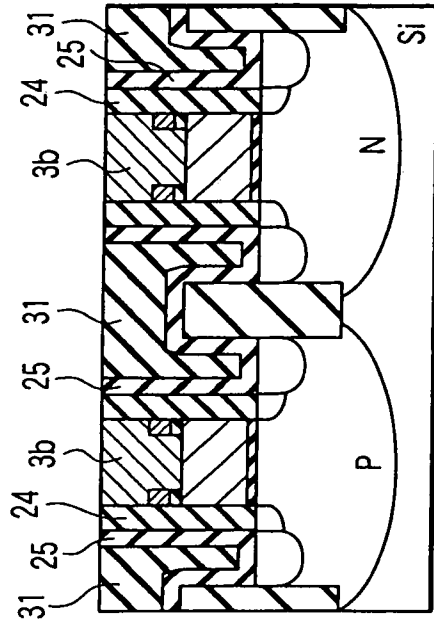


圖 16B

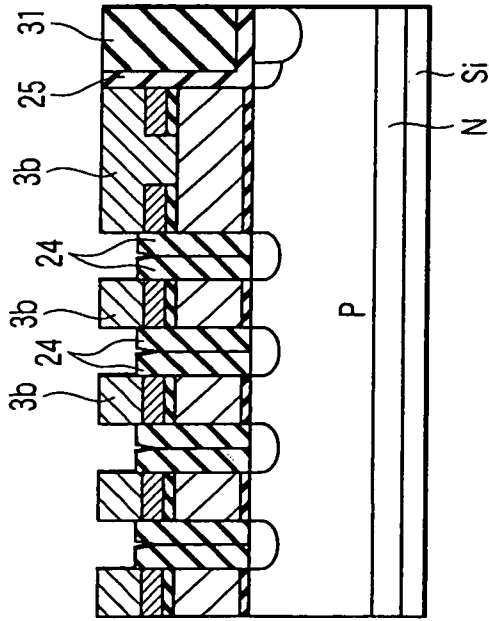


圖 16A



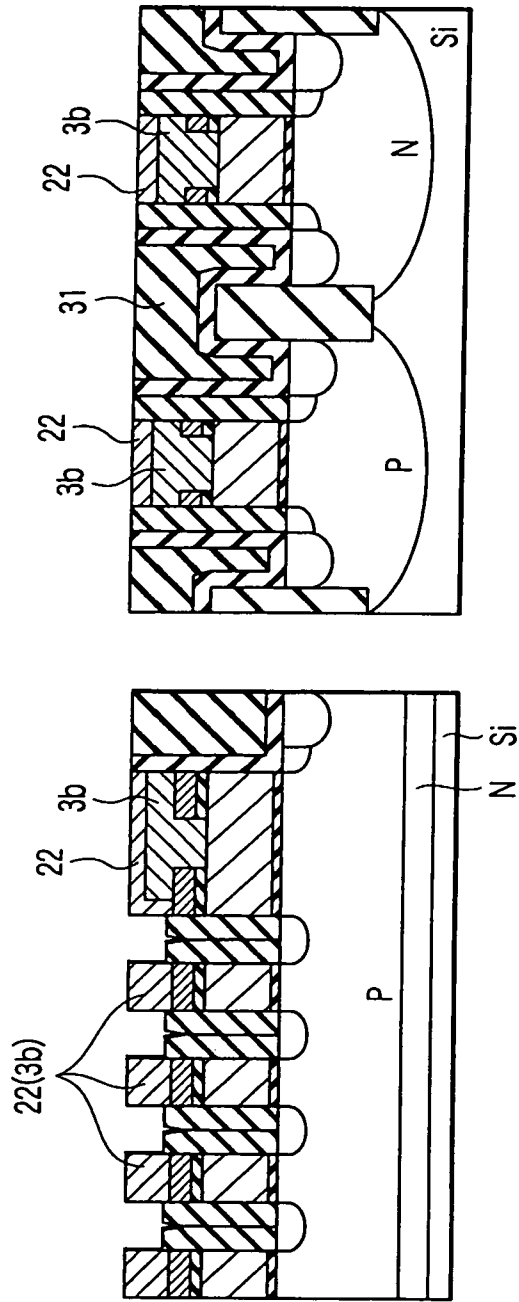


圖17A

圖17B

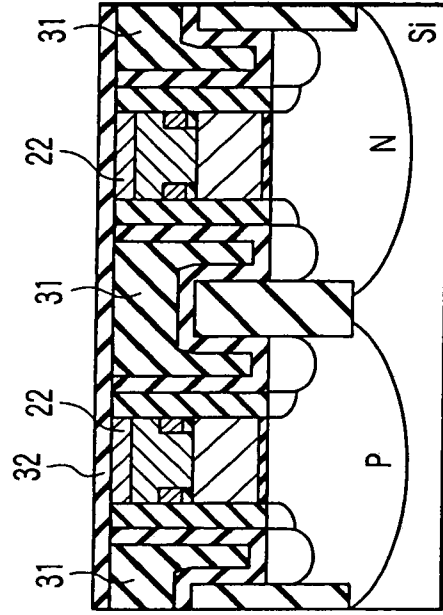


圖18B

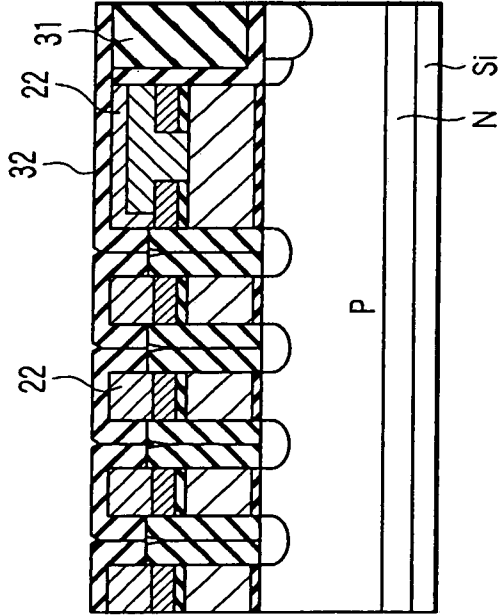


圖18A

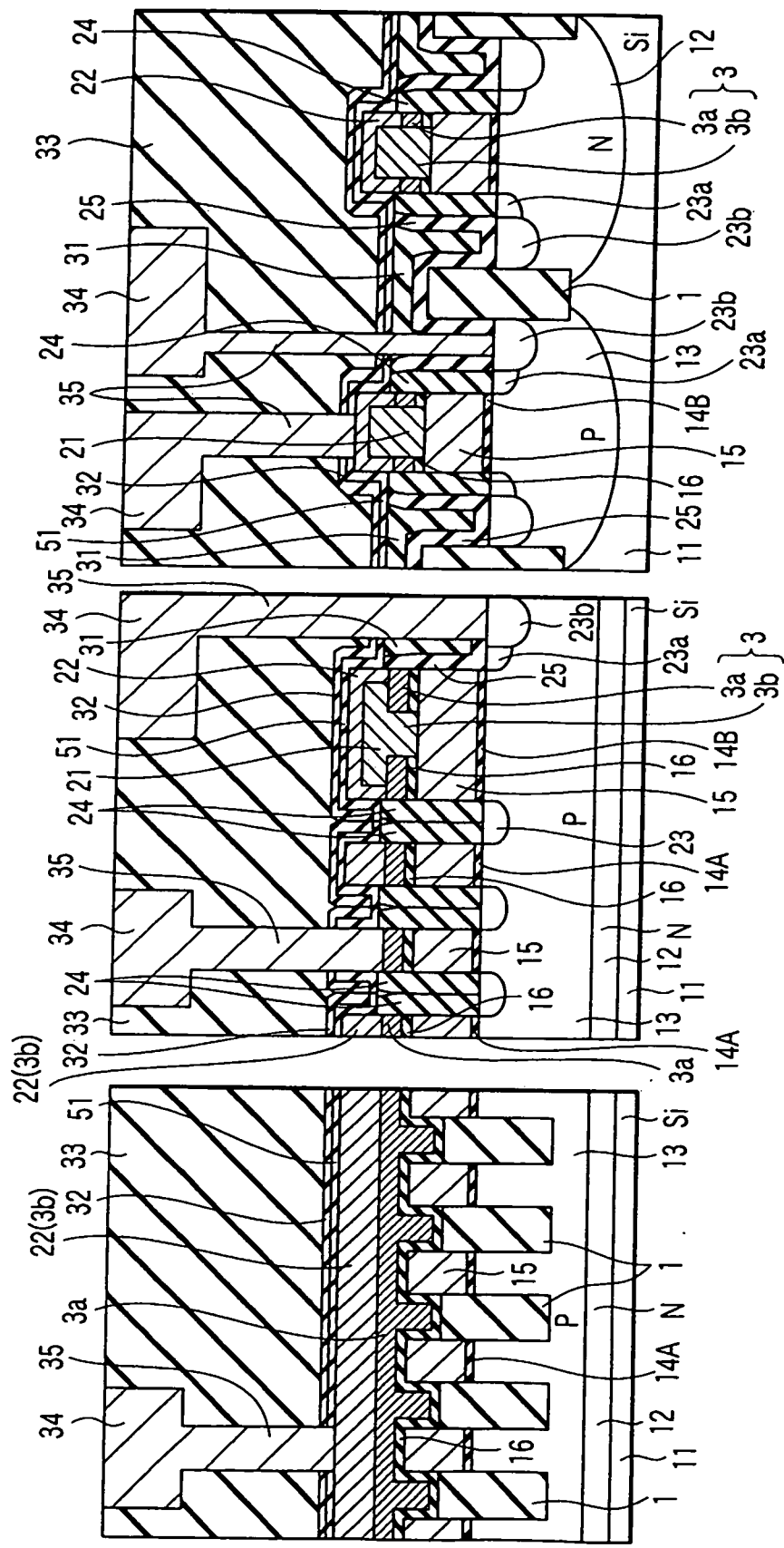


圖19A

圖19B

圖19C

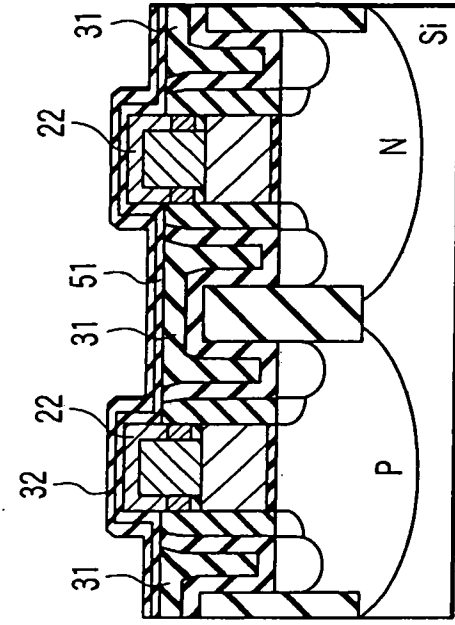


圖20C

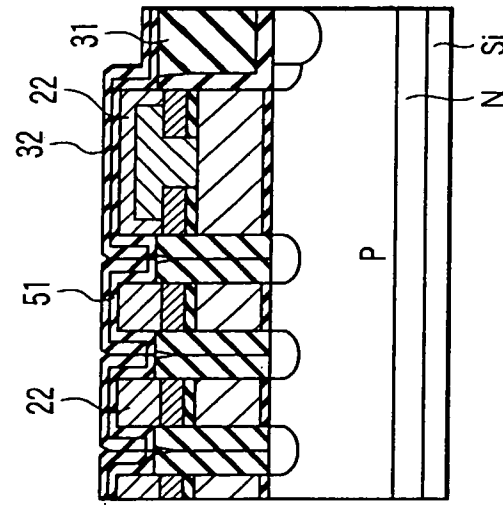


圖20B

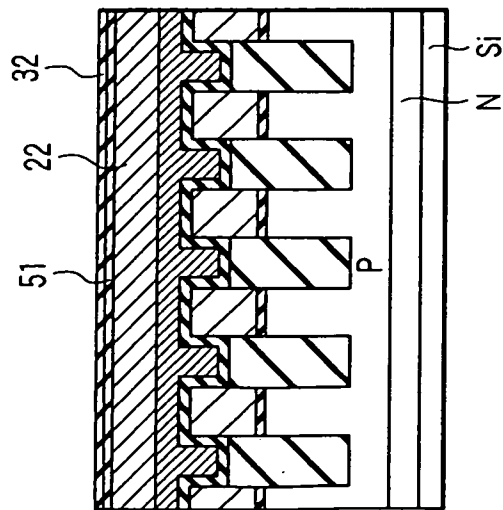


圖20A

