



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월22일

(11) 등록번호 10-2719982

(24) 등록일자 2024년10월16일

(51) 국제특허분류(Int. Cl.)

H10B 43/27 (2023.01) H01L 21/311 (2006.01)

H01L 21/768 (2006.01) H01L 23/00 (2006.01)

(52) CPC특허분류

H10B 43/27 (2023.02)

H01L 21/31111 (2013.01)

(21) 출원번호 10-2020-7000747

(22) 출원일자(국제) 2018년06월19일

심사청구일자 2021년06월18일

(85) 번역문제출일자 2020년01월09일

(65) 공개번호 10-2020-0015743

(43) 공개일자 2020년02월12일

(86) 국제출원번호 PCT/US2018/038373

(87) 국제공개번호 WO 2018/236937

국제공개일자 2018년12월27일

(30) 우선권주장

62/522,666 2017년06월20일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문헌

US20170092371 A1*

(뒷면에 계속)

전체 청구항 수 : 총 34 항

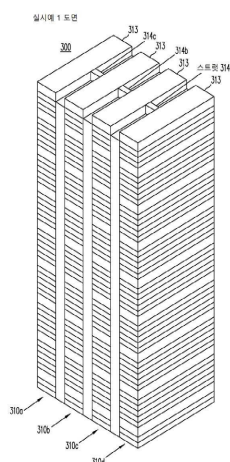
심사관 : 고연화

(54) 발명의 명칭 3차원 NOR 메모리 어레이 아키텍처 및 그의 제조 방법

(57) 요약

메모리 구조는 반도체 기판, 반도체 기판 위에 형성되는 활동 스트립의 제1 적층물 및 활동 스트립의 제2 적층물, 저장층, 및 평면인 표면에 실질적으로 수직인 제3 방향을 따라 길이 방향으로 각각 연장되어 각 활동층에 적어도 하나의 NOR 스트링을 형성하는 복수의 도체 - 각 NOR 스트링은 복수의 저장 트랜지스터를 포함함 -를 포함한다. 본 발명은 또한, 높은 종횡비 구조에 대한 식각 단계를 용이하게 하고 높은 종횡비의 메모리 적층물에서 기계적인 안정성을 향상시키는 스트럿 구조를 제공한다.

대표도 - 도5



(52) CPC특허분류

H01L 21/76802 (2013.01)

H01L 21/7682 (2013.01)

H01L 23/562 (2013.01)

(56) 선행기술조사문헌

KR1020130028791 A*

KR1020100093348 A

JP2009301600 A

KR1020150144818 A

*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

62/522,661 2017년06월20일 미국(US)

62/522,665 2017년06월20일 미국(US)

62/550,553 2017년08월25일 미국(US)

명세서

청구범위

청구항 1

메모리 구조로서,

실질적으로 평면인 표면을 갖는 반도체 기관;

상기 반도체 기관의 상기 표면 위에 형성되고 상기 평면인 표면에 실질적으로 평행한 제1 방향을 따라 미리 결정된 거리만큼 분리된 활동 스트립(active strips)의 제1 적층물 및 활동 스트립의 제2 적층물 - 활동 스트립의 각 적층물은 하나가 다른 것의 상부에 제공되는 두 개 이상의 활동 스트립을 포함하고, 인접한 활동 스트립은 제1 유전체층에 의해 서로 분리되고, 상기 활동 스트립은 상기 평면인 표면에 또한 실질적으로 평행하지만 상기 제1 방향에 직교하는 제2 방향을 따라 서로에 대해 길이 방향으로 실질적으로 정렬되고, 각 활동 스트립은 각각 제2 전도성 타입의 제2 반도체층과 제3 반도체층 사이에 끼워진(sandwiched) 제2 유전체층의 하나 이상의 리세스된 부분(recessed portions)에 제공된 제1 전도성 타입의 제1 반도체층을 포함하며, 상기 제1, 제2 및 제3 반도체층은 상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 적층됨 - ;

저장층; 및

상기 제3 방향을 따라 길이 방향으로 각각 연장되는 복수의 도체 - 각 도체는 상기 활동 스트립의 제1 적층물과 상기 활동 스트립의 제2 적층물 사이에 제공되고 상기 저장층에 의해 활동 스트립의 각 적층물로부터 분리되는 상기 도체의 그룹 내에 있어서, 각 활동 스트립에서 적어도 하나의 NOR 스트링을 형성하며, 각 NOR 스트링은 상기 활동 스트립의 상기 제1, 제2 및 제3 반도체층, 그에 인접한 상기 저장층 및 상기 그룹 내의 상기 도체로부터 형성되는 복수의 저장 트랜지스터를 포함함 - 를 포함하고,

상기 메모리 구조는, 활동 스트립의 두 개의 인접한 적층물 사이에 형성된 하나 이상의 스트럿을 포함하는 하드 마스크 층을 더 포함하고, 각 스트럿은 상기 활동 스트립의 인접한 적층물을 물리적으로 연결하는 절연층을 포함하고,

각 스트럿은 상기 적층물의 상부에서 활동 스트립의 인접한 적층물을 연결하는, 메모리 구조.

청구항 2

제1항에 있어서,

각 활동 스트립은 상기 제2 반도체층 및 상기 제3 반도체층 중 하나와 전기적으로 접촉하고 이와 길이 방향으로 실질적으로 정렬되는 적어도 하나의 금속층을 더 포함하는, 메모리 구조.

청구항 3

제1항에 있어서, 상기 제2 반도체층 및 상기 제3 반도체층 중 하나와 접촉하는 금속층을 더 포함하는, 메모리 구조.

청구항 4

제3항에 있어서,

상기 제2 반도체층과 상기 제1 유전체층 사이에 제공되는 비-전도성 재료의 층; 및

상기 비-전도성 재료의 층에 형성되는 캐비티(cavities) 또는 리세스에 제공되는 금속층 - 상기 금속층은 상기 제2 반도체층과 전기적으로 접촉함 - 을 더 포함하는, 메모리 구조.

청구항 5

제4항에 있어서, 상기 비-전도성 재료의 층은 실리콘 산화물, 붕소 도핑된 실리콘 산화물, 인 도핑된 실리콘 산화물, 붕소 인 도핑된 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 탄소 질화물, 실리콘 탄소 산소

수소, 게르마늄 및 이의 임의의 조합 중 하나 이상을 포함하는, 메모리 구조.

청구항 6

제4항에 있어서, 상기 비-전도성 재료의 층은 다공성(porous)인, 메모리 구조.

청구항 7

제3항에 있어서, 상기 금속층은 제1 서브층이 제2 서브층에 인접하고 이에 전기적으로 접촉하게 배치되고, 상기 제1 서브층이 세 개 이상의 측면 상에서 상기 제2 서브층을 둘러싸는 두 개 이상의 서브층을 더 포함하는, 메모리 구조.

청구항 8

제7항에 있어서, 상기 제2 서브층의 두께는 상기 제1 서브층의 두께의 적어도 1.5배인, 메모리 구조.

청구항 9

제3항에 있어서, 상기 금속층은 티타늄, 티타늄 질화물, 텅스텐 질화물, 텅스텐, 티타늄 텅스텐, 탄탈륨, 탄탈륨 질화물, 코발트, 크롬, 몰리브덴, 니오븀 및 이의 임의의 합금 중 하나 이상을 포함하는, 메모리 구조.

청구항 10

제3항에 있어서, 상기 금속층은 원자층 증착에 의해 증착되는, 메모리 구조.

청구항 11

삭제

청구항 12

메모리 구조로서,

실질적으로 평면인 표면을 갖는 반도체 기판;

상기 반도체 기판의 상기 표면 위에 형성되고 상기 평면인 표면에 실질적으로 평행한 제1 방향을 따라 미리 결정된 거리만큼 분리된 활동 스트립(active strips)의 제1 적층물 및 활동 스트립의 제2 적층물 - 활동 스트립의 각 적층물은 하나가 다른 것의 상부에 제공되는 두 개 이상의 활동 스트립을 포함하고, 인접한 활동 스트립은 제1 유전체층에 의해 서로 분리되고, 상기 활동 스트립은 상기 평면인 표면에 또한 실질적으로 평행하지만 상기 제1 방향에 직교하는 제2 방향을 따라 서로에 대해 길이 방향으로 실질적으로 정렬되고, 각 활동 스트립은 각각 제2 전도성 타입의 제2 반도체층과 제3 반도체층 사이에 끼워진(sandwiched) 제2 유전체층의 하나 이상의 리세스된 부분(recessed portions)에 제공된 제1 전도성 타입의 제1 반도체층을 포함하며, 상기 제1, 제2 및 제3 반도체층은 상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 적층됨 - ;

저장층; 및

상기 제3 방향을 따라 길이 방향으로 각각 연장되는 복수의 도체 - 각 도체는 상기 활동 스트립의 제1 적층물과 상기 활동 스트립의 제2 적층물 사이에 제공되고 상기 저장층에 의해 활동 스트립의 각 적층물로부터 분리되는 상기 도체의 그룹 내에 있어서, 각 활동 스트립에서 적어도 하나의 NOR 스트링을 형성하며, 각 NOR 스트링은 상기 활동 스트립의 상기 제1, 제2 및 제3 반도체층, 그에 인접한 상기 저장층 및 상기 그룹 내의 상기 도체로부터 형성되는 복수의 저장 트랜지스터를 포함함 - 를 포함하고,

상기 메모리 구조는, 활동 스트립의 두 개의 인접한 적층물 사이에 형성된 하나 이상의 스트럿을 포함하는 하드 마스크 층을 더 포함하고, 각 스트럿은 상기 활동 스트립의 인접한 적층물을 물리적으로 연결하는 절연층을 포함하고,

상기 스트럿은 상기 활동 스트립의 적층물 중 하나의 높이의 일부에서만 활동 스트립의 인접한 적층물과 접촉하고 이에 배치되는, 메모리 구조.

청구항 13

삭제

청구항 14

제1항에 있어서, 각 스트럿은 실질적으로 상기 메모리 구조의 전체 높이를 따라 활동 스트립의 인접한 적층물과 접촉하고 이에 배치되는, 메모리 구조.

청구항 15

제1항에 있어서, 상기 메모리 구조에서의 상기 저장층은 상기 메모리 구조에서 상이한 장소에 제공되는 제1 및 제2 타입의 저장 재료를 포함하고, 상기 제1 및 제2 타입의 저장 재료는 상이한 특성을 갖는, 메모리 구조.

청구항 16

제15항에 있어서, 상기 제1 및 제2 타입의 저장 재료는 각각 제1 및 제2 터널 유전체층(tunnel dielectric layers)을 포함하고, 상기 제1 터널 유전체층은 상기 제2 터널 유전체층보다 더욱 두꺼운, 메모리 구조.

청구항 17

제16항에 있어서, 상기 제1 터널 유전체층은 5nm 이상의 두께를 갖는, 메모리 구조.

청구항 18

제16항에 있어서, 상기 제2 터널 유전체층은 3nm 이하의 두께를 갖는, 메모리 구조.

청구항 19

제1항에 있어서, 상기 저장층은 산화물-질화물-산화물 재료를 포함하는, 메모리 구조.

청구항 20

메모리 구조 제공 방법으로서,

실질적으로 평면인 표면을 갖는 반도체 기판을 제공하는 것;

상기 반도체 기판의 상기 표면 위에 형성되고 상기 평면인 표면에 실질적으로 평행한 제1 방향을 따라 미리 결정된 거리만큼 분리된 활동 스트립의 제1 적층물 및 활동 스트립의 제2 적층물을 제공하는 것 - 활동 스트립의 각 적층물은 하나가 다른 것의 상부에 제공되는 두 개 이상의 활동 스트립을 포함하고, 인접한 활동 스트립은 제1 유전체층에 의해 서로 분리되고, 상기 활동 스트립은 상기 평면인 표면에 또한 실질적으로 평행하지만 상기 제1 방향에 직교하는 제2 방향을 따라 서로에 대해 길이 방향으로 실질적으로 정렬되고, 각 활동 스트립은 각각 제2 전도성 타입의 제2 반도체층과 제3 반도체층 사이에 끼워진 제2 유전체층의 하나 이상의 리세스된 부분에 제공된 제1 전도성 타입의 제1 반도체층을 포함하며, 상기 제1, 제2 및 제3 반도체층은 상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 적층됨 - ;

저장층을 제공하는 것; 및

상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 길이 방향으로 각각 연장되는 복수의 도체를 제공하는 것 - 각 도체는 상기 활동 스트립의 제1 적층물과 상기 활동 스트립의 제2 적층물 사이에 제공되고 상기 저장층에 의해 활동 스트립의 각 적층물로부터 분리되는 상기 도체의 그룹 내에 있어서, 각 활동 스트립에서 적어도 하나의 NOR 스트링을 형성하며, 각 NOR 스트링은 상기 활동 스트립의 상기 제1, 제2 및 제3 반도체층, 그에 인접한 저장층 및 상기 그룹 내의 상기 도체로부터 형성되는 복수의 저장 트랜지스터를 포함함 - 을 포함하고,

활동 스트립의 두 개의 인접한 적층물 사이에 형성된 하나 이상의 스트럿을 포함하는 하드 마스크 층을 제공하는 것을 더 포함하고, 각 스트럿은 상기 활동 스트립의 인접한 적층물을 물리적으로 연결하는 절연층을 포함하고,

각 스트럿은 상기 적층물의 상부에서 상기 활동 스트립의 인접한 적층물을 연결하는, 메모리 구조 제공 방법.

청구항 21

제20항에 있어서, 각 활동 스트립은 상기 제2 반도체층 및 상기 제3 반도체층 중 하나와 전기적으로 접촉하고

실질적으로 길이 방향으로 정렬되는 적어도 하나의 금속층을 제공하는 것을 더 포함하는, 메모리 구조 제공 방법.

청구항 22

제20항에 있어서, 상기 제2 반도체층 및 상기 제3 반도체층 중 하나에 접촉하는 금속층을 제공하는 것을 더 포함하는, 메모리 구조 제공 방법.

청구항 23

제22항에 있어서,

상기 제2 반도체층과 상기 제1 유전체층 사이에 위치되는 비-전도성 재료의 층을 제공하는 것; 및

상기 비-전도성 재료의 층에 형성되는 캐비티 또는 리세스를 차지하는 금속층을 제공하는 것 - 상기 금속층은 상기 제2 반도체층과 전기적으로 접촉함 -을 더 포함하는, 메모리 구조 제공 방법.

청구항 24

제23항에 있어서, 상기 비-전도성 재료의 층은 실리콘 산화물, 붕소 도핑된 실리콘 산화물, 인 도핑된 실리콘 산화물, 붕소 인 도핑된 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 탄소 질화물, 실리콘 탄소 산소 수소, 게르마늄 및 이의 임의의 조합 중 하나 이상을 포함하는, 메모리 구조 제공 방법.

청구항 25

제23항에 있어서, 상기 비-전도성 재료의 층은 다공성인, 메모리 구조 제공 방법.

청구항 26

제22항에 있어서, 상기 금속층은 제1 서브층이 제2 서브층에 인접하고 이에 전기적으로 접촉하게 배치되고, 상기 제1 서브층이 세 개 이상의 측면 상에서 상기 제2 서브층을 둘러싸는 두 개 이상의 서브층을 더 포함하는, 메모리 구조 제공 방법.

청구항 27

제26항에 있어서, 상기 제2 서브층의 두께는 상기 제1 서브층의 두께의 적어도 1.5배인, 메모리 구조 제공 방법.

청구항 28

제22항에 있어서, 상기 금속층은 티타늄, 티타늄 질화물, 텅스텐 질화물, 텅스텐, 티타늄 텅스텐, 탄탈륨, 탄탈륨 질화물, 코발트, 크롬, 몰리브덴, 니오븀 및 이의 임의의 합금 중 하나 이상을 포함하는, 메모리 구조 제공 방법.

청구항 29

제22항에 있어서, 상기 금속층은 원자층 증착에 의해 증착되는, 메모리 구조 제공 방법.

청구항 30

삭제

청구항 31

메모리 구조 제공 방법으로서,

실질적으로 평면인 표면을 갖는 반도체 기판을 제공하는 것;

상기 반도체 기판의 상기 표면 위에 형성되고 상기 평면인 표면에 실질적으로 평행한 제1 방향을 따라 미리 결정된 거리만큼 분리된 활동 스트립의 제1 적층물 및 활동 스트립의 제2 적층물을 제공하는 것 - 활동 스트립의 각 적층물은 하나가 다른 것의 상부에 제공되는 두 개 이상의 활동 스트립을 포함하고, 인접한 활동 스트립은 제1 유전체층에 의해 서로 분리되고, 상기 활동 스트립은 상기 평면인 표면에 또한 실질적으로 평행하지만 상기

제1 방향에 직교하는 제2 방향을 따라 서로에 대해 길이 방향으로 실질적으로 정렬되고, 각 활동 스트립은 각각 제2 전도성 타입의 제2 반도체층과 제3 반도체층 사이에 끼워진 제2 유전체층의 하나 이상의 리세스된 부분에 제공된 제1 전도성 타입의 제1 반도체층을 포함하며, 상기 제1, 제2 및 제3 반도체층은 상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 적층됨 - ;

저장층을 제공하는 것; 및

상기 평면인 표면에 실질적으로 수직인 제3 방향을 따라 길이 방향으로 각각 연장되는 복수의 도체를 제공하는 것 - 각 도체는 상기 활동 스트립의 제1 적층물과 상기 활동 스트립의 제2 적층물 사이에 제공되고 상기 저장층에 의해 활동 스트립의 각 적층물로부터 분리되는 상기 도체의 그룹 내에 있어서, 각 활동 스트립에서 적어도 하나의 NOR 스트링을 형성하며, 각 NOR 스트링은 상기 활동 스트립의 상기 제1, 제2 및 제3 반도체층, 그에 인접한 저장층 및 상기 그룹 내의 상기 도체로부터 형성되는 복수의 저장 트랜지스터를 포함함 - 을 포함하고,

활동 스트립의 두 개의 인접한 적층물 사이에 형성된 하나 이상의 스트럿을 포함하는 하드 마스크 층을 제공하는 것을 더 포함하고, 각 스트럿은 상기 활동 스트립의 인접한 적층물을 물리적으로 연결하는 절연층을 포함하고,

상기 스트럿은 상기 활동 스트립의 적층물 중 하나의 높이의 일부에서만 활동 스트립의 인접한 적층물과 접촉하고 이에 배치되는, 메모리 구조 제공 방법.

청구항 32

삭제

청구항 33

제20항에 있어서, 각 스트럿은 실질적으로 상기 메모리 구조의 전체 높이를 따라 활동 스트립의 인접한 적층물과 접촉하고 이에 배치되는, 메모리 구조 제공 방법.

청구항 34

제20항에 있어서, 상기 메모리 구조에서의 상기 저장층은 상기 메모리 구조에서 상이한 장소에 제공되는 제1 및 제2 타입의 저장 재료를 포함하고, 상기 제1 및 제2 타입의 저장 재료는 상이한 특성을 갖는, 메모리 구조 제공 방법.

청구항 35

제34항에 있어서, 상기 제1 및 제2 타입의 저장 재료는 각각, 제1 및 제2 터널 유전체층을 포함하고, 상기 제1 터널 유전체층은 상기 제2 터널 유전체층보다 더욱 두꺼운, 메모리 구조 제공 방법.

청구항 36

제35항에 있어서, 상기 제1 터널 유전체층은 5nm 이상의 두께를 갖는, 메모리 구조 제공 방법.

청구항 37

제35항에 있어서, 상기 제2 터널 유전체층은 3nm 이하의 두께를 갖는, 메모리 구조 제공 방법.

청구항 38

제20항에 있어서, 상기 저장층은 산화물-질화물-산화물 재료를 포함하는, 메모리 구조 제공 방법.

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

발명의 설명

기술 분야

[0001] 본 발명은 비-휘발성 NOR-타입 메모리 스트링(memory strings)에 관한 것이다. 특히, 본 발명은 이러한 비-휘발성 NOR-타입 메모리 스트링의 3차원 구조에 대한 제조 공정에 관한 것이다.

배경 기술

[0002] 동시 계류중인 출원에 개시된 것과 같은 고밀도의 3차원 메모리 구조에서, 소스 서브층(source sublayer) 또는 드레인 서브층(drain sublayer)에 전기적으로 연결된 금속 서브층 셉트(shunt)를 포함하는 것이 바람직하다. 소스 및 드레인 양자는 전도성 서브층 셉트에 의해 (즉, 별도의 전도성 서브층으로서) 접촉될 수 있다. 예를 들어, 동시 계류중인 출원의 도 5a에 도시된 프로세스에서, 소스 서브층(521), 드레인 서브층(523), 희생 서브층(sacrificial sublayer, 522)(이후에 채널 서브층으로 대체됨)에 부가하여 전도성 서브층이 증착될 수 있다. 이들 서브층은 한 번에 하나의 서브층씩 증착되며, 그 후 포토레지스트(photoresist)를 사용하여 패터닝되고 식각된다. 이 상세한 서술에서, 임의의 연관된 전도성 서브층을 포함하는 드레인, 소스 및 채널 또는 희생 서브층은 집합적으로 "활동층(active layer)"으로 지칭되며, 하나가 다른 것의 위에 제공되고, 유전체층에 의해 서로에 의해 분리된 다수의 활동층은 "NIN 적층물(stack)"으로 지칭된다.

[0003] 금속 서브층은 소스 및 드레인 서브층의 각각에서 상당히 감소된 저항을 달성하도록 제공된다. 더욱 낮은 저항은 더욱 낮은 저항-커패시턴스(RC) 시간 상수에 대응하며, 이는 더욱 고속의 디바이스를 초래한다. 이를 위해, 두꺼운 금속을 포함하는 전도성 서브층을 사용하여 낮은 저항을 달성하는 것이 바람직하다.

[0004] 후속하는 상승된 온도 공정(> 500℃)을 견딜 수 있는 금속(예를 들어, 텅스텐)을 갖는 전도성 서브층은 식각 선택성(etch selectivity)에 기인하여 3D 메모리 구조에서 식각하기가 어렵다. 즉, 전도성 층의 식각 속도는 식각되지 않을 다른 피처를 보호하기 위해 사용되는 포토레지스트 및/또는 하드 마스크의 식각 속도보다 상당히 높지 않을 수 있다. (일반적으로, 식각되도록 의도되지 않는 재료를 보호하기 위해, 대상 재료(target material)

는 마스크층 또는 층들보다 상당히 빠른 속도로 식각되어야 한다. 대상 재료의 식각이 완료되기 전에, 마스크층 또는 층들이 완전히 제거되는 것은 바람직하지 않을 것이다). 각 금속 서브층이 두꺼워지고, 더욱 많은 수의 금속 서브층이 적층물에 존재하고(예를 들어, 금속 섀트 서브층이 소스 및 드레인 서브층 양자에 제공되고), 더욱 많은 메모리층(예를 들어, 8개 또는 16개의 층의 활동 스트립)이 제공될 때, 식각 선택성이 심지어 더욱 큰 문제가 될 것이다. 하지만, 더욱 낮은 비용으로 더욱 높은 밀도를 달성하기 위해, 8개 이상의 메모리층을 제공하는 것이 바람직하다.

[0005] 이들 메모리 구조의 제조 시 직면하는 또 다른 문제점은 그의 높은 종횡비에 기인한 그의 기계적인 안정성이다. (이에 관련하여, 종횡비는 구조의 높이와 그의 폭 사이의 비율이다). 높은 종횡비를 갖는 반도체 구조는 기계적으로 불안정할 수 있어서, 제조 공정 동안 그 구조가 기울어지거나(lean) 또는 심지어 완전히 쓰러진다는(topples) 것이 나타났다.

발명의 내용

[0006] 본 발명은 높은 종횡비 구조에서 낮은 비용의 저-저항 금속 상호 연결(interconnects) 및 기계적인 안정성을 획득하는 것을 다룬다. 본원에 개시된 다양한 실시예에 따라, 본 발명은 모든 패턴화된 포토레지스트가 더 이상 존재하지 않을 이후까지, 제조 공정에서 금속 식각 단계에 대한 필요성을 지연시키는(defers) 대체 금속 공정을 제공한다. 이 공정 하에서, 전도성 서브층은 두껍고 다수 개일 수 있다. 본 발명은 또한, 높은 종횡비 구조에 대한 식각 단계를 용이하게 하는 스트럿 구조(strut structure)를 제공하며, 이는 높은 종횡비의 메모리 적층물에서 기계적인 안정성을 향상시킨다.

[0007] 본 발명은 첨부 도면과 함께 아래의 상세한 설명을 고려할 때 더욱 잘 이해될 것이다.

도면의 간단한 설명

[0008] 도 1a는 활동층(110)에 형성될 반도체 디바이스를 반도체 기판(108)에 형성된 디바이스에 연결하기 위한 수단을 제공받는, 형성될 활동층(110)을 갖는 메모리 구조(100)를 도시한다; 도 1a에서, 메모리 구조(100)에서의 활동층(110)은 제1 반도체층(101) 및 제2 반도체층(103), 제1 희생층(102) 및 제2 희생층(104)을 포함하고, 이는 도체("전역 워드선(global word lines)")의 층(106) 위에 제조되며, 하나 이상의 유전체층에 의해 반도체 기판(108)으로부터 분리되며, 활동층(110)에 형성될 디바이스는 유전체층에 형성된 비아(107)를 통해 반도체 기판(108) 내의 회로에 연결될 수 있다.

도 1b는 도 1a의 메모리 구조(100) 및 n^+ 도핑된 반도체층(101)과 반도체 기판(108) 사이의 비아(107)를 통한 연결로부터 형성되는(built up) 메모리 구조의 세 개의 활동층을 도시한다.

도 1c는 여덟 개의 활동층을 갖는 메모리 구조(150)를 도시하며, 각 활동층은 도핑된 실리콘으로 채워진 비아에 의해 반도체 기판에 연결되게 형성될 비트 선(bit line)을 포함한다

도 1d는 N^+ 도핑된 반도체 서브층(101)과 반도체 기판(108) 사이의 그의 비아 연결 및 형성될 활동층에 대한 비아 연결의 부분과 함께, 메모리 구조(160)에서 제1 활동층의 제조를 도시하는 단면을 도시한다.

도 1e는 제2 활동층이 제1 활동층과 유사한 방식으로 형성된 이후의 도 1d의 메모리 구조(160)를 도시한다.

도 2a는 본 발명의 일 실시예에 따른, NIN 적층물에서 다양한 재료층을 포함하는 메모리 구조(500)의 개략적인 단면을 도시한다.

도 2b는 도 1의 단면과 실질적으로 90도인 다른 시야로부터의 도 2a의 메모리 구조의 단면을 도시한다; 도 1의 단면은 예를 들어, 도 2에서 참조 부호 550으로 표시된 영역을 가로지르는 수직 평면을 통한 단면일 수 있다.

도 3은 각각 여덟 개의 활동층을 포함하는 네 개의 NIN 적층물(310a, 310b, 310c 및 310d)을 3차원으로 도시하며, 여기서 각 활동층은 소스 서브층(303), 드레인 서브층(301), 층간 유전체(interlayer dielectric, ILD) 층(309), SAC1 재료를 포함한 서브층(302), 소스 서브층(303)에 접촉하는 SAC4 재료를 포함한 제2 희생 서브층(304a), 드레인 서브층(301)에 접촉하는 SAC4 재료를 포함한 제2 희생 서브층(304b)을 포함한다.

도 4는 도 3의 트렌치(310a, 310b 및 310c)를 채우고 NIN 적층물의 상부를 덮기 위해 증착되는 제3 희생 재료층(318)("SAC2 재료")을 도시한다.

도 5는 도 4의 메모리 구조(300) 상에 증착된 구조층(314)을 패턴화 한 이후의 결과적인 메모리 구조(300)를 도

시한다.

도 6은 나머지 트렌치를 제공하기 위해 도 5의 NIN 적층물을 더 패턴화 한 이후의 결과적인 메모리 구조(300)를 도시한다.

도 7은 도 6의 각 NIN 적층물로부터 SAC4-포함 제2 희생 서브층(304a 및 304b)을 제거하고, 이에 후속하여 결과적인 캐비티에 전도성 재료를 증착하고, 전도성 서브층(319a 및 319b)을 형성하며, 트렌치의 측벽 및 NIN 적층물 상부의 노출된 구역으로부터 전도성 서브층을 제거한 결과를 도시한다.

도 8은 도 7의 메모리 구조에서 활동층의 서브층을 더욱 상세하게 도시하며, 여기서 전도성 서브층은 두 개 이상의 금속 서브층에 의해 형성된 금속 막을 포함한다.

도 9는 트렌치(312a, 312b 및 312c)로부터 SAC2 재료를 제거한 이후의 도 7의 메모리 구조(300)를 도시한다.

도 10은 선택적인 식각이 SAC1-포함 제1 희생 서브층(302)을 부분적으로 제거한 후, 채널 서브층(332)의 증착 및 식각이 후속되는 도 9의 메모리 구조(300)를 도시한다.

도 11은 저장층(335)(예를 들어, 산화물-질화물-산화물(ONO) 층) 및 워드선 층(336)이 증착되고 패턴화된 이후의 도 10의 메모리 구조(300)를 도시한다.

도 12a는 스트럿(314d, 314e 및 314f)이 트렌치의 초기 세트가 형성된 이후에 형성되는 상이한 스트럿 구조를 도시한다.

도 12b는 메모리 구조의 구역을 정의하도록 식각된 메모리 구조(370)에서의 제1 활동층을 도시한다; 비아(377a, 377b 및 377c)도 또한, 활동층 내로 식각된다.

도 12c는 제2 활동층이 형성된 이후, 및 제2 활동층에 식각된 비아(377a, 377b 및 377c)가 ILD 재료로 채워지기 이전의 도 12b의 메모리 구조(370)를 도시한다.

도 12d는 여덟 개의 활동층이 형성된 이후의 도 12c의 메모리 구조(370)를 도시한다.

도 12e는 도 12d의 메모리 구조에서 NIN 적층물을 생성하기 위해 선택적인 식각에 의해 트렌치를 형성하는 것을 도시하고, 선택적인 식각은 활동층을 통해 채워진 비아(377a, 377b, 377c 및 377d) 내의 ILD 필러(pillars)를 온전히(intact) 남겨둔다.

도 13은 SAC4 재료(예를 들어, 제2 희생 서브층(304a 및 304b))의 제거 및 금속 대체가 아직 이루어지지 않은 것을 제외하고, 도 11의 메모리 구조(300)와 실질적으로 동일한 메모리 구조(400)를 도시한다.

도 14는 워드선 층(336)에서 스킵된 섹션(skipped section, 405)에 대응하는 NIN 적층물의 부분이 노출된 이후의 도 13의 메모리 구조(400)를 도시한다.

도 15는 금속 대체가 완료된 이후의 도 14의 메모리 구조(400)를 도시한다.

도 16은 두 개의 메모리 셀을 나타내는 메모리 어레이(400)의 일부의 단면이며, SAC4 재료-포함 제2 희생 서브층(304a 및 304b)은 식각에 의해 제거되고 라이너/배리어 서브층(liner/barrier sublayer) 및 더욱 전도성인 서브층의 조합으로 대체된다.

도 17은 부분적으로 제거된 SAC1 재료-포함 제1 희생 서브층(302)의 양 측면의 리세스(recesses)를 채우는 채널 서브층(332)을 생성한 후에, 네 개의 NIN 적층물(501a, 501b, 501c 및 501d)("부분 1")을 포함하는 메모리 구조(500)를 도시한다.

도 18은 유전체층(509)이 증착되고, 예를 들어, 식각 또는 CMP 단계를 사용하여 NIN 적층물의 상부에서 유전체층(509)의 유전체 재료가 제거된 이후의 도 18의 메모리 구조(500)를 도시한다.

도 19는 부분 1의 상부에 네 개의 부가(more) NIN 적층물(501e, 501f, 501g 및 501h)("부분 2")의 추가적인 부분을 제조함으로부터 생성되는 메모리 구조(500)를 도시한다.

도 20은 유전체층(509)과 동일한 유전체 재료와 같은 유전체 재료가 트렌치 내로 증착되고, 메모리 구조(500)가 부분 2 및 1 양자에서 두 개의 트렌치 당 하나(every other trench)로부터 유전체 재료를 제거하도록 패턴화되고 식각된, 도 19의 메모리 구조(500)를 도시한다.

도 21은 각 활동층의 SAC4 재료-포함 제2 희생 서브층(304a 및 304b)이 선택적인 식각에 의해 제거되고 전도성

서브층(319a 및 319b)으로 대체된 이후의 도 20의 메모리 구조(500)를 도시한다; 도 21에 도시된 바와 같이, 트렌치의 측벽 및 NIN 적층물의 상부 상의 증착으로부터 과도한 전도성 재료가 제거된다.

도 22는 각 NIN 적층물의 일측 상에 저장층(446) 및 로컬 워드선 층(336)이 형성된 이후의 도 21의 메모리 구조(500)를 도시한다.

도 23은 두 개의 트렌치 당 하나에서 유전체층(509) 내의 나머지 재료가 완전히 제거되고, 제거된 유전체 서브층에서 저장층 및 워드선의 형성 이후의 도 22의 메모리 구조(500)를 도시한다; 도 23은 메모리 구조(500)에서 선택된 메모리 셀을 다루기 위해 워드선 층(336)으로부터 형성된 로컬 워드선에 연결하기 위해 NIN 적층물 위에 형성된 전역 워드선(106a)을 더 도시한다.

도 24는 상이한 폭의 트렌치(602-1, 602-2, 602-3, 602-4 및 602-5)에 의해 분리된 여섯 개의 NIN 적층물(601a, 601b, 601c, 601d, 601e 및 601f)을 포함하는 메모리 구조(600)를 도시한다.

도 25는 유전체 재료(609)가 좁은 트렌치(602-2 및 602-4)에서만 유전체 재료(609)를 남기고, NIN 적층물의 상부 및 넓은 트렌치(602-1, 602-3 및 602-5)로부터 제거되는 것을 허용하도록, 증착되고 패턴화된 이후의 도 24의 메모리 구조(600)를 도시한다.

도 26은 SAC1 재료-포함 제1 회생 서브층(302)의 부분적인 제거, 및 제1 회생층(302)으로부터 SAC1 재료를 제거하는 것으로부터 리세스된 캐비티를 채우기 위한 채널 층(322)의 증착 이후의 도 25의 메모리 구조(600)를 도시한다.

도 27은 저장 서브층(335)(예를 들어, ONO 서브층)의 증착 이후에, NIN 적층물의 상부 및 트렌치의 바닥 양자로부터 이방성 식각에 의해 선택적으로 제거된 도 26의 메모리 구조(600)를 도시한다.

도 28은 전도성 재료가 워드선 층(336)을 형성하기 위해 증착되고, 그 후에 워드선을 형성하기 위해 패턴화되고 식각된 이후의 도 27의 메모리 구조(600)를 도시한다.

도 29는 SAC4 재료-포함 제2 회생 서브층(304a 및 304b)의 제거 또는 부분적인 제거로부터 생성된 캐비티 내로의 전도성 서브층(319a 및 319b)의 증착 이후, 그리고 트렌치의 측벽 및 NIN 적층물의 상부 상의 과도한 전도성 재료가 그 후에 캐비티를 채우는 전도성 서브층(319a 및 319b)을 남기고 제거된 이후의 도 28의 메모리 구조(600)를 도시한다.

도 30은 유전체 재료(612)가 좁은 트렌치(602-2 및 602-4)를 채우도록 증착되고, NIN 적층물의 상부 위에 있는 워드선 층(336)의 부분의 하부 표면 아래로 식각함으로써 리세스된 이후, 그리고 예를 들어, 이중 다마신 공정(dual damascene process)을 사용하여 전역 워드선(106a)이 NIN 적층물 위에 형성된 이후의 도 29의 메모리 구조(600)를 도시한다.

도 31은 여덟 개의 활동층을 포함하는 메모리 구조(700)를 도시한다; 활동층은 전역 워드선의 역할을 하는 아래의 도체(106s)로부터 하부 활동층(bottom active layer)을 분리하는 상부 절연층(720)(미도시; 예를 들어, SiO₂) 상에 제조된다.

도 32는 제2 하드 마스크 층(702)이 전체 메모리 구조(700) 위에 증착된 이후의 도 31의 메모리 구조(700)를 도시한다.

도 33은 연결된 NIN 적층물(710a, 710b, 710c 및 710d)을 형성하기 위해 활동층의 전체 길이로 패턴화하고 식각함으로써 트렌치가 형성된 이후의 도 32의 메모리 구조(700)를 도시한다.

도 34는 트렌치가 회생 재료(SAC2)로 채워진 후에 두 개의 트렌치 당 하나로부터 SAC2 재료의 패턴화 및 제거가 후속하는 도 33의 메모리 구조(700)를 도시한다.

도 35는 선택적인 식각에 의해 노출된 SAC4-포함 제2 회생 서브층(304a 및 304b)을 제거하고 전도성 서브층(319a 및 319b)으로 대체된 이후의 도 34의 메모리 구조(700)를 도시한다; 트렌치의 측벽 상의 및 NIN 적층물의 상부에서의 임의의 과도한 전도성 서브층 재료는 실질적으로 제2 회생 서브층(304a 및 304b)으로부터 SAC4 재료의 제거로부터 생성된 캐비티 내의 전도성 서브층(319a 및 319b)만을 남기고, 이방성 식각을 사용하여 제거될 수 있다.

도 36은 전도성 서브층(319a 및 319b)이 선택적인 식각을 사용하여 측벽으로부터 전도성 서브층(319a 및 319b)을 리세스함으로써 밀봉된 이후, 유전체 벽 재료를 결과적인 리세스 내로 증착하는 것이 후속된 도 3r의 메모리

구조(700)를 도시한다.

도 37은 리세스된 채널 서브층(332)의 형성 이후의 도 36의 메모리 구조(700)를 도시한다.

도 38은 트렌치의 측벽 위에 저장층(335) 및 얇은 보호 유전체 서브층(713)의 증착 이후, 및 NIN 적층물의 상부 및 트렌치의 바닥으로부터 보호 유전체 서브층(713)과 함께, 저장층(335)의 이방성 식각에 의한 제거 이후의 도 37의 메모리 구조(700)를 도시한다.

도 39는 비아(719)가 두 개의 트렌치 당 하나 내로 식각되는 것을 허용하기 위해 (SAC2 재료를 포함하는) 희생 유전체층(718)이 트렌치 내에 증착되고 패턴화된 이후의 도 38의 메모리 구조(700)를 도시한다; 비아(719)는 전역 워드선의 역할을 하는 아래에 있는 도체(106s)를 노출시키기 위해 아래에 있는 유전체층(720)을 통해 NIN 적층물의 전체 높이로 연장한다.

도 40은 이후에 NIN 적층물의 상부로부터 제거되고 선택적인 식각에 의해 하드 마스크층(701 및 702) 아래로 리세스되는 전도성 재료(전도성 층(336))의 증착 이후, 그리고 바람직한 경우, 노출된 구역으로부터 전도성 층(336) 및 또한, 보호 유전체층(713) 양자의 패턴화 및 제거 이후의 도 39의 메모리 구조(700)를 도시한다.

도 41은 로컬 워드선이 NIN 적층물의 반대편 상의 위치에서 스테거되는 것을 초래하는(즉, NIN 적층물의 반대편 상에서 서로 직접적으로 대향하지 않는) 도 40의 메모리 구조(700)를 패턴화하는 일 경우를 삽입물(inset)로 도시한다.

도 42는 비아가 NIN 적층물 아래의 전역 워드선(106s)에 연결되지 않은 로컬 워드선에 전역 워드선(106a)의 제2 층을 연결시키도록 제공되는, 증착된 유전체층(721) 위에 전역 워드선(106a)의 제2 층을 형성한 이후의 도 41의 메모리 구조(700)를 도시한다.

도 43은 스페이서(802)를 갖는 인접한 하드 마스크 피처(801) 사이에서 트렌치(803)가 식각되는 메모리 구조(800)를 도시한다; 하드 마스크 피처(803)는 후속하여 형성될 피처에 비해 크다.

도 44는 트렌치(803) 제1 세트의 식각 이후, 및 인접한 하드 마스크 피처(801)의 스페이서(802)를 연결하는 스트럿 층 피처(804a)의 형성 이후의 도 43의 메모리 구조(800)를 도시한다.

도 45는 하드 마스크 피처(801)의 제거 및 마스크로서 측벽 피처(802)를 사용하여 제2 트렌치 세트(805)를 식각한 이후의 도 44의 메모리 구조(800)를 도시한다.

도 46은 그 위에 형성된 수직 상호 연결부(901s)를 포함하는 전역 워드선(106s)을 도시한다.

도 47은 전역 워드선(106s) 및 도 46의 수직 상호 연결부(901s) 위에 형성된 3개의 NIN 적층물(910a, 910b 및 910c)로 식각된 여덟 개의 활동층을 포함하는 메모리 구조(900)를 도시한다.

도 48은 트렌치(911-1 및 911-2)를 채우는 임시 충전 재료(예를 들어, SAC2 재료)와 함께, 도 47의 메모리 구조(900) 위의 하드 마스크 층(902)에서 피처를 연결하는 스트럿 구조(903)의 형성을 도시한다.

도 49는 도 48의 메모리 구조(900)에 형성되는 추가적인 트렌치(911-3, 911-4 및 911-5)를 도시한다.

도 50은 도 49의 메모리 구조(900)에서 (i) 활동층에서 제1 희생 서브층(302)에서의 SAC1 재료의 부분적인 제거 및 결과적인 캐비티에서 채널 재료(332)로의 대체, 및 (ii) 각각 금속 대체 공정을 사용하여, 활동층 내의 희생 서브층(304a 및 304b)의 SAC4 재료의 전도성 서브층(319a 및 319b)으로의 대체를 도시한다.

도 51은 SAC2 재료를 트렌치(911-3, 911-4 및 911-5)에 증착하고, 원자층 식각이 소스 서브층(303) 및 드레인 서브층(301) 내의 개구부(923 및 921)가 각각 ("분리")되는 것을 허용하기 위해, 활동층에서 반도체 서브층(303, 332 및 301)을 노출시키는 비아를 생성하도록 패턴화한 이후의 도 50의 메모리 구조(900)를 도시한다.

도 52는 그 후에 NIN 적층물의 상부 및 두 개의 트렌치 당 하나의 바닥으로부터 과도한 재료를 제거하기 위해 이방성으로 식각되는, 저장층(335) 및 보호 유전체 서브층(713)(예를 들어, 각각 ONO 및 Al_2O_3 서브층)의 증착을 도시한다.

도 53은 로컬 워드선의 절반이 메모리 구조(900) 하에 전역 워드선(106s)에 전기적으로 연결되도록, 워드선 층(336)의 증착, 패턴화 및 식각에 의해 수직 로컬 워드선이 형성된 이후의 도 52의 메모리 구조(900)를 도시한다.

도 54는 메모리 구조(900) 아래의 전역 워드선(106s)에 연결되지 않은 로컬 워드선에 연결을 제공하는, 도 53의

메모리 구조(900) 위의 유전체층 위에 전역 워드선(106a) 및 수직 상호 연결부(901a)가 형성된 것을 도시한다.

이 상세한 서술에서, 도면 내의 유사한 요소는 도면에서의 피처에 대한 참조를 용이하게 하기 위해 유사한 참조 부호가 제공된다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 다양한 실시예가 일반적으로 본원에서 서술된다. 다양한 실시예가 서술된 이후에, 다양한 실시예를 형성하는데 적용될 수 있는 재료 및 제조 단계의 일부 특정한 예시가 서술된다.
- [0010] 이 상세한 서술에서, (대상 층에 적용되는) "패턴화"란 용어는 (i) 대상 층 위에 마스크링 층(예를 들어, 포토레지스트 층 또는 하드 마스크 층)을 제공하고, (ii) 적합한 포토리소그래피(photolithography) 기법을 사용하여 마스크링 층에 패턴을 생성하며, (iii) 식각 단계를 사용하여 마스크링 층의 패턴을 대상 층으로 전사하는 것으로 언급된다.
- [0011] 일 예시에서, 마스크링 층은 통상의 기술자에게 알려진 "하드 마스크" 층이다. 하드 마스크 재료로부터 마스크링 층을 생성하기 위해, 하드 마스크 재료가 먼저, 대상 층 상에 (예를 들어, 증착에 의해) 제공되고, 이후에 포토레지스트 재료가 제공된다. 그 후, 포토레지스트 패턴이 패턴화된다. 포토레지스트 내의 패턴은 하드 마스크 재료의 일부를 식각제에 선택적으로 노출시키고, 식각제로부터 하드 마스크 재료의 나머지를 보호한다. 그 후, 포토레지스트의 패턴은 식각제에 의해 하드 마스크 재료로 전사되고, 이는 하드 마스크 재료의 노출된 부분을 제거하여, 하드 마스크 재료의 보호된 부분을 남긴다. 그 후, 하드 마스크 재료는 대상 층을 패턴화하기 위한 마스크링 층이 되도록 고정(예를 들어, 베이킹(baking)에 의해)될 수 있다. 대상 층이 통상적으로 다른 식각 단계에 의해 패턴화된 이후에, 마스크링 층은 후속 단계에서 제거될 수 있다. 하드 마스크가 필요하지 않은 예시에서, 포토레지스트 층의 패턴은 대상 층에 직접적으로 전사될 수 있다. 이 상세한 서술에서, 본 명세서에서 달리 명시적으로 언급되지 않는 한, 마스크링 재료는 대상 층의 식각 단계 또는 단계들의 완료 이후 적절한 때에 제거된다.
- [0012] 이 상세한 서술에서, 반도체 기판 위에 메모리 구조를 제조하는 방법이 서술된다. 메모리 구조를 형성하기 이전에, 종래의 기법을 사용하여 반도체 기판 상에 또는 그 내부에 다양한 디바이스 및 회로가 형성된다. 비트 선을 반도체 기판 상의 또는 그 내부의 디바이스 또는 회로에 연결하기 위한 방법의 예시가 먼저 일반적으로 서술된다. 이러한 방법은 보통, 메모리 구조의 형성 이전에 수행된다.
- [0013] 비트 선 연결의 서술 이후에, 메모리 구조에 관련된 본 발명의 다양한 실시예가 서술된다. 이들 실시예는 일반적으로, 개별적인 메모리 셀의 어레이를 형성하기 위해 메모리 구조를 제조하는 다양한 태양에 관련된다. 이들 실시예에서, 메모리 구조는 형성되고, 반도체 기판 상에 또는 그 내에 이미 형성된 디바이스 및 회로에 연결된 비트 선을 포함한다.
- [0014] 반도체 기판 내의 메모리 구조 및 디바이스에 형성될 비트 선 사이의 연결의 형성 - 예시 1:
- [0015] 도 1a는 활동층(110)에 형성될 반도체 디바이스를 반도체 기판(108)에 형성된 디바이스에 연결하기 위한 수단을 제공받는, 형성될 활동층(110)을 갖는 메모리 구조(100)를 도시한다. 도 1a의 메모리 구조(100)를 형성하기 위해, 도체의 층(106)("전역 워드선")이 제1 유전체층 위의 반도체 기판(108) 위에 먼저 제조된다. 그 후, 제2 유전체층이 전역 워드선(106) 위에 및 그 주위에 증착된다. 그 후, 제2 유전체층은 화학 기계적 연마(chemical mechanical polishing, CMP) 공정을 사용하여 평탄화된다. 그 후, 희생 재료(SAC4)는 희생층(104)으로서 제2 유전체층 위에 제공된다. 그 후, 희생층(104)의 상부 표면으로부터 반도체 기판(108) 내의 회로에 도달하는 비아(107)를 형성하기 위해, 희생층(104)이 패턴화되고, 하나 이상의 식각 단계가 희생층(104)(즉, 재료 SAC4), 제2 유전체층 및 제1 및 제2 유전체층을 통해 식각한다. 그 후, 비아(107)는 후속 단계에서 도체 재료로 채워질 수 있다.
- [0016] 대안적으로, 비아(107)는 희생 재료(SAC4)의 증착 이전에 제1 및 제2 유전체층에서 식각될 수 있다. 그 대안적인 접근법에서, SAC4 재료는 또한, 제1 및 제2 유전체층을 통한 식각에 의해 형성된 비아(107)를 채운다.
- [0017] 아래에서 언급된 바와 같이, 희생층(104) 및 비아(107) 내의 희생 재료(SAC4)는 차후에 금속과 같은 저-저항 도체 재료로 동시에 대체된다. SAC4로 채워진 비아(107)가 차후에 저-저항 금속으로 대체되도록 허용하는 것은 수직 커넥터에서의 저항의 상당한 감소의 장점을 제공한다. N^+ 도핑된 폴리코 비아를 채우는 것은 특히, 높은 NIN 적층물에 대해 공통 드레인 또는 비트 선에 저항을 추가할 수 있다. 따라서, 높은 NIN 적층물에 대해, 차후의 금속 대체를 위한 SAC4 재료로 비아(107)를 채우는 것이 바람직하다.

- [0018] 도 1a를 다시 참조하면, 희생층(104) 위에는 전도성 반도체층(101)(예를 들어, N^+ 도핑된 실리콘)이 증착되며, 이는 결국 활동층(110)으로부터 메모리 셀이 형성되도록 드레인 또는 비트 선을 제공하도록 지정된다. 반도체층(101)의 전도성 반도체 재료는 또한, 비아(107)를 채울 수 있다. 그 후, (희생 재료 "SAC1"에 의해 제공되는) 제2 희생층(102) 및 제2 전도성 반도체층(103)(예를 들어, 또한, n^+ 도핑된 실리콘)이 제1 반도체층(101) 위에 증착된다. 차후의 단계에서, 제2 희생층(102)은 박막 저장 트랜지스터의 채널 영역을 제공하는데 적합한 재료로 전체적으로 또는 부분적으로 대체될 수 있다. 메모리 구조(100)는 메모리 어레이를 형성하는데 적합한 크기의 블록이 되도록 패턴화되고 식각될 수 있다. 희생층(106)(즉, 희생 재료 SAC4), 제1 및 제2 반도체층(101 및 103) 각각, 및 제2 희생층(102)(제공될 채널 영역 재료와 함께)은 상세한 서술에서 "활동층"으로 지칭된다. 활동층(110)의 구성요소 층의 각각은 때때로 본 상세한 서술에서 "서브층"으로 지칭된다. 희생층(102 및 104)(즉, SAC1 및 SAC4 재료층)은 각각 반도체 재료 및 전도성 재료에 의해 전체적으로 또는 부분적으로 대체되도록 이후에 각각 처리된다. 그 후, 층간 유전체(ILD) 층은 패턴화된 활동층의 상부에 증착되고 CMP에 의해 평탄화된다. 그 후, 다수의 활동층을 제공하기 위해, 필요에 따라 공정이 바람직한 만큼 반복된다. 예를 들어, 도 1b는 도 1a의 메모리 구조(100)에 두 개의 추가적인 활동층을 제공하는 것을 도시한다.
- [0019] 도 1b에 도시된 바와 같이, n^+ 도핑된 반도체층(101)과 반도체 기판(108) 사이의 비아(107)를 통한 연결을 통해, 도 1a와 함께 상술된 공정에 따라 메모리 구조의 세 개의 활동층이 제공된다. 도 1c는 추가적인 활동층을 계속 추가한 여덟 개의 활동층을 갖는 메모리 구조(150)를 도시하며, 각 활동층은 형성될 비트 선을 포함하며, 이는 도체 재료(예를 들어, 비트 선(101)의 도핑된 실리콘)로 채워진 비아(107) 중 하나에 의해 반도체 기판(108)에 연결될 것이다. (물론, SAC4가 채워진 비아를 제공하는 대안적인 접근법이 사용되는 경우, 최종적인 비트 선은 저-저항 금속을 통해 반도체 기판(108)에 연결될 것이다).
- [0020] 반도체 기판 내의 메모리 구조 및 디바이스에 형성될 비트 선 사이의 연결의 형성 - 예시 2:
- [0021] 이 예시에서, 비아(107)를 통한 메모리 구조의 제2 및 그보다 높은 활동층으로의 연결은 각 선행하는 활동층의 제조 동안 이러한 활동층 각각에 대해 부분적으로 제조된다. 이 방식 하에서, 각 비아는 하나 이상의 부분으로 구성되며, 각 부분은 (완성된 비아에 대해) 상대적으로 낮은 종횡비를 갖고, 도 1a-1c와 함께 상술된 공정에 비해 적은 도전적인 노력으로 이러한 비아를 제조한다. 도 1d는 반도체 기판(108)에 대한 그의 비아 연결부(107) 및 형성될 활동층에 대한 비아 연결부의 부분과 함께, 메모리 구조(160)에서 제1 활동층의 제조를 도시하는 단면을 도시한다. 도 1d에 도시된 바와 같이, 형성될 활동층에 대한 비아 연결부의 부분은 제1 활동층에서 제1 반도체층(101)을 형성하기 위해 증착되고 패턴화되는, 전도성 재료(예를 들어, 도핑된 실리콘)로 이미 채워진다. (위에서 언급된 바와 같이, 대안적인 접근법은 비아를, 이후에 저-저항 금속으로 대체될 SAC4 재료로 채우고, 이는 고밀도 적용에서 더 유리할 수 있다). 메모리 구조(160)에서, 도핑된 실리콘층(101)은 다른 활동층에 대한 비아(107)의 부분이 형성되는 유전체층(161)을 노출시키도록 이격되어 식각된다. 도 1e는 제2 활동층이 제1 활동층과 유사한 방식으로 형성된 이후의 도 1d의 메모리 구조(160)를 도시한다. 도 1e에서, 제2 활동층의 제1 반도체층(101)은 완성된 2개의 부분의 비아에 의해 반도체 기판(108)에 연결된다.
- [0022] 메모리 셀 제조
- [0023] 실시예 1
- [0024] 이 실시예에서, 높은 종횡비를 갖는 긴 메모리 구조는 강화 스트럿을 사용하여 달성된다. 높은 종횡비 구조는 전구체 구조(precursor structures)가 스트럿 구조의 시스템에 의해 안정화된 이후에 생성되고, 하나 이상의 희생층("SAC4 서브층")은 NIN 적층물을 통한 트랜치의 노출된 측벽으로의 하나 이상의 식각 단계에 의해 제거된다.
- [0025] 도 2a는 본 발명의 일 실시예에 따른 메모리 구조(500)에서 다양한 재료층의 개략적인 단면을 도시한다. 도 2a에서, 활동층(502-0 내지 502-7)은 각각, 드레인 서브층(523), 소스 서브층(521) 및 (이후에 전체적으로 또는 부분적으로 채널 재료 서브층으로 대체될) 희생 재료 1("SAC1") 서브층(522)을 포함한다. 덧붙여, 후속적으로 실질적으로 그의 전체 길이에 걸쳐 드레인 서브층(523)에 전기적으로 접촉하는 전도성 서브층으로 대체될 희생 재료 4(SAC4) 서브층(524)이 제공된다. 도 2b는 도 2a의 단면으로부터 수직 축("Z")에 대해 실질적으로 90도로 회전시킴으로써 달성되는 관점으로부터 도 2a의 메모리 구조(500)의 단면을 도시한다. 도 2a의 단면은 예를 들어, 도 2b에서 참조 번호 550으로 표시된 영역을 가로지르는 수직 평면을 통한 단면일 수 있다.
- [0026] 도 3은 각각 여덟 개의 활동층을 포함하는 네 개의 NIN 적층물(310a, 310b, 310c 및 310d)을 3차원으로 도시하

며, 각 활동층은 소스 서브층(303), 드레인 서브층(301), 층간 유전체(ILD) 층(309), 제1 희생 서브층(302)("SAC1" 재료), 소스 서브층(303)과 접촉하는 제2 희생 서브층(304a, "SAC4 재료") 및 드레인 서브층(301)과 접촉하는 (또한, "SAC4 재료"를 포함하는) 다른 "제2 희생 서브층(304b)"을 포함한다. 이 상세한 서술에서, 다양한 도면의 각각에 도시된 각 메모리 구조(예를 들어, 도 3의 메모리 구조(300))는 메모리 어레이의 일부분을 나타낸다. 예를 들어, 도 3의 메모리 구조에서 8개의 활동층은 단지 설명을 위한 것이고 예시일 뿐이다. 2, 4, 16, 32, 64, 128개 또는 더 많은 개수의 활동층이 사용될 수 있다. 도 3에 도시된 바와 같이, 각 NIN 적층물의 상부에는 하드 마스크 층(313)이 있다. 하드 마스크 층(313)은 각각 하나 이상의 재료를 사용하여 형성되는 하나 이상의 층을 나타낼 수 있다. 하드 마스크 층(313)은 이방성 식각으로부터 그 아래의 층의 보호를 제공할 뿐만 아니라, 전기 절연도 제공한다. 하드 마스크 층(313)은 임의의 적합한 재료(예를 들어, 실리콘 산화물, 실리콘 질화물, 탄소 또는 이들 또는 다른 재료의 임의의 조합)로 형성될 수 있다.

[0027] 도 3에서, 두 개의 SAC4-포함 제2 희생층(304a 및 304b)은 각 활동층을 제공받으며 즉, 드레인 서브층(301) 및 소스 서브층(303)은 각각 제2 희생 서브층(304b 및 304a)과 접촉한다. 다른 실시예에서, 도 2a 및 2b에서의 메모리 구조의 경우와 같이, 소스 서브층(303) 또는 드레인 서브층(303)과 접촉하는 각 활동층에 하나의 SAC4 층만을 제공할 수 있다. 일부 실시예에서, 하나의 활동층의 SAC4-포함 제2 희생 서브층이 인접한 활동층의 SAC4 서브층을 향하게 하고, NIN 적층물에서 매 두 개의 활동층마다 이 패턴을 반복하는 것이 바람직할 수 있다.

[0028] 도 3은 메모리 어레이를 제조하는 중간 단계에서 그 사이에 세 개의 트렌치(312a, 312b 및 312c)를 갖는 네 개의 8층 NIN 적층물(310a, 310b, 310c 및 310d)을 도시한다. 도 4-6에 도시된 후속 식각은 그 사이에 일곱 개의 트렌치를 갖는 여덟 개의 NIN 적층물(310a-1, 310a-2, 310b-1, 310b-2, 310c-1, 310c-2, 310d-1 및 310d-2)의 세트를 생성하도록 수행될 수 있다. 이 방식에서, 최종적인 일곱 개의 트렌치 중 세 개가 초기 단계에서 식각되는 한편, 트렌치 중 나머지(즉, 네 개)는 후속 단계에서 식각된다. 이러한 2-단계 식각은 단지 예시일 뿐이다. 트렌치의 임의의 적합한 분율은 초기 단계에서 예를 들어, 1/4, 1/3 또는 임의의 적합한 분율로 식각될 수 있다. 금속 식각에 관련된 임의의 문제가 어느 정도 회피되도록, NIN 적층물에는 후속하는 트렌치 식각 단계까지 어떠한 금속층도 아직 제공되지 않는다. 도 3에서 각 NIN 적층물은 최종적인 NIN 적층물(도 6 참조)의 폭에 적어도 두 배이므로, 도 3의 NIN 적층물은 도 6의 더욱 좁은 NIN 적층물보다 더욱 기계적으로 안정적이다. 네 개의 NIN 적층물(310a, 310b, 310c 및 310d)을 생성하는 초기 식각 단계 이후에, ("SAC2 재료"를 포함하는) 제 3 희생층(318)이 NIN 적층물 위에 증착되어, 노출된 트렌치(312a, 312b 및 312d)를 채운다. 도 4는 트렌치(312a, 312b 및 312c)에서 제3 희생층(318)의 SAC2 재료의 증착 이후에, 도 3의 메모리 구조(300)를 도시한다.

[0029] SAC2 재료의 증착 이후에, 제3 희생층(318)의 SAC2 재료는 각 NIN 적층물의 상부로부터 제거되며, 하드 마스크 층(313)을 노출시킬 수 있다. 일부 SAC2 재료는 또한, SAC2 재료가 하드 마스크 층(313) 아래로 리세스되도록, 채워진 트렌치의 상부로부터 제거될 수 있다. SAC2 재료의 이 부분적인 제거는 습식 또는 건식 식각, CMP 또는 이러한 기법의 조합과 같은 임의의 적합한 기법을 사용하여 달성될 수 있다. 그 후, 스트럿 층(314)이 증착된다. 스트럿 층(314)은 실리콘 질화물과 같은 임의의 적합한 재료일 수 있다. 일부 실시예에서, 스트럿 층(314)은 하드 마스크 층(313)과 동일한 재료 또는 재료들에 의해 제공될 수 있다. 그 후, 스트럿 층(314)은 패턴화되며, NIN 적층물 위의 하드 마스크 구조에 연결된 스트럿(314a, 314b 및 314c)을 형성한다. 도 5는 도 4의 메모리 구조(300) 상에 증착된 스트럿 층(314)을 패턴화한 이후의 결과적인 메모리 구조(300)를 도시한다. 스트럿 구조(314a, 314b 및 314c)는 인접한 NIN 적층물을 물리적으로 고정시키고 강화시킨다.

[0030] 도 5에 도시된 바와 같이, 스트럿 구조(314a, 314b 및 314c)는 각 NIN 적층물 상에서 하드 마스크 층(313)에 의해 덮인 영역에 비해 더욱 작은 구역을 덮는다. 바람직하게는, 기계적인 안정성에 대한 절충 없이, 후속하는 제조 단계에서의 트렌치에 대한 자유로운 접근이 여전히 가능하도록, 스트럿 구조(314a, 314b 및 314c)에 의해 덮인 구역은 작게 이루어진다. 인접한 NIN 적층물의 각 쌍 사이에서 하나의 스트럿 구조만이 도 5의 메모리 구조(300)에 제공되는 것으로 도시되었지만, 필요한 경우, 바람직한 기계적인 안정성을 제공하기 위해, 인접한 NIN 적층물 사이에 임의의 개수의 스트럿이 제공될 수 있다. 또한, 각 스트럿 구조는 임의의 이로운 크기 또는 형태로 제공될 수 있다.

[0031] 그 후, 도 5의 메모리 구조(300)는 NIN 적층물(310a, 310b, 310c 및 310d)을 각각 절단하고, 이를 두 개의 NIN 적층물(각각 310a-1, 310a-2, 310b-1, 310b-2, 310c-1, 310c-2, 310d-1 및 310d-2로 라벨링됨)으로 나누는 나머지 네 개의 트렌치를 제공하도록 더 패턴화된다. 도 6은 나머지 트렌치(도시되지 않은 NIN 적층물(310a-1))를 식각하는 것으로부터 생성된 메모리 구조(300)를 도시한다. 일부 실시예에서, 최종 트렌치에 대한 패턴을 제공하기 위해 사용되는 포토레지스트 층은 다음 제조 단계 동안 트렌치(312a, 312b 및 312c) 내의 SAC2 재료를 보호하기 위해 NIN 적층물 상에 남겨질 수 있다. 이 시점에서, 도 6에 도시된 바와 같이, 각 NIN 적층물은 그의

길이를 따라 새롭게 절단된 트렌치에서 노출되고, 반대편은 트렌치(312a, 312b 및 312c)의 제1 세트의 SAC2 재료에 의해 밀봉된다.

[0032] 그 후, 각 NIN 적층물의 각 활동층에서 SAC4-포함 제2 회생 서브층(304a, 304b)은 식각에 의해 전체적으로 또는 부분적으로 제거된다. 이 식각은 활동층 내의 다른 서브층을 식각하지 않거나 또는 매우 조금만 식각하는 선택적인 화학적 식각을 사용하여 달성될 수 있다. 각 활동층의 제2 회생 서브층(304a 및 304b)에서 SAC4 재료가 제거된 이후에, 전도성 재료는 SAC4 재료의 제거에 의해 개방된 상태로 남겨진 공극을 채우도록 증착되며, 따라서 전도성 서브층(319a 및 319b)을 형성한다. 전도성 재료는 또한, 트렌치의 제2 세트의 측벽 및 NIN 적층물의 상부를 코팅하며, 이들 양자는 그 후, 등방성 또는 이방성 식각에 의해 제거된다. 결과적인 메모리 구조(300)는 도 7에 도시된다. 바람직하게는, 남아있는 임의의 포토레지스트 층은 전도성 재료를 증착하기 전에 제거된다. 전도성 재료는 하나가 유전체 막(예를 들어, ILD 층(309))에 대해 상대적으로 높은 저항 및 양호한 점착성을 가질 수 있는 한편, 다른 것이 유전체 막이 아닌 다른 금속 막에 대해 더욱 낮은 저항 및 양호한 점착성을 가질 수 있는 수개의 서브층을 포함하는 금속 막을 형성할 수 있다. 그 금속 막의 다른 서브층은 금속 막의 두 개의 다른 서브층 사이의 바람직하지 않은 화학 반응을 감소시키거나 이를 방지하는 확산 배리어(diffusion barrier)로 작용할 수 있다. 또한, 일부 실시예에서, 라이너 또는 배리어 서브층 없이, 단일 원소의 금속 막만이 제공된다. 전도성 서브층을 제공하는데 적합한 재료의 다른 예시는 아래에서 논의된다.

[0033] 도 8은 도 7의 메모리 구조(300)에서 활동층의 서브층(301, 302 및 303)을 더욱 상세하게 도시하며, 전도성 서브층(319a 및 319b)은 각각 두 개 이상의 서브층에 의해 형성된 금속 막을 포함한다. 도 8에 도시된 바와 같이, SAC4-포함 제2 회생 서브층(304a 및 304b)을 제거한 이후에, 초기 서브층 또는 서브층들(321)은 SAC4 재료의 제거에 의해 생성된 공극의 노출된 벽을 코팅한다. 그 후, 공극을 실질적으로 채우는 저-저항 서브층(322)이 증착된다. 저-저항 서브층(322)에는 일부 다공성(porosity)이 존재할 수 있다. 초기 서브층 또는 서브층들(321)은 라이너 막, 배리어 막 또는 양자일 수 있으며, 도 8에 도시된 바와 같이 단면에서 볼 때 C형 층을 형성한다.

[0034] 그 다음, 트렌치(312a, 312b 및 312c)로부터의 SAC2 재료는 선택적인 식각에 의해 제거된다. 도 9는 SAC2 재료의 제거 이후의 도 7의 메모리 구조(300)를 도시한다. 메모리 구조는 선택적인 식각 동안 개방된 트렌치(즉, SAC2 재료에 의해 채워지지 않은 이들 트렌치)를 손상으로부터 보호하도록, 선택적인 식각 이전에 패터닝될 수 있다. 결과적인 NIN 적층물은 각각 이제, 인접한 NIN 적층물 사이의 스트럿으로부터의 기계적이고, 구조적인 지지에 의해 부분적으로 가능해진 높은 중형비를 갖는다. 스트럿은 NIN 적층물이 기울어지거나 쓰러지는 것을 방지한다.

[0035] 전도성 서브층(319a 및 319b)은 또한, 아래에서 서술되는 실시예 5와 함께 아래에서 서술되는 바와 같은 후속 공정 단계로부터의 손상을 방지하기 위해 밀봉될 수 있다. 전도성 서브층(319a 및 319b)의 양면이 노출된 이후에(즉, 트렌치(312a, 312b 및 312c)로부터 SAC2 재료를 제거한 이후에), 그리고, 아래에서 서술되는 바와 같이 채널 서브층(332) 및 저장층(335)이 형성되기 전에, 밀봉이 달성될 수 있다.

[0036] 도 9의 메모리 구조(300)로부터, 나머지 제조 단계는 동시 계류중인 출원에 개시된 것을 따를 수 있다. 예를 들어, 도 10은 선택적인 식각이 SAC1-포함 제1 회생 서브층(302)을 부분적으로 제거한 이후, 이에 채널 서브층(332)의 증착 및 식각이 후속된 도 9의 메모리 구조(300)를 도시한다. 도 10에 도시된 바와 같이, SAC1 재료의 부분적인 제거는 벽의 어느 한 쪽 상의 두 개의 리세스 또는 공극 사이에서 유지되도록 SAC1 재료의 벽을 제공한다. 채널 재료의 증착은 공극을 채운다. 채널 재료의 후속적인 식각은 NIN 적층물 사이의 트렌치로부터 채널 재료를 제거한다. 채널 서브층(332) 및 나머지 제1 회생 서브층(302)("스파인(spines)")의 세부 사항을 도시하기 위한 삽입물이 도 10에 제공된다.

[0037] 그 후, 저장층(335)(예를 들어, 산화물-질화물-산화물(ONO) 층)이 도 10의 메모리 구조(300) 상에 증착된다. 저장층(335)은 식각 단계에 의해 NIN 적층물 사이의 트렌치의 바닥으로부터 제거될 수 있다. 그 후, 워드선 층(336)은 도 11에 도시된 바와 같이, 결과적인 구조 위에 증착되고 패터닝된다. 저장층(335)은 트렌치의 바닥으로부터 이를 제거하기 위해 식각 동안 NIN 적층물의 상부에서 유지되거나 또는 NIN 적층물의 상부로부터 제거될 수 있다. 도 11은 상당히 완료된 메모리 셀 제조를 도시한다.

[0038] 앞서 언급된 바와 같이, 도 5-11에 도시된 예시에서, 스트럿(314a, 314b 및 314c)은 하드 마스크 층(313)의 부분 사이에만 제공된다. 도 12a는 트렌치의 초기 세트가 형성된 후에(예를 들어, 도 3에서 SAC2 재료의 증착 이전에) 스트럿(314d, 314e 및 314f)이 형성된 상이한 스트럿 구조를 도시한다. 도 12a에서, 스트럿(314d, 314e 및 314f)은 트렌치(312a, 312b 및 312c)의 전체 길이를 연장시키는 구조이다. 스트럿(314d, 314e 및 314f)을 형성하기 위해, 스트럿 재료가 트렌치(312a, 312b 및 312c) 내로 그리고 NIN 적층물의 상부에 증착되고 패터닝

된다. 메모리 셀이 스트럿에 인접하게 형성될 수 없기 때문에, 스트럿(314d, 314e 및 314f)은 도 5에 도시된 스트럿(314a, 314b 및 314c)보다 형성하기가 더욱 어렵고, 메모리 밀도의 페널티를 유발한다.

- [0039] 전도성 또는 금속층(319a 및 319b)이 제2 회생 서브층(309a 및 309b)에서 SAC4 재료를 대체한 후에("금속 대체"), 채널 서브층(332)이 이 예시에서 형성된다. 다른 실시예에서, 채널 서브층(332)은 금속 대체 이전에 형성될 수 있다.
- [0040] 이 실시예의 추가적인 예시에서, 산화물 스트럿은 모든 활동층의 높이를 지지하고 연장하기 위해 제공된 단일 마스크 층을 사용하는 것보다, 활동층의 높이를 한 번에 하나씩 연장시킨다. 도 12b는 메모리 구조의 블록의 구역을 정의하기 위해 식각된 메모리 구조(370)의 제1 활동층을 도시한다. 도 12b에 도시된 바와 같이, 하나 이상의 비아(예를 들어, 비아(377a, 377b 및 377c))는 정의된 구역 내에서 식각될 수 있다. 비아(377a, 377b 및 377c)는 NIN 적층물 사이의 트렌치가 형성될 것으로 예상되는 곳에 위치된다. (도 12b에서의 활동층(380)은 활동층(110)과 구조적으로 유사하고 즉, 도 1b 또는 도 1d에 대해 위에서 예시된 바와 같이, 각 활동층에서 SAC4 재료의 단일 층만을 갖는다).
- [0041] 비아(377a, 377b 및 377c)가 활동층(380) 내로 식각된 후에, ILD 재료(349)는 비아를 채우도록 증착된다. 그 후, ILD 재료가 평탄화된다. 활동층을 형성하고, 비아(377)를 패턴화하며, 이를 ILD 재료로 채우는 공정은 각 활동층에 대해 반복된다. 도 12c는 제2 활동층이 형성된 이후, 및 제2 활동층에서 식각된 비아(377a, 377b 및 377c)가 ILD 재료로 채워지기 이전의 도 12b의 메모리 구조(370)를 도시한다. 제2 활동층의 식각된 비아(377a, 377b 및 377c)는 ILD 재료의 연속적인 필러가 형성될 수 있도록, 제1 활동층에서 대응하는 비아(377a, 377b 및 377c)의 실질적으로 동일한 위치에 위치된다. 도 12d는 여덟 개의 활동층이 형성된 이후의 도 12c의 메모리 구조(370)를 도시한다. 이 실시예에서, 각 활동층에서의 각 비아는 활동층 사이의 일부 오정렬을 허용하고, 그의 베이스보다 더욱 낮은 피크를 갖는 스트럿의 형성을 허용하도록, 바로 이전의 활동층에서의 대응하는 비아보다, 더욱 작은 단면적을 갖는다. 테이퍼링(tapering) ILD 구조(또는 "피라미드", 예를 들어, 피라미드(378))를 형성하는 결과적인 스트럿이 도 12e에 도시된다. 도 12e는 도 12d의 메모리 구조(370)에서 NIN 적층물을 생성하는 선택적인 식각에 의해 트렌치를 형성하는 것을 도시하고, 선택적인 식각은 활동층을 통해 채워진 비아(377a, 377b 및 377c) 내의 ILD 구조를 온전히(intact) 남겨둔다.
- [0042] 테이퍼링 단면(예를 들어, 도 12e의 피라미드(378))을 갖는 산화물 스트럿은 트렌치가 식각될 때 NIN 스트링거(stringer)를 형성할 가능성을 최소화한다. 도 12e에서 각 연속적인 활동층의 비아 식각은 도 12a에 도시된 산화물 스트럿을 생성하는 식각에 비해 더욱 짧은 시간에 산화물 스트럿을 제공한다. 이 접근법은 각 새로운 활동층이 NIN 적층물 내에 형성될 때, 성장하는 NIN 적층물이 그의 성장하는 스트럿에 의해 지지되며, 이는 산화물 스트럿을 생성하기 위해 NIN 적층물에서 모든 활동층을 통해 식각하는 도 12의 접근법에서는 이용가능하지 않다.
- [0043] 산화물 스트럿이 도 12b-12e에서 모든 트렌치에 제공되었지만, 일부 실시예에서, 각 NIN 적층물의 일 측면에 대한 기계적인 지지가 다수의 응용에서 충분할 수 있을 때, 산화물 스트럿은 모든 다른 트렌치마다 제공될 필요가 있다.
- [0044] 실시예 2
- [0045] 이 실시예에서, SAC4 재료-포함 서브층 또는 서브층들(예를 들어, 도 7의 제2 회생 서브층(304a 및 304b))은 위의 도 6-7(실시예 1)과 함께 위에서 도시된, 트렌치의 측벽으로부터 노출된 부분을 통한 측면-방식(즉, 그의 폭을 따른 방향) 대신에, 각 서브층의 길이를 따른 방향으로 긴 캐비티를 식각함으로써 제거된다. 다시 말해, 식각제(etchant)는 제2 회생 서브층 또는 서브층들의 길이를 따라 한쪽 또는 양쪽 단부로부터 SAC4 재료를 순차적으로 제거한다. 이 식각이 더 긴 경로를 취하지만, 실시예 2는 메모리 셀이 형성된 후에 금속 대체가 수행될 수 있다는 점에서 실시예 1보다 장점을 가지며, 이를 통해 메모리 셀에서 금속 오염의 위험을 감소시킨다.
- [0046] 도 13은 아직 이루어지지 않은, 도 7과 함께 상술된 제2 회생 서브층(304a 및 304b)의 제거 및 금속 대체를 제외하고, 도 11의 메모리 구조(300)와 실질적으로 동일한 메모리 구조(400)를 도시한다. 덧붙여, 도 13의 메모리 구조(400)에서, 워드선 층(336)은 NIN 적층물의 NOR 스트링에서 모든 저장 트랜지스터가 워드선을 제공받지는 않도록("스킵된 워드선"), 각 NOR 스트링을 따라 갭(gaps)을 갖게 패턴화되고 식각된다. 스킵된 섹션(405)으로서 도 13에 도시된 이러한 스킵된 워드선은 예를 들어, 1, 2, 4, 16, 64, 128개 이상의 스킵된 워드선의 공간에 걸칠 수 있다. 저장 서브층(예를 들어, ONO를 포함하는 저장 서브층(335))이 제공되었으며, 워드선이 "스킵된" 곳을 포함하여 모든 곳에서 온전하다. 워드선이 스킵되는 NIN 적층물에서의 각 섹션은 NIN 적층물의 높이에 걸

칠 수 있다. 명료함을 위해, 하나의 스킵된 섹션(즉, 스킵된 섹션(405))만이 도 13-15에 도시된다. 하나보다 많은 스킵된 섹션이 형성될 각각의 NOR 스트링을 따라 제공될 수 있다.

[0047] 그 후, 유전체층(403)은 도 13의 메모리 구조 위에 증착되며, 워드선 사이의 트렌치를 채운다. 그 후, 유전체층(403)은 스킵된 섹션(예를 들어, 스킵된 섹션(405))을 노출시키도록 패터닝된다. 도 14는 스킵된 섹션(405)이 노출된 이후의 도 13의 메모리 구조(400)를 도시한다. 그 후, 스킵된 섹션(405) 아래의 저장 서브층(335)의 노출된 부분은 이후에 아래에 있는 활동층을 노출시키기 위해 제거된다.

[0048] 그 후, NIN 적층물 내의 모든 활동층(예를 들어, 제2 희생 서브층(304a 및 304b))의 SAC4 재료-포함 서브층이 선택적으로 식각된다. 식각은 각 노출된 서브층으로부터 진행되고, 길이 방향으로(즉, 소스 및 드레인 서브층(303 및 301)의 길이 방향으로) 연장되며, 저장층(335)의 노출되지 않은 부분 아래로 계속하여, SAC4 재료가 제거될 때 SAC4 재료-포함 서브층 내에 긴 캐비티를 남긴다. SAC4 재료-포함 서브층을 제거한 이후에, 전도성 재료를 캐비티 내로, NIN 적층물의 노출된 측벽 상에, 그리고 NIN 적층물의 상부에 증착함으로써, 금속 대체가 수행된다. 그 후, 전도성 재료는 NIN 적층물의 노출된 측벽으로부터 및 NIN 적층물의 상부로부터 제거되며, 따라서 캐비티가 채워지는 것으로부터 초래되는 전도성 서브층을 남긴다. 그 후, 금속 대체 단계가 완료된다. 도 15는 금속 대체 단계가 완료된 이후의 도 14의 메모리 구조(400)를 도시한다.

[0049] 도 16은 도 15의 메모리 구조(400)에서 활동층을 통한 단면을 더욱 상세히 도시한다. 도 16에 도시된 바와 같이, 드레인 및 소스 서브층(301 및 303)은 전도성 서브층(419b 및 419a)에 의해 각각 접촉된다. 다른 실시예에서, 드레인 서브층(301) 또는 소스 서브층(303)만이 전도성 서브층에 의해 접촉된다. 도 8의 단면에서, 메모리 구조(300)에서의 각 전도성 서브층은 라이너 또는 배리어 층(예를 들어, 도 8의 라이너 또는 배리어 서브층(321))의 역할을 하는 초기 층 또는 서브층을 갖는 금속 막을 포함할 수 있다. 하지만, 도 8의 메모리 구조(300e)에서의 라이너 또는 배리어 서브층(321)과는 달리, 메모리 구조(400)의 라이너 또는 배리어 서브층(407)은 각 캐비티의 네 개의 모든 측면(즉, NIN 적층물의 양 측면 상의 아래의 저장층(335), 인접한 서브층(3303) 또는 드레인 서브층(301) 및 대응하는 인접한 ILD 층(309))을 코팅한다. 그 후, 캐비티는 작은 다공성(minor porosity)을 포함할 수 있는 저-저항 재료(408)로 채워진다.

[0050] 도 16은 또한, 활동 스트립의 양측 상에 채널 서브층(332)에 의해 제공되는 채널 영역 사이에서, (SAC1 재료를 포함하는) 제1 희생 서브층(302)은 채널 영역을 서로 전기적으로 분리하는 핀 구조로 남아있다. 이 핀 구조는 또한, 채널 서브층(332)의 증착 이후에 선택적인 식각에 의해 제거될 수 있다. 이 선택적인 식각은 이 예시에서 상이한 선택도를 갖는 식각제를 사용하여 SAC4 재료의 식각과 동일한 방식으로 소스 및 드레인 서브층(303 및 301)의 길이를 따라 진행될 수 있다. 핀 구조로부터 SAC1 재료의 제거는 에어-갭 분리(air-gap isolation)를 제공하며, 두 개의 인접한 메모리 셀 사이의 기생용량성 결합을 감소시킨다. 이 에어-갭 분리 기법은 유사한 장점을 달성하기 위해 이 상세한 서술에서 다른 실시예 또는 예시에 유사하게 적용될 수 있다.

[0051] 도 16의 NIN 적층물은 도 5-11의 메모리 구조와 함께 앞서 서술된 스트럿 구조를 사용하여 달성될 수 있다.

[0052] 실시예 3

[0053] 대안적으로, NIN 적층물은 두 개 이상의 부분으로 점진적으로 구축될 수 있다. 각 부분에서, 제한된 수의 활동층만이 수직 방향으로 식각된다. 구체적으로, 더욱 적은 활동층을 식각함으로써 초기 부분(부분 1)에서 높은 종횡비의 NIN 적층물의 식각이 회피되며, 이는 종횡비를 감소시킨다. NIN 적층물의 후속 부분이 NIN 적층물의 이전(earlier) 부분 위에 추가되고 식각될 때, 이전 부분은 이전 부분의 트렌치에 증착된 유전체층에 의해 지지된다. 식각이 높은 종횡비 구조를 생성하지 않기 때문에, 후속 부분은 그의 식각 동안 자기-지지된다(self-supporting). NIN 적층물의 모든 부분이 제조될 때, NIN 적층물의 기계적 강도를 유지하면서, 임의의 나머지 개방된 트렌치를 채우도록 증착되고, NIN 적층물의 모든 이전 부분으로부터 모든 이전에 증착된 유사한 유전체층을 제거하도록 패터닝되고 식각된다. 전도성 서브층이 NIN 적층물 내로 삽입될 때, 각 NIN 적층물의 한쪽만이 트렌치에 노출되는 한편, 반대쪽 트렌치는 유전체층으로 채워진다.

[0054] 도 17은 구조적으로 안정되게(sound) 유지되도록 임의의 적절한 수의 활동층을 포함할 수 있는 네 개의 NIN 적층물(501a, 501b, 501c 및 501d)("부분 1")을 포함하는 메모리 구조(500)를 도시한다(즉, 각 NIN 적층물의 종횡비는 기울어지거나 쓰러지는 것을 회피하도록 충분히 낮다). 부분 1은 1, 2, 3, 4개 이상의 활동층을 가질 수 있다. 도 17에서, 각 활동층의 제1 희생 서브층(302)이 부분적으로 제거되었고, 채널 서브층(332)은 SAC1 재료의 제거로부터 아래에 남은 캐비티를 채우도록 증착된다. 채널 서브층(332)으로부터의 과도한 재료는 또한, NIN 적층물의 측벽으로부터 및 NIN 적층물의 상부로부터 제거된다. (대안적으로, 제1 희생 서브층(302)의 부분적인

제거 및 채널 서브층(332)으로의 대체는 또한, 제2 희생층(304)(즉, SAC4 재료)을 전도성 층(319)으로 대체한 이후, 차후의 단계에서 발생할 수 있다.) 그 후, 유전체층(509)이 증착되어, 모든 트렌치를 채운다. NIN 적층물의 상부에 증착된 유전체층(509)으로부터의 임의의 유전체 재료는 예를 들어, 식각 또는 CMP 단계를 사용하여 제거된다. 결과적인 메모리 구조(500)는 도 18에 있다.

[0055] 도 18의 부분 1의 상부에서, 추가적인 네 개의 부가 NIN 적층물(501e, 501f, 501g 및 501h)("부분 2")이 그 후에 제조된다. 결과적인 구조(500)가 도 19에 도시된다. 부분 2에서의 NIN 적층물은 각 NIN 적층물이 부분 1의 대응하는 NIN 적층물에 정렬되도록 식각된다. 부분 1에서와 같이, 부분 2는 구조적으로 안정되게 유지하도록 임의의 적절한 수의 활동층을 포함할 수 있다(즉, 각 후속적으로 제조된 NIN 적층물의 중형비는 기울어지거나 쓰러지는 것을 회피하도록 충분히 낮다). 이와 관련하여, 부분 2는 1, 2, 3, 4개 이상의 활동층을 가질 수 있다. 그 후, 부분 2의 트렌치는 유전체 재료(예를 들어, 유전체층(509)과 동일한 유전체 재료)로 채워진다. 그 후, 결과적인 구조(500)는 도 20에 도시된 바와 같이, 부분 2 및 1 양자에서 모든 다른 트렌치로부터 유전체 재료를 식각함으로써 제거되도록 패턴화된다. 그 후, 각 활동층(예를 들어, 제2 희생 서브층(304a 및 304b))의 SAC4 재료-포함 서브층이 선택적인 식각에 의해 제거되고, 제거된 SAC4 재료를 대체하기 위해 전도성 서브층(예를 들어, 전도성 서브층(319a 및 319b))이 증착된다. 트렌치의 측벽 및 NIN 적층물의 상부의 증착으로부터의 임의의 과도한 전도성 재료가 선택적으로 제거된다. 결과적인 구조(500)가 도 21에 도시된다.

[0056] 일부 실시예에서, 부분 1은 부분 2의 구성을 시작하기 전에 저장층(335) 및 로컬 워드선 형성을 통해 가공될 수 있다.

[0057] 전도성 서브층(319a 및 319b)은 또한, 제조 공정에서 후속 단계를 보호하기 위해 밀봉될 수 있다. 밀봉 공정의 일 예시는 실시예 5와 함께 아래에서 논의된다. 밀봉 공정은 전도성 층이 트렌치에 노출된 이후에, 그리고 채널 및 저장 서브층 형성 이전에 발생할 수 있다.

[0058] 위에서 설명된 바와 같이, 채널 서브층(332)이 금속 대체 단계(예를 들어, 전도성 서브층(319a 및 319b)) 이전에 형성될 수 있지만, 채널 서브층(332)의 형성은 또한, 금속 대체 단계 이후에 일어날 수 있다. 금속 대체 단계 직후에, 유전체층(509)이 여전히 모든 다른 트렌치를 점유할 때, 채널 서브층(332)은 NIN 적층물의 개방 트렌치 측면에 노출된 활동층에만 형성될 수 있다. 트렌치의 하부에서, 트렌치 측벽 상에서 및 NIN 적층물의 상부에서의 과도한 채널 재료는 식각에 의해 제거된다. 저장 트렌치(335)(예를 들어, ONO 층)는 개방 트렌치를 NIN 적층물의 상부에 라이닝하도록(line) 증착될 수 있다. 그 후, 트렌치의 하부에서 및 NIN 적층물의 상부에서의 과도한 저장층 재료가 제거되며, 트렌치의 측벽 상에만 저장층(335)을 남긴다. 대안적으로, 과도한 저장층 재료는 워드선의 형성 이후까지 유지될 수 있다.

[0059] 그 후, 워드선을 형성하기 위한 전도성 재료는 도 22에 도시된 메모리 구조를 제공하도록, 노출된 트렌치의 측벽 상의 저장층 위에 증착되고 패턴화된다. 이 제조 시점에서, 메모리 셀의 거의 절반이 실질적으로 제조된다. 워드선 용 전도성 재료에 의해 보호되지 않는 저장 재료는 이 시간에 선택적으로 제거된다.

[0060] 모든 다른 트렌치에서 유전체층(509)의 나머지 부분은 위에서 논의된 실질적으로 동일한 공정을 사용하여 저장층(335) 및 워드선 층(336)의 형성을 허용하도록 완전히 제거된다. 결과적인 구조는 도 23에 도시된다. 워드선은 NIN 적층물 위에서 전기적으로 연속적이다. 그 후, 개별적인 로컬 워드선을 형성하기 위해, 워드선 층(336)의 패턴화 및 식각이 수행될 수 있다.

[0061] 각 전도성 서브층(예를 들어, 전도성 서브층(319a 및 319b), 인접한 소스 서브층(303) 및 드레인 서브층(301) 각각)이 두 개 이상의 재료를 포함할 때, 결과적인 단면은 도 8에 도시된 전도성 서브층(319a 및 319b)의 것과 유사할 것이다. 초기에 증착된 재료(예를 들어, 라이너 또는 배리어 재료(321))는 이전에 SAC4 재료가 차지한 체적의 세 개의 측면을 코팅하는 한편, 최종적으로 증착된 저-저항 재료(322)는 체적을 실질적으로 채운다. 완료된 전도성 재료에 일부 작은 다공성이 있을 수 있다. 트렌치의 측벽을 형성하는 전도성 재료의 제거는 도 8에 도시된 단면에서 볼 때, C형 구조로 제공되는 라이너 또는 배리어 층(321)을 초래한다.

[0062] 추가적인 전역 워드선(106a)은 메모리 구조(500) 위에 형성될 수 있으며, 비아(109a)는 로컬 워드선과의 접촉을 유발하도록(effectuate) 드롭 다운된다(dropping down). 도 23에서, 메모리 구조(500) 아래에 형성되는 전역 워드선(106s)이 또한, 도시되며, 이는 메모리 구조(500)를 형성하기 전에 형성된다는 점에서 주의된다(care).

[0063] 도 17-23은 두 개의 부분으로 제조된 NIN 적층물을 도시하고, 두 개보다 많은 부분(예를 들어, 2개, 3개, 4개 이상)으로부터 제조된 NIN 적층물은 도 17-23과 함께 논의된 단계를 반복함으로써 가능하다.

[0064] 이 상세한 서술에서, 저장층(예를 들어, ONO 층)이 제1 그룹의 메모리 셀(예를 들어, 부분 1의 메모리 셀 또는

심지어 활동 스트립의 일측 상의 메모리 셀)에 대해 형성되고, 후속적으로 다른 저장층이 제2 그룹의 메모리 셀 (예를 들어, 부분 2의 메모리 셀 또는 활동 스트립의 반대편 상의 메모리 셀)에 대해 형성될 때, 제1 그룹의 메모리 셀에 대한 저장층은 제2 그룹의 메모리 셀에 대한 저장층과 동일할 필요가 없다. 예를 들어, 하나의 저장층은 더욱 느린 기록 및 더욱 제한된 쓰기/삭제 사이클 내구성(endurance)에도 불구하고 더욱 긴 데이터 보유 시간을 제공하기 위해, 상대적으로 두꺼운 터널 유전체층(예를 들어, 5 나노미터 이상)일 수 있는 한편, 다른 저장층은 짧은 데이터 보유 시간이지만, 더욱 빠른 기록 및 더욱 높은 쓰기/삭제 사이클 내구성을 제공하기 위해 상대적으로 얇은 터널 유전체층(예를 들어, 3 나노미터 이하)일 수 있다. 결과적으로, 두 개 이상의 타입의 메모리 셀이 동일한 메모리 구조로 제공될 수 있다.

[0065] 실시예 4

[0066] 동시 계류중인 출원에서, 메모리 셀은 NIN 적층물의 한쪽에만 제공되고 다른 쪽에는 그렇지 않을 수 있다. 이러한 배열은 제조를 용이하게 하며, 동일한 NIN 적층물의 나란한(side-by-side) 메모리 셀에서 "셀 교란(cell disturb)" 문제를 가능한 제거한다. 이 예시에서, 메모리 셀 제조가 실질적으로 완료되고(예를 들어, 희생 재료, 예를 들어, SAC4 재료의 금속 대체 이전에), 메모리 셀이 효과적으로 "밀봉"된 후에, 위에서 실시예 2와 함께 논의된 바와 같이, 전도성 서브층을 각 NIN 적층물에서의 활동층으로 도입하도록 금속 대체 단계가 이후에 이루어질 수 있다. 이 방식에서, 메모리 셀에서 금속 오염의 유해한 위험이 감소된다.

[0067] 도 24는 상이한 폭의 트렌치(602-1, 602-2, 602-3, 602-4 및 602-5)에 의해 분리된 여섯 개의 NIN 적층물 (601a-601f)을 포함하는 메모리 구조(600)를 도시한다. 도 24에서, 특히, 모든 다른 트렌치(즉, 트렌치(602-1, 602-3 또는 602-5))는 그 양측의 트렌치(즉, 트렌치(602-2 및 602-4))보다 더욱 넓다. 각 더욱 넓은 트렌치는 트렌치와 접하는 NIN 적층물에서 트렌치를 향하는 메모리 셀을 분리한다. 좁은 트렌치를 향하는 NIN 적층물의 측면에는 메모리 셀이 제공되지 않는다. 그 후, 유전체 재료(609)는 NIN 적층물 위의 트렌치에 증착된다. 그 후, 유전체 재료(609)는 더욱 좁은 트렌치(602-2 및 602-4)에서 유전체 재료(609)만을 남기고, NIN 적층물의 상부로부터 및 넓은 트렌치(602-1, 602-3 및 602-5)로부터 유전체 재료의 제거를 허용하도록 패터닝된다. 결과적인 메모리 구조(600)가 도 25에 도시된다. 그 후, 위에서 서술된 가공 단계를 사용하여 넓은 트렌치(602-1, 602-3 및 602-5)의 측벽에 노출된 활동층으로부터 SAC1 재료-포함 서브층(예를 들어, 제1 희생 서브층(302))을 부분적으로 제거하고, 이에 채널 층(332)의 증착이 후속된 리세스된 채널 서브층이 제공된다. 결과적인 구조(600)가 도 26에 도시된다. 그 후, 저장 서브층(335)(예를 들어, ONO 서브층)은 도 27의 메모리 구조(600)를 형성하기 위해 NIN 적층물의 상부 및 트렌치의 바닥으로부터 이방성 식각에 의해 증착되고 제거된다. 그 후, 도 28에 도시된 바와 같이, 전도성 재료가 워드선 층(336)을 형성하도록 증착되고, 로컬 워드선을 형성하도록 패터닝된다. 워드선 서브층(336)에서 워드선에 의해 보호되지 않는 저장 서브층(335)의 노출된 부분 내의 임의의 저장 재료가 또한, 이 시점에 제거될 수 있다.

[0068] 그 후, 유전체층(611)은 NIN 적층물 위에 그리고 임의의 개방 트렌치 내로 증착된다. 그 후, 유전체층(611)은 좁은 트렌치(예를 들어, 트렌치(601-2 및 602-4)) 및 좁은 트렌치 위의 워드선 층(336)의 임의의 부분을 노출하도록 패터닝된다. 그 후, 좁은 트렌치 내의 노출된 유전체 재료(609) 및 이들 좁은 트렌치 위의 워드선 층(336)의 부분은 식각에 의해 제거된다.

[0069] 활동층 내의 SAC4 재료-포함 서브층(예를 들어, 제2 희생 서브층(304a 및 304b))은 식각에 의한 제거를 허용하기 위해, 이제 좁은 트렌치에 노출된다. 이 예시에서, SAC4 재료-포함 서브층은 완전히 제거되지 않는다 - 예를 들어, (예를 들어, 저장 서브층(335)에 인접한) 노출된 부분의 먼 쪽의 제2 희생 서브층(304a 및 304b)의 일 부분이 남는다. 다른 예시에서, 제2 희생 서브층(304a 및 304b)은 완전히 제거될 수 있다. 그 후, 전도성 서브층(예를 들어, 전도성 서브층(319a 및 319b), 인접한 소스 및 드레인 서브층(303 및 301) 각각)은 SAC4 재료를 제거하거나 부분적으로 제거함으로써 발생하는 캐비티 내로 증착된다. 그 후, 도 29에 도시된 바와 같이, 캐비티를 채우는 전도성 서브층(319a 및 319b)을 남기고, 트렌치의 측벽 상의 및 NIN 적층물의 상부에서의 전도성 서브층(319a 및 319b)으로부터의 과도한 재료가 제거된다.

[0070] 그 후, 유전체층(612)은 좁은 트렌치(예를 들어, 트렌치(602-2 및 602-4))를 채우도록 증착되고, NIN 적층물의 상부에 있는 워드선 층(336) 부분의 하부 표면 아래로 식각함으로써 리세스된다. (대안적으로, 좁은 트렌치(602-2 및 602-4)는 인접한 NIN 적층물 사이의 에어-갭 분리의 역할을 하도록 채워지지 않은 상태로 있을 수 있다; 다수의 응용에서, 에어-갭 분리가 바람직하다). 그 후, 도 30에 도시된 바와 같이, 예를 들어, 이중 다마신 공정을 사용하여 NIN 적층물 위에 전역 워드선(106a)이 형성될 수 있다. (도 30에 도시되지 않았지만, 전역 워드선(106s)은 또한, 바람직한 경우, 도 23에 대해 상세한 서술에서 위에서 논의된 것과 동일한 방식으로 NIN 적

층물 아래로부터 제공될 수 있다).

[0071]

실시예 5

[0072]

이 실시예에서, NIN 적층물의 전체 높이에 연장하는 스트럿은 비아 식각 및 충전 방법에 의해 제조된다. 위의 도 12a(실시예 1)와 함께 위에서 논의된 예시에 부가하여, 도 12a와 함께 위에서 논의된 방법과는 달리 두 개의 트렌치 식각을 필요로 하지 않는 다음의 예시에서, NIN 적층물의 전체 높이로 연장하는 스트럿이 또한 논의된다. 다음의 예시에서, 모든 트렌치는 단일 공정으로 동시에 패터닝되고 트렌치되며, 그를 통해 패터닝 및 식각의 다수의 공정이 사용될 때 가능한 정렬 오류를 제거한다.

[0073]

도 31은 여덟 개의 활동층을 포함하는 메모리 구조(700)를 도시한다; 활동층은 전역 워드선의 역할을 하는 아래의 도체(106s)로부터 하부 활동층을 분리하는 상부 절연층(720)(예를 들어, SiO_2) 상에 제조된다. 하드 마스크 층(701)(예를 들어, SiN , ILD 또는 다른 적합한 재료)이 활동층의 상부에 제공될 수 있다. 도 31의 메모리 구조(700)에서, 하드 마스크 층(701) 및 여덟 개의 활동층의 전체 높이로 연장하는 비아(703)가 패터닝되고 식각된다. 비아(703)의 각각은 실질적으로 두 개의 NIN 적층물 사이의 트렌치의 폭인 폭을 갖는다. 비아(703) 각각은 형성된 NIN 적층물의 폭과 실질적으로 동일한 거리만큼 분리되게 형성된 인접한 트렌치와 함께, 형성된 트렌치의 장소를 표시한다. 형성된 인접한 트렌치 내의 비아(703)는 서로에 대해 위치가 스테거될 수 있다. 그 후, 유전체 재료(704)가 아직 형성되지 않은(yet-to-be-formed) NIN 적층물에 기계적인 지지부를 제공하기 위한 수직 필러 또는 스트럿을 형성하도록, 예를 들어, 화학 기상 증착(chemical vapor deposition, CVD) 공정을 사용하여 비아(703)가 유전체 재료(704)(예를 들어, SiO_2)로 채워지고, 이에 하드 마스크 층(701)의 상부로부터의 제거가 후속될 수 있다. 제2 하드 마스크 층(702)은 도 32에 도시된 바와 같이 메모리 구조(700) 위에 증착될 수 있다. 그 후, 도 33에 도시된 바와 같이, 연결된 NIN 적층물(710a, 710b, 710c 및 710d)을 형성하기 위해 활동층의 전체 높이를 패터닝하고 식각함으로써 트렌치가 형성된다. 비아(703) 내의 유전체 재료(704)의 수직 필러는 하드 마스크 층(701 및 702)에 의해 제거로부터 보호되며, 그에 의해 NIN 적층물(710a, 710b, 710c 및 710d)을 연결하는 기계적인 지지 필러 또는 스트럿이 된다. 이들 필러 또는 스트럿은 8개의 활동층의 전체 높이로 확장한다.

[0074]

그 다음, 트렌치는 위에서 논의된 SAC2 재료를 포함하는 제3 희생층(318)으로 채워진다. 그 후, 결과적인 구조(700)는 도 34에 도시된 바와 같이 다른 모든 트렌치로부터 SAC2 재료를 제거하도록 패터닝된다. 모든 다른 트렌치로부터의 패터닝 및 제거 이전에, 도 34에 도시된 바와 같이, 모든 다른 트렌치 내에 남아있는 SAC2 재료가 하드 마스크 층(702)의 상부 표면과 동일 평면으로(flush) 남을 수 있도록 예를 들어, CMP 공정을 사용하여 SAC2 재료가 평탄화 될 수 있다. 그 후, 활동층에서 노출된 SAC4 재료-포함 서브층(304a 및 304b)은 선택적인 식각에 의해 제거되고, 대응하는 전도성 서브층(319a 및 319b)으로 대체될 수 있다. 트렌치의 측벽 상의 및 NIN 적층물(710a, 710b, 710c 및 710d)의 상부에서의 과도한 전도성 서브층 재료는 SAC4 재료를 포함하는 제2 희생 서브층(304a, 304b)의 제거로부터 초래되는 전도성 서브층(319a 및 319b)을 실질적으로 캐비티 내에만 남기고, 이방성 식각을 사용하여 제거될 수 있다. 그 후, 제3 희생층(318) 내의 나머지 SAC2 재료는 선택적인 식각에 의해 제거될 수 있다. 결과적인 구조(700)가 도 35에 도시된다. 대안적으로, 일 변형에서, 제3 희생층(318)의 SAC2 재료는 SAC4 재료의 제거 및 금속 대체 단계 동안 메모리 구조(700)에 대한 기계적인 지지를 제공하기 위해 산화물 스트럿(즉, 유전체 재료(704)의 필러)에 더욱 강하게 의존하는 다른 모든 트렌치에 도입되지 않는다.

[0075]

그 다음, 전도성 서브층(319a 및 319b)은 후속 가공 단계에서 교차로 오염되는(cross contaminating) 메모리 구조(700)를 회피하기 위해 밀봉된다. 측벽으로부터 전도성 서브층(319a 및 319b)을 리세스하기 위해 각 활동층에서 전도성 서브층(319a 및 319b)상의 선택적인 식각을 사용하여 밀봉이 달성될 수 있다. 유전체 배리어 재료(712)는 리세스 내에 증착될 수 있고, 이에 도 36에 도시된 바와 같이 각 활동층에서 전도성 서브층(319a 및 319b)을 선택적으로 식각하는 것으로부터 초래되는 리세스에만 유전체 배리어 재료(712)를 남기고, 트렌치로부터 과도한 유전체 배리어 재료(712)를 제거하는 것이 후속된다.

[0076]

그 후, 리세스된 채널 형성은 도 37에 도시된 결과적인 구조(700)를 제공하기 위해 상술한 바와 같이 진행된다(즉, 제1 희생 서브층(302)으로부터 SAC1 재료를 부분적으로 제거하고 채널 서브층(332)의 증착이 후속된다). 그 후, 저장층(335)(예를 들어, ONO 층)이 NIN 적층물의 측벽 위에 형성된다. 저장층(335)은 얇은 보호 유전체 서브층(713)(도시되지 않음; 예를 들어, 1 내지 2nm의 Al_2O_3)을 더 포함할 수 있다. 얇은 보호 유전체 서브층(713)은 후속 공정에서 사용되는 플라즈마에 의해 야기되는 손상으로부터 저장층(335)을 보호하며, 삭제 동작 동안 전자의 터널링을 방해함으로써 저장층(335)에서 차단(blocking) 유전체 서브층(714)(도시되지 않음)을 여전히 강화한다. 보호 유전체 서브층(713)과 함께 저장층(335)은 도 38에 도시된 바와 같이, NIN 적층물의 상부

및 트렌치의 바닥으로부터 이방성 식각에 의해 제거된다.

- [0077] 대안적으로, 보호 유전체 서브층(713)은 1-5nm의 얇은 실리콘 층에 의해 제공될 수 있다. 일부 실시예에서, 보호 유전체층(713)은 제공되지 않는다. 일부 실시예에서, 저장층(335) 및 보호 유전체 서브층(713)은 워드선 형성 이전에 NIN 적층물의 상부 또는 트렌치의 바닥 어디로부터도 제거되지 않는다. 또 다른 실시예에서, 저장층(335)은 모든 다른 트렌치만의 바닥으로부터 제거된다.
- [0078] 공정에서의 이 지점에서, SAC2 재료-포함 희생층(718)은 트렌치 내에 및 NIN 적층물의 상부에 증착될 수 있다. 희생층(718)은 평탄화되고, NIN 적층물의 상부에서 하드 마스크 층(702)으로부터 제거될 수 있다. 그 후, 희생층(718)은 비아(719)가 모든 다른 트렌치 내로 식각될 수 있도록 패터닝된다. 비아(719)는 도 39에 도시된 바와 같이, 전역 워드선의 역할을 하는 아래에 있는 도체를 노출시키기 위해 아래에 있는 유전체층(720)을 통해 NIN 적층물의 전체 길이로 연장된다. 그 후, 선택적인 식각에 의해 모든 트렌치로부터 희생층(718)이 제거된다. 그 후, 전도성 층(336)이 증착되며, 로컬 워드선의 후속 형성을 허용하도록 트렌치를 채운다. 전도성 층(336)은 또한, 아래에 있는 도체(즉, 전역 워드선(106s))와 접촉하기 위해 아래에 있는 유전체층(720)에서의 비아(719)를 채운다. 그 후, 전도성 층(336)에서의 전도성 재료는 NIN 적층물의 상부로부터 제거되고, 선택적인 식각에 의해 하드 마스크 층(701) 아래로 리세스된다. 그 후, 도 40에 도시된 바와 같이, 전도성 층(336)이 패터닝되며, 바람직한 경우, 전도성 층(336) 및 보호 유전체 서브층(335) 양자의 노출된 구역을 제거한다. 이 방식에서, 패터닝에 의해 보호되는 전도성 층(336)의 부분은 로컬 워드선을 형성한다. 도 41은 NIN 적층물의 반대편 상의 위치에서 스텔거되는 로컬 워드선을 초래하는 도 40의 메모리 구조의 패터닝하는 일 경우를 삽입물로 도시한다(예를 들어, 도 41의 삽입물에서 로컬 워드선 층(336a 및 336b)에서의 워드선은 NIN 적층물의 반대편에서 서로 직접적으로 대향하지 않는다). 도 39-41과 함께 위에서 서술된 메모리 구조(700)에서, 워드선의 절반은 NIN 적층물 아래의 유전체층(720)의 비아(719)의 결과로서 NIN 적층물의 하부에 제공된 전역 워드선(106s)에 연결된다.
- [0079] NIN 적층물 위의 공간뿐만 아니라 임의의 결과적인 개방 트렌치가 증착된 유전체 재료(721)로 채워지며, 이는 CMP 공정을 사용하여 평탄화될 수 있다. NIN 적층물 아래의 전역 워드선(106s)에 연결되지 않은 워드선 층(336)에서의 로컬 워드선에 연결하기 위해 평탄화된 유전체층(721)에 비아를 제공한 이후에, 전역 워드선(106a)의 제2 층이 형성될 수 있다. 전역 워드선(106a)의 제2 층은 예를 들어, 이중 다마신 프로세스에 의해 제조될 수 있다. 결과적인 구조(700)가 도 42에 도시된다.
- [0080] 위의 실시예 1 내지 4에 대한 서술이 전역 워드선(106a 및 106s)을 제조하는 단계, 및 로컬 워드선 층(336)에서 로컬 워드선을 갖는 비아를 통한 그의 연결을 논의하지 않았지만, 실시예 5와 함께 위의 서술은 실시예 1-4와 함께 전역 워드선(106a 및 106s)을 형성하는데 적용될 수 있다.
- [0081] 실시예 6
- [0082] 이 실시예에서, 패터닝된 피치의 식각이 두 개 이상의 상이한 후속 모듈에서 발생할 수 있더라도, 하나의 모듈에서 트렌치 피치를 패터닝하기 위해 스페이서 하드 마스크 접근법(spacer hard mask approach)이 사용된다. 이 실시예는 트렌치 사이에서, 이들이 모두 동시에 마스크될 때 오정렬이 없다는 점에서 이롭다. 두 개 이상의 상이한 시간에 트렌치를 식각함으로써, 더 큰 구조가 스트럿에 의해 안정화될 때까지, 기울어지거나 쓰러질 수 있는 높은 종횡비 피치가 회피된다. 스트럿 형성 이후에, 높은 종횡비 피치를 초래하는 트렌치 식각이 수행된다.
- [0083] 도 43은 트렌치(803)가 스페이서(802)("측벽 피치")를 갖는 인접한 하드 마스크 피치(801) 사이에서 식각되는 메모리 구조(800)를 도시한다; 하드 마스크 피치(801)는 후속적으로 형성될 피치에 비해 크다. 트렌치(802)를 식각하기 전에, 포토레지스트가 웨이퍼로부터 제거되고, 하드 마스크 피치(801) 및 측벽 피치(802)만이 후속 피치를 패터닝하는데 사용된다. 트렌치(803)의 제1 세트는 하나 이상의 대상화되지 않은 층을 마스크하는 더욱 큰 하드 마스크 피치(801) 및 측벽 피치(802) 양자를 사용하여 식각된다. 트렌치(803)의 제1 세트가 식각된 후에, 트렌치(803)는 희생 재료(예를 들어, SAC2)로 채워지고, 스트럿 층(804)의 증착을 허용하기 위해 그 후에 리세스된다. 그 후, 스트럿 층(804)은 인접한 측벽 피치(802)를 연결하는 스트럿을 형성하도록 패터닝된다. 그 후, 트렌치(803) 내의 SAC2 재료는 도 44에 도시된 바와 같이, 인접한 하드 마스크 피치(801) 상의 인접한 측벽 피치(802)를 연결시키는 트렌치의 상부에서 스트럿 피치(804a)를 남기고 제거된다.
- [0084] 그 후, 하드 마스크 피치(801)는 아래의 측벽 피치(802) 및 스트럿 피치(804a)를 남기고, (예를 들어, 패터닝 및 식각에 의해) 선택적으로 제거된다. 그 후, 도 45에 도시된 바와 같이 측벽 피치(802)를 마스크로 사용하여 트렌치(805)의 제2 세트가 식각된다. 나머지 제조는 실시예 1-3(도 3-17)과 함께 서술된 것과 같이 상술한 기법을 사용하여 진행될 수 있다.

- [0085] 실시예 7
- [0086] 이 예시에서, 메모리 구조 아래의 전역 워드선과 형성될 로컬 워드선 사이의 ILD 층에서 비아를 통한 수직 연결은 메모리 구조 이전에 제조된다. 이 실시예는 예를 들어, 위에서 논의된 도 39의 식각을 통한 어려운 고 종횡비를 회피한다.
- [0087] 도 46은 그 위에 형성된 수직 상호 연결부(901s)를 포함하는 전역 워드선(106s)을 도시한다. 전역 워드선(106s)은 임의의 적합한 기법, 예를 들어, 감산 금속 공정 또는 다마신 금속 공정을 사용하여 제조될 수 있다. 수직 상호 연결부(901s)는 금속(예를 들어, Ti/TiN/W) 또는 p^+ 폴리실리콘의 하나 이상의 층과 같은 전도성 재료로부터 형성될 수 있다. 수직 상호 연결부(901s)는 전역 워드선(106s) 위에 증착되고 비아를 제공하도록 패터닝되는 유전체 또는 절연층(720)에 비아를 채움으로써 형성될 수 있다. 임의의 적합한 방법(예를 들어, CMP)에 의해 수평 표면으로부터 식각된 비아에 전도성 재료만을 남기고, 임의의 과도한 전도성 재료를 제거할 수 있다.
- [0088] 도 46의 구조를 통한 메모리 구조의 제조는 상술한 임의의 방식으로 진행될 수 있다. 예를 들어, 도 47은 도 46의 전역 워드선(106s) 및 수직 상호 연결부(901s) 위에 형성된 세 개의 NIN 적층물(910a, 910b 및 910c)로 식각된 8개의 활동층을 포함하는 메모리 구조(900)를 도시한다. (NIN 적층물은 더욱 많은 수의 NIN 적층물을 제공하기 위해 더 식각될 것이다; 예를 들어, 도 47의 메모리 구조(900)는 최종 수의 트렌치의 절반만을 포함한다). 도 47은 트렌치(911-1 및 911-2)를 패터닝하고 식각하는데 사용되고 유지되는 하드 마스크 층(902)에 의해 NIN 적층물(910a, 910b 및 910c)의 상부가 각각 덮인 것(topped)을 도시한다. 도 48은 도 47의 메모리 구조(900) 위의 하드 마스크(902) 층에 피처를 연결하도록 형성된 스트럿 구조(903)를 도시한다. 그 후, 트렌치(911-1 및 911-2)는 스트럿 구조(903)와 함께, NIN 적층물(910a, 910b 및 910c)에 기계적인 안정성을 제공하는 지지 필러를 형성하기 위한 임시 충전 재료(913)(예를 들어, SAC2 재료)를 제공 받는다.
- [0089] 도 49는 도 48의 메모리 구조(900)에 형성되는 추가적인 트렌치(911-3, 911-4 및 911-5)를 도시한다. 도 50은 도 49의 메모리 구조(900)에서 (i) 활동층에서 제1 희생 서브층(302)에서 SAC1 재료의 부분적인 제거 및 결과적인 캐비티에서 채널 재료(332)로의 대체뿐만 아니라, (ii) 위의 도 37과 관련하여 상술된 바와 같은 금속 대체 공정을 사용하여 활동층에서 제2 희생 서브층(304a 및 304b)에서의 SAC4 재료의 전도성 서브층(319a 및 319b)로의 대체를 도시한다.
- [0090] 가출원 III에서 서술된 바와 같이, NOR 스트링에서 소스 또는 드레인 서브층(303 및 301)의 브레이크(break)는 이러한 소스 또는 드레인 서브층을 수평으로 분할하기 위해 도입된다. 분할은 SAC2 재료로 트렌치(911-1 내지 911-5)를 먼저 채움으로써 달성될 수 있다. NIN 적층물의 상부로부터 과도한 SAC2 재료를 제거하기 위해 SAC2 재료가 평탄화된 이후에, 메모리 구조(900)는 SAC2 재료 내에 비아를 생성하기 위해 패터닝되고 식각된다. 그 후, 활동층(예를 들어, 소스 서브층(303), 드레인 서브층(301) 및 채널 서브층(332))에서 노출된 반도체 서브층 - 그러나 접촉 금속 또는 전도성 서브층(319a 및 319b) 중 어느 것도 아님 - 은 예를 들어, 소스 서브층(303) 및 드레인 서브층(301) 각각에 개구(923 및 921)를 발생시키기 위한 원자층 식각("분할")을 사용하여 선택적으로 제거된다. 결과적인 구조(900)가 도 53에 도시된다. 소스 서브층(303)의 인접한 세그먼트는 서로 분리되는 한편, 드레인 서브층(301)의 인접한 세그먼트는 접촉하는 전도성 또는 금속 라인(319b)에 의해 브릿지되어(bridged), 드레인 서브층이 NOR 스트링의 전체 길이에 대해 서로 분리되지 않는다. 그 후, 트렌치(911-1 내지 911-5)내의 SAC2 재료가 제거된다.
- [0091] 도 52는 분할 이후의, 저장층(355) 및 보호 유전체 서브층(713)(예를 들어, 각각 ONO 및 Al_2O_3 서브층)의 증착을 도시하며, 이는 이후에 NIN 적층물의 상부로부터 및 모든 다른 트렌치의 바닥으로부터 과도한 저장 및 보호 유전체 재료를 제거하기 위해 이방성 식각된다. 도 53은 로컬 워드선의 절반이 메모리 구조(900) 하의 전역 워드선(106s)에 대한 수직 상호 연결부(901s)에 의해 전기적으로 연결되도록, 수직 로컬 워드선(인접한 트렌치에서 로컬 워드선에 대해 스테거된 위치에서)이 패터닝 및 식각에 의해 트렌치(911-3, 911-4 및 911-5)에서 증착된 워드선 층(336)으로부터 형성된 이후의 도 52의 메모리 구조(900)를 도시한다.
- [0092] 도 54는 전역 워드선(106a)의 제2 층을 도시하고, 수직 상호 연결부(901a)는 도 53의 메모리 구조(900) 위의 유전체층 위에 형성되며, 메모리 구조(900) 아래의 전역 워드선(106s)에 연결되지 않은 로컬 워드선에 대한 연결을 제공한다. NIN 적층물 아래에 제공된 전역 워드선(106s) 및 그의 연관된 로컬 워드선은 NIN 적층물 위에 제공된 전역 워드선(106a) 및 그의 연관된 로컬 워드선에 대한 위치에서 스테거되거나 또는 오프셋 될 수 있다. 이러한 배열은 피처 밀도를 향상시킬 수 있다.

- [0093] 스트럿
- [0094] 이 상세한 서술에서, 높은 종횡비 메모리 구조가 제공되는 곳을 기계적으로 보강하기 위한 스트럿이 다양한 형태로 사용된다. 하지만, 일반적으로, 구조의 종횡비가 약 25 미만일 때, 구조는 스트럿 또는 다른 보강재 없이 자유롭게 세워질 정도로(free standing) 기계적으로 안정적이다. 예를 들어, 각각 약 600nm의 높이 및 약 30nm의 워드선 간격을 갖는 4개의 NIN 적층물의 메모리 구조에서, 종횡비는 각 NIN 적층물에 대해 20이다. 그 경우, 약 30nm 폭의 가장 작은 피치 크기를 갖는 메모리 구조는 스트럿 또는 다른 보강재 없이 제조될 수 있다.
- [0095] 층간 유전체 재료
- [0096] 이 상세한 서술에서 서술된 층간 유전체 재료는 이들 재료가 한 번을 넘게 식각될 때를 포함하여, SAC1, SAC2 및 SAC4 재료의 임의의 식각을 바람직하게 건딘다. 본원에서 사용될 층간 유전체 재료를 선택할 때, NIN 적층물에서 나타날 수 있는 커패시턴스를 바람직하게 고려한다. 층간 유전체 재료는 바람직하게, 실리콘 산화물(예를 들어, 고온 산화물(HTO) 또는 다른 고품질의 식각-저항 다양성), 실리콘 질화물, 또는 이 둘의 조합(예를 들어, 부분적으로 실리콘 산화물 및 부분적으로 실리콘 질화물)일 수 있다.
- [0097] 예시: 희생 재료 및 식각
- [0098] SAC1, SAC2 및 SAC4 재료는 임의의 적합한 희생 재료일 수 있으며, 이들 중 일부는 동시 계류중인 출원에서 서술된다. 이러한 희생 재료는 실리콘 산화물, 붕소 도핑된 실리콘 산화물(boron doped silicon oxide, BSG), 인 도핑된 실리콘 산화물(phosphorus doped silicon oxide, PSG), 붕소 인 도핑된 실리콘 산화물(boron phosphorus doped silicon oxide, BPSG), 실리콘 질화물, 실리콘 탄화물, 실리콘 탄소 질화물, 실리콘 탄소 산소 수소, 게르마늄 또는 이 재료 중 일부의 조합을 포함한다. 희생층은 고밀도 또는 저밀도(즉, 다공성)일 수 있으며, 화학 기상 증착(CVD), 물리 기상 증착(PVD), 전착(electrodeposition), 스퍼터링(sputtering), 기화 또는 스핀-온 기법(spin-on technique)을 포함하는 임의의 적합한 방법을 사용하여 형성될 수 있다. 희생 재료는 선택적인 임의의 적합한 기법, 즉 대상으로 지정된 희생 재료를 제거하지만 임의의 대상으로 지정되지 않은 층 중 어느 것도 실질적으로 제거하지 않는 식각에 의해 식각될 수 있다. 예를 들어, 불화수소산(hydrofluoric acid, HF)은 SiO_2 및 변형을 빠르게 식각하는 한편, HF는 매우 느린 속도로 SiN 및 Si를 제거한다.
- [0099] 예시 1: 희생 재료 및 식각
- [0100] 이 예시에서 SAC1 재료는 희석된 HF에서 상대적으로 낮은 식각 속도를 갖는 고온 실리콘 산화물(HTO)을 포함할 수 있다. 이 예시에서 SAC4 재료는 Ge 또는 Si 및 Ge의 이중 층을 포함할 수 있다. SAC4 재료는 또한, HTO의 식각 속도보다 희석된 HF에서의 더욱 빠른 식각 속도를 갖는 TEOS(tetraethyl orthosilicate)로부터 BPSG 또는 SiO_2 를 포함할 수 있다. 스트럿 및 하드 마스크 재료는 실리콘 질화물을 포함할 수 있다. 이 예시에서 SAC2 재료는 물과 혼합된 뜨거운 (70°C) 과산화수소(예를 들어, 어느 적합한 식각 혼합물이 사용될 수 있지만, 20 부피 %의 H_2O_2)를 사용하여 식각될 수 있는 Ge를 포함할 수 있다.
- [0101] 본원에 사용된 "적절한 식각"은 식각제에 노출된 임의의 및 모든 다른 재료의 식각보다 적어도 10배 빠른 속도로 하나의 재료를 식각하는 식각을 지칭한다. 예를 들어, 과산화수소 습식 식각은 Ge(즉, 게르마늄)에 대해 매우 선택적이며, 다른 재료(예를 들어, 실리콘, 실리콘 이산화물, 실리콘 질화물)를 식각하지 않거나 최소로 식각할 것이다.
- [0102] SAC4 재료는 불화수소(HF) 산 및 물의 용액 또는 완충된(buffered) HF에서 식각될 수 있다. HF 또는 완충된 HF는 HTO보다 훨씬 빠른 속도로 (예를 들어, >10:1) BPSG 또는 TEOS를 식각하고, 다른 재료, 실리콘 및 실리콘 질화물을 훨씬 느린 속도로 식각하거나 전혀 식각하지 않을 것이다.
- [0103] SAC4 및 SAC2 재료를 제거한 후에, SAC1 재료는 동시 계류중인 출원에서 상세히 서술된 리세스된 피치를 형성하기 위해 습식 또는 건식 기법에 의해 부분적으로 식각될 수 있다. 일부 실시예에서, 동일한 활동 스트립의 두 개의 인접한 채널 사이에 남아있는 SAC1 "스파인"은 활동 스트립의 길이를 따라 선택적인 측면 식각에 의해 제거되어, 1.0의 유전 상수를 갖는 소위 "에어 갭"분리를 제공하는 공기가 채워진 캐비티를 형성할 수 있으며, 이를 통해 두 개의 인접한 채널 사이의 기생 커플링을 실질적으로 감소시킨다.
- [0104] 예시 2: 희생 재료 및 식각
- [0105] 이 예시에서 SAC1 재료는 실리콘 질화물을 포함할 수 있고, 이 예시에서 SAC4 재료는 Ge 또는 Si와 Ge의 이중 층을 포함할 수 있으며, 이 예시에서 SAC2는 BPSG 또는 TEOS를 포함할 수 있고, 이 예시에서 스트럿 및 하드 마

스크는 실리콘 질화물을 포함할 수 있다. SAC4 재료가 Ge를 포함하는 경우, 이는 물과 혼합된 뜨거운 (70℃) 과산화수소(20 부피% H₂O₂)에 의해 식각될 수 있다. 이 습식 식각은 게르마늄에 대해 매우 선택적이며, 다른 재료(예를 들어, 실리콘, 실리콘 이산화물, 실리콘 질화물)를 식각하지 않거나 최소로 식각할 것이다. SAC2 재료는 불화수소(HF) 산 및 물의 용액에서 식각될 수 있거나, Ge, Si 또는 SiN을 식각하지 않거나 최소로 식각하는 완충된 HF에서 식각될 수 있다. 마지막으로, SAC4 및 SAC2 재료가 제거된 이후에, 동시 계류 중인 출원에서 상세히 서술된 리세스된 피처를 형성하기 위해 인산(습식) 또는 임의의 적합한 선택적인 건식 식각 기법을 포함하는 용액을 사용하여 SAC1 재료가 부분적으로 식각될 수 있다.

[0106] 예시 3: 희생 재료 및 식각

[0107] 이 예시에서의 SAC1 재료는 상대적으로 느린 식각 속도를 갖는 실리콘 산화물(HTO)을 포함할 수 있고, 이 예시에서의 SAC2 재료는 상대적으로 빠른 식각 속도를 갖는 BPSG 또는 TEOS를 포함할 수 있고, 이 예시에서의 SAC4 재료는 BPSG 또는 TEOS를 포함할 수 있으며, 스트럿 및 하드 마스크는 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. SAC2 및 SAC4 재료는 불화수소(HF) 산 및 물의 용액 또는 완충된 HF를 사용하여 식각될 수 있다. SAC2 재료가 식각될 때, SAC4 재료는 포토레지스트에 의한 습식 식각으로부터 보호될 수 있다. 이 습식 식각은 BPSG 및 TEOS에 대해 매우 선택적이고, 다른 재료(예를 들어, 실리콘, HTO, 실리콘 질화물)를 식각하지 않거나 또는 최소로 식각하며, HTO(SAC1)를 천천히 식각할 것이다. 마지막으로, SAC4 및 SAC2 재료가 제거된 후에, SAC1 재료는 동시 계류 중인 출원에서 상세히 서술된 리세스된 피처를 형성하기 위해 습식 또는 건식 기법을 사용하여 부분적으로 식각될 수 있다.

[0108] 예시: 전도성 서브층 재료

[0109] 본 상세한 서술에 서술된 전도성 서브층은 티타늄, 티타늄 질화물, 텅스텐 질화물, 텅스텐, 티타늄 텅스텐, 탄탈륨, 탄탈륨 질화물, 코발트, 크롬, 몰리브덴 또는 니오븀과 같은 임의의 적합한 재료 또는 재료들일 수 있거나, 또는 이의 조합 또는 합금일 수 있다. 금속층은 CVD, 원자층 증착(ALD), PVD, 스퍼터링, 기화, 전착 또는 이의 임의의 조합과 같은 임의의 적합한 방법을 사용하여 증착될 수 있다.

[0110] 이 상세한 서술에서 금속층은 화학 기상 증착(CVD), 원자층 증착(ALD), 물리 기상 증착(PVD), 스퍼터링, 기화, 전착 또는 이의 조합과 같은 임의의 적합한 방법을 사용하여 증착될 수 있다.

[0111] 예시 1: 전도성 서브층 재료

[0112] 서브층의 그룹의 예시는 Ti/TiN/W이다. Ti 서브층은 유전체 또는 실리콘 층에 잘 점착되고, TiN 서브층은 확산 배리어이며, W 서브층은 Ti 또는 TiN보다 낮은 저항을 갖는다. Ti/TiN 층은 라이너 또는 배리어 층으로 지칭될 수 있다. 일반적으로, 라이너 또는 배리어 서브층의 두께를 저-저항 서브층보다 얇게 하는 것이 바람직하지만, 요구되는 것은 아니다. 전도성 서브층은 1 내지 5nm의 티타늄, 1 내지 5nm의 티타늄 질화물 및 1 내지 40nm의 텅스텐을 포함할 수 있다.

[0113] 예시 2: 전도성 서브층 재료

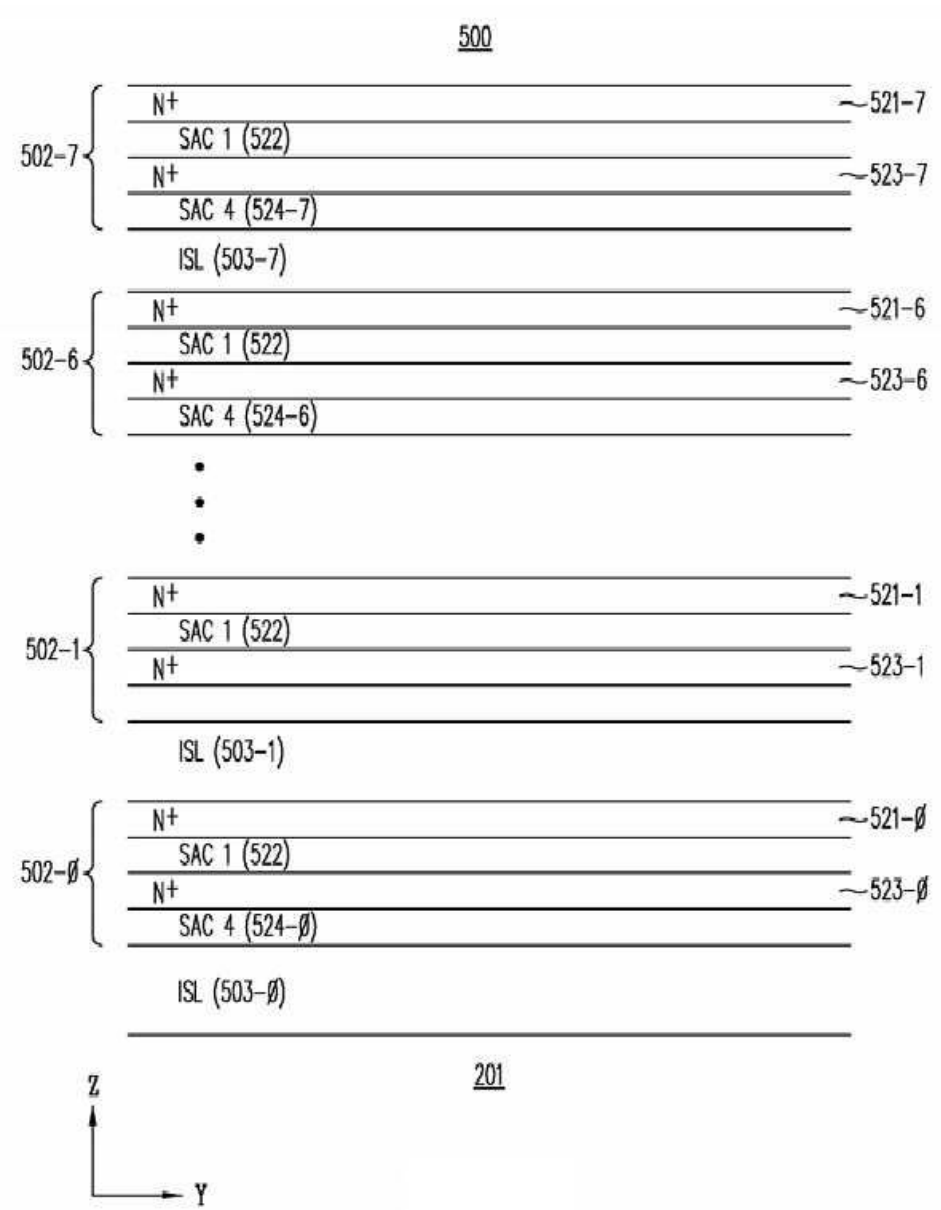
[0114] 서브층의 그룹의 다른 예시는 TiN/W이며, TiN은 유전체 또는 실리콘 층에 대해 양호한 점착성을 갖고 W 서브층은 더욱 낮은 저항률을 갖는다. 전도성 서브층은 1 내지 5nm의 텅스텐 질화물 및 1 내지 40nm의 텅스텐을 포함할 수 있다.

[0115] 다른 예시: 전도성 서브층 재료

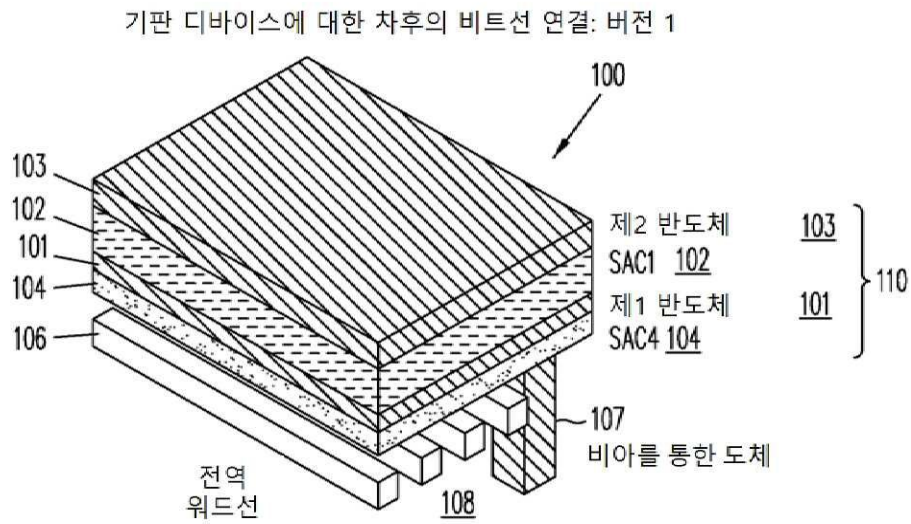
[0116] 서브층의 다른 그룹은 WN/W, Ta/W, Ta/TaN/W, TaN/W, Ti/Cr 및 Ti/TiN/Cr이다. 실시예는 제한하려는 것으로 의도되지 않으며, 서브층의 임의의 적절한 조합이 이용될 수 있다. 전도성 서브층은 1 내지 5nm 탄탈륨 및 1 내지 40nm 텅스텐을 포함할 수 있다. 금속층은 또한, 1 내지 5nm 탄탈륨 질화물 및 1 내지 40nm 텅스텐을 포함할 수 있다. 금속층은 또한, 1 내지 40nm의 티타늄 질화물을 포함할 수 있다.

도면

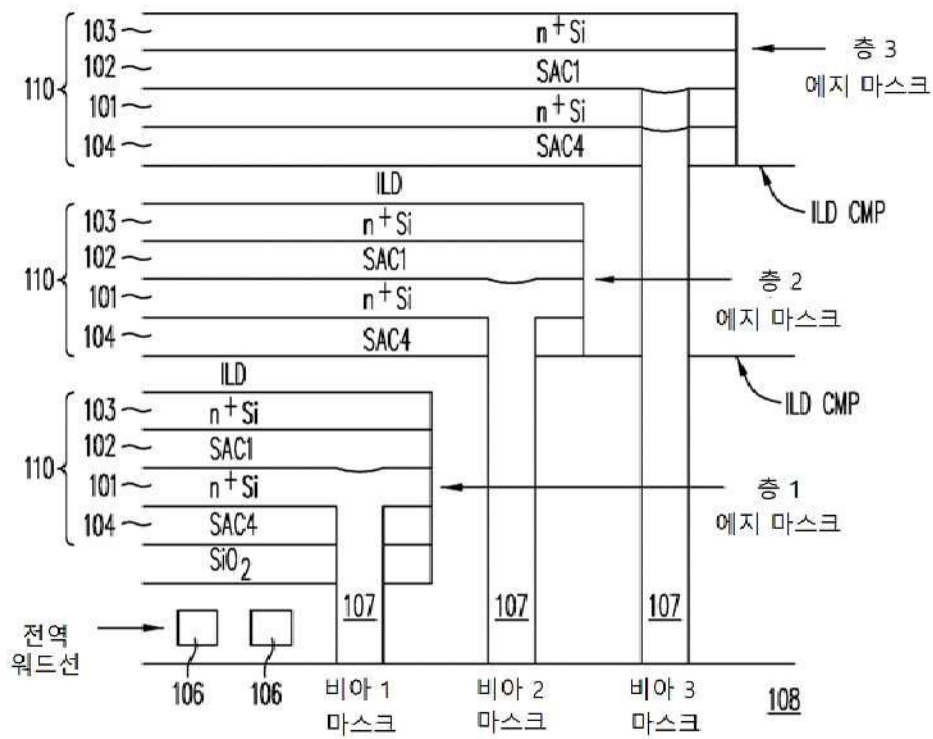
도면1



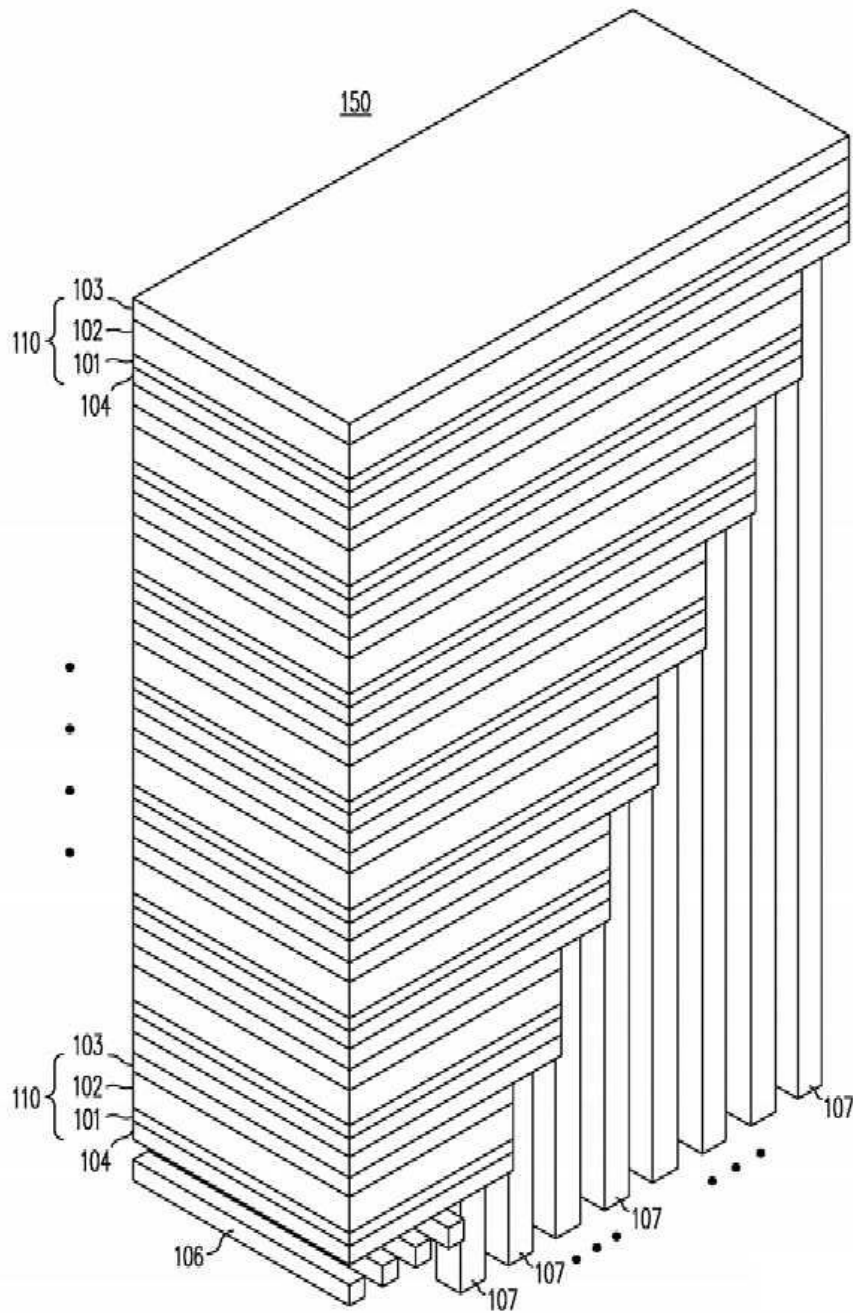
도면1a



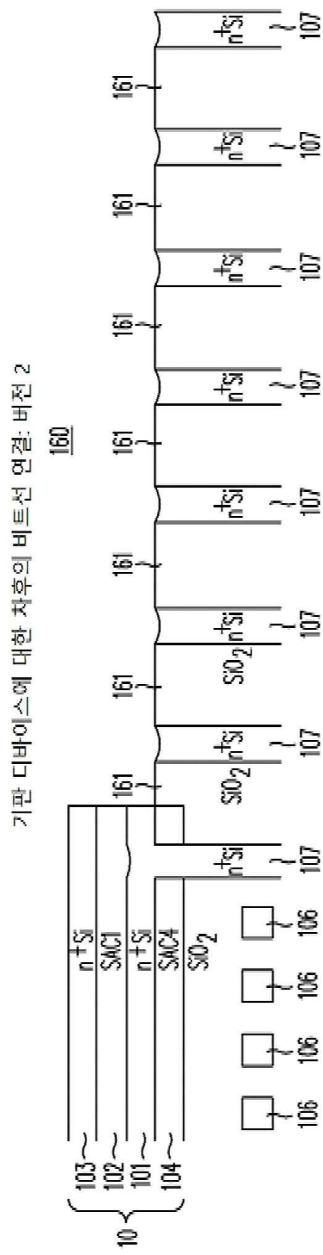
도면1b



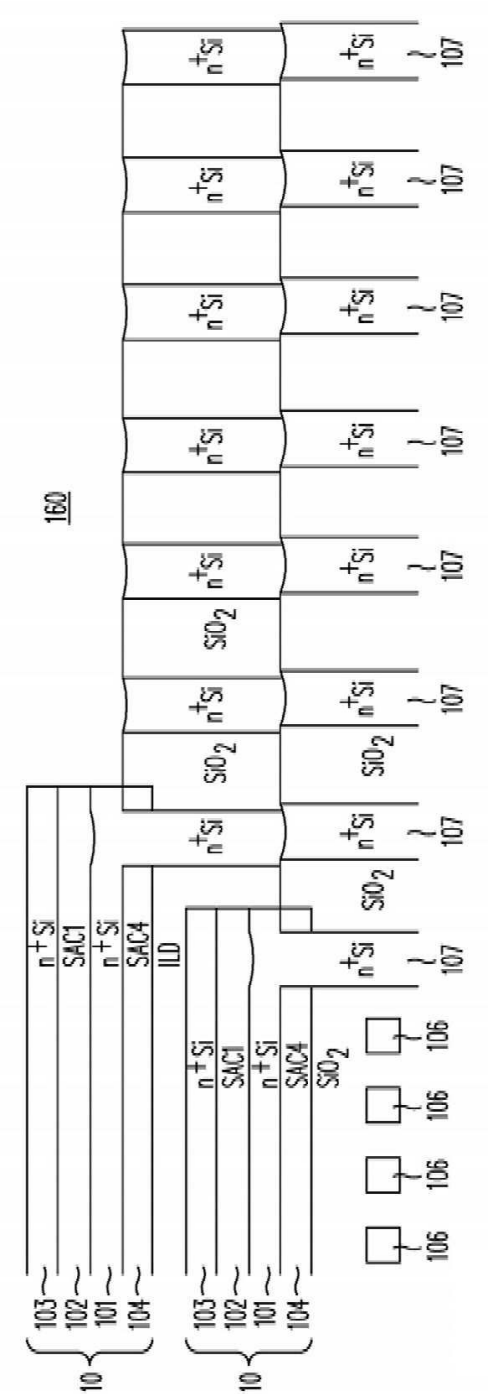
도면1c



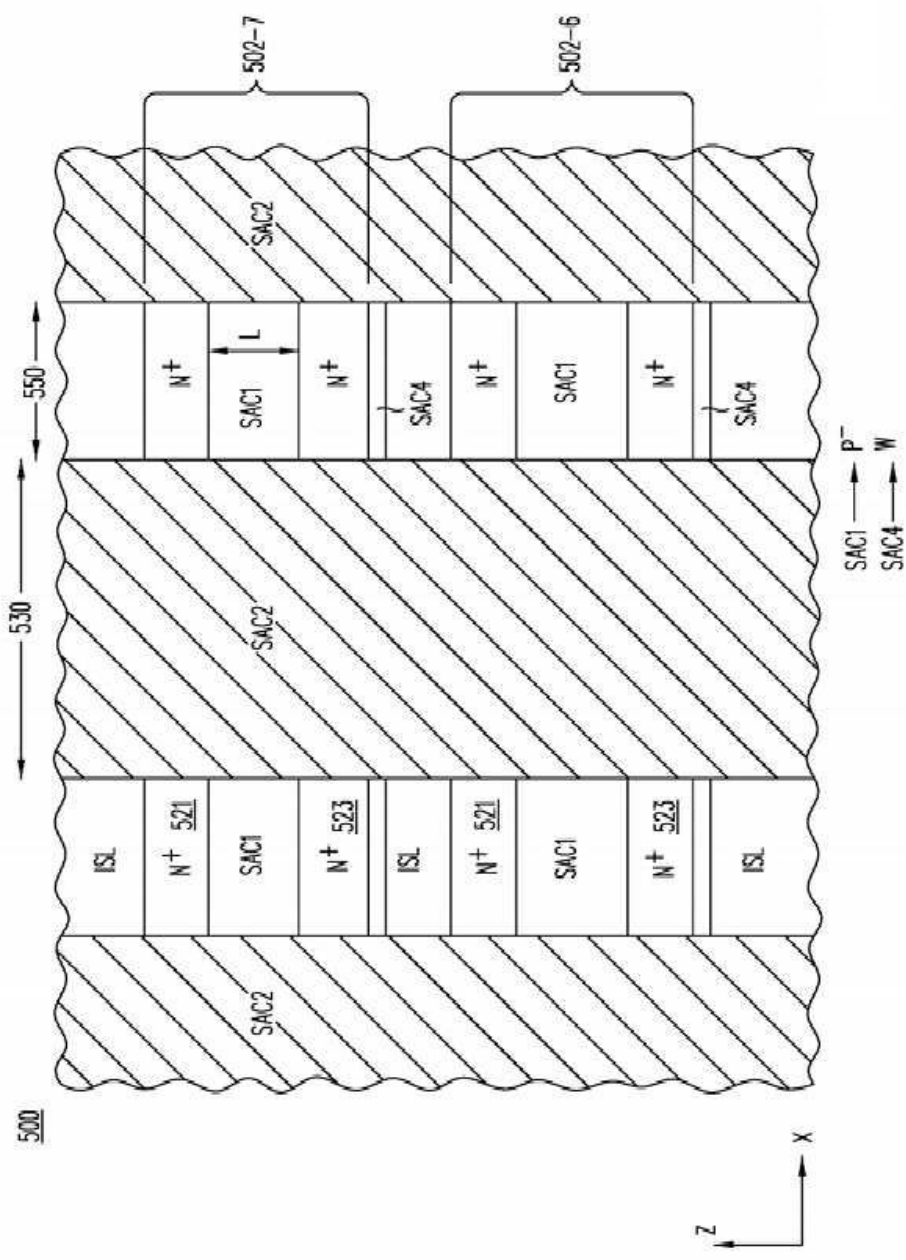
도면 1d



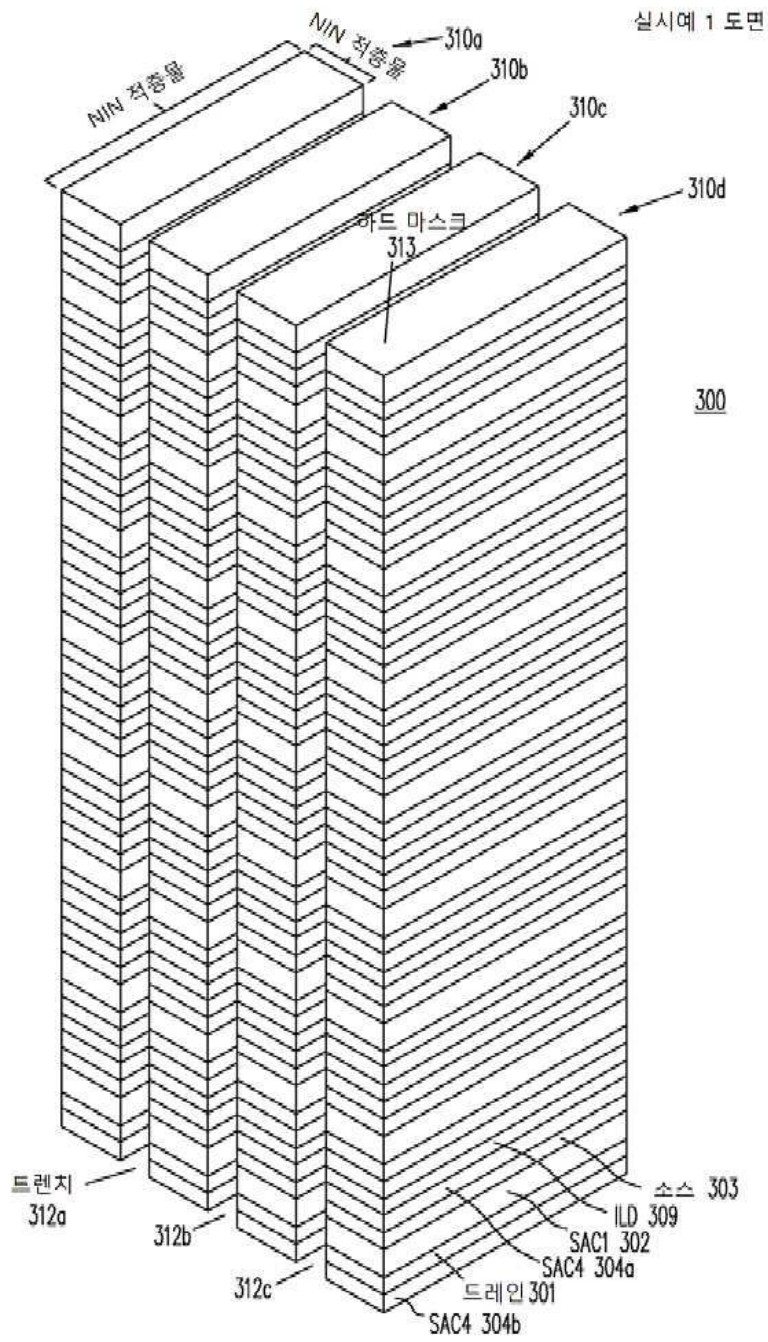
도면1e



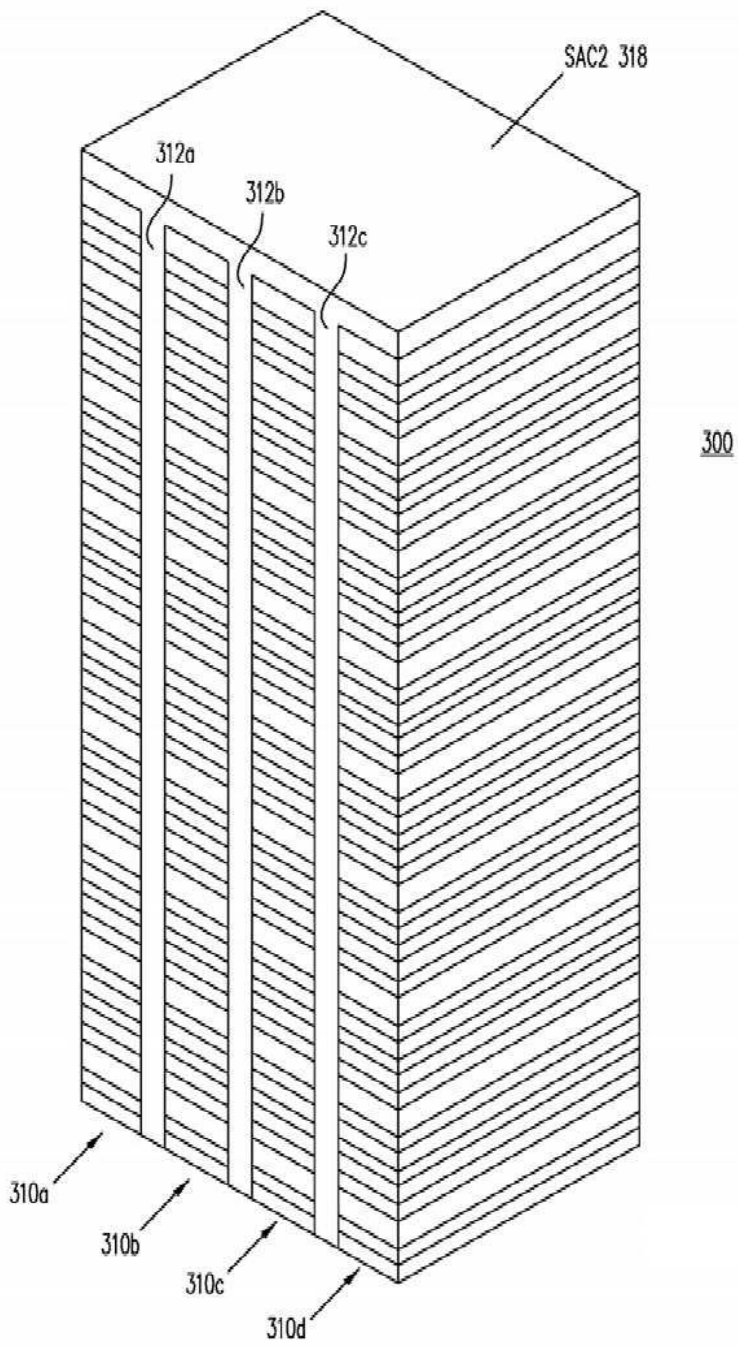
도면2



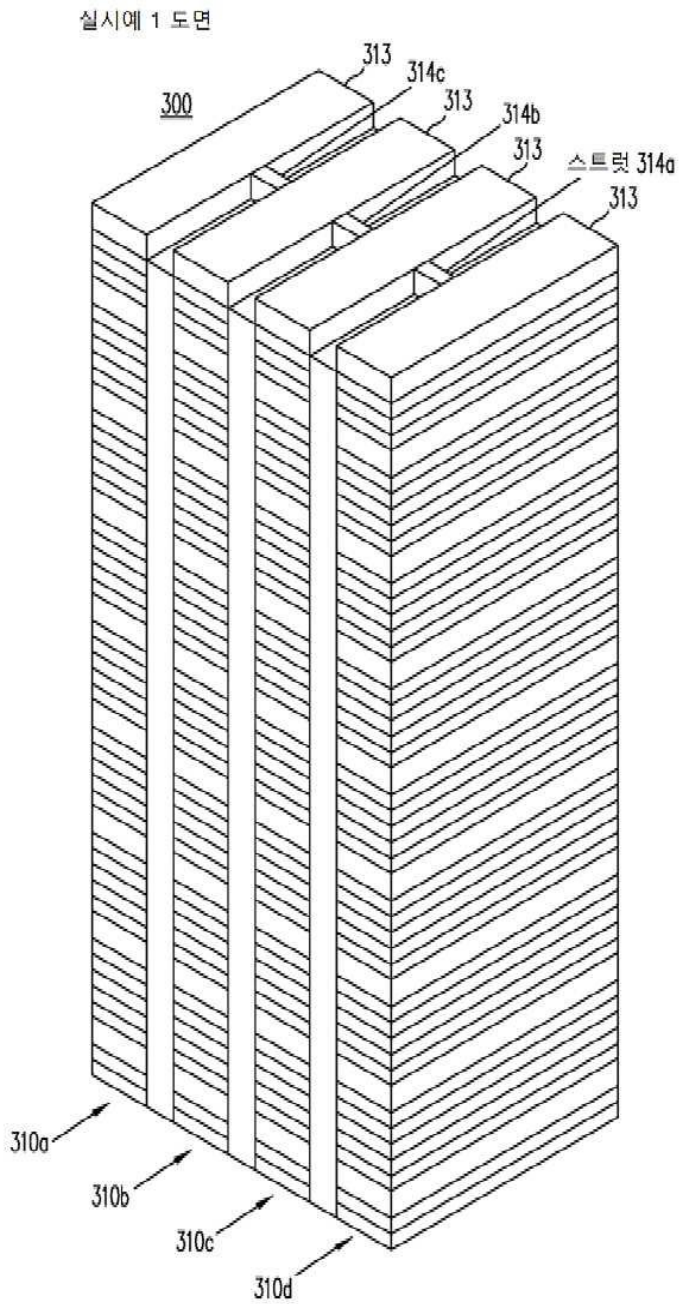
도면3



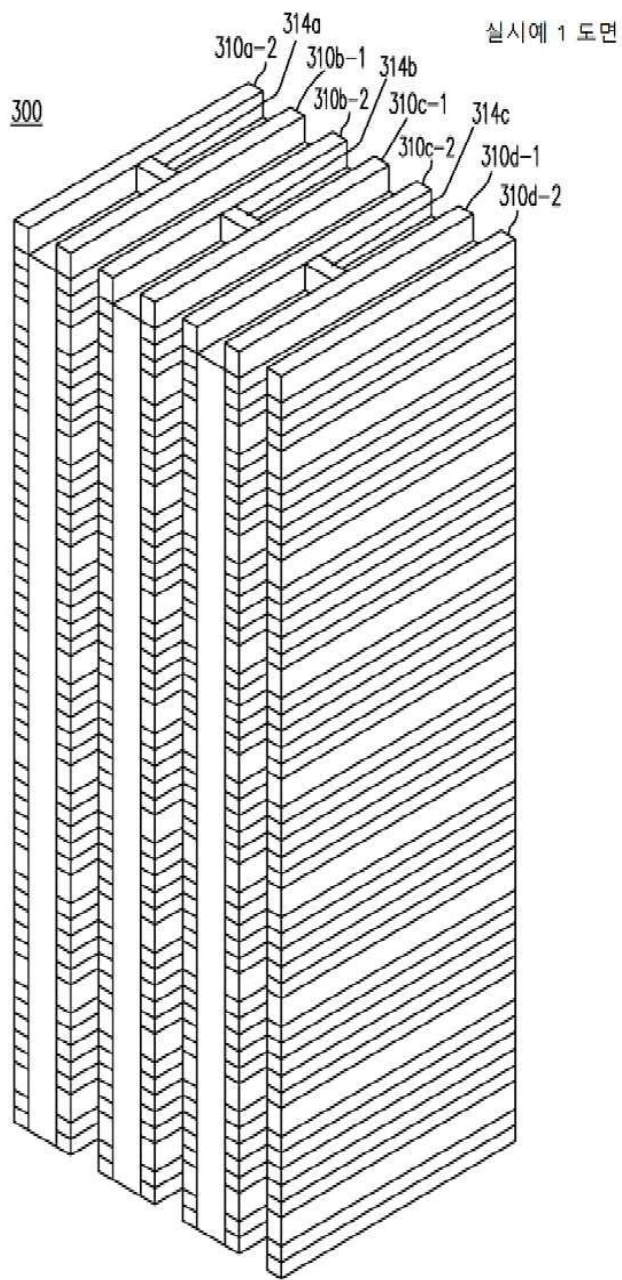
도면4



도면5

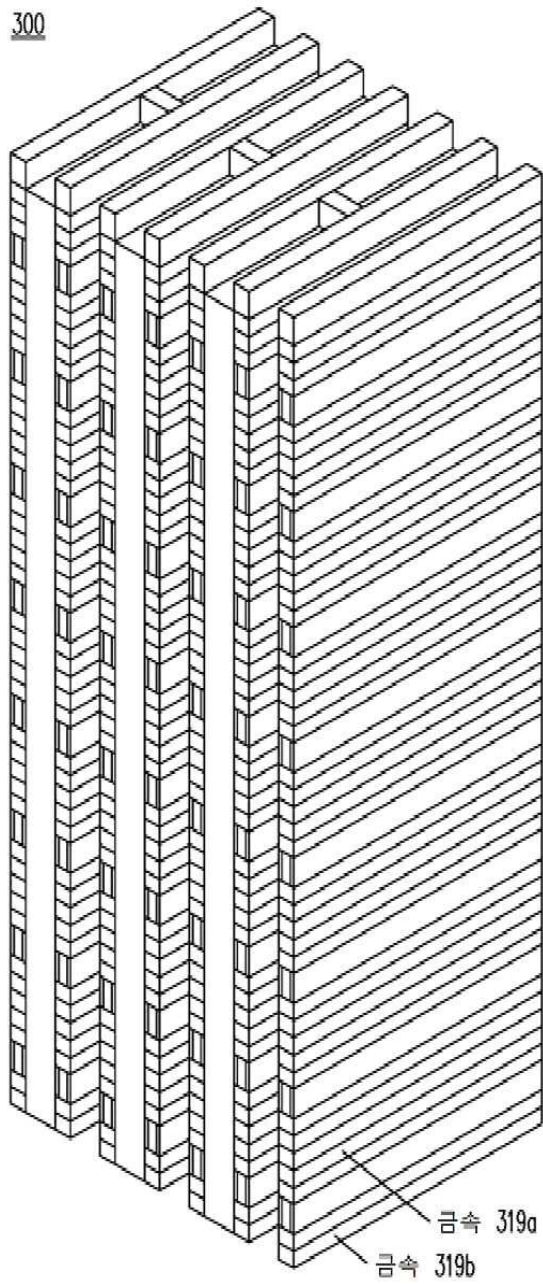


도면6



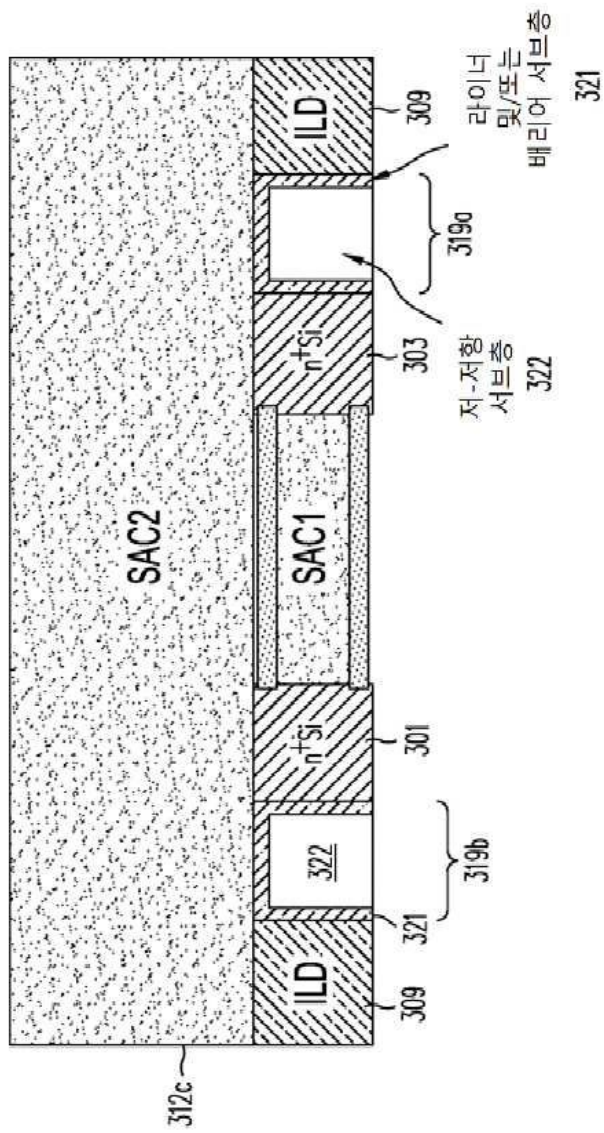
도면7

실시예 1 도면



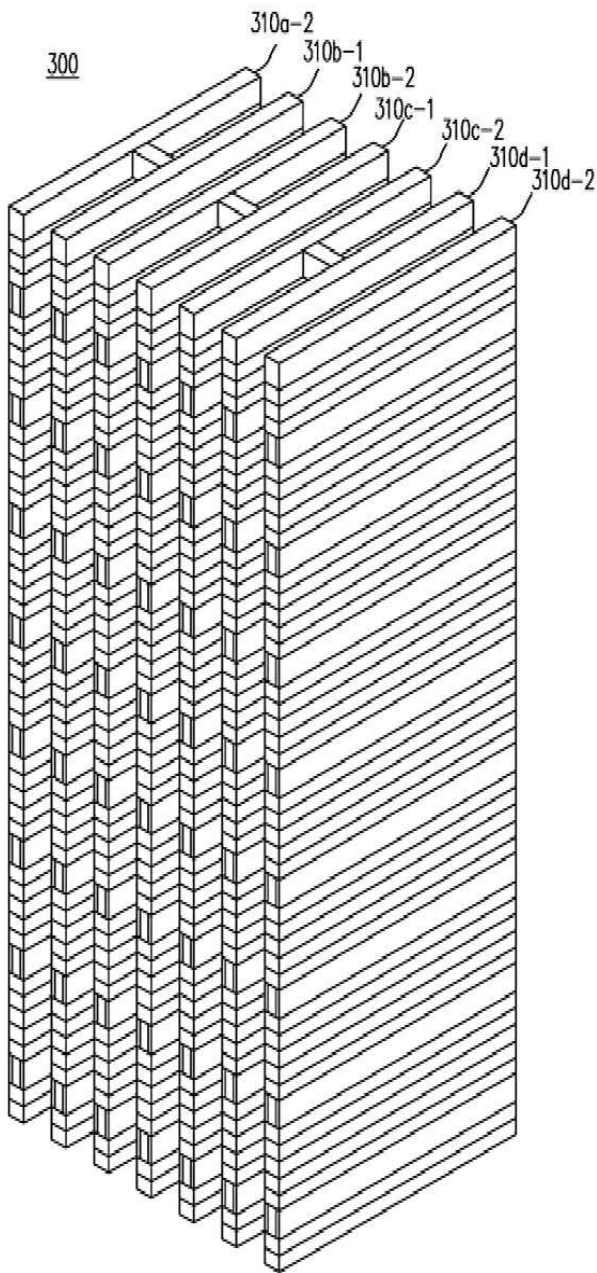
도면8

실시예 1 도면

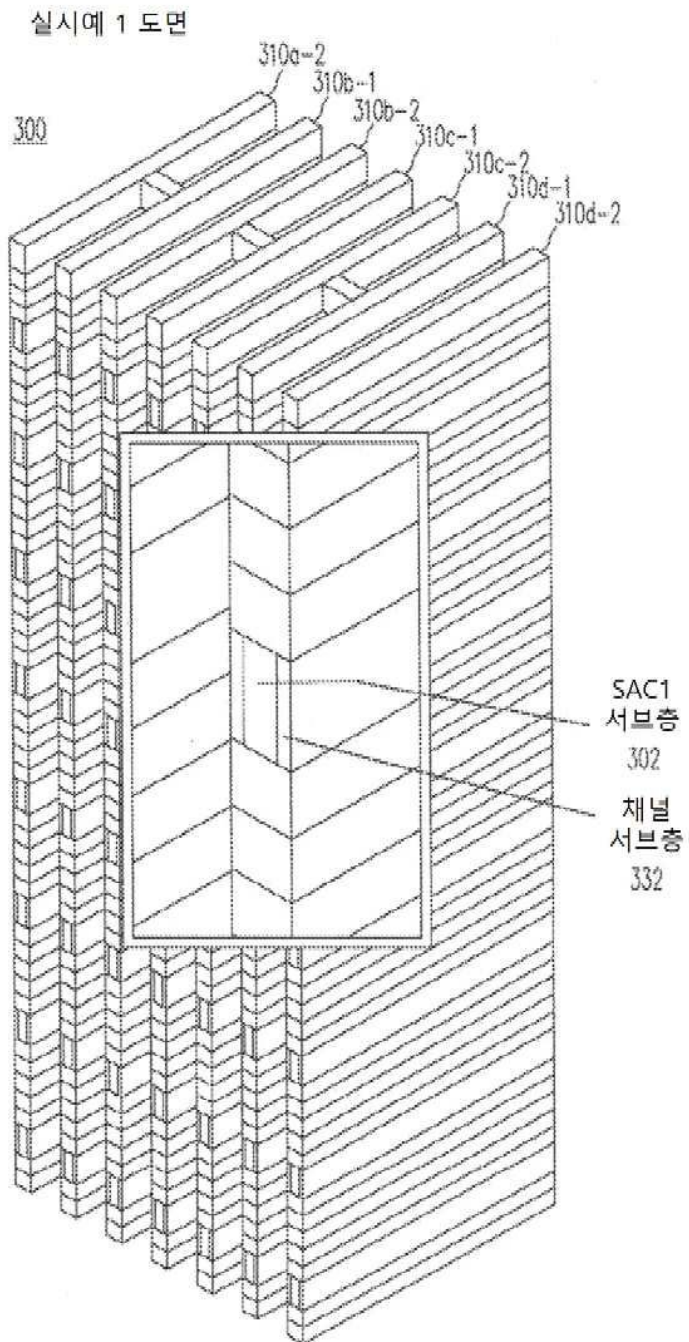


도면9

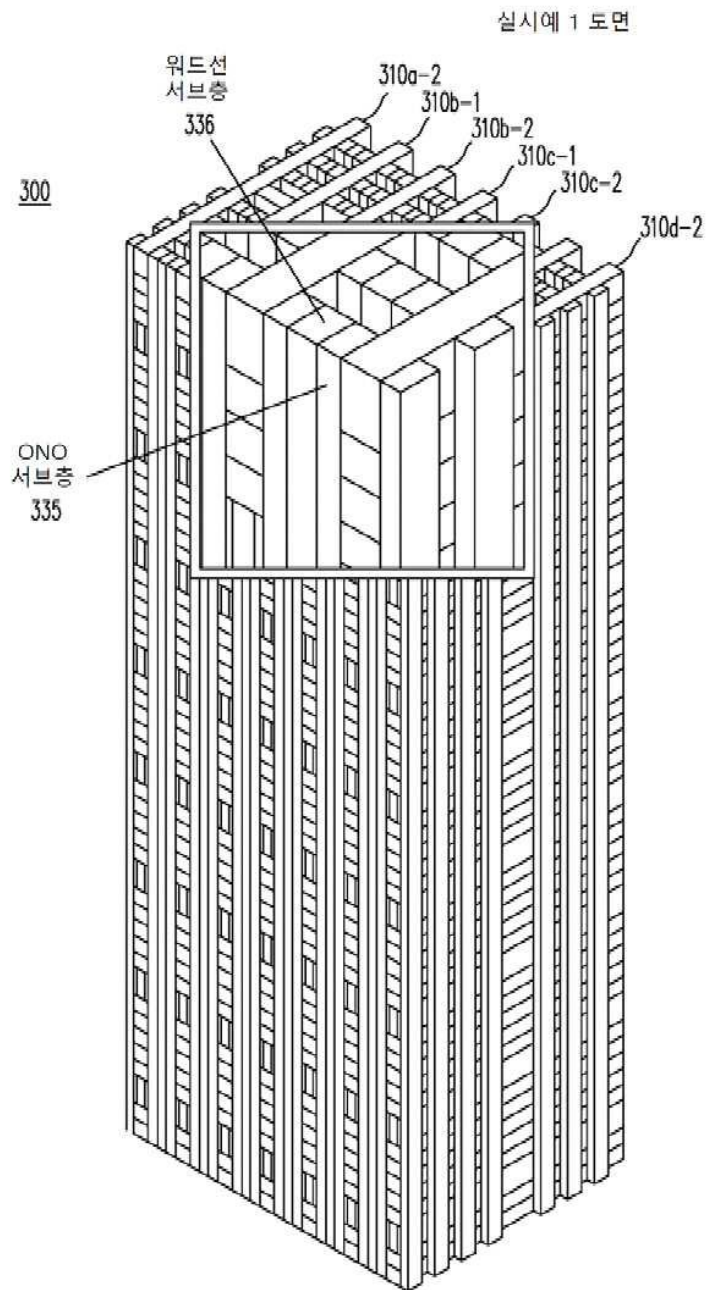
실시예 1 도면



도면10

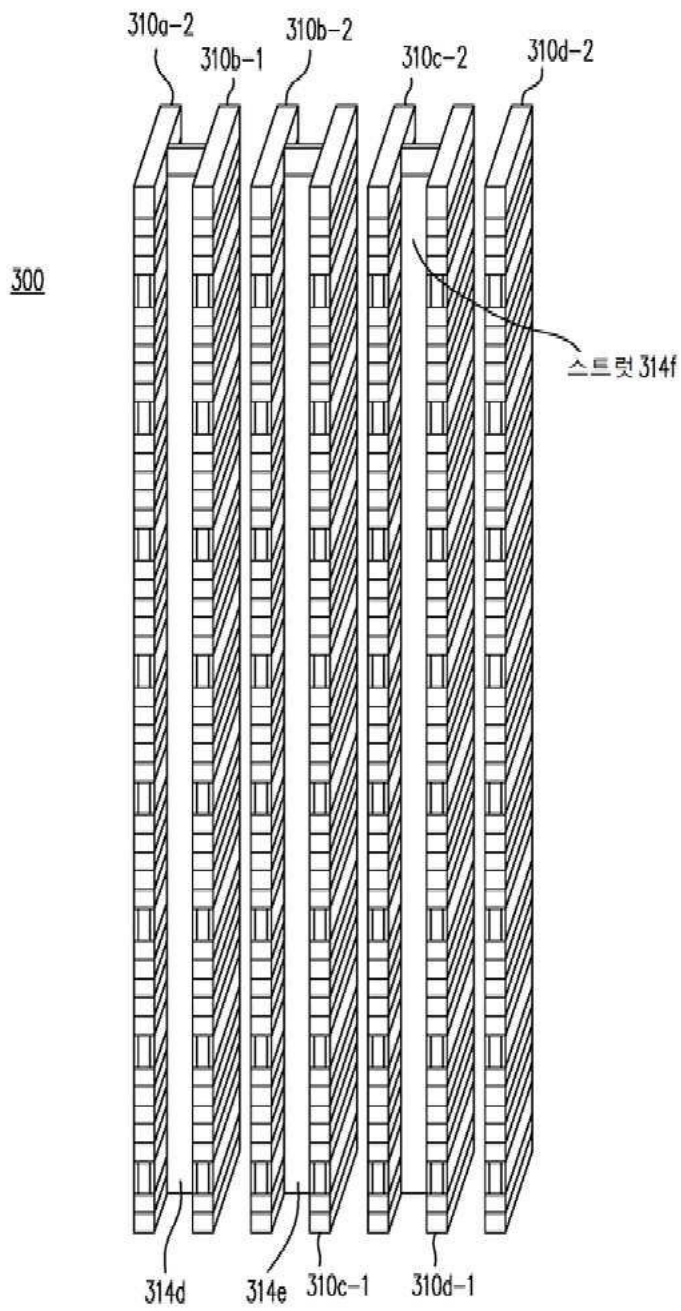


도면11

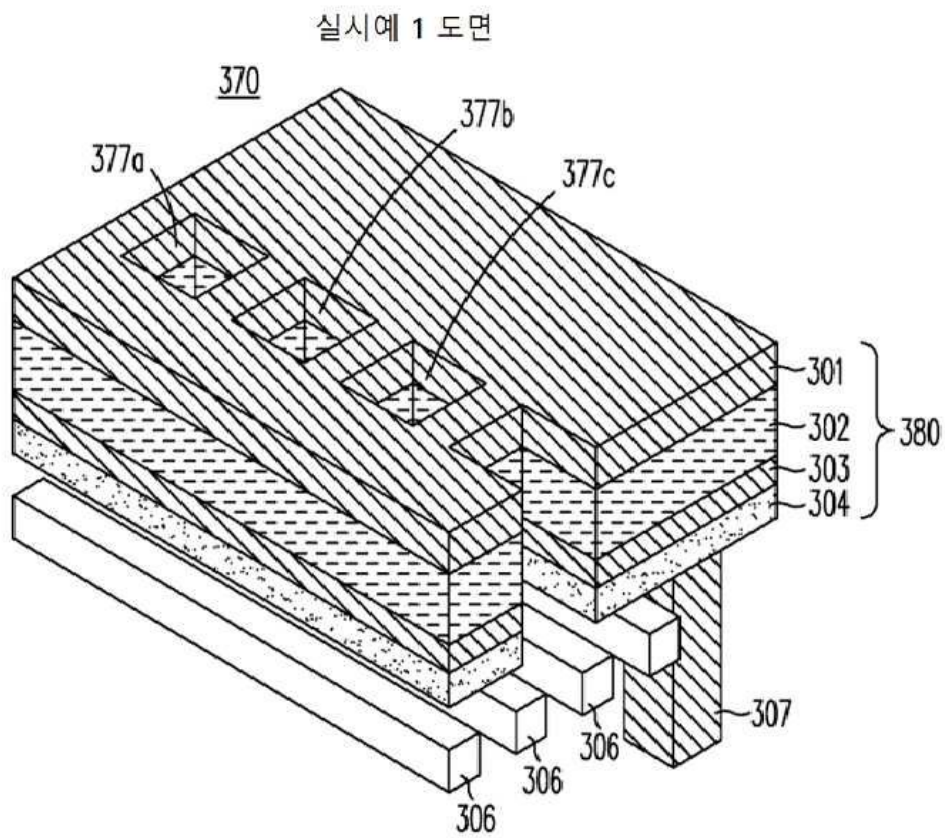


도면 12a

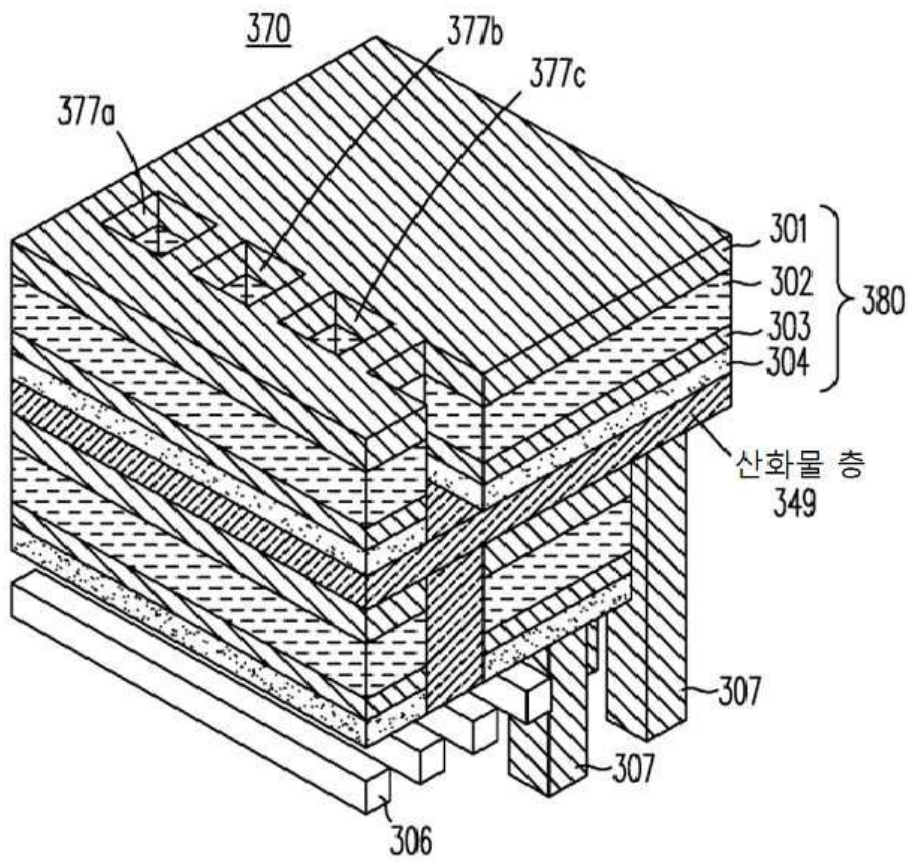
실시예 1 도면



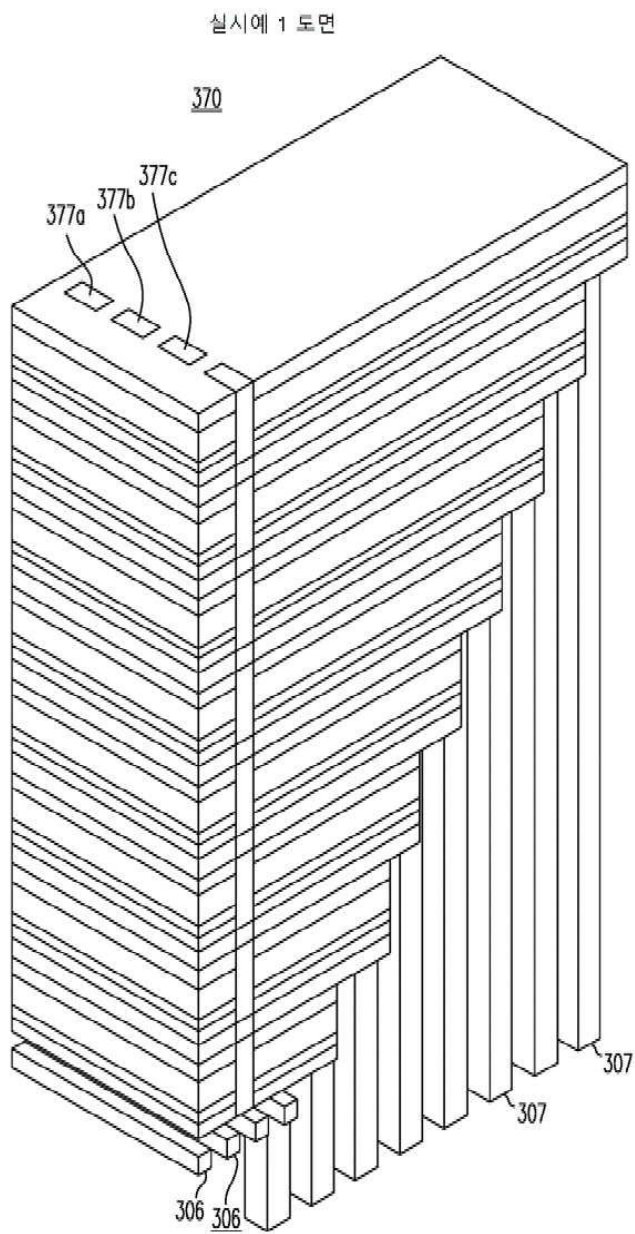
도면12b



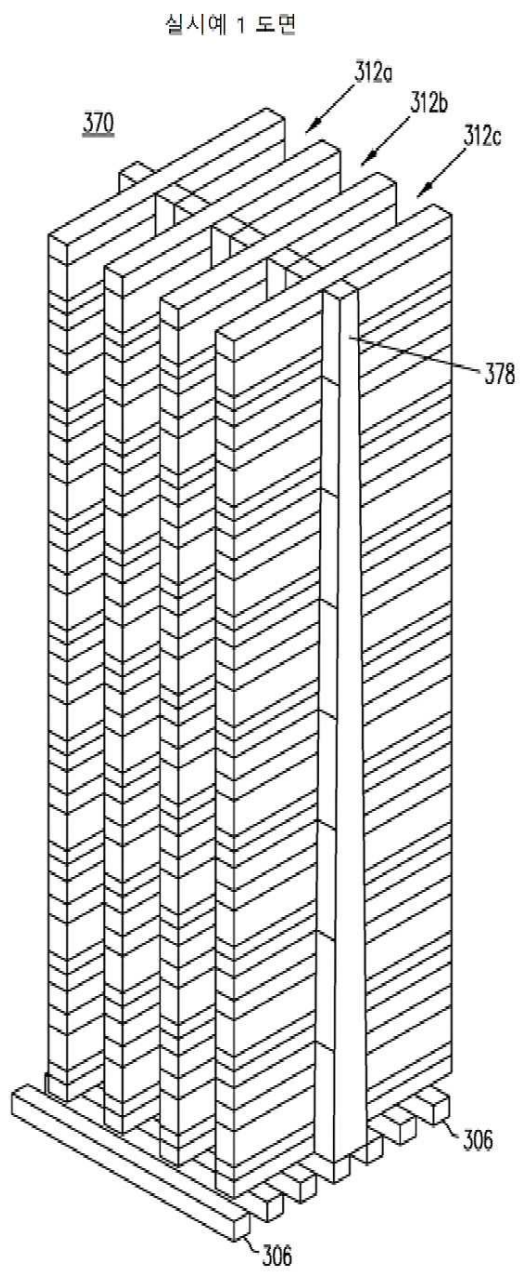
도면12c



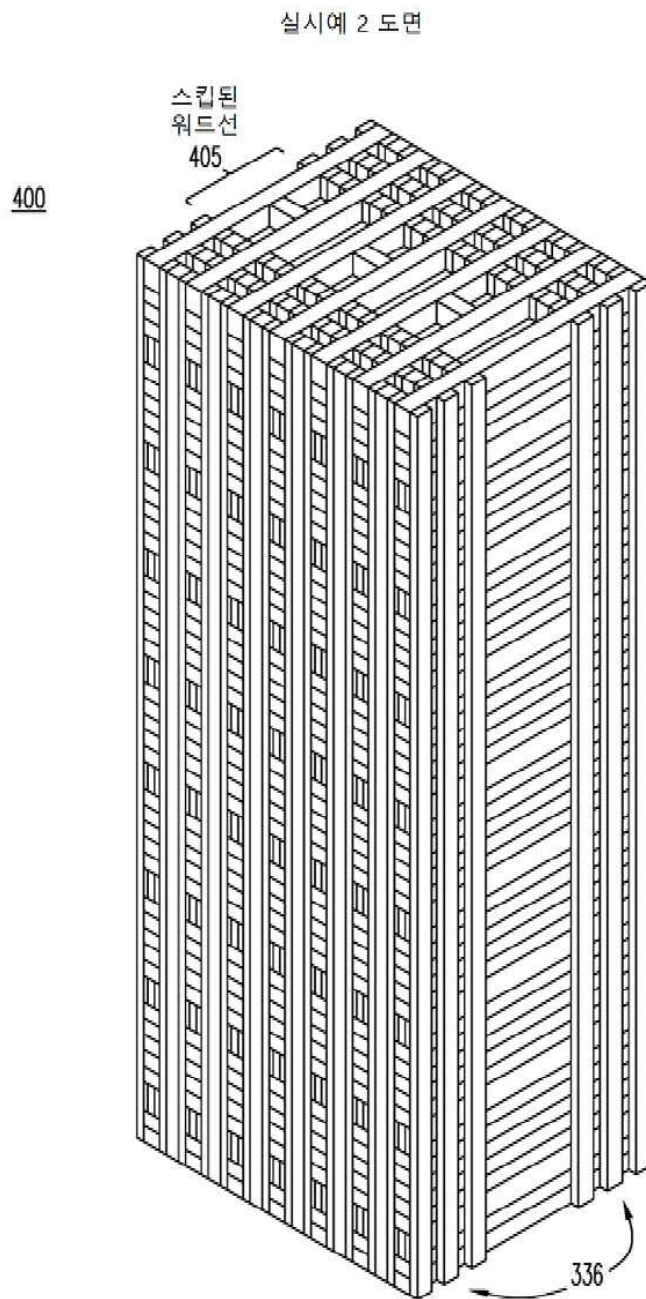
도면12d



도면12e

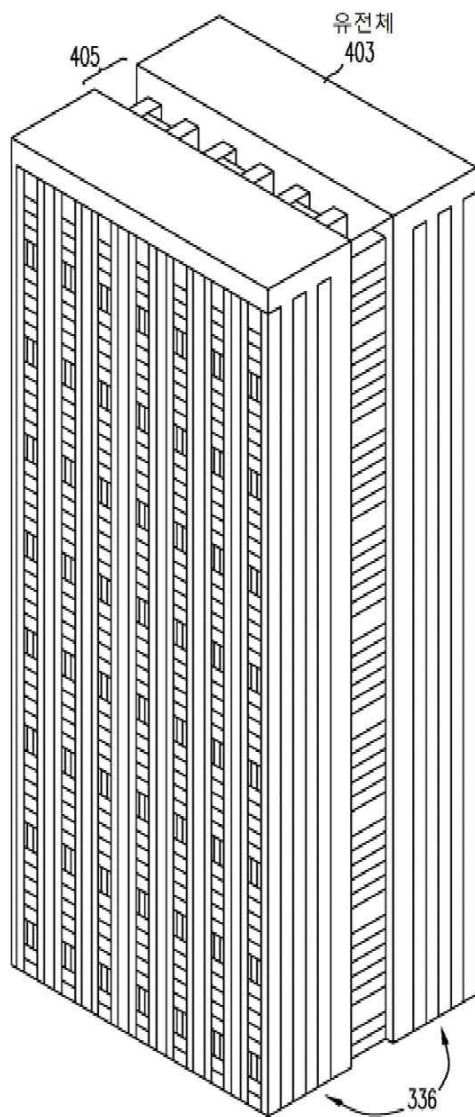


도면13



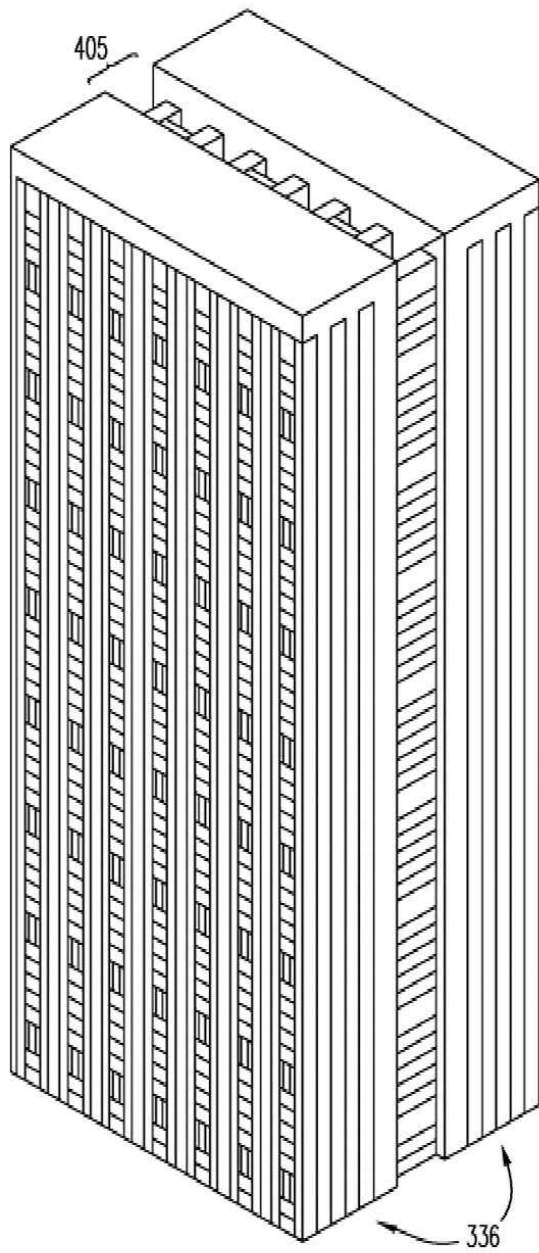
도면14

실시예 2 도면

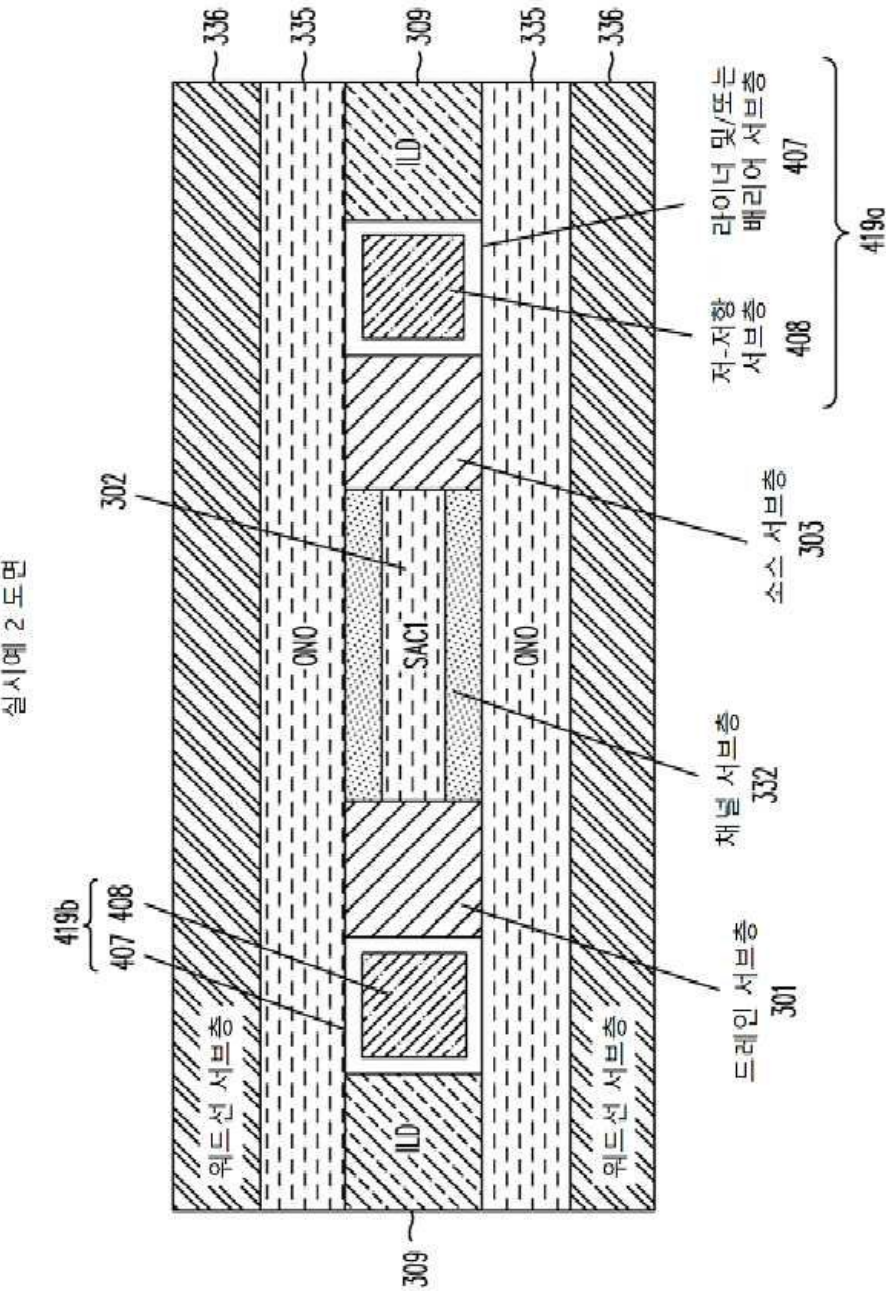


도면15

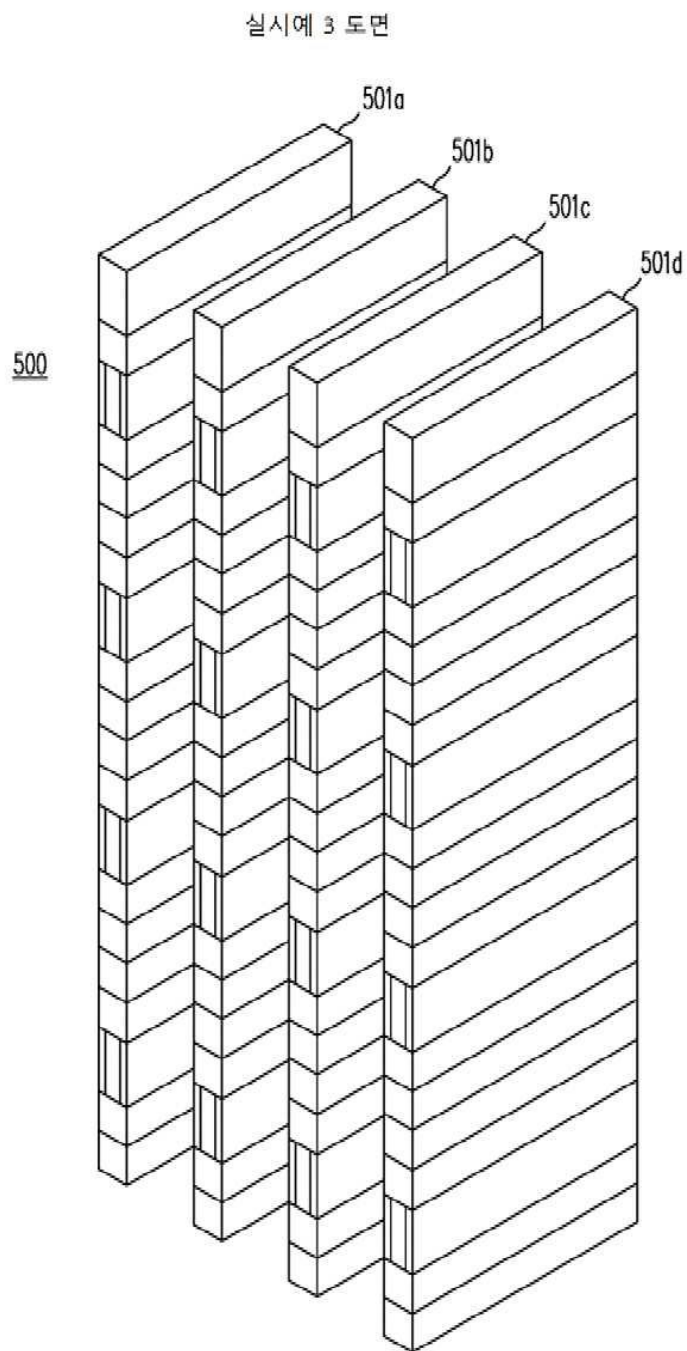
실시예 2 도면



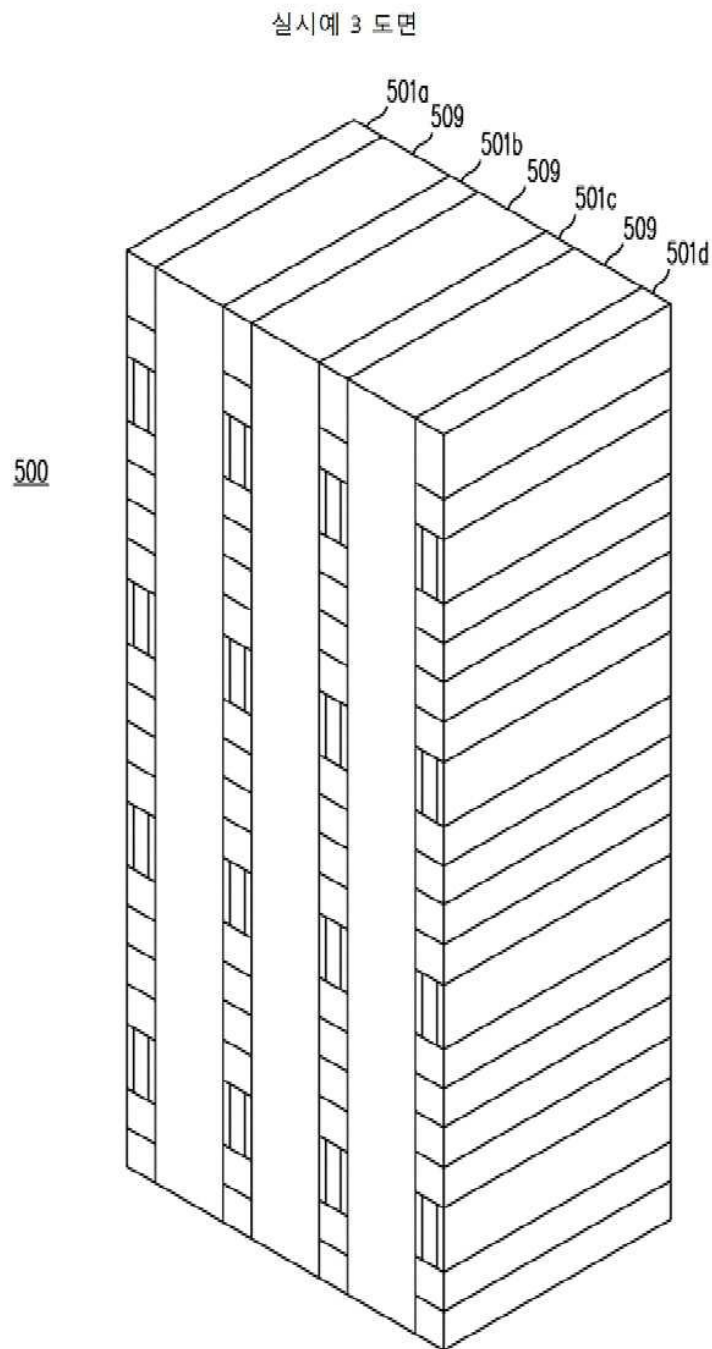
도면16



도면17

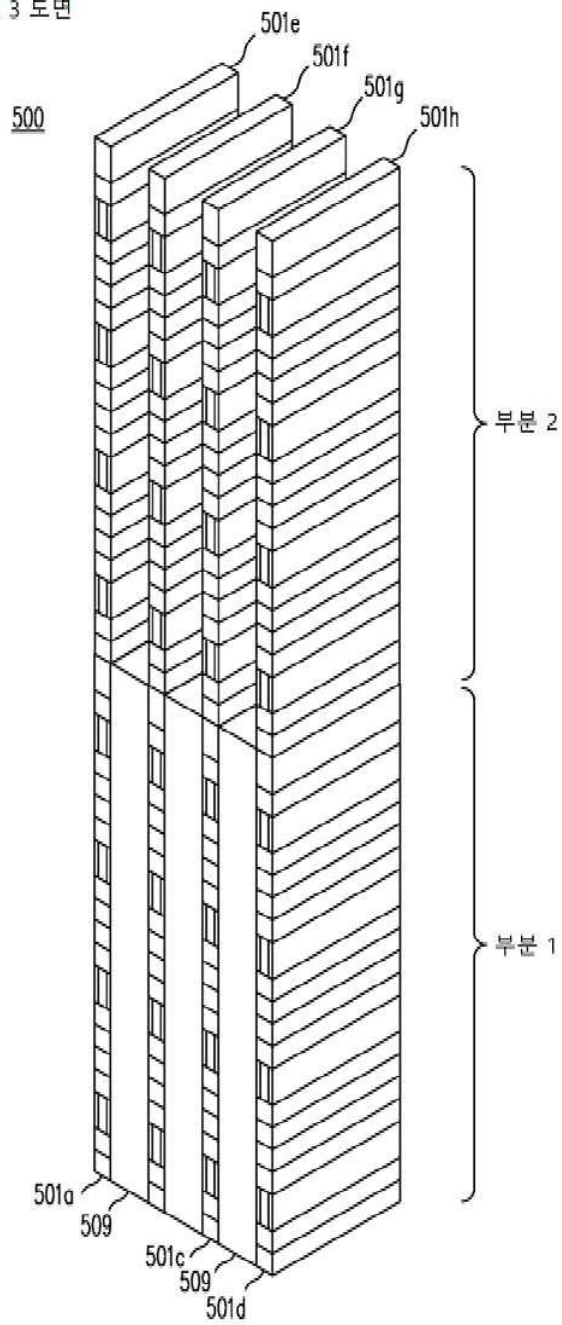


도면18



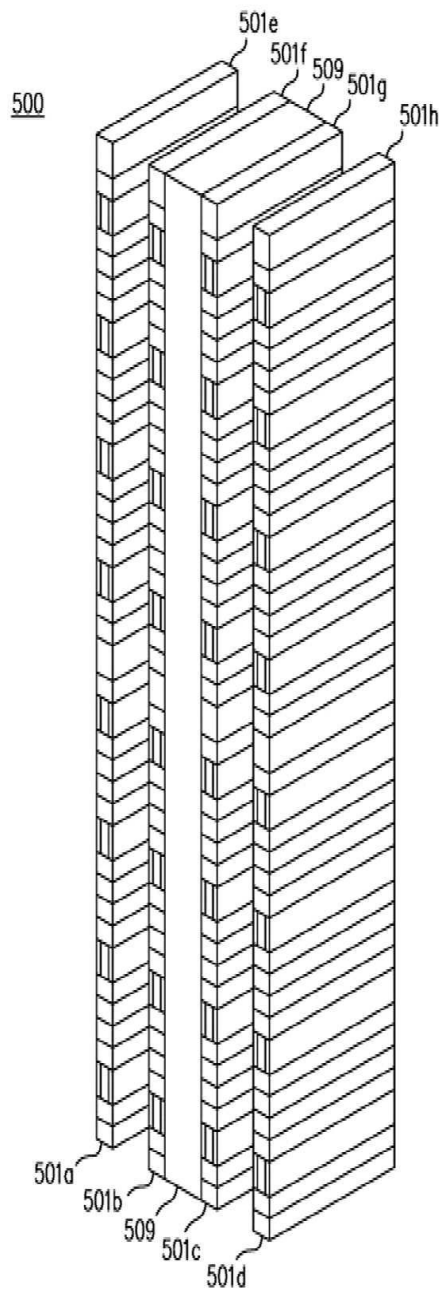
도면19

실시예 3 도면

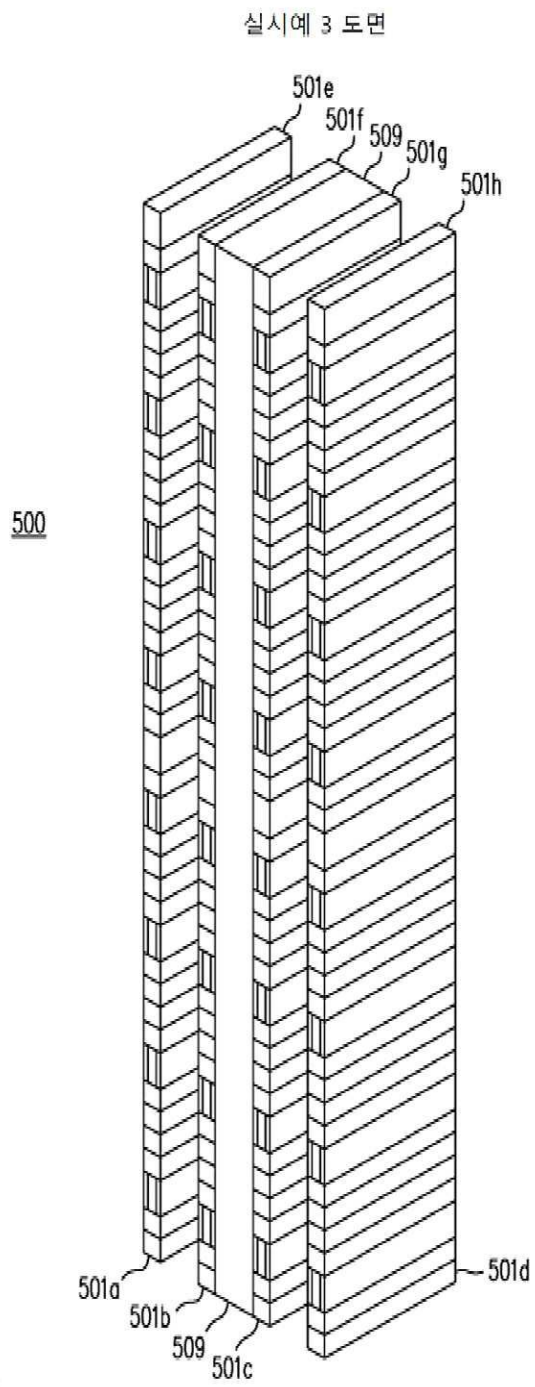


도면20

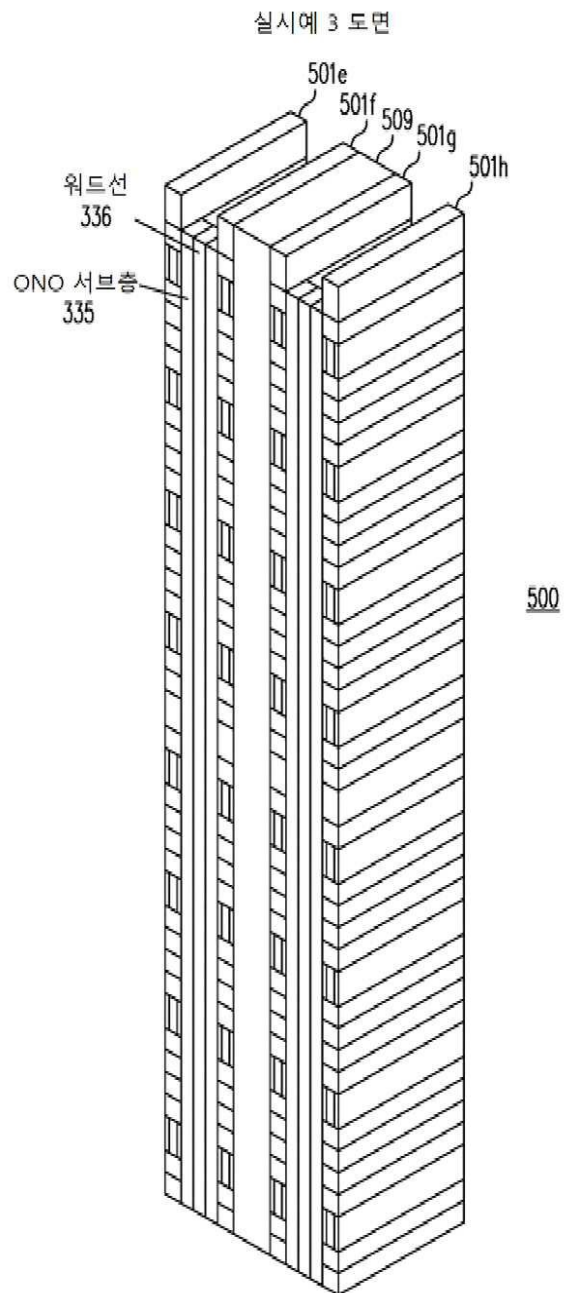
실시예 3 도면



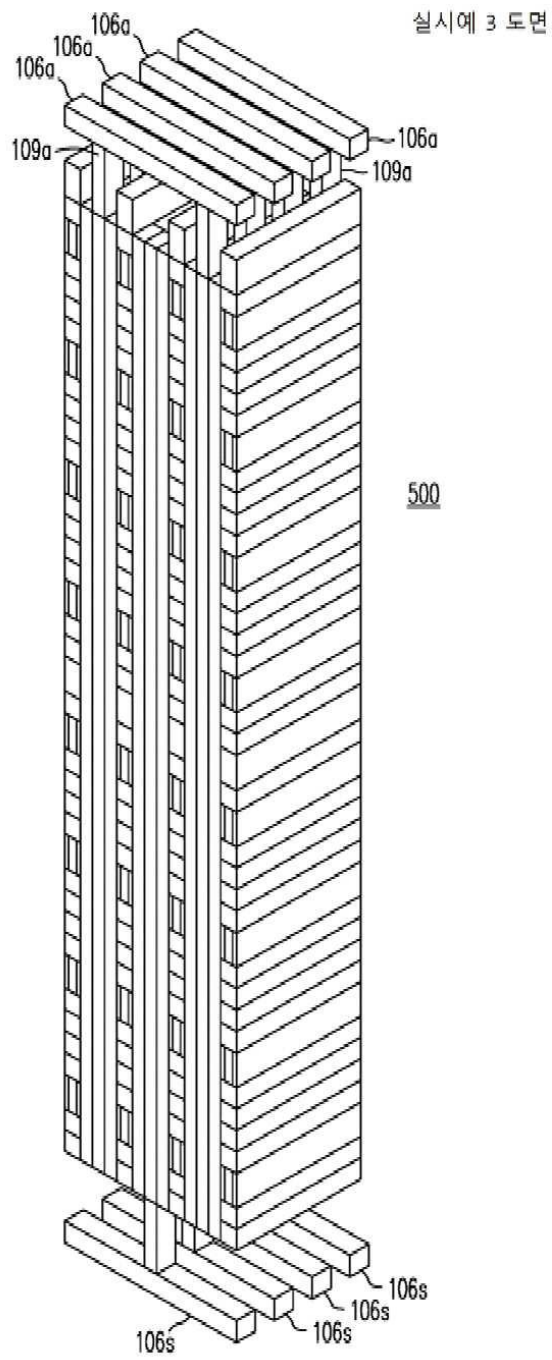
도면21



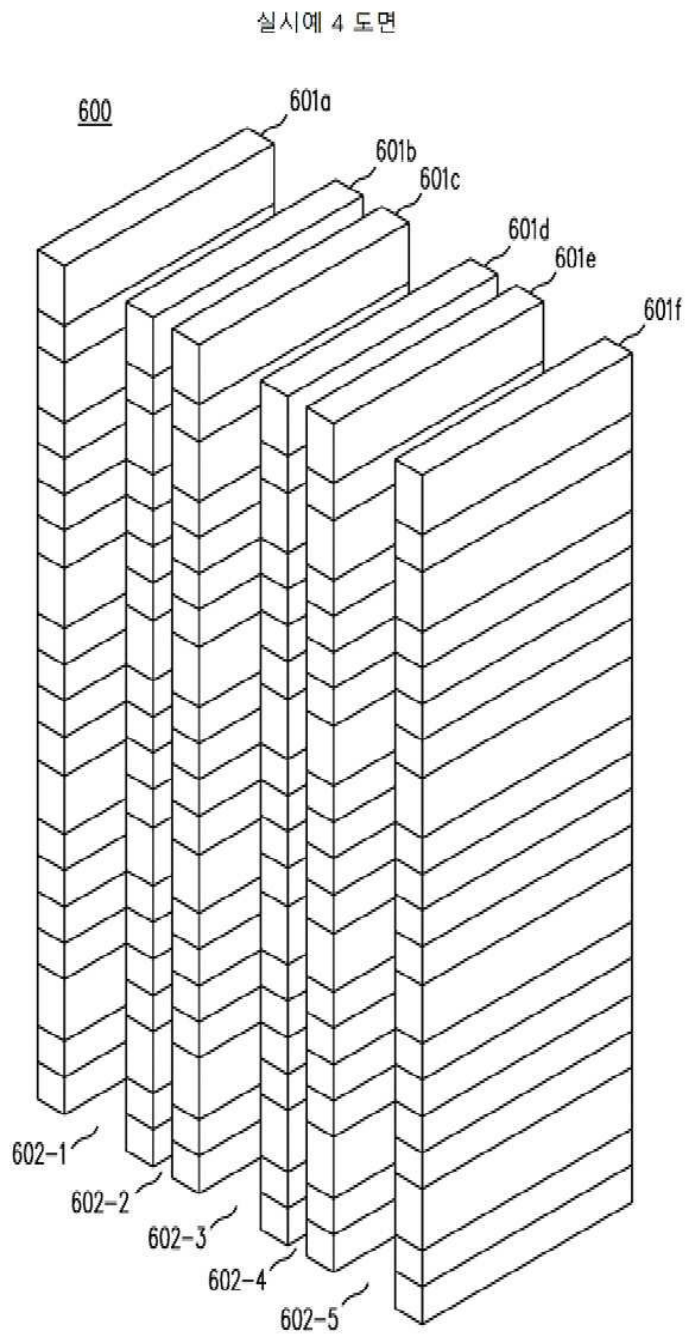
도면22



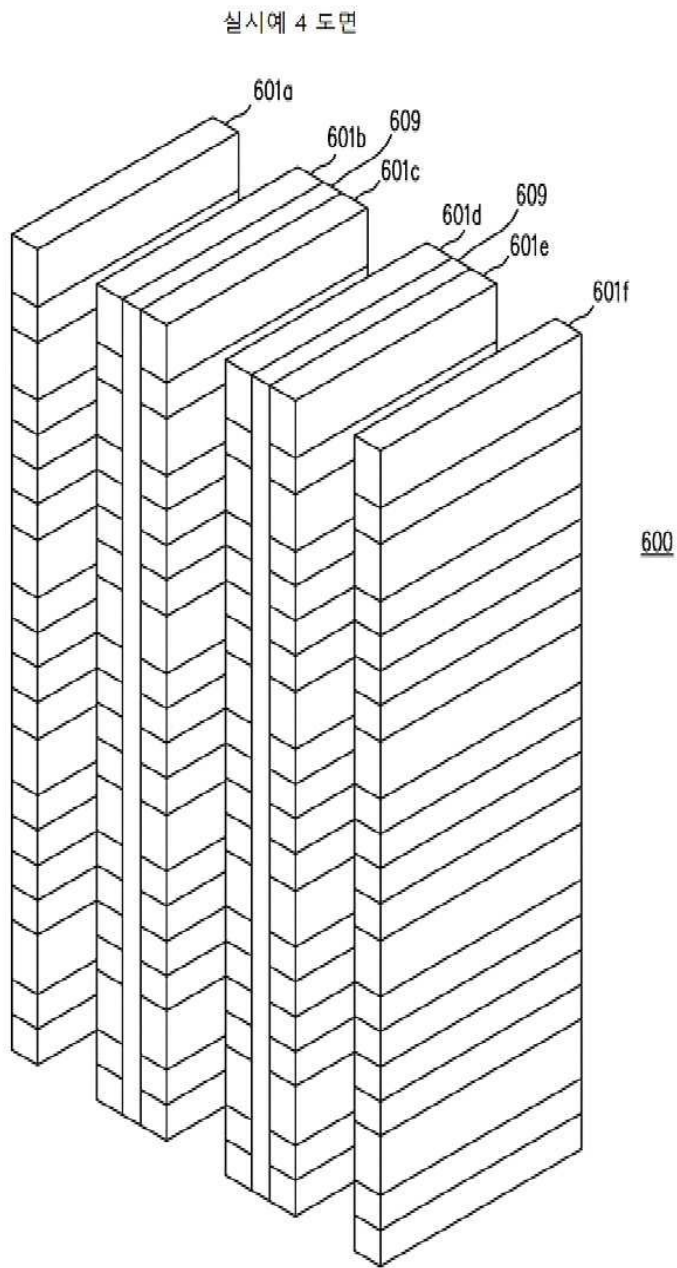
도면23



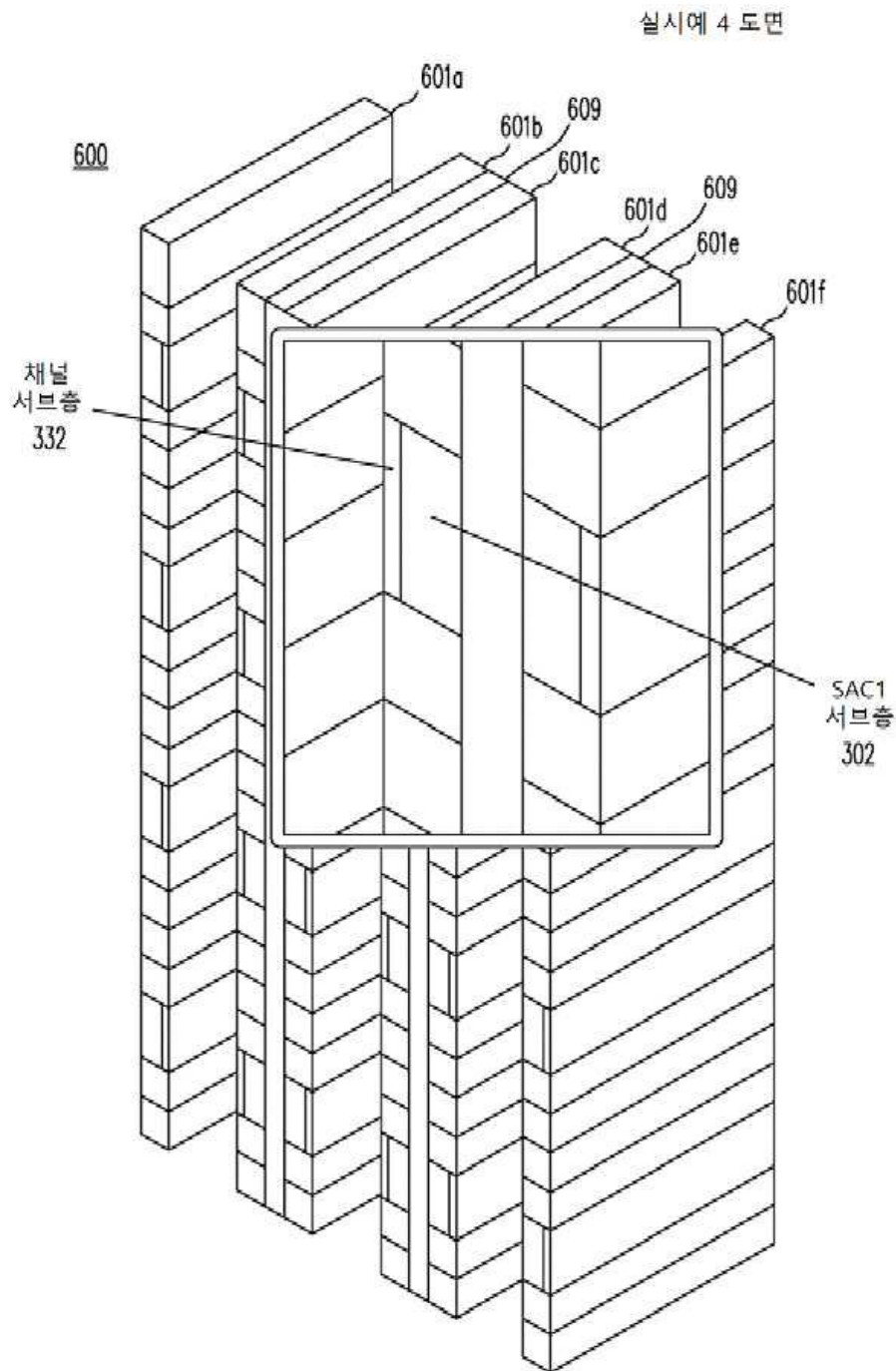
도면24



도면25

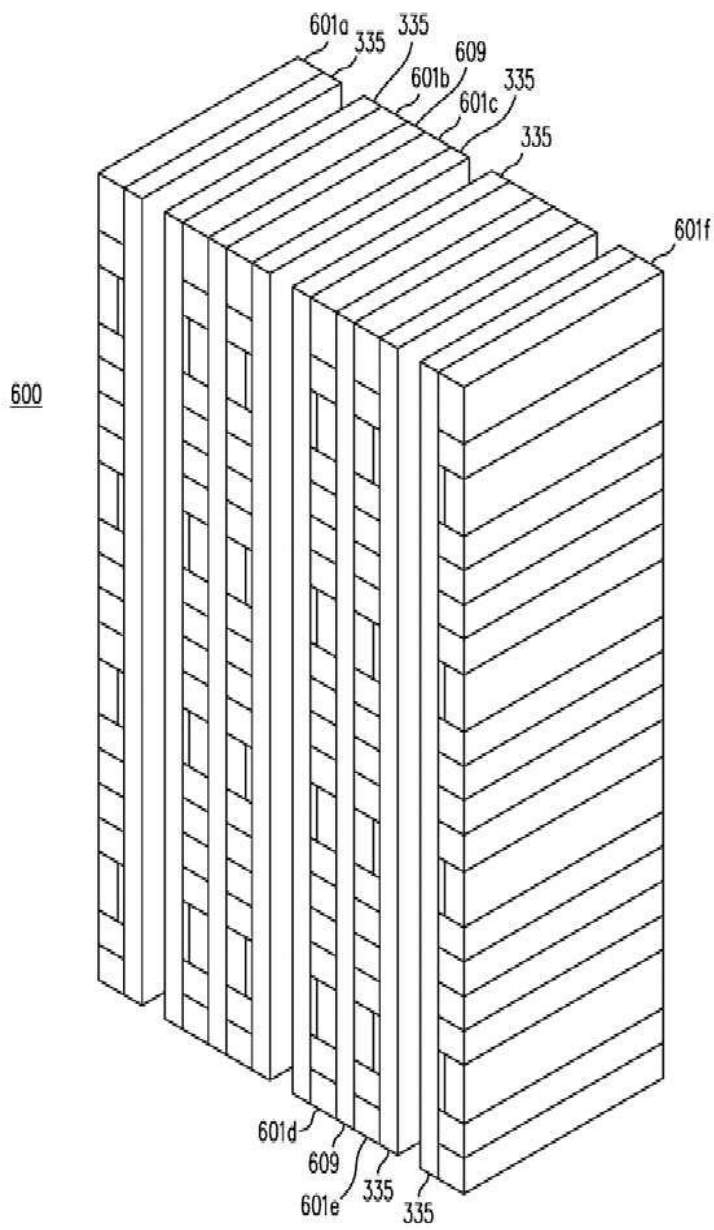


도면26

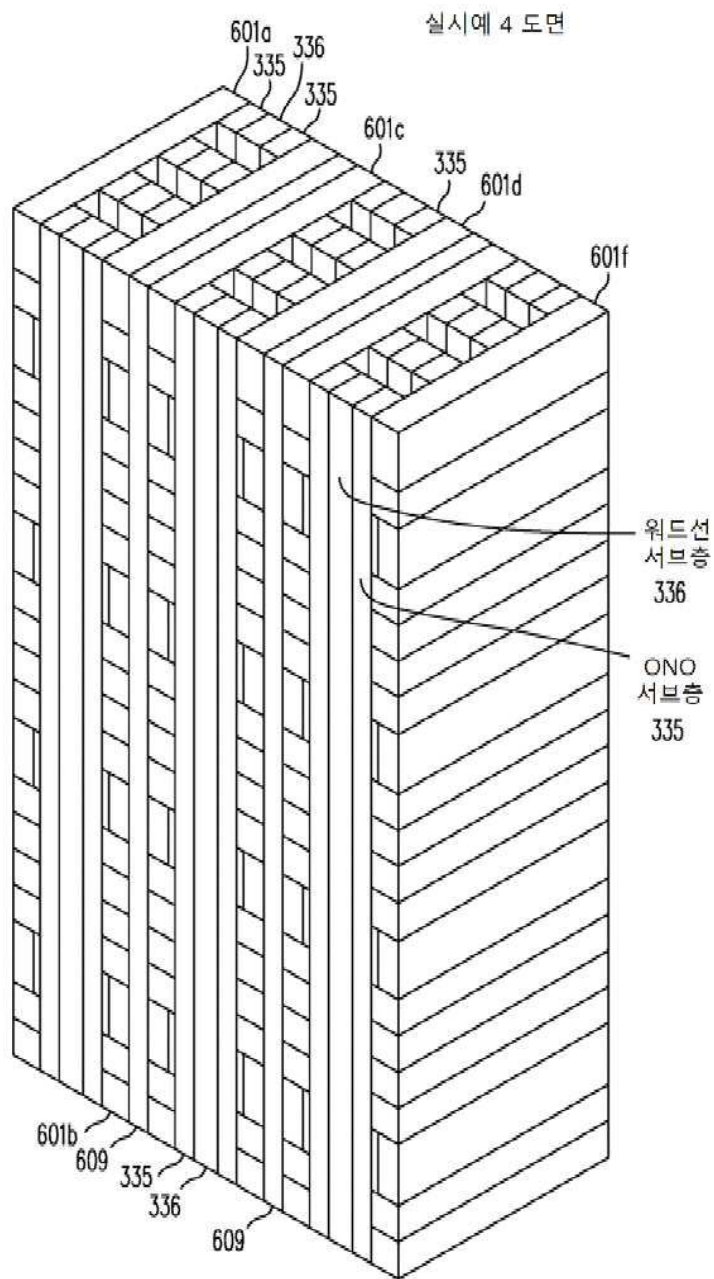


도면27

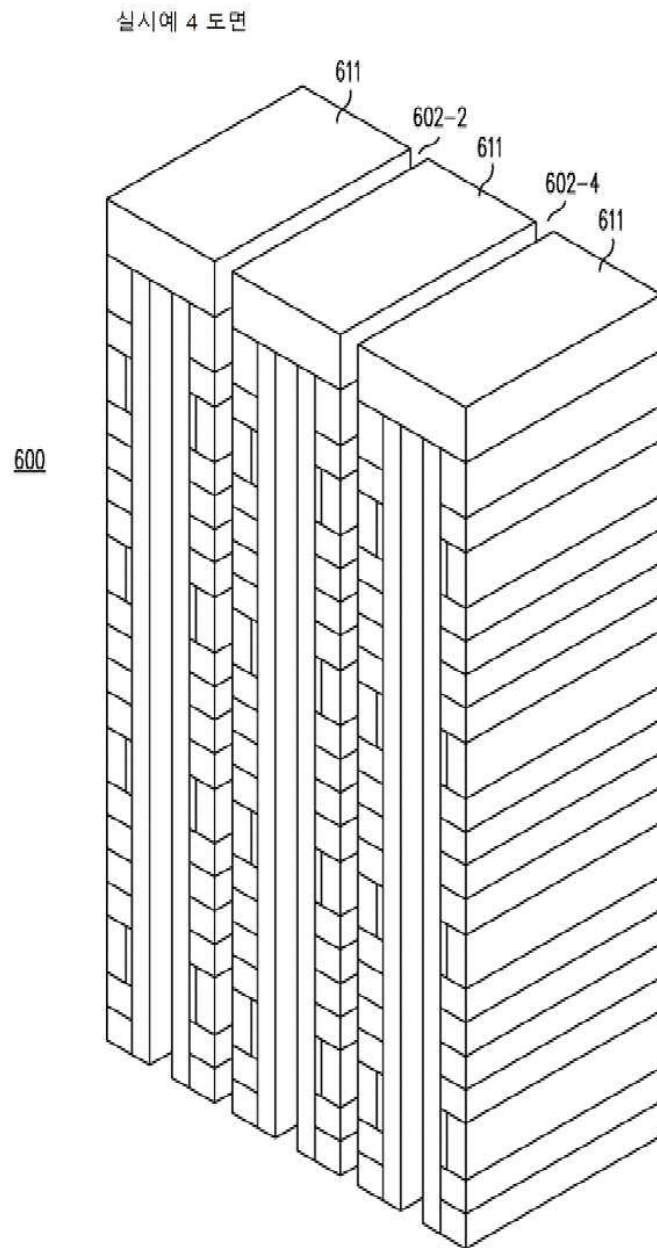
실시예 4 도면



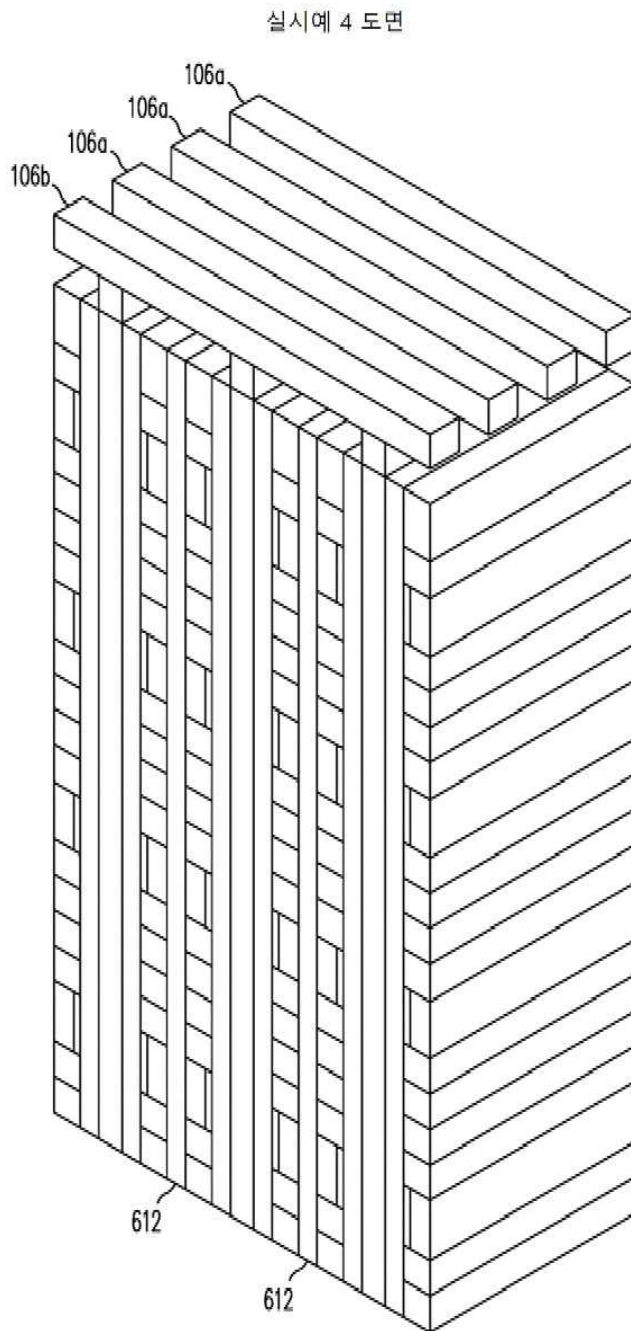
도면28



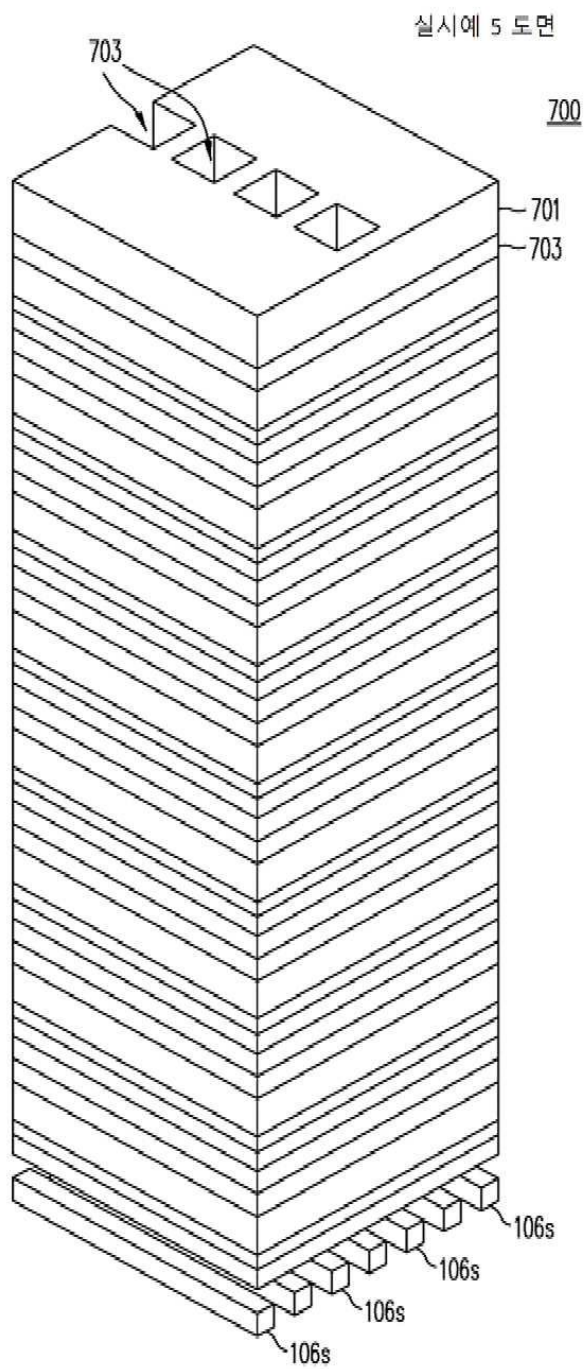
도면29



도면30

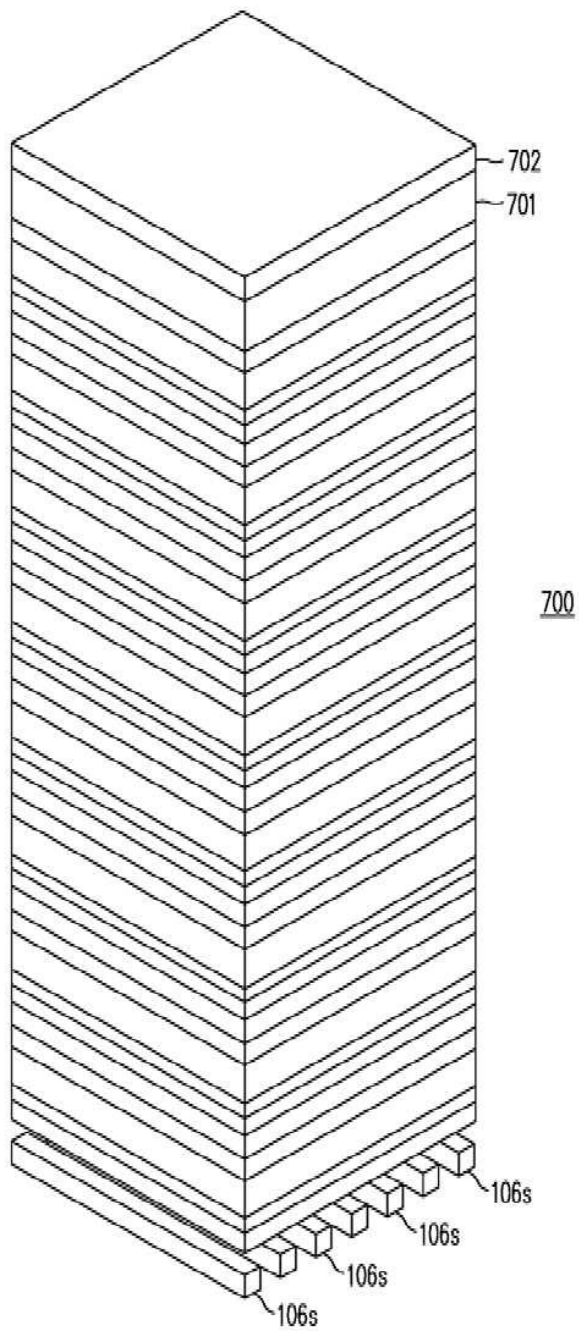


도면31

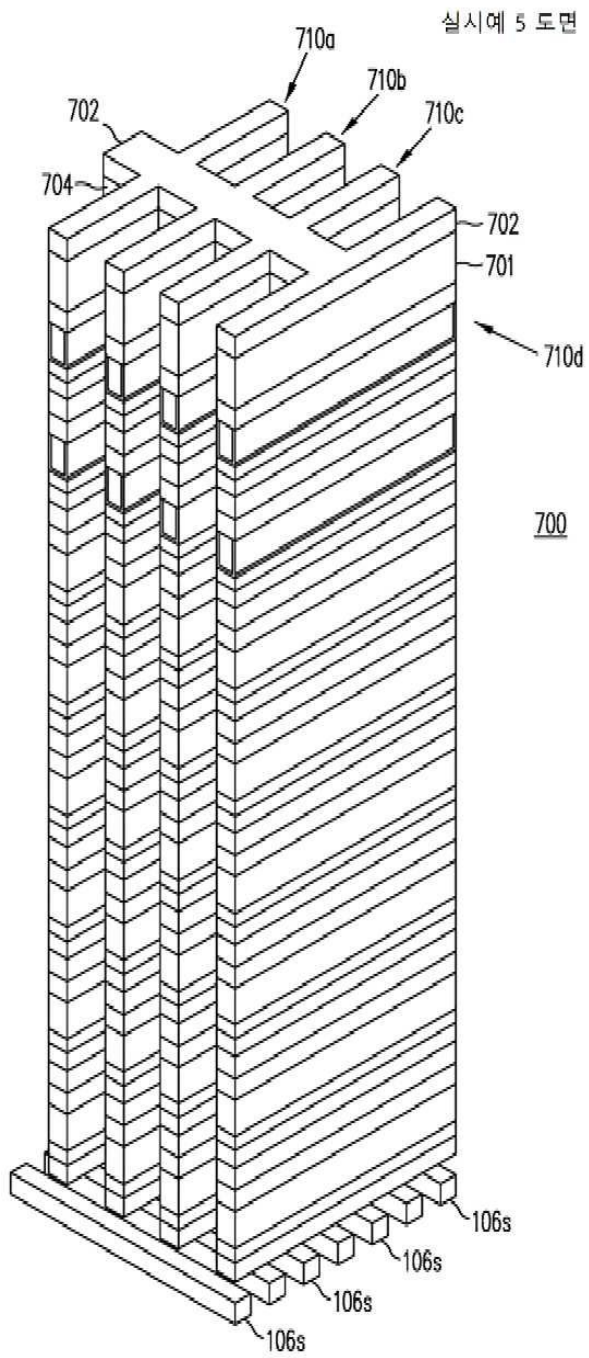


도면32

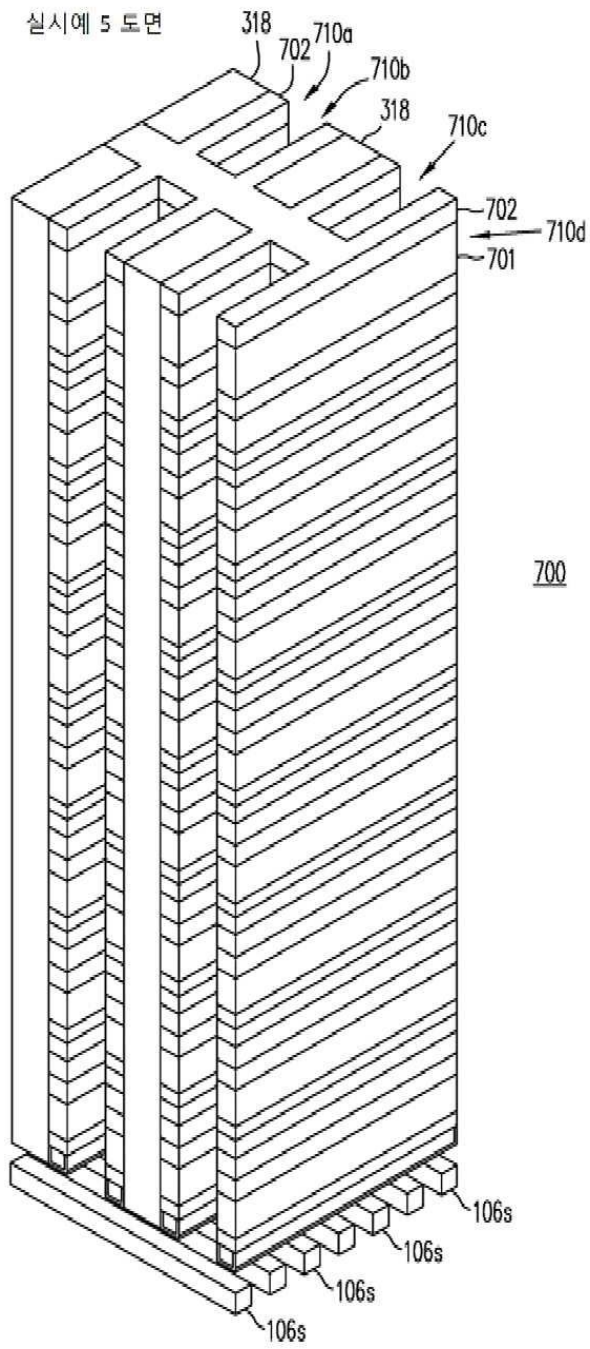
실시예 5 도면



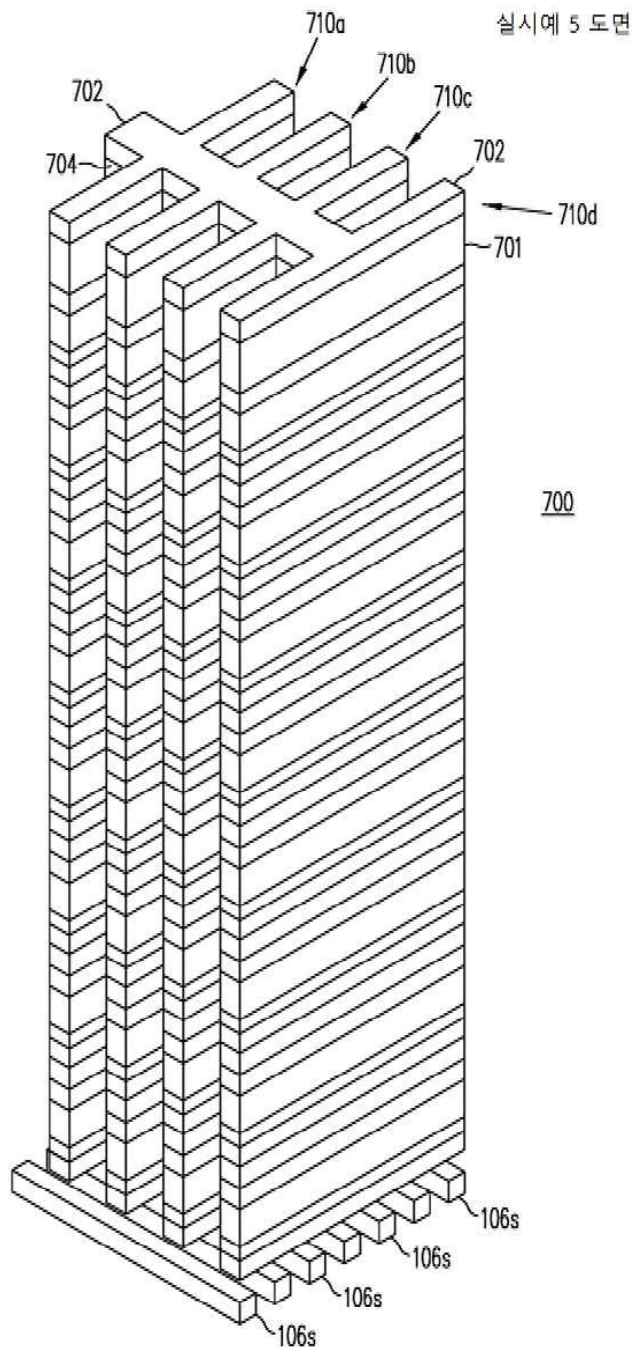
도면33



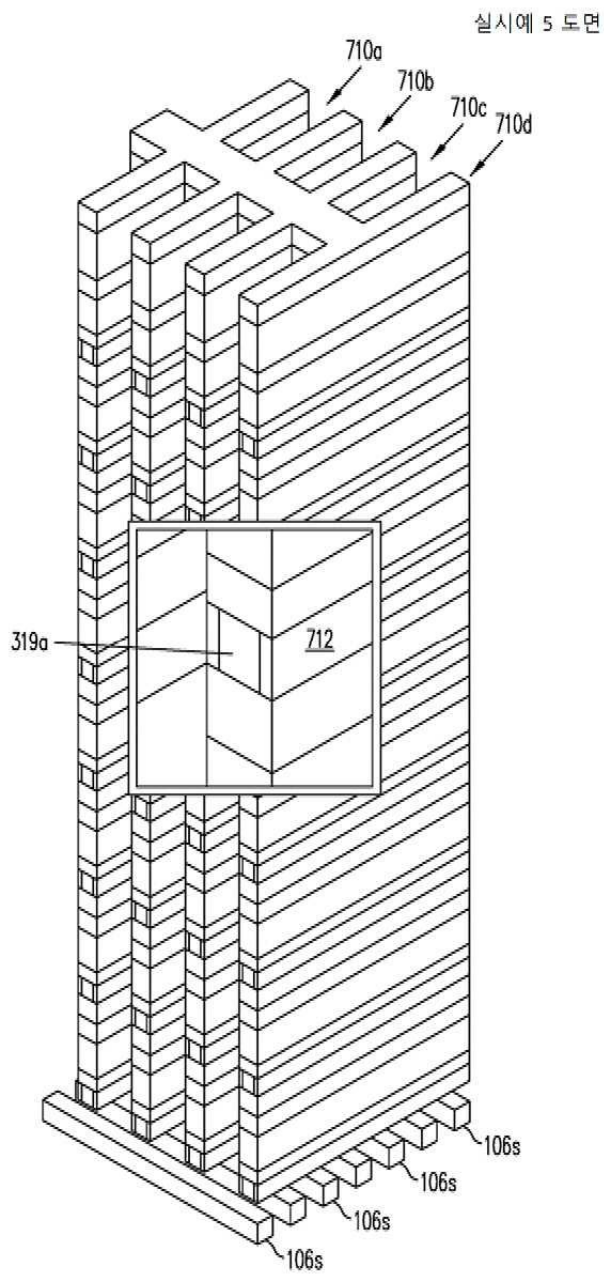
도면34



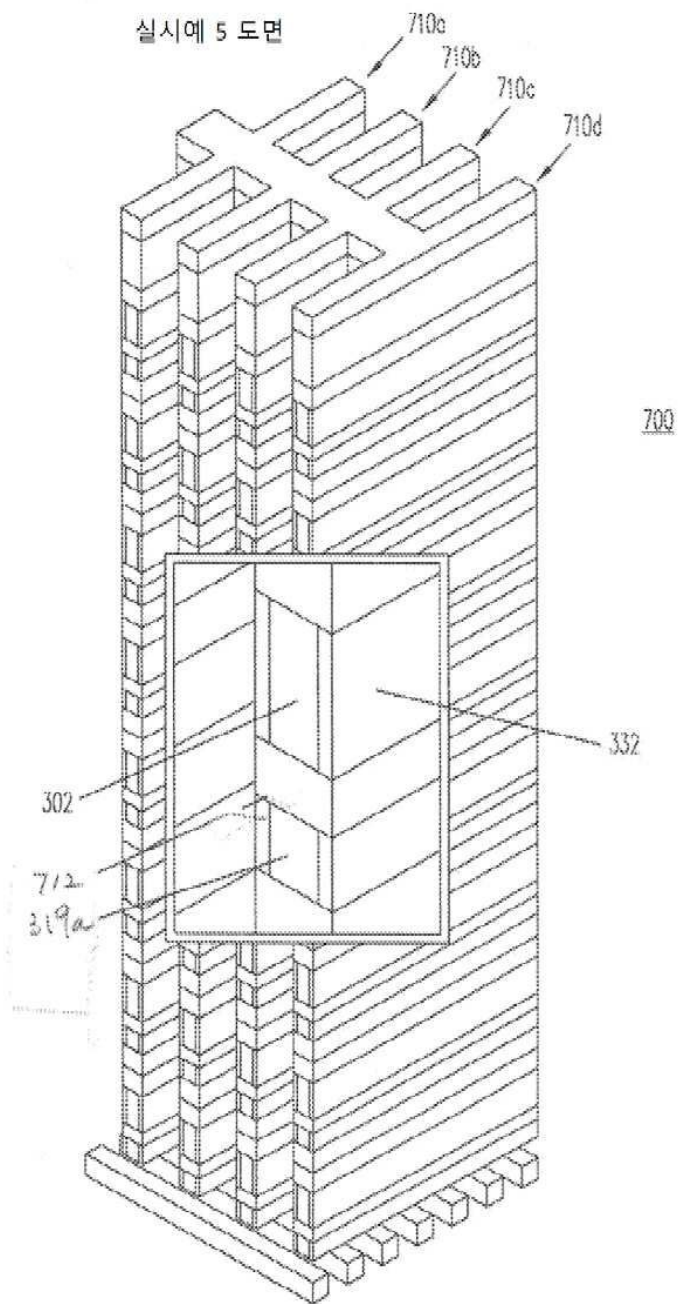
도면35



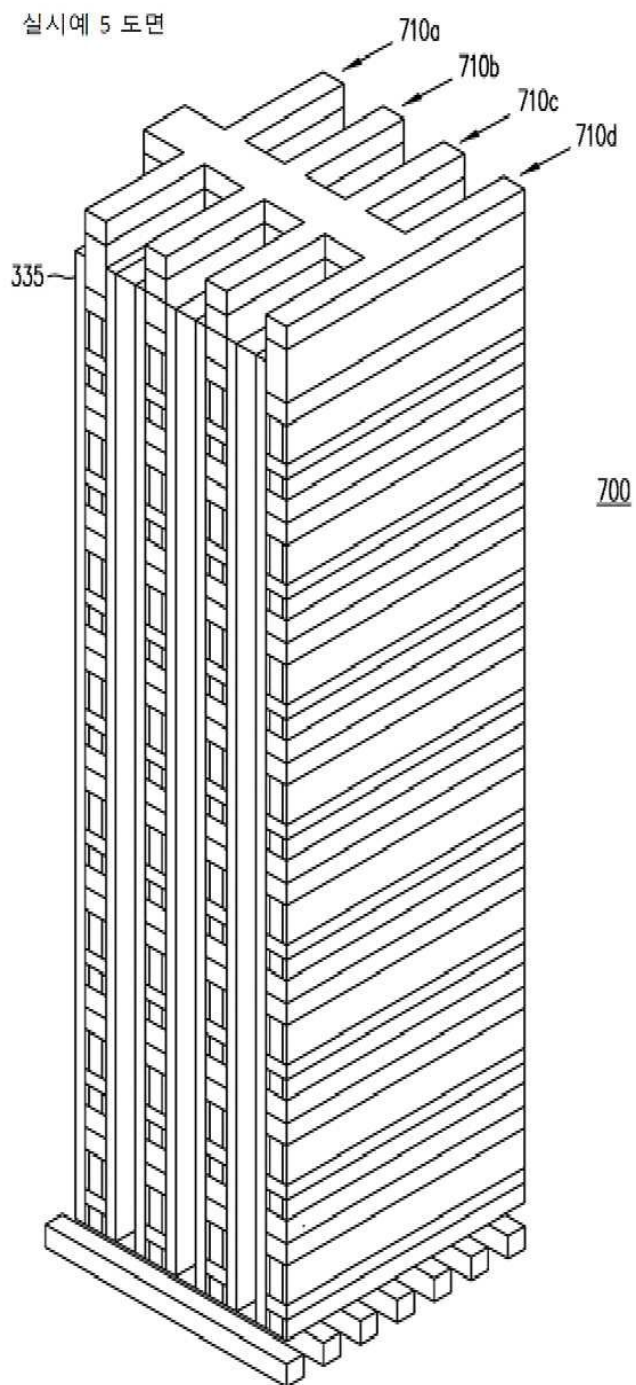
도면36



도면37

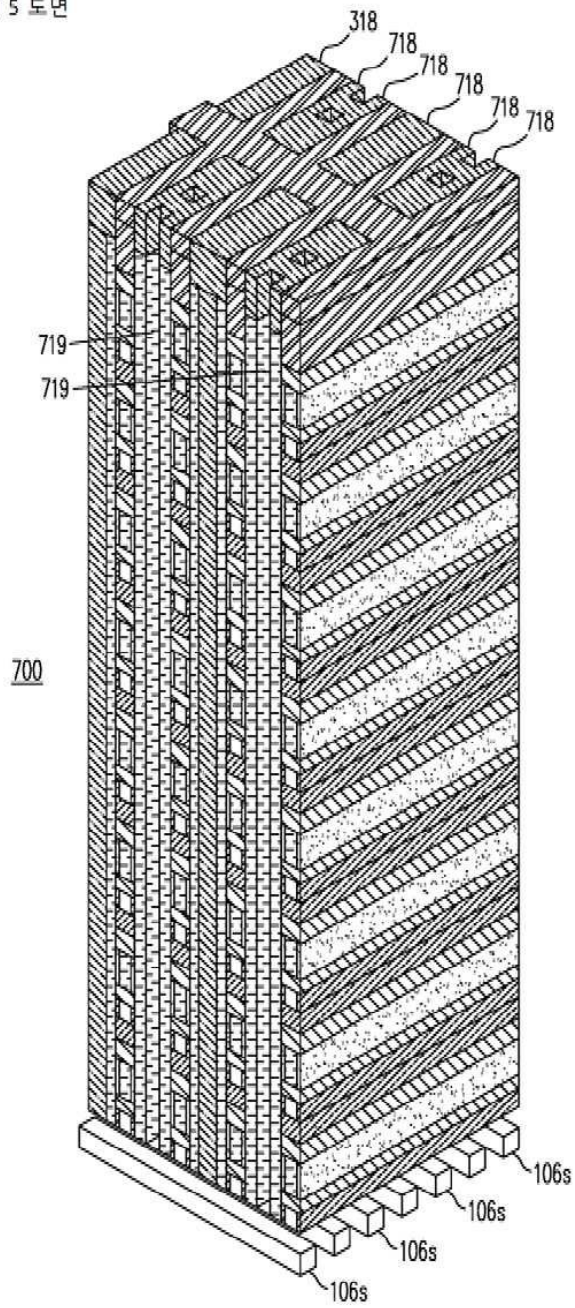


도면38



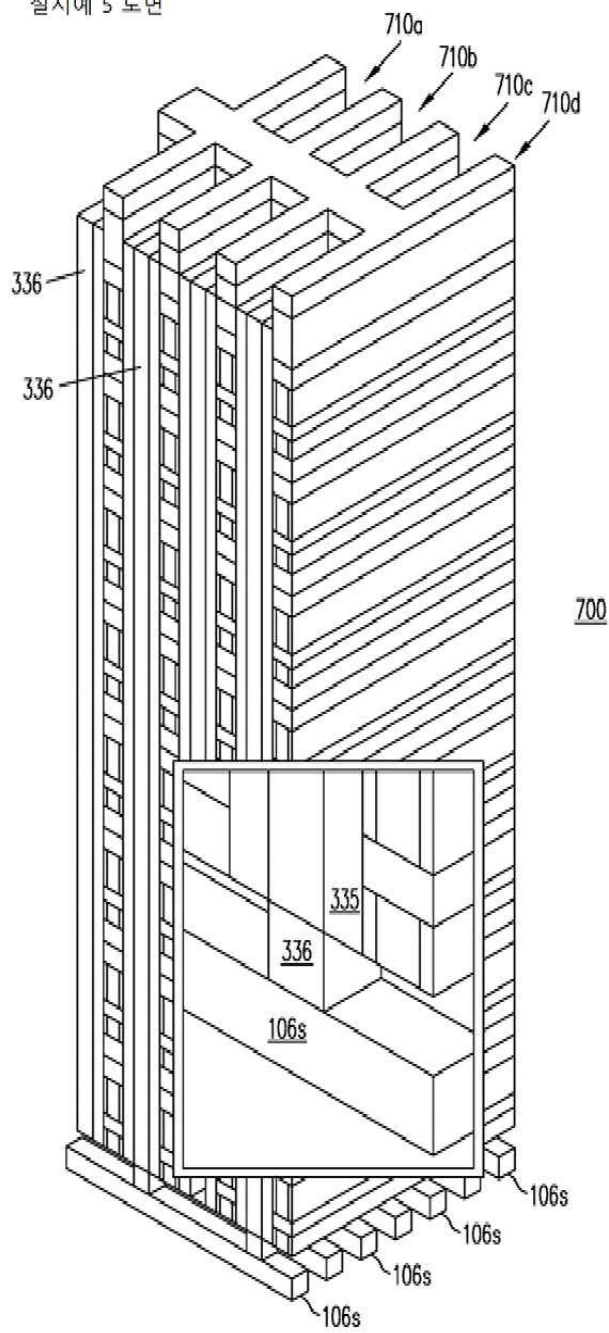
도면39

실시에 5 도면



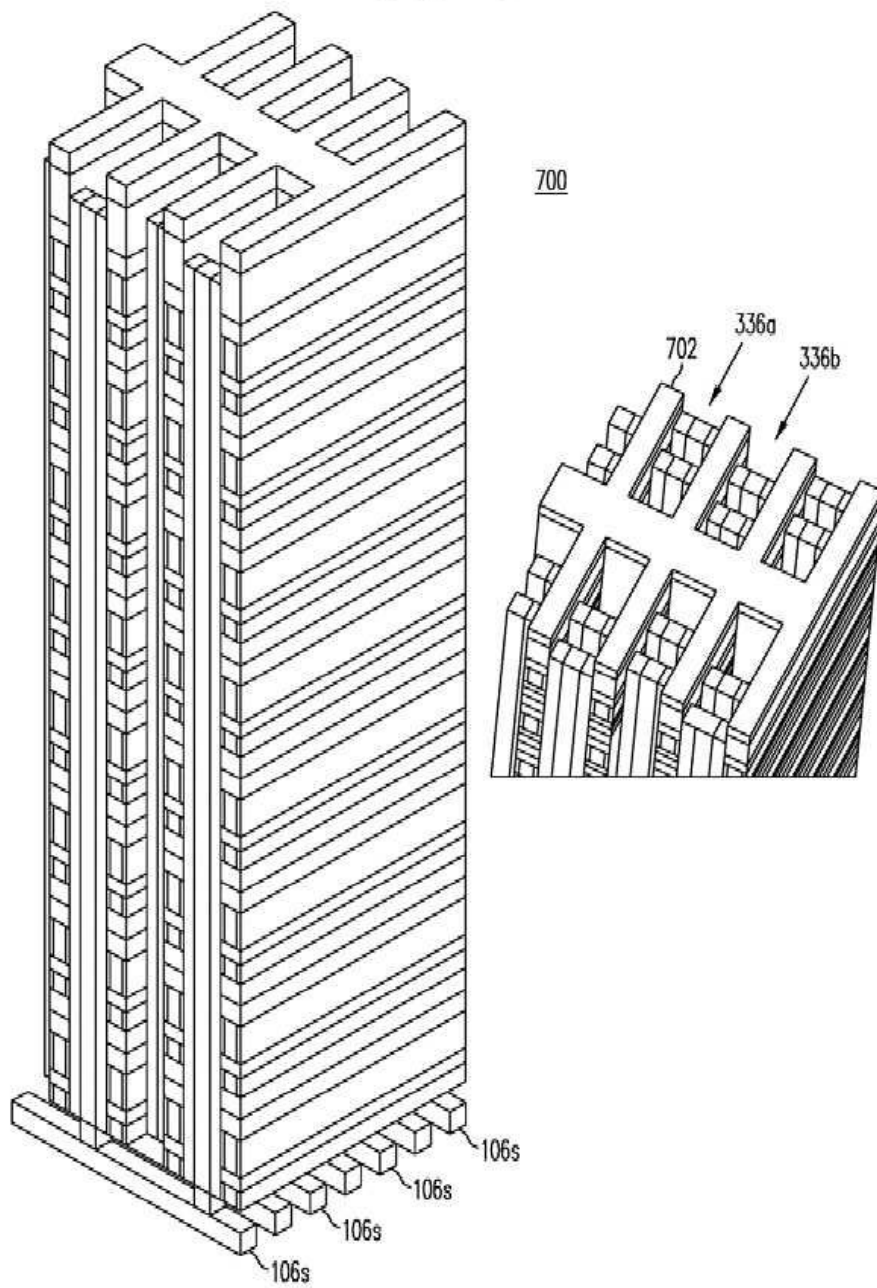
도면40

실시예 5 도면

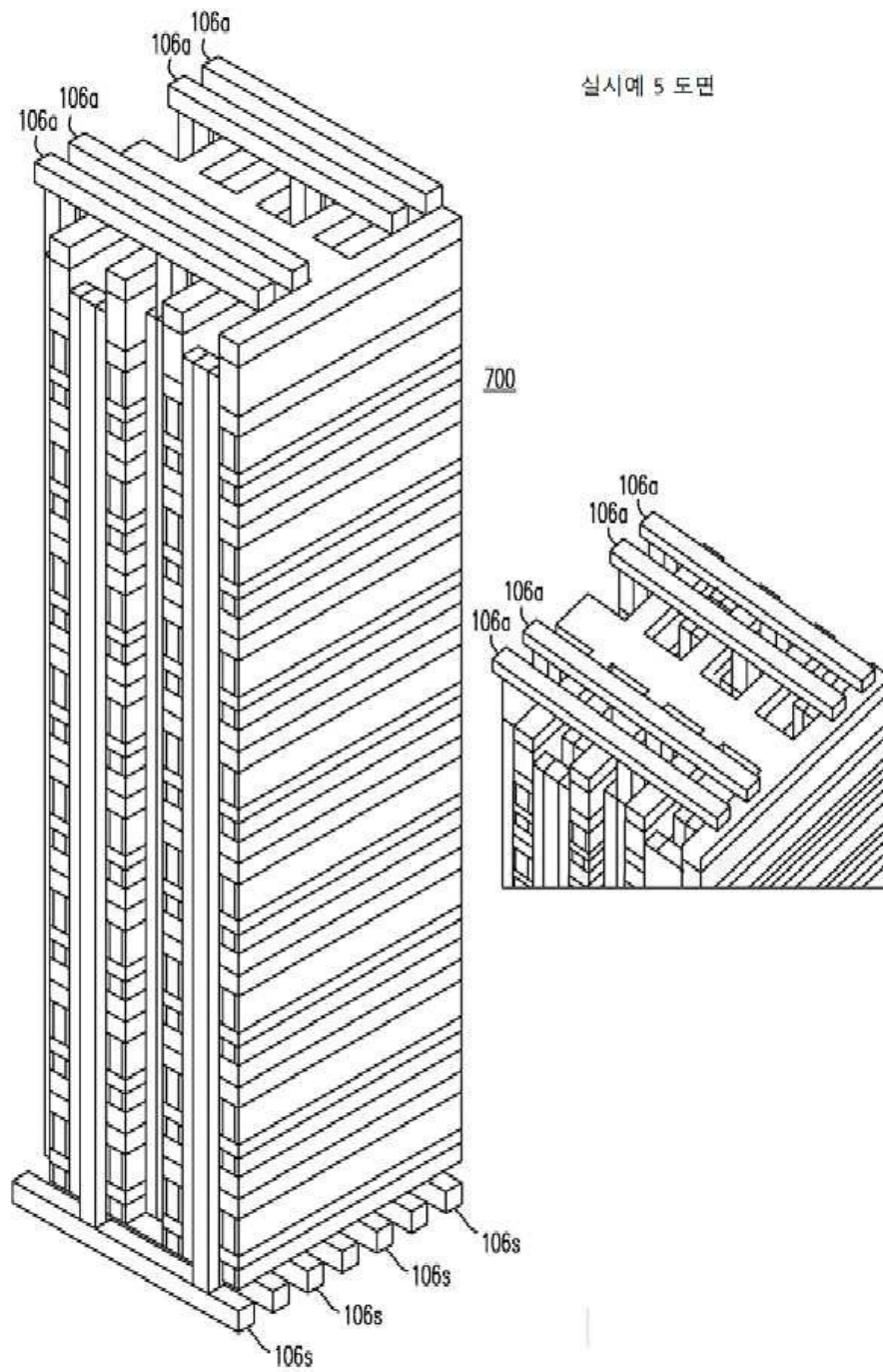


도면41

실시예 5 도면

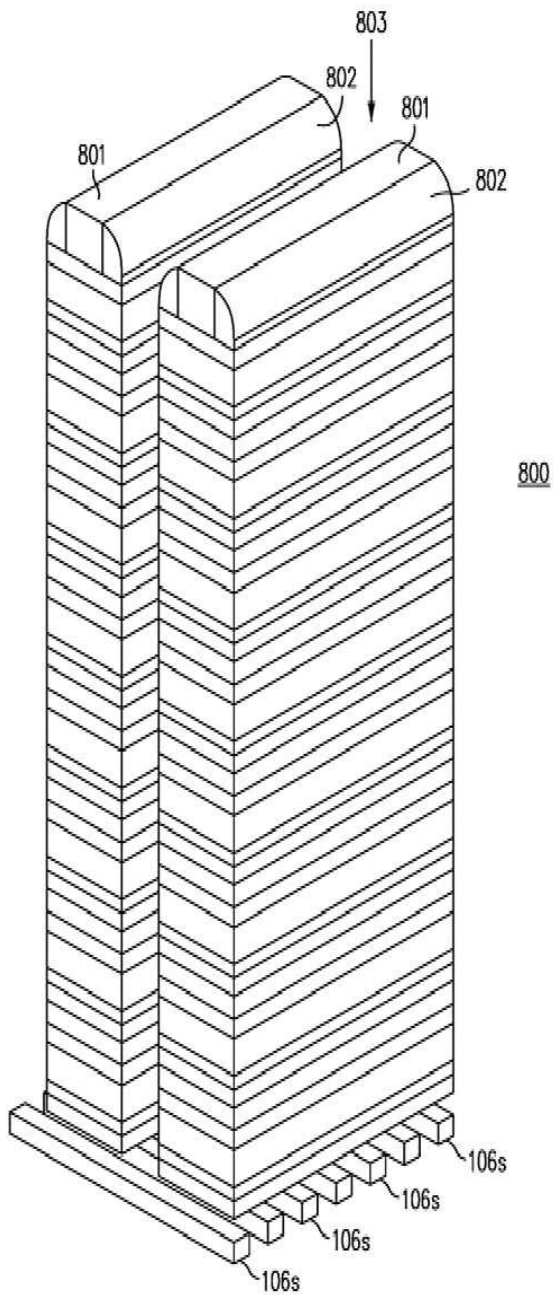


도면42

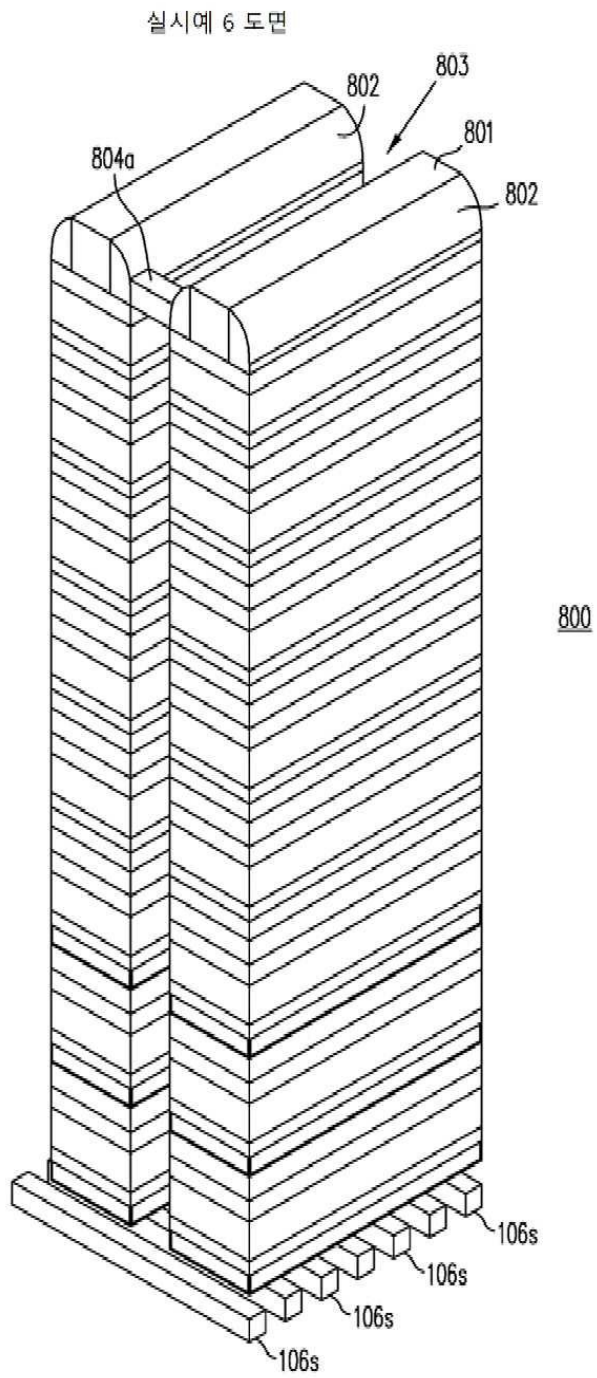


도면43

실시예 6 도면

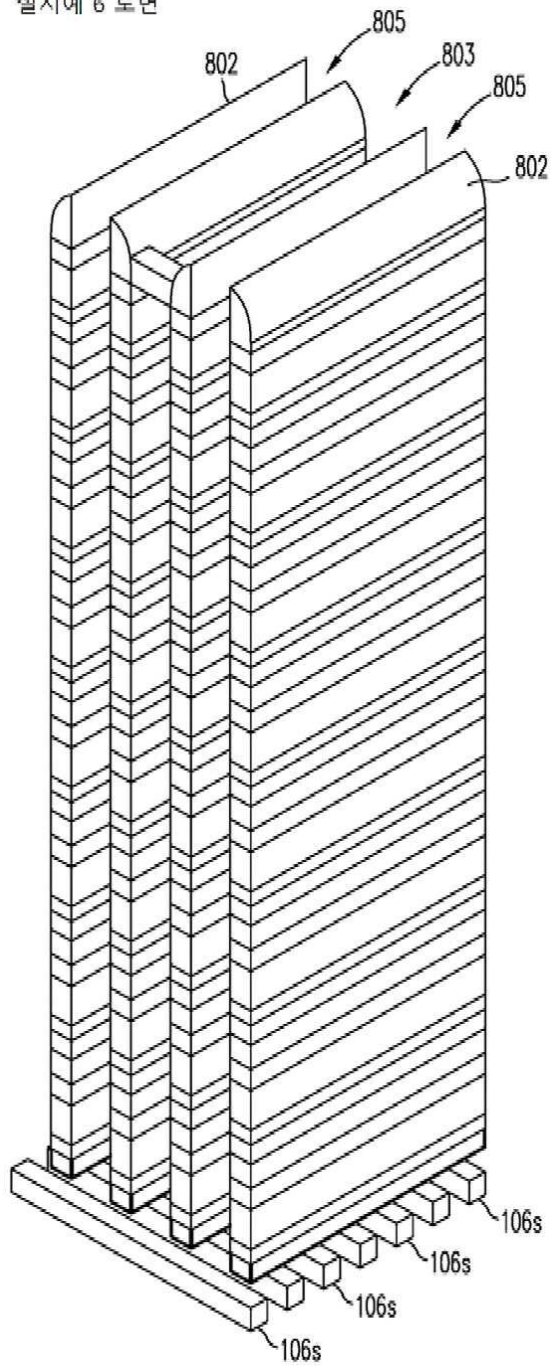


도면44



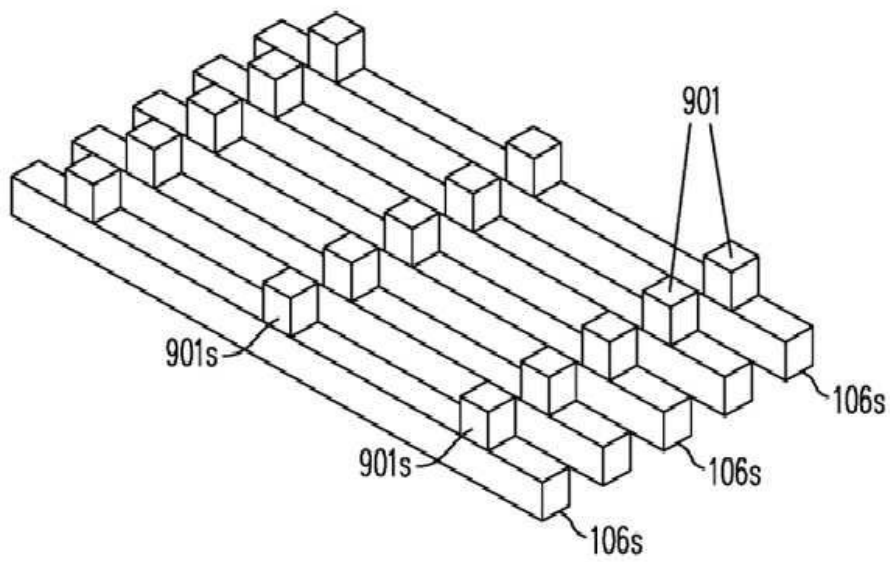
도면45

실시예 6 도면

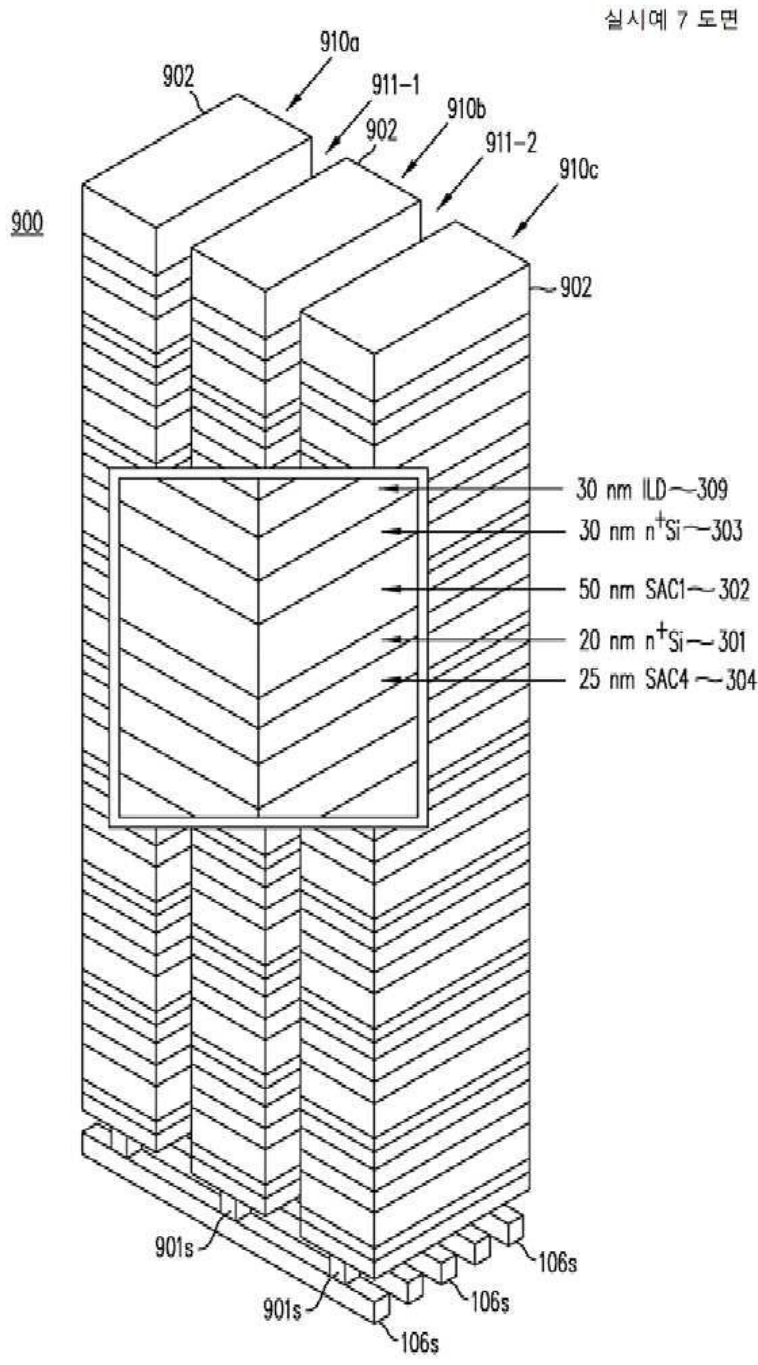


도면46

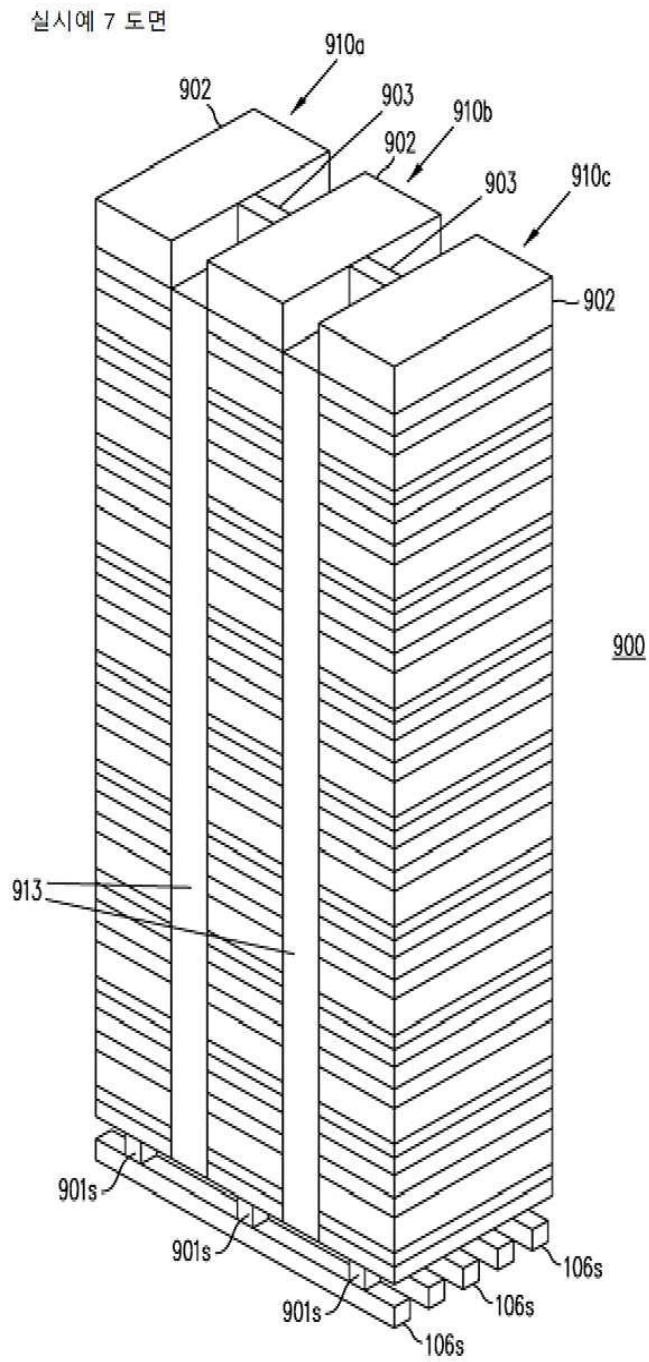
실시예 7 도면



도면47

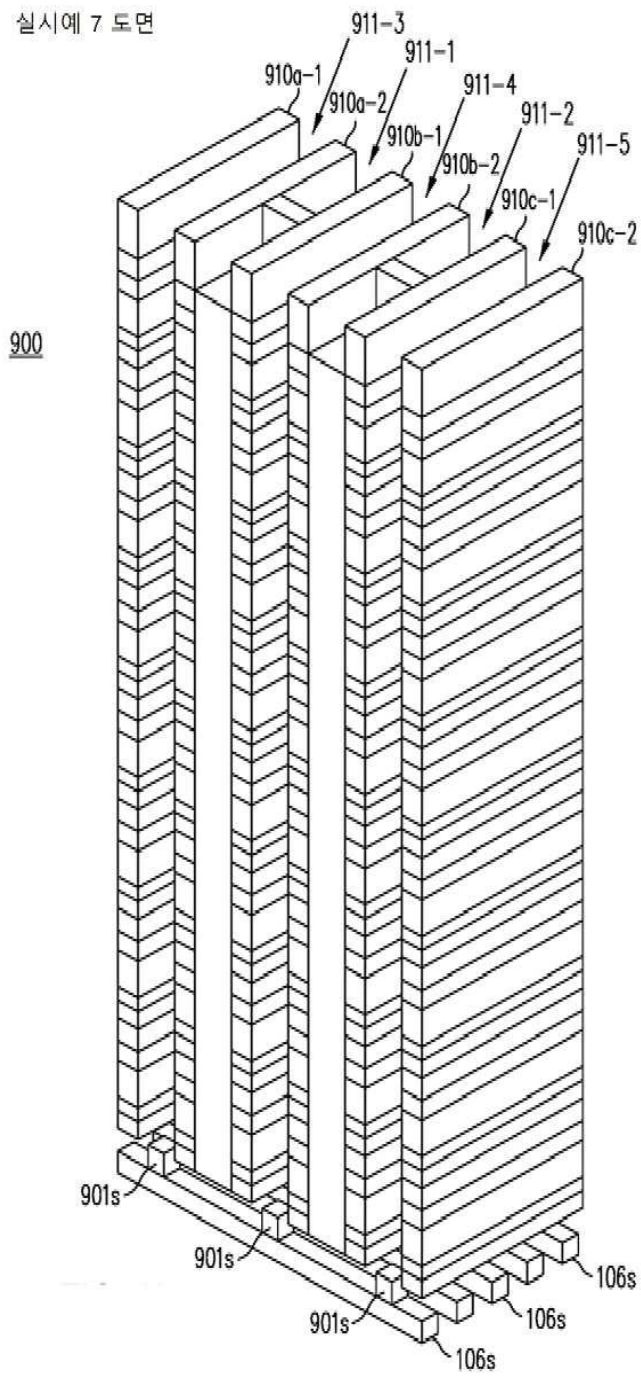


도면48

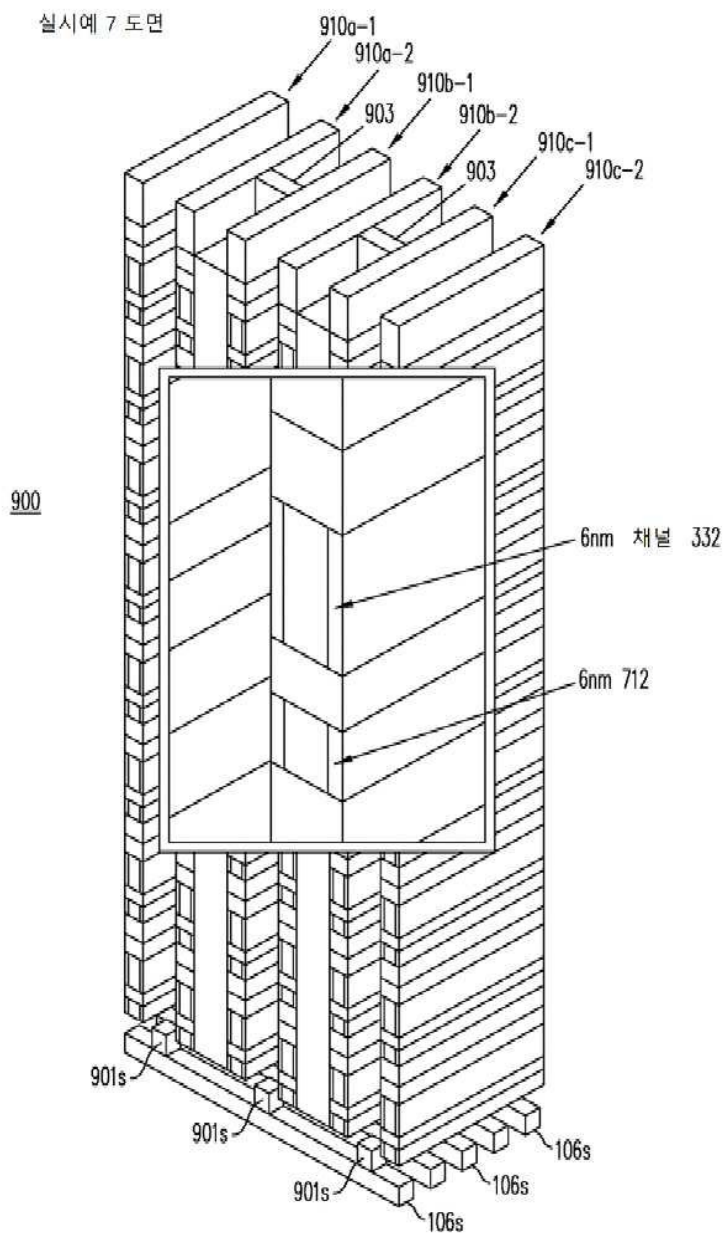


도면49

실시예 7 도면

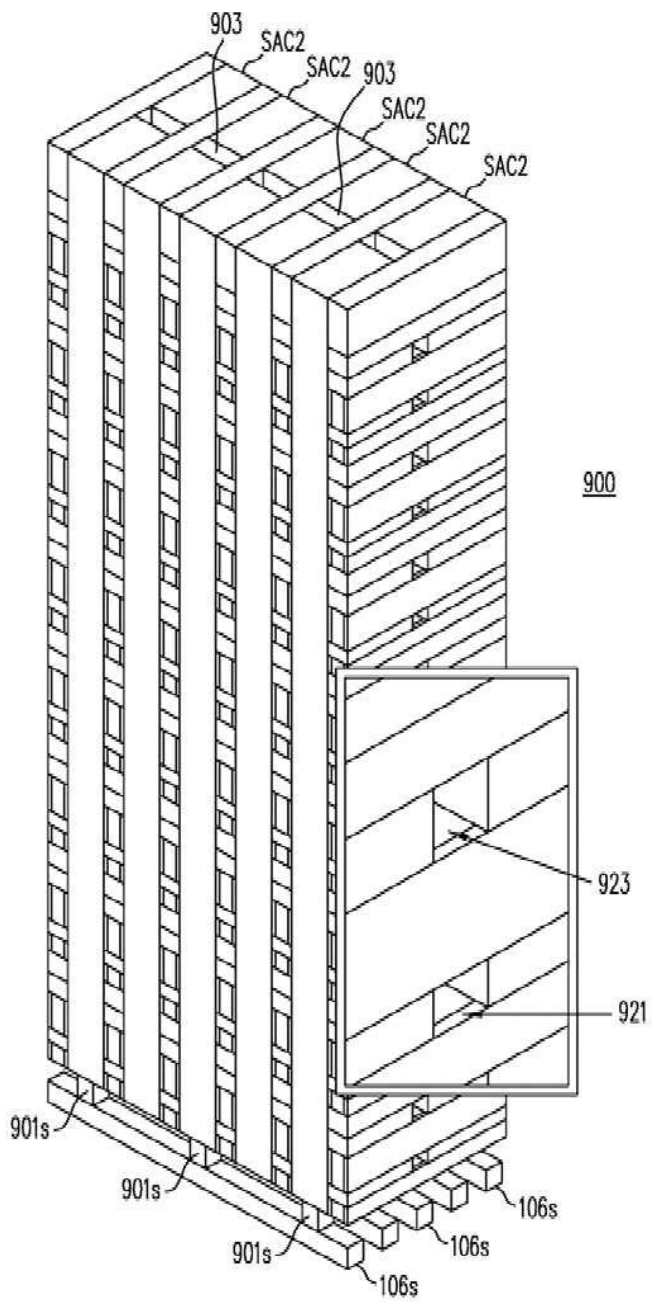


도면50



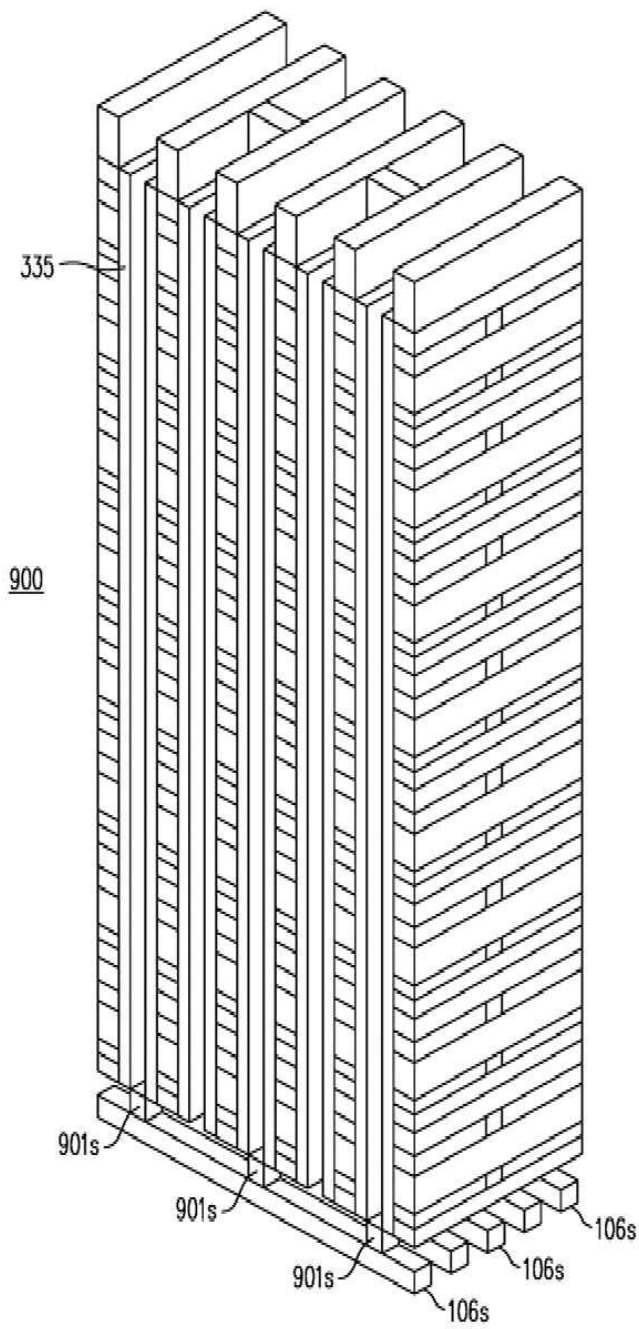
도면51

실시에 7 도면

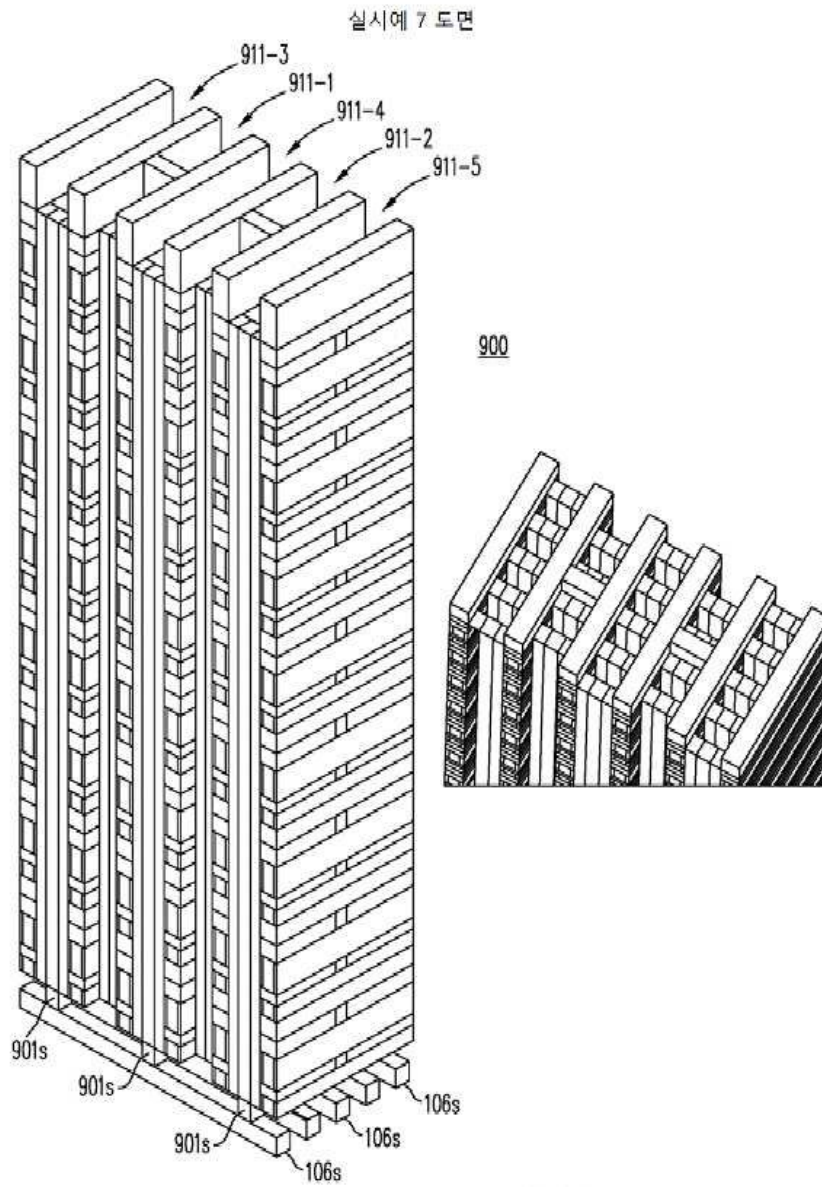


도면52

실시예 7 도면



도면53



도면54

