

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45583

(P2010-45583A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 1/20 (2006.01)	H04L 1/20	5K014
H04L 1/00 (2006.01)	H04L 1/00 D	5K029
H04L 25/02 (2006.01)	H04L 25/02 301J	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2008-207997 (P2008-207997)	(71) 出願人	000000295
(22) 出願日	平成20年8月12日 (2008.8.12)		沖電気工業株式会社
			東京都港区西新橋三丁目16番11号
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100090136
			弁理士 油井 透
		(74) 代理人	100105256
			弁理士 清野 仁
		(74) 代理人	100145872
			弁理士 福岡 昌浩

最終頁に続く

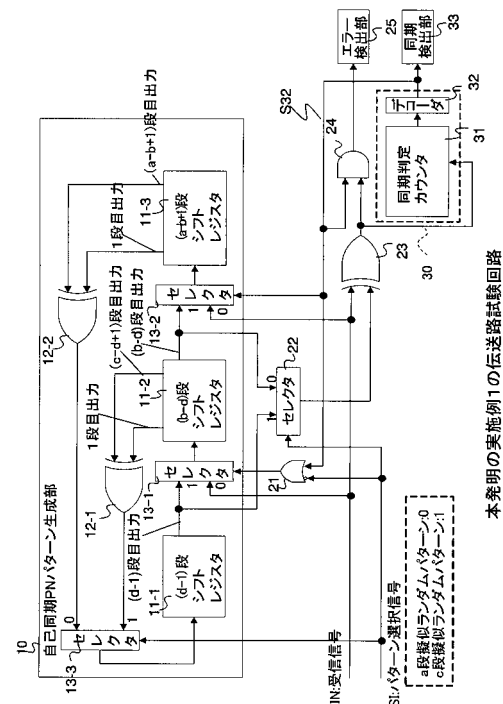
(54) 【発明の名称】 伝送路試験回路

(57) 【要約】

【課題】複数の疑似ランダム(PN)段数をサポートする伝送路試験回路の効率的な提供を可能にする。

【解決手段】信号経路の正常性を確認する伝送路試験回路において、この伝送路試験回路内の自己同期疑似ランダムパターン生成部10は、(d-1)段シフトレジスタ11-1、(b-d)段シフトレジスタ11-2、及び(a-b+1)段シフトレジスタ11-3からなる計a段のシフトレジスタで構成されている。これにより、PNa段(生成多項式： $X^a + X^b + 1$)、及びPNc段(生成多項式： $X^c + X^d + 1$) (但し、 $a > b > c > d$)の2種類の試験段数の伝送路試験を実施することが可能であり、共用されるc段のレジスタ分だけ回路を削減できる。従って、伝送路試験回路の回路規模を縮小できる。

【選択図】図1



本発明の実施例1の伝送路試験回路

【特許請求の範囲】

【請求項 1】

i 種類（但し、i ; 2 以上の整数）の生成多項式からそれぞれ生成される j 段（但し、j ; 2 以上の整数）の疑似ランダムパターンにおける前記 i 種類の試験段数の伝送路試験を行う伝送路試験回路であって、

k 段（但し、k ; 2 以上の整数）のシフトレジスタを有し、伝送路から送られてくる前記 i 種類の疑似ランダムパターンの信号を入力し、この入力信号に対応した自己同期疑似ランダムパターンの信号を生成し、前記 i 種類の疑似ランダムパターンを選択するためのパターン選択信号に基づき、前記 k 段のシフトレジスタにおける特定の段数の出力信号を選択して出力する自己同期疑似ランダムパターン生成部と、

前記自己同期疑似ランダムパターン生成部の出力信号と前記入力信号とを比較して一致 / 不一致の比較結果を出力する比較手段と、

を有することを特徴とする伝送路試験回路。

【請求項 2】

請求項 1 記載の伝送路試験回路において、

前記 i 種類の生成多項式からそれぞれ生成される前記 j 段の疑似ランダムパターンは、生成多項式 $(X^a + X^b + 1)$ から生成される a 段の疑似ランダムパターンと、生成多項式 $(X^c + X^d + 1)$ （但し、a, b, c, d ; 正の整数、 $a > b > c > d$ ）から生成される c 段の疑似ランダムパターンと、の 2 種類であり、

前記自己同期疑似ランダムパターン生成部は、

(d - 1) 段シフトレジスタ、(b - d) 段シフトレジスタ、及び (a - b + 1) 段シフトレジスタからなる合計 a 段の前記シフトレジスタを有し、前記伝送路から送られてくる前記 a 段の疑似ランダムパターンの第 1 の入力信号又は前記 c 段の疑似ランダムパターンの第 2 の入力信号を入力し、前記第 1 又は第 2 の入力信号に対応した前記自己同期疑似ランダムパターンの信号を生成し、前記 a 段の疑似ランダムパターン又は前記 c 段の疑似ランダムパターンを選択するための前記パターン選択信号に基づき、前記 (d - 1) 段シフトレジスタにおける (d - 1) 段目の前記出力信号、又は前記 (b - d) 段シフトレジスタにおける (b - d) 段目の前記出力信号のいずれか一方を選択して出力し、

前記比較手段は、

前記自己同期疑似ランダムパターン生成部の出力信号と前記第 1 又は第 2 の入力信号とを比較して一致 / 不一致の前記比較結果を出力することを特徴とする伝送路試験回路。

【請求項 3】

請求項 1 記載の伝送路試験回路において、

前記 i 種類の生成多項式からそれぞれ生成される前記 j 段の疑似ランダムパターンは、生成多項式 $(X^a + X^b + 1)$ から生成される a 段の疑似ランダムパターンと、生成多項式 $(X^c + X^d + 1)$ から生成される c 段の疑似ランダムパターンと、生成多項式 $(X^e + X^f + 1)$ （但し、a, b, c, d, e, f ; 正の整数、 $a > b > c > d > e > f$ ）から生成される e 段の疑似ランダムパターンとの 3 種類であり、

前記自己同期疑似ランダムパターン生成部は、

(a - b + 1) 段シフトレジスタ、(b - d) 段シフトレジスタ、(d - f) 段シフトレジスタ、及び (f - 1) 段シフトレジスタからなる合計 a 段の前記シフトレジスタを有し、前記伝送路から送られてくる前記 a 段の疑似ランダムパターンの第 1 の入力信号、前記 c 段の疑似ランダムパターンの第 2 の入力信号、又は前記 e 段の疑似ランダムパターンの第 3 の入力信号を入力し、前記第 1、第 2 又は第 3 の入力信号に対応した前記自己同期疑似ランダムパターンの信号を生成し、前記 a 段の疑似ランダムパターン、前記 c 段の疑似ランダムパターン、又は前記 e 段の疑似ランダムパターンを選択するための前記パターン選択信号に基づき、前記 (a - b + 1) 段シフトレジスタにおける (a - b + 1) 段目の前記出力信号、前記 (b - d) 段シフトレジスタにおける (b - d) 段目の前記出力信号、又は前記 (d - f) 段シフトレジスタにおける (d - f) 段目の前記出力信号のいずれか 1 つを選択して出力し、

10

20

30

40

50

前記比較手段は、

前記自己同期疑似ランダムパターン生成部の出力信号と前記第 1、第 2 又は第 3 の入力信号とを比較して一致 / 不一致の前記比較結果を出力することを特徴とする伝送路試験回路。

【請求項 4】

請求項 1 又は 2 記載の伝送路試験回路は、更に、

前記比較結果が「一致」の場合にはカウント動作を行い、このカウント値が所定の値になると同期判定信号を出力する同期判定手段を有し、

前記同期判定信号に基づき、前記自己同期疑似ランダムパターン生成部への前記第 1 又は第 2 の入力信号の入力を切り替えることを特徴とする伝送路試験回路。

10

【請求項 5】

請求項 3 記載の伝送路試験回路は、更に、

前記比較結果が「一致」の場合にはカウント動作を行い、このカウント値が所定の値になると同期判定信号を出力する同期判定手段を有し、

前記同期判定信号に基づき、前記自己同期疑似ランダムパターン生成部への前記第 1、第 2 又は第 3 の入力信号の入力を切り替えることを特徴とする伝送路試験回路。

【請求項 6】

請求項 4 又は 5 記載の伝送路試験回路は、更に、

異なる前記試験段数へ変更する際に、前記パターン選択信号の変化を検出して前記同期判定手段をリセットするリセット手段を有することを特徴とする伝送路試験回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、疑似ランダム (Pseudo Random Noise、以下「PN」という。) パターンを用いて伝送路のビット誤りの有無を確認する伝送路試験回路に関するものである。

【背景技術】

【0002】

従来、PN パターンを用いた伝送路試験回路に関する技術は、例えば、次のような文献等に記載されている。

【0003】

30

【特許文献 1】特開平 05 - 206991 号公報

【特許文献 2】特許 2899869 号公報

【0004】

この特許文献 1 の図 4 には、伝送路を経た送受信機間のデジタル信号の品質を測定するために、送信機側より送出された PN パターンを受信機側にて正常性を検査するような伝送路試験回路の技術が記載されている。この技術は、受信した n 段の PN パターンを PN パターン生成回路に入力することにより、同じパターンを生成し、PN パターン生成回路の出力信号と受信信号との排他的論理和 (以下「EXOR」という。) を取ることにより、ビット誤りの検出を行うことが可能となるものである。

【0005】

40

しかし、この伝送路試験回路では、伝送路上でバースト的なビット誤りが発生した場合に、PN パターン生成回路内へ誤り信号が伝播し、その後の PN パターン生成回路の出力信号において断続的な誤りパターンが生成されてしまうという問題がある。

【0006】

この問題を解決する手段として、特許文献 2 の図 1 に記載されているように、スリップ判定信号により動作する入力切り替え用のスイッチを有する PN パターン生成回路を設けることにより、解決することが可能である。この技術は、受信信号と受信機内の PN パターン生成回路との同期が取れるまでは、受信信号を PN パターン生成回路に入力し続け、同期判定が行われた後は、PN パターン生成回路の出力側を入力側へ接続するようにスイッチを切り替えることにより、PN パターン生成回路内の自己生成同期信号と受信信号と

50

の比較に切り替えるというものである。この方式であれば、受信信号にバースト的な誤りが含まれていたとしても、比較の元となる自己生成同期信号に影響を与えないため、継続して試験が可能となる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来の伝送路試験回路に使用されるPNパターンは、 $(2^n - 1)$ 個の2進符号列で1周期をなし、有名なものとしてはPN15（生成多項式 $X^{15} + X^{14} + 1$ ）やPN23（生成多項式 $X^{23} + X^{18} + 1$ ）等のものがある。PNパターンを使用した伝送路試験回路は、今日至る分野で使用されているが、伝送装置等の通信機器等においては、ITU-T（国際電気通信連合、電気通信標準化部門）等で規格として定められたものがあり、装置の仕様によっては複数のPN段数をサポート（例えば、PN15及びPN23等を搭載）しなければならない場合がある。この例を図4（a）、（b）に示す。

10

【0008】

図4（a）、（b）は、複数のPN段数をサポートするための従来の伝送路試験回路を示す概略の構成図である。

【0009】

この伝送路試験回路は、図4（a）に示す生成多項式 $X^a + X^b + 1$ 用の試験回路1と、図4（b）に示す生成多項式 $X^c + X^d + 1$ 用の試験回路2（但し、 $a > b > c > d$ ）とを有している。試験回路1では、 $(b - 1)$ 段シフトレジスタ1aと $(a - b + 1)$ 段シフトレジスタ1bとが縦続接続され、この $(a - b + 1)$ 段シフトレジスタ1bの1段目出力信号と $(a - b + 1)$ 段目出力信号とが、EXORゲート1cで比較され、この比較結果が $(b - 1)$ 段シフトレジスタ1aに入力される構成になっている。

20

【0010】

更に、試験回路2では、 $(d - 1)$ 段シフトレジスタ2aと $(c - d + 1)$ 段シフトレジスタ2bとが縦続接続され、この $(c - d + 1)$ 段シフトレジスタ2bの1段目出力信号と $(c - d + 1)$ 段目出力信号とが、EXORゲート2cで比較され、この比較結果が $(d - 1)$ 段シフトレジスタ2aに入力される構成になっている。

【0011】

なお、試験回路1、2は、好ましくは、バースト的なビット誤り対策として、特許文献2の技術を用いた前記方式が採用されるが、説明を簡単にするために、図示が省略されている。

30

【0012】

しかしながら、このような図4（a）、（b）の伝送路試験回路では、生成多項式毎に別々の試験回路1、2が必要になるため、試験回路1におけるa段のシフトレジスタと、試験回路2におけるc段のシフトレジスタとを設けなければならず、回路規模が大きくなるという課題があった。

【0013】

本発明の目的は、このような課題を解決し、複数のPN段数をサポートする伝送路試験回路の効率的な提供を可能にするものである。

40

【課題を解決するための手段】

【0014】

本発明の伝送路試験回路は、i種類（但し、 $i \geq 2$ 以上の整数）の生成多項式からそれぞれ生成されるj段（但し、 $j \geq 2$ 以上の整数）のPNパターンにおける前記i種類の試験段数の伝送路試験を行う伝送路試験回路であって、自己同期疑似ランダムパターン生成部（以下「自己同期PNパターン生成部」という。）と、比較手段とを有している。

【0015】

ここで、前記自己同期PNパターン生成部は、k段（但し、 $k \geq 2$ 以上の整数）のシフトレジスタを有し、伝送路から送られてくる前記i種類のPNパターンの信号を入力し、この入力信号に対応した自己同期PNパターンの信号を生成し、前記i種類のPNパター

50

ンを選択するためのパターン選択信号に基づき、前記 k 段のシフトレジスタにおける特定の段数の出力信号を選択して出力するものである。更に、前記比較手段は、前記自己同期 P N パターン生成部の出力信号と前記入力信号とを比較して一致 / 不一致の比較結果を出力するものである。

【発明の効果】

【0016】

本発明によれば、複数の種類の P N パターンを同一の自己同期 P N パターン生成部内の複数段のシフトレジスタで実現することが可能であり、それぞれの自己同期 P N パターン生成回路を分ける必要がないので、共用可能なレジスタ分だけ回路を削減できる。従って、伝送路試験回路の回路規模を縮小できる。

10

【発明を実施するための最良の形態】

【0017】

本発明を実施するための最良の形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例 1】

【0018】

(実施例 1 の構成)

図 1 は、本発明の実施例 1 における伝送路試験回路を示す概略の構成図である。

【0019】

20

本実施例 1 の伝送路試験回路は、 $X^a + X^b + 1$ の生成多項式から生成される a 段の疑似ランダムパターンと、 $X^c + X^d + 1$ (但し、 a, b, c, d ; 正の整数、 $a > b > c > d$) の生成多項式から生成される c 段の疑似ランダムパターンとを同一の回路で実現するものであって、自己同期 P N パターン生成部 10 を有している。自己同期疑似ランダムパターン 10 は、 $(d + 1)$ 段シフトレジスタ 11 - 1、 $(b - d)$ 段シフトレジスタ 11 - 2、及び $(a - b + 1)$ 段シフトレジスタ 11 - 3 と、2 入力 1 出力の 2 つの EXOR ゲート 12 - 1, 12 - 2 と、2 入力 1 出力の 3 つのセクタ 13 - 1 ~ 13 - 3 とを有し、シフトレジスタ 11 - 1、セクタ 13 - 1、シフトレジスタ 11 - 2、セクタ 13 - 2、シフトレジスタ 11 - 3、EXOR ゲート 12 - 2、及びセクタ 13 - 3 からなる第 1 のループと、シフトレジスタ 11 - 1、セクタ 13 - 1、シフトレジスタ 11 - 2、EXOR ゲート 12 - 1、及びセクタ 13 - 3 からなる第 2 のループとにより構成されている。

30

【0020】

この自己同期疑似 P N パターン生成部 10 には、2 入力 1 出力の論理和 (以下「OR」という。)ゲート 21、2 入力 1 出力のセクタ 22、比較手段 (例えば、2 入力 1 出力の EXOR ゲート) 23、2 入力 1 出力の論理積 (以下「AND」という。)ゲート 24、及びビットエラー誤り検出用のエラー検出部 25 が接続されている。更に、EXOR ゲート 23 の出力側には、同期判定手段 (例えば、同期判定部) 30 及び同期検出部 33 が接続されている。同期判定部 30 は、前方保護段数カウンタである同期判定カウンタ 31、及びデコーダ 32 により構成されている。同期判定カウンタ 31 は、例えば、正論理のリセット信号によりリセットされる。同期検出部 33 は、パースト的なビット誤りが発生すると同期検出ができなくなるので、結果的に、パースト的なビット誤りの発生を検出する機能を有している。

40

【0021】

この伝送路試験回路では、例えば、送信機より送られてきた P N パターンの a 段 (以下単に「P N a 段」という。)又は P N パターンの c 段 (以下単に「P N c 段」という。)の受信信号 IN が入力部に入力される。この受信信号入力部は、自己同期 P N パターン生成部 10 内にあるセクタ 13 - 1 及びセクタ 13 - 2 の共に 0 側入力端子に接続されている。セクタ 13 - 2 の選択信号入力端子は、同期判定部 30 内におけるデコーダ 32 の出力端子に接続されている。セクタ 13 - 1 の選択信号入力端子は、OR ゲート 2

50

1 の出力端子に接続され、この OR ゲート 2 1 の一方の入力端子が、デコーダ 3 2 の出力端子に接続され、この OR ゲート 2 1 の他方の反転入力端子が、パターン選択信号 S I の入力部に接続されている。

【 0 0 2 2 】

自己同期 P N パターン生成部 1 0 において、シフトレジスタ 1 1 - 1 の (d - 1) 段目出力端子が、セクタ 1 3 - 1 の 1 側入力端子へ接続されている。セクタ 1 3 - 1 の出力端子は、シフトレジスタ 1 1 - 2 の 1 段目の入力端子へ接続されている。シフトレジスタ 1 1 - 2 の (b - d) 段目出力端子は、セクタ 1 3 - 2 の 1 側入力端子へ接続されており、又、シフトレジスタ 1 1 - 2 の 1 段目出力端子及び (c - d + 1) 段目出力端子は、E X O R ゲート 1 2 - 1 の入力端子へ共に接続されている。セクタ 1 3 - 2 の出力端子は、シフトレジスタ 1 1 - 3 の 1 段目の入力端子に接続されている。シフトレジスタ 1 1 - 3 の 1 段目出力端子及び (a - b + 1) 段目出力端子は、E X O R ゲート 1 2 - 2 の入力端子へ共に接続されている。E X O R ゲート 1 2 - 1 の出力端子は、セクタ 1 3 - 3 の 1 側入力端子へ接続され、E X O R ゲート 1 2 - 2 の出力端子は、セクタ 1 3 - 3 の 0 側入力端子へ接続され、セクタ 1 3 - 3 の出力端子は、シフトレジスタ 1 1 - 1 の 1 段目の入力端子へ接続されている。

10

【 0 0 2 3 】

セクタ 2 2 の 1 側入力端子には、シフトレジスタ 1 1 - 1 の (d - 1) 段目出力端子が接続されており、セクタ 2 2 の 0 側入力端子には、シフトレジスタ 1 1 - 2 の (b - d) 段目出力端子が接続されている。E X O R ゲート 2 3 の入力端子には、セクタ 2 2 の出力端子及び受信信号 I N の入力部が接続されている。E X O R ゲート 2 3 の出力端子及びデコーダ 3 2 の出力端子は、A N D ゲート 2 4 の入力端子へ共に接続されている。又、E X O R ゲート 2 3 の出力端子は、同期判定部 3 0 内の同期判定カウンタ 3 1 のカウンタリセット入力端子にも接続されている。同期判定カウンタ 3 1 の出力端子は、デコーダ 3 2 に接続され、このデコーダ 3 2 から同期判定信号 S 3 2 を出力するための出力端子が、同期検出部 3 3 及びその他前記記載の各箇所へ接続されている。A N D ゲート 2 4 の出力端子は、エラー検出部 2 5 へ接続されている。

20

【 0 0 2 4 】

(実施例 1 の動作)

本実施例 1 における初期状態 (a)、P N a 段の受信信号 I N が入力される場合の動作 (b)、及び P N c 段の受信信号 I N が入力される場合の動作 (c) を説明する。

30

【 0 0 2 5 】

(a) 初期状態

入力される P N a 段又は P N c 段の受信信号 S I において、a 段又は c 段のどちらの信号が入力されてくるかについては、予め送信機側の設定と合わせられている。初期状態では、同期判定部 3 0 にて同期判定がなされていない状態であり、シフトレジスタ 1 1 - 1 ~ 1 1 - 3 には全てが “ 0 ” ではない状態が設定されているものとする。又、同期判定部 3 0 内の同期判定カウンタ 3 1 の初期値は “ 0 ” であり、デコーダ 3 2 は同期判定カウンタ 3 1 が所望の前方保護段数分のカウント値を出力した際に “ 1 ” をデコードするよう予め設定されているものとする。

40

【 0 0 2 6 】

(b) P N a 段の受信信号 I N が入力される場合の動作

P N a 段の受信信号 I N が入力される場合、パターン選択信号 S I として予め “ 0 ” が入力される。この場合、OR ゲート 2 1 は必然的に “ 1 ” を出力するので、セクタ 1 3 - 1 は 1 側入力を選択し、又、セクタ 1 3 - 2 , 1 3 - 3 , 2 2 は 0 側入力を選択する。これにより、自己同期 P N パターン生成部 1 0 のブロックとしては、セクタ 1 3 - 2 の 0 側入力端子より受信信号 I N が入力され、シフトレジスタ 1 1 - 3、E X O R ゲート 1 2 - 2、セクタ 1 3 - 3、シフトレジスタ 1 1 - 1、セクタ 1 3 - 1、シフトレジスタ 1 1 - 2 を通り信号がシフトされ、セクタ 2 2 の 0 側入力端子へ入力される。

【 0 0 2 7 】

50

セクタ 22 の出力信号は、受信信号 IN と共に EXOR ゲート 23 へ入力され、受信信号 IN との比較が行われる。この EXOR ゲート 23 の 2 つの入力端子に同じ信号が入力されている限り、この EXOR ゲート 23 の出力信号は “ 0 ” となるため、同期判定カウンタ 31 がカウントアップされる。同期判定カウンタ 31 が所定の値となった際、デコーダ 32 から出力された同期判定信号 S32 が、同期検出部 33、セクタ 13 - 2、OR ゲート 21、及び AND ゲート 24 に通知される。同期判定信号 S32 を受けて、セクタ 13 - 2 は入力の選択が 1 側へ切り替わり、自己同期 PN パターン生成部 10 はシフトレジスタ 11 - 1 ~ 11 - 3 をループする回路となっており、自己が生成した PN パターンをセクタ 22 の 0 側入力端子へ供給し続ける。又、AND ゲート 24 は同期判定信号 S32 が入力されている間、EXOR ゲート 23 から出力されるバースト的なエラーを示す信号を検出することができる。

10

【 0028 】

(c) PNc 段の受信信号 IN が入力される場合の動作

PNc 段の受信信号 IN が入力される場合、パターン選択信号 SI として予め “ 1 ” が入力される。この場合、OR ゲート 21 への入力は “ 0 ” を示すので、セクタ 13 - 1 は同期判定信号 S32 が入力されるまで “ 0 ” 側入力を選択し、又、セクタ 13 - 3、22 は 1 側入力を選択する。これにより、自己同期 PN パターン生成部 10 のブロックとしては、シフトレジスタ 11 - 2、EXOR ゲート 12 - 1、セクタ 13 - 3、及びシフトレジスタ 11 - 1 を通り信号がシフトされ、セクタ 22 の 1 側入力端子へ入力される。

20

【 0029 】

セクタ 22 の出力信号は、受信信号 IN と共に EXOR ゲート 23 へ入力され、受信信号 IN との比較が行われる。EXOR ゲート 23 の 2 つの入力端子に同じ信号が入力されている限り、この EXOR ゲート 23 の出力信号は “ 0 ” となるため、同期判定カウンタ 31 がカウントアップされる。同期判定カウンタ 31 が所定の値となった際、デコーダ 32 から出力された同期判定信号 S32 が、同期検出部 33、セクタ 13 - 2、OR ゲート 21、及び AND ゲート 24 に通知される。同期判定信号 S32 を受けて、OR ゲート 21 の出力信号は “ 1 ” となるため、セクタ 13 - 1 は入力の選択が 1 側へ切り替わり、自己同期 PN パターン生成部 10 はシフトレジスタ 11 - 1、11 - 2 をループする回路となっており、自己が生成した PN パターンをセクタ 22 の 1 側入力端子へ供給し続ける。又、AND ゲート 24 は、同期判定信号 S32 が入力されている間、EXOR ゲート 23 から出力されるバースト的なエラーを示す信号を検出することができる。

30

【 0030 】

(実施例 1 の適用例)

図 2 は、図 1 の具体的な適用例を示す伝送路試験回路の構成図である。

【 0031 】

この伝送路試験回路では、PN23 段 (生成多項式 $X^{2^3} + X^{1^8} + 1$) 及び PN15 段 (生成多項式 $X^{1^5} + X^{1^4} + 1$)、即ち $a = 2^3$ 、 $b = 1^8$ 、 $c = 1^5$ 、 $d = 1^4$ を適用した場合の例が示されている。

40

【 0032 】

(実施例 1 の効果)

本実施例 1 によれば、PNa 段及び PNc 段の PN パターンを同一の自己同期 PN パターン生成部 10 内の a 段のシフトレジスタ 11 - 1 ~ 11 - 3 で実現することが可能であり、それぞれの自己同期 PN パターン生成回路を分ける必要がないので、共用される c 段のレジスタ分だけ回路を削減できる。従って、伝送路試験回路の回路規模を縮小できる。

【 実施例 2 】

【 0033 】

(実施例 2 の構成)

図 3 は、本発明の実施例 2 における伝送路試験回路を示す概略の構成図であり、実施例 1 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

50

【 0 0 3 4 】

本実施例 2 の伝送路試験回路では、同期判定カウンタ 3 1 のリセット端子に、リセット手段（例えば、リセット回路）4 0 が接続されている。リセット回路 4 0 は、異なる試験段数へ変更する際に、入力されるパターン選択信号 S I の変化を検出して同期判定カウンタ 3 1 をリセットする回路であり、シフトレジスタ 4 1、2 入力 1 出力の E X O R ゲート 4 2、及び 2 入力 1 出力の O R ゲート 4 3 により構成されている。

【 0 0 3 5 】

ここで、パターン選択信号 S I の入力部は、シフトレジスタ 4 1 及び E X O R ゲート 4 2 の各入力端子に接続され、そのシフトレジスタ 4 1 の出力端子が、E X O R ゲート 4 2 のもう一方の入力端子に接続されている。E X O R ゲート 4 2 の出力端子は、O R ゲート 4 3 の入力端子へ接続されている。O R ゲート 4 3 のもう一方の入力端子は、E X O R ゲート 2 3 の出力端子に接続され、この O R ゲート 4 3 の出力端子が、同期判定部 3 0 内の同期判定カウンタ 3 1 のリセット端子に接続されている。その他の構成は、実施例 1 と同様である。

10

【 0 0 3 6 】

（実施例 2 の動作）

実施例 1 においては、試験（例えば、P N a 段の試験）の途中で別の P N 段数の試験（例えば、P N c 段の試験）に切り替える際に、同期判定カウンタ 3 1 がリセットされないため、同期判定が解除されない。そのため、切り替える前の P N 段数のパターンを元に新たな P N 段数のパターンが自己同期 P N パターン生成部 1 0 内で自己生成され、入力される受信信号 I N とは異なる P N パターンが生成され続けてしまうという不都合な点がある。

20

【 0 0 3 7 】

そこで、本実施例 2 では、このような不都合な点を解消するために、パターン選択信号 S I を切り替えた際に、シフトレジスタ 4 1 及び E X O R ゲート 4 2 により、この E X O R ゲート 4 2 からリセットパルス S 4 2 を発生させ、O R ゲート 4 3 を経由して同期判定カウンタ 3 1 のリセット端子へ与えることにより、一度同期判定状態を解除することが可能になる。これにより、自己同期 P N パターン生成部 1 0 は、セレクト 1 3 - 1 又は 1 3 - 2 の 0 側入力端子より受信信号 I N を入力することが可能となり、再度新たな P N 段数のパターンで自己同期 P N パターンを生成することが可能となる。

30

【 0 0 3 8 】

（実施例 2 の効果）

本実施例 2 によれば、リセット回路 4 0 を設け、パターン選択信号 S I の変化を検出することにより、同期判定状態を解除しているので、新たな P N 段数の試験を円滑に始めることが可能となる。

【 0 0 3 9 】

（変形例）

本発明は、上記実施例に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の（a）～（c）のようなものがある。

【 0 0 4 0 】

（a） 図 2 の適用例では、P N 2 3 段及び P N 1 5 段の 2 種類の試験段数の伝送路試験について説明したが、他の種類（例えば、P N 9、P N 1 1、P N 2 9、P N 3 1 等）の試験段数の伝送路試験についても、回路構成を変更することにより適用が可能である。又、3 種類以上の P N 段数をサポートする場合についても、回路構成を変更することにより、適用が可能である。

40

【 0 0 4 1 】

3 種類の P N 段数をサポートする場合は、図 1 中の自己同期 P N パターン生成部 1 0 を次のように構成すれば良い。例えば、

【 0 0 4 2 】

生成多項式 $X^a + X^b + 1$ から生成される P N a 段

50

生成多項式 $X^c + X^d + 1$ から生成される P N c 段

【 0 0 4 3 】

生成多項式 $X^e + X^f + 1$ から生成される P N e 段 (但し、 $a > b > c > d > e > f$) という 3 つの P N 段数をサポートする場合、 $a - b + 1$ 段の第 1 のシフトレジスタ、 $b - d$ 段の第 2 のシフトレジスタ、 $d - f$ 段の第 3 のシフトレジスタ、及び、 $f - 1$ 段の第 4 のシフトレジスタを設け、合計 a 段のシフトレジスタで、3 つの P N 段数を実現できる。この場合、第 1 のシフトレジスタにおける 1 段目及び ($a - b + 1$) 段目の出力側に第 1 の E X O R ゲートを設け、第 2 のシフトレジスタにおける 1 段目及び ($c - d + 1$) 段目の出力側に第 2 の E X O R ゲートを設け、第 3 のシフトレジスタにおける 1 段目及び ($e - f + 1$) 段目の出力側に第 3 の E X O R ゲートを設け、第 1、第 2 及び第 3 の E X O R ゲートの出力信号を、3 入力 1 出力のパターン選択用セクタ (図 1 中のセクタ 1 3 - 3 に相当) に入力すれば、それぞれの P N パターンを選択できることになる。

10

【 0 0 4 4 】

(b) 図 1 ~ 図 3 の伝送路試験回路は、図示以外の回路構成に変更したり、あるいは、プロセッサを用いたプログラム制御 (即ち、ソフトウェア) により、その伝送路試験回路と同様の機能を実現する構成にしても良い。

【 0 0 4 5 】

(c) 実施例 1、2 では、伝送装置の受信機側に内蔵する伝送路試験回路について説明したが、本発明の伝送路試験回路は、伝送装置を初めとする通信機器、ひいてはデジタル機器全般における信号経路の正常性を確認する手段として適用が可能である。

20

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】本発明の実施例 1 における伝送路試験回路を示す概略の構成図である。

【図 2】図 1 の具体的な適用例を示す伝送路試験回路の構成図である。

【図 3】本発明の実施例 2 における伝送路試験回路を示す概略の構成図である。

【図 4】複数の P N 段数をサポートするための従来の伝送路試験回路を示す概略の構成図である。

【符号の説明】

【 0 0 4 7 】

- | | |
|-------------------------|------------------|
| 1 0 | 自己同期 P N パターン生成部 |
| 1 1 - 1 ~ 1 1 - 3 | シフトレジスタ |
| 1 2 - 1 , 1 2 - 2 , 2 3 | E X O R ゲート |
| 1 3 - 1 ~ 1 3 - 3 , 2 2 | セクタ |
| 3 0 | 同期判定部 |
| 4 0 | リセット回路 |

30

フロントページの続き

(72)発明者 佐藤 洋

東京都港区西新橋三丁目 1 6 番 1 1 号 沖電気工業株式会社内

Fターム(参考) 5K014 EA02 GA04

5K029 AA08 KK21 KK27