

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100290 A1

(51) 国際特許分類:
H01L 33/00 (2010.01) H01L 33/36 (2010.01)

6号 大阪証券取引所ビル10階 奥田
国際特許事務所 Osaka (JP).

(21) 国際出願番号: PCT/JP2018/042492

(22) 国際出願日: 2018年11月16日(16.11.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 堺ディスプレイプロダク
ト株式会社 (SAKAI DISPLAY PRODUCTS
CORPORATION) [JP/JP]; 〒5908522 大阪府堺
市堺区匠町1番地 Osaka (JP).

(72) 発明者: 岸本 克彦(KISHIMOTO, Katsuhiko).

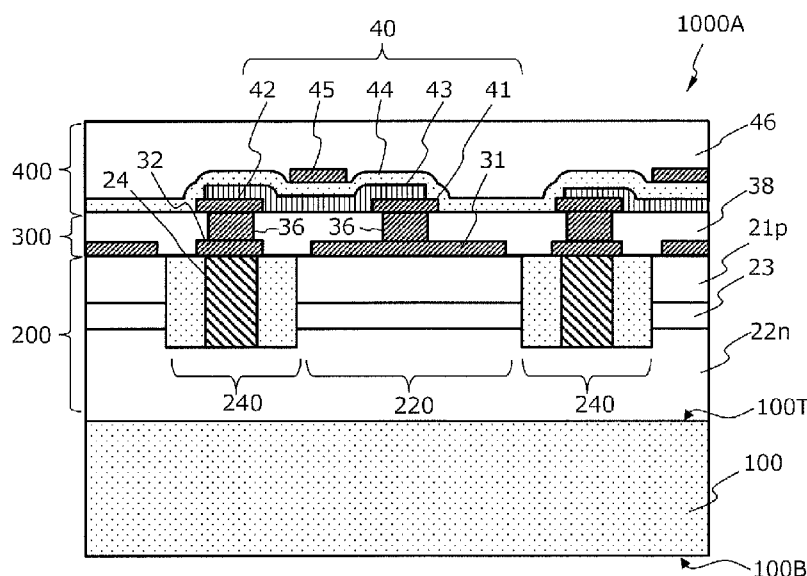
(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041
大阪府大阪市中心区北浜一丁目8番1

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: MICRO LED DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: マイクロLEDデバイスおよびその製造方法



(57) Abstract: This micro LED device comprises a crystal growth substrate (100) and a front plane (200) that includes: a plurality of micro LEDs (220) each having a first semiconductor layer (21) having a first conductivity and a second semiconductor layer (22) having a second conductivity; and element separation regions (240) positioned between the micro LEDs. The element separation regions have at least one metal plug (24) electrically connected to the second semiconductor layer. This device comprises: an intermediate layer (300) including a first contact electrode (31) electrically connected to the first semiconductor layer and a second contact electrode (32) connected to the metal plug; and a back plane (400) formed upon the intermediate layer.

[続葉有]

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：本開示のマイクロLEDデバイスは、結晶成長基板（100）と、それぞれが第1導電型の第1半導体層（21）および第2導電型の第2半導体層（22）を有する複数のマイクロLED（220）、ならびにマイクロLEDの間に位置する素子分離領域（240）を含むフロントプレーン（200）とを備える。素子分離領域は、第2半導体層に電氣的に接続された少なくともひとつの金属プラグ（24）を有する。このデバイスは、第1半導体層に電氣的に接続された第1コンタクト電極（31）および金属プラグに接続された第2コンタクト電極（32）を含む中間層（300）と、中間層上に形成されたバックプレーン（400）とを備える。

明 細 書

発明の名称：マイクロLEDデバイスおよびその製造方法

技術分野

[0001] 本開示は、マイクロLEDデバイスおよびその製造方法に関する。

背景技術

[0002] 多数のマイクロLEDが狭ピッチで配列されたディスプレイ装置を実用化するためには、微細なマイクロLEDをTFT基板などの実装回路基板上の所定位置に実装する量産技術の開発が必要である。個々のマイクロLEDをピックアンドプレイス (pick-and-place) 方式で回路上に実装する技術によれば、多数のマイクロLEDを例えば数10 μ mのピッチで回路上に実装することは非常に長い作業時間を必要とする。

[0003] 特許文献1は、TFT基板上に転写された多数のマイクロLEDを備えるディスプレイ装置およびその製造方法を開示している。

[0004] 特許文献2は、複数のLEDが形成されたGaNウェハと、このGaNウェハが接合されたバックプレーン制御部 (TFT基板) とを備えるディスプレイ装置およびその製造方法を開示している。

先行技術文献

特許文献

[0005] 特許文献1：特表2016-522585号公報

特許文献2：特表2017-538290号公報

発明の概要

発明が解決しようとする課題

[0006] 多数のマイクロLEDをTFT基板上に転写する方法は、マイクロLEDのサイズが小さくなり、その個数が増えると、TFT基板に対するマイクロLEDの位置合わせが難しくなるという問題がある。また、GaNウェハをバックプレーン制御部に接合する方法も、GaNウェハを一時的に保持するウェハに移しかえ、かつ、さらにバックプレーン制御部に実装するという複

雑な工程が必要になる。

[0007] 本開示は、上記の課題を解決することができる、マイクロLEDデバイスの新しい構造および製造方法を提供する。

課題を解決するための手段

[0008] 本開示のマイクロLEDデバイスは、例示的な実施形態において、結晶成長基板と、前記結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンとを備える。前記複数の薄膜トランジスタのそれぞれは、前記結晶成長基板に支持された前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している。

[0009] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している。

[0010] ある実施形態において、前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの側面をそれぞれ覆う複数の絶縁層を有しており、前記金属プラグは、前記素子分離領域内において、前記複数の絶縁層によって囲まれた空間を埋めている。

- [0011] ある実施形態において、前記フロントプレーンは、平坦な表面を有しており、前記平坦な表面は前記中間層に接している。
- [0012] ある実施形態において、前記中間層は、平坦な表面を有する層間絶縁層を含み、前記層間絶縁層は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している。
- [0013] ある実施形態において、前記バックプレーンの前記電気回路は、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極にそれぞれ接続された複数の金属層を有しており、前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む。
- [0014] ある実施形態において、前記複数の第1コンタクト電極は、それぞれ、前記複数のマイクロLEDの前記第1半導体層を覆い、遮光層または反射層として機能する。
- [0015] ある実施形態において、各マイクロLEDの前記第2半導体層は、前記第1半導体層よりも前記結晶成長基板に近く、各マイクロLEDの前記第2半導体層は、前記複数のマイクロLEDが共有する連続した半導体層から形成されている。
- [0016] ある実施形態において、前記複数のマイクロLEDのそれぞれは、可視、紫外、または赤外の電磁波を放射する。
- [0017] ある実施形態において、前記薄膜トランジスタは、前記中間層の前記層間絶縁層上に形成されたドレイン電極およびソース電極と、前記ドレイン電極および前記ソース電極のそれぞれの上面の少なくとも一部に接触する半導体薄膜と、前記半導体薄膜上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を有している。
- [0018] ある実施形態において、前記薄膜トランジスタは、前記中間層の前記層間絶縁層上に形成されたドレイン電極、ソース電極、およびゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成さ

れ、前記ドレイン電極および前記ソース電極のそれぞれの上面の少なくとも一部に接触する半導体薄膜とを有している。

[0019] ある実施形態において、前記薄膜トランジスタは、前記中間層の前記層間絶縁層上に形成された半導体薄膜と、前記中間層の前記層間絶縁層上に形成され、それぞれが前記半導体薄膜の一部に接触するドレイン電極およびソース電極と、前記半導体薄膜上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有している。

[0020] 本開示のマイクロLEDデバイスの製造方法は、例示的な実施形態において、結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層、を備える積層構造体を用意する工程と、前記積層構造体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程とを含む。前記バックプレーンを形成する工程は、前記積層構造体上に半導体層を堆積する工程と、前記積層構造体上の前記半導体層をパターニングする工程とを含む。

発明の効果

[0021] 本発明の実施形態によれば、前記の課題を解決するマイクロLEDデバイスおよびその製造方法が提供される。

図面の簡単な説明

[0022] [図1A]本開示による μ LEDデバイス1000の一部を示す断面図である。

[図1B] μ LEDデバイス1000における μ LED220の配置例を示す平面図である。

[図1C] μ LEDデバイス1000における金属プラグ24の配置例を示す平面図である。

[図1D] μ LEDデバイス1000における金属プラグ24の他の配置例を示す平面図である。

[図2] μ LEDデバイス1000における第1コンタクト電極31および第2コンタクト電極32の配置例を示す斜視図である。

[図3] μ LEDデバイス1000における電気回路の一部の例を示す回路図である。

[図4A] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4B] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4C] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4D] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4E] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4F] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4G] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図4H] μ LEDデバイス1000の製造工程を模式的に示す斜視図である。

[図5A]円柱形の μ LED220を備える μ LEDデバイス1000の一部を示す斜視図である。

[図5B]円柱形の μ LED220を備える μ LEDデバイス1000の平面図である。

[図6]本開示の実施形態における μ LEDデバイス1000Aの断面図である。

[図7A] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。

[図7B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。

。

[図7C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7D] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7E] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図7F] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図8] 本開示の実施形態における μ LEDデバイス1000Aの他の構成例を示す断面図である。

[図9] 本開示の実施形態における μ LEDデバイス1000Aのさらに他の構成例を示す断面図である。

[図10] 本開示の実施形態における μ LEDデバイス1000Aのさらに他の構成例を示す断面図である。

[図11A] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11D] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11E] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図11F] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である

。

[図12A] 本開示による他の実施形態における μ LEDデバイス1000Aの製

造工程を模式的に示す断面図である。

[図12B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図12C] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図13A]本開示によるさらに他の実施形態における μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。

[図13B] μ LEDデバイス1000Aの製造工程を模式的に示す断面図である。
。

[図14A]本開示による他の実施形態における μ LEDデバイス1000Aの構成を模式的に示す斜視図である。

[図14B]図14Aの μ LEDデバイス1000Aの構成を模式的に示す斜視図である。

[図14C]図14Aの μ LEDデバイス1000Aの構成を模式的に示す断面図である。

[図15] μ LEDデバイス1000Aの他の構成を模式的に示す断面図である。
。

[図16A]改変例における素子分離領域240の構成例を示す断面図である。

[図16B]改変例における素子分離領域240の構成例を示す平面図である。

[図16C]改変例における素子分離領域240の製造工程を説明するための断面図である。

[図16D]改変例における素子分離領域240の製造工程を説明するための断面図である。

[図17]本開示によるさらに他の実施形態における μ LEDデバイス1000Bの構成を模式的に示す断面図である。

[図18A]本開示によるさらに他の実施形態における μ LEDデバイス1000Cの構成を模式的に示す断面図である。

[図18B]図18Aの μ LEDデバイス1000Cの構成を模式的に示す斜視図

である。

[図19A]本開示によるさらに他の実施形態における μ LEDデバイス1000Dの構成を模式的に示す断面図である。

[図19B]図19Aの μ LEDデバイス1000Dの構成を模式的に示す斜視図である。

[図20]本開示によるさらに他の実施形態における μ LEDデバイス1000Eの構成を模式的に示す断面図である。

[図21]本開示によるさらに他の実施形態における μ LEDデバイス1000Fの構成を模式的に示す断面図である。

[図22]本開示によるさらに他の実施形態における μ LEDデバイス1000Gの構成を模式的に示す断面図である。

発明を実施するための形態

[0023] <定義>

本開示における「マイクロLED」とは、占有領域のサイズが $100\mu\text{m} \times 100\mu\text{m}$ の領域内に含まれる大きさを有する発光ダイオード(LED)を意味する。マイクロLEDが放射する「光」は、可視光に限定されず、可視、紫外、または赤外の電磁波を広く含む。以下、「マイクロLED」を「 μ LED」と表記することがある。

[0024] μ LEDは、第1導電型の第1半導体層および第2導電型の第2半導体層を有する。第1導電型はp型およびn型の一方であり、第2導電型はp型およびn型の他方である。例えば第1導電型がp型であるとき、第2導電型はn型である。逆に第1導電型がn型であるとき、第2導電型はp型である。第1半導体層および第2半導体層のそれぞれは、単層構造または多層構造を有し得る。典型的には、少なくとも1個の量子井戸（またはダブルヘテロ構造）を有する発光層が第1半導体層と第2半導体層との間に形成される。

[0025] 本開示における「マイクロLEDデバイス（ μ LEDデバイス）」とは、複数の μ LEDを備えるデバイスである。 μ LEDデバイスにおける複数の μ LEDを「 μ LEDアレイ」と呼ぶことがある。 μ LEDデバイスの典型

例はディスプレイデバイスであるが、 μ LEDデバイスはディスプレイデバイスに限定されない。

[0026] <基本構成>

図1 Aおよび図1 Bを参照して、本開示の μ LEDデバイスの基本構成例を説明する。図1 Aは、 μ LEDデバイス1000の一部を示す断面図である。図1 Bは、 μ LEDデバイス1000における μ LEDアレイの配置例を示す平面図である。図1 Aに示されている μ LEDデバイス1000の断面は、図1 BのA-A線断面に相当する。

[0027] μ LEDデバイス1000は、例えば100万個を超えるような多数の μ LEDを備え得る。図1 Aおよび図1 Bは、 μ LEDデバイス1000のうちの、数個の μ LEDを含む一部分のみを示している。 μ LEDデバイス1000の全体は、図示されている部分が周期的に配列された構成を備えている。

[0028] μ LEDデバイス1000は、結晶成長基板100と、結晶成長基板100に支持されたフロントプレーン200と、フロントプレーン200に支持された中間層300と、中間層に支持されたバックプレーン400とを備えている。

[0029] 添付図面において、 μ LEDなどの各構成要素の縦方向サイズに対する横方向サイズの比率は、実施形態における実際の比率を必ずしも反映していない。図面では、わかりやすさを優先した比率で各構成要素が記載されている。また図面における各構成要素の向きは、実際に μ LEDデバイスを製造するときの向き、および、使用時における向きを何ら制限しない。図1 Aおよび図1 Bには、参考のため、相互に直交するX軸、Y軸、およびZ軸の右手系座標軸が記載されている。

[0030] <結晶成長基板>

結晶成長基板100は、 μ LEDを構成する半導体結晶がエピタキシャル成長する基板である。以下、このような結晶成長基板を単に「基板 (substrate)」と称する。基板100の結晶成長が生じる面100Tを「上面」また

は「結晶成長面」と呼び、基板100の反対側の面100Bを「下面」と称する。本明細書において、「上面」および「下面」の語句は、基板100の実際の向きに依存することなく用いられる。

[0031] 本開示の実施形態で利用され得る半導体結晶の典型例は、窒化ガリウム系化合物半導体である。以下、窒化ガリウム系化合物半導体を「GaN」と表記することがある。GaNにおけるガリウム（Ga）原子の一部は、アルミニウム（Al）原子またはインジウム（In）原子によって置換されていてもよい。Ga原子の一部がAl原子で置換されたGaNを「AlGaN」と表記する場合がある。また、Ga原子の一部がIn原子で置換されたGaNを「InGaN」と表記する場合がある。さらには、Ga原子の一部がAl原子およびIn原子で置換されたGaNを「AlInGaN」または「InAlGaN」と表記することがある。GaNのバンドギャップは、AlGaNのバンドギャップよりも小さく、InGaNのバンドギャップよりも大きい。なお、本開示では、構成原子の一部が他の原子で置換された窒化ガリウム系化合物半導体を総称して「GaN」と表記する場合がある。「GaN」には、不純物イオンとしてn型不純物および／またはp型不純物がドーピングされ得る。導電型がn型であるGaNは「n-GaN」、導電型がp型であるGaNは「p-GaN」と表記する。半導体結晶の成長方法の詳細については、後述する。

[0032] 基板100の例は、サファイア基板、GaN基板、SiC基板、およびSi基板などを含む。本開示の実施形態において、基板100は、最終的なμLEDデバイス1000の構成要素である。基板100の厚さは、例えば30μm以上1000μm以下、好ましくは500μm以下であり得る。基板100の役割は、結晶成長のベースとなることであるため、μLEDデバイス1000の剛性は、基板100以外の他の剛性部材によって補われてもよい。そのような剛性部材は、例えばバックプレーン400に固着され得る。

[0033] μLEDアレイから放射された光を基板100が透過して表示などを行う場合、基板100は、その光の波長域で高い透光性を示す材料から形成され

ることが望ましい。紫外および可視光に対する透光性の高い材料の例は、サファイアおよびGaNである。 μ LEDアレイから放射された光をバックプレーン400が透過して表示などを行う場合、基板100は、その光を透過する必要はない。本開示の実施形態は、 μ LEDアレイから放射された光を基板100およびバックプレーン400の両方が透過して両面に表示を行う形態を含み得る。

[0034] 基板100の上面（結晶成長面）100Tには、結晶格子歪を緩和するような溝またはリッジなどの構造が付与されていてもよい。また、結晶格子歪を低減するためのバッファ層が基板100の上面100Tに形成されていてもよい。基板100の下面100Bには、 μ LEDアレイから放射され、基板100を透過してきた光の取り出し効率を向上させたり、光を拡散させたりするための微細な凹凸が形成されていてもよい。微細な凹凸の例はモスアイ構造を含む。モスアイ構造は、基板100の下面100Bにおける実効的な屈折率を連続的に変化させるため、基板100の下面100Bで基板100の内側に反射される割合（反射率）を大きく低下させる（実質的にゼロにする）ことができる。

[0035] 本開示において、図1Aに示されるZ軸の正方向（矢印の向き）を「結晶成長方向」または「半導体積層方向」と呼ぶ場合がある。また、基板100の下面100Bおよび上面100Tを、それぞれ、基板100の「正面」および「背面」と呼んでもよい。「正面」および「背面」の相対的な位置関係は、 μ LEDデバイス1000が、基板100を透過した光を利用するデバイスであるか否かに関係しない。

[0036] <フロントプレーン>

フロントプレーン200は、複数の μ LED220と、複数の μ LED220の間に位置する素子分離領域240とを含む。複数の μ LED220は、基板100の上面100Tに平行な2次元平面（XY面）内において、行および列状に配列され得る。複数の μ LED220のそれぞれは、図1Aに示されるように、第1導電型の第1半導体層21および第2導電型の第2半

導体層 22 を有する。第 2 半導体層 22 は、第 1 半導体層 21 に比べて、基板 100 に近い位置にある。

[0037] 本開示の実施形態において、各 μ LED 220 は、他の μ LED 220 から独立して発光し得る発光層 23 を有している。発光層 23 は、第 1 半導体層 21 と第 2 半導体層 22 との間に位置している。素子分離領域 240 は、第 2 半導体層 22 に電氣的に接続された少なくともひとつの金属プラグ 24 を有している。金属プラグ 24 は、 μ LED 220 の基板側電極として機能する。

[0038] 第 1 導電型の第 1 半導体層 21 の典型例は、 n -Ga N 層である。第 2 導電型の第 2 半導体層 22 の典型例は、 p -Ga N 層である。 n -Ga N 層および p -Ga N 層は、それぞれ、基板 100 の上面 100T に垂直な方向（半導体積層方向：Z 軸の正方向）に沿って同一の組成を有している必要はなく、多層構造を有し得る。前述したように、Ga N の Ga は Al および／または In によって部分的に置換され得る。このような置換は、Ga N のバンドギャップおよび／または屈折率を調整するために行われ得る。また、 n 型不純物および p 型不純物の濃度、すなわちドーピングレベルも、半導体積層方向（Z 軸の正方向）に沿って一様である必要はない。

[0039] 発光層 23 の典型例は、少なくともひとつの InGa N 井戸層を含む。発光層 23 が複数の InGa N 井戸層を含む場合、それぞれの InGa N 井戸層の間には、InGa N 井戸層よりもバンドギャップが大きな Ga N 障壁層または AlGa N 障壁層が配置され得る。InGa N 井戸層および AlGa N 障壁層は、それぞれ InAlGa N 井戸層および InAlGa N 障壁層であってもよい。InGa N 井戸層のバンドギャップは、発光波長を規定する。具体的には、真空中における発光波長を λ [nm]、バンドギャップを E_g [エレクトロンボルト：eV] とすると、 $\lambda \times E_g = 1240$ の関係が成立する。従って、例えば $\lambda = 450$ nm の青色光を放射させるには、InGa N 井戸層のバンドギャップ E_g を約 2.76 eV に調整すればよい。InGa N 井戸層のバンドギャップは、InGa N 井戸層における In 組成比率

に応じて調整され得る。InAlGaN井戸層を用いる場合は、同様にInおよびAl組成比率に応じてバンドギャップが調整され得る。基板100上に成長するInGaN井戸層におけるIn組成比率は、基板100の全面において、ほぼ同一の値を持つ。このため、同一の基板100上に形成された複数のμLED220は、ほぼ等しい波長を有する光を放射することになる。

[0040] 各μLED220を構成する上記複数の半導体層は、それぞれ、基板100上にエピタキシャル成長した単結晶の層（エピタキシャル層）である。素子分離領域240は、基板100上にエピタキシャル成長した複数の半導体層を部分的にエッチングすることによって形成されたトレンチ状の凹部（以下、「トレンチ」と称する）によって規定される。トレンチによって分離された個々のμLED220の占有領域は、100μm×100μmの領域内に含まれる大きさ（例えば10μm×10μmの領域）を有している。なお、μLED220の占有領域は、素子分離領域240によって区分された第1半導体層21の輪郭によって規定される。

[0041] 図1Bに示されるように、素子分離領域240は各μLED220を取り囲み、個々のμLED220を他のμLED220から分離している。より具体的には、素子分離領域240は、個々のμLED220の第1半導体層21および発光層23を、他のμLED220の第1半導体層21および発光層23から、電氣的・空間的に分離している。

[0042] 図1Aに示されるように、第2半導体層22は、μLED220ごとに完全に分離されていなくてもよい。図1Aに示される例において、複数のμLED220のそれぞれが有する第2半導体層22は、1層の連続した半導体層から形成されており、複数のμLED220によって共有されている。1層の連続した第2半導体層22が複数のμLED220によって共有されていると、この第2半導体層22が複数のμLED220に対する第2導電側の共通電極として機能する。もし、各μLED220の第2半導体層22が相互に分離され、かつ、第2半導体層22が個別にバックプレーン400に

おける第2導電側の電極（配線）に接続されている形態では、第2導電側の電極または配線の一部に断線不良が発生すると、一部の μ LED220に通電不良が発生してしまう。しかし、複数の μ LED220のそれぞれが有する第2半導体層22が1層の連続した半導体層から形成されている形態によれば、そのような不良の発生を抑制することができる。本開示の実施形態は、このような例に限定されない。各 μ LED220の第2半導体層22は、金属プラグ24、または後述するTiNバッファ層などと適切に接続されているのであれば、他の μ LED220の第2半導体層22から分離されていてもよい。

[0043] この例において、素子分離領域240は、複数の μ LED220の間を埋める（fill）埋め込み絶縁物（embedded insulator）25を有している。埋め込み絶縁物25は、金属プラグ24のための1個または複数個のスルーホールを有している。スルーホールは金属プラグ24を構成する金属材料によって埋められている。金属プラグ24は、異なる金属の層がスタックされた構造を有していてもよい。

[0044] 図1Bに示される例では、複数の金属プラグ24が離散的に配置されているが、本開示の実施形態は、このような例に限定されない。複数の金属プラグ24のそれぞれが、対応する μ LED220を囲むリング形状を有していてもよい。また、金属プラグ24は、図1Cに示すように、一方向に平行に延びるストライプ形状を有してもよいし、図1Dに示すように、格子形状を有する1個の導電物であってもよい。

[0045] 金属プラグ24は、光を透過しない。このため、金属プラグ24が、個々の μ LED220を囲む形状を有する場合（例えば図1Dの形状を有する場合）、金属プラグ24は、個々の μ LED220から放射された光が、他の μ LED220から放射された光と混合されないようにする効果を生じさせる。金属プラグ24がこのような遮光部材として機能する代わりに、個々の μ LED220を囲む遮光部材を、別途、素子分離領域240内に設けてもよい。このように素子分離領域240は、個々の μ LED220の発光層2

3を他の μ LED 220の発光層23から光学的に分離する付加的な機能を有していてもよい。

[0046] 本開示の実施形態において、フロントプレーン200の上面は、図1Aに示されるように平坦化されていることが好ましい。このような平坦化は、素子分離領域240における金属プラグ24および埋め込み絶縁物25の上面のレベルが、 μ LED 220における第1半導体層21の上面のレベルに略一致することにより実現されている。

[0047] <中間層>

中間層300は、複数の第1コンタクト電極31と、第2コンタクト電極32とを含む（図1A参照）。複数の第1コンタクト電極31は、それぞれ、複数の μ LED 220の第1半導体層21に電氣的に接続されている。少なくともひとつの第2コンタクト電極32は、金属プラグ24に接続されている。

[0048] 図2は、第1コンタクト電極31および第2コンタクト電極32の配置例を示す斜視図である。図2では、コンタクト電極31、32の配置例を示すため、バックプレーン400の記載が省略されている。図2に示されている構造は、 μ LEDデバイス1000の一部にすぎず、前述したように、 μ LEDデバイス1000の実施形態は多数の μ LED 220を備えている。

[0049] 図2に示されている第2コンタクト電極32は、金属プラグ24を介して、第2半導体層22に電氣的に接続されている。第2コンタクト電極32の形状およびサイズは、図示されている例に限定されない。前述したように、金属プラグ24が多様な形状を取り得るため、金属プラグ24を介して第2半導体層22に電氣的に接続される限り、第2コンタクト電極32の配置の自由度は高い。これに対して、第1コンタクト電極31は、複数の μ LED 220の第1半導体層21に、それぞれ、独立して電氣的に接続されている。基板100の上面100Tに垂直な方向から見たとき、第1コンタクト電極31の形状および大きさは、第1半導体層21の形状および大きさに一致している必要はない。

[0050] 前述したように、フロントプレーン200の上面が平坦化されているため、基板100から第1コンタクト電極31および第2コンタクト電極32までの距離、言い換えると、これらのコンタクト電極31、32の「高さ」または「レベル」は、相互に等しい。このことは、半導体製造技術を用いて後述するバックプレーン400を形成することを容易にする。本開示における「半導体製造技術」とは、半導体、絶縁体、または導電体の薄膜を堆積する工程と、リソグラフィおよびエッチング工程によって薄膜をパターニングする工程とを含む。なお、本明細書において、「平坦化された表面」とは、その表面に存在する凸部または凹部による段差が300nm以下である表面を意味するものとする。好ましい実施形態において、この段差は100nm以下である。

[0051] 再び図1Aを参照する。図1Aに示される例において、中間層300は、平坦な表面を有する層間絶縁層38を含む。層間絶縁層38は、第1および第2コンタクト電極31、32をそれぞれバックプレーン400の電気回路に接続するための複数のコンタクトホールを有している。コンタクトホールは、ビア電極36によって埋められている。

[0052] 本開示の実施形態では、バックプレーン400を形成する前の段階において、層間絶縁層38の上面を平坦化することが好ましい。バックプレーン400を形成する前、あるいは形成途中の工程における絶縁層の平坦化には、エッチバック以外に化学的機械的研磨（CMP）処理が好適に用いられ得る。

[0053] <バックプレーン>

バックプレーン400は、図1Aにおいて不図示の電気回路を有している。電気回路は、複数の第1コンタクト電極31および少なくともひとつの第2コンタクト電極32を介して、複数のμLED220に電氣的に接続されている。電気回路は、複数の薄膜トランジスタ（TFT）およびその他の回路要素を含む。後述するように、TFTのそれぞれは、基板100に支持されたフロントプレーン200および／または中間層300上に成長した半導

体層を有している。

[0054] 図3は、 μ LEDデバイス1000がディスプレイデバイスとして機能する場合におけるサブ画素の基本的な等価回路図である。ディスプレイデバイスの1個の画素は、例えばR、G、Bなどの異なる色のサブ画素によって構成され得る。図3に示される例において、バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、保持容量CHを有している。図3に示されている μ LEDは、バックプレーン400ではなく、フロントプレーン200内に存在している。

[0055] 図3の例において、選択用TFT素子Tr1は、データラインDLと選択ラインSLとに接続されている。データラインDLは、表示されるべき映像を規定するデータ信号を運ぶ配線である。データラインDLは選択用TFT素子Tr1を介して駆動用TFT素子Tr2のゲートに電氣的に接続される。選択ラインSLは、選択用TFT素子Tr1のオン／オフを制御する信号を運ぶ配線である。駆動用TFT素子Tr2は、パワーラインPLと μ LEDとの間の導通状態を制御する。駆動用TFT素子Tr2がオンすれば、 μ LEDを介してパワーラインPLから接地ラインGLに電流が流れる。この電流が μ LEDを発光させる。選択用TFT素子Tr1がオフしても、保持容量CHにより、駆動用TFT素子Tr2のオン状態は維持される。

[0056] バックプレーン400の電気回路は、選択用TFT素子Tr1、駆動用TFT素子Tr2、データラインDL、および選択ラインSLなどを含み得るが、電気回路の構成は、このような例に限定されない。

[0057] 本実施形態における μ LEDデバイス1000は、単独でディスプレイデバイスとして機能し得るが、複数の μ LEDデバイス1000をタイリングして、より大きな表示面積を有するディスプレイデバイスを実現してもよい。

[0058] <製造方法>

次に、 μ LEDデバイス1000を製造する方法の基本的な例を説明する。

- [0059] まず、図4 Aに示すように、上面（結晶成長面）100Tを有する基板100を用意する。図4 Aは、上面100Tに平行な平面に沿って広がる基板100の一部を示しているにすぎない。
- [0060] 図4 Bに示すように、基板100の上面100Tから第2導電型の第2半導体層22、発光層23、および第1導電型の第1半導体層21を含む複数の半導体層をエピタキシャル成長させる。各半導体層は、窒化ガリウム系化合物半導体の単結晶エピタキシャル成長層である。窒化ガリウム系化合物半導体の成長は、例えばMOCVD（Metal Organic Chemical Vapor Deposition）法で行うことができる。各導電型を規定する不純物は、結晶成長中に気相中からドーピングされ得る。
- [0061] 上記半導体層を含む半導体積層構造280を基板100上に形成した後、図4 Cに示すように、マスクM1を第1半導体層21上に形成する。マスクM1は、素子分離領域240の形状および位置を規定する開口部を有している。言い換えると、マスクM1は、 μ LED220の形状および位置を規定する。半導体積層構造280のうち、マスクM1によって覆われていない部分を上面からエッチングすることにより、図4 Dに示すように、素子分離領域240を規定するトレンチを形成する。このエッチング（メサエッチング）は、例えば誘導結合性プラズマ（ICP）エッチング法または反応性イオンエッチング（RIE）法によって行うことができる。エッチングの深さは、トレンチの底部に第2半導体層22が現れるように決定される。エッチングによって形成されるトレンチの深さは例えば0.5 μ m以上5 μ m以下、トレンチの幅は例えば5 μ m以上100 μ m以下であり得る。個々の μ LED220の横幅は、例えば5 μ m以上100 μ m以下、典型的には15 μ mであり得る。エッチングによって μ LED220の側面220Sが露出している。言い換えると、個々の μ LED220は、エッチングされた側面（etched side surfaces）220sを有している。図4 Eは、第2半導体層22の上面付近がエッチングされた状態を模式的に示している。
- [0062] 次に、図4 Fに示すように、素子分離領域240を形成した後、第1コン

タクト電極 31 および第 2 コンタクト電極 32 を形成する。この例における素子分離領域 240 は、埋め込み絶縁物 25 と、埋め込み絶縁物 25 の複数のスルーホール内にそれぞれ設けられた複数の金属プラグ 24 とを有している。

[0063] 図 4 G に示すように中間層 300 の層間絶縁層（厚さ：例えば 500 nm ～ 1500 nm）38 を形成した後、バックプレーン 400 の電気回路をフロントプレーン 200 の μ LED 220 に接続するための複数のコンタクトホール（図 4 G において不図示）を層間絶縁層 38 に形成する。コンタクトホールは、下層に位置するコンタクト電極 31、32 に達するように形成される。コンタクトホールはビア電極で埋められる。なお、層間絶縁層 38 の上面は CMP 処理によって平滑化され得る。

[0064] 図 4 H に示すように、中間層 300 上にバックプレーン 400 を形成する。本開示において特徴的な点は、バックプレーン 400 を中間層 300 上に張り付けるのではなく、バックプレーン 400 を構成する各種の電子素子および配線を、半導体製造技術により、フロントプレーン 200 および中間層 300 を含む積層構造体の上に直接に形成することにある。この結果、バックプレーン 400 に含まれる複数の TFT のそれぞれは、基板 100 に支持されたフロントプレーン 200 および中間層 300 からなる積層構造体の上に成長した半導体層を有している。

[0065] 前述したように、フロントプレーン 200 の上面および中間層 300 の上面が平坦化されていると、TFT を含むバックプレーン 400 を半導体製造技術によって製造することが容易になる。一般に、半導体製造技術によって TFT を形成する場合、堆積した半導体層、絶縁層、および金属層のパターニングを行う必要がある。このようなパターニングは、露光を伴うリソグラフィ工程によって実現される。堆積した半導体層、絶縁層、および金属層の下地に大きな段差が存在する場合、露光時の焦点が合わず、精度の高い微細パターニングが実現しない。本開示の実施形態では、素子分離領域 240 を含むフロントプレーン 200 の全体が平坦化されることにより、中間層 300

0も平坦化され、半導体製造技術によるバックプレーン400の形成が容易になる。

[0066] 上述の例において、 μ LED220の形状は、概略的に直方体であるが、 μ LED220の形状は、図5Aおよび図5Bに示されるように、円柱であってもよいし、六角柱などの多角柱、あるいは楕円柱であってもよい。図5Aは、円柱形の μ LED220を備える μ LEDデバイスの一部を示す斜視図であり、図5Bは、その平面図である。図5Bに示される例において、素子分離領域240は、個々の μ LED220の側面を覆う埋め込み絶縁物25と、 μ LED220の間の空間を埋める金属プラグ24とを備えている。この金属プラグ24の働きにより、素子分離領域240は、個々の μ LED220から放射された光を他の μ LED220から放射された光と混合しないようにすることができる。

[0067] <実施形態>

以下、本開示による μ LEDデバイスの基本的な実施形態をさらに詳細に説明する。

[0068] 図6を参照する。本実施形態における μ LEDデバイス1000Aは、前述した基本構成例と同様の構成を備えているディスプレイデバイスである。この μ LEDデバイス1000Aは、紫外および／または可視光を透過する結晶成長基板（以下、「基板」）100と、基板100上に形成されたフロントプレーン200と、フロントプレーン200上に形成された中間層300と、中間層300上に形成されたバックプレーン400とを備えている。

[0069] 次に、図7Aから図10を参照しながら、本実施形態における μ LEDデバイス1000Aの構成および製造方法の一例を説明する。

[0070] まず、図7Aを参照する。本実施形態では、MOCVD装置の反応室内に基板100を置き、種々のガスを供給して窒化ガリウム系化合物半導体（GaN）のエピタキシャル成長を行う。本実施形態における基板100は、例えば厚さが約50～600 μ mのサファイア基板である。基板100の上面100Tは、典型的にはC面（0001）であるが、m面、a面、r面など

の非極性面または半極性面を上面に有していてもよい。また、上面 100T は、これらの結晶面から数度程度は傾斜していてもよい。基板 100 は典型的には円板状であり、その直径は、例えば 1 インチから 8 インチであり得る。基板 100 の形状およびサイズは、この例に限定されず、矩形であってもよい。また、円板状の基板 100 を用いて製造工程を進め、最終的に基板 100 の周辺をカットして矩形形状に加工してもよい。また、比較的な大きな基板 100 を用いて製造工程を進め、最終的に 1 枚の基板 100 を分割して複数の μ LED デバイスを形成してもよい（シングュレーション）。

[0071] MOCVD 装置の反応室内には、まず、トリメチルガリウム (TMG) またはトリエチルガリウム (TEG)、およびシラン (SiH_4) を供給する。基板 100 を 1100°C 程度に加熱し、 n -Ga₂N 層 (厚さ: 例えば 2 μm) を成長させる。シランは n 型ドーパントである Si を供給する原料ガスである。 n 型不純物のドーピング濃度は、例えば $5 \times 10^{17} \text{cm}^{-3}$ であり得る。

[0072] 次に SiH_4 の供給を止め、基板 100 の温度を 800°C 未満まで降温して発光層 23 を形成する。具体的には、まず、Ga₂N 障壁層を成長させる。さらにトリメチルインジウム (TMI) の供給を開始して $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層を成長させる。Ga₂N 障壁層と $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層は 2 周期以上で交互に成長させることにより、発光部として機能する Ga₂N/ InGa 多重量子井戸を有する発光層 (厚さ: 例えば 100 nm) を形成することができる。 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層の数が多い方が、大電流駆動時において井戸層内部のキャリア密度が過剰に大きくなることを抑制できる。1 つの発光層 23 が 2 つの Ga₂N 障壁層によって挟まれた単一の $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層を有していてもよい。 n -Ga₂N 層 22 n の上に $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層を直接形成し、 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層の上に Ga₂N 障壁層を形成してもよい。 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層は、Al を含んでいてもよい。例えば、 $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y < 1$) 井戸層は、 $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$ ($0 \leq x < 1$, $0 <$

$y < 1$ 、 $0 < z < 1$) から形成されていてもよい。

[0073] 発光層 23 の形成後、TMI の供給を停止し、キャリアガスに窒素に加えて、水素の供給を再開する。成長温度を $850^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ に上昇させ、トリメチルアルミニウム (TMA) と、p 型ドーパントである Mg の原料としてビスシクロペンタジエニルマグネシウム (Cp_2Mg) を供給し、p-AI GaN オーバーフロー抑制層を成長させてもよい。次に TMA の供給を停止し、p-GaN 層 (厚さ: 例えば $0.5\ \mu\text{m}$) 21p を成長させる。p 型不純物のドーピング濃度は、例えば $5 \times 10^{17}\text{cm}^{-3}$ であり得る。

[0074] 次に、図 7B に示すように、MOCVD 装置の反応室から取り出した基板 100 に対してフォトリソグラフィおよびエッチング工程を行うことにより、p-GaN 層 21p および発光層 23 の所定領域 (素子分離領域 240 が形成される部分、深さ: 例えば $1.5\ \mu\text{m}$) を除去し、n-GaN 層 22n の一部を露出させる。窒化ガリウム系半導体のエッチングは、後述するように、塩素系ガスのプラズマを用いて行われ得る。

[0075] 図 7C に示すように、素子分離領域 240 を規定する空間を埋め込み絶縁物 25 で満たす。埋め込み絶縁物 25 の材料および形成方法は、任意である。図示されている例において、埋め込み絶縁物 25 の上面は平坦化され、p-GaN 層 21p の上面と同一のレベルに位置している。

[0076] 図 7D に示すように、埋め込み絶縁物 25 の一部に n-GaN 層 22n に達する貫通孔 (スルーホール) 26 を形成する。このスルーホール 26 は、金属プラグ 24 の位置および形状を規定する。スルーホール 26 は、例えば一辺が $5\ \mu\text{m}$ 以上の矩形形状、また直径 $5\ \mu\text{m}$ 以上の円形を有している。また、スルーホール 26 は、例えば図 1C および図 1D に示されるような形状を有する金属プラグ 24 を収容する形状を有していてもよい。

[0077] 図 7E に示すように、スルーホール 26 を埋める金属プラグ 24 を形成し、フロントプレーン 200 の上面を平坦化する。その後、第 1 コンタクト電極 31 および第 2 コンタクト電極 32 を形成する。平坦化は、例えば、エッチバック、選択成長、またはリフトオフなどの各種のプロセスによって行う

ことができる。

[0078] 金属プラグ24は、 n -Ga N 層22 n にオーミック接触を行うため、例えばチタニウム(Ti)および／またはアルミニウム(Al)などの金属から形成され得る。金属プラグ24は、 n -Ga N 層22 n に接触する部分にTiを含む金属の層(例えばTi N 層)を有していることが好ましい。Ti N 層の存在は、低抵抗のオーミック接触を実現することに寄与する。Ti N 層は、 n -Ga N 層22 n に接触するTi層を形成した後、例えば600℃程度の熱処理を30秒間行うことによって形成され得る。

[0079] 第1および第2コンタクト電極31、32は、金属層の堆積およびパターニングによって形成され得る。第1コンタクト電極31と μ LED220の p -Ga N 層21 p との間では、金属-半導体界面が形成される。オーミック接触を実現するため、第1コンタクト電極31の材料は、例えば白金(Pt)および／またはパラジウム(Pd)などの金属から選択され得る。PtまたはPdの層(厚さ：約50nm)を形成した後、例えば、350℃以上400℃以下の温度で30秒程度の熱処理が行われ得る。 p -Ga N 層21 p に直接に接触する部分にPtまたはPdの層が存在していれば、その層の上には他の金属、例えばTi層(厚さ：約50nm)および／またはAu層(厚さ：約200nm)が積層されていてもよい。

[0080] p -Ga N 層21 p の上部には、 p 型不純物が相対的に高濃度にドーパされた領域が形成されていてもよい。第2コンタクト電極32は、半導体ではなく、金属プラグ24と電氣的に接続される。このため、第2コンタクト電極32の材料は、広い範囲から選択可能である。第1コンタクト電極31および第2コンタクト電極32は、一枚の連続した金属層をパターニングすることによって形成されてもよい。このパターニングは、リフトオフも含む。第1コンタクト電極31および第2コンタクト電極32の厚さが相互に等しいと、後述するTF T 40などの、バックプレーン400における電気回路との接続が容易になる。

[0081] 第1および第2コンタクト電極31、32を形成した後、これらは層間絶

縁層（厚さ：例えば1000nmから1500nm）38によって覆われる。ある好ましい例において、層間絶縁層38の上面はCMP処理などによって平坦化され得る。上面が平坦化された層間絶縁層38の厚さは、「平均厚さ」を意味する。

[0082] 図7Fに示すように、層間絶縁層38にコンタクトホール39を形成する。コンタクトホール39は、バックプレーン400の電気回路をフロントプレーン200の μ LED220に電氣的に接続するために使用される。

[0083] 再び図6を参照して、バックプレーン400の電気回路に含まれるTF Tの構造例および形成方法を以下に説明する。

[0084] 図6に示されている例において、TF T40は、層間絶縁層38上に形成されたドレイン電極41およびソース電極42と、ドレイン電極41およびソース電極42のそれぞれの上面の少なくとも一部に接触する半導体薄膜43と、半導体薄膜43上に形成されたゲート絶縁膜44と、ゲート絶縁膜44上に形成されたゲート電極45とを有している。図示されている例において、ドレイン電極41およびソース電極42は、それぞれ、ビア電極36によって第1コンタクト電極31および第2コンタクト電極32に接続されている。これらTF T40の構成要素は、公知の半導体製造技術によって形成される。

[0085] 半導体薄膜43は、多結晶シリコン、非晶質シリコン、酸化物半導体、および／または窒化ガリウム系半導体から形成され得る。多結晶シリコンは、例えば薄膜堆積技術によって非晶質シリコンを中間層300の層間絶縁層38上に堆積した後、非晶質シリコンをレーザビームで結晶化することにより、形成され得る。このようにして形成される多結晶シリコンは、LT PS (Low-Temperature Poly Silicon) と称される。多結晶シリコンはリソグラフィおよびエッチング工程で所望の形状にパターニングされる。

[0086] 図6におけるTF T40は、絶縁層（厚さ：例えば500nm～3000nm）46に覆われている。絶縁層46には、不図示の開口孔が設けられ、TF T40の例えばゲート電極45を外部のドライバ集積回路素子などに接

続することを可能にしている。絶縁層46の上面も平坦化されていることが好ましい。バックプレーン400の電気回路は、図示されていないTFT、キャパシタ、およびダイオードなどの回路要素を含み得る。このため、絶縁層46は、複数の絶縁層が積層された構成を有していてもよく、その場合の各絶縁層には、必要に応じて回路要素を接続するビア電極が設けられ得る。また、各絶縁層上には、必要に応じて配線が形成され得る。

[0087] 本実施形態におけるバックプレーン400は、公知のバックプレーン（例えばTFT基板）と同様の構成を有することができる。ただし、本開示のバックプレーン400は、下層に位置する μ LED220の上に半導体製造技術によって形成される点に特徴を有している。このため、例えばTFT40のドレイン電極41およびソース電極42は、フロントプレーン200を覆うように堆積した金属層をパターニングすることによって形成され得る。このようなパターニングは、リソグラフィ技術による高精度の位置合わせを可能にする。特に本実施形態では、フロントプレーン200および／または中間層300がいずれも平坦化されているため、リソグラフィの解像度を高めることが可能になる。その結果、例えば $20\mu\text{m}$ 以下、極端な例では $5\mu\text{m}$ 以下の微細ピッチで配列された多数の μ LED220を備えるデバイスを歩留まり良く、かつ、低価格で製造することが可能になる。

[0088] 図6に示されるTFT40の構成は、一例である。説明をわかりやすくするため、TFT40のドレイン電極41が第1コンタクト電極31に電氣的に接続されている例を説明しているが、TFT40のドレイン電極41はバックプレーン400内の他の回路要素または配線に接続されていてもよい。また、TFT40のソース電極42は、第2コンタクト電極32に電氣的に接続されている必要はない。第2コンタクト電極32は、 μ LED220の $n\text{-Ga}\text{N}$ 層22nに共通して所定の電位を与える配線（例えばグランド配線）に接続され得る。

[0089] 本実施形態において、バックプレーン400の電気回路は、第1コンタクト電極31および第2コンタクト電極32にそれぞれ接続された複数の金属

層（ドレイン電極 4 1 およびソース電極 4 2 として機能する金属層）を有している。また、本実施形態において、複数の第 1 コンタクト電極 3 1 は、それぞれ、複数の μ LED 2 2 0 の p-GaN 層 2 1 p を覆い、遮光層または反射層として機能する。個々の第 1 コンタクト電極 3 1 は、 μ LED 2 2 0 の上面、すなわち、p-GaN 層 2 1 p の上面の全体を全て覆っている必要はない。第 1 コンタクト電極 3 1 の形状、サイズ、および位置は、十分に低いコンタクト抵抗を実現し、かつ、発光層 2 3 から放射された光が TFT 4 0 のチャネル領域に入射することを十分に抑制するように決定される。なお、発光層 2 3 から放射された光が TFT 4 0 のチャネル領域に入射することは、他の金属層を適切な位置に配置することによっても実現し得る。

[0090] 本開示の実施形態によれば、素子分離領域 2 4 0 を金属プラグ 2 4 および埋め込み絶縁物 2 5 によって埋め込んで実現した平坦な上面を有するフロントプレーン 2 0 0 上に、平坦化された上面を有する中間層 3 0 0 を形成する。これらの構造（下部構造）は、その上に TFT などの回路要素を形成するベースとして機能する。TFT のための半導体を堆積するとき、あるいは、堆積後に熱処理をするとき、上記の下部構造は、例えば 3 5 0 °C 以上の温度で処理される。このため、素子分離領域 2 4 0 内の埋め込み絶縁物 2 5 および中間層 3 0 0 に含まれる層間絶縁層 3 8 は、3 5 0 °C 以上の熱処理によっても劣化しない材料から形成されることが好ましい。例えばポリイミドおよび SOG (Spin-on Glass) は、好適に用いられ得る。

[0091] バックプレーン 4 0 0 における電気回路が含む TFT の構成は、上記の例に限定されない。

[0092] 図 8 は、TFT の他の例を模式的に示す断面図である。図 9 は、TFT のさらに他の例を模式的に示す断面図である。

[0093] 図 8 の例において、TFT 4 0 は、層間絶縁層 3 8 上に形成されたドレイン電極 4 1、ソース電極 4 2、およびゲート電極 4 5 と、ゲート電極 4 5 上に形成されたゲート絶縁膜 4 4 と、ゲート絶縁膜 4 4 上に形成され、ドレイン電極 4 1 およびソース電極 4 2 のそれぞれの上面の少なくとも一部に接触

する半導体層 4 3 とを有している。図示されている例において、ドレイン電極 4 1 およびソース電極 4 2 は、それぞれ、ビア電極 3 6 によって第 1 コンタクト電極 3 1 および第 2 コンタクト電極 3 2 に接続されている。

[0094] 図 9 の例において、T F T 4 0 は、層間絶縁層 3 8 上に形成された半導体薄膜 4 3 と、層間絶縁層 3 8 上に形成され、それぞれが半導体層 4 3 の一部に接触するドレイン電極 4 1 およびソース電極 4 2 と、半導体薄膜 4 3 上に形成されたゲート絶縁膜 4 4 と、ゲート絶縁膜 4 4 上に形成されたゲート電極 4 5 とを有している。図示されている例において、ドレイン電極 4 1 およびソース電極 4 2 は、それぞれ、ビア電極 3 6 によって第 1 コンタクト電極 3 1 および第 2 コンタクト電極 3 2 に接続されている。

[0095] T F T 4 0 の構成は、上記の例に限定されない。本開示の実施形態では、T F T 4 0 を形成する工程の初期段階において、中間層 3 0 0 における層間絶縁層 3 8 のコンタクトホール 3 9 を介してフロントプレーン 2 0 0 の第 1 および第 2 コンタクト電極 3 1、3 2 に接続される複数の金属層が形成される。これらの金属層は、T F T 4 0 のドレイン電極 4 1 またはソース電極 4 2 であり得るが、それらに限定されない。

[0096] 本実施形態におけるドレイン電極 4 1 およびソース電極 4 2 は、平坦化された中間層 3 0 0 における層間絶縁層 3 8 上に金属層を堆積した後、フォトリソグラフィおよびエッチング工程でパターニングされる。このため、フロントプレーン 2 0 0（中間層 3 0 0）とバックプレーン 4 0 0 との間で、歩留まり低下を招くような位置合わせずれは生じない。

[0097] <T i N バッファ層>

図 1 0 は、基板 1 0 0 と各 μ L E D 2 2 0 の n - G a N 層 2 2 n との間に位置する窒化チタニウム (T i N) 層 5 0 を有する μ L E D デバイスの一部を模式的に示す断面図である。T i N 層 5 0 の厚さは、例えば 5 n m 以上 2 0 n m 以下であり得る。T i N 層 5 0 は、サファイア、単結晶シリコン、または S i C から形成された基板 1 0 0 と組み合わせて好適に利用され得るが、基板 1 0 0 は、これらの基板に限定されない。

[0098] TiN層50は、電気導電性を有する。本開示の実施形態では、広い範囲にわたって多数の μ LED220が配列され、少なくとも1個の金属プラグ24によって μ LED220の n -Ga N 層22nがバックプレーン400の電気回路に接続される。このため、 n -Ga N 層22nから金属プラグ24に流れる電流に対する電気抵抗成分（シート抵抗）が高すぎると、消費電力の増加を招いてしまう。TiN層50は、結晶成長時には格子不整合を緩和するバッファ層として機能して結晶欠陥密度を低減することに寄与するとともに、デバイスの動作時には、上記の電気抵抗成分を低下させることに寄与する。TiN層50の厚さは、電気抵抗成分を低下させて基板側電極として機能させるという観点から、10nm以上であることが好ましく、12nm以上であることがさらに好ましい。一方、 μ LED220から放射された光を透過させるという観点からは、TiN層50の厚さを例えば20nm以下にすることが好ましい。

[0099] 図10に示される例では、1層の連続した n -Ga N 層22n（第2半導体層）が複数の μ LED220によって共有されている。しかし、 n -Ga N 層22nは、 μ LED220ごとに分離されていてもよい。その場合、素子分離領域240を規定するトレンチの底は、TiN層50の上面に達し、金属プラグ24はTiN層50に接触する。1枚の連続したTiN層50が全ての μ LED220における n -Ga N 層22nに電氣的に接続しているため、金属プラグ24と個々の μ LED220の n -Ga N 層22nとの電氣的導通が確保される。この例において、TiN層50は、複数の μ LED220の n 側共通電極として機能する。本開示の実施形態では、複数の μ LED220における第2導電側の電極が半導体層またはTiN層によって共通化されているため、断線に起因して一部の μ LED220に導通不良が生じるという問題が回避される。

[0100] <金属プラグの他の構成例>

以下、素子分離領域における金属プラグの他の構成例を説明する。

[0101] 図11Aから図11Fを参照しながら、金属プラグが第2半導体層に接触

する窒化チタニウム層を有している μ LEDデバイスの構造および形成方法の例を説明する。半導体積層構造280の形成は、前述した方法によって行えばよい。

[0102] まず、図11Aに示すように、素子分離領域240の形状、位置およびサイズを規定する開口部を有するマスクM1を形成した後、素子分離領域240が形成されるべき領域にトレンチを形成する。このエッチングは、例えば誘導結合性プラズマ(ICP)エッチング法によって行うことができる。具体的には、 Cl_2 、 BCl_3 、 SiCl_4 、 CHCl_3 などの塩素系ガス、または、塩素系ガスを希ガスなどで希釈した混合ガスのプラズマを用いてエッチングが行われ得る。エッチングの深さは、トレンチの底部にn-GaN層22nが現れるように決定される。トレンチは、埋め込み絶縁物25によって埋められる。具体的には、例えば熱硬化性のポリイミドなどの樹脂材料を塗布した後、例えば400℃で60分間の熱処理によって樹脂材料を硬化させることにより、埋め込み絶縁物25を形成できる。埋め込み絶縁物25は、樹脂から形成されている必要はなく、例えばシリコン窒化物、シリコン酸化物などの無機絶縁材料から形成されていてもよい。

[0103] 本開示の実施形態では、バックプレーン400に含まれるTFTおよびその他の構成要素を半導体製造技術によってフロントプレーン200および中間層300の上層に形成するため、これらの構成要素を形成するためのプロセス温度に耐える材料を用いてフロントプレーン200および中間層300を形成する必要がある。例えば、埋め込み絶縁物25、層間絶縁層38、絶縁層46は、有機材料から形成され得るが、この有機材料はバックプレーン400を形成するプロセスの最高温度に耐える必要がある。具体的には、TFTを形成する工程で例えば300℃を超えるような熱処理が行われる場合、300℃の熱処理でも劣化しにくい耐熱性のある樹脂材料（たとえばポリイミド）から、埋め込み絶縁物25、層間絶縁層38、および／または絶縁層46を形成することができる。

[0104] 埋め込み絶縁物25、層間絶縁層38および絶縁層46は、それぞれ、単

層構造を有している必要はなく、多層構造を有していてもよい。多層構造は、例えば有機材料と無機材料の積層物（stack）を含み得る。

[0105] 次に、図11Bに示すように、埋め込み絶縁物25に形成するスルーホール26の形状、位置およびサイズを規定する開口部を有するマスクM2を形成する。マスクM2は、レジストマスクであり得る。このようなマスクM2を形成した後、例えば電子サイクロトロン共鳴（ECR）プラズマによる異方性エッチングを行うことにより、図11Cに示すように、スルーホール26を埋め込み絶縁物25中に形成することができる。埋め込み絶縁物25がポリイミドから形成されている場合、エッチングは酸素ガスのプラズマ、または CF_4 が添加された酸素ガスのプラズマを用いて行うことができる。埋め込み絶縁物25がシリコン窒化物またはシリコン酸化物から形成されている場合、例えば CF_4 または CHF_3 などのガスのプラズマを用いて行うことができる。

[0106] 本実施形態では、図11Dに示すように、レジストから形成したマスクM2を直ちには除去せずに、スパッタ法などによってTiの堆積を行うことにより、スルーホール26の底部にTi層（厚さ：50～150nm、典型的には100nm程度）24Aを形成する。マスクM2上にもTi層24Bが形成される。

[0107] 次に、図11Eに示すように、スパッタ法などによってAl堆積物（厚さ：500～2000nm）24Cを形成する。Al堆積物24Cの厚さは、Al堆積物24Cによってスルーホール26の内部を満たすように決定される。Al堆積物24Cは、マスクM2上にも形成される。この後、Ti層24BおよびAl堆積物24Cの不要な部分は、マスクM2とともに除去される（リフトオフプロセス）。マスクM2を除去した後、必要に応じて平坦化のための研磨を行い、素子分離領域240の上面を μLED 220の上面と整合させる。なお、リフトオフプロセスを行うことなく、研磨による平坦化を行ってもよい。

[0108] マスクM2を除去した後、平坦化を行う場合は平坦化の前後を問わず、例

例えば600℃で30秒の短時間アニールを行う。図11Fに示されるように、このアニールにより、Ti層24Aの一部はn-GaN層22nと反応してTiN層（厚さ：5～50nm）24Dを形成する。TiN層24Dは、n-GaN層22nに対する低抵抗オーミック接触を実現することに寄与する。

[0109] なお、図11Fに示される例において、基板100の上面にはTiN層50が存在しているが、TiN層50は必須ではない。基板100の上面には、他のバッファ層が設けられていてもよい。

[0110] 次に、図12Aから図12Cを参照して、金属プラグ24が埋め込み絶縁物25から突出してn-GaN層22nの凹部に接触しているμLEDデバイスの構造および形成方法の例を説明する。

[0111] まず、図12Aに示すように、素子分離領域240が形成されるべき領域にトレンチを形成する。

[0112] 図12Bに示すように、埋め込み絶縁物25を形成した後、埋め込み絶縁物25に形成するスルーホール26の形状、位置およびサイズを規定する開口部を有するマスクM2を形成する。マスクM2を用いて埋め込み絶縁物25をエッチングした後、引き続き、n-GaN層22nをエッチングして凹部22Xを形成する。こうして、埋め込み絶縁物25の底部よりも深い位置に底部を有するスルーホール26が形成される。埋め込み絶縁物25の底部とスルーホール26の底部との間にある段差は、例えば200nm以上1000nm以下である。なお、埋め込み絶縁物25のエッチングとn-GaN層22nのエッチングとは、それぞれに適した異なるエッチング装置および／または異なるエッチングガスを用いて実行され得る。

[0113] 図12Cに示すように、スルーホール26の内壁面および底面にTi層（厚さ：50～150nm）24Aを形成する。ステップカバレッジに優れたスパッタ法を用いることにより、スルーホール26の底面だけではなく内壁面、特にn-GaN層22nの凹部22Xの内壁面上にもTi層24Aを形成することができる。この後、前述した方法により、Al堆積物24Cでス

スルーホール 26 の内部を埋め込む。A l 堆積物 24 C の形成の前または後に、例えば 600℃ で 30 秒の短時間アニールを行う。このアニールにより、T i 層 24 A の一部は n - G a N 層 22 n と反応して T i N 層（厚さ：5 ～ 50 nm）24 D を形成する。T i N 層 24 D は、n - G a N 層 22 n の凹部 22 X の側面にも形成されるため、T i N 層 24 D と n - G a N 層 22 n との接触面積が増加する。こうして、より広い接触面積を有する T i N 層 24 D は、n - G a N 層 22 n に対するオーミック接触の抵抗をさらに低下させることに寄与する。

[0114] 次に、図 13 A および図 13 B を参照して、金属プラグ 24 が埋め込み絶縁物 25 から突出し、T i N 層 50 に接触する T i 層 24 A を有している μ L E D デバイスの構造および形成方法の例を説明する。

[0115] 前述した方法と同様の方法により、図 13 A に示すスルーホール 26 を形成する。図 13 A に示される構造で前述の構造と異なる点は、n - G a N 層 22 n に形成された凹部 22 X の底部が T i N 層 50 に達していることにある。言い換えると、スルーホール 26 が半導体層を貫通して T i N 層 50 に達している。スルーホール 26 は、その底部が T i N 層 50 を露出させるように形成されることが好ましいが、スルーホール 26 は、T i N 層 50 を貫通して基板 100 に達してもよい。

[0116] 次に、図 13 B に示すように、スルーホール 26 の内壁面および底面に T i 層 24 A を形成する。この後、前述した方法により、A l 堆積物 24 C でスルーホール 26 の内部を埋め込む。A l 堆積物 24 C の形成の前または後に、例えば 600℃ で 30 秒の短時間アニールを行う。このアニールにより、T i 層 24 A の一部は n - G a N 層 22 n と反応して T i N 層（厚さ：5 ～ 50 nm）24 D を形成する。T i N 層 24 D は、n - G a N 層 22 n の凹部 22 X の側面に形成される。スルーホール 26 の底部では、T i 層 24 A が T i N 層 50 に接触している。

[0117] この例の改変例においては、T i 層 24 A の一部を T i N 層 24 D に変化させるアニールを省略してもよい。スルーホール 26 の底部において、T i

層 2 4 A と T i N 層 5 0 との間で低抵抗オーミック接触が実現するからである。

[0118] なお、図 1 3 B に示す例において、基板 1 0 0 と各 μ L E D 2 2 0 の n - G a N 層 2 2 n との間に T i N 層 5 0 が必要であるが、図 1 1 F および図 1 2 C に示す例において、T i N 層 5 0 は不可欠ではない。

[0119] 上記の例における金属プラグ 2 4 の上面は、各 μ L E D 2 2 0 の上面とほぼ同じレベルにあるため、その上に半導体製造技術によって T F T 4 0 などの回路要素および微細な配線を高い精度で形成することが可能になる。

[0120] 上記の例では、スルーホール 2 6 を埋める金属プラグ 2 4 が用いられているが、前述したように、金属プラグ 2 4 の形態はさまざまであり得る。金属プラグ 2 4 が例えば図 1 D に示すような形状を有する場合、 μ L E D 2 2 0 ごとに n - G a N 層 2 2 n (第 2 半導体層) は分離される。この場合、金属プラグ 2 4 は、T i N 層 5 0 を介して全ての μ L E D 2 2 0 における n - G a N 層 2 2 n に電氣的に接続する。

[0121] <素子分離領域の改変例 1>

以下、図 1 4 A から図 1 4 C を参照して、本開示の実施形態における素子分離領域の改変例を説明する。

[0122] 図 1 4 A は、素子分離領域 2 4 0 が形成される部分にトレンチが形成された状態を模式的に示す斜視図である。この構成は、図 4 E に示される構成と同一であり、同様の方法によって形成され得る。

[0123] 図 1 4 B は、本改変例における素子分離領域 2 4 0 の構成を模式的に示す図であり、図 1 4 C は、素子分離領域 2 4 0 の断面を示す図である。図示されている例において、素子分離領域 2 4 0 には埋め込み絶縁物は存在せず、隣接する μ L E D 2 2 0 の間の空間は金属材料によって満たされている。この金属材料は、金属プラグ 2 5 0 として機能する。金属プラグ 2 5 0 は、各 μ L E D 2 2 0 の p - G a N 層 2 1 p および n - G a N 層 2 2 n に接触する金属表面層 2 4 E を有している。n - G a N 層 2 2 n と金属表面層 2 4 E との間にはオーミック接触が形成されているのに対して、p - G a N 層 2 1 p

の金属表面層 24 E に接触する部分は抵抗性または絶縁性を有している。

[0124] 図示されている例において、金属プラグ 250 は、金属表面層 24 E 以外の部分に A1 堆積物 24 C を有している。A1 堆積物 24 C は、他の導電材料から形成されていてもよいし、金属表面層 24 E を構成する金属材料と同じ材料から形成されていてもよい。

[0125] 金属表面層 24 E は、 n -Ga N 層 22 n に対してオーミック接触を実現できる材料から形成され得る。一般に、 p -Ga N 層 21 p と金属との間では低抵抗オーミック接触を形成することが難しい。また、本開示では、トレンチを形成するためのエッチングによって p -Ga N 層 21 p の表面に損傷が与えられる。このため、 p -Ga N 層 21 p の表面 (μ LED 220 の側面) と金属表面層 24 E との界面は抵抗性または絶縁性を示し、電流はほとんど流れない状態を形成できる。特に金属表面層 24 E の材料として、 n -Ga N 層 22 n の仕事関数 Φ_n よりも小さな仕事関数 Φ_m を有する金属 (例えば Ti) を用いることにより、 n -Ga N 層 22 n と金属表面層 24 E との間にオーミック接触を実現する一方で、 p -Ga N 層 21 p と金属表面層 24 E との間には高抵抗層を形成することができる。

[0126] 本改変例によれば、素子分離領域 240 に埋め込み絶縁物 25 を形成する工程および埋め込み絶縁物 25 にスルーホールを形成する工程を省略できる。また、個々の μ LED 220 の周囲が金属によって囲まれるため、個々の μ LED 220 の発光層 23 から放射された光が他の μ LED 220 の発光層 23 から放射された光と混合されにくいという効果も得られる。

[0127] さらに、素子分離領域 240 が金属のような導電性の高い材料で埋められるため、動作時に μ LED 220 で発生した熱を外部に伝導して放熱性を向上させる効果も得られる。

[0128] なお、金属プラグ 250 の構成は、上記の例に限定されず、例えば図 15 に示されるような積層構造 (上層金属 24 F および下層金属 24 G) を有していてもよい。上層金属 24 F と p -Ga N 層 21 p との間には高抵抗または絶縁性の界面が形成されるように上層金属 24 F の材料が選択される。ま

た、下層金属24Gとn-GaN層22nとの間には低抵抗オーミック接触が形成されるように下層金属24Gの材料が選択される。上層金属24Fは、例えばAlの他、Au、Ag、Cu、Mo、Ta、W、Mnなどの材料から形成される。下層金属24Gは、例えばTi、または、Tiを含有する合金もしくはTiを含有する化合物から形成され得る。

[0129] 素子分離領域240を規定するトレンチのエッチングを行う工程において、p-GaN層21pおよび発光層23のエッチングを行うときは、プラズマの放電条件およびエッチングガスの種類を調整することにより、GaNのエッチング表面の導電性を低下させることが好ましい。GaNのエッチング表面の導電性を低下させるには、p-GaN層21pおよび発光層23のエッチングを完了した段階で、エッチングによって露出した表面に対して、プラズマ処理、イオン注入、またはその他の方法による改質処理を行い、それによって表面の抵抗性または絶縁性を高めてもよい。

[0130] <素子分離領域の改変例2>

次に、図16Aから図16Dを参照しながら、本開示の実施形態における素子分離領域の他の改変例を説明する。

[0131] 図16Aおよび図16Bは、それぞれ、この改変例における素子分離領域240の構成例を示す断面図および平面図である。図16Cおよび図16Dは、本改変例における素子分離領域240の製造工程を説明するための断面図である。

[0132] 図16Aおよび図16Bに示されるように、この例における金属プラグ250は、各マイクロLED220を囲み、かつ、各マイクロLED220のp-GaN層21pおよびn-GaN層22nから離間した側面250Sを有している。図示される例において、金属プラグ250の側面250Sと各マイクロLED220の側面220Sとの間には、空隙230が存在している。空隙の大きさ、言い換えると、側面250Sと側面220Sとの距離は、例えば500nm以上15μm以下の範囲にある。

[0133] このような構成は、例えば以下に説明する方法によって作製され得る。

[0134] この方法は、図16Cに示すように、 p -Ga N 層21 p および n -Ga N 層22 n を含む半導体積層構造280を結晶成長基板100に形成する工程と、半導体積層構造280をエッチングすることにより、素子分離領域240が形成される領域にトレンチを形成し、それによって n -Ga N 層22 n の一部を露出させる工程とを含む。このエッチングを行うとき、トレンチを規定する開口部を有するマスクM1が用いられる。

[0135] この方法は、さらに図16Dに示すように、トレンチを金属材料で埋め込んで金属プラグ250を形成する工程と、複数のマイクロLED220の形状および位置を規定するマスク層M3を半導体積層構造280上に形成する工程と、半導体積層構造280のうちマスク層M3で覆われていない部分をエッチングすることにより、図16Aに示すように、各マイクロLED220の p -Ga N 層21 p および n -Ga N 層22 n と金属プラグ250との間に空隙230を形成する工程とを含む。この空隙230は絶縁物で埋め込こまれてもよい。本実施形態では、マスク層M3がそのまま除去されることなく、第1コンタクト電極31として機能する。マスク層M3の一部または全部を除去した後、他の金属層を形成することより、新たに第1コンタクト電極31を形成してもよい。

[0136] 以下、本開示の μ LEDデバイスによるカラーディスプレイの実施形態を説明する。

[0137] <カラーディスプレイI>

以下、図17を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Bの構成例を説明する。図17では、Z軸の方向が図1AにおけるZ軸の方向から反転している。前述した μ LEDデバイス1000Aにおける構成要素に対応する構成要素に同一の参照符号を与え、それら構成要素の説明はここでは繰り返さない。

[0138] 本実施形態における μ LEDデバイス1000Bは、基板100、フロントプレーン200、中間層300およびバックプレーン400を備えている。これらの要素は、前述した様々な構成を備え得る。

- [0139] 図17に示される μ LEDデバイス1000Bは、複数の μ LED220のそれぞれから放射された光を白色光に変換する蛍光体層600と、白色光の各色成分を選択的に透過するカラーフィルタアレイ620とをさらに備えている。カラーフィルタアレイ620は、蛍光体層600を間に挟んで基板100に支持されており、レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bを有している。
- [0140] 本実施形態では、 μ LED220の発光層23から放射された光が青の波長（435～485nm）を有するように、発光層23の組成およびバンドギャップが調整されている。
- [0141] 蛍光体層600の例は、「量子ドット」と呼ばれる多数のナノ粒子（量子ドット蛍光体）を含有するシートであり得る。量子ドット蛍光体は、例えばCdTe、InP、GaNなどの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤および緑の光を発するように調整された量子ドット分散シートを蛍光体層600として利用することができる。このような蛍光体層600を励起する光として青の光を用いると、蛍光体層600を透過する青の光と、蛍光体層600の量子ドットで赤または緑に変換された光とが混合して形成された白色光が蛍光体層600から出射され得る。
- [0142] 量子ドット蛍光体の粒径は、例えば2nm以上30nm以下である。粒径が10 μ mを超えている一般的な蛍光体粉末粒子に比べると、量子ドット蛍光体の粒径は著しく小さい。 μ LED220が例えば5～10 μ m程度の狭ピッチで配列されているとき、粒径が10 μ mを超える蛍光体粉末粒子では、効率的な波長変換が難しくなる。また、通常の蛍光体粉末粒子を粉砕して粒径を1 μ mよりも小さくすると、蛍光体としての性能が著しく低下することが知られている。
- [0143] 蛍光体層600は、主として青の光（励起光）をレイリー散乱させるようなサイズを有する散乱体を含んでいてもよい。レイリー散乱は、励起光の波長よりも小さな粒子によって引き起こされる。青の光を選択的に散乱させる

散乱体としては、10 nm以上50 nm以下の直径（典型的には30 nm以下）を有する酸化チタン（ TiO_2 ）超微粒子が好適に用いられ得る。ルチル型結晶の TiO_2 超微粒子は、物理的・化学的に安定である。このような TiO_2 超微粒子は、青の波長よりも長い波長の色（緑および赤）の光を散乱させる効果は低い。

[0144] TiO_2 超微粒子を蛍光体層600内で均一に分散させるには、アルコールアミン、ポリオール、シロキサン、カルボン酸（例えばステアリン酸またはラウリン酸）などの有機物を用いた表面処理を行うことが好ましい。また、 $\text{Al}(\text{OH})_3$ または SiO_2 などの無機物を用いて表面処理を行ってもよい。

[0145] 青散乱体としては、酸化チタン微粒子に代えて、あるいは酸化チタン微粒子とともに酸化亜鉛微粒子（粒子径：例えば20 nm以上100 nm以下）を用いても良い。このような青散乱体が均一に分散されていることにより、方向によって色むらが生じにくくなり、視野角特性に優れた表示が実現する。

[0146] 上述の説明から明らかなように、本実施形態の μLED デバイス1000Bは、 μLED 220の発光層23から放射された光を透過させる必要がある。基板100の全部または一部がシリコン基板から形成されていると、蛍光体層600を励起することは困難である。本実施形態における基板100の典型例は、サファイア基板およびGaN基板である。この点については、後述する実施形態でも同様である。

[0147] カラーフィルタアレイ620におけるレッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bは、それぞれ、 μLED 220に対向する位置に配置される。レッドフィルタ62R、グリーンフィルタ62G、およびブルーフィルタ62Bは、それぞれ、対応する μLED 220から放射された光によって励起された蛍光体層600から白色光を受け、その白色光に含まれる赤成分、緑成分、および青成分を透過する。

[0148] 各 μLED 220から放射された光を、対応するレッドフィルタ62R、

グリーンフィルタ 62G、およびブルーフィルタ 62Bのいずれかに効率的に入射させるためには、金属プラグ 24、250 が個々の各 μ LED デバイス 1000B を取り囲む形状を有していることが望ましい。

[0149] カラーフィルタアレイ 620 において、レッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62Bの間は、遮光性または吸光性を有する材料から形成されたブラックマトリックスとして機能する部分が位置していることが好ましい。

[0150] 蛍光体層 600 は、カラーフィルタアレイ 620 に積層された (stacked) 蛍光体シートであってもよい。

[0151] 蛍光体層 600 は、量子ドット蛍光体が分散されたシートである必要はない。量子ドット蛍光体（蛍光体粉末）を樹脂に分散して基板 100 の下面 100B に塗布・硬化することにより、蛍光体層 600 を形成してもよい。この場合、蛍光体粉末は基板 100 の下面 100B 上に位置している。

[0152] 蛍光体層 600 およびカラーフィルタアレイ 620 以外の光学シート、保護シート、またはタッチセンサなどが基板 100 に取り付けられていてもよい。このことは、後述する他の実施形態でも同様である。

[0153] <カラーディスプレイ II>

以下、図 18A および図 18B を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LED デバイス 1000C の構成例を説明する。図 18A では、Z 軸の方向が図 1A における Z 軸の方向から反転している。図 18B は、 μ LED デバイス 1000C の斜視図である。

[0154] 本実施形態における μ LED デバイス 1000C は、基板 100、フロントプレーン 200、中間層 300 およびバックプレーン 400 を備えている。これらの要素は、前述した様々な構成を備え得る。

[0155] 図示されている μ LED デバイス 1000C は、基板 100 に支持され、複数の μ LED から放射された光がそれぞれ入射する複数の画素開口部 645 を規定するバンク層（厚さ：0.5～3.0 μ m）640 を備えている。また、 μ LED デバイス 1000C は、バンク層 640 の複数の画素開口部

645にそれぞれ配置された赤蛍光体64R、緑蛍光体64G、および青散乱体64Bを備えている。赤蛍光体64Rは、 μ LED220から放射された青の光を赤の光に変換し、緑蛍光体64Gは、 μ LED220から放射された青の光を緑の光に変換する。青散乱体64Bは、 μ LED220から放射された青の光を散乱する。青散乱体64Bは、赤蛍光体64Rまたは緑蛍光体64Gから発せられた光の強度が示す放射角依存性（例えばランバーシアン分布）に似た放射角依存性を持つように設計され得る。

[0156] 本実施形態では、 μ LED220の発光層23から放射された光が青の波長（435～485nm）を有するように、発光層23の組成およびバンドギャップが調整されている。

[0157] 図18Aに示されている例において、 μ LEDデバイス1000Cは、バンク層640における画素開口部645を覆う透明保護層650を備えている。簡単のため、図18Bでは、透明保護層650の記載は省略されている。透明保護層650は、赤蛍光体64Rおよび緑蛍光体64Gが吸湿によって劣化しやすい場合、大気中の水分がこれらの蛍光体に悪影響を与えないように封止機能を発揮することが望ましい。透明保護層650は、有機層および無機層の積層体であってもよい。

[0158] バンク層640は、例えば格子形状を有しており、カーボンブラックまたは黒色染料などが分散された遮光材料から形成され得る。バンク層640は、感光性材料、アクリル、ポリイミドなどの樹脂材料、低融点ガラスを含むペースト材料、ゾルゲル材料（例えばSOG）などから形成され得る。バンク層640を感光性材料から形成するときは、基板100の下面100Bに感光性材料を塗布した後、リソグラフィ工程で露光・現像によるパターンニングを行うことにより、所定位置に画素開口部645を形成すればよい。画素開口部645の位置および大きさは、 μ LED220の配置に整合するように決定される。画素開口部645のサイズは、例えば $10\mu\text{m} \times 10\mu\text{m}$ 以下であり得る。赤蛍光体64R、緑蛍光体64G、および青散乱体64Bの粒径は、 $1\mu\text{m}$ 以下であることが望ましい。赤蛍光体64Rおよび緑蛍光体

64 Gは、それぞれ、量子ドット蛍光体から好適に形成され得る。青散乱体64 Bは、粒径が10 nm以上60 nm以下の透明な粉末粒子から形成され得る。

[0159] 青散乱体64 Bは、 μ LED 220から放射される青の光の波長（例えば約450 nm）の10%程度の粒径を持つ粒子を、その屈折率（ n ）よりも十分に低い屈折率を有するマトリックス材料に分散させることによって形成され得る。このようにして形成された青散乱体64 Bは、青の光にレイリー散乱を生じさせることができる。青散乱体64 Bを構成する粉末粒子は、例えば酸化チタン（ $n=2.5\sim 2.7$ ）、酸化クロム（ $n=2.5$ ）、酸化ジルコニウム（ $n=2.2$ ）、酸化亜鉛（ $n=1.95$ ）、アルミナ（ $n=1.76$ ）などの無機酸化物から形成され得る。マトリックス材料の屈折率は、粉末粒子の屈折率よりも0.25以上、例えば0.5以上は高いことが望ましい。

[0160] 基板100の下面100 Bは、 μ LED 220から放射された光に作用する凹凸表面を有していてもよい。そのような凹凸表面の存在は、赤蛍光体64 R、緑蛍光体64 G、および青散乱体64 Bから出射される光の放射強度依存性、または基板100の下面100 Bにおける反射率を調整する。

[0161] <カラーディスプレイIII>

以下、図19 Aおよび図19 Bを参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000 Dの構成例を説明する。図19 Aでは、Z軸の方向が図1 AにおけるZ軸の方向から反転している。図19 Bは、 μ LEDデバイス1000 Dの斜視図である。

[0162] 本実施形態における μ LEDデバイス1000 Dは、基板100、フロントプレーン200、中間層300およびバックプレーン400を備えている。これらの要素は、前述した様々な構成を備え得る。

[0163] 図示されている μ LEDデバイス1000 Dは、基板100に形成された複数のリセス660を有している。これらのリセス660は、複数の μ LED 220から放射された光がそれぞれ入射するように配置されている。言い

換えると、個々のリセス660は画素領域を規定する。

[0164] μ LEDデバイス1000Dは、さらに基板100の複数のリセス660にそれぞれ配置された、赤蛍光体66R、緑蛍光体66G、および青散乱体66Bを備えている。赤蛍光体66Rは、 μ LED220から放射された青の光を赤の光に変換し、緑蛍光体66Gは、 μ LED220から放射された青の光を緑の光に変換する。青散乱体66Bは、 μ LED220から放射された青の光を散乱する。青散乱体66Bは、赤蛍光体66Rまたは緑蛍光体66Gから発せられた光の強度が示す放射角依存性（例えばランバーシアン分布）に似た放射角依存性を持つように設計され得る。

[0165] 赤蛍光体66R、緑蛍光体66G、および青散乱体66Bの役割および材料は、前述した μ LEDデバイス1000Cにおける赤蛍光体66R、緑蛍光体64G、および青散乱体64Bの役割および材料と同様である。

[0166] 本実施形態でも、 μ LED220の発光層23から放射された光が青の波長（435～485nm）を有するように、発光層23の組成およびバンドギャップが調整されている。

[0167] 図19Aに示されている例においても、 μ LEDデバイス1000Dは、リセス660を覆う透明保護層650を備えている。簡単のため、図19Bでは、透明保護層650の記載は省略されている。透明保護層650は、赤蛍光体66Rおよび緑蛍光体66Gが吸湿によって劣化しやすい場合、大気中の水分がこれらの蛍光体に悪影響を与えないように封止機能を発揮することが望ましい。透明保護層650は、有機層および無機層の積層体であってもよい。

[0168] μ LEDデバイス1000Cと μ LEDデバイス1000Dとの間にある主な相違点は、 μ LEDデバイス1000Dは、基板100そのものが、赤蛍光体66R、緑蛍光体66G、および青散乱体66Bを収容する凹部（リセス660）を備えていることにある。

[0169] リセス660の形状は、基板100の下面100Bの法線方向から視たとき、矩形に限定されず、円、楕円、三角形その他の多角形などであり得る。

また、リセス660の内壁は基板100の下面100Bに直交している必要はなく、傾斜していてもよい。具体的には、すり鉢状、角錐状の凹部からリセス660が構成されていてもよい。

[0170] リセス660の深さは、例えば500nm以上250 μ m以下であり得る。基板100の厚さをTとすると、リセス660の深さは、例えば0.001T以上0.5T以下であり、より好ましくは、0.1T以上0.3T以下である。赤蛍光体66R、緑蛍光体66G、および青散乱体66Bがリセス660の底部に位置することにより、それぞれから μ LED220の発光層23までの距離が短縮される。このことにより、 μ LED220の発光層23から放射され、赤蛍光体66R、緑蛍光体66G、および青散乱体66Bのそれぞれに入射する光束が増加する。また視野角特性も改善される。

[0171] 本実施形態によれば、基板100の厚さおよび強度を大きく維持しつつ、赤蛍光体66R、緑蛍光体66G、および青散乱体66Bから μ LED220の発光層23までの距離を短縮することが可能になる。

[0172] リセス660は、例えば、フェムト秒レーザまたはピコ秒レーザなどの超短パルスレーザで基板100の下面100Bを加工することによって形成され得る（アブレーション法）。また、リセス660の形状および位置を規定する複数の開口部を有するレジストマスクをリソグラフィ技術によって基板100の下面100B上に形成した後、基板100の下面100Bの露出部分をエッチングすることによってもリセス660を形成できる。このようなエッチングは、例えばICPおよびRIEの組合せによって実現され得る。

[0173] リセス660の底面および／または側面には、微細な凹凸が形成されていてもよい。そのような凹凸は、光を拡散したり、取り出し効率を高めたりするため、画像品質を向上させ得る。

[0174] <カラーディスプレイIV>

以下、図20を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Eの構成例を説明する。図20は、Z軸の方向が図1AにおけるZ軸の方向から反転している。前述した μ LEDデ

バイス 1000A における構成要素に対応する構成要素に同一の参照符号を与え、それら構成要素の説明はここでは繰り返さない。

[0175] 本実施形態における μ LED デバイス 1000E は、基板 100、フロントプレーン 200、中間層 300 およびバックプレーン 400 を備えている。これらの要素は、前述した様々な構成を備え得る。

[0176] 図 20 に示される μ LED デバイス 1000E は、複数の μ LED 220 のそれぞれから放射された光を白色光に変換する蛍光体層 600X と、白色光の各色成分を選択的に透過するカラーフィルタアレイ 620 とをさらに備えている。カラーフィルタアレイ 620 は、蛍光体層 600X を間に挟んで基板 100 に支持されており、レッドフィルタ 62R、グリーンフィルタ 62G、およびブルーフィルタ 62B を有している。

[0177] 本実施形態では、 μ LED 220 の発光層 23 から放射された光が紫外の波長（例えば 365 ~ 400 nm）または青紫の波長（400 nm ~ 420 nm。典型的には、405 nm）を有するように、発光層 23 の組成およびバンドギャップが調整されている。具体的には、発光層 23 を構成する $\text{In}_y\text{Ga}_{1-y}\text{N}$ における In の組成比率 y を、例えば $0 \leq y \leq 0.15$ の範囲内に設定する。 $y = 0$ のとき、波長 365 nm の発光が得られる。 $y = 0.1$ のとき、青紫の波長を有する発光が得られる。なお、発光層 23 を構成する半導体層を AlGaIn または InAlGaIn から形成することにより、365 nm よりも短い波長を有する光を放射されることもできる。

[0178] 蛍光体層 600X の例は、「量子ドット」と呼ばれる多数のナノ粒子（量子ドット蛍光体）を含有するシートであり得る。量子ドット蛍光体は、例えば CdTe 、 InP 、 GaIn などの半導体から形成され得る。量子ドット蛍光体は、そのサイズに応じて発する光の波長が変化する。励起光を受けて赤、緑、および青の光を発するように調整された量子ドット分散シートを蛍光体層 600X として利用することができる。このような蛍光体層 600 を励起する光として紫外または青紫の光を用いると、蛍光体層 600X の量子ドットで励起光から赤、緑、または青に変換された光が混合して形成された白

色光が蛍光体層600Xから出射され得る。

[0179] 量子ドットの蛍光体は、有機樹脂、低融点ガラスなどの無機材料、または、有機材料と無機材料のハイブリット材料から形成されたマトリクス内に分散されて使用される。分散される蛍光体の量（重量比率）は、青、緑、赤の順序で少なくなる。

[0180] ある例における量子ドット蛍光体は、コア・シェル構造を有している。コアは、例えばCdS、InP、InGaP、InN、CdSe、GaInN、またはZnCdSeから形成され得る。特に波長360nm~460nmの発光を得る場合、CdSからコアが形成された蛍光体を好適に用いることができる。CdSからコアを形成する場合、コアの粒子径を4.0nm~7.3nmの範囲で調整すると、波長440nm~460nmの青の発光を得ることができる。他の材料（InP、InGaP、InN、CdSe）からコアを形成する場合、例えば、青の光（中心波長475nm）は1.4nm~3.3nmの粒子径、緑の光（中心波長530nm）は1.7nm~4.2nmの粒子径、赤の光（中心波長630nm）は2.0nm~6.1nmの粒子径で得ることが可能である。どのような材料から量子ドットを形成するかは、量子効率、粒子径などに基づいて適宜決定され得る。なお、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ からコアを形成した量子ドット蛍光体は、相対的に粒子径が大きいため、製造しやすいという利点がある。より高い量子効率を実現したい場合には、例えばGaを含有しないInPからコアが形成された量子ドットを用いることが望ましい。

[0181] 本実施形態における μLED デバイス1000Eが前述した μLED デバイス1000Cと異なる点は、 μLED 220から放射された光（励起光）の波長、および、蛍光体の構成にある。その他の点において、 μLED デバイス1000Eは μLED デバイス1000Dの構成と同様の構成を備えていてもよい。

[0182] μLED 220から放射された光をそのまま色の三原色のひとつとして用いる代わりに、本実施形態では、 μLED 220から放射された光を赤、緑

、および青のそれぞれの蛍光体を励起するために用いている。このため、 μ LED 220の発光波長が変動またはシフトしても、色むらが発生しにくくなる。 μ LED 220の発光波長は、発光層23の組成比率、駆動電流の大きさ、温度などによって変動し得る。しかし、本実施形態では、3原色のそれぞれに量子ドットの蛍光体を用いているため、上記の原因から励起光の波長が変動しても、蛍光体から出る光の波長にはほとんど影響しない。このため、本実施形態によれば、色むらが生じにくく、より優れた表示特性が実現する。

[0183] <カラーディスプレイV>

以下、図21を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LEDデバイス1000Cの構成例を説明する。図21では、Z軸の方向が図1AにおけるZ軸の方向から反転している。

[0184] 本実施形態における μ LEDデバイス1000Fは、基板100、フロントプレーン200、中間層300およびバックプレーン400を備えている。これらの要素は、前述した様々な構成を備え得る。ただし、本実施形態では、図20の例と同様に、 μ LED 220の発光層23から放射された光が紫外の波長（例えば365～400nm）または青紫（例えば400～420nm。典型的には405nm）の波長を有するように、発光層23の組成およびバンドギャップが調整されている。

[0185] 図示されている μ LEDデバイス1000Fは、基板100に支持され、複数の μ LEDから放射された励起光がそれぞれ入射する複数の画素開口部645を規定するバンク層（厚さ：0.5～3.0 μ m）640を備えている。また、 μ LEDデバイス1000Cは、バンク層640の複数の画素開口部645にそれぞれ配置された量子ドットの赤蛍光体65R、量子ドットの緑蛍光体65G、および量子ドットの青蛍光体65Bを備えている。赤蛍光体65Rは、 μ LED 220から放射された励起光を赤の光に変換し、緑蛍光体65Gは、 μ LED 220から放射された励起光を緑の光に変換する。青蛍光体65Bは、 μ LED 220から放射された励起光を青の光に変換

する。

[0186] 各色の量子ドット蛍光体 65 R、65 G、65 B は、カラーディスプレイ I V の蛍光体層 600 X について説明した材料から形成され得る。蛍光体層 600 X では、励起光を赤、緑、青の光に変換する量子ドット蛍光体が混在しているが、本実施形態では、異なる色の量子ドット蛍光体 65 R、65 G、65 B が、空間的に分離した領域に位置している。

[0187] 本実施形態における μ LED デバイス 1000 F が前述した μ LED デバイス 1000 D と異なる点は、 μ LED 220 から放射された光（励起光）の波長、および、蛍光体の構成にある。その他の点において、 μ LED デバイス 1000 F は μ LED デバイス 1000 D の構成と同様の構成を備えていてもよい。

[0188] μ LED 220 から放射された光をそのまま色の三原色のひとつとして用いる代わりに、本実施形態では、 μ LED 220 から放射された光を赤、緑、および青のそれぞれの蛍光体を励起するために用いている。このため、前述したように、 μ LED 220 の発光波長が変動またはシフトしても、色むらが発生しにくく、より優れた表示特性が実現する。

[0189] <カラーディスプレイ VI>

以下、図 22 を参照しながら、本開示の実施形態におけるフルカラー表示が可能な μ LED デバイス 1000 D の構成例を説明する。図 22 では、Z 軸の方向が図 1 A における Z 軸の方向から反転している。ただし、本実施形態では、図 20 の例と同様に、 μ LED 220 の発光層 23 から放射された光が紫外の波長（例えば 365 ~ 400 nm）または青紫（例えば 400 ~ 420 nm。典型的には 405 nm）の波長を有するように、発光層 23 の組成およびバンドギャップが調整されている。

[0190] 本実施形態における μ LED デバイス 1000 G は、基板 100、フロントプレーン 200、中間層 300 およびバックプレーン 400 を備えている。これらの要素は、前述した様々な構成を備え得る。

[0191] 図示されている μ LED デバイス 1000 G は、基板 100 に形成された

複数のリセス660を有している。これらのリセス660は、複数の μ LED220から放射された光がそれぞれ入射するように配置されている。言い換えると、個々のリセス660は画素領域を規定する。

[0192] μ LEDデバイス1000Gは、さらに基板100の複数のリセス660にそれぞれ配置された、赤蛍光体67R、緑蛍光体67G、および青蛍光体67Bを備えている。赤蛍光体67Rは、 μ LED220から放射された励起光を赤の光に変換し、緑蛍光体67Gは、 μ LED220から放射された励起光を緑の光に変換する。青蛍光体65Bは、 μ LED220から放射された励起光を青の光に変換する。

[0193] 各色の量子ドット蛍光体67R、67G、67Bは、カラーディスプレイVの量子ドット蛍光体65R、65G、65Bと同様である。

[0194] 本実施形態における μ LEDデバイス1000Fが前述した μ LEDデバイス1000Dと異なる点は、 μ LED220から放射された光（励起光）の波長、および、蛍光体の構成にある。その他の点において、 μ LEDデバイス1000Fは μ LEDデバイス1000Dの構成と同様の構成を備えていてもよい。

[0195] μ LED220から放射された光をそのまま色の三原色のひとつとして用いる代わりに、本実施形態では、 μ LED220から放射された光を赤、緑、および青のそれぞれの蛍光体を励起するために用いている。このため、前述したように、 μ LED220の発光波長が変動またはシフトしても、色むらが発生しにくく、より優れた表示特性が実現する。

産業上の利用可能性

[0196] 本発明の実施形態は、新しいマイクロLEDデバイスを提供する。マイクロLEDデバイスは、ディスプレイとして用いられる場合、スマートフォン、タブレット端末、車載用ディスプレイ、および中小型から大型のテレビジョン装置に広く適用され得る。マイクロLEDデバイスの用途は、ディスプレイに限定されない。

符号の説明

[0197] 21・・・第1半導体層、22・・・第2半導体層、23・・・発光層、
24・・・金属プラグ、25・・・埋め込み絶縁物、31・・・第1コンタ
クト電極、32・・・第2コンタクト電極、36・・・ビア電極、38・・・
層間絶縁層、100・・・結晶成長基板、200・・・フロントプレーン
、220・・・ μ LED、240・・・素子分離領域、300・・・中間層
、400・・・バックプレーン、1000・・・ μ LEDデバイス

請求の範囲

[請求項1]

結晶成長基板と、

前記結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーンと、

前記フロントプレーンに支持された中間層であって、それぞれが前記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層と、

前記中間層に支持されたバックプレーンであって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンと

を備え、

前記複数の薄膜トランジスタのそれぞれは、前記結晶成長基板に支持された前記フロントプレーンおよび／または前記中間層上に成長した半導体層を有している、マイクロLEDデバイス。

[請求項2]

前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの間を埋める埋め込み絶縁物を有しており、前記埋め込み絶縁物は、前記金属プラグのための少なくともひとつのスルーホールを有している、請求項1に記載のマイクロLEDデバイス。

[請求項3]

前記フロントプレーンの前記素子分離領域は、前記複数のマイクロLEDの側面をそれぞれ覆う複数の絶縁層を有しており、

前記金属プラグは、前記素子分離領域内において、前記複数の絶縁

層によって囲まれた空間を埋めている、請求項 1 に記載のマイクロ L E D デバイス。

[請求項 4] 前記フロントプレーンは、平坦な表面を有しており、
前記平坦な表面は前記中間層に接している、請求項 1 から 3 のいずれかに記載のマイクロ L E D デバイス。

[請求項 5] 前記中間層は、平坦な表面を有する層間絶縁層を含み、
前記層間絶縁層は、前記複数の第 1 コンタクト電極および前記少なくともひとつの第 2 コンタクト電極をそれぞれ前記電気回路に接続するための複数のコンタクトホールを有している、請求項 1 から 4 のいずれかに記載のマイクロ L E D デバイス。

[請求項 6] 前記バックプレーンの前記電気回路は、前記複数の第 1 コンタクト電極および前記少なくともひとつの第 2 コンタクト電極にそれぞれ接続された複数の金属層を有しており、
前記複数の金属層は、前記複数の薄膜トランジスタが有するソース電極およびドレイン電極の少なくとも一方を含む、請求項 1 から 5 のいずれかに記載のマイクロ L E D デバイス。

[請求項 7] 前記複数の第 1 コンタクト電極は、それぞれ、前記複数のマイクロ L E D の前記第 1 半導体層を覆い、遮光層または反射層として機能する、請求項 1 から 6 のいずれかに記載のマイクロ L E D デバイス。

[請求項 8] 各マイクロ L E D の前記第 2 半導体層は、前記第 1 半導体層よりも前記結晶成長基板に近く、

各マイクロ L E D の前記第 2 半導体層は、前記複数のマイクロ L E D が共有する連続した半導体層から形成されている、請求項 1 から 7 のいずれかに記載のマイクロ L E D デバイス。

[請求項 9] 前記複数のマイクロ L E D のそれぞれは、可視、紫外、または赤外の電磁波を放射する、請求項 1 から 8 のいずれかに記載のマイクロ L E D デバイス。

[請求項 10] 前記薄膜トランジスタは、

前記中間層の前記層間絶縁層上に形成されたドレイン電極およびソース電極と、

前記ドレイン電極および前記ソース電極のそれぞれの上面の少なくとも一部に接触する半導体薄膜と、

前記半導体薄膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を有している、請求項5に記載のマイクロLEDデバイス。

[請求項11]

前記薄膜トランジスタは、

前記中間層の前記層間絶縁層上に形成されたドレイン電極、ソース電極、およびゲート電極と、

前記ゲート電極上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ドレイン電極および前記ソース電極のそれぞれの上面の少なくとも一部に接触する半導体薄膜と、
を有している、請求項5に記載のマイクロLEDデバイス。

[請求項12]

前記薄膜トランジスタは、

前記中間層の前記層間絶縁層上に形成された半導体薄膜と、

前記中間層の前記層間絶縁層上に形成され、それぞれが前記半導体薄膜の一部に接触するドレイン電極およびソース電極と、

前記半導体薄膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を有している、請求項5に記載のマイクロLEDデバイス。

[請求項13]

結晶成長基板に支持されたフロントプレーンであって、それぞれが第1導電型の第1半導体層および第2導電型の第2半導体層を有する複数のマイクロLED、ならびに前記複数のマイクロLEDの間に位置する素子分離領域を含み、前記素子分離領域が、前記第2半導体層に電氣的に接続された少なくともひとつの金属プラグを有している、フロントプレーン、および

前記フロントプレーンに支持された中間層であって、それぞれが前

記複数のマイクロLEDの前記第1半導体層に電氣的に接続された複数の第1コンタクト電極、および前記金属プラグに接続された少なくともひとつの第2コンタクト電極を含む、中間層、を備える積層構造体を用意する工程と、

前記積層構造体上にバックプレーンを形成する工程であって、前記複数の第1コンタクト電極および前記少なくともひとつの第2コンタクト電極を介して前記複数のマイクロLEDに電氣的に接続された電気回路を有し、前記電気回路は複数の薄膜トランジスタを含む、バックプレーンを形成する工程と、

を含み、

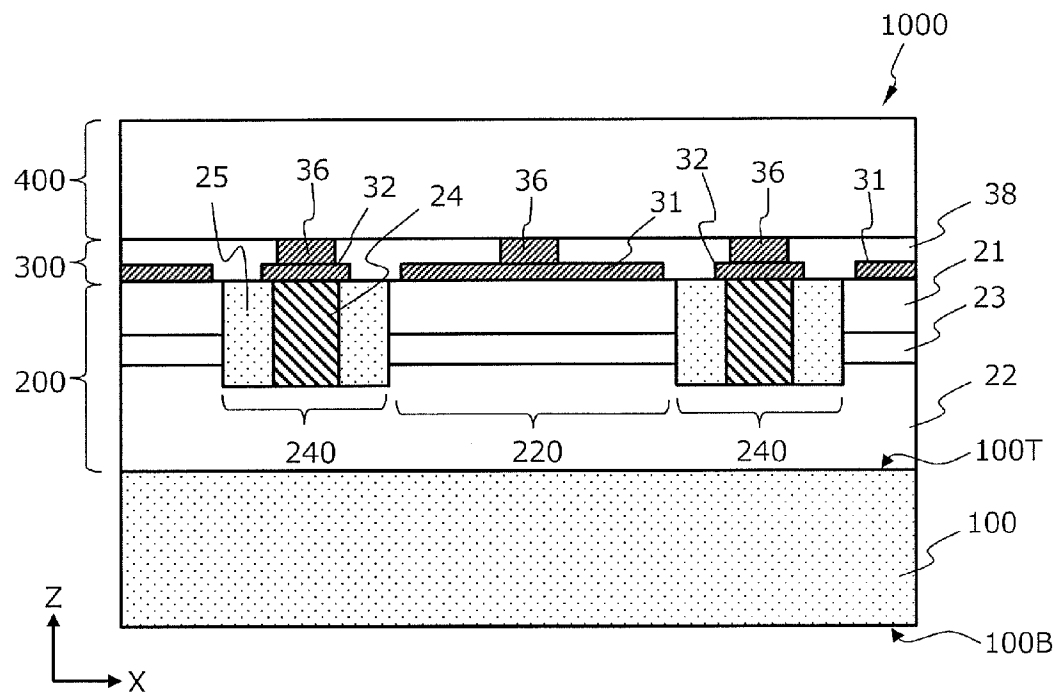
前記バックプレーンを形成する工程は、

前記積層構造体上に半導体層を堆積する工程と、

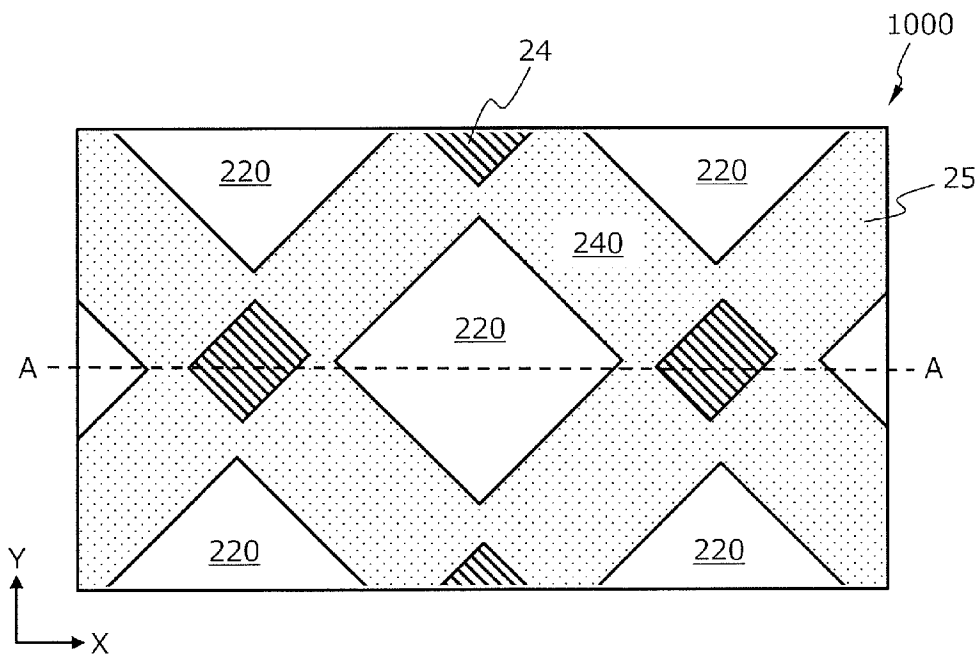
前記積層構造体上の前記半導体層をパターンニングする工程と、

を含む、マイクロLEDデバイスの製造方法。

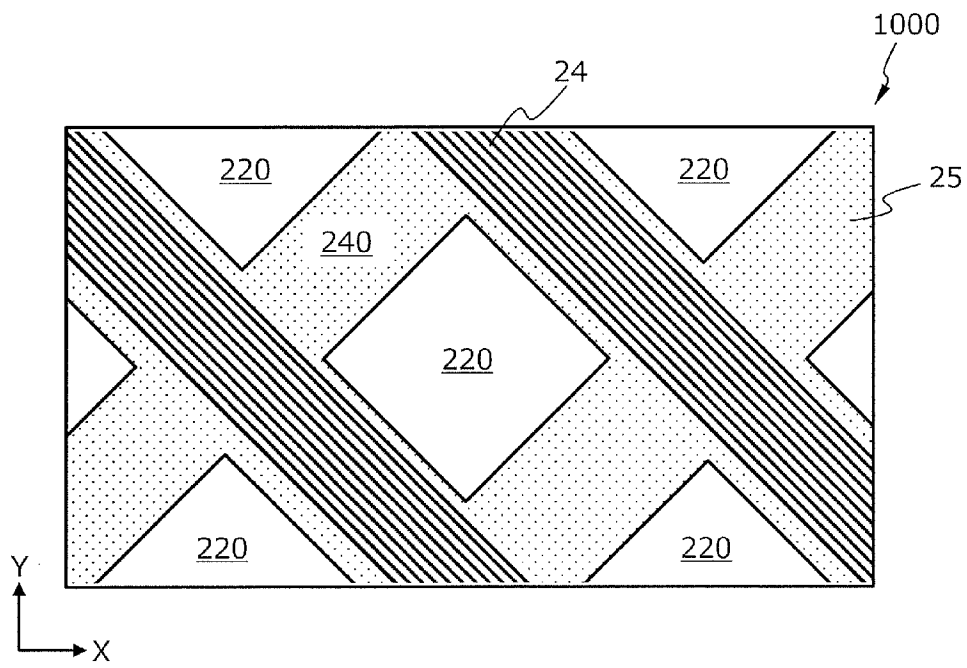
[図1A]



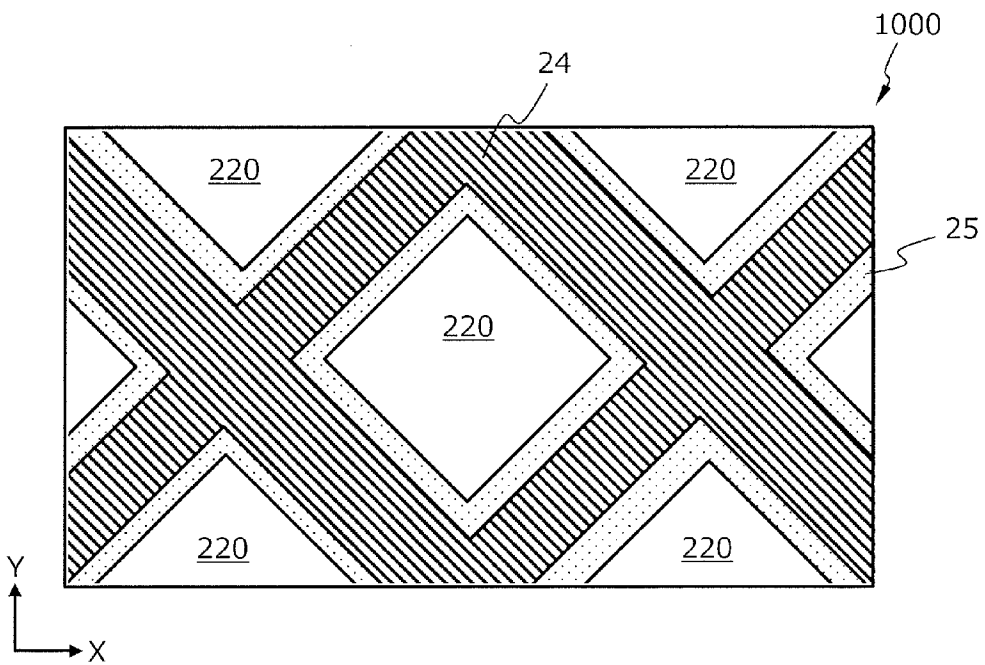
[図1B]



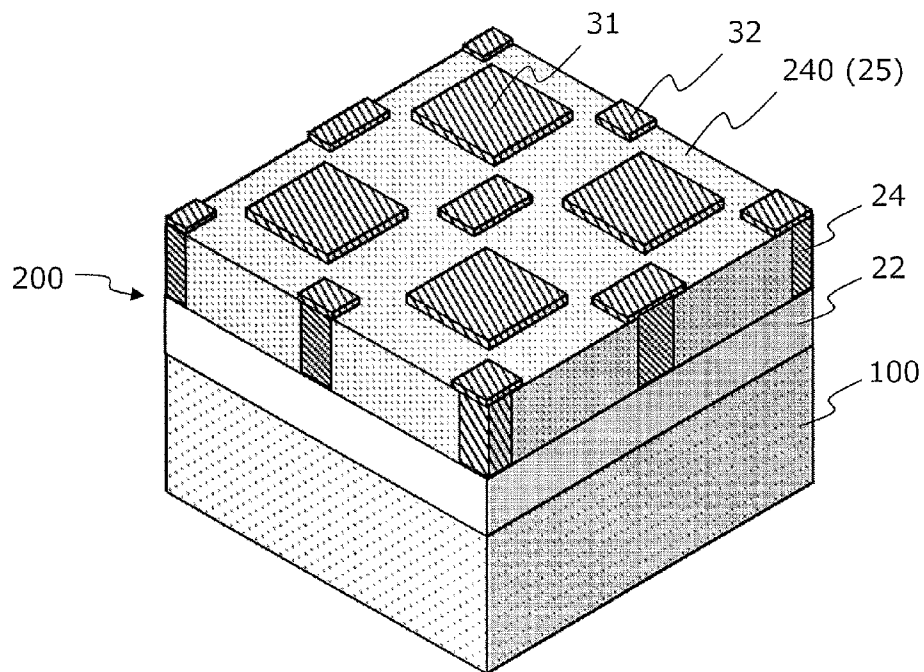
[図1C]



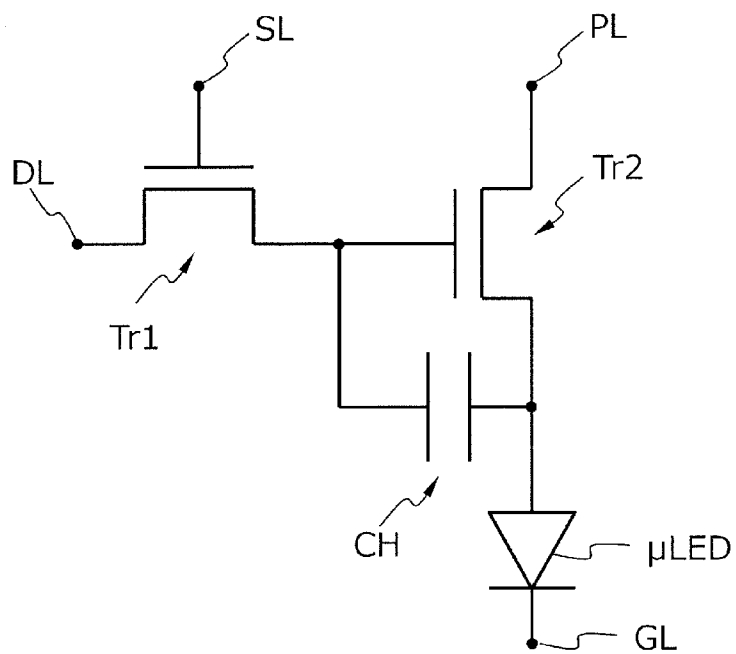
[図1D]



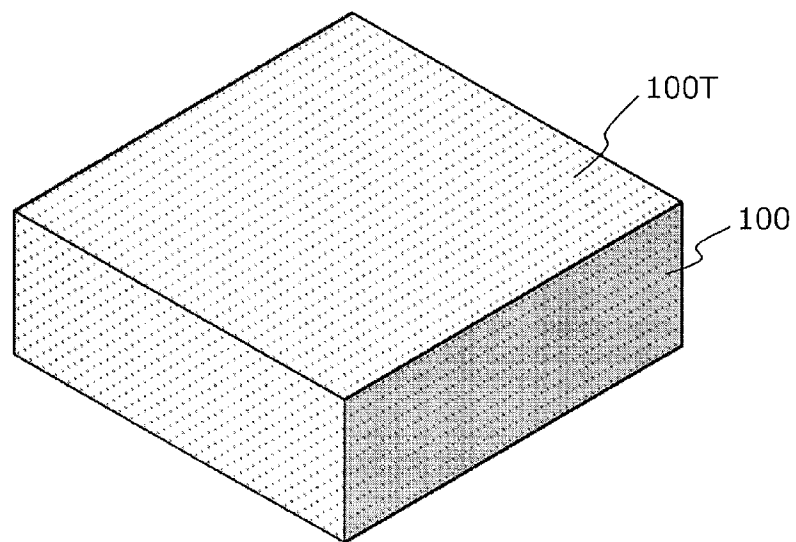
[図2]



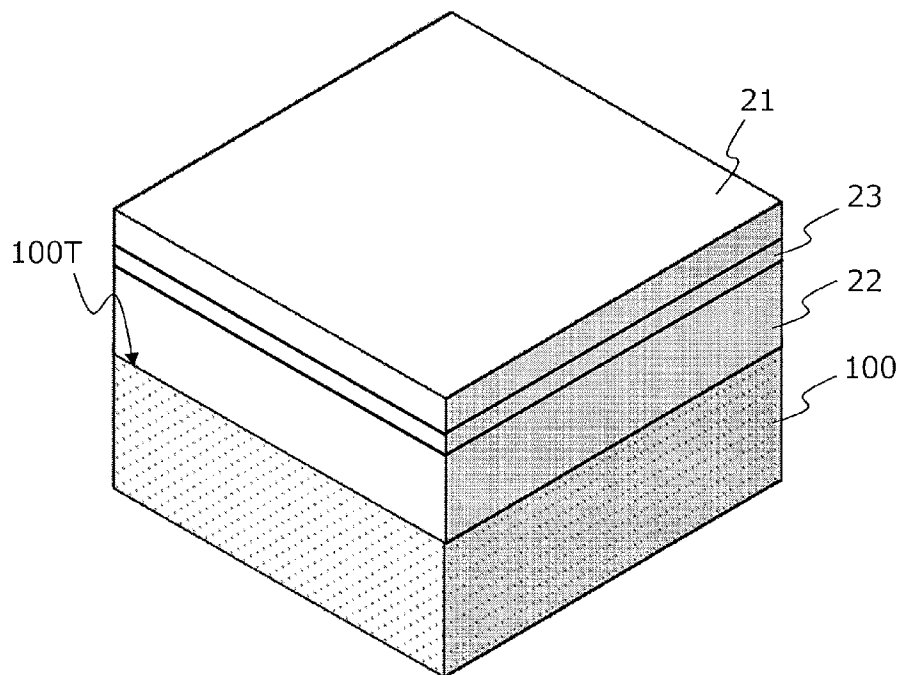
[図3]



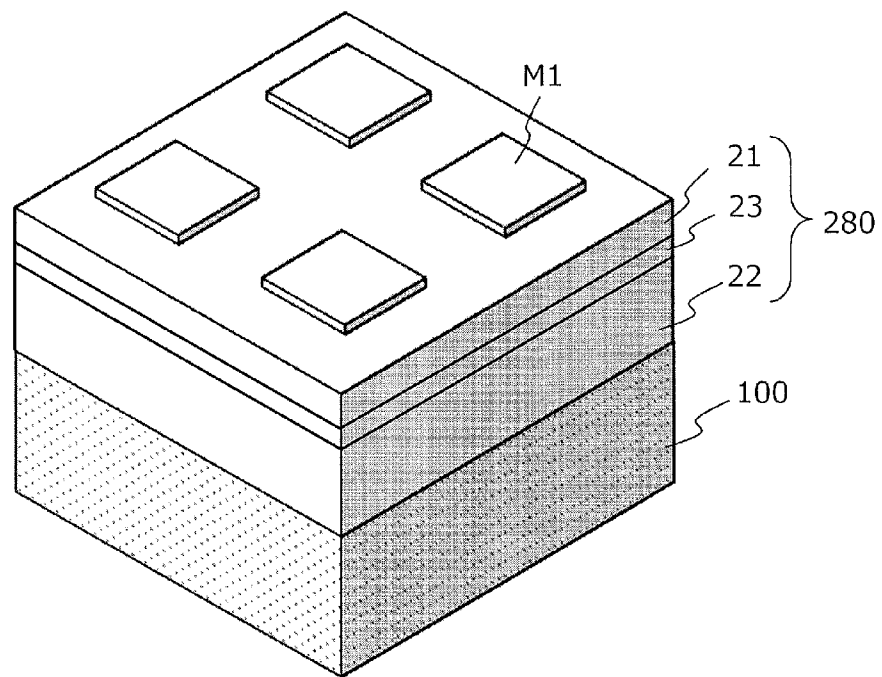
[図4A]



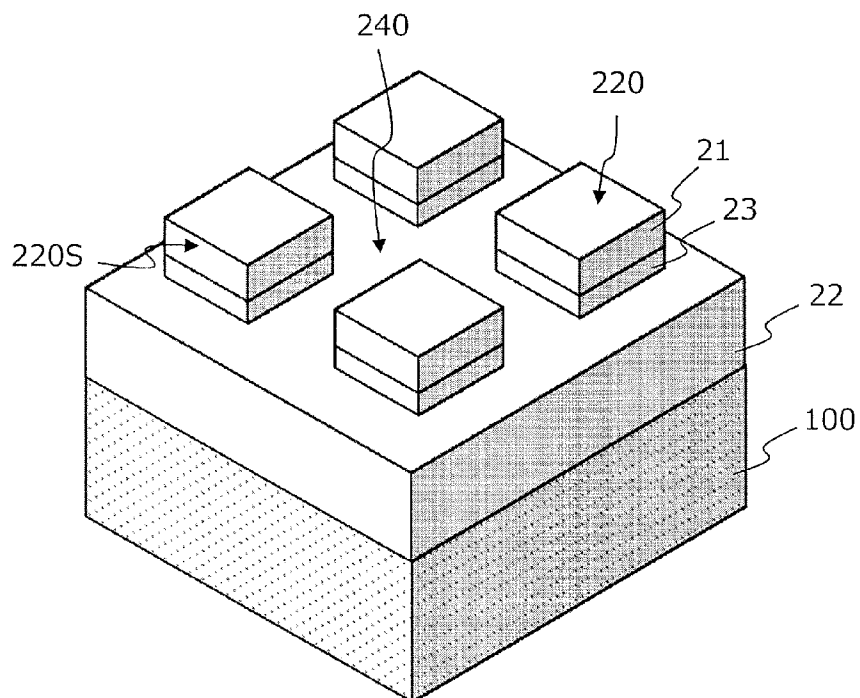
[図4B]



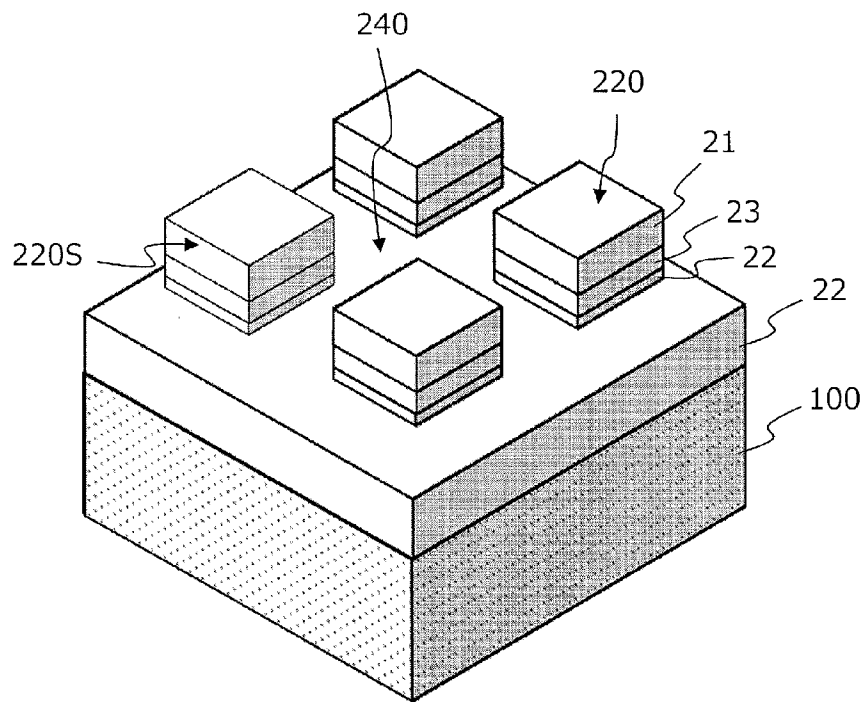
[図4C]



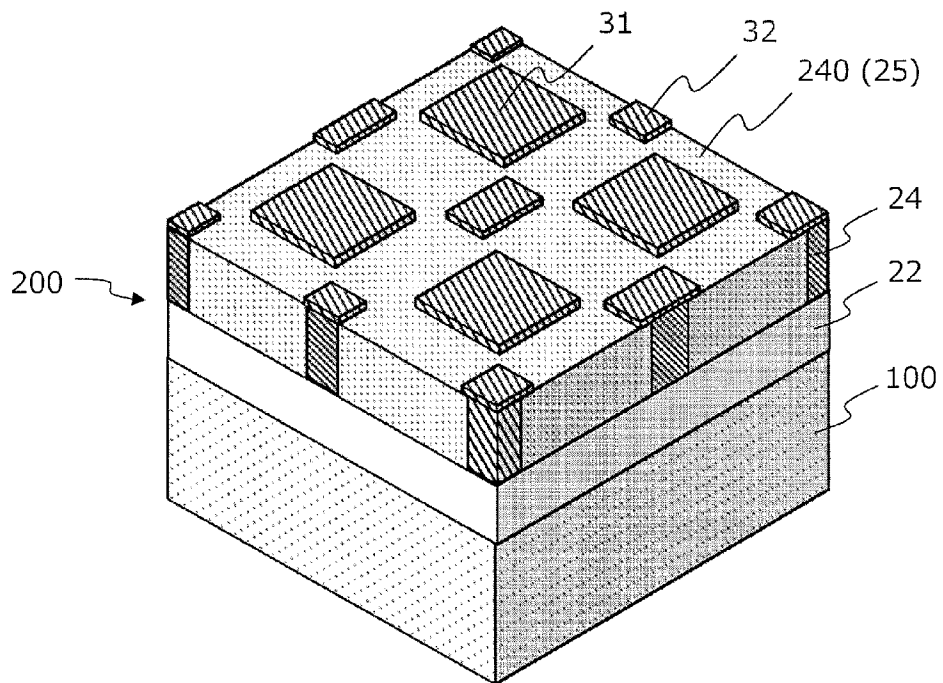
[図4D]



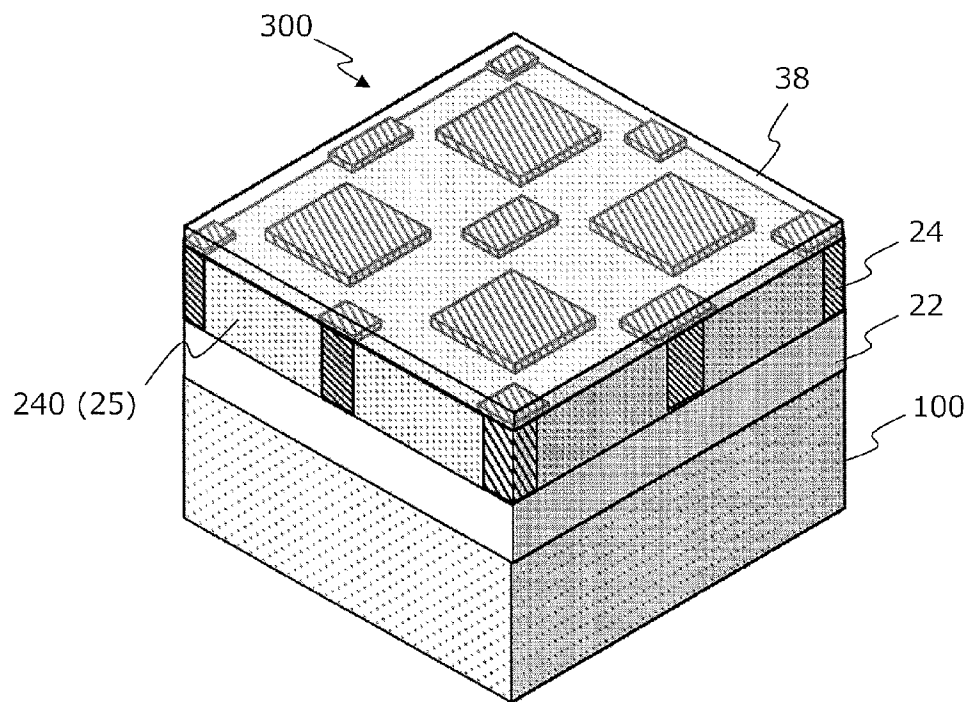
[図4E]



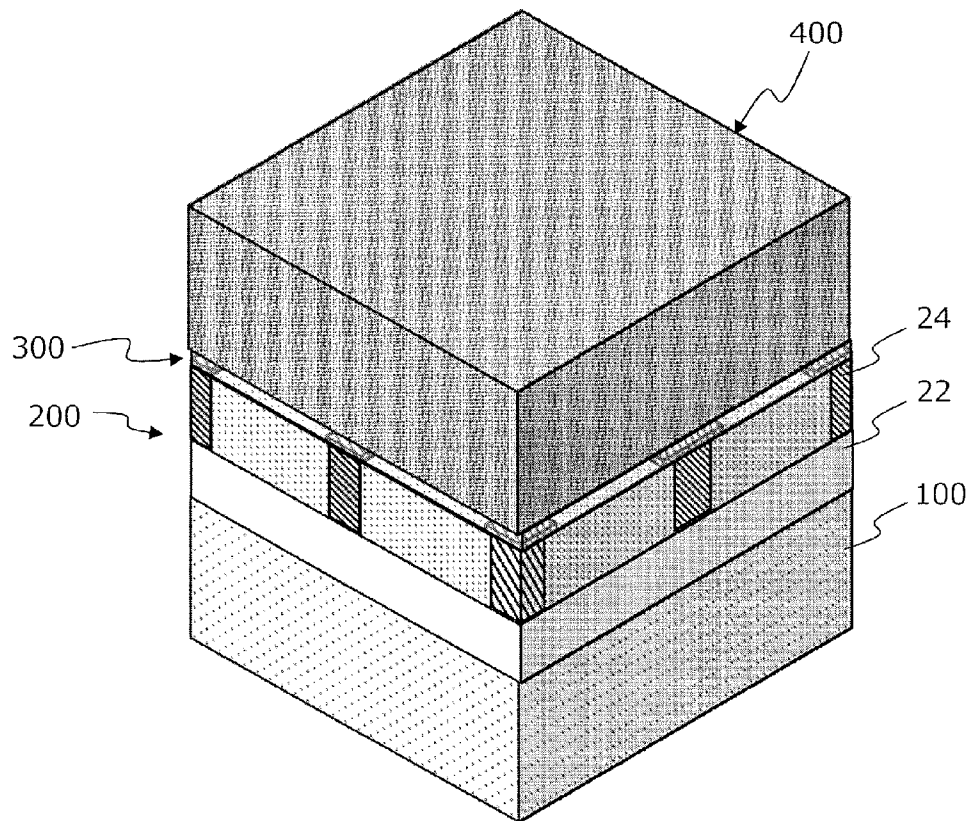
[図4F]



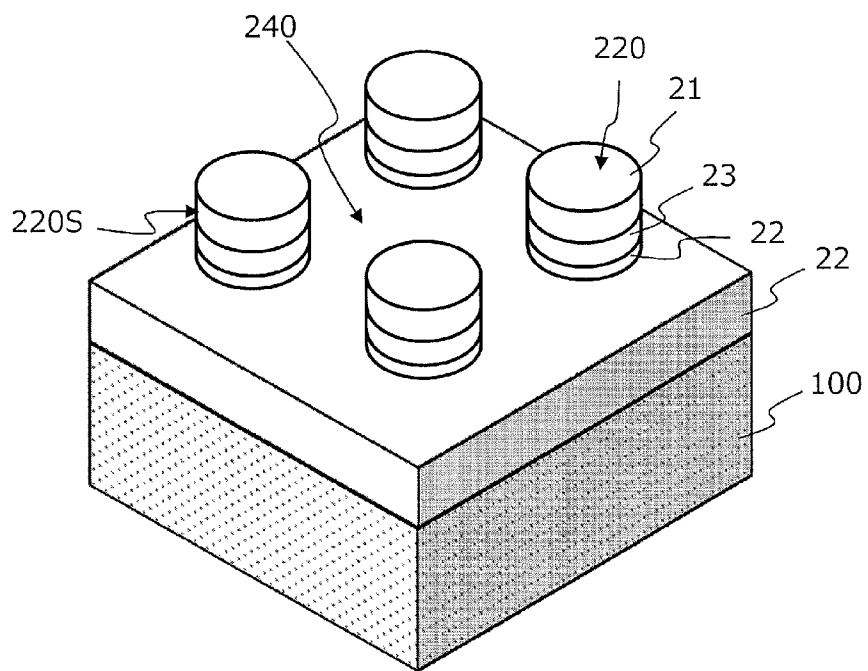
[図4G]



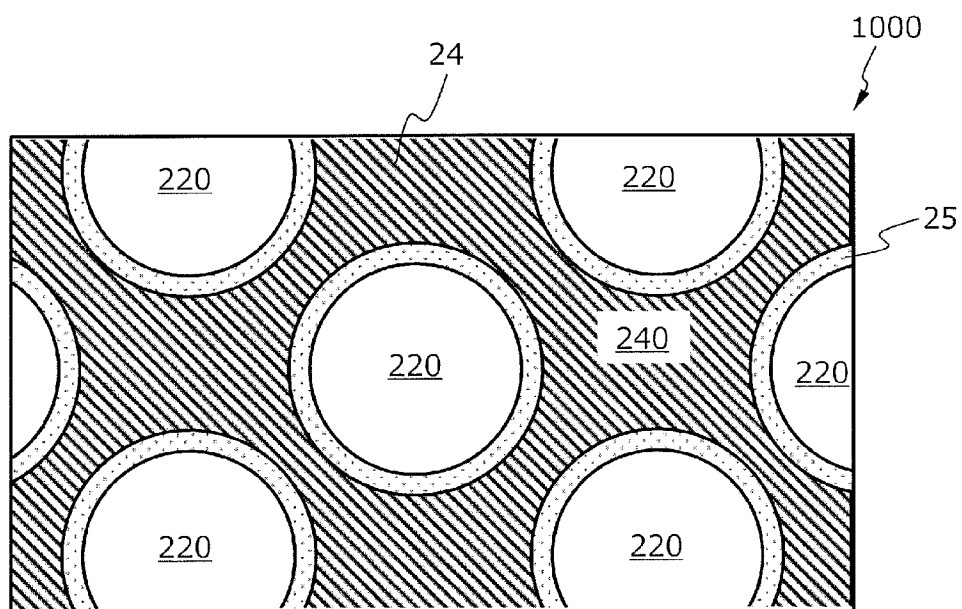
[図4H]



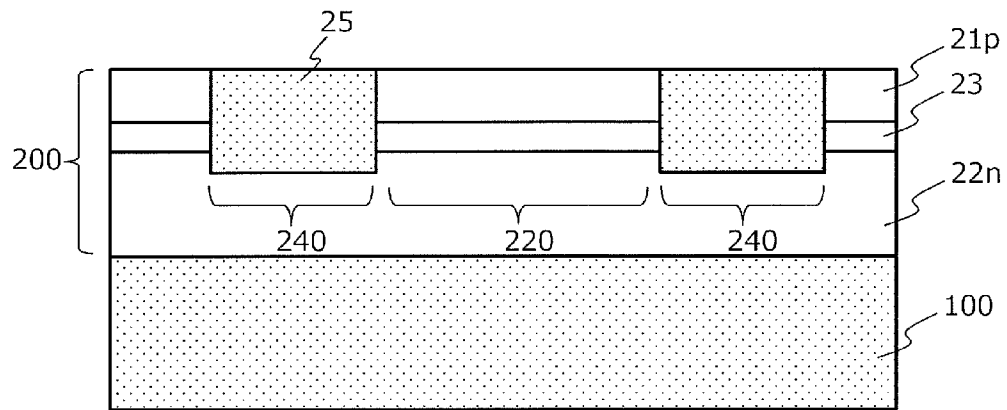
[図5A]



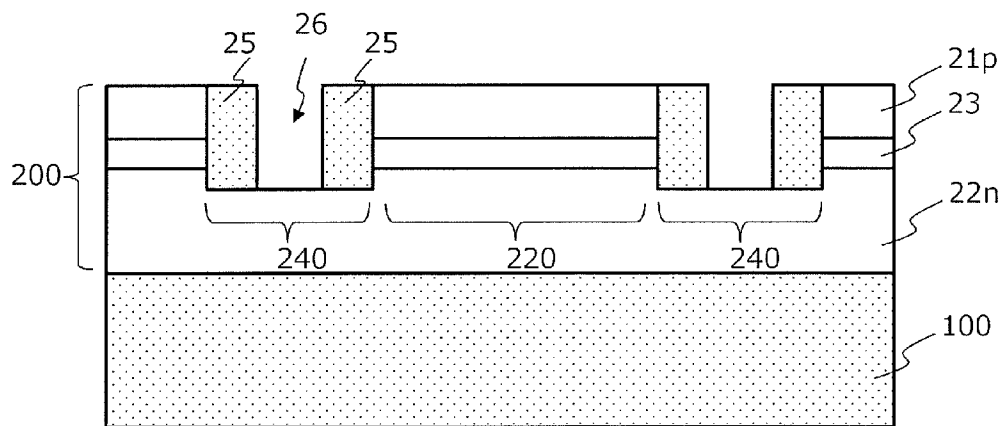
[図5B]



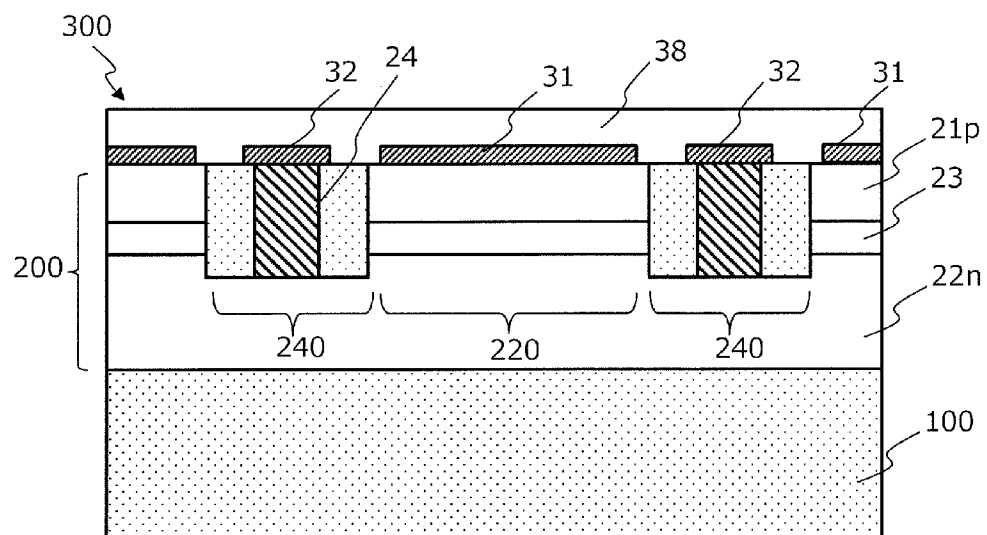
[図7C]



[図7D]



[図7E]



100

200

21p

23

22n

300

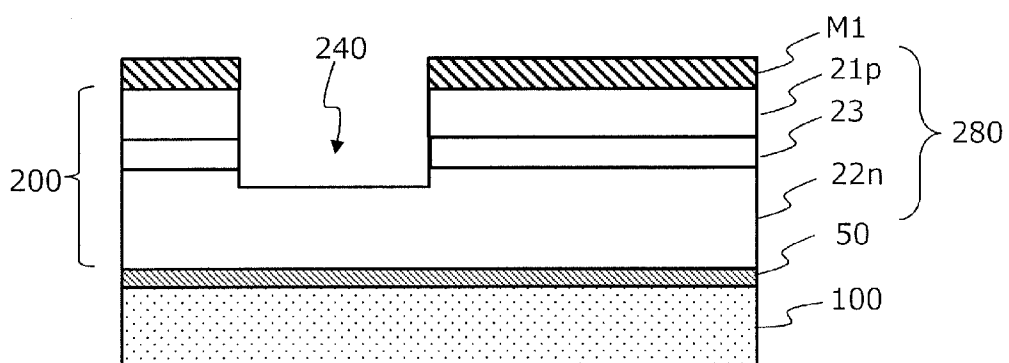
31

32

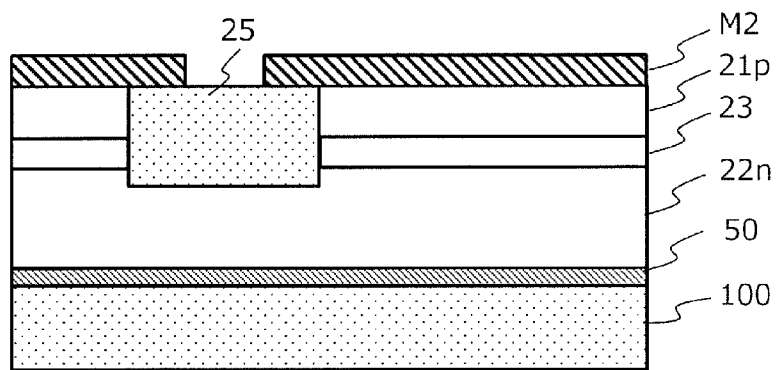
38

39

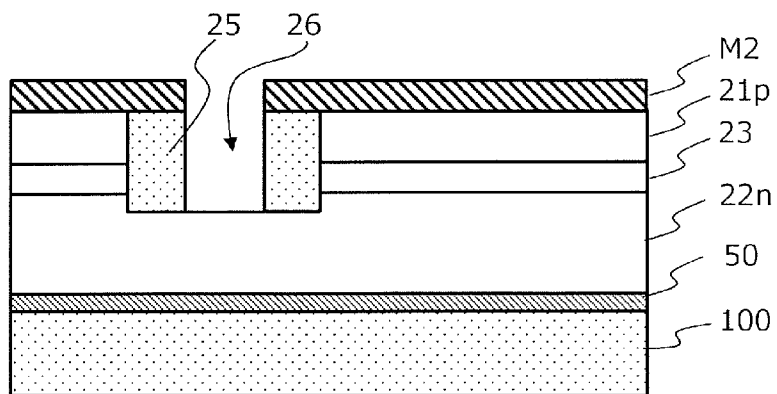
A detailed cross-sectional view of a semiconductor device 1000A. The device is built on a substrate 100. A first layer 200 is formed on the substrate, containing a central region 240 and side regions 220. Above the first layer 200 is a second layer 21p, which is further divided into a central region 24 and side regions 22n. A third layer 23 is formed on top of the second layer 21p. A fourth layer 300 is formed on top of the third layer 23, containing a central region 32 and side regions 31. A fifth layer 38 is formed on top of the fourth layer 300, containing a central region 36 and side regions 36. A sixth layer 46 is formed on top of the fifth layer 38, containing a central region 40 and side regions 41, 42, 43, 44, and 45. The device 1000A is shown in a cross-sectional view, with the layers and regions labeled as described.



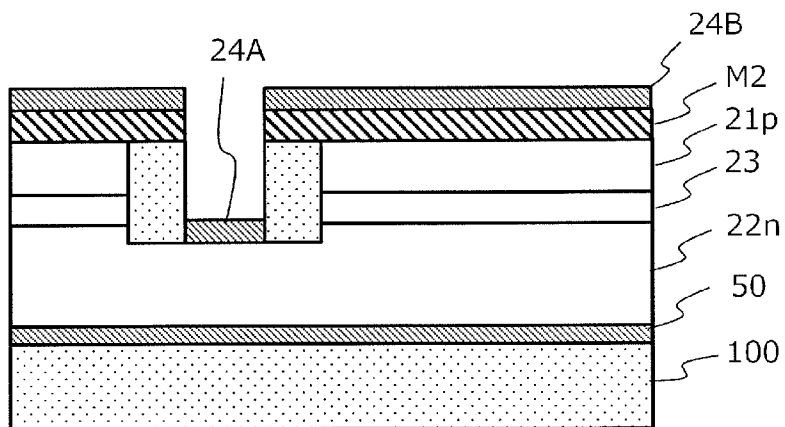
[図11B]



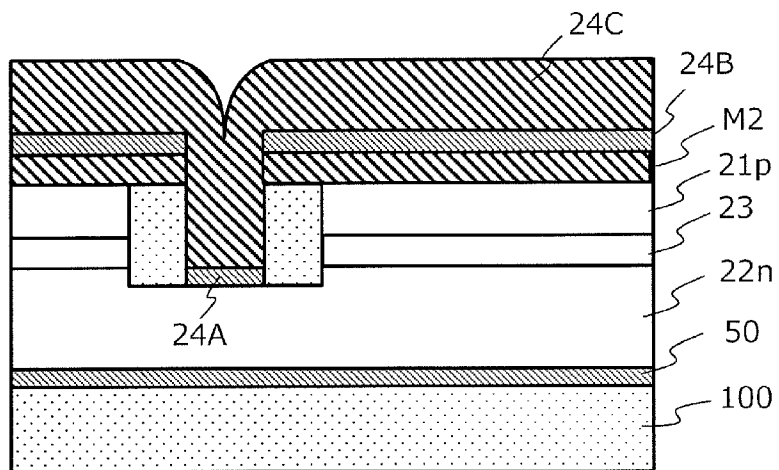
[図11C]



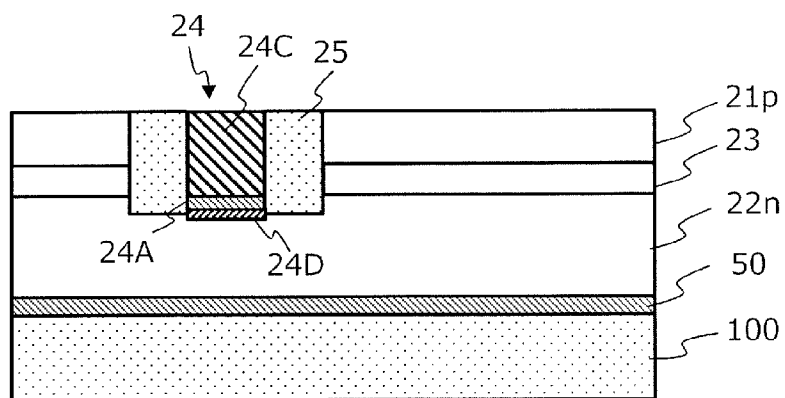
[図11D]



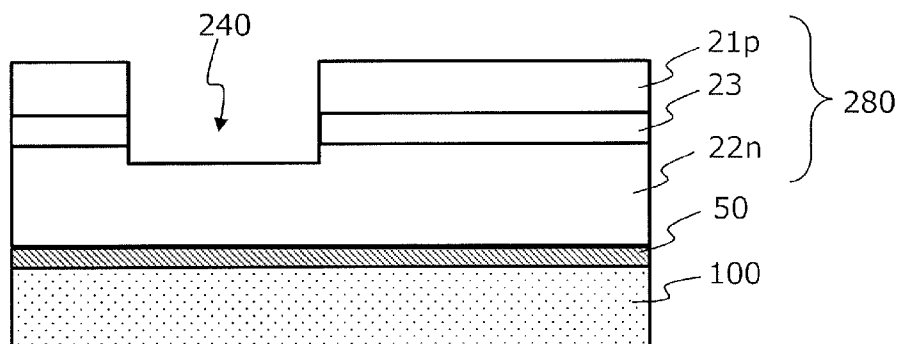
[図11E]



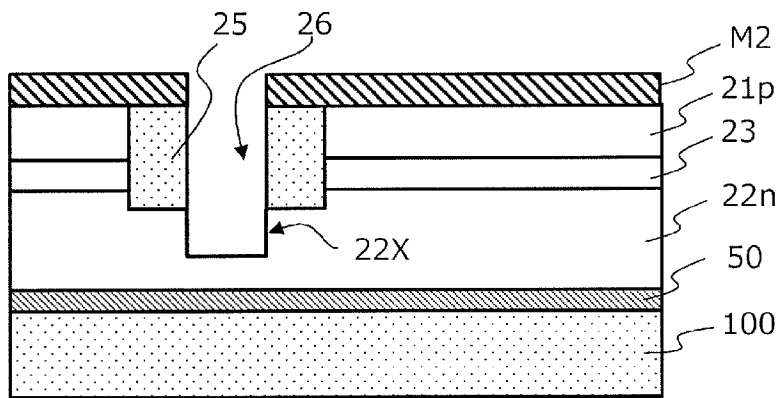
[図11F]



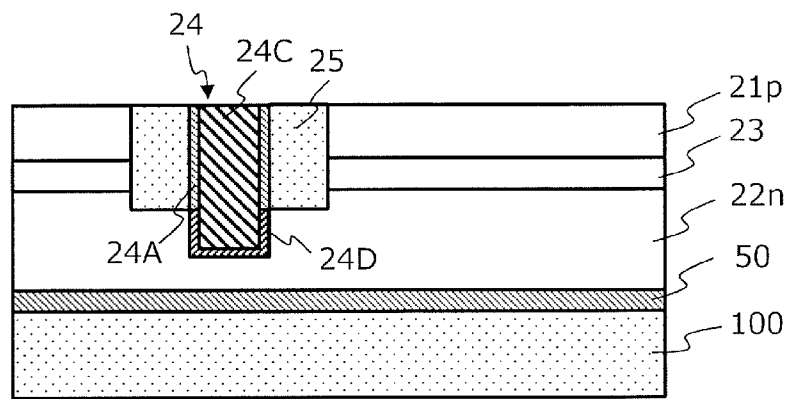
[図12A]



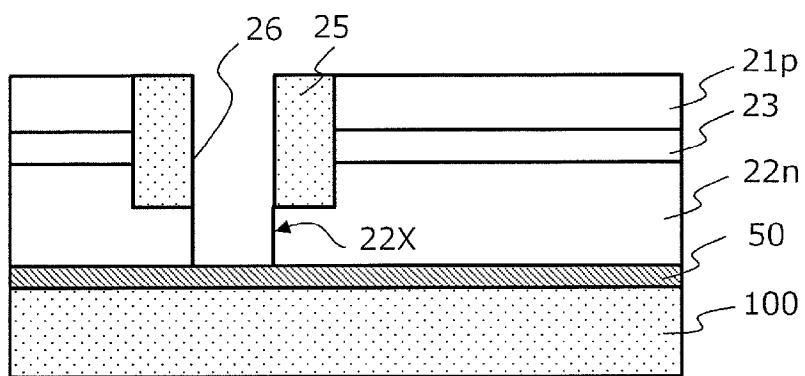
[図12B]



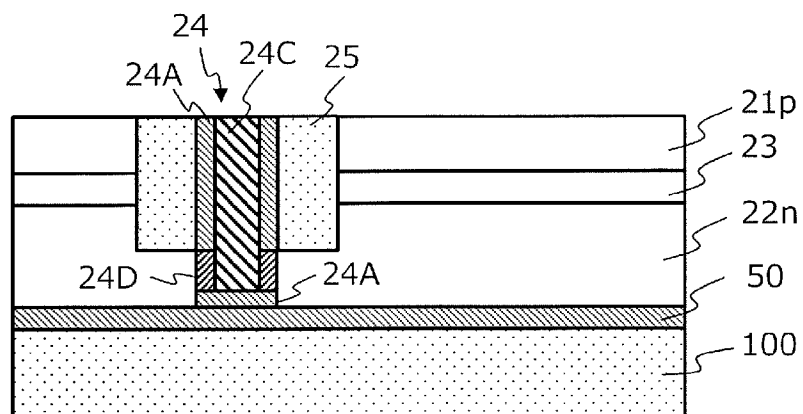
[図12C]



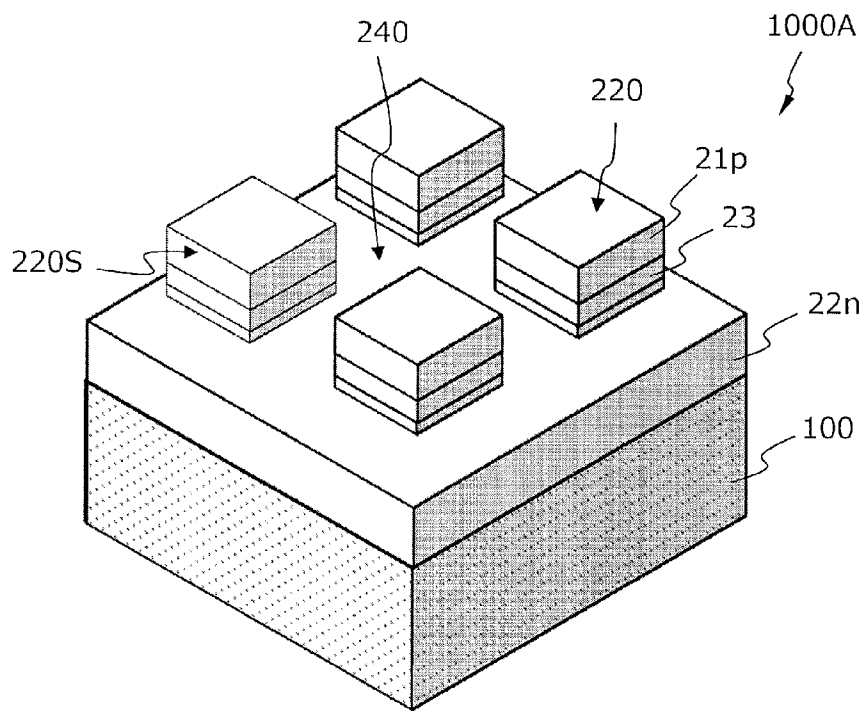
[図13A]



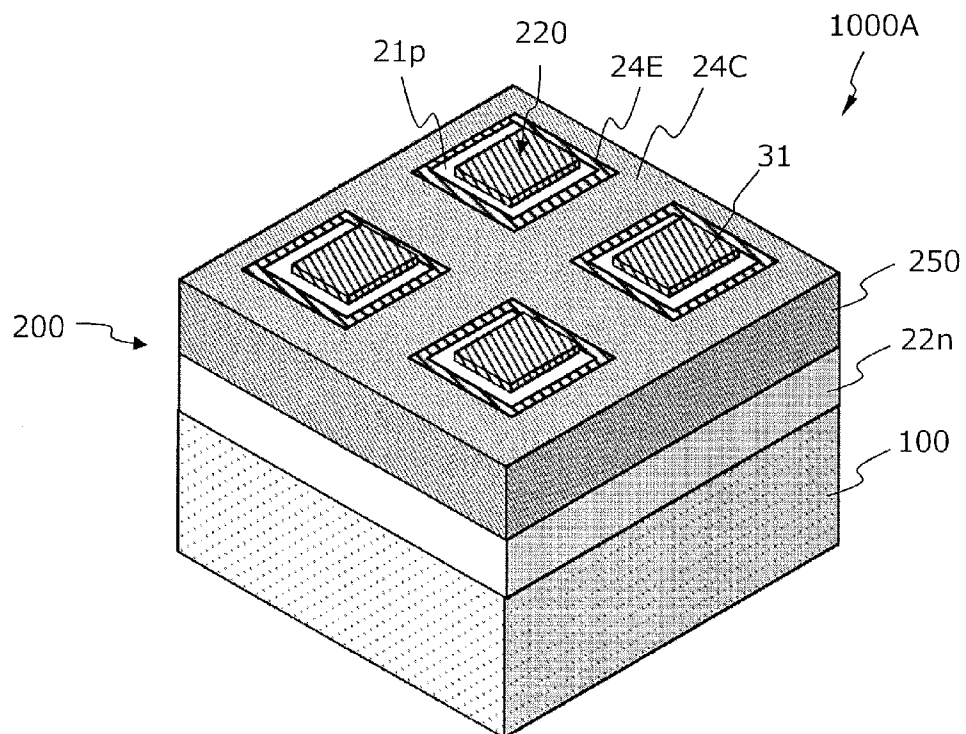
[図13B]

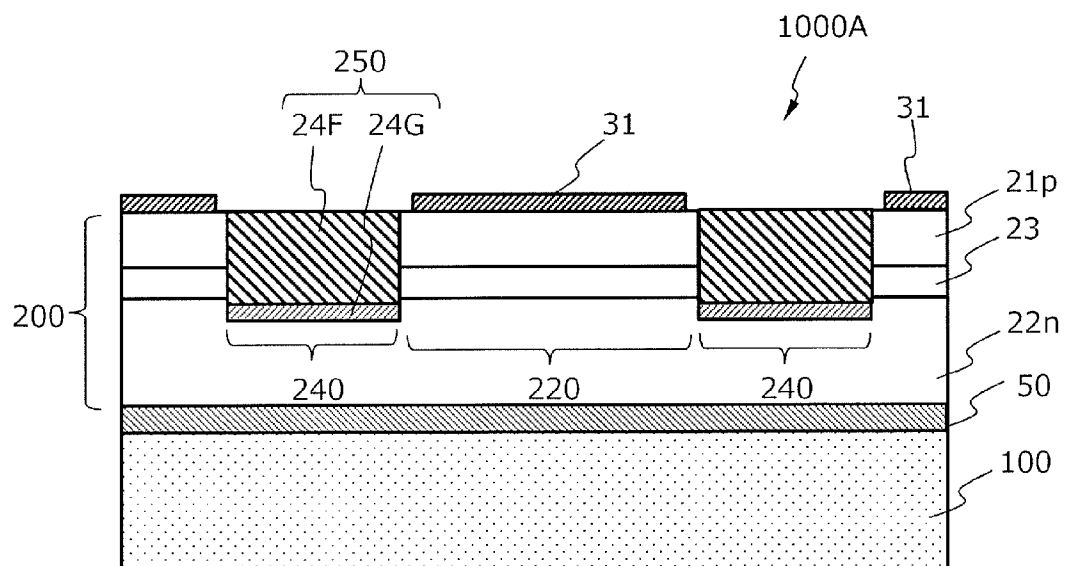
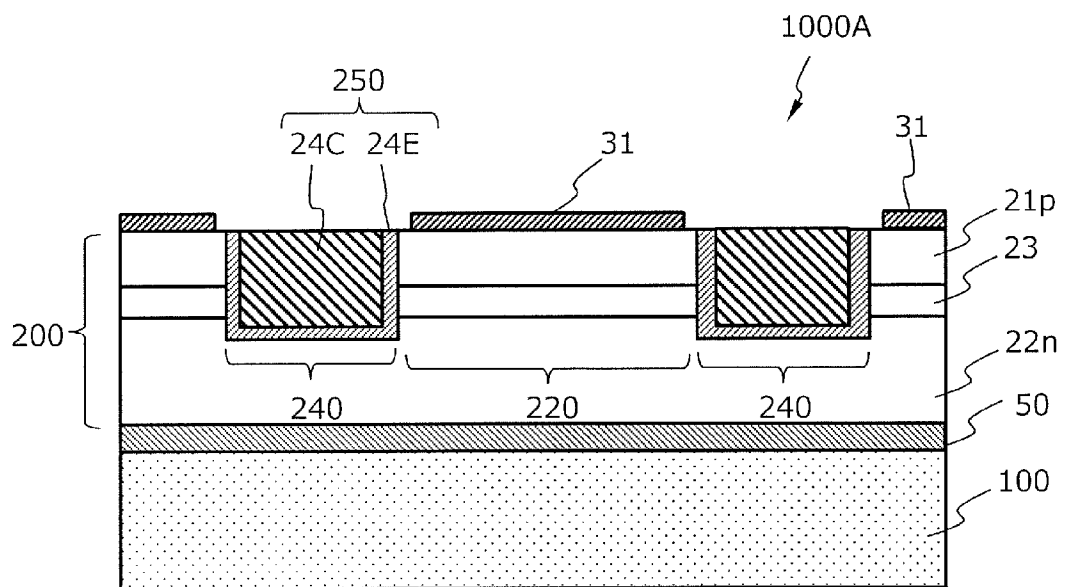


[図14A]

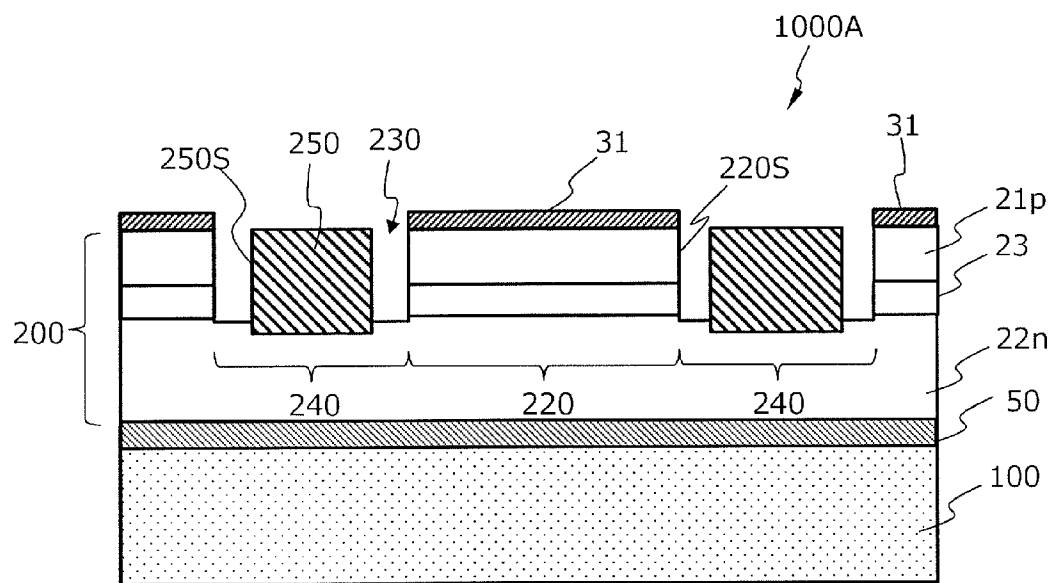


[図14B]

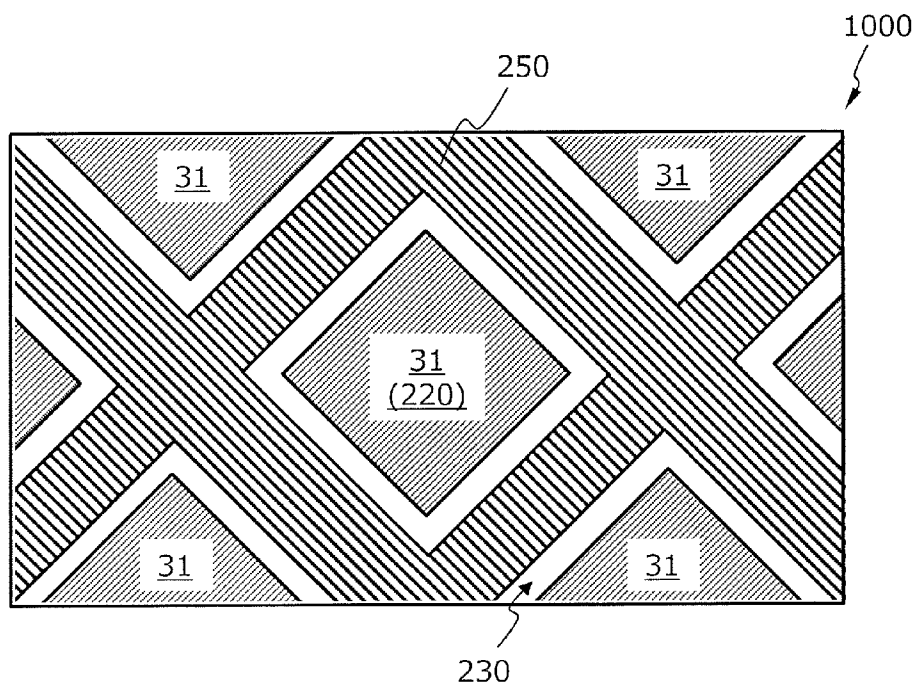




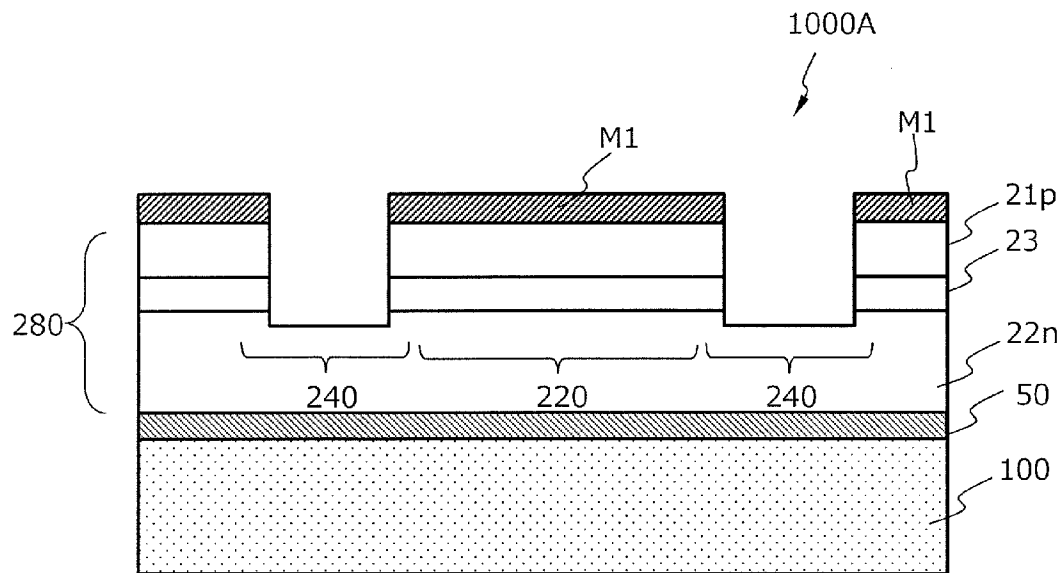
[図16A]



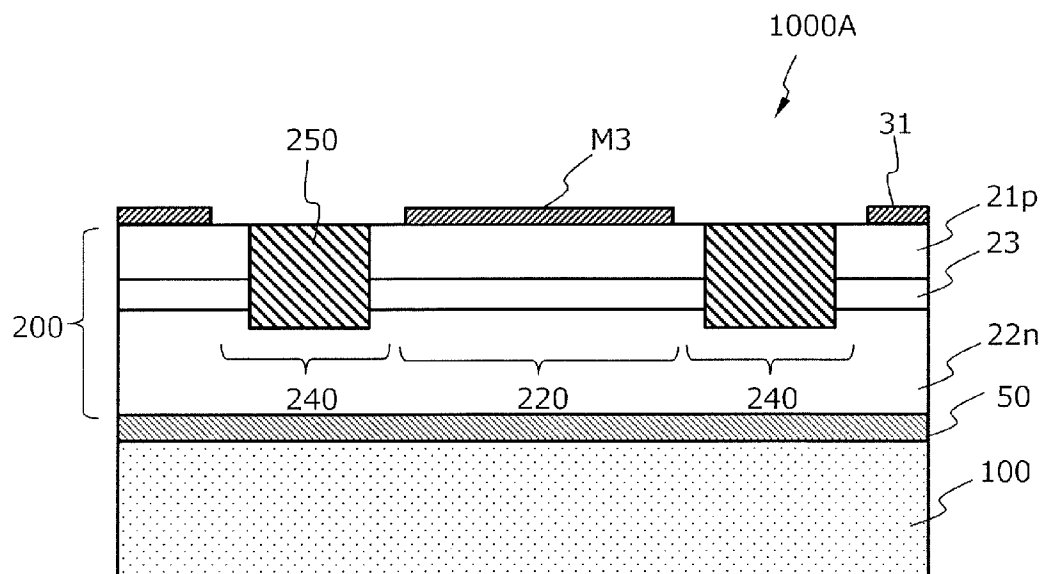
[図16B]



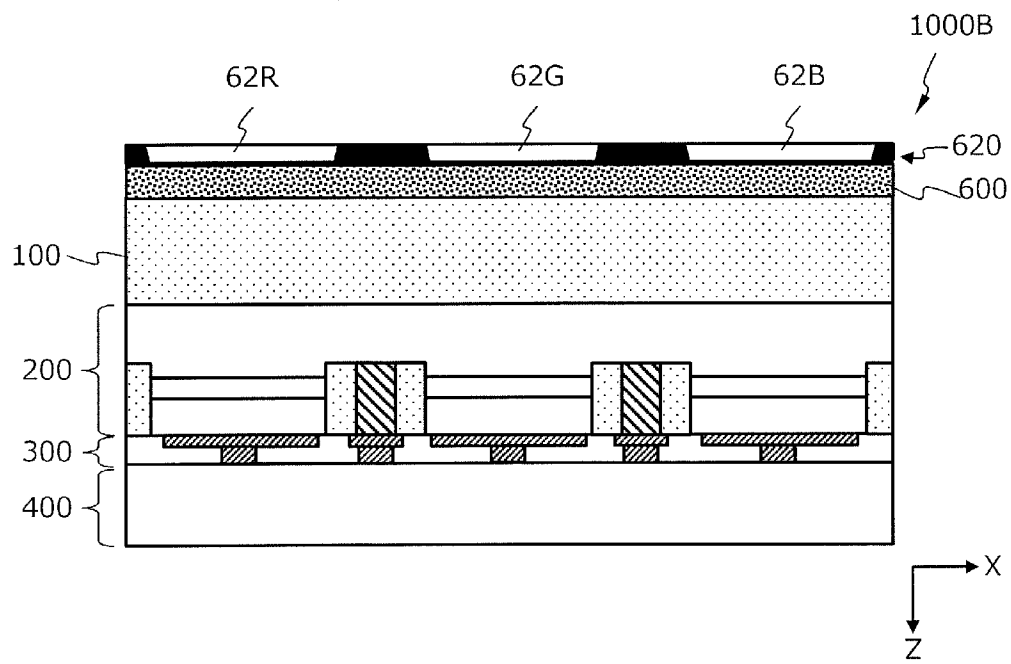
[図16C]



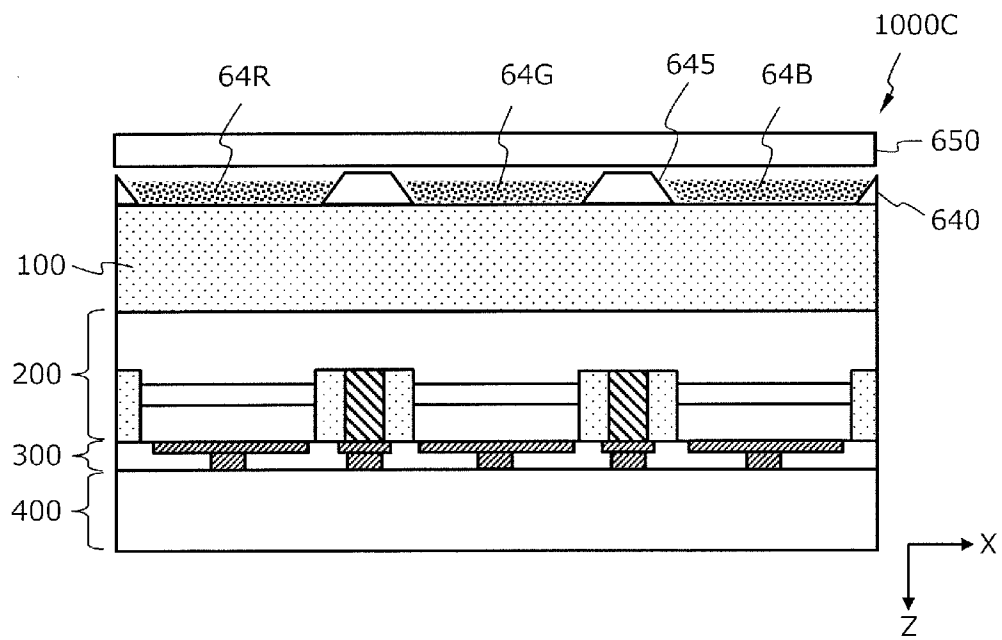
[図16D]



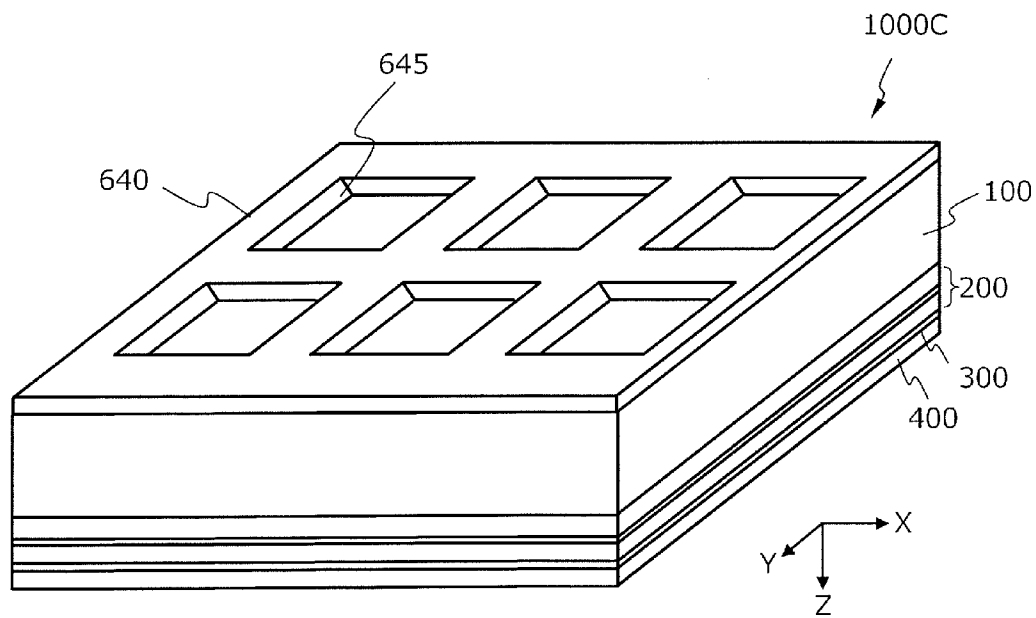
[図17]



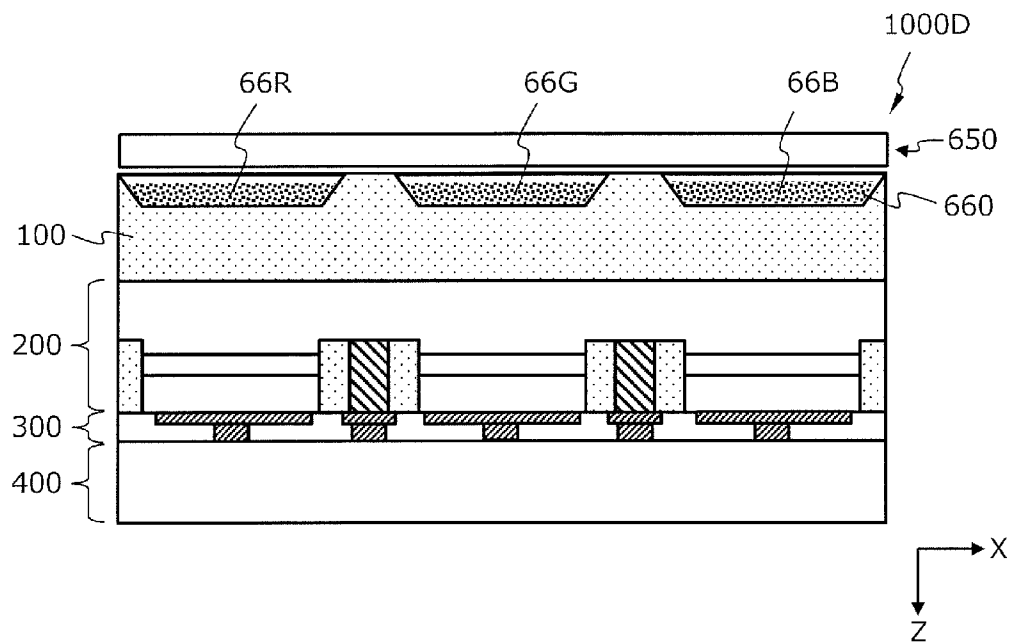
[図18A]



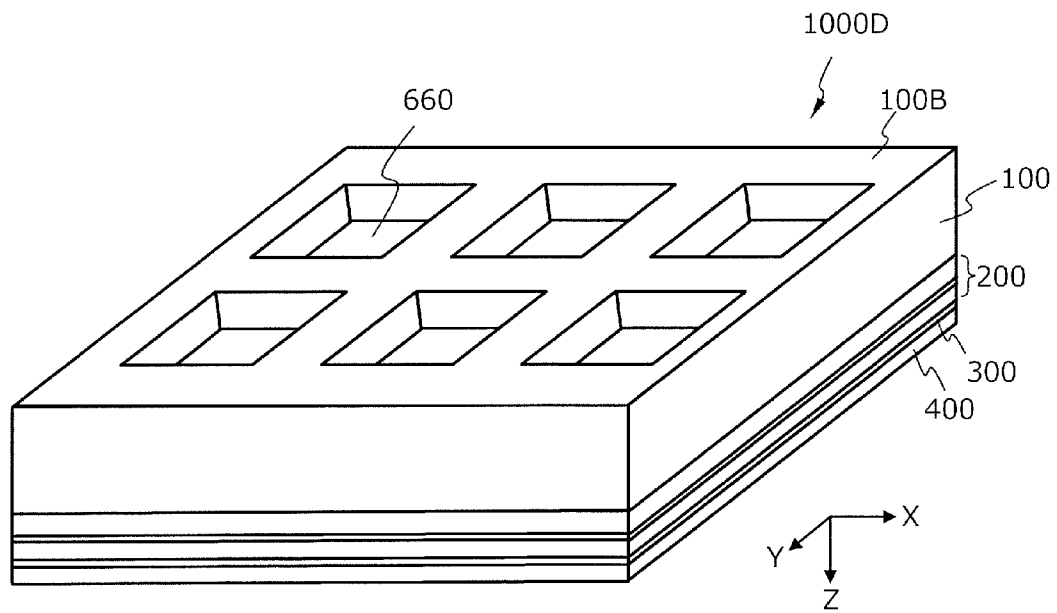
[図18B]



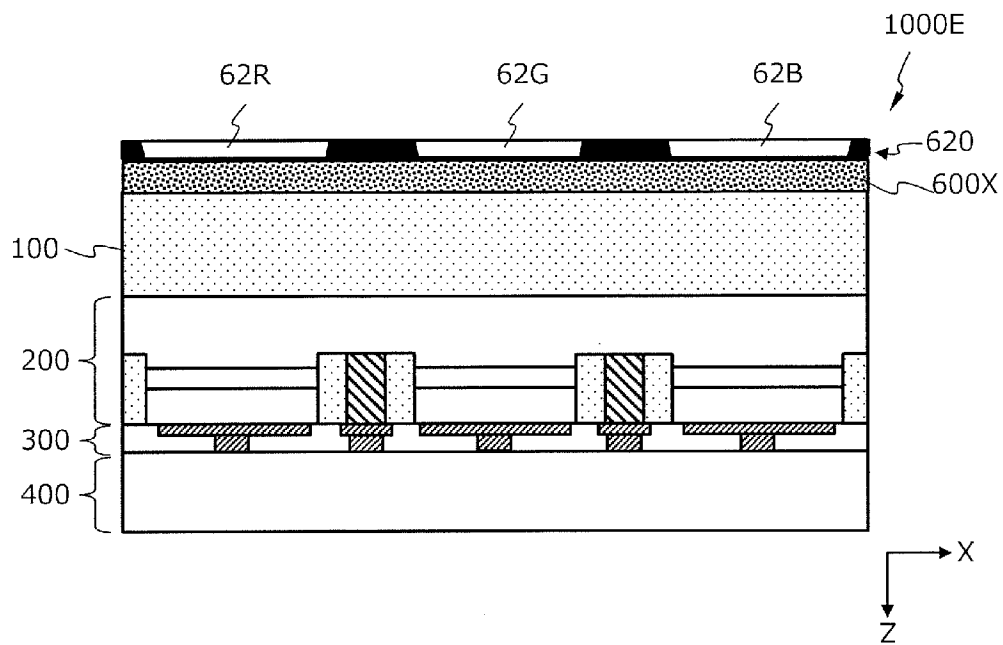
[図19A]



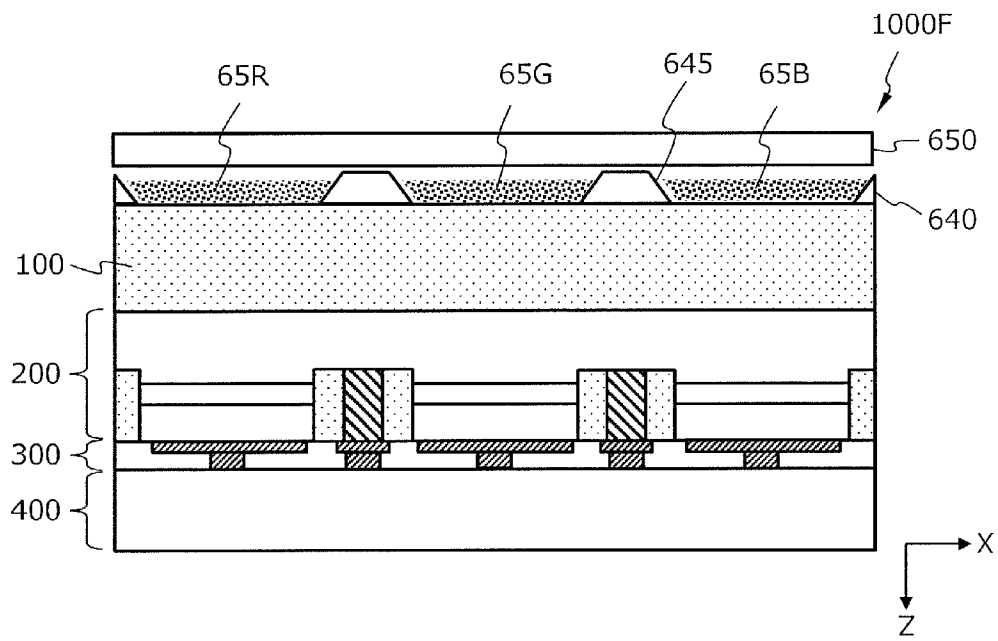
[図19B]



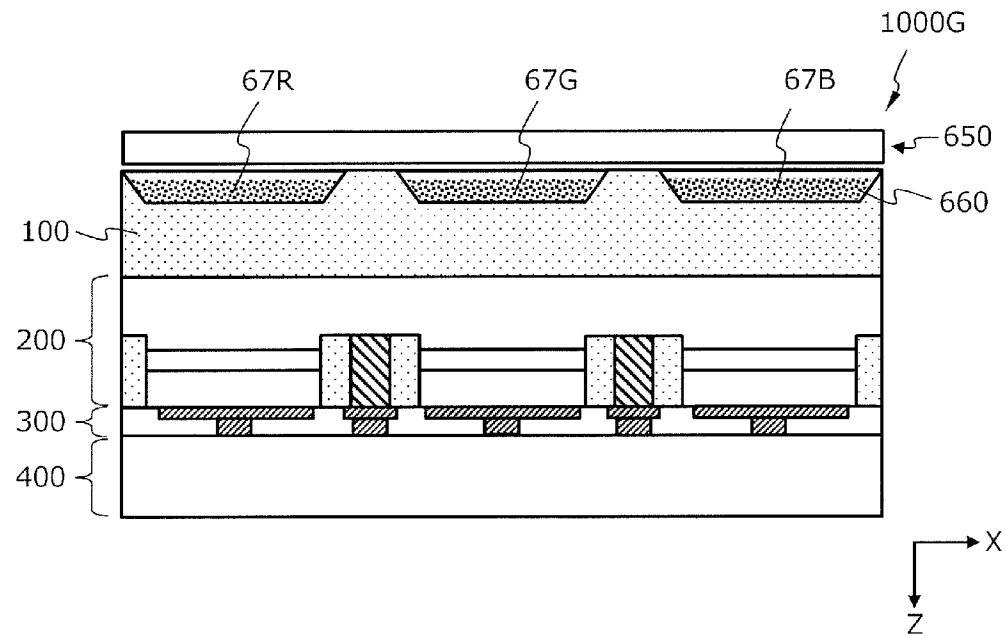
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/042492

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/00 (2010.01) i, H01L33/36 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/00-H01L33/64, G09F9/33, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 12 November 2015, paragraphs [0011], [0012], [0071], [0072], [0088]-[0090], [0092], [0118]-[0134], fig. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-13

☒ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
--	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05.02.2019	Date of mailing of the international search report 12.02.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/042492

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-533220 A (OSRAM OPTO SEMICONDUCTORS GMBH) 08 November 2018, fig. 1K & US 2018/0331251 A1, fig. 1K & WO 2017/081085 A1 & DE 102015119353 A1 & CN 108292696 A	1-13
Y	US 5789766 A (MOTOROLA, INC.) 04 August 1998, fig. 15-17 (Family: none)	4-5, 10-12
Y	US 2018/0211991 A1 (ACER INCORPORATED) 26 July 2018, paragraphs [0003], [0033]-[0043], fig. 1 & EP 3355352 A1 & TW 201828442 A	1-13
Y	JP 2016-154213 A (TOSHIBA CORPORATION) 25 August 2016, paragraphs [0010], [0017], [0026]-[0050] & US 2016/0240561 A1, paragraphs [0026], [0033], [0042]-[0068]	1-13
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 06 October 2016, paragraphs [0017], [0038]-[0041], fig. 4 (Family: none)	1-13
A	US 2018/0247922 A1 (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES) 30 August 2018, fig. 2, 3 & WO 2017/089676 A1 & EP 3381060 A1 & FR 3044467 A1 & TW 201729396 A & CN 107924964 A & KR 10-2018-0088366 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L33/00(2010.01)i, H01L33/36(2010.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L33/00-H01L33/64, G09F9/33, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2015/0325598 A1 (OSRAM OPTO SEMICONDUCTORS GMBH) 2015. 11. 12, [0011]-[0012], [0071]-[0072], [0088]-[0090], [0092], [0118]-[013 4], FIGs. 1c, 8 & WO 2014/090605 A1 & DE 102012112302 A1 & CN 104854696 A & KR 10-2015-0094739 A	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05. 02. 2019

国際調査報告の発送日

12. 02. 2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

島田 英昭

2 K

3 3 1 1

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-533220 A (オスラム オプト セミコンダクターズ ゲゼル ルシャフト ミット ベシュレンクテル ハフツング) 2018. 11. 08, 図 1K & US 2018/0331251 A1 FIG. 1K & WO 2017/081085 A1 & DE 102015119353 A1 & CN 108292696 A	1-13
Y	US 5789766 A (MOTOROLA, INC.) 1998. 08. 04, FIGs. 15-17 (ファミリーなし)	4-5, 10-12
Y	US 2018/0211991 A1 (ACER INCORPORATED) 2018. 07. 26, [0003], [0033]-[0043], FIG. 1 & EP 3355352 A1 & TW 201828442 A	1-13
Y	JP 2016-154213 A (株式会社東芝) 2016. 08. 25, [0010], [0017], [0026]-[0050] & US 2016/0240561 A1 [0026], [0033], [0042]-[0068]	1-13
Y	US 2016/0293586 A1 (EMAGIN CORPORATION) 2016. 10. 06, [0017], [0038]-[0041], FIG. 4 (ファミリーなし)	1-13
A	US 2018/0247922 A1 (COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES) 2018. 08. 30, FIGs. 2-3 & WO 2017/089676 A1 & EP 3381060 A1 & FR 3044467 A1 & TW 201729396 A & CN 107924964 A & KR 10-2018-0088366 A	1-13